

【特許請求の範囲】

【請求項 1】

複数のゲートトレンチと、前記ゲートトレンチ間の部分に設けられた湾曲部と、第 1 導電形のドレイン層と、前記ゲートトレンチ間に設けられた第 2 導電形のベース層と、前記部分の幅方向両端部に設けられ、前記部分の上面に露出した第 1 導電形のソース層と、を有したシリコン基板と、

前記ゲートトレンチの内面に設けられたゲート絶縁膜と、

前記ゲートトレンチ内の下部に埋設されたゲート電極と、

下部が前記ゲートトレンチ内の上部に設けられ、上部が前記シリコン基板の上面から突出した絶縁部材と、

前記シリコン基板における前記部分の上面に接続され、前記絶縁部材及び前記ゲート絶縁膜によって前記ゲート電極から絶縁されたソース電極と、

前記ドレイン層に接続されたドレイン電極と、

を備えた半導体装置。

10

【請求項 2】

前記シリコン基板は、前記部分の幅方向中央部に設けられ、前記部分の上面に露出し、第 2 導電形であり、実効的な不純物濃度が前記ベース層の実効的な不純物濃度よりも高いキャリア抜き層をさらに有した請求項 1 記載の半導体装置。

【請求項 3】

前記キャリア抜き層の下面は、前記ソース層の下面よりも下方に位置する請求項 2 記載の半導体装置。

20

【請求項 4】

前記部分の上面における幅方向中央部にはソーストレンチが形成されており、

前記ソース電極の一部は前記ソーストレンチ内に進入している請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記絶縁部材の側面上に設けられ、前記ソース層に接し、シリコンを第 1 導電形とする不純物を含有したシリコンからなる側壁をさらに備えた請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】

第 1 導電形のシリコン基板に複数のゲートトレンチを形成する工程と、

前記ゲートトレンチの内面上にシリコン酸化物からなるゲート絶縁膜を形成する工程と、

30

前記ゲートトレンチ内の下部にゲート電極を形成する工程と、

前記ゲートトレンチ内の上部に絶縁部材を形成する工程と、

エッチングガスとして四フッ化炭素ガス及び酸素ガスの混合ガスを使用し、四フッ化炭素ガスの流量に対する酸素ガスの流量の比を 1 . 6 以上とし、温度を 40 以下とする条件でケミカルドライエッチングを行うことにより、前記シリコン基板における前記ゲートトレンチ間の部分の上面を下に凸に湾曲させると共に、前記部分の上面における幅方向両端部の位置が前記ゲート電極の上面よりも上方に位置するように前記部分の上面を後退させる工程と、

40

前記部分に第 2 導電形のベース層を形成する工程と、

前記部分の上部における幅方向両端部に、第 1 導電形のソース層を形成する工程と、

前記部分の上面から自然酸化膜を除去する工程と、

前記シリコン基板の上面上に、前記部分の上面に接続されたソース電極を形成する工程と、

前記シリコン基板の下面上に、前記シリコン基板の下面に接続されたドレイン電極を形成する工程と、

を備えた半導体装置の製造方法。

【請求項 7】

50

前記ソース層を形成する工程は、

前記絶縁部材の側面上に、前記部分の上面に接するように、シリコンを第1導電形とする不純物を含有するシリコンからなる側壁を形成する工程と、

前記側壁に含有される前記不純物を前記シリコン基板内に拡散させる工程と、
を有した請求項6記載の半導体装置の製造方法。

【請求項8】

前記絶縁部材及び前記側壁をマスクとしてシリコンを第2導電形とする不純物を導入することにより、前記部分の幅方向中央部であって前記部分の上面に露出する部分に、第2導電形であって実効的な不純物濃度が前記ベース層の実効的な不純物濃度よりも高いキャリア抜き層を形成する工程をさらに備えた請求項7記載の半導体装置の製造方法。

10

【請求項9】

前記絶縁部材及び前記側壁をマスクとしてエッチングすることにより、前記部分の上面における幅方向中央部にソーストレンチを形成する工程をさらに備えた請求項7または8に記載の半導体装置の製造方法。

【請求項10】

第1導電形のシリコン基板に複数のゲートトレンチを形成する工程と、
前記ゲートトレンチの内面上にシリコン酸化物からなるゲート絶縁膜を形成する工程と、

前記ゲートトレンチ内の下部にゲート電極を形成する工程と、

前記ゲートトレンチ内の上部に絶縁部材を形成する工程と、

20

前記シリコン基板における前記ゲートトレンチ間の部分に第2導電形のベース層を形成する工程と、

前記ベース層上に第1導電形層を形成する工程と、

エッチングガスとして四フッ化炭素ガス及び酸素ガスの混合ガスを使用し、四フッ化炭素ガスの流量に対する酸素ガスの流量の比を1.6以上とし、温度を40以下とする条件でケミカルドライエッチングを行うことにより、前記シリコン基板における前記ゲートトレンチ間の部分の上面を下に凸に湾曲させると共に、前記部分の上面における幅方向両端部の位置が前記ゲート電極の上面よりも上方であって前記第1導電形層の下面よりも上方に位置し、前記部分の上面における幅方向中央部の位置が前記第1導電形層の下面よりも下方に位置するように、前記部分の上面を後退させて、前記部分の上部における幅方向両端部に第1導電形のソース層を形成する工程と、

30

前記部分の上面から自然酸化膜を除去する工程と、

前記シリコン基板の側面上に、前記部分の上面に接続されたソース電極を形成する工程と、

前記シリコン基板の側面上に、前記シリコン基板の下面に接続されたドレイン電極を形成する工程と、

を備えた半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明の実施形態は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

従来より、電力用半導体装置として、トレンチゲート構造の縦型MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor: 金属酸化物半導体電界効果トランジスタ) が開発されている。トレンチゲート構造の縦型MOSFETにおいては、シリコン基板の上面側から一方向に延びるゲートトレンチが形成されており、その内部にゲート電極が埋め込まれており、シリコン基板の側面上にはソース電極が設けられ、側面上にはドレイン電極が設けられている。そして、シリコン基板の側面におけるゲートトレンチ間の領域には、ソース電極をシリコン基板に接続するためのソースコンタクト構造が形成されて

50

いる。従来、ゲート電極を埋設するためのゲートトレンチと、ソース電極を接続するためのソースコンタクト構造とは、別々のリソグラフィによって形成されていた。

【0003】

近年、電力用半導体装置のオン抵抗を低減するために、ゲートトレンチの配列周期を短くして、MOS構造を微細化することが試みられている。しかしながら、ゲートトレンチの配列周期を短くすると、ゲートトレンチとソースコンタクト構造との合わせずれが相対的に大きくなり、ソースコンタクト構造の形成が困難になる。そこで、ゲートトレンチとソースコンタクト構造とを自己整合的に形成する技術が提案されている。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】米国特許第6,921,939号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

実施形態では、信頼性の高い微細化された半導体装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0006】

実施形態に係る半導体装置は、シリコン基板と、ゲート絶縁膜と、ゲート電極と、絶縁部材と、ソース電極と、ドレイン電極と、を備える。前記シリコン基板には、複数のゲートトレンチが形成されている。前記シリコン基板におけるゲートトレンチ間の部分には、湾曲部が形成されている。前記ゲート絶縁膜は、前記ゲートトレンチの内面に設けられている。前記ゲート電極は、前記ゲートトレンチ内の下部に形成されている。前記絶縁部材の下部は、前記ゲートトレンチ内の上部に設けられ、上部は、前記シリコン基板の上面から突出している。前記ソース電極は、前記シリコン基板における前記部分の上面に接続され、前記絶縁部材及び前記ゲート絶縁膜によって前記ゲート電極から絶縁されている。前記ドレイン電極は、前記シリコン基板の下面に接続されている。前記シリコン基板は、前記ドレイン電極に接続された第1導電形のドレイン層と、前記ゲートトレンチ間に設けられた第2導電形のベース層と、前記部分の幅方向両端部に設けられ、前記部分の上面に露出した第1導電形のソース層と、を有する。

20

30

【0007】

実施形態に係る半導体装置の製造方法は、第1導電形のシリコン基板の上面に複数のゲートトレンチを形成する工程と、前記ゲートトレンチの内面上にシリコン酸化物からなるゲート絶縁膜を形成する工程と、前記ゲートトレンチ内の下部にゲート電極を形成する工程と、前記ゲートトレンチ内の上部に絶縁部材を形成する工程と、ケミカルドライエッチングを行うことにより、前記シリコン基板における前記ゲートトレンチ間の部分の上面を下に凸に湾曲させると共に、前記部分の上面における幅方向両端部の位置が前記ゲート電極の上面よりも上方に位置するように前記部分の上面を後退させる工程と、前記部分に第2導電形のベース層を形成する工程と、前記部分の上部における幅方向両端部に、第1導電形のソース層を形成する工程と、前記部分の上面から自然酸化膜を除去する工程と、前記シリコン基板の上面に、前記部分の上面に接続されたソース電極を形成する工程と、前記シリコン基板の下面に、前記シリコン基板の下面に接続されたドレイン電極を形成する工程と、を備える。前記ケミカルエッチングは、エッチングガスとして四フッ化炭素ガス及び酸素ガスの混合ガスを使用し、四フッ化炭素ガスの流量に対する酸素ガスの流量の比を1.6以上とし、温度を40以下とする条件で行う。

40

【図面の簡単な説明】

【0008】

【図1】第1の実施形態に係る半導体装置を例示する断面図である。

【図2】(a)~(c)は、第1の実施形態に係る半導体装置の製造方法を例示する工程

50

断面図である。

【図 3】(a) ~ (c) は、第 1 の実施形態に係る半導体装置の製造方法を例示する工程断面図である。

【図 4】(a) ~ (c) は、第 1 の実施形態に係る半導体装置の製造方法を例示する工程断面図である。

【図 5】(a) ~ (e) は、相互に異なる温度で C D E を施したサンプルを示す S E M (Scanning Electron Microscope : 走査型電子顕微鏡) 写真をトレースした断面図である。

【図 6】(a) ~ (c) は、温度が相対的に低温である場合に加工面がラウンド形状となるメカニズムを示す図であり、(d) ~ (f) は、温度が相対的に高温である場合に加工面がフラット形状となるメカニズムを示す図である。

【図 7】相互に異なる温度及びガス流量比で C D E を施したサンプルを示す S E M 写真をトレースした断面図である。

【図 8】(a) ~ (c) は、第 1 の比較例に係る半導体装置の製造方法を例示する工程断面図である。

【図 9】(a) ~ (c) は、第 2 の比較例に係る半導体装置の製造方法を例示する工程断面図である。

【図 10】第 2 の実施形態に係る半導体装置を例示する断面図である。

【図 11】(a) 及び (b) は、第 2 の実施形態に係る半導体装置の製造方法を例示する工程断面図である。

【図 12】第 3 の実施形態に係る半導体装置を例示する断面図である。

【図 13】(a) ~ (c) は、第 3 の実施形態に係る半導体装置の製造方法を例示する工程断面図である。

【図 14】第 3 の実施形態の変形例に係る半導体装置を例示する断面図である。

【発明を実施するための形態】

【0009】

以下、図面を参照しつつ、本発明の実施形態について説明する。

先ず、第 1 の実施形態について説明する。

図 1 は、本実施形態に係る半導体装置を例示する断面図である。

本実施形態に係る半導体装置には、トレンチゲート構造の縦型 M O S F E T が形成されている。

【0010】

図 1 に示すように、本実施形態に係る半導体装置 1 においては、シリコン基板 10 が設けられている。シリコン基板 10 の最下層部分は、導電形が n^+ 形のドレイン層 21 となっており、その上には、導電形が n 形のドリフト層 22 が設けられている。ドリフト層 22 上には導電形が p 形のベース層 16 が設けられており、ベース層 16 上には、導電形が n^+ 形のソース層 19 及び p^+ 形のキャリア抜き層 20 が設けられている。ソース層 19 及びキャリア抜き層 20 は、シリコン基板 10 の上面 10a に露出していると共に、ベース層 16 によってドリフト層 22 から離隔されている。ドレイン層 21、ドリフト層 22、ベース層 16、ソース層 19 及びキャリア抜き層 20 により、シリコン基板 10 が構成されている。

【0011】

なお、「 n^+ 形」とは、「 n 形」よりもドナーとなる不純物の実効的な不純物濃度が高いことを表している。また「 p^+ 形」とは、「 p 形」よりもアクセプタとなる不純物の実効的な不純物濃度が高いことを表している。本明細書において「実効的な不純物濃度」とは、半導体材料の導電に寄与する不純物の濃度をいい、例えば、半導体材料にドナーとなる不純物とアクセプタとなる不純物の双方が含有されている場合には、ドナーとアクセプタの相殺分を除いた分の濃度をいう。

【0012】

シリコン基板 10 の上面 10a には、複数本のゲートトレンチ 11 が形成されている。ゲートトレンチ 11 は一方向に延び、周期的に配列されている。ゲートトレンチ 11 はベ

10

20

30

40

50

ース層 16 を貫通し、ドリフト層 22 の上層部分に進入している。ゲートトレンチ 11 の内面上には、シリコン酸化物からなるゲート絶縁膜 12 が形成されている。また、ゲートトレンチ 11 内の下部には、導電性材料、例えば、不純物が導入されたポリシリコンからなるゲート電極 13 が埋め込まれている。

【0013】

ゲート電極 13 の直上には、絶縁性材料、例えば、シリコン酸化物からなる絶縁部材 14 が設けられている。絶縁部材 14 の下部はゲートトレンチ 11 の上部内に配置されており、絶縁部材 14 の上部はシリコン基板 10 の上面 10a から突出している。

【0014】

シリコン基板 10 におけるゲートトレンチ 11 間の部分（以下、「メサ部」という）15 の形状は、ゲートトレンチ 11 と同じ方向に延びるストライプ状である。すなわち、メサ部 15 の長手方向はゲート電極 13 が延びる方向であり、メサ部 15 の幅方向はゲート電極 13 の配列方向である。メサ部 15 の長手方向から見て、メサ部 15 の上面 15a は、下に凸となるように湾曲した形状（以下、「ラウンド形状」ともいう）となっている。このため、メサ部 15 の上面 15a のうち、メサ部 15 の幅方向両端部に位置する領域は、幅方向中央部に位置する領域よりも上方に位置している。具体的には、メサ部 15 の上面 15a のうち、メサ部 15 の幅方向両端部に位置する領域はゲート電極 13 の上面よりも上方に位置し、メサ部 15 の幅方向中央部に位置する領域はゲート電極 13 の上面と同程度の高さに位置している。

【0015】

また、ソース層 19 はメサ部 15 の上層部における幅方向両端部に配置されており、キャリア抜き層 20 はメサ部 15 の上層部における幅方向中央部に配置されている。従って、メサ部 15 の長手方向から見て、キャリア抜き層 20 は一对のソース層 19 の間に配置されている。ベース層 16、ソース層 19 及びキャリア抜き層 20 の形状は、いずれも、メサ部 15 の長手方向に延びる帯状である。また、ソース層 19 の上面及びキャリア抜き層 20 の上面は、メサ部 15 の上面 15a を構成している。

【0016】

絶縁部材 14 の側面上には、エピタキシャルシリコン又はポリシリコンからなる側壁 17 が設けられている。側壁 17 はシリコンに対してドナーとなる不純物、すなわち、シリコンを n 形とする不純物を含有しており、その実効的な不純物濃度は、ソース層 19 の実効的な不純物濃度よりも高い。側壁 17 はゲート絶縁膜 12 の上端部及びソース層 19 の直上域に配置されており、ソース層 19 に接している。また、メサ部 15 の直上域における側壁 17 間の空間は、ソーストレンチ 18 となっている。

【0017】

シリコン基板 10、側壁 17 及び絶縁部材 14 の上方には、シリコン基板 10、側壁 17 及び絶縁部材 14 を覆うように、バリアメタル層 25 が設けられている。バリアメタル層 25 はシリコン基板 10、側壁 17 及び絶縁部材 14 に接している。バリアメタル層 25 は、例えば、チタン (Ti)、チタン窒化物 (TiN) 又はタングステン窒化物 (WN) 等の導電性材料によって形成されている。

【0018】

バリアメタル層 25 上には、例えばタングステン (W) 等の金属材料からなるソース電極 26 が設けられている。ソース電極 26 はバリアメタル層 25 に接している。ソース電極 26 の一部はソーストレンチ 18 内に進入しており、ソースコンタクト 26a となっている。ソースコンタクト 26a は、バリアメタル層 25 及び側壁 17 を介してソース層 19 に接続されると共に、バリアメタル層 25 を介してキャリア抜き層 20 に接続されている。一方、ソース電極 26 は、絶縁部材 14 及びゲート絶縁膜 12 により、ゲート電極 13 から絶縁されている。

【0019】

シリコン基板 10 の下面 10b 上には、例えばタングステン (W) 等の金属材料からなるドレイン電極 27 が設けられている。ドレイン電極 27 はドレイン層 21 に接続されて

10

20

30

40

50

いる。

【0020】

次に、本実施形態に係る半導体装置の製造方法について説明する。

図2(a)~(c)、図3(a)~(c)、図4(a)~(c)は、本実施形態に係る半導体装置の製造方法を例示する工程断面図である。

なお、図2(a)~図4(c)においては、半導体装置1の中間構造体の上部のみを示している。

【0021】

まず、図2(a)に示すように、シリコン基板10を用意する。この時点では、シリコン基板10の導電形はn形である。次に、シリコン基板10の下層部分に、導電形がn⁺形のドレイン層21(図1参照)を形成する。これにより、シリコン基板10におけるドレイン層21以外の部分は、n形のドリフト層22(図1参照)となる。

次に、例えばリソグラフィ法により、シリコン基板10の上面10aに複数本のゲートトレンチ11を形成する。ゲートトレンチ11は一方向に延び、周期的に配列するように形成する。

【0022】

次に、図2(b)に示すように、シリコン基板10上に、シリコン酸化物からなるゲート絶縁膜12を形成する。ゲート絶縁膜12は、ゲートトレンチ11の内面上にも形成される。次に、導電性材料、例えば不純物が導入されたポリシリコンを堆積させて、エッチバックすることにより、ゲートトレンチ11内の下部にゲート電極13を形成する。

【0023】

次に、図2(c)に示すように、絶縁性材料、例えばシリコン酸化物からなる絶縁部材14を全面に成膜する。絶縁部材14はゲートトレンチ11内の上部に埋め込まれてゲート電極13に接すると共に、シリコン基板10の上面10aの全面を覆う。

【0024】

次に、図3(a)に示すように、絶縁部材14に対してドライエッチングを行い、シリコン基板10を露出させる。これにより、ゲートトレンチ11内に埋め込まれた絶縁部材14の上面と、シリコン基板10におけるゲートトレンチ11間に配置された部分の上面、すなわち、メサ部15の上面15aとが、ほぼ同一面上に位置する。

【0025】

次に、図3(b)に示すように、全面にケミカルドライエッチング(Chemical Dry Etching: CDE)を施し、シリコン基板10のメサ部15の上面15aを後退させる。このCDEにおいては、エッチングガスとして、四フッ化炭素(CF₄)ガス及び酸素(O₂)ガスの混合ガスを使用し、CF₄ガスの流量(sccm)に対するO₂ガスの流量(sccm)の比(以下、「ガス流量比」ともいう)を1.6以上とし、温度を40以下とする。これにより、メサ部15の上面15aの形状が、下に凸となるように湾曲した形状(ラウンド形状)になる。上下方向における上面15aの位置は、メサ部15の幅方向両端部においてはゲート電極13の上面よりも上方に位置し、メサ部15の幅方向中央部においてはゲート電極13の上面とほぼ同じ高さに位置するようにする。

【0026】

次に、図3(c)に示すように、全面に例えばアクセプタとなる不純物をイオン注入することにより、メサ部15にベース層16を形成する。次に、希フッ酸を用いてウェットエッチングを行うことにより、メサ部15の上面15aに形成された自然酸化膜(図示せず)を除去する。このとき、シリコン酸化物からなるゲート絶縁膜12の露出部分は除去されるが、ゲート絶縁膜12におけるゲート電極13を覆う部分は、上面15aがラウンド形状となったメサ部15の両端部によって覆われているため、エッチングされない。従って、このエッチングにより、ゲート電極13が露出することはない。また、絶縁部材14は大部分が残留する。

【0027】

次に、図4(a)に示すように、ドナーとなる不純物を導入したシリコンを堆積させて

10

20

30

40

50

、全面にシリコン膜（図示せず）を成膜する。次に、このシリコン膜をエッチバックすることにより、絶縁部材 14 の側面上に残留させて、側壁 17 を形成する。側壁 17 はエピタキシャルシリコン又はポリシリコンからなり、ドナーとなる不純物を含有している。また、側壁 17 は、メサ部 15 における幅方向両側部分の直上域に配置され、メサ部 15 の直上域における側壁 17 間の空間はソーストレンチ 18 となる。ソーストレンチ 18 の底部には、メサ部 15 の上面 15 a の一部が露出している。

【0028】

次に、図 4 (b) に示すように、熱処理を施すことにより、側壁 17 に含まれる不純物をメサ部 15 内に拡散させる。これにより、メサ部 15 の上層部分における側壁 17 の直下域に相当する部分及びその周辺に、導電形が n^+ 形のソース層 19 が形成される。

10

【0029】

次に、図 4 (c) に示すように、絶縁部材 14 及び側壁 17 をマスクとして、アクセプタとなる不純物をイオン注入することにより、メサ部 15 の上層部分におけるソーストレンチ 18 の直下域に、導電形が p^+ 形のキャリア抜き層 20 を形成する。キャリア抜き層 20 は、メサ部 15 の上層部分における一対のソース層 19 に挟まれた領域に形成される。

【0030】

次に、図 1 に示すように、全面に、バリアメタル層 25 を形成する。次に、金属材料、例えば、タングステン (W) を堆積させることにより、全面にソース電極 26 を形成する。ソース電極 26 の一部は、ソーストレンチ 18 内に進入してソースコンタクト 26 a となる。一方、シリコン基板 10 の下面 10 b 上に金属材料、例えば、タングステンを堆積させることにより、ドレイン電極 27 を形成する。ドレイン電極 27 は、ドレイン層 21 に接続される。このようにして、本実施形態に係る半導体装置 1 が製造される。

20

【0031】

次に、本実施形態の作用効果について説明する。

本実施形態においては、図 2 (a) に示す工程において、シリコン基板 10 にゲートトレンチ 11 を形成し、図 3 (a) に示す工程において、ゲートトレンチ 11 内の上部に絶縁部材 14 を埋め込み、図 4 (a) に示す工程において、絶縁部材 14 の側面上に不純物を含む側壁 17 を形成し、図 4 (b) に示す工程において、側壁 17 から不純物を拡散させることによりソース層 19 を形成し、図 1 に示す工程において、側壁 17 間のソーストレンチ 18 内にソースコンタクト 26 a を形成している。これにより、ゲートトレンチ 11 を形成した後は、自己整合的に、ソース層 19 及びソースコンタクト 26 a を形成することができる。このため、ゲートトレンチ 11 とソース層 19 及びソースコンタクト 26 a との間で合わせずれが発生しない。この結果、本実施形態に係る半導体装置 1 は、微細化してオン抵抗を低減しても、高い信頼性を維持できる。

30

【0032】

また、本実施形態においては、図 3 (b) に示す工程において、所定の条件で CDE を施すことにより、メサ部 15 の長手方向から見て、メサ部 15 の上面 15 a の形状を、下に凸となるように湾曲した形状（ラウンド形状）とすることができる。これにより、上面 15 a の幅方向両端部をゲート電極 13 の上面よりも上方に位置させつつ、幅方向中央部をそれより下方に位置させることができる。

40

【0033】

上面 15 a の幅方向両端部がゲート電極 13 の上面よりも上方に位置することにより、図 3 (c) に示す工程において、ゲート絶縁膜 12 におけるゲート電極 13 を覆う部分がメサ部 15 によって覆われる。このため、上面 15 a の自然酸化膜を除去するためのウェットエッチングを施しても、ゲート電極 13 が露出することがない。これにより、図 4 (a) に示す工程において、側壁 17 がゲート電極 13 に接することがない。この結果、ゲート電極 13 とソース電極 26 との短絡を防止できる。

【0034】

また、ソース層 19 を比較的上方に形成できるため、上下方向におけるソース層 19 と

50

ゲート電極 13 との重なり部分の長さを短くすることができる。これにより、ゲート電極 13 とソース層 19 との間に発生する寄生容量を低減することができる。

【0035】

一方、上面 15 a の幅方向中央部が両端部よりも下方に位置することにより、図 4 (c) に示す工程において、キャリア抜き層 20 を形成する際に、キャリア抜き層 20 をソース 19 と同等又はそれより下方に形成することができる。また、ソース電極 26 のソースコンタクト 26 a をソース層 19 の上面よりも下方まで延出させることができる。これにより、半導体装置 1 内に発生した正孔を、キャリア抜き層 20 及びソースコンタクト 26 a を介して、効果的に排出することができる。

【0036】

更に、上面 15 a を単なる傾斜面ではなくラウンド形状とすることにより、側壁 17 とメサ部 15 との接触面積が増加する。これにより、図 4 (b) に示す工程において、側壁 17 からメサ部 15 内に拡散する不純物量が多くなり、ソース層 19 を効率的に形成することができる。また、側壁 17 とソース層 19 との間の接触抵抗を低減することができる。

10

【0037】

更にまた、本実施形態においては、側壁 17 を不純物を含むシリコンによって形成している。従って、側壁 17 は導電体である。このため、ソース電極 26 は、側壁 17 を経由することによっても、ソース層 19 に接続することができる。これにより、側壁 17 を絶縁性材料によって形成する場合と比較して、ソース電極 26 とソース層 19 との間の電気抵抗を低減することができる。

20

【0038】

更にまた、本実施形態においては、図 4 (b) に示す工程において、側壁 17 に含まれる不純物をメサ部 15 内に拡散させることにより、メサ部 15 の上部にソース層 19 を形成している。このため、ソース層 19 内において、側壁 17 との界面近傍が最も不純物濃度が高い部分となる。この結果、側壁 17 とソース層 19 との接触抵抗が低くなり、ソース電極 26 とソース層 19 との間の電気抵抗がより一層低くなる。

【0039】

次に、本実施形態における数値限定理由について説明する。

< 1 > CDE の温度：40 以下

30

図 5 (a) ~ (e) は、相互に異なる温度で CDE を施したサンプルを示す SEM 写真をトレースした断面図である。

この CDE を行う際には、エッチングガスには CF_4 ガス及び O_2 ガスの混合ガスを使用し、 CF_4 ガスの流量を 80 sccm とし、 O_2 ガスの流量を 130 sccm とし、従って、 CF_4 ガスの流量に対する O_2 ガスの流量の比 (ガス流量比) を $1.625 (= 130 / 80)$ とし、圧力を 30 Pa とし、マイクロ波の出力を 700 W とした。

【0040】

図 5 (a) 及び (b) に示すように、温度を 25 又は 40 としたときは、メサ部の上面は、下に凸に湾曲したラウンド形状となった。これに対して、図 5 (c) ~ (e) に示すように、温度を 60、100、120 としたときは、メサ部の上面は平坦なフラット形状となった。このため、CDE によってメサ部の上面をリセスする際には、温度を 40 以下とすれば、ラウンド形状を形成できる。

40

【0041】

CDE の温度を低くすることにより、加工面をラウンド形状にできる理由は、以下のよう考えられる。

図 6 (a) ~ (c) は、温度が相対的に低温である場合に加工面がラウンド形状となるメカニズムを示す図であり、(d) ~ (f) は、温度が相対的に高温である場合に加工面がフラット形状となるメカニズムを示す図である。

【0042】

図 6 (a) に示すように、温度が相対的に低温である場合は、絶縁部材 14 の側面とメ

50

サ部 15 の上面 15 a とによって形成されるコーナー部の平衡蒸気圧が低い。このため、エッチングによってメサ部 15 から一旦除去されたシリコンが、堆積物 31 としてコーナー部に再堆積しやすい。

これにより、図 6 (b) に示すように、メサ部 15 の上面 15 a のうち、堆積物 31 が相対的に薄い幅方向中央部から優先的にエッチングされる。

この結果、図 6 (c) に示すように、上面 15 a における幅方向両端部よりも幅方向中央部の方がエッチングが進み、上面 15 a の形状は、下に凸に湾曲したラウンド形状となる。

【 0 0 4 3 】

これに対して、図 6 (d) に示すように、温度が相対的に高温である場合は、コーナー部の平衡蒸気圧が高いため、一旦除去されたシリコンの再堆積が生じにくく、堆積物 31 が少ない。

このため、図 6 (e) に示すように、上面 15 a において、エッチングが比較的均一に進行する。

この結果、図 6 (f) に示すように、上面 15 a の形状が平坦なフラット形状となる。

【 0 0 4 4 】

< 2 > C F ₄ ガスの流量に対する O₂ ガスの流量の比：1.6 以上

図 7 は、相互に異なる温度及びガス流量比で C D E を施したサンプルを示す S E M 写真をトレースした断面図である。

なお、図 7 においては、例えば、C F ₄ ガスの流量が 80 s c c m であり、O₂ ガスの流量が 130 s c c m の場合、「C F ₄ / O₂ = 80 / 130」と表記している。

【 0 0 4 5 】

図 7 に示すように、温度を 25 とし、ガス流量比 (C F ₄ ガスの流量に対する O₂ ガスの流量の比) を 1.625 としたときは、メサ部の上面の形状はラウンド形状になった。これに対して、温度を 25 とし、ガス流量比を 0.826 及び 0.400 としたときは、メサ部の上面の形状はフラット形状になった。これは、O₂ ガスの割合が高いと、雰囲気酸化傾向が強くなり、加工面に堆積物が生成しやすくなるためと考えられる。また、温度を 120 としたときは、ガス流量比が 1.625、0.826、0.400 のいずれの場合も、メサ部の上面の形状はフラット形状となった。

【 0 0 4 6 】

このように、メサ部 15 の上面 15 a をリセスする C D E において、温度を 40 以下、ガス流量比を 1.6 以上とすると、上面 15 a の形状をラウンド形状とすることができた。本発明者等の検討によれば、温度が上面 15 a の形状に対して及ぼす影響と、ガス流量比が上面 15 a に対して及ぼす影響とは、相互に独立していた。

【 0 0 4 7 】

次に、第 1 の比較例について説明する。

図 8 (a) ~ (c) は、本比較例に係る半導体装置の製造方法を例示する工程断面図である。

本比較例は、メサ部 15 の上面 15 a の形状をフラット形状とし、その高さをゲート電極 13 の上面よりも低くする例である。

【 0 0 4 8 】

図 2 (a) ~ 図 3 (a) に示す工程を実施した後、図 8 (a) に示すように、メサ部 15 に対して C D E を施し、上面 15 a をゲート電極 13 の上面よりも下方に位置させる。このとき、C D E の条件は、ガス流量比が 1.6 未満、又は、温度が 40 よりも高い条件とする。これにより、上面 15 a はフラット形状となる。

【 0 0 4 9 】

この場合、図 8 (b) に示すように、希フッ酸によるウェットエッチングを施すと、ゲート絶縁膜 12 におけるゲート電極 13 を覆う部分の一部が除去され、ゲート電極 13 が露出する。

従って、図 8 (c) に示すように、側壁 17 を形成すると、側壁 17 がゲート電極 13

10

20

30

40

50

に接触してしまう。この結果、完成後の半導体装置において、ソース電極 26 (図 1 参照) がゲート電極 13 と短絡してしまう。

【0050】

次に、第 2 の比較例について説明する。

図 9 (a) ~ (c) は、本比較例に係る半導体装置の製造方法を例示する工程断面図である。

本比較例は、メサ部 15 の上面 15 a の形状をフラット形状とし、その高さをゲート電極 13 の上面よりも高くする例である。

【0051】

図 2 (a) ~ 図 3 (a) に示す工程を実施した後、図 9 (a) に示すように、メサ部 15 に対して CDE を施し、上面 15 a をゲート電極 13 の上面よりも上方に位置させる。このとき、CDE の条件は、ガス流量比が 1.6 未満、又は、温度が 40 よりも高い条件とする。これにより、上面 15 a はフラット形状となる。

【0052】

次に、図 3 (c) 及び図 4 (a) に示す工程を実施し、その後、図 9 (b) に示すように、ソース層 19 を形成する。このとき、上面 15 a がゲート電極 13 の上面よりも上方に位置しているため、ソース層 19 をゲート電極 13 とオーバーラップさせるために、ソース層 19 は厚く形成する。

【0053】

次に、図 9 (c) に示すように、キャリア抜き層 20 を形成する。このとき、上面 15 a の幅方向中央部は、ゲート電極 13 の上面よりも上方に位置しているため、半導体装置内の正孔を効果的に排出できる位置にキャリア抜き層 20 を形成するためには、ソーストレンチ 13 の直下域に、深いトレンチ 61 を形成し、その下方にキャリア抜き層 20 を形成する必要がある。このため、製造プロセスの難易度が上昇し、半導体装置の微細化が困難になると共に、半導体装置の製造コストが増加する。

【0054】

次に、第 2 の実施形態について説明する。

図 10 は、本実施形態に係る半導体装置を例示する断面図である。

図 10 に示すように、本実施形態に係る半導体装置 2 は、前述の第 1 の実施形態に係る半導体装置 1 (図 1 参照) と比較して、メサ部 15 の幅方向中央部において、上面 15 a に更にキャリア抜きトレンチ 41 が形成されている点が異なっている。バリアメタル層 25 はキャリア抜きトレンチ 41 の内面上にも形成されている。ソースコンタクト 26 a の下部はキャリア抜きトレンチ 41 内に進入しており、バリアメタル層 25 におけるキャリア抜きトレンチ 41 の底面上に形成された部分と接している。キャリア抜き層 20 は、メサ部 15 におけるキャリア抜きトレンチ 41 の底面に接する部分に形成されている。

【0055】

次に、本実施形態に係る半導体装置の製造方法について説明する。

図 11 (a) 及び (b) は、本実施形態に係る半導体装置の製造方法を例示する工程断面図である。

なお、図 11 (a) 及び (b) においては、半導体装置 2 の中間構造体の上部のみを示している。

【0056】

まず、図 2 (a) ~ 図 3 (c) に示す工程を実施する。

次に、図 4 (a) に示すように、全面にシリコン膜を成膜し、その後、エッチバックすることにより、側壁 17 を形成する。

【0057】

そして、本実施形態においては、図 11 (a) に示すように、メサ部 15 の上面 15 a が露出した後も、シリコン膜に対するエッチングをそのまま継続し、オーバーエッチングする。これにより、上面 15 a における側壁 17 によって覆われていない領域に、キャリア抜きトレンチ 41 が形成される。

10

20

30

40

50

【0058】

次に、図11(b)に示すように、熱処理を施すことによってメサ部15における側壁17に接した部分にソース層19を形成する。次に、アクセプタとなる不純物をイオン注入することにより、キャリア抜きトレンチ41の直下域にキャリア抜き層20を形成する。以後の工程は、前述の第1の実施形態と同様である。

【0059】

本実施形態によれば、前述の第1の実施形態と比較して、キャリア抜き層20をより下方に形成することができる。これにより、半導体装置2内で発生した正孔をよりキャリア抜き層20によってより確実に捕捉し、排出することができる。

なお、この場合においても、キャリア抜きトレンチ41を形成する直前において、メサ部15の上面15aの形状はラウンド形状となっており、上面15aの幅方向中央部が両端部よりも下方に位置しているため、前述の第2の比較例と比較して、キャリア抜きトレンチ41の形成深さを浅くすることができる。

本実施形態における上記以外の構成、製造方法及び作用効果は、前述の第1の実施形態と同様である。

【0060】

次に、第3の実施形態について説明する。

図12は、本実施形態に係る半導体装置を例示する断面図である。

図12に示すように、本実施形態に係る半導体装置3は、前述の第1の実施形態に係る半導体装置1(図1参照)と比較して、ソース層19の下面が平坦であり、キャリア抜き層20の下面がソース層19の下面よりも下方に位置している点が異なっている。

【0061】

次に、本実施形態に係る半導体装置の製造方法について説明する。

図13(a)~(c)は、本実施形態に係る半導体装置の製造方法を例示する工程断面図である。

なお、図13(a)~(c)においては、半導体装置3の中間構造体の上部のみを示している。

【0062】

まず、図2(a)~図3(a)に示す工程を実施する。

次に、図13(a)に示すように、全面にアクセプタとなる不純物をイオン注入することにより、メサ部15にp形のベース層16を形成する。次に、全面にドナーとなる不純物をイオン注入することにより、ベース層16の上部の導電性をp形からn⁺形に反転させて、n⁺形層42を形成する。

【0063】

次に、図13(b)に示すように、CDEを施し、メサ部15の上面15aを後退させる。このCDEの条件は、前述の第1の実施形態におけるCDE(図3(b)参照)の条件と同様とする。これにより、上面15aの形状は、下に凸に湾曲したラウンド形状となる。そして、本実施形態においては、CDE終了後に上面15aが、メサ部15の幅方向中央部においてはn⁺形層42の下面よりも下方に位置し、幅方向両端部においてはn⁺形層42の下面よりも上方に位置するようにする。これにより、メサ部15の幅方向中央部においてはn⁺形層42が除去される。一方、メサ部15の幅方向両端部においてはn⁺形層42が残留し、ソース層19となる。

【0064】

次に、図13(c)に示すように、希フッ酸を用いたウェットエッチングを行うことにより、上面15aに形成された自然酸化膜(図示せず)を除去する。このとき、ゲート絶縁膜12の露出部分も除去されるが、ゲート絶縁膜12におけるゲート電極13を覆う部分はメサ部15によって覆われているため、除去されない。次に、側壁17を形成する。次に、絶縁部材14及び側壁17をマスクとしてアクセプタとなる不純物をイオン注入することにより、メサ部15の幅方向中央部にキャリア抜き層20を形成する。以後の工程は、前述の第1の実施形態と同様である。

10

20

30

40

50

【0065】

本実施形態によれば、キャリア抜きトレンチ41(図11(a)参照)を形成することなく、キャリア抜き層20をソース層19よりも下方に配置することができる。なお、キャリア抜き層20をより下方に配置するために、キャリア抜きトレンチ41を形成してもよい。

【0066】

また、本実施形態においては、図13(a)に示す工程において、イオン注入法により n^+ 形層42を形成し、図13(b)に示す工程において、上面15aのラウンド形状を利用して n^+ 形層42を選択的に除去することにより、ソース層19を形成している。これにより、熱拡散によらずに、自己整合的にソース層19を形成することができる。

10

【0067】

このため、本実施形態においては、側壁17の材料は不純物を含むシリコンには限定されない。従って、半導体装置3の設計自由度が高い。例えば、側壁17を金属材料によって形成すれば、ソース電極26とソース層19との間の電気抵抗をより一層低減することができる。また、側壁17をシリコン酸化物等の絶縁性材料によって形成すれば、ソース電極26とゲート電極13との間の絶縁性をより高めると共に、寄生容量を低減することができる。また、側壁17を省略してもよい。

本実施形態における上記以外の構成、製造方法及び作用効果は、前述の第1の実施形態と同様である。

【0068】

20

次に、第3の実施形態の変形例について説明する。

図14は、本変形例に係る半導体装置を例示する断面図である。

図14に示すように、本変形例に係る半導体装置3aは、前述の第3の実施形態に係る半導体装置3(図12参照)と比較して、側壁17が設けられていない点が異なっている。すなわち、本変形例は、第3の実施形態において、側壁17を省略した例である。

【0069】

本変形例に係る半導体装置3aは、図13(c)に示す工程において、側壁17を形成しないことにより、製造することができる。但し、この場合、キャリア抜き層20を形成するためのアクセプタとなる不純物の注入は、上面15a全体に対して行われるため、ソース19の導電性を n 形から p 形に反転させないようなドーズ量とする必要がある。

30

【0070】

本変形例によれば、前述の第3の実施形態と比較して、ソース電極26をソース層19との間の電気抵抗をより一層低減することができる。また、半導体装置の製造プロセスにおいて工程数を削減し、製造コストを低減することができる。

本変形例における上記以外の構成、製造方法及び作用効果は、前述の第3の実施形態と同様である。

【0071】

以上説明した実施形態によれば、信頼性の高い微細化された半導体装置及びその製造方法を実現することができる。

【0072】

40

以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明及びその等価物の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

【符号の説明】

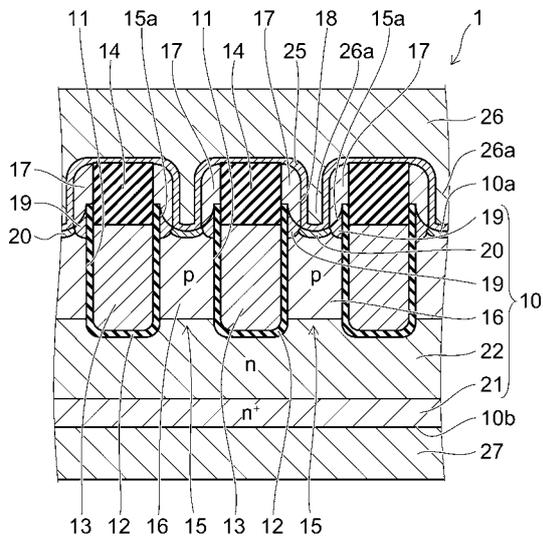
【0073】

1、2、3、3a：半導体装置、10：シリコン基板、10a：上面、10b：下面、11：ゲートトレンチ、12：ゲート絶縁膜、13：ゲート電極、14：絶縁部材、15：

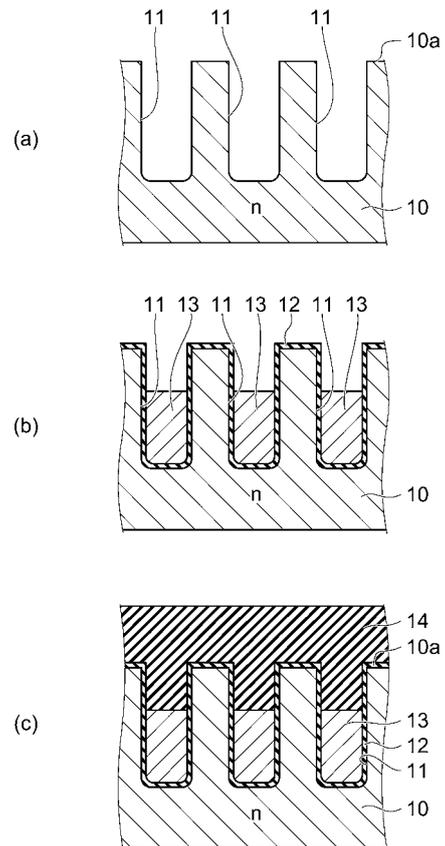
50

メサ部、15a：上面、16：ベース層、17：側壁、18：ソーストレンチ、19：ソース層、20：キャリア抜き層、25：バリアメタル層、26：ソース電極、26a：ソースコンタクト、27：ドレイン電極、31：堆積物、41：キャリア抜きトレンチ、42：n⁺形層、61：トレンチ

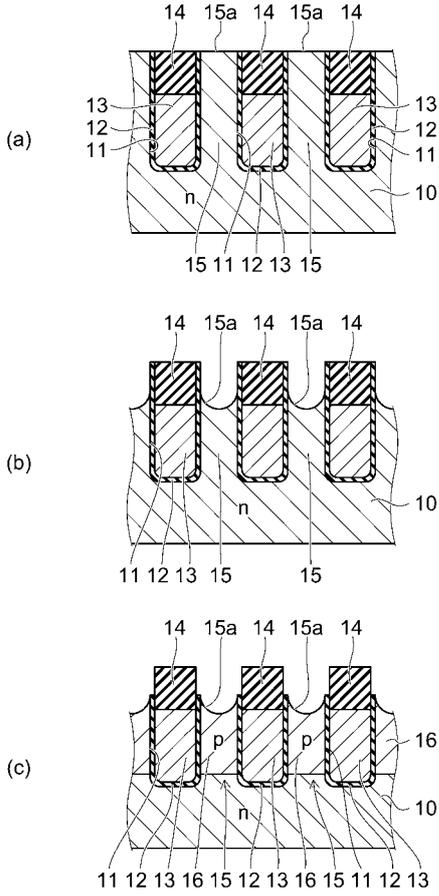
【図1】



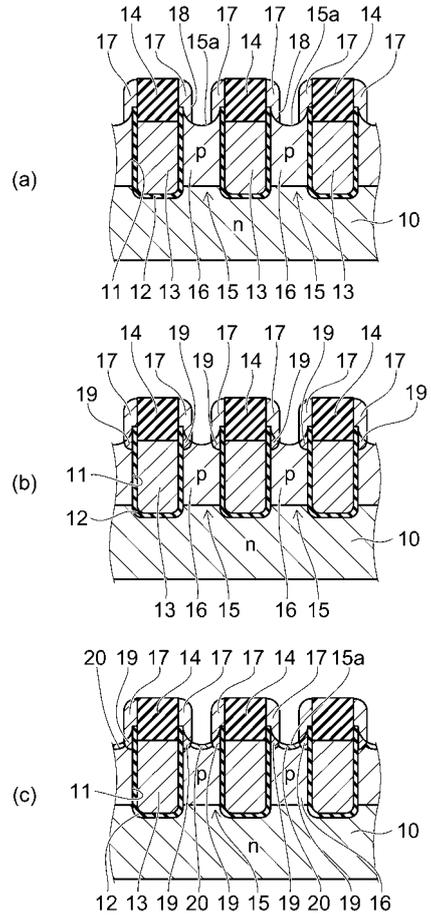
【図2】



【 図 3 】



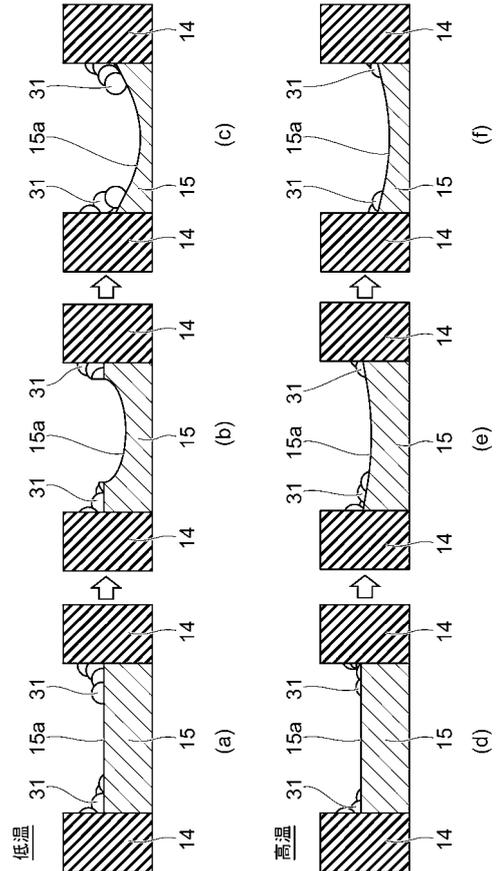
【 図 4 】



【 図 5 】

断面図		ラウンド	25°C	(a)
		ラウンド	40°C	(b)
		フラット	60°C	(c)
		フラット	100°C	(d)
		フラット	120°C	(e)
	形状			
	温度			

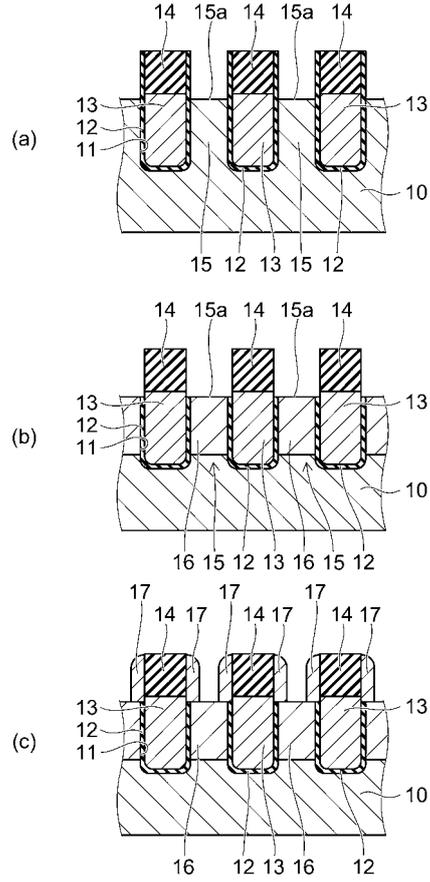
【 図 6 】



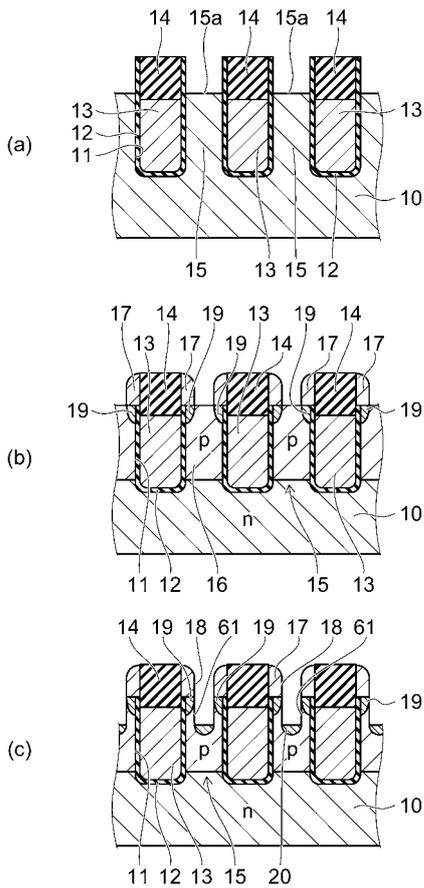
【 図 7 】

ガス流量 (scm)	CF ₄ /O ₂ =150/60	CF ₄ /O ₂ =115/95	CF ₄ /O ₂ =80/130	25°C	断面図	形状	断面図	形状
	CF ₄ /O ₂ =150/60				CF ₄ /O ₂ =115/95	CF ₄ /O ₂ =80/130	断面図	形状
ガス流量比	0.400	0.826	1.625	120°C	断面図	形状	断面図	形状
					概観			

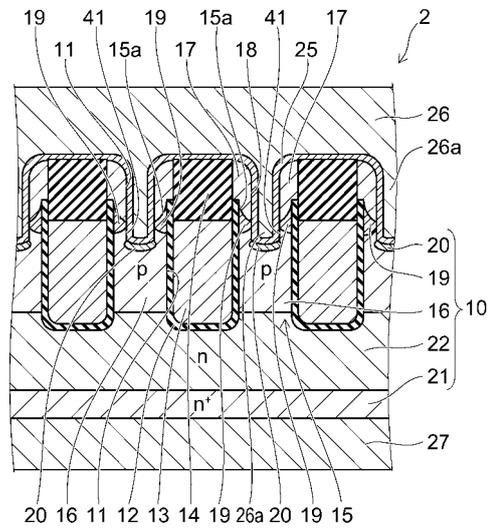
【 図 8 】



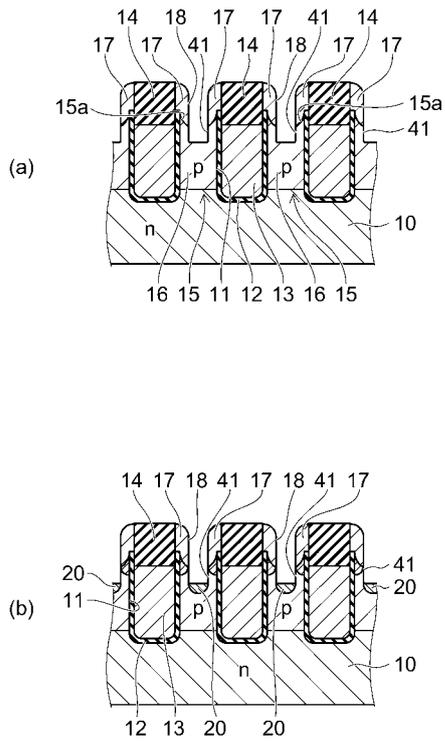
【 図 9 】



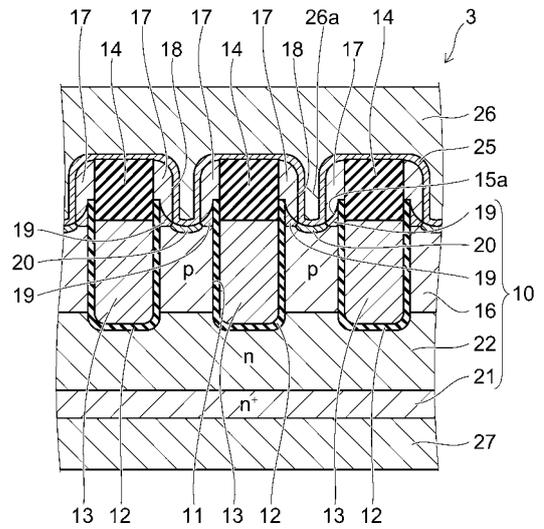
【 図 10 】



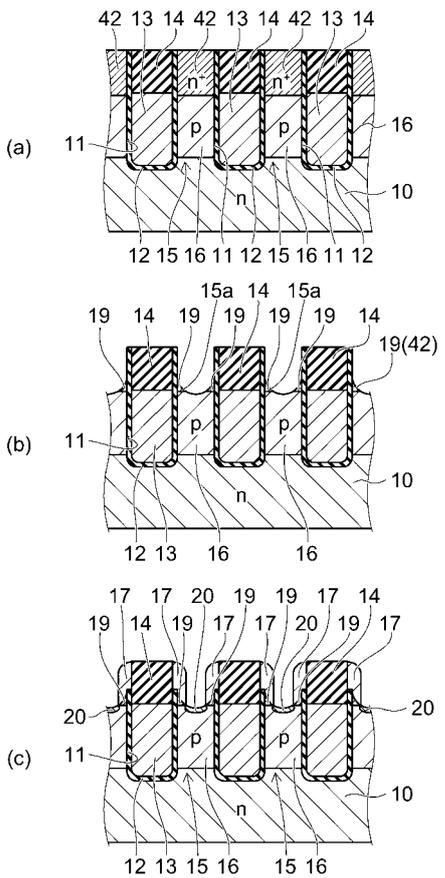
【 図 1 1 】



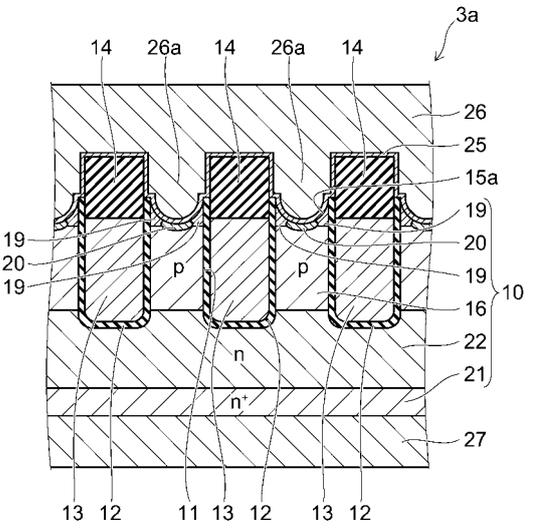
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 6 5 8 E