



(12) 发明专利申请

(10) 申请公布号 CN 114446362 A

(43) 申请公布日 2022. 05. 06

(21) 申请号 202111230654.X

G11C 29/42 (2006.01)

(22) 申请日 2021.10.22

(30) 优先权数据

10-2020-0143803 2020.10.30 KR

10-2021-0078355 2021.06.16 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

申请人 高丽大学校产学协力团

(72) 发明人 卢海东 全有珍 尹慧智 成宗泽

白竣杰 千允洙

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 邵亚丽

(51) Int. Cl.

G11C 16/26 (2006.01)

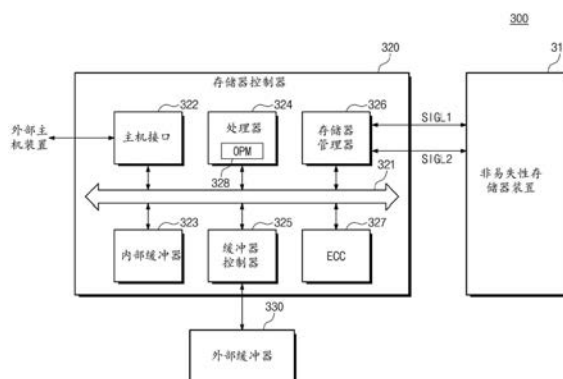
权利要求书3页 说明书17页 附图12页

(54) 发明名称

存储装置、其操作方法以及电子装置的操作方法

(57) 摘要

本发明公开了一种包括非易失性存储器装置和存储器控制器的存储装置,并且该存储装置的操作方法包括:在存储器控制器处将第一读取命令和第一偏移信息发送到非易失性存储器装置;在非易失性存储器装置处基于第一读取命令和第一偏移信息来执行第一读取操作;在非易失性存储器装置处将第一读取操作的结果作为第一数据发送到存储器控制器;在存储器控制器处将第二读取命令、读取电压电平和第二偏移信息发送到非易失性存储器装置;在非易失性存储器装置处基于第二读取命令、读取电压电平和第二偏移信息来执行第二读取操作;以及在非易失性存储器装置处将第二读取操作的结果作为第二数据发送到存储器控制器。



1. 一种包括非易失性存储器装置和存储器控制器的存储装置的操作方法,所述方法包括:

- ①在存储器控制器处,将第一读取命令和第一偏移信息发送到非易失性存储器装置;
- ②在非易失性存储器装置处,基于第一读取命令和第一偏移信息来执行第一读取操作;
- ③在非易失性存储器装置处,将第一读取操作的结果作为第一数据发送到存储器控制器;
- ④在存储器控制器处,将第二读取命令、读取电压电平和第二偏移信息发送到非易失性存储器装置;
- ⑤在非易失性存储器装置处,基于第二读取命令、读取电压电平和第二偏移信息来执行第二读取操作;以及
- ⑥在非易失性存储器装置处,将第二读取操作的结果作为第二数据发送到存储器控制器。

2. 根据权利要求1所述的方法,其中,所述执行第一读取操作包括:
通过使用第一读取电压电平来执行读取操作;
通过使用比第一读取电压电平高第一偏移信息的第二读取电压电平来执行读取操作;
以及

通过使用比第一读取电压电平低第一偏移信息的第三读取电压电平来执行读取操作。

3. 根据权利要求1所述的方法,其中,所述执行第二读取操作包括:
通过使用读取电压电平的第一读取电压电平来执行读取操作;
通过使用比第一读取电压电平高第二偏移信息的第二读取电压电平来执行读取操作;
以及

通过使用比第一读取电压电平低第二偏移信息的第三读取电压电平来执行读取操作。

4. 根据权利要求1所述的方法,还包括:
在存储器控制器处,将第三读取命令发送到非易失性存储器装置;
在非易失性存储器装置处,响应于第三读取命令来执行第三读取操作;以及
在非易失性存储器装置处,将第三读取操作的结果作为第三数据发送到存储器控制器。

5. 根据权利要求4所述的方法,还包括:
对第三数据执行纠错解码,
其中,当对所述第三数据执行纠错解码失败时,执行操作①至⑥。

6. 根据权利要求1所述的方法,还包括:
在存储器控制器处,将第三读取命令和第一读取电压电平发送到非易失性存储器装置;
在非易失性存储器装置处,响应于第三读取命令和第一读取电压电平来执行第三读取操作;以及
在非易失性存储器装置处,将第三读取操作的结果作为第三数据发送到存储器控制器。

7. 根据权利要求6所述的方法,还包括:

对第三数据执行纠错解码,

其中,当对所述第三数据执行纠错解码失败时,执行操作④至⑥。

8.根据权利要求1所述的方法,还包括:

对第二数据执行纠错解码,

其中,基于低密度奇偶校验LDPC对所述第二数据执行纠错解码。

9.根据权利要求1所述的方法,还包括:

基于第一读取操作的结果和包括在存储器控制器中的基于机器学习的偏移预测模块,预测第二偏移信息。

10.根据权利要求9所述的方法,其中,所述预测第二偏移信息包括:

将读取电压电平、与第一读取操作相关联的非易失性存储器装置的地址、执行了第一读取操作的存储器单元的编程和擦除周期的数量,以及与第一偏移信息相关联的非易失性存储器装置的存储器单元的数量中的至少一个输入到基于机器学习的偏移预测模块;以及从基于机器学习的偏移预测模块输出第二偏移信息。

11.根据权利要求9所述的方法,其中,基于机器学习的偏移预测模块对第二偏移信息的预测是基于随机森林、多层感知和线性回归中的至少一个来执行的。

12.根据权利要求1所述的方法,还包括:

基于第一数据生成读取电压电平。

13.一种存储装置,包括:

非易失性存储器装置,包括多个存储器单元;以及

存储器控制器,被配置为:

将第一读取命令和第一偏移信息发送到非易失性存储器装置;

响应于第一读取命令和第一偏移信息,从非易失性存储器装置接收第一数据;

基于第一数据生成读取电压电平;

将第二读取命令、读取电压电平和第二偏移信息发送到非易失性存储器装置;以及

响应于第二读取命令、读取电压电平和第二偏移信息,从非易失性存储器装置接收第二数据。

14.根据权利要求13所述的存储装置,其中,所述存储器控制器还被配置为:

将第三读取命令发送到非易失性存储器装置;

响应于第三读取命令,从非易失性存储器装置接收第三数据;以及

对第三数据执行纠错解码,并且

其中,所述存储器控制器被配置为:响应于纠错解码的失败,将第一读取命令和第一偏移信息发送到非易失性存储器装置。

15.根据权利要求14所述的存储装置,其中,所述存储器控制器被配置为:响应于来自外部主机装置的读取请求,将第三读取命令发送到非易失性存储器装置。

16.根据权利要求13所述的存储装置,其中,所述存储器控制器还被配置为:

将第三读取命令和第一读取电压电平发送到非易失性存储器装置;

响应于第三读取命令和第一读取电压电平,从非易失性存储器装置接收第三数据;以及

对第三数据执行纠错解码,并且

其中,所述存储器控制器被配置为响应于纠错解码的失败,将第二读取命令、第一读取电压电平和第二偏移信息发送到非易失性存储器装置。

17.根据权利要求13所述的存储装置,其中,所述存储器控制器包括基于机器学习的偏移预测模块,并且

其中,所述基于机器学习的偏移预测模块基于与第一数据和第一读取命令相关联的地址以及与所述地址相关联的存储器单元的编程和擦除周期的数量中的至少一个来预测第二偏移信息。

18.根据权利要求17所述的存储装置,其中,所述基于机器学习的偏移预测模块是基于随机森林、多层感知和线性回归中的至少一个来学习的。

19.一种包括多个非易失性存储器装置的电子装置的操作方法,所述方法包括:

对多个非易失性存储器装置执行读取操作以检测非易失性存储器装置中的每一个的存储器单元的阈值电压的分布状态;

基于读取操作的结果来选择强错误率SER的值和/或强正确率SCR的值;

从存储器单元的阈值电压的分布状态获得与SER的值和/或SCR的值相对应的偏移值;以及

通过基于多个非易失性存储器装置的特性、读取操作的地址以及偏移值执行机器学习来生成偏移预测模块。

20.根据权利要求19所述的方法,其中,所述多个非易失性存储器装置具有彼此不同的编程和擦除周期的数量以及彼此不同的不再被操作的时间。

存储装置、其操作方法以及电子装置的操作方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2020年10月30日提交至韩国知识产权局的韩国专利申请No.10-2020-0143803和于2021年6月16日提交至韩国知识产权局的韩国专利申请No.10-2021-0078355的优先权,其公开内容通过引用整体结合于此。

技术领域

[0003] 本文描述的本公开的实施例涉及半导体装置,更具体地,涉及包括具有提高的操作速度和提高的可靠性的非易失性存储器装置(memory device)的存储装置(storage device)、存储装置的操作方法以及包括非易失性存储器装置的电子装置的操作方法。

背景技术

[0004] 非易失性存储器装置即使在未供电时也可以保持存储在其中的数据。非易失性存储器装置可以包括闪速存储器装置、相变存储器装置、磁存储器装置、铁电存储器装置、电阻式存储器装置等。

[0005] 随着数据被存储在非易失性存储器装置中之后时间的流逝、随着执行读取操作、或者随着从外部施加应力,存储在非易失性存储器装置中的数据可能发生错误。具体地,随着以三维结构制造非易失性存储器装置以及随着存储在每个存储器单元中的位的数量增加,可能存在多种错误因素和类型。

[0006] 为了纠正存储在非易失性存储器装置中的数据的错误,可以在从非易失性存储器装置中读取数据时执行纠错。然而,因为存在多种错误因素和类型,因此在纠错中要考虑的因素可能有很多,从而导致纠错所需的时间增加。

发明内容

[0007] 本公开的实施例提供了一种包括以提高的速度执行纠错并且提高可靠性的非易失性存储器装置的存储装置、该存储装置的操作方法以及包括非易失性存储器装置的电子装置的操作方法。

[0008] 根据实施例,一种包括非易失性存储器装置和存储器控制器的存储装置的操作方法包括:在存储器控制器处将第一读取命令和第一偏移信息发送到非易失性存储器装置;在非易失性存储器装置处基于第一读取命令和第一偏移信息执行第一读取操作;在非易失性存储器装置处将第一读取操作的结果作为第一数据发送到存储器控制器;在存储器控制器处将第二读取命令、读取电压电平和第二偏移信息发送到非易失性存储器装置;在非易失性存储器装置处基于第二读取命令、读取电压电平和第二偏移信息执行第二读取操作,以及在非易失性存储器装置处将第二读取操作的结果作为第二数据发送到存储器控制器。

[0009] 根据实施例,一种存储装置包括非易失性存储器装置以及存储器控制器,非易失性存储器装置包括多个存储器单元,存储器控制器将第一读取命令和第一偏移信息发送到非易失性存储器装置、响应于第一读取命令和第一偏移信息从非易失性存储器装置接收第

一数据、基于第一数据生成读取电压电平,将第二读取命令、读取电压电平和第二偏移信息发送到非易失性存储器装置,并且响应于第二读取命令、读取电压电平和第二偏移信息从非易失性存储器装置接收第二数据。

[0010] 根据实施例,一种包括多个非易失性存储器装置的电子装置的操作方法包括:对多个非易失性存储器装置执行读取操作以检测非易失性存储器装置中的每一个的存储器单元的阈值电压的分布状态,基于读取操作的结果来选择强错误率(strong error ratio, SER)的值和/或强正确率(strong correct ratio, SCR)的值,根据存储器单元的阈值电压的分布状态获得与SER的值和/或SCR的值相对应的偏移值,以及通过基于多个非易失性存储器装置的特性、读取操作的地址和偏移值执行机器学习来生成偏移预测模块。

附图说明

[0011] 通过参照附图详细描述本公开的实施例,本公开的上述和其他目的以及特征将变得清楚。

[0012] 图1示出了根据本公开的实施例的电子装置。

[0013] 图2示出了根据示例实施例的图1的电子装置的操作方法的示例。

[0014] 图3是示出根据本公开的实施例的非易失性存储器装置的框图。

[0015] 图4是示出图3的存储器块中的一个存储器块的示例的电路图。

[0016] 图5是示出图3的存储器块的局部结构的立体图。

[0017] 图6示出了数据在存储器单元中被编程的示例。

[0018] 图7示出了根据示例实施例的电子装置生成数据集的过程的示例。

[0019] 图8示出了根据示例实施例的对非易失性存储器装置中的每一个执行第一读取操作的示例。

[0020] 图9示出了根据示例实施例的对非易失性存储器装置中的每一个执行第二读取操作的示例。

[0021] 图10示出了根据示例实施例的对非易失性存储器装置中的每一个执行第二读取操作的另一个示例。

[0022] 图11示出了根据本公开的实施例的存储装置。

[0023] 图12示出了根据示例实施例的存储装置执行读取操作的示例。

[0024] 图13示出了根据示例实施例的存储器控制器基于物理特征来预测第二偏移的示例。

[0025] 图14是示出对其应用了根据本公开的实施例的存储装置的电子装置的示意图。

具体实施方式

[0026] 下面,可以以使得本领域普通技术人员容易实现本公开的程度来详细和清楚地描述本公开的示例实施例。

[0027] 图1示出根据本公开的实施例的电子装置10。参照图1,电子装置10可以包括非易失性存储器装置11、数据库12和计算装置100。

[0028] 非易失性存储器装置11可以直接连接到计算装置100、或者非易失性存储器装置11可以利用与存储器控制器相组合的存储装置来实现并且可以通过存储器控制器连接到

计算装置100。

[0029] 计算装置100可以对非易失性存储器装置11执行读取操作以获得用于机器学习的数据集。计算装置100可以将所获得的数据集存储在数据库12中。

[0030] 计算装置100包括总线110、第一处理器120、第二处理器130、随机访问存储器(RAM) 140、调制解调器150、接口电路160和存储装置170。

[0031] 总线110可以提供计算装置100的组件之间的通道。第一处理器120可以包括驱动计算装置100的操作系统并且执行各种应用的中央处理单元(CPU)。第二处理器130可以包括被配置为执行从第一处理器120委派的任务以支持第一处理器120的辅助处理器。例如,第二处理器130可以包括图形处理单元(GPU)、神经处理单元(NPU)、神经形态(neuromorphic)处理器等。

[0032] RAM 140可以用作计算装置100的主存储器。RAM 140可以存储可由第一处理器120或第二处理器130执行的各种代码,并且可以存储由第一处理器120或第二处理器130处理或将由第一处理器120或第二处理器130处理的各种数据。RAM 140可以包括动态RAM(DRAM)、静态RAM(SRAM)、存储级存储器(SCM)、相变RAM(PRAM)、磁RAM(MRAM)、铁电RAM(FRAM)、电阻式RAM(RRAM)等。

[0033] 调制解调器150可以执行与外部装置的有线或无线通信。调制解调器150可以包括由各种通信协议定义的各种调制器和解调器。

[0034] 接口电路160可以包括被配置为与外部装置进行通信的电路。例如,接口电路160可以与非易失性存储器装置11和数据库12进行通信。接口电路160可以包括被配置为与用户进行通信的电路。接口电路160可以包括用户输入接口电路和用户输出接口电路。

[0035] 存储装置170可以用作计算装置100的辅助存储装置。存储装置170可以存储可由第一处理器120执行的操作系统的原始代码和应用。存储装置170可以存储由第一处理器120和第二处理器130处理的原始数据。存储装置170可以存储由第一处理器120和第二处理器130生成或更新的数据。

[0036] 图2示出了根据示例实施例的图1的电子装置10的操作方法的示例。参照图1和图2,在操作S110中,计算装置100可以连接到存储装置,例如,非易失性存储器装置11。

[0037] 例如,非易失性存储器装置11可以具有相同的数据存储特性或不同的数据存储特性。数据存储特性可以包括与每个非易失性存储器装置的存储器单元相关联的编程和擦除周期的数量、在数据被写入每个非易失性存储器装置的存储器单元之后经过的(或不再被操作的(left alone))时间、每个非易失性存储器装置不再被操作时的温度、在数据被写入每个非易失性存储器装置的存储器单元之后执行的读取操作的数量等。

[0038] 在操作S120中,计算装置100可以对非易失性存储器装置11执行读取操作以获得用于机器学习的数据集。所获得的数据集可以存储在数据库12中。数据集可以包括读取操作的物理特征和关于物理特征的信息。数据集可以包括关于存储器单元的阈值电压的分布状态的信息。

[0039] 在操作S130中,计算装置100可以基于数据集来确定强错误率(SER)的值和强正确率(SCR)的值。SER和SCR可以与用于软判决的读取电平相关联,并且可以基于将被应用于非易失性存储器装置11的纠错解码器的特性来确定。例如,SER的值或SCR的值可以被确定为将被应用于非易失性存储器装置11的纠错解码器具有最高纠正率的值。在本文中,为了便

于描述,“读取电平”和“读取电压电平”的术语可以互换使用。

[0040] 当确定了SER的值或SCR的值时,可以基于关于数据集中包括的存储器单元的阈值电压的分布状态的信息来绘制与所确定的SER值或所确定的SCR值相对应的偏移。例如,数据集可以包括关于数据存储特性、读取操作的物理特征以及根据SER值或SCR值的偏移的信息。

[0041] 在操作S140中,计算装置100可以基于存储在数据库12中的数据集来执行机器学习,并且因此可以生成基于机器学习的偏移预测模块。基于机器学习的偏移预测模块可以被学习为当读取操作的物理特征被输入到其时输出偏移信息。

[0042] 例如,可以基于随机森林(random forest,RF)、多层感知(multi-layer perception,MLP)或线性回归(linear regression,LR)来学习偏移预测模块。随机森林可以包括基于熵的决策树的集成(ensemble)模型。多层感知可以使用至少两个隐藏层并且可以使用双曲线正切(tanh)作为激活函数。

[0043] 图3是示出根据本公开的实施例的非易失性存储器装置200的框图。在实施例中,非易失性存储器装置200可以对应于图1的非易失性存储器装置11中的每一个。

[0044] 参照图3,非易失性存储器装置200包括存储器单元阵列210、行解码器块220、页面缓冲器块230、通过/失败检查(pass/fail check,PFC)块240、数据输入和输出块250、缓冲器块260以及控制逻辑块270。

[0045] 存储器单元阵列210包括多个存储器块BLK1至BLKz。存储器块BLK1至BLKz中的每一个包括多个存储器单元。存储器块BLK1到BLKz中的每一个可以通过一条或多条地选择线(ground selection line,GSL)、字线(word line,WL)以及一条或多条串选择线(string selection line,SSL)连接到行解码器块220。字线WL中的一些可以用作伪(dummy)字线。存储器块BLK1至BLKz中的每一个可以通过多条位线BL连接到页面缓冲器块230。多个存储器块BLK1至BLKz可以与多条位线BL公共地连接。

[0046] 在实施例中,多个存储器块BLK1至BLKz中的每一个可以是擦除操作的单元。属于存储器块BLK1至BLKz中的每一个的存储器单元可以同时被擦除。对于另一个示例,多个存储器块BLK1至BLKz中的每一个可以被划分为多个子块。多个子块中的每一个可以对应于擦除操作的单元。

[0047] 行解码器块220通过地选择线GSL、字线WL和串选择线SSL连接到存储器单元阵列210。行解码器块220在控制逻辑块270的控制下操作。

[0048] 行解码器块220可以解码从缓冲器块260接收到的行地址(row address,RA)并且可以基于解码出的行地址来控制将被施加到串选择线SSL、字线WL和地选择线GSL的电压。

[0049] 页面缓冲器块230通过多条位线BL连接到存储器单元阵列210。页面缓冲器块230通过多条数据线DL连接到数据输入和输出块250。页面缓冲器块230在控制逻辑块270的控制下操作。

[0050] 在编程操作中,页面缓冲器块230可以存储将被写入存储器单元的数据。页面缓冲器块230可以基于所存储的数据向多条位线BL施加电压。在读取操作中或在编程操作或擦除操作中执行的验证读取操作中,页面缓冲器块230可以感测位线BL的电压并且可以存储感测结果。

[0051] 在与编程操作或擦除操作相关联的验证读取操作中,通过/失败检查块240可以验

证页面缓冲器块230的感测结果。例如,在与编程操作相关联的验证读取操作中,通过/失败检查块240可以对分别与未被编程到目标阈值电压或高于目标阈值电压的电压的导通单元(on-cell)相对应的值的数量(例如,0的数量)进行计数。

[0052] 在与擦除操作相关联的验证读取操作中,通过/失败检查块240可以对分别与未被擦除到目标阈值电压或低于目标阈值电压的电压的截止单元(off-cell)的值相对应的数量(例如,1的数量)进行计数。当计数结果是阈值或高于阈值时,通过/失败检查块240可以向控制逻辑块270输出指示失败的信号。当计数结果小于阈值时,通过/失败检查块240可以向控制逻辑块270输出指示通过的信号。取决于通过/失败检查块240的验证结果,可以进一步执行编程操作的编程循环、或者可以进一步执行擦除操作的擦除循环。

[0053] 数据输入和输出块250通过多条数据线DL连接到页面缓冲器块230。数据输入和输出块250可以从缓冲器块260接收列地址(column address,CA)。数据输入和输出块250可以取决于列地址CA将由页面缓冲器块230读取出的数据输出到缓冲器块260。数据输入和输出块250可以基于列地址CA向页面缓冲器块230提供从缓冲器块260接收到的数据。

[0054] 通过第一信号线SIGL1,缓冲器块260可以从外部装置接收命令CMD和地址ADDR并且可以与外部装置交换数据“DATA”。缓冲器块260可以在控制逻辑块270的控制下操作。缓冲器块260可以向控制逻辑块270提供命令CMD。缓冲器块260可以向行解码器块220提供地址ADDR的行地址RA,并且可以向数据输入和输出块250提供地址ADDR的列地址CA。缓冲器块260可以与数据输入和输出块250交换数据“DATA”。

[0055] 控制逻辑块270可以通过第二信号线SIGL2与外部装置交换控制信号CTRL。控制逻辑块270可以允许缓冲器块260路由命令CMD、地址ADDR和数据“DATA”。控制逻辑块270可以对从缓冲器块260接收到的命令CMD进行解码,并且可以基于解码出的命令来控制非易失性存储器装置200。

[0056] 在实施例中,可以以接合(bonding)方式来制造非易失性存储器装置200。可以在第一晶片(wafer)处制造存储器单元阵列210,并且可以在第二晶片处制造行解码器块220、页面缓冲器块230、数据输入和输出块250、缓冲器块260和控制逻辑块270。非易失性存储器装置200可以通过将第一晶片和第二晶片耦合使得第一晶片的上表面和第二晶片的上表面彼此面对来实现。

[0057] 对于另一个示例,可以以外围上单元(cell over peri,COP)的方式来制造非易失性存储器装置200。可以在基底上实现包括行解码器块220、页面缓冲器块230、数据输入和输出块250、缓冲器块260和控制逻辑块270的外围电路。可以在外围电路上实现存储器单元阵列210。外围电路和存储器单元阵列210可以通过使用通孔来连接。

[0058] 图4是图3的存储器块BLK1至BLKz中的一个存储器块BLKa的示例的电路图。参照图4,多个单元串CS11、CS12、CS21和CS22可以以第一方向(例如,行方向)和第二方向(例如,列方向)上被布置在基底SUB上。每个行可以在第一方向上延伸。每个列可以在第二方向上延伸。多个单元串CS11、CS12、CS21和CS22可以公共地连接到形成在基底SUB上(或中)的公共源极线CSL。在图4中,通过示例的方式描绘了基底SUB的位置,以便更好地理解存储器块BLKa的结构。

[0059] 每个行的单元串可以与地选择线GSL以及与第一串选择线SSL1a、SSL1b和第二串选择线SSL2a、SSL2b的相应的串选择线公共地连接。每个列的单元串可以连接到第一位线

BL1和第二位线BL2的相应的位线。多个单元串CS11、CS12、CS21和CS22当中位于相同列的单元串可以连接到相同的位线。例如,单元串CS11和CS21可以连接到第一位线BL1,并且单元串CS12和CS22可以连接到第二位线BL2。多个单元串CS11、CS12、CS21和CS22中的每一个可以包括多个单元晶体管。多个单元晶体管中的每一个可以包括电荷捕获闪速(charge trap flash,CTF)存储器单元,但是本公开不限于此。多个单元晶体管可以在高度方向上堆叠,该高度方向是与由行方向和列方向限定的平面(例如,基底(未示出))垂直的方向。

[0060] 每个单元串可以包括连接到地选择线GSL的至少一个地选择晶体管GST,以及分别连接到多条字线WL1至WL8的多个存储器单元MC1至MC8。第一行的单元串还可以包括连接到第一串选择线SSL1a和SSL1b的串选择晶体管SSTa和SSTb。第二行的单元串还可以包括与第二串选择线SSL2a和SSL2b连接的串选择晶体管SSTa和SSTb。

[0061] 在每个单元串中,地选择晶体管GST、存储器单元MC1至MC8以及串选择晶体管SSTa和SSTb可以在垂直于基底SUB的方向(例如,第三方向)上串联连接,并且可以在垂直于基底SUB的方向上顺序地堆叠。在每个单元串中,存储器单元MC1至MC8中的至少一个存储器单元可以用作伪存储器单元。伪存储器单元可以不被编程(例如,可以被禁止编程)或者可以与除伪存储器单元之外的存储器单元MC1至MC8中的剩余的存储器单元被不同地编程。例如,伪存储器单元可以使用相同的工艺与正常存储器单元同时形成。伪存储器单元可以由伪字线激活,但是可以不具有任何要从外部装置读取的所存储的“数据”。例如,存储在电连接到伪字线的伪存储器单元中的数据可以不通过由页面缓冲器块230提供的选择信号而被传送到存储器单元阵列210的外部,如正常存储器单元(例如,除伪存储器单元之外的存储器单元MC1至MC8)的情况。例如,电连接到伪字线的伪存储器单元可以不像正常存储器单元那样具有任何与位线的连接以在其间传送数据。

[0062] 在实施例中,位于相同高度并且与一条串选择线SSL1a、SSL1b、SSL2a和SSL2b相关联的存储器单元可以形成一个物理页面。一个物理页面的存储器单元可以连接到一条子字线。位于相同高度的物理页面的子字线可以公共地连接到一条字线。

[0063] 图5是图4的存储器块BLKa的局部结构的立体图。参照图3、图4和图5,在第一方向上延伸并且在第二方向上彼此间隔开的公共源极区域CSR设置在基底SUB上。

[0064] 公共源极区域CSR可以公共地连接以形成公共源极线CSL。在实施例中,基底SUB可以包括P型半导体材料。公共源极区域CSR可以包括N型半导体材料。例如,用于增加公共源极线CSL的导电率的导电材料可以设置在公共源极区域CSR上。

[0065] 在公共源极区域CSR之间,绝缘层112和112a在垂直于基底SUB的第三方向上顺序地堆叠在基底SUB上。绝缘层112和112a可以在第三方向上彼此间隔开。在实施例中,绝缘层112和112a可以包括氧化硅或氮化硅。在实施例中,绝缘层112和112a中与基底SUB接触的绝缘层112a的厚度(例如,绝缘层112a在第三方向上的厚度)可以比剩余的绝缘层112中的每一个的厚度(例如,每个绝缘层在第三方向上的厚度)薄。

[0066] 在公共源极区域CSR之间设置多个柱PL,多个柱PL被设置为在第一方向和第二方向上彼此间隔开并且在第三方向上穿透绝缘层112和112a。在实施例中,柱PL可以通过绝缘层112和112a与基底SUB接触。柱PL中的每一个可以包括内部材料114、沟道层115和第一绝缘层116。

[0067] 内部材料114可以包括绝缘材料或气隙。如本文中所讨论的术语“空气”可以指大

气或者可以在非易失性存储器装置200的制造过程期间存在的其他气体。应当理解,“气隙”可以包括具有空气或其他气体(例如,诸如在制造非易失性存储器装置200期间存在的那些气体)的间隙、或者可以包括在其中形成真空的间隙。沟道层115可以包括P型半导体材料或本征半导体材料。第一绝缘层116可以包括诸如氧化硅层、氮化硅层和氧化铝层的绝缘层(例如,不同的绝缘层)中的一个或多个。

[0068] 在公共源极区域CSR之间,第二绝缘层117设置在绝缘层112和112a的上表面和下表面上以及柱PL的暴露的外表面上。可以移除设置在绝缘层112和112a当中最上面的绝缘层的上表面上的第二绝缘层117。

[0069] 在柱PL的每一个中,第一绝缘层116和第二绝缘层117在彼此邻近地耦接时可以形成信息存储层。例如,第一绝缘层116和第二绝缘层117可以包括氧化物-氮化物-氧化物(oxide-nitride-oxide,ONO)或氧化物-氮化物-氧化铝(oxide-nitride-alumina,ONA)。第一绝缘层116和第二绝缘层117可以形成隧穿(tunneling)绝缘层、电荷捕获层和阻挡绝缘层。

[0070] 在公共源极区域CSR之间以及绝缘层112和112a之间,导电材料CM1至CM11设置在第二绝缘层117的暴露的外表面上。导电材料CM1至CM11可以包括金属导电材料。漏极118设置在柱PL上。在实施例中,漏极118可以包括N型半导体材料(例如,硅)。在实施例中,漏极118可以与柱PL的沟道层的上表面接触。

[0071] 在第二方向上延伸并且在第一方向上彼此间隔开的位线BL2和BL3布置在漏极118上。位线BL2和BL3连接到漏极118。在实施例中,漏极118和位线(例如,BL2和BL3)可以通过接触插塞连接。位线BL2和BL3可以包括金属导电材料。

[0072] 柱PL与第二绝缘层117以及导电材料CM1至CM11一起形成单元串CS11、CS12、CS21和CS22。柱PL中的每一个与邻近其的第二绝缘层117以及导电材料CM1至CM11一起形成单元串。第一导电材料CM1可以与邻近其的第一绝缘层116和第二绝缘层117以及沟道层115一起形成地选择晶体管GST。第一导电材料CM1可以在第一方向上延伸以形成地选择线GSL。

[0073] 第二导电材料CM2至第九导电材料CM9可以与邻近其的第一绝缘层116和第二绝缘层117以及沟道层115一起形成第一存储器单元MC1至第八存储器单元MC8。第二导电材料CM2至第九导电材料CM9可以在第一方向上延伸以分别形成第一字线WL1至第八字线WL8。

[0074] 第十导电材料CM10可以与第一绝缘层116和第二绝缘层117以及沟道层115一起形成串选择晶体管SSTa。第十导电材料CM10可以在第一方向上延伸以形成串选择线SSL1a和SSL2a。

[0075] 第十一导电材料CM11可以与邻近其的第一绝缘层116和第二绝缘层117以及沟道层115一起形成串选择晶体管SSTb。第十一导电材料CM11可以在第一方向上延伸以形成串选择线SSL1b和SSL2b。

[0076] 由于第一导电材料CM1至第十一导电材料CM11在第三方向上堆叠,因此在每个单元串中,地选择晶体管GST、存储器单元MC1至MC8以及串选择晶体管SSTa和SSTb可以在第三方向上堆叠。

[0077] 由于在柱PL的每一个中,沟道层115由第一导电材料CM1至第十一导电材料CM11共享,因此在每个单元串中,地选择晶体管GST、存储器单元MC1至MC8以及串选择晶体管SSTa和SSTb可以在第三方向上串联连接。例如,所共享的沟道层115可以形成垂直体。

[0078] 由于第一导电材料CM1至第九导电材料CM9公共地连接,因此地选择线GSL以及第一字线WL1至第八字线WL8可以被认为在单元串CS中公共地连接。

[0079] 可以以三维(3D)存储器阵列设置存储器块BLKa。3D存储器阵列以存储器单元MC的阵列的一个或多个物理层级(level)的方式单片地(monolithically)形成,该存储器单元MC具有设置在硅基底上方的有源区域以及与所述存储器单元MC的操作相关联的电路系统。与存储器单元MC的操作相关联的电路系统可以位于基底上或基底内。术语“单片”是指阵列的每个层级的层直接沉积(deposit)在3D存储器阵列的每个下面的(underlying)层级的层上。

[0080] 在本公开的实施例中,3D存储器阵列包括垂直取向的垂直单元串CS11、CS12、CS21和CS22(或NAND串),使得至少一个存储器单元位于另一个存储器单元的上方。至少一个存储器单元可以包括电荷捕获层。每个单元串还包括放置在存储器单元MC的上方的至少一个选择晶体管。至少一个选择晶体管可以具有与存储器单元MC相同的结构,并且可以与存储器单元MC一致地形成。

[0081] 通过引用结合于此的以下专利文献描述了用于三维存储器阵列的合适的配置,其中,三维存储器阵列被配置为多个层级,在各个层级之间共享字线和/或位线:美国专利No.7,679,133、No.8,553,466、No.8,654,587、No.8,559,235以及美国专利公开No.2011/0233648。

[0082] 图6示出了数据在存储器单元MC中被编程的示例。参照图3、图4、图5和图6,示出了在每个存储器单元MC中三个位被编程的示例。在图6中,水平轴表示存储器单元MC的阈值电压 V_{TH} ,而垂直轴表示存储器单元MC的数量。在实施例中,存储器单元MC可以对应于第一存储器单元MC1至第八存储器单元MC8。

[0083] 其中三个位被编程的每个存储器单元MC可以具有与擦除状态E、第一编程状态P1、第二编程状态P2、第三编程状态P3、第四编程状态P4、第五编程状态P5、第六编程状态P6,以及第七编程状态P7之一相对应的阈值电压。

[0084] 属于两个或更多个状态的电压范围彼此重叠的区域的存储器单元的数据可以读取为读取操作中的错误。存储器单元MC的状态的阈值电压范围可以取决于非易失性存储器装置200的数据存储特性而改变。例如,在非易失性存储器装置200中错误发生的方面可以取决于非易失性存储器装置200的数据存储特性而改变。

[0085] 如参照图4、图5和图6所描述的,错误发生的方面可以取决于与读取操作相关联的物理特征(诸如地址和数据存储特性)而改变。用于增加纠错的准确度的参数(例如,将被施加到存储器单元的电压或电流的值或偏移)可以取决于物理特征而改变。

[0086] 为了计算出当错误发生时能够增加纠错的准确度的电压或电流的值或偏移,可能需要额外的时间并且可以延迟访问非易失性存储器装置200的时间。

[0087] 如参照图2所描述的,根据本公开的实施例的电子装置10可以对非易失性存储器装置11执行读取操作以收集物理特征以及根据物理特征的偏移的数据集。此外,电子装置10可以基于收集到的数据集来执行机器学习,并且因此可以生成偏移预测模块,当与错误发生的存储器单元相关联的物理特征被输入到该偏移预测模块时,该偏移预测模块输出适当的偏移信息。可以绘制适当的偏移信息,而无需额外的时间来计算偏移,并且因此,可以提高关于非易失性存储器装置200的纠错的可靠性和速度。

[0088] 图7示出了根据示例实施例的电子装置10生成数据集的过程的示例。参照图1和图7,在操作S310中,计算装置100可以选择非易失性存储器装置11中的每一个的地址。计算装置100可以顺序地、随机地或基于给定算法来选择非易失性存储器装置11中的每一个的地址。非易失性存储器装置11中的每一个的地址的行地址RA可以包括在物理特征中。

[0089] 在操作S320中,计算装置100可以分别对非易失性存储器装置11中的每一个执行读取操作以检测关于非易失性存储器装置11中的每一个的存储器单元的阈值电压的分布状态的信息。阈值电压的分布状态的信息可包括谷(valley)的信息。在图6中示出的阈值电压分布图中,谷可以对应于两个相邻的阈值电压分布彼此重叠的区域的中心。计算装置100可以基于读取操作的结果来计算区域值VA。谷信息和区域值VA可以包括在物理特征中。例如,区域值VA可以包括存储器单元的阈值电压的分布状态。区域值VA可以包括由两个相邻的读取电压电平限定的每个(或至少一个)区域的存储器单元的数量。至少一个区域可以对应于谷。

[0090] 在操作S330中,计算装置100可以基于SER的值或SCR的值来检测与SER的值和SCR的值相对应的第二偏移。例如,计算装置100可以检测与给定SER值或给定SCR值相对应的第二偏移。可替代地,计算装置100可以检测与不同的SER值或不同的SCR值相对应的第二偏移。

[0091] 在操作S340中,计算装置100可以生成与第二偏移相关联的物理特征的数据作为数据集的一部分。计算装置100可以对不同的物理特征(例如,不同的地址或不同的数据存储特性)重复地执行操作S310和操作S340,并且因此可以生成数据集。

[0092] 图8示出了根据示例实施例的对非易失性存储器装置11中的每一个执行第一读取操作的示例。参照图1、图7和图8,第一读取操作可以包括使用在两个相邻的状态(例如,第一状态S1和第二状态S2)之间限定的标准读取电平(或标准读取电压电平)VR的读取操作、使用比标准读取电平VR高第一偏移(例如, $\Delta V1$)的第一读取电平VR1的读取操作,以及使用比标准读取电平VR低第一偏移的第二读取电平VR2的读取操作。

[0093] 此外,第一读取操作还可以包括使用比第一读取电平VR1高第一偏移的第三读取电平VR3的读取操作,以及使用比第二读取电平VR2低第一偏移的第四读取电平VR4的读取操作。

[0094] 在第一读取操作中,计算装置100可以计算区域值VA(或其存储器单元的数量)作为物理特征。例如,计算装置100可以计算具有在标准读取电平VR与第一读取电平VR1之间的阈值电压的存储器单元的数量作为物理特征。

[0095] 计算装置100可以计算具有在标准读取电平VR与第二读取电平VR2之间的阈值电压的存储器单元的数量作为物理特征。计算装置100可以计算具有在第一读取电平VR1与第三读取电平VR3之间的阈值电压的存储器单元的数量作为物理特征。计算装置100可以计算具有在第二读取电平VR2与第四读取电平VR4之间的阈值电压的存储器单元的数量作为物理特征。

[0096] 计算装置100可以计算具有高于第三读取电平VR3的阈值电压的存储器单元的数量作为物理特征。计算装置100可以计算具有低于第四读取电平VR4的阈值电压的存储器单元的数量作为物理特征。

[0097] 计算装置100可以基于标准读取电平VR、第一读取电平VR1、第二读取电平VR2、第

三读取电平VR3和第四读取电平VR4中的至少三个的读取结果来计算谷V的电平。谷V可以对应于与彼此交叉的两个相邻的状态相对应的线的电平。

[0098] 在实施例中,计算装置100可以对以下两个相邻的状态对执行参照图8所描述的读取操作:擦除状态E和第一编程状态P1、第一编程状态P1和第二编程状态P2、第二编程状态P2和第三编程状态P3、第三编程状态P3和第四编程状态P4、第四编程状态P4和第五编程状态P5、第五编程状态P5和第六编程状态P6,以及第六编程状态P6和第七编程状态P7。

[0099] 例如,计算装置100可以对非易失性存储器装置11中的每一个的相应的两个相邻的状态之间的所有标准读取电平执行第一读取操作,并且可以计算谷V和区域值。

[0100] 对于另一个示例,计算装置100可以对以下两个相邻的状态对中的至少一对执行参照图8所描述的读取操作:擦除状态E和第一编程状态P1、第一编程状态P1和第二编程状态P2、第二编程状态P2和第三编程状态P3、第三编程状态P3和第四编程状态P4、第四编程状态P4和第五编程状态P5、第五编程状态P5和第六编程状态P6,以及第六编程状态P6和第七编程状态P7。

[0101] 例如,计算装置100可以对取决于数据存储特性、阈值电压的改变最大的相邻的编程状态对P6和P7执行参照图8所描述的第一读取操作,并且可以计算谷V和区域值。

[0102] 图9示出了根据示例实施例的对非易失性存储器装置11中的每一个执行第二读取操作的示例。参照图1、图7、图8和图9,第二读取操作可以包括使用在两个相邻的状态之间计算出的硬判决读取电平VRHD的读取操作、在从硬判决读取电平VRHD增加读取电平的同时执行的读取操作,以及在从硬判决读取电平VRHD减小读取电平的同时执行的读取操作。

[0103] 例如,硬判决读取电平VRHD可以对应于通过第一读取操作计算出的谷V的电平。在从硬判决读取电平VRHD增加读取电平的同时执行的读取操作和在从硬判决读取电平VRHD减小读取电平的同时执行的读取操作可以被执行,直到检测到满足SER的读取电平(例如,第一软判决读取电平VSD1和第二软判决读取电平VSD2)为止。通过下面的等式1计算SER。

[0104] [等式1]

[0105]
$$SER = (SE1 + SE2) / (SE1 + SE2 + WE1 + WE2)$$

[0106] 在上面的等式1中,“SE1”指示被编程到第一状态S1(例如,第六编程状态P6)的存储器单元中的(与强错误相对应的)存储器单元的数量,当通过使用硬判决读取电平VRHD被读取时,该存储器单元被确定为第二状态S2,并且即使当通过使用第一软判决读取电平VSD1被读取时,该存储器单元也被确定为第二状态S2。

[0107] 在上面的等式1中,“SE2”指示被编程到第二状态S2(例如,第七编程状态P7)的存储器单元中的(与强错误相对应的)存储器单元的数量,当通过使用硬判决读取电平VRHD被读取时,该存储器单元被确定为第一状态S1,并且即使当通过使用第二软判决读取电平VSD2被读取时,该存储器单元也被确定为第一状态S1。

[0108] 在上面的等式1中,“WE1”指示被编程到第一状态S1(例如,第六编程状态P6)的存储器单元中的(与弱错误相对应的)存储器单元的数量,当通过使用硬判决读取电平VRHD被读取时,该存储器单元被确定为第二状态S2,并且当通过使用第一软判决读取电平VSD1被读取时,该存储器单元被确定为第一状态S1。

[0109] 在上面的等式1中,“WE2”指示被编程到第二状态S2(例如,第七编程状态P7)的存储器单元中的(与弱错误相对应的)存储器单元的数量,当通过使用硬判决读取电平VRHD被

读取时,该存储器单元被确定为第一状态S1,并且当通过使用第二软判决读取电平VSD2被读取时,该存储器单元被确定为第二状态S2。

[0110] 计算装置100可以对非易失性存储器装置11中的每一个执行第二读取操作,直到检测到满足由计算装置100确定的SER的第一软判决读取电平VSD1和第二软判决读取电平VSD2为止。当满足所确定的SER时,计算装置100可以确定硬判决读取电平VRHD与第一软判决读取电平VSD1之间的差、硬判决读取电平VRHD与第二软判决读取电平VSD2之间的差、全部的差、或全部的差的中间值(或平均值),来作为(多个)第二偏移。例如,第二偏移可以表示为 $\Delta V2$ 。

[0111] 图10示出了根据示例实施例的对非易失性存储器装置中的每一个执行第二读取操作的另一个示例。参照图1、图7、图8和图10,第二读取操作可以包括使用在两个相邻的状态之间计算出的硬判决读取电平VRHD的读取操作、在从硬判决读取电平VRHD增加读取电平的同时执行的读取操作,以及在从硬判决读取电平VRHD减小读取电平的同时执行的读取操作。

[0112] 例如,硬判决读取电平VRHD可以对应于通过第一读取操作计算出的谷V的电平。在从硬判决读取电平VRHD增加读取电平的同时执行的读取操作和在从硬判决读取电平VRHD减小读取电平的同时执行的读取操作可以被执行,直到检测到满足SCR的读取电平(例如,第一软判决读取电平VSD1和第二软判决读取电平VSD2)为止。通过下面的等式2计算SCR。

[0113] [等式2]

$$[0114] \quad SCR = (SC1 + SC2) / (SC1 + SC2 + WC1 + WC2)$$

[0115] 在上面的等式2中,“SC1”指示被编程到第一状态S1(例如,第六编程状态P6)的存储器单元中的(与强正确相对应的)存储器单元的数量,当通过使用硬判决读取电平VRHD被读取时,该存储器单元被确定为第一状态S1,并且即使当通过使用第二软判决读取电平VSD2被读取时,该存储器单元也被确定为第一状态S1。

[0116] 在上面的等式2中,“SC2”指示被编程到第二状态S2(例如,第七编程状态P7)的存储器单元中的(与强正确相对应的)存储器单元的数量,当通过使用硬判决读取电平VRHD被读取时,该存储器单元被确定为第二状态S2,并且即使当通过使用第一软判决读取电平VSD1被读取时,该存储器单元也被确定为第二状态S2。

[0117] 在上面的等式2中,“WC1”指示被编程到第一状态S1(例如,第六编程状态P6)的存储器单元中的(与弱正确相对应的)存储器单元的数量,当通过使用硬判决读取电平VRHD被读取时,该存储器单元被确定为第一状态S1,并且当通过使用第二软判决读取电平VSD2被读取时,该存储器单元被确定为第二状态S2。

[0118] 在上面的等式2中,“WC2”指示被编程到第二状态S2(例如,第七编程状态P7)的存储器单元中的(与弱正确相对应的)存储器单元的数量,当通过使用硬判决读取电平VRHD被读取时,该存储器单元被确定为第二状态S2,并且当通过使用第一软判决读取电平VSD1被读取时,该存储器单元被确定为第一状态S1。

[0119] 计算装置100可以对非易失性存储器装置11中的每一个执行第二读取操作,直到检测到满足由计算装置100确定的SCR的第一软判决读取电平VSD1和第二软判决读取电平VSD2为止。当满足所确定的SCR时,计算装置100可以确定硬判决读取电平VRHD与第一软判决读取电平VSD1之间的差、硬判决读取电平VRHD与第二软判决读取电平VSD2之间的差、全

部的差、或全部的差的中间值(或平均值),来作为(多个)第二偏移。

[0120] 在实施例中,计算装置100可以选择SER的值和SCR的值两者,并且可以根据满足SER值和SCR值的软判决读取电平计算第二偏移。计算装置100可以确定满足SER值的第二偏移和满足SCR值的第二偏移的中间值、平均值等,来作为最终的第二偏移。

[0121] 对于另一个示例,计算装置100可以仅选择SER的值和SCR的值之一,并且可以根据满足所选SER值或所选SCR值的软判决读取电平计算第二偏移。

[0122] 当计算出第二偏移时,计算装置100可以在数据库12中存储将(例如,包括地址、数据存储特性等的)物理特征与第二偏移相关联的数据作为数据集的一部分。

[0123] 图11示出了根据本公开的实施例的存储装置300。参照图11,存储装置300可以包括非易失性存储器装置310、存储器控制器320和外部缓冲器330。非易失性存储器装置310可以包括多个存储器单元。多个存储器单元中的每一个可以存储两个或更多个位。

[0124] 例如,非易失性存储器装置310可以包括各种非易失性存储器装置(诸如闪存装置、相变存储器装置、铁电存储器装置、磁存储器装置和电阻式存储器装置)中的至少一种。非易失性存储器装置310可以包括参照图3至5描述的非易失性存储器装置200。

[0125] 存储器控制器320可以从外部主机装置接收对在非易失性存储器装置310中写入数据或从非易失性存储器装置310读取数据的各种请求。存储器控制器320可以将与外部主机装置进行通信的用户数据存储(或缓冲)到外部缓冲器330,并且可以将用于管理存储装置300的元数据存储到外部缓冲器330。

[0126] 存储器控制器320可以通过第一信号线SIGL1和第二信号线SIGL2访问非易失性存储器装置310。例如,存储器控制器320可以通过第一信号线SIGL1将命令和地址发送到非易失性存储器装置310。存储器控制器320可以通过第一信号线SIGL1与非易失性存储器装置310交换数据。

[0127] 存储器控制器320可以通过第二信号线SIGL2与非易失性存储器装置310交换控制信号。

[0128] 在实施例中,存储器控制器320可以被配置为控制两个或更多个非易失性存储器装置。存储器控制器320可以为两个或更多个非易失性存储器装置中的每一个提供第一信号线和第二信号线。

[0129] 对于另一个示例,存储器控制器320可以提供第一信号线,以由两个或更多个非易失性存储器装置共享。存储器控制器320可以提供第二信号线的一部分,以由两个或更多个非易失性存储器装置共享,并且可以分离地提供第二信号线的剩余部分。

[0130] 外部缓冲器330可以包括随机访问存储器。例如,外部缓冲器330可以包括DRAM、PRAM、FRAM、MRAM和RRAM中的至少一个。

[0131] 存储器控制器320可以包括总线321、主机接口322、内部缓冲器323、处理器324、缓冲器控制器325、存储器管理器326和纠错码(ECC)块327。

[0132] 总线321可以提供存储器控制器320中的组件之间的通信通道。主机接口322可以从外部主机装置接收各种请求,并且可以解析接收到的请求。主机接口322可以将经解析的请求存储在内部缓冲器323中。

[0133] 主机接口322可以向外部主机装置发送各种响应。主机接口322可以按照给定的通信协议与外部主机装置交换信号。内部缓冲器323可以包括RAM。例如,内部缓冲器323可以

包括SRAM或DRAM。

[0134] 处理器324可以驱动用于驱动存储器控制器320的操作系统或固件。处理器324可以读取存储在内部缓冲器323中的经解析的请求,并且可以生成用于控制非易失性存储器装置310的命令和地址。处理器324可以将所生成的命令和地址提供给存储器管理器326。

[0135] 处理器324可以将用于管理存储装置300的各种元数据存储在内部缓冲器323中。处理器324可以通过缓冲器控制器325访问外部缓冲器330。处理器324可以控制缓冲器控制器325和存储器管理器326,使得存储在外部缓冲器330中的用户数据被提供给非易失性存储器装置310。

[0136] 处理器324可以控制主机接口322和缓冲器控制器325,使得存储在外部缓冲器330中的数据被提供给外部主机装置。处理器324可以控制缓冲器控制器325和存储器管理器326,使得从非易失性存储器装置310接收到的数据被存储在外部缓冲器330中。处理器324可以控制主机接口322和缓冲器控制器325,使得从外部主机装置接收到的数据被存储在外部缓冲器330中。

[0137] 在处理器324的控制下,缓冲器控制器325可以在外部缓冲器330中写入数据或可以从外部缓冲器330读取数据。存储器管理器326可以在处理器324的控制下通过第一信号线SIGL1和第二信号线SIGL2与非易失性存储器装置310进行通信。

[0138] 存储器管理器326可以在处理器324的控制下访问非易失性存储器装置310。例如,存储器管理器326可以通过第一信号线SIGL1和第二信号线SIGL2访问非易失性存储器装置310。存储器管理器326可以基于按照标准定义的或者由制造商定义的协议来与非易失性存储器装置310进行通信。

[0139] ECC块327可以通过使用纠错码ECC对将被提供给非易失性存储器装置310的数据执行纠错编码。ECC块327可以通过使用纠错码ECC对从非易失性存储器装置310接收到的数据执行纠错解码。

[0140] 在实施例,存储装置300可以不包括外部缓冲器330和缓冲器控制器325。当外部缓冲器330和缓冲器控制器325不被包括在存储装置300中时,外部缓冲器330和缓冲器控制器325的上述功能可以由内部缓冲器323来执行。

[0141] 处理器324可以包括偏移预测模块(offset prediction module,OPM) 328。可以基于从图1的计算装置100获得的数据集来学习OPM 328。可以基于随机森林、多层感知或线性回归来学习OPM328。响应于接收到物理特征,可以学习OPM328以预测指示第二偏移的偏移信息。这里,存储装置300可以对应于图1的存储装置170。

[0142] 图12示出了根据示例实施例的存储装置300执行读取操作的示例。参照图11和图12,操作S411至操作S414可以对应于第一步读取操作。参照第一步读取操作,在操作S411中,存储器控制器320可以将读取命令发送到非易失性存储器装置310。例如,存储器控制器320可以取决于外部主机装置的请求或内部指定的调度将读取命令发送到非易失性存储器装置310。

[0143] 响应于读取命令,在操作S412中,非易失性存储器装置310可以执行读取操作。例如,非易失性存储器装置310可以基于标准读取电平VR来执行读取操作。在操作S413中,非易失性存储器装置310可以将第一数据作为读取操作的结果发送到存储器控制器320。

[0144] 在操作S414中,存储器控制器320可以基于纠错码块327来执行纠错解码。当通过

纠错解码纠正了第一数据的错误时,即,当纠错码ECC失败未发生时,在操作S450中,存储器控制器320可以确定读取操作成功。

[0145] 当纠错解码未纠正第一数据的错误时,即,当纠错码ECC失败发生时,可以执行操作S421至操作S424的第二步读取操作。参照第二步读取操作,在操作S421中,存储器控制器320可以将读取命令和第一偏移的信息发送到非易失性存储器装置310。第一偏移可以对应于参照图8描述的第一偏移。第一偏移可以是用于搜索谷V的偏移。

[0146] 响应于读取命令和第一偏移的信息,在操作S422中,非易失性存储器装置310可以执行读取操作。例如,非易失性存储器装置310可以基于(多个)标准读取电平VR、比标准读取电平高第一偏移的(多个)读取电平,以及比标准读取电平低第一偏移的(多个)读取电平来执行(多个)读取操作。

[0147] 在操作S423中,非易失性存储器装置310可以将第二数据作为读取操作的结果发送到存储器控制器320。在操作S424中,存储器控制器320可以基于第二数据检测(多个)硬判决读取电平VRHD。

[0148] 响应于检测到(多个)硬判决读取电平VRHD,可以执行操作S431至操作S434的第三步读取操作。参照第三步读取操作,在操作S431中,存储器控制器320可以将读取命令和(多个)硬判决读取电平VRHD的信息发送到非易失性存储器装置310。例如,存储器控制器320可以根据外部主机装置的请求或内部指定的调度将读取命令发送到非易失性存储器装置310。

[0149] 例如,(多个)硬判决读取电平VRHD的信息可以以与(多个)标准读取电平VR相关联的(多个)偏移的形式被提供给非易失性存储器装置310。非易失性存储器装置310可以基于(多个)偏移,根据标准读取电平VR来检测(多个)硬判决读取电平VRHD。

[0150] 响应于读取命令和(多个)硬判决读取电平VRHD的信息,在操作S432中,非易失性存储器装置310可以执行读取操作。例如,非易失性存储器装置310可以基于硬判决读取电平VRHD来执行读取操作。在操作S433中,非易失性存储器装置310可以将第三数据作为读取操作的结果发送到存储器控制器320。

[0151] 在操作S434中,存储器控制器320可以基于纠错码块327来执行纠错解码。当通过纠错解码纠正了第三数据的错误时,即,当纠错码ECC失败未发生时,在操作S450中,存储器控制器320可以确定读取操作成功。

[0152] 当纠错解码未纠正第三数据的错误时,即,当纠错码ECC失败发生时,可以执行操作S441至操作S445的第四步读取操作。参照第四步读取操作,在操作S441中,存储器控制器320可以基于包括地址、在第二步读取操作中检测到的区域值,以及将被读取的存储器单元的数据存储特性的物理特征,来根据偏移预测模块328预测第二偏移。

[0153] 在操作S442中,存储器控制器320可以将读取命令、(多个)硬判决读取电平VRHD的信息,以及第二偏移的信息发送到非易失性存储器装置310。例如,(多个)硬判决读取电平VRHD的信息可以以与(多个)标准读取电平VR相关联的(多个)偏移的形式被提供给非易失性存储器装置310。非易失性存储器装置310可以基于(多个)偏移,根据标准读取电平VR来检测(多个)硬判决读取电平VRHD。第二偏移可以对应于参照图9和10描述的第二偏移。第二偏移可以是满足给定的SER或SCR的偏移。

[0154] 在操作S443中,非易失性存储器装置310可以基于读取命令、(多个)硬判决读取电

平VRHD的信息,以及第二偏移的信息来执行读取操作。例如,非易失性存储器装置310可以基于硬判决读取电平VRHD、比硬判决读取电平VRHD高第二偏移的读取电平,以及比硬判决读取电平VRHD低第二偏移的读取电平来执行读取操作。

[0155] 在操作S444中,非易失性存储器装置310可以将第四数据作为读取操作的结果发送到存储器控制器320。在操作S445中,存储器控制器320可以基于纠错码块327来执行纠错解码。

[0156] 在实施例,纠错解码可以基于软判决。纠错解码可以基于低密度奇偶校验(LDPC)。可以将似然比或似然应用与通过使用硬判决读取电平VRHD的读取操作的结果、通过使用比硬判决读取电平VRHD高第二偏移的读取电平的读取操作的结果,以及通过使用比硬判决读取电平VRHD低第二偏移的读取电平的读取操作的结果。

[0157] 可以基于似然比或似然,通过重复从校验节点到变量节点(variable node)的消息传输和从变量节点到校验节点的消息传输来执行纠错解码。当通过纠错解码纠正了第四数据的错误时,即,当纠错码ECC失败未发生时,在操作S450中,存储器控制器320可以确定读取操作成功。

[0158] 当纠错解码未纠正第四数据的错误时,即,当纠错码ECC失败发生时,在操作S460中,存储器控制器320可以执行与非易失性存储器装置310的坏处理。例如,存储器控制器320可以将作为读取目标的存储块处理为坏块。

[0159] 当读取操作成功或当坏处理完成时,对非易失性存储器装置310和存储器控制器320的读取操作可以被终止。在实施例,可以省略第三步读取操作。例如,响应于检测到硬判决读取电平VRHD,可以执行第四步读取操作。

[0160] 图13示出了根据实施例的存储器控制器320基于物理特征来预测第二偏移的示例。参照图11和图13,在操作S510中,存储器控制器320可以收集物理特征。物理特征可以包括地址、在第二步读取操作中收集到的区域值和将被读取的存储器单元的数据存储特性。

[0161] 在操作S520中,存储器控制器320可以将收集到的物理特征输入到偏移预测模块328。例如,偏移预测模块328可以由加速基于机器学习的计算/运算的分离的加速处理器来执行。

[0162] 在操作S530中,存储器控制器320可以从偏移预测模块328接收与物理特征相对应的第二偏移。

[0163] 如上所述,根据本公开的实施例的存储装置300可以通过使用基于机器学习的偏移预测模块来预测软判决所需的读取电平。因此,执行软判决所需的时间可以减少。此外,因为获得了用于软判决的最优读取电平,所以可以提高软判决的可靠性。

[0164] 图14为根据实施例的应用了存储装置的系统1000的示意图。图14的系统1000基本上可以是移动系统,例如便携式通信终端(例如,移动电话)、智能手机、平板个人计算机(PC)、可穿戴装置、医疗保健装置或物联网(IOT)装置。但是,图14的系统1000不必限于移动系统,其可以是PC、膝上型计算机、服务器、媒体播放器或汽车装置(例如,导航装置)。

[0165] 参照图14,系统1000可以包括主处理器1100、存储器(例如,1200a和1200b)以及存储装置(例如,1300a和1300b)。并且,系统1000可以包括图像捕获装置1410、用户输入装置1420、传感器1430、通信装置1440、显示器1450、扬声器1460、供电装置1470以及连接接口

1480中的至少一个。

[0166] 主处理器1100可以控制系统1000的所有操作,更具体地,可以控制系统1000中包括的其他组件的操作。主处理器1100可以被实现为通用处理器、专用处理器或应用程序处理器等。

[0167] 主处理器1100可以包括至少一个中央处理器(CPU)核1110,并且还包括控制器1120,其用于控制存储器1200a和1200b和/或存储装置1300a和1300b。在一些实施例中,主处理器1100可以进一步包括加速器1130,其是用于诸如人工智能(AI)数据操作等的高速数据操作的专用电路。加速器1130可以包括图形处理单元(GPU)、神经处理单元(NPU)和/或数据处理单元(DPU)等,并且被实现为与主处理器1100的其他组件物理上分离的芯片。

[0168] 存储器1200a和1200b可以用作系统1000的主存储器装置。尽管存储器1200a和1200b可以分别包括易失性存储器,例如SRAM和/或DRAM,但是存储器1200a和1200b可以分别包括非易失性存储器,例如闪存、PRAM和/或RRAM。存储器1200a和1200b可以在与主处理器1100相同的封装中实现。

[0169] 存储装置1300a和1300b可以用作非易失性存储装置,其被配置为不管是否被供电都存储数据,并且具有比存储器1200a和1200b更大的存储容量。存储装置1300a和1300b可以分别包括存储控制器(STRG CTRL) 1310a和1310b以及非易失性存储器(NVM) 1320a和1320b,其被配置为经由存储控制器1310a和1310b的控制来存储数据。尽管NVM 1320a和1320b可以包括具有二维(2D)或三维(3D)结构的V-NAND闪存,但是NVM 1320a和1320b可以包括其他类型的NVM,例如PRAM和/或RRAM等。

[0170] 存储装置1300a和1300b可以与主处理器1100物理上分离并且包括在系统1000中,或者可以在与主处理器1100相同的封装中实现。此外,存储装置1300a和1300b可以具有固态装置(SSD)或存储卡的类型,并且可以通过诸如稍后将描述的连接接口1480之类的接口与系统1000的其他组件可移除地结合。存储装置1300a和1300b可以是应用了诸如通用闪存(UFS)、嵌入式多媒体卡(eMMC)或NVMe之类的标准协议的装置,但不限于此。

[0171] 图像捕获装置1410可以拍摄静止图像或运动图像。图像捕获装置1410可以包括照相机、便携式摄像机和/或网络摄像头等。

[0172] 用户输入装置1420可以接收由系统1000的用户输入的各种类型的数据,并且包括触摸板、键区、键盘、鼠标和麦克风等。

[0173] 传感器1430可以检测可以从系统1000的外部获得的各种类型的物理量,并将所检测的物理量转换成电信号。传感器1430可以包括温度传感器、压力传感器、照度传感器、位置传感器、加速度传感器、生物传感器和/或陀螺仪传感器等。

[0174] 通信装置1440可以根据各种通信协议在系统1000外部的其他装置之间发送和接收信号。通信装置1440可以包括天线、收发器或调制解调器等。

[0175] 显示器1450和扬声器1460可以用作输出装置,其被配置为分别向系统1000的用户输出视觉信息和听觉信息。

[0176] 供电装置1470可以适当地转换从嵌入在系统1000中的电池(未示出)和/或外部电源供应的电力,并且将所转换的电力供应给系统1000的每个组件。

[0177] 连接接口1480可以提供系统1000和外部装置之间的连接,该外部装置连接到系统1000并且能够向系统1000发送数据和从系统1000接收数据。连接接口1480可以通过使用各

种接口方案来实现,例如,高级技术附件(ATA)、串行ATA(SATA)、外部串行ATA(e-SATA)、小型计算机系统接口(SCSI)、串行SCSI(SAS)、外部设备互连(PCI)、PCI express(PCIe)、NVMe、IEEE1394、通用串行总线(USB)接口、安全数码(SD)卡接口、多媒体卡(MMC)接口、嵌入式多媒体卡(eMMC)接口、UFS接口、嵌入式UFS(eUFS)接口和紧凑式闪存(CF)卡接口等。

[0178] 在实施例中,存储装置1300a和1300b中的每一个可以对应于参照图11至图13所描述的存储装置300。存储控制器(STRG-CTRL) 1310a和1310b中的每一个可以对应于参照图11至图13描述的存储器控制器320。非易失性存储器装置1320a和1320b中的每一个可以包括参照图11至图13描述的非易失性存储器装置310。

[0179] 在以上实施例中,通过使用术语“第一”、“第二”、“第三”等来描述根据本公开的组件。但是,术语“第一”、“第二”、“第三”等可以用于将组件彼此区分开并且不限制本公开。例如,术语“第一”、“第二”、“第三”等不涉及任何形式的顺序或数字含义。

[0180] 在以上实施例中,通过使用块来引用根据本公开的实施例的组件。这些块可以用各种硬件装置(诸如集成电路、专用IC(ASIC)、现场可编程门阵列(FPGA)和复杂可编程逻辑装置(CPLD))、在硬件装置中驱动的固件、软件(诸如应用)、或硬件装置和软件的组合来实现。此外,这些块可以包括用集成电路中的半导体元件实现的电路、或者被注册为知识产权(IP)的电路。

[0181] 根据本公开,可以基于机器学习来预测用于确定用于纠错的读取操作的读取电平(多个)偏移的信息。因此,提供了包括以提高的速度执行纠错并且提高可靠性的非易失性存储器装置的存储装置、存储装置的操作方法以及包括非易失性存储器装置的电子装置的操作方法。

[0182] 尽管已经参照本公开的实施例描述了本公开,但是本领域的普通技术人员将清楚的是,在不脱离如所附权利要求书中所阐述的本公开的精神和范围的情况下,可以对本公开进行各种改变和修改。

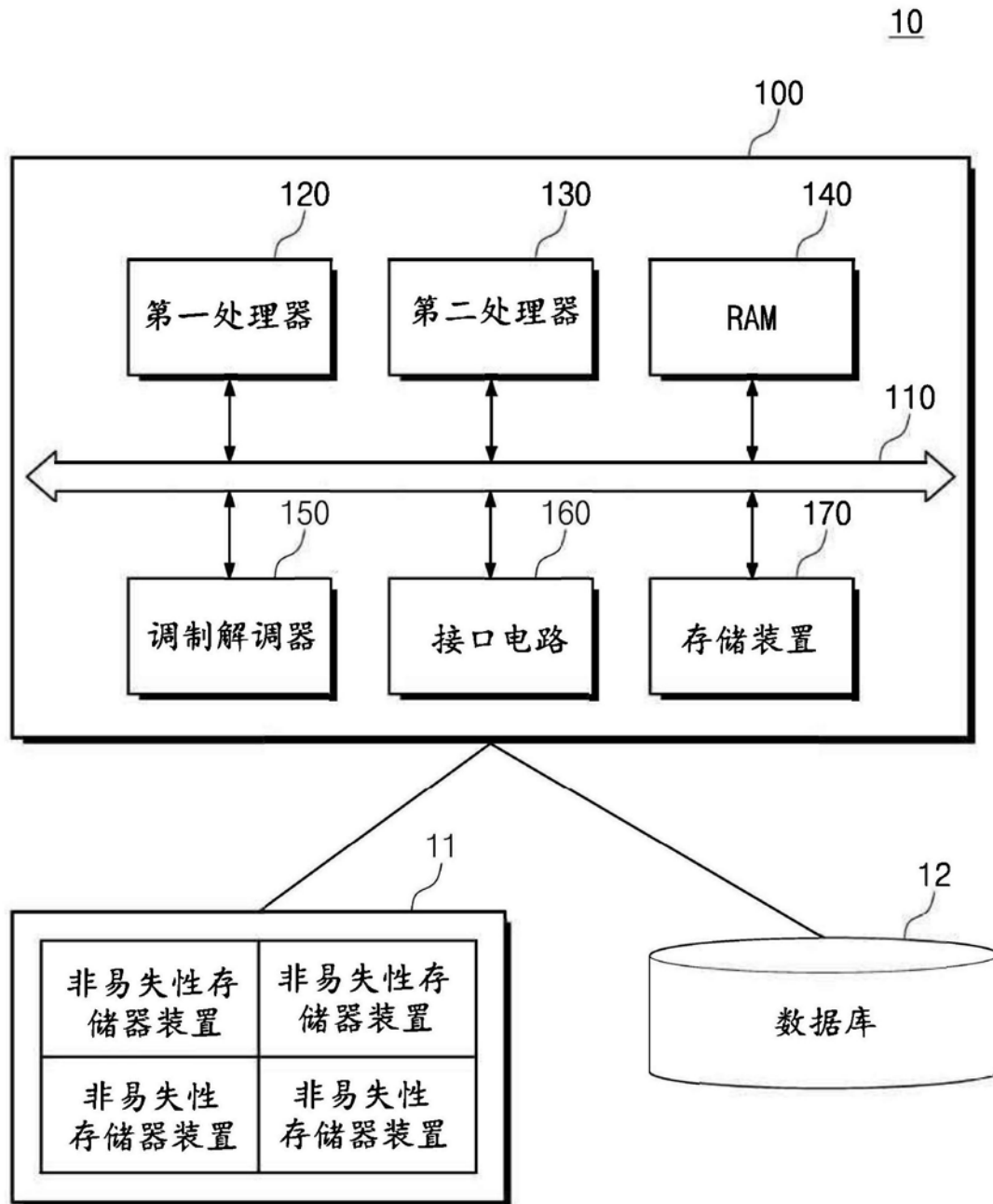


图1

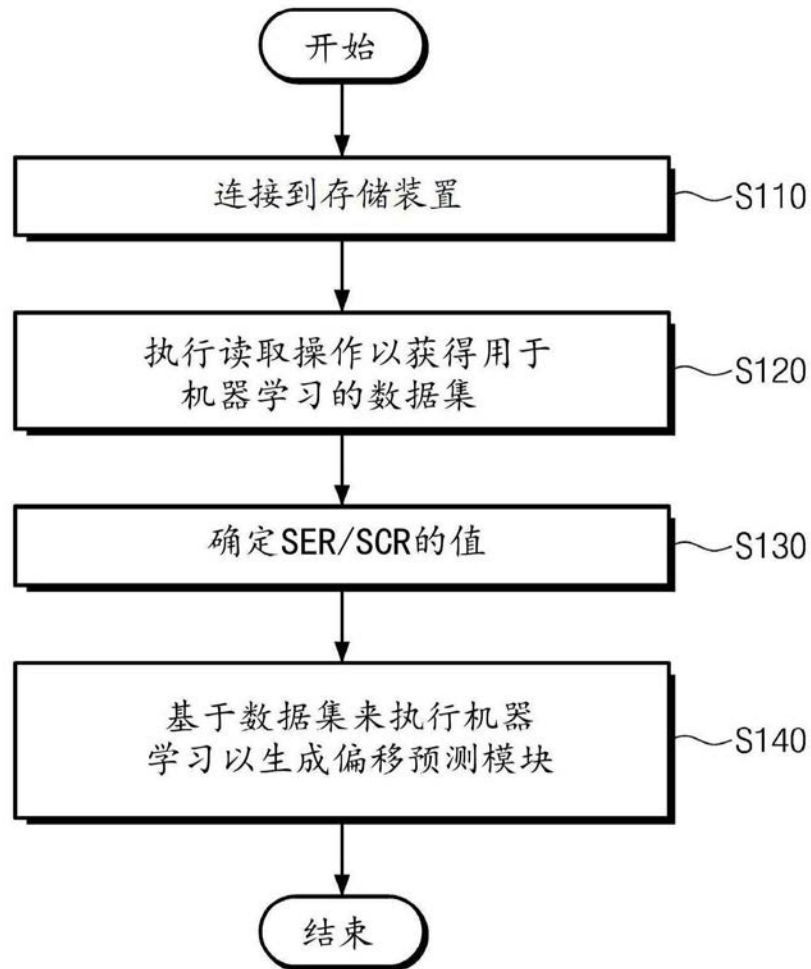


图2

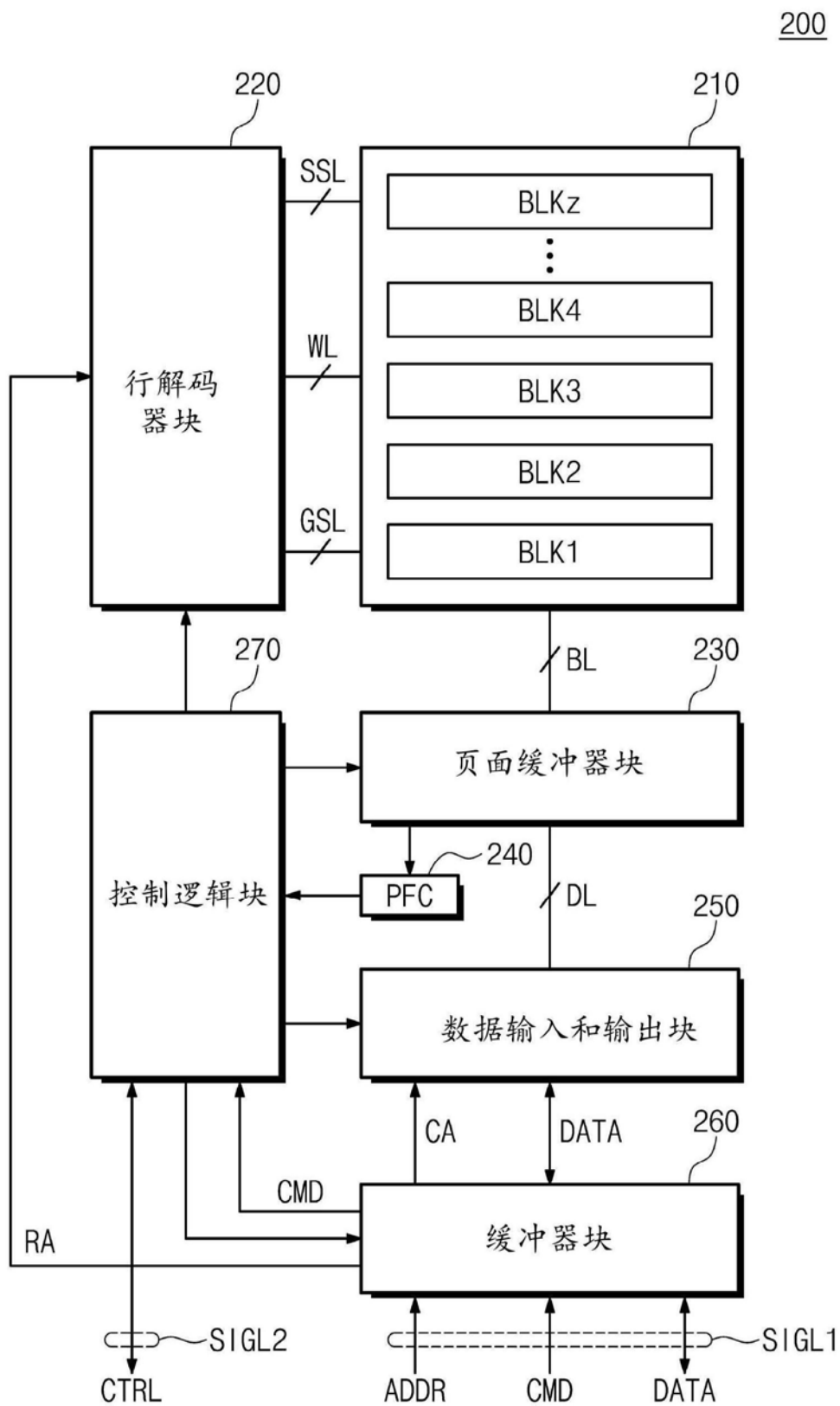


图3

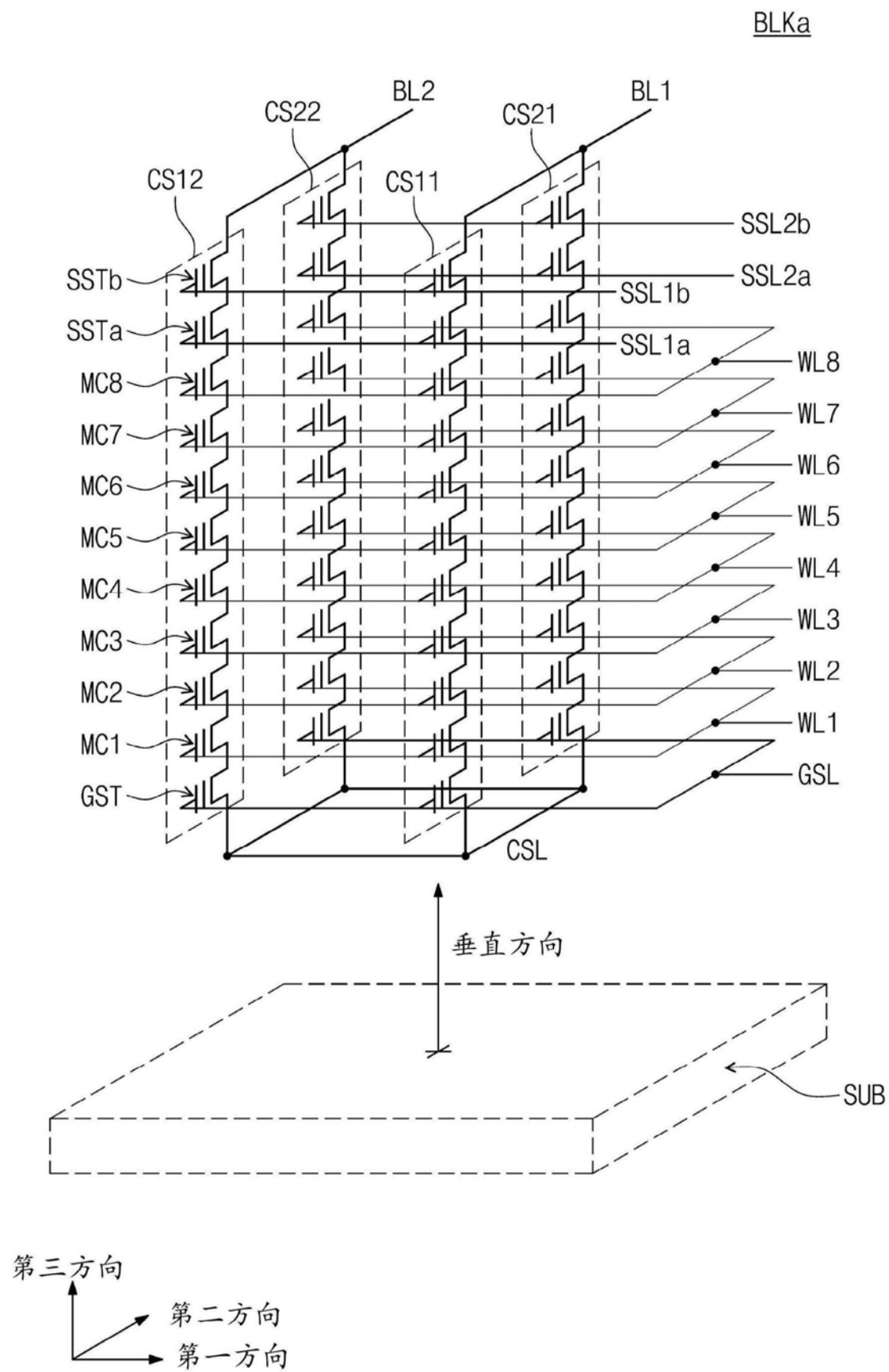


图4

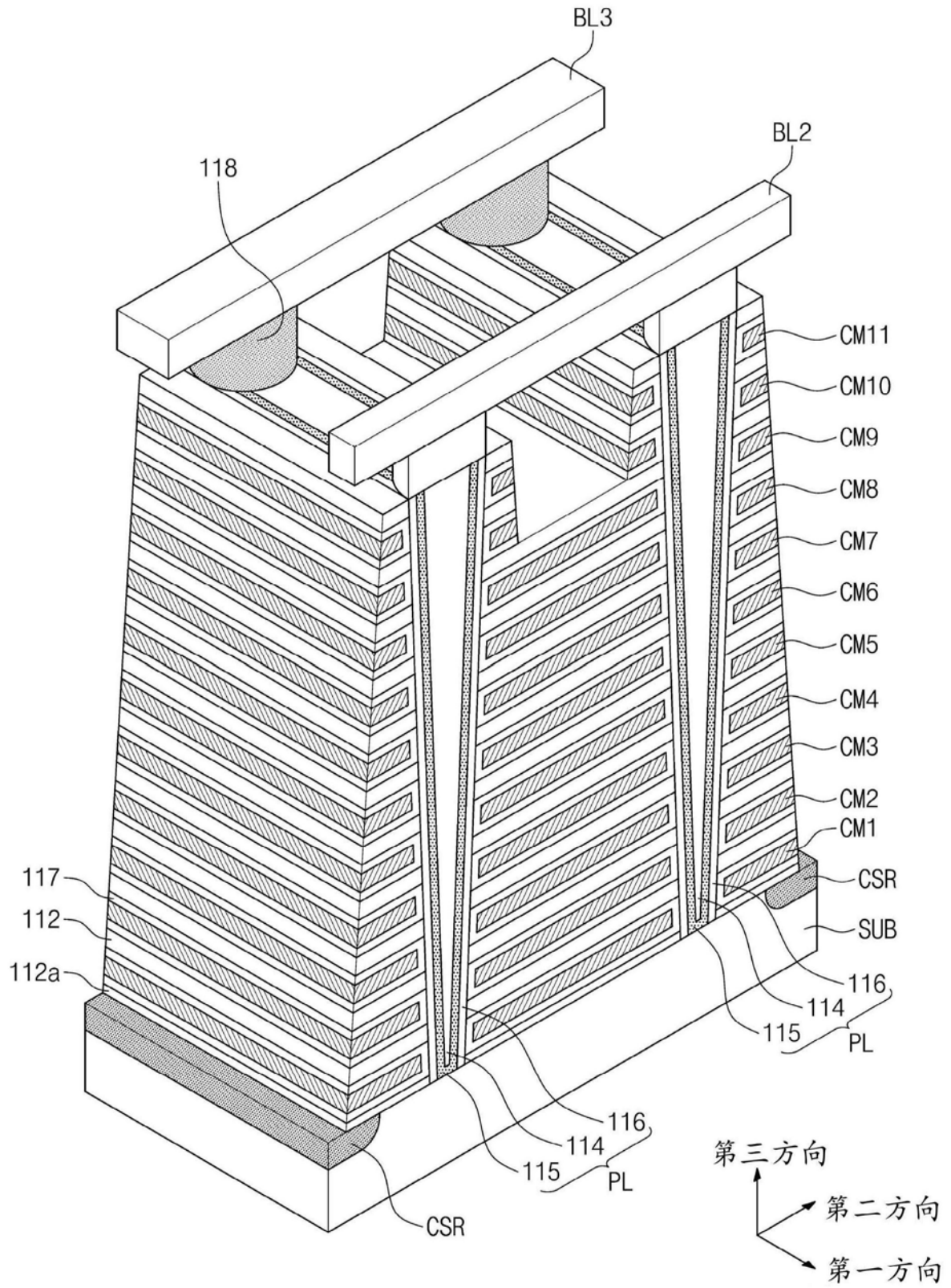


图5

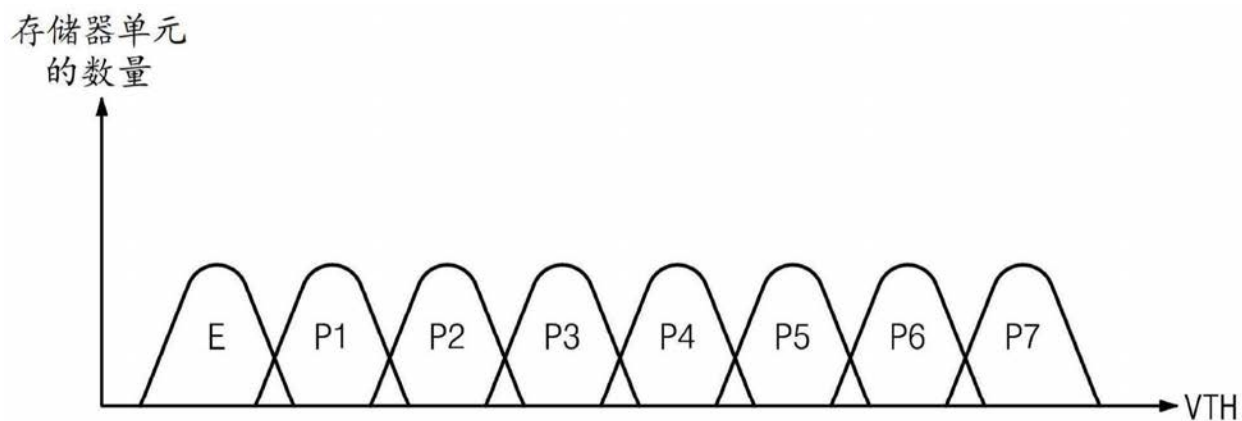


图6

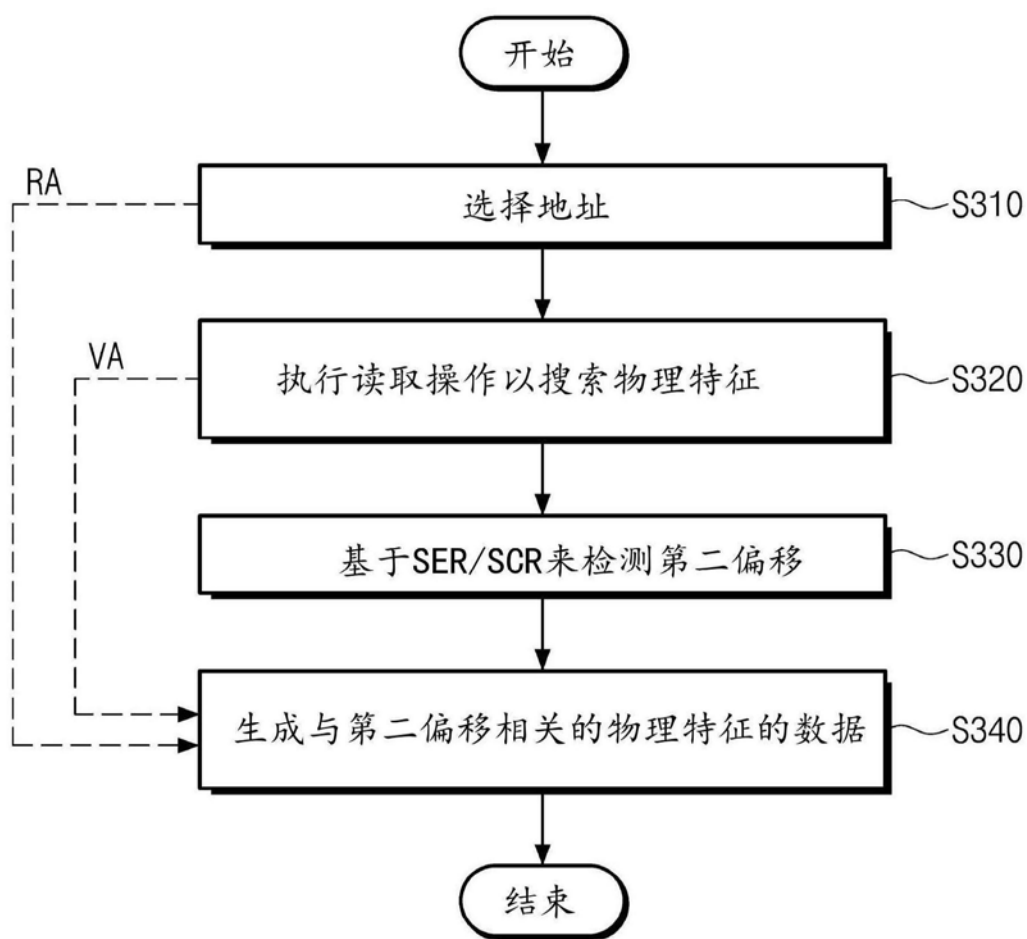


图7

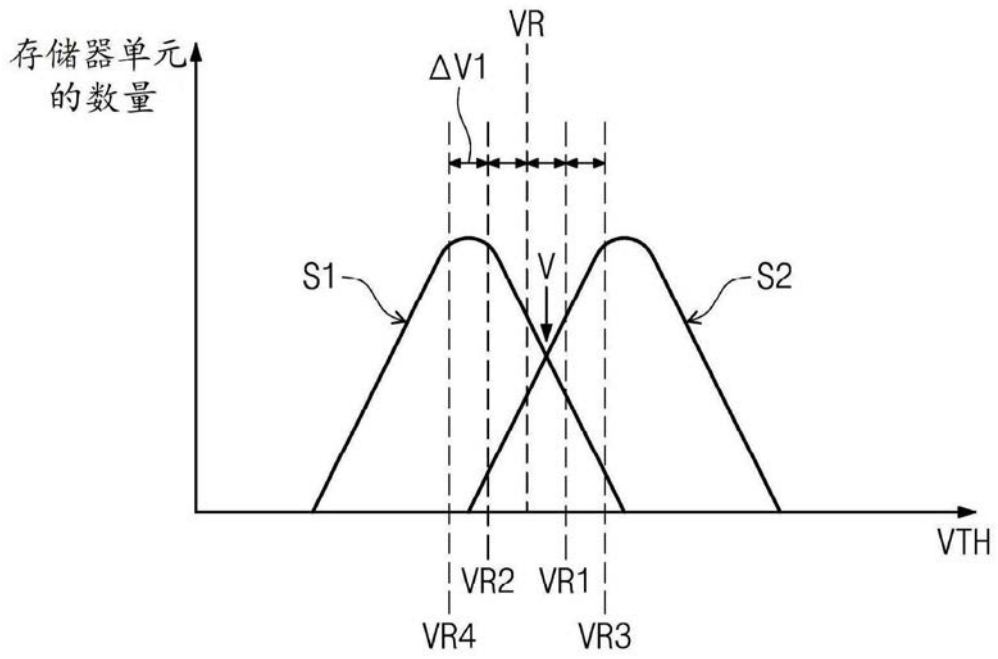


图8

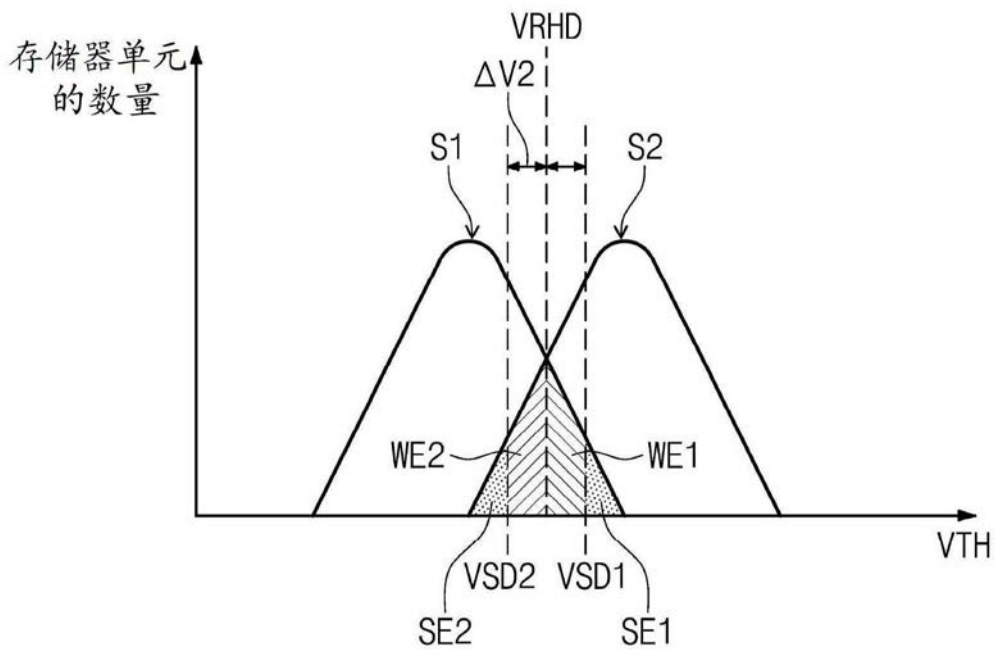


图9

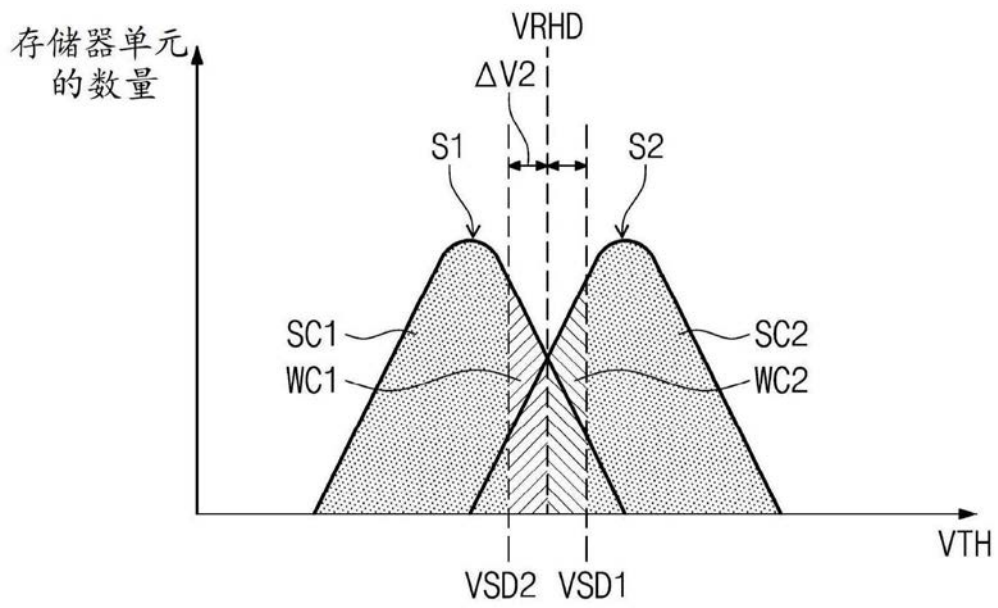


图10

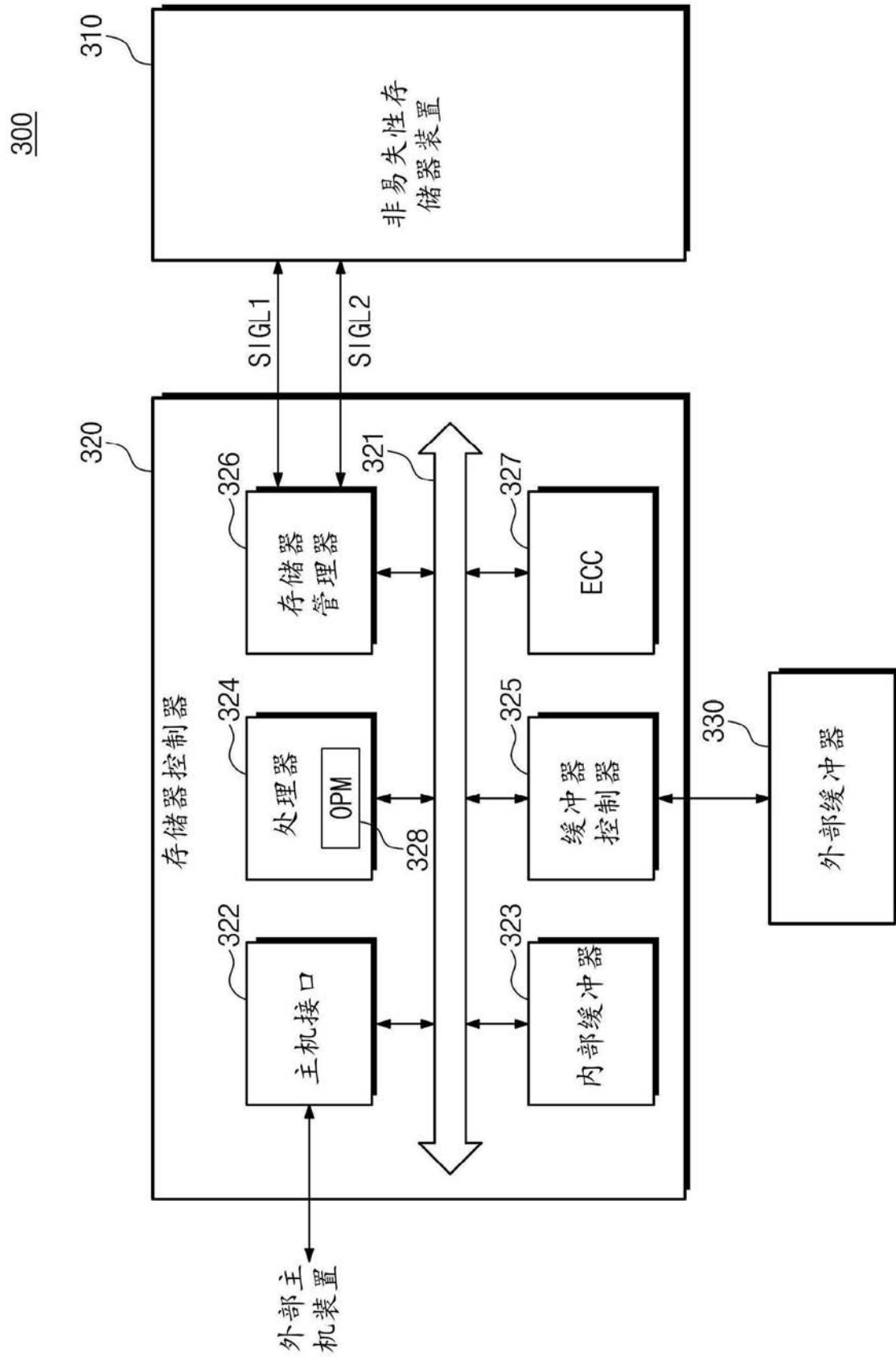


图11

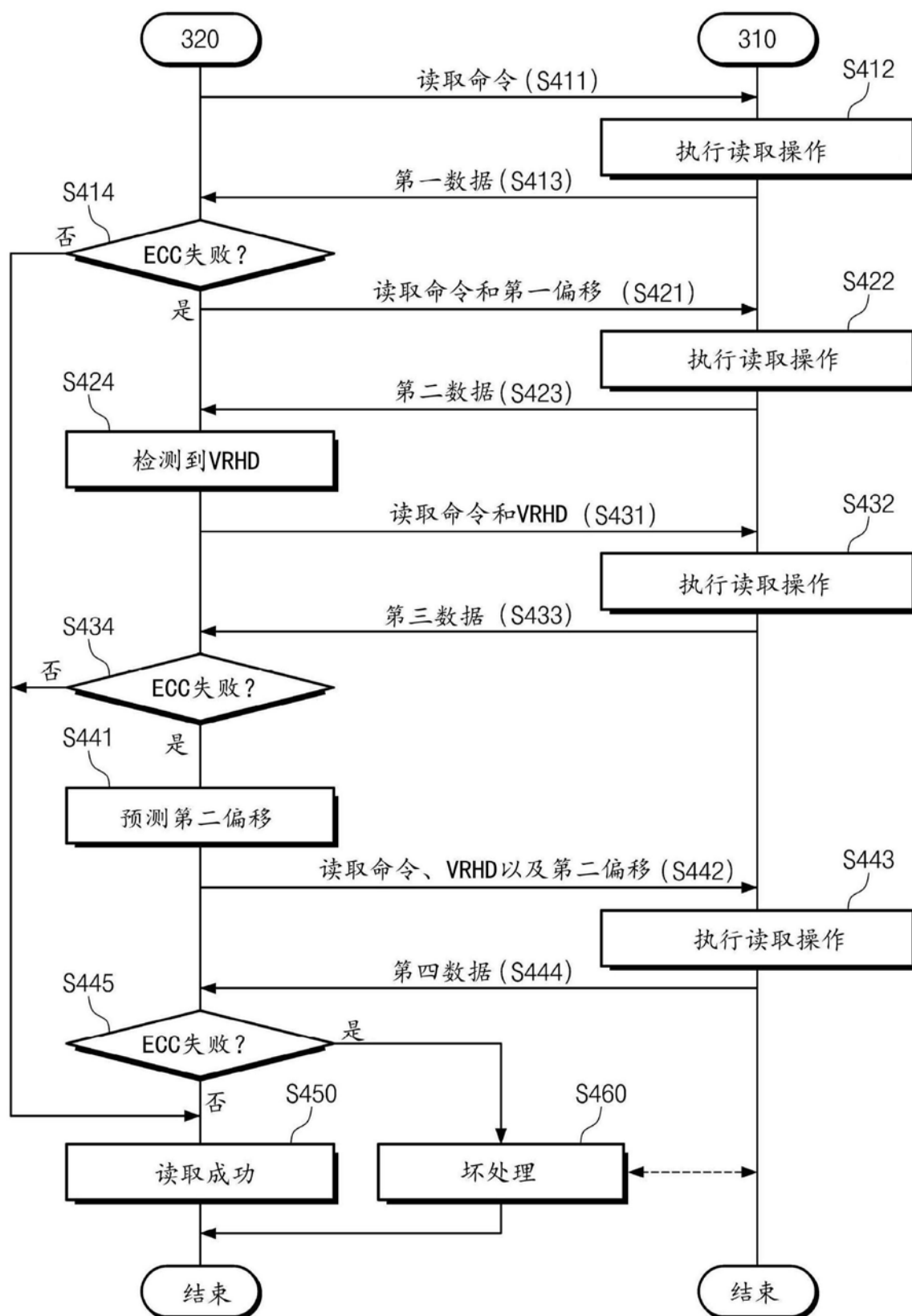


图12

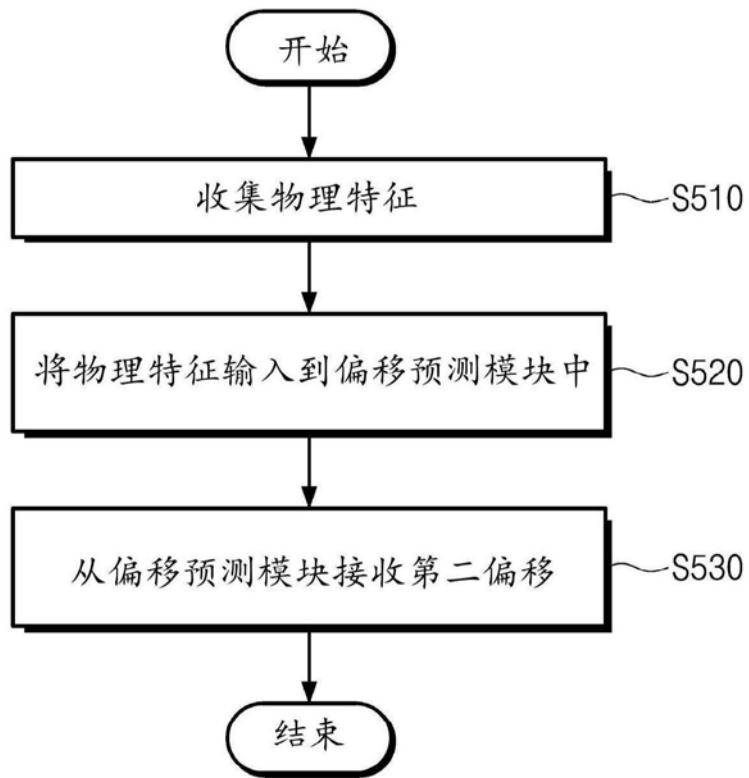


图13

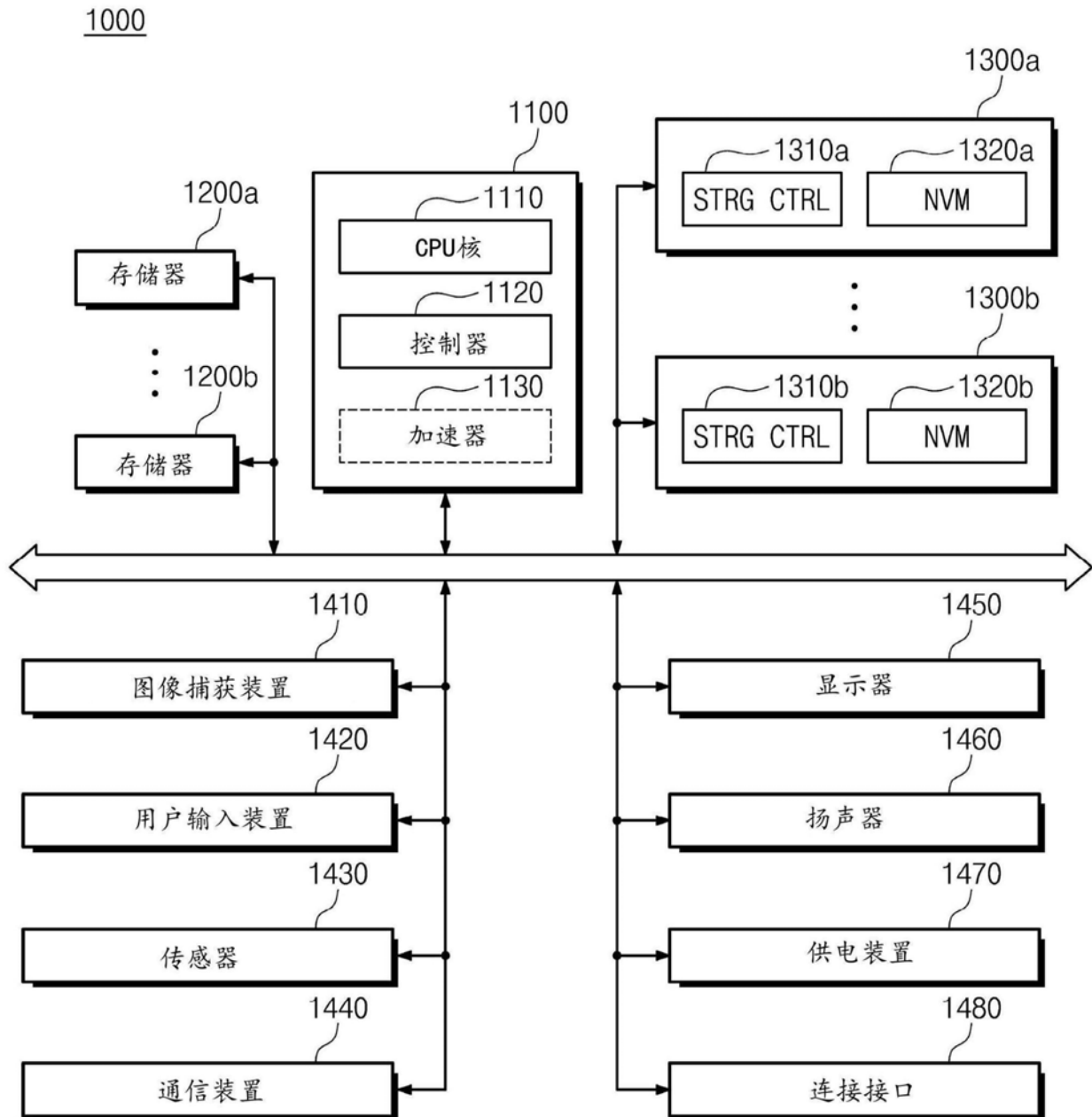


图14