

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 11 月 2 日 (02.11.2023)



(10) 国际公布号
WO 2023/206400 A1

(51) 国际专利分类号:
H01L 27/32 (2006.01) **H01L 51/56** (2006.01)
H01L 51/52 (2006.01)

(21) 国际申请号: PCT/CN2022/090401

(22) 国际申请日: 2022 年 4 月 29 日 (29.04.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司 (**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。合肥京东方卓印科技有限公司 (**HEFEI BOE JOINT TECHNOLOGY CO., LTD.**) [CN/CN]; 中国安徽省合肥市新站区新站工业物流园内 A 组团 E 区宿舍楼 15 幢, Anhui 230012 (CN)。

(72) 发明人: 袁燊 (**YUAN, Can**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。李永谦 (**LI, Yongqian**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张大成 (**ZHANG, Dacheng**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。周斌 (**ZHOU, Bin**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王玉 (**WANG, Yu**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王欣欣 (**WANG, Xinxin**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘宁 (**LIU, Ning**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(54) Title: DISPLAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 显示基板以及显示装置

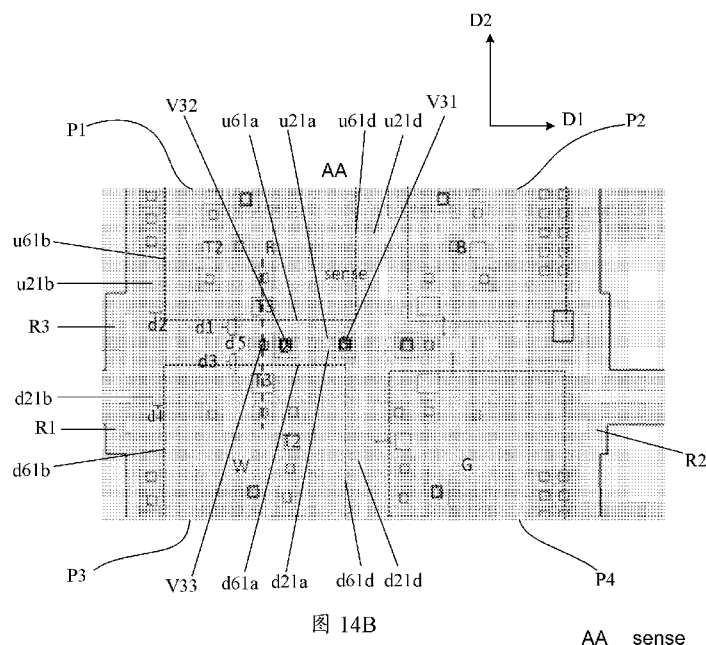


图 14B

AA sense

(57) Abstract: A display substrate and a display apparatus. The display substrate comprises a base substrate and a display unit. The display unit is arranged on the base substrate; a first electrode of a light-emitting device is connected to a first electrode of a driving transistor; a pixel definition layer defines opening areas of a plurality of sub-pixels; two adjacent sub-pixels are respectively an upper sub-pixel and a lower sub-pixel; a first electrode of the upper sub-pixel is provided with a first edge close to the lower sub-pixel and a second edge, which intersects the first edge of the first electrode; the opening area of the upper sub-pixel is provided with a first edge

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

close to the lower sub-pixel and a second edge, which intersects the first edge of the opening area; and the distance between the first edge of the first electrode of the upper sub-pixel and the first edge of the opening area of the upper sub-pixel is larger than the distance between the second edge of the first electrode of the upper sub-pixel and the second edge of the opening area of the upper sub-pixel.

(57) 摘要: 一种显示基板以及显示装置。该显示基板包括衬底基板和显示单元。显示单元设置在衬底基板上, 发光器件的第一电极与驱动晶体管的第一极连接; 像素界定层限定出多个子像素的开口区; 相邻的两个子像素分别为上子像素和下子像素; 上子像素的第一电极具有靠近下子像素的第一边缘和与其第一边缘相交的第二边缘; 上子像素的开口区具有靠近下子像素的第一边缘和与其第一边缘相交的第二边缘; 上子像素的第一电极的第一边缘到上子像素的开口区的第一边缘之间的间距大于上子像素的第一电极的第二边缘到上子像素的开口区的第二边缘之间的间距。

显示基板以及显示装置

技术领域

本公开至少一实施例涉及一种显示基板以及显示装置。

5

背景技术

随着显示技术的不断发展，OLED 技术越来越多的应用于透明显示中。

透明显示是显示技术一个重要的个性化显示领域，是指在透明状态下进行图像显示，观看者不仅可以看到显示装置中的影像，而且可以看到显示装置背后的景象。采用 AMOLED 技术的透明显示装置通常是将每个像素划分为显示区域和非发光区域，显示区域设置像素驱动电路和发光器件实现图像显示，非发光区域实现光线透过。

10

发明内容

15

本公开至少一实施例还提供一种显示基板，该显示基板包括：衬底基板和显示单元。设置在所述衬底基板上，且包括显示区域；所述显示区域包括多个子显示单元像素，所述多个子像素中的每个子像素包括驱动晶体管和发光器件，所述驱动晶体管配置为控制流经所述发光器件的驱动电流的大小，且包括栅极、第一极和第二极；所述发光器件配置为接收所述驱动电流且被所述驱动电流驱动以发光，且包括第一电极，所述第一电极与所述驱动晶体管的第一极连接；所述显示单元还包括像素界定层，所述像素界定层限定出所述多个子像素的开口区；所述显示单元的多个子像素中相邻的两个子像素分别为上子像素和下子像素，与所述上子像素和所述下子像素的排列方向垂直的方向为参比方向；所述上子像素的第一电极具有靠近所述下子像素的第一边缘和与其第一边缘相交且位于其第一边缘在所述参比方向上的第一侧的第二边缘；所述上子像素的开口区具有靠近所述下子像素的第一边缘和与其第一边缘相交且位于其第一边缘在所述参比方向上的所述第一侧的第二边缘；所述上子像素的第一电极的第一边缘到所述上子像素的开口区的第一边缘之间的间距为第一间距，所述上子像素的第一电极的第二边缘到所述上子

20

25

像素的开口区的第二边缘之间的间距为第二间距，所述第一间距大于所述第二间距。

例如，本公开至少一实施例提供的显示基板还包括设置于所述衬底基板上的第一子扫描信号线、第二子扫描信号线、数据信号线和检测信号线；所述第一子信号线传输第一扫描信号，所述第二子信号线传输第二扫描信号，所述数据信号线传输数据信号，所述检测信号线传输检测信号；所述多个子像素中的每个子像素还包括：数据写入晶体管和检测晶体管。数据写入晶体管配置为在所述第一扫描信号的控制下将所述数据信号传输至所述驱动晶体管；检测晶体管配置为在所述第二扫描信号的控制下利用所述检测信号检测所述子像素的电特性以实现外部补偿，所述检测晶体管的沟道区在所述衬底基板上的正投影位于所述第一电极在所述衬底基板上的正投影内，并且，所述上子像素的第一电极的第一边缘位于所述上子像素的检测晶体管的沟道区的在所述排列方向上靠近所述下子像素的一侧，所述下子像素的第一电极的第一边缘位于所述下子像素的检测晶体管的沟道区的在所述排列方向上靠近所述上子像素的一侧。

例如，本公开至少一实施例提供的显示基板中，所述检测晶体管包括栅极、第一极和第二极，所述上子像素的检测晶体管的第一极位于所述其第二极的远离所述下子像素的一侧，所述下子像素的检测晶体管的第一极位于所述其第二极的远离所述上子电极的一侧；在所述排列方向上，所述上子像素的检测晶体管的第一极与所述下子像素的检测晶体管的第一极之间的距离小于所述上子像素的开口区在所述排列方向上的长度且小于所述下子像素的开口区在所述排列方向上的长度。

例如，本公开至少一实施例提供的显示基板中，所述第二子扫描信号线包括环形部，所述环形部的与所述上子像素的检测晶体管的有源层在垂直于所述衬底基板的方向上交叠的部分以及与所述下子像素的检测晶体管的有源层在垂直于所述衬底基板的方向上交叠的部分分别构成所述上子像素的检测晶体管的栅极和所述下子像素的检测晶体管的栅极；所述环形部在所述衬底基板上的正投影构成环形区域，所述上子像素的检测晶体管的第二极和所述下子像素的检测晶体管的第二极在所述衬底基板上的正投影均位于所述环形

区域内。

例如，本公开至少一实施例提供的显示基板中，所述下子像素的第一电极具有靠近所述上子像素的第一边缘和与其第一边缘相交且位于其第一边缘在所述参比方向上的所述第一侧的第二边缘；所述下子像素的开口区具有靠近所述上子像素的第一边缘和与其第一边缘相交且位于其第一边缘在所述参比方向上的所述第一侧的第二边缘；所述下子像素的第一电极的第一边缘到所述下子像素的开口区的第一边缘之间的间距为第三间距，所述下子像素的第一电极的第二边缘到所述下子像素的开口区的第二边缘之间间距为第四间距，所述第三间距大于所述第四间距。

例如，本公开至少一实施例提供的显示基板中，所述上子像素中，所述检测晶体管的第一极通过上过孔与所述检测晶体管的有源层电连接；所述下子像素中，所述检测晶体管的第一极通过下过孔与所述检测晶体管的有源层电连接；所述上子像素的检测晶体管的第二极与所述下子像素的检测晶体管的第二极构成连续的一体成型电极，所述上子像素的检测晶体管的有源层与所述下子像素的检测晶体管的有源层构成连续的一体成型有源层，所述一体成型电极通过中间过孔与所述一体成型有源层电连接；所述上子像素的第一电极的第一边缘在所述衬底基板上的正投影与所述中间过孔的在所述排列方向上远离所述下子像素的边缘在所述衬底基板上的正投影至少部分重叠，且所述下子像素的第一电极的第一边缘在所述衬底基板上的正投影与所述中间过孔的在所述排列方向上远离所述上子像素的边缘在所述衬底基板上的正投影至少部分重叠。

例如，本公开至少一实施例提供的显示基板中，所述一体成型电极沿所述排列方向跨过所述上子像素的第一电极和所述下子像素的第一电极之间的间隔，所述一体成型电极在所述排列方向上彼此相对的两端分别位于所述上子像素的第一电极和所述下子像素的第一电极之间的间隔在所述排列方向上的两侧。

例如，本公开至少一实施例提供的显示基板中，所述显示单元还包括导电的中间连接部，所述中间连接部位于所述检测晶体管的有源层的靠近衬底基板的一侧，且所述中间连接部在所述衬底基板上的正投影至少部分位于所

述上子像素的第一电极与所述下子像素的第一电极之间的间隔在所述衬底基板上的正投影内;所述检测信号线通过第一连接过孔与所述中间连接部连接,所述一体成型有源层通过第二连接过孔与所述中间连接部连接;所述上子像素的第一电极的第一边缘在所述衬底基板上的正投影与所述第一连接过孔的在所述排列方向上远离所述下子像素的边缘在所述衬底基板上的正投影、以及所述第二连接过孔的在所述排列方向上远离所述下子像素的边缘在所述衬底基板上的正投影均至少部分重叠,且所述下子像素的第一电极的第一边缘在所述衬底基板上的正投影与所述第二连接过孔的在所述排列方向上远离所述上子像素的边缘在所述衬底基板上的正投影、以及所述第二连接过孔的在所述排列方向上远离所述上子像素的边缘在所述衬底基板上的正投影均至少部分重叠。

例如,本公开至少一实施例提供的显示基板中,所述第三间距和所述第一间距均大于所述上子像素的第一电极与所述下子像素的第一电极之间的间隔在所述排列方向上的宽度。

例如,本公开至少一实施例提供的显示基板中,所述上子像素的第一电极还具有远离所述下子像素的第三边缘,所述上子像素的开口区还具有远离所述下子像素的第三边缘;所述上子像素的第一电极的第三边缘与所述上子像素的开口区的第三边缘之间的距离为第五间距,所述第一间距大于所述第五间距。

例如,本公开至少一实施例提供的显示基板中,所述上子像素的驱动晶体管的沟道区与所述上子像素的开口区的第三边缘之间的距离大于所述上子像素的检测晶体管的沟道区与所述上子像素的开口区的第一边缘之间的距离。

例如,本公开至少一实施例提供的显示基板中,所述下子像素的第一电极还具有远离所述上子像素的第三边缘,所述下子像素的开口区还具有的远离所述上子像素的第三边缘,所述下子像素的第三边缘与所述下子像素的开口区的第三边缘之间的距离为第六间距,所述第三间距大于所述第六间距。

例如,本公开至少一实施例提供的显示基板中,所述下子像素的驱动晶体管的沟道区与所述下子像素的开口区的第三边缘之间的距离大于所述下子

像素的检测晶体管的沟道区与所述下子像素的开口区的第一边缘之间的距离。

例如，本公开至少一实施例提供的显示基板中，所述驱动晶体管和所述数据写入晶体管在所述衬底基板上的正投影位于所述开口区在所述衬底基板上的正投影内，所述检测晶体管在所述衬底基板上的正投影的至少部分位于所述开口区在所述衬底基板上的正投影之外。

例如，本公开至少一实施例提供的显示基板中，在所述多个子像素的每个子像素中，所述第一电极包括在所述排列方向上排列且彼此间隔的第一部分和第二部分，所述第一电极的第一部分和所述第一电极的第二部分与所述驱动晶体管的第一极连接，所述开口区包括第一子开口和第二子开口，所述第一电极的第一部分覆盖所述第一子开口，所述第一电极的第二部分覆盖所述第二子开口；所述上子像素的第一电极的第一部分的靠近所述下子像素的边缘作为所述上子像素的第一电极的第一边缘，所述上子像素的第一电极的第一部分的与其第一边缘相交且位于其第一边缘在所述参比方向上的第一侧的边缘作为所述上子像素的第一电极的第二边缘，所述上子像素的第一电极的第二部分的远离所述下子像素的边缘作为所述上子像素的第一电极的第三边缘；所述上子像素的第一子开口的靠近所述下子像素的边缘作为所述上子像素的第一子开口的第一边缘，所述上子像素的第一子开口的与其第一边缘相交且位于其第一边缘在所述参比方向上的第一侧的边缘作为所述上子像素的开口区的第二边缘，所述上子像素的第二子开口的远离所述下子像素的边缘作为所述上子像素的开口区的第三边缘；所述下子像素的第一电极的第一部分的靠近所述上子像素的边缘作为所述下子像素的第一电极的第一边缘，所述下子像素的第一电极的第一部分的与其第一边缘相交且位于其第一边缘在所述参比方向上的第一侧的边缘作为所述下子像素的第一电极的第二边缘，所述下子像素的第一电极的第二部分的远离所述上子像素的边缘作为所述下子像素的第一电极的第三边缘；所述下子像素的第一子开口的靠近所述上子像素的边缘作为所述下子像素的第一子开口的第一边缘，所述下子像素的第一子开口的与其第一边缘相交且位于其第一边缘在所述参比方向上的第一侧的边缘作为所述下子像素的开口区的第二边缘，所述下子像素的第二子

开口的远离所述上子像素的边缘作为所述下子像素的开口区的第三边缘。

例如，本公开至少一实施例提供的显示基板中，在所述多个子像素的每个子像素中，所述驱动晶体管的沟道区在所述衬底基板上的正投影位于所述第一电极的第二部分在所述衬底基板上的正投影内；所述数据写入晶体管的沟道区在所述衬底基板上的正投影在所述衬底基板上的正投影位于所述第一电极的第一部分在所述衬底基板上的正投影内，且位于所述检测晶体管的沟道区在所述衬底基板上的正投影的靠近所述第一电极的第二部分的一侧。

例如，本公开至少一实施例提供的显示基板中，所述下子像素的开口区的面积大于所述上子像素的开口区的面积，所述第三间距大于所述第一间距。

10 例如，本公开至少一实施例提供的显示基板中，第一子扫描信号线沿第一方向延伸，所述第一方向与所述参考方向相同；所述显示单元还包括非发光区域，所述非发光区域与所述显示区域在所述第一方向上排列且与所述上子像素和所述下子像素相邻；所述上子像素的第一电极的第二边缘为所述上子像素的第一电极的靠近所述非发光区域的边缘，所述上子像素的开口区的第二边缘为所述上子像素的开口区的靠近所述非发光区域的边缘；所述下子像素的第一电极的第二边缘为所述下子像素的第一电极的靠近所述非发光区域的边缘，所述下子像素的开口区的第二边缘为所述下子像素的开口区的靠近所述非发光区域的边缘。

20 例如，本公开至少一实施例提供的显示基板中，所述显示单元的多个子像素呈阵列排列，所述阵列包括沿所述第一方向延伸的第一像素行和沿所述第一方向延伸的第二像素行；所述第一像素行包括相邻设置的第一子像素和第二子像素，所述第二像素行包括相邻设置的第三子像素和第四子像素；所述多个子像素中的每个子像素在所述第二方向上的长度大于该子像素在所述第一方向上的宽度，所述第一电极的第一部分和所述第一电极的第二部分在所述第二方向上排列，并且，所述第一子像素在所述衬底基板上的正投影的面积和所述第三子像素在所述衬底基板上的正投影的面积均大于所述第二子像素在所述衬底基板上的正投影的面积和所述第四子像素在所述衬底基板上的正投影的面积；所述第一子像素作为所述上子电极，所述第三子像素作为所述下子电极；且/或，所述第二子像素作为所述上子电极，所述第四子像素

作为所述下子电极。

例如，本公开至少一实施例提供的显示基板中，所述第一子像素发红光，所述第二子像素发蓝光，所述第三子像素发白光，所述第四子像素发绿光。

例如，本公开至少一实施例提供的显示基板还包括：第一电源线和第二
5 电源线。第一电源线连接第一电压端且配置为给所述多个子像素提供第一电
源电压，且包括整体上沿所述第二方向延伸的纵向部分；第二电源线连接第
二电压端，配置为给所述多个子像素提供不同于所述第一电源电压的第二电
源电压，且沿所述第二方向延伸；所述第一电源线的纵向部分与所述第二电
源线在所述第一方向上间隔排列，且分别位于所述显示区域在所述第一方向
10 上的第一边缘以及所述显示区域在所述第一方向上与所述第一边缘相对的第
二边缘；所述第一电源线的纵向部分的远离所述第二电源线的边缘与所述第
二电源线的远离所述第一电源线的纵向部分的边缘之间的区域为所述显示区
域。

公开至少一实施例还提供一种显示装置，该显示装置包括本公开实施例
15 提供的任何一种显示基板。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作
简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，
20 而非对本公开的限制。

图 1A 是本公开一实施例提供的一种显示基板的整体平面示意图；

图 1B 是本公开至少一实施例提供的显示基板的框图；

图 2A 是本公开一实施例提供的一种显示基板的显示单元的像素电路的
等效电路图；

25 图 2B-2D 为本公开实施例提供的像素电路的驱动方法的信号时序图；

图 3A 为本公开至少一实施例提供的一种显示基板的显示单元的平面示
意图；

图 3B 为图 3A 中的第三子像素的示意图；

图 3C 为图 3B 中包括连接结构的局部的放大图；

图 4A 为沿图 3B 中的 A-A'线的一种截面示意图;

图 4B 为沿图 3B 中的 B-B'线和 C-C'线的截面示意图;

图 4C 为沿图 3A 中的 D-D'线的截面示意图;

图 4D 为对本公开另一实施例提供的显示基板在图 3B 中的 A-A'线位置

5 的处做截面得到的示意图;

图 5A 为图 3A 所示的显示单元的第一导电层的平面示意图;

图 5B 为图 3A 所示的显示单元的第一绝缘层的平面示意图;

图 5C 为图 3A 所示的显示单元的半导体层的平面示意图;

图 5D 为图 3A 所示的显示单元的第二导电层的平面示意图;

10 图 5E 为图 3A 所示的显示单元的第三绝缘层的平面示意图;

图 5F 为图 3A 所示的显示单元的第三导电层的平面示意图;

图 5G 为图 3A 所示的显示单元的第四绝缘层的平面示意图;

图 5H 为图 3A 所示的显示单元的第五绝缘层的平面示意图;

图 5I 为图 3A 所示的显示单元的第四导电层的平面示意图;

15 图 5J 为图 3A 所示的显示单元的第五导电层的平面示意图;

图 5K 为图 3A 所示的显示单元的像素界定层的平面示意图;

图 6A 为图 3A 中包括至少一个外环部的局部 A 的放大示意图;

图 6B 为图 3A 中包括至少一个内环部的局部 B 的放大示意图;

图 7 为沿图 3B 中的 A-A'线的另一种截面示意图;

20 图 8A 为图 7 中的局部 C 的放大示意图;

图 8B 为本公开实施例提供的另一种显示基板在图 7 中的局部 C 的位置
处的放大示意图;

图 9 为图 8A 所示的局部 C 的平面示意图;

图 10 为本公开实施例提供的一个显示单元的多个子像素的排布方式示
25 意图;

图 11A 为图 3A 所示的显示单元的第一辅助单元 H1 的局部平面示意图;

图 11B 为沿图 11A 中的 E-E'线的截面示意图;

图 11C 为表达图 11B 中的第二堆叠层、第四堆叠层、第五堆叠层和第八
堆叠层的位置关系的平面示意图;

图 12A 为图 3A 所示的显示单元的第二辅助单元 H2 的局部平面示意图；

图 12B 为沿图 12A 中的 F-F' 线的截面示意图；

图 13A 为图 3A 所示的显示单元的第三辅助单元 H3 的局部平面示意图；

图 13B 为沿图 13A 中的 G-G' 线的截面示意图；

5 图 14A 为图 3A 所示的显示单元的包括像素界定层和第一电极的一部分图层的示意图；

图 14B 为图 14A 中的虚线框所示的局部 P0 的放大示意图；

图 15 为本公开一实施例提供的一种显示装置的示意图。

10 具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。以下所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其它实施例，都属于本公开保护的范围。

15 除非另作定义，此处使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“包括”或者“包含”等类似的词语意指出现在该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

25 本公开中，某结构在衬底基板上的正投影是指该结构在衬底基板的设置有各个晶体管和各種信号线的表面上的正投影。

本公开中的 A 结构与 B 结构构成连续的一体成型结构之类的描述是指 A 结构与 B 结构材料相同且彼此之间没有接缝，是质地均匀的一体的结构，例如是通过同一道构图工艺形成的。字母 A、B 用于指代文中描述的相应结构。

本公开至少一实施例提供一种显示基板，该显示基板包括：衬底基板和显示单元。显示单元设置在所述衬底基板上，且包括显示区域和非发光区域；所述显示区域包括子像素，所述子像素包括驱动晶体管和发光器件；所述驱动晶体管配置为控制流经所述发光器件的驱动电流的大小，且包括栅极、第一极和第二极；所述发光器件配置为接收所述驱动电流且被所述驱动电流驱动以发光，且包括第一电极，所述第一电极包括彼此间隔的第一部分和第二部分；所述显示单元还包括连接结构和第一转接电极，连接结构连接所述第一电极的第一部分和所述第一电极的第二部分，且包括位于所述非发光区域的连接部；第一转接电极与所述驱动晶体管的第一极连接且包括位于所述非发光区域的部分，所述连接部在所述非发光区域与所述第一转接电极的位于所述非发光区域的部分电连接。

本公开至少一实施例还提供一种显示基板，该显示基板包括：衬底基板、显示单元、扫描信号线和纵向信号线。显示单元设置在所述衬底基板上，且包括显示区域和非发光区域；所述显示区域包括子像素，所述子像素包括驱动晶体管和发光器件，所述驱动晶体管配置为控制流经所述发光器件的驱动电流的大小，所述发光器件配置为接收所述驱动电流且被所述驱动电流驱动以发光；扫描信号线设置于所述衬底基板上，整体上沿第一方向延伸，穿过所述非发光区域和所述显示区域，传输扫描信号；纵向信号线设置于所述衬底基板上且位于所述显示区域，整体上沿与所述第一方向相交的第二方向延伸；所述扫描信号线包括至少一个外环部，所述至少一个外环部中的每个包括第一导线和第二导线。第一导线整体上沿所述第一方向延伸，且从所述非发光区域延伸至所述显示区域；第二导线整体上沿所述第一方向延伸，且从所述非发光区域延伸至所述显示区域，与所述第一导线在所述第二方向上间隔；所述第一导线与所述第二导线均与所述纵向信号线在垂直于所述衬底基板的方向上交叠；所述扫描信号线包括整体上沿所述第一方向延伸的主干部，所述第一导线与所述第二导线均与所述主干部电连接。在该显示基板中，第一导线与第二导线传输同一个扫描信号，至少一个外环部的第一导线与第二导线从非发光区域延伸至显示区域以与纵向信号线交叠。

本公开至少一实施例还提供一种显示基板，该显示基板包括：衬底基板

和显示单元。设置在所述衬底基板上，且包括显示区域；所述显示区域包括多个子显示单元像素，所述多个子像素中的每个子像素包括驱动晶体管和发光器件，所述驱动晶体管配置为控制流经所述发光器件的驱动电流的大小，且包括栅极、第一极和第二极；所述发光器件配置为接收所述驱动电流且被所述驱动电流驱动以发光，且包括第一电极，所述第一电极与所述驱动晶体管的第一极连接；所述显示单元还包括像素界定层，所述像素界定层限定出所述多个子像素的开口区；所述显示单元的多个子像素中相邻的两个子像素分别为上子像素和下子像素，与所述上子像素和所述下子像素的排列方向垂直的方向为参比方向；所述上子像素的第一电极具有靠近所述下子像素的第一边缘和与其第一边缘相交且位于其第一边缘在所述参比方向上的第一侧的第二边缘；所述上子像素的开口区具有靠近所述下子像素的第一边缘和与其第一边缘相交且位于其第一边缘在所述参比方向上的所述第一侧的第二边缘；所述上子像素的第一电极的第一边缘到所述上子像素的开口区的第一边缘之间的间距为第一间距，所述上子像素的第一电极的第二边缘到所述上子像素的开口区的第二边缘之间的间距为第二间距，所述第一间距大于所述第二间距。

本公开至少一实施例还提供一种显示基板，该显示基板包括：衬底基板、和设置在所述衬底基板上的显示单元。显示单元包括显示区域和非发光区域，所述显示区域包括子像素，所述子像素包括驱动晶体管和发光器件，所述驱动晶体管配置为控制流经所述发光器件的驱动电流的大小，所述发光器件配置为接收所述驱动电流且被所述驱动电流驱动以发光；所述发光器件包括第一电极和公共电极，所述公共电极与公共电压端连接；所述显示单元包括：辅助电极线、第一辅助电极和辅助绝缘层；辅助电极线包括位于所述显示区域的纵向部分和至少部分位于所述非发光区域的横向部分，所述横向部分与所述纵向部分连接；第一辅助电极位于所述非发光区域且与所述公共电极电连接；辅助绝缘层包括位于所述非发光区域且暴露至少部分所述横向部分的第一辅助过孔，所述第一辅助电极通过所述第一辅助过孔与所述横向部分连接；所述横向部分、所述第一辅助电极和所述第一辅助过孔构成一个辅助单元，所述显示单元包括多个所述辅助单元；所述辅助电极线的横向部分沿第

一方向延伸，所述辅助电极线的纵向部分沿与所述第一方向相交的第二方向延伸，所述多个辅助单元在所述第二方向上彼此间隔排列。

公开至少一实施例还提供一种显示装置，该显示装置包括本公开实施例提供的任意一种显示基板。

- 5 本公开提供的显示基板可应用于透明显示装置中，例如大尺寸透明显示装置，大尺寸透明显示装置例如包括大于 55 英寸的显示面板。透明显示装置在透明状态下进行图像显示，观看者不仅可以看到显示装置中的显示图像，而且可以看到显示装置背后的景象。

- 10 有机发光二极管(Organic Light Emitting Diode, 简称 OLED) 为主动发光显示器件，具有发光、超薄、广视角、高亮度、高对比度、较低耗电、极高反应速度等优点。依据驱动方式的不同，OLED 可分为无源矩阵驱动(Passive Matrix, 简称 PM) 型和有源矩阵驱动(Active Matrix, 简称 AM) 型两种，其中 AMOLED 是电流驱动器件，采用独立的薄膜晶体管(Thin Film Transistor, 简称 TFT) 控制每个子像素，每个子像素皆可以连续且独立的驱动发光。采用 AMOLED 技术的透明显示装置通常是将每个像素划分为显示区域和非发光区域，显示区域设置像素驱动电路和发光器件 20 实现图像显示，非发光区域实现光线透过。

在显示装置的线路、薄膜晶体管的制造过程或有机发光二极管的制造过程中可能出现薄膜晶体管的特性劣化或内部短路故障。

- 20 如果薄膜晶体管未被正常驱动，则由于电流或电压未被施加至与薄膜晶体管连接的有机发光二极管，一个像素或子像素会成为暗点。可替代地，如果驱动薄膜晶体管的源电极和漏电极被短路，驱动薄膜晶体管不能正常地被驱动，并且施加至源电极的电压被直接施加至漏电极而没有导通/关断，由此子像素始终保持在导通状态，并且因此出现亮点。

- 25 因为亮点由于良好的可见性而容易被用户的眼睛看到，因此，亮点使显示质量劣化。为此，即使在显示区域上仅出现一个亮点，也认为该显示装置具有缺陷，由此出现显示装置不能被制造为最终产品的问题。特别地，由于在透明显示装置或顶部发射型大尺寸显示装置中的暗点或亮点可能被用户的眼睛看到，因此需要可以避免暗点或亮点或者使暗点或亮点最小化的解决方

案。

在透明显示装置中，由于需要留出充足的非发光区域，因此，设置像素驱动电路的显示区域空间有限，需要尽量减少在显示区域的电路布线。

本公开至少一实施例提供一种显示基板，该显示基板包括：衬底基板和显示单元。显示单元设置在所述衬底基板上，且包括显示区域和非发光区域；所述显示区域包括子像素，所述子像素包括驱动晶体管和发光器件；所述驱动晶体管配置为控制流经所述发光器件的驱动电流的大小，且包括栅极、第一极和第二极；所述发光器件配置为接收所述驱动电流且被所述驱动电流驱动以发光，且包括第一电极，所述第一电极包括彼此间隔的第一部分和第二部分；所述显示单元还包括连接结构和第一转接电极，连接结构连接所述第一电极的第一部分和所述第一电极的第二部分，且包括位于所述非发光区域的连接部；第一转接电极与所述驱动晶体管的第一极连接且包括位于所述非发光区域的部分，所述连接部在所述非发光区域与所述第一转接电极的位于所述非发光区域的部分电连接。

示例性地，图 1A 是本公开一实施例提供的一种显示基板的整体平面示意图。如图 1A 所示，显示基板 10 包括衬底基板 1 和设置在衬底基板上的显示单元 P，例如包括多个显示单元 P，例如多个显示单元 P 呈阵列排布。每个显示单元 P 且包括显示区域 11 和非发光区域 12，显示区域 11 包括子像素，例如显示单元 P 包括呈阵列排列的多个子像素，该阵列包括沿第一方向 D1 延伸的第一像素行和沿第一方向 D1 延伸的第二像素行；第一像素行包括相邻设置的第一子像素 P1 和第二子像素 P2，第二像素行包括相邻设置的第三子像素 P3 和第四子像素 P4。图 1A 以每个显示单元 P 的显示区域 11 包括第一子像素 P1、第二子像素 P2、第三子像素 P3 和第四子像素 P4 为例，当然，在其他实施例中，每个显示单元 P 的显示区域 11 也包括多于四个或者少于 4 个子像素。

例如，第一子像素 P1 可以是出射红色光线的红色子像素（R），第二子像素 P2 可以是出射绿色光线的绿色子像素（G），第二子像素 P2 可以是出射白色光线的白色子像素（W），第四子像素 P4 可以是出射蓝色光线的蓝色子像素（B）。当然，对于第一子像素 P1、第二子像素 P2、第二子像素

P2 和第四子像素 P4 的发射颜色不限于上述情况，本公开实施例对此不作限定。

5 在一些实施例中，每个子像素的形状可以是矩形状、菱形、五边形或六边形。在一种示例性实施方式中，四个子像素可以采用水平并列方式排列，形成 RWBG 像素排布。在另一些实施例中，四个子像素可以采用正方形（Square）、钻石形（Diamond）或竖直并列等方式排列，本公开在此不做限定。

图 2A 是图 1A 所示的一个显示单元 P 的四个子像素的像素电路的等效电路示意图。结合图 1A 和图 2A，第一子像素 P1、第二子像素 P2、第三子像素 P3 和第四子像素 P4 中的每个包括像素电路，像素电路包括驱动晶体管 T1 和发光器件 20；显示区域 11 为发光区域，用于显示图像；非发光区域为
10 非发光区域，不用于显示图像，可透视出非显示侧的环境。驱动晶体管 T1 配置为控制流经发光器件 20 的驱动电流的大小，且包括栅极、第一极和第二极。发光器件 20 配置为接收驱动电流且被驱动电流驱动以发光。例如，该显示基板是有机发光二极管（OLED）显示基板，该发光器件 20 为 OLED。
15

图 1B 是本公开至少一实施例提供的显示基板的框图。如图 1B 所示，例如，第一子像素 P1、第二子像素 P2、第三子像素 P3 和第四子像素 P4 中的每个包括驱动该发光器件 20 发光的像素电路。该显示基板还可以包括多条扫描线、多条数据线以用于为该多个子像素提供扫描信号（控制信号）和数据
20 信号，从而驱动该多个子像素。根据需要，该显示基板还可以进一步包括电源线、检测线等。

该像素电路包括用于驱动发光器件 20 发光的驱动子电路和用于检测该子像素电特性以实现外部补偿的检测子电路。本公开实施例对于该像素电路的具体结构不作限制。

25 图 1B 示出了一种用于该显示基板的一种 3T1C 像素电路的示意图。根据需要，该像素电路还可以进一步包括补偿电路、复位电路等，像素电路例如还可以是 4T1C、5T1C、5T2C、6T1C、7T1C 或 8T1C 结构。本公开的实施例对此不作限制。

如图 2A 和图 1A 所示，在示例性实施方式中，每个显示单元 P 还包括

一条第一扫描信号线 G1、一条第二扫描信号线 G2、一条第一电源线 vdd、
一条第二电源线 vss、四条数据信号线 D (图 2A 中, 四条数据信号线 D 分别
是第一数据信号线 D1 至第四数据信号线 D4, 第一子像素 P1 与第一数据信
5 号线 D1 连接, 第二子像素 P2 与第二数据信号线 D2 连接, 第三子像素 P3
与第三数据信号线 D3 连接, 第四子像素 P4 与第四数据信号线 D4 连接)、
一条检测信号线 S 和分别对应于四个子像素 P1/P2/P3/P4 的四个像素电路。

例如, 第一扫描信号线 G1 和第二扫描信号线 G2 沿着第一方向 D1 延伸,
并沿着第二方向 D2 排列, 第一方向 D1 与第二方向 D2 交叉, 例如第一方向
与第二方向 D2 垂直。第一电源线 vdd、数据信号线 D1/D2/D3/D4 和检测信
10 号线 S 可以沿着第二方向 D2 延伸, 并沿着第一方向 D1 排列。

例如, 四条数据信号线 D 和一条检测信号线 S 设置在第一电源线 vdd 和
第二电源线 vss 之间, 四条数据信号线 D1/D2/D3/D4 中的两条数据信号线
D3/D4 位于检测信号线 S 与第一电源线 vdd 之间, 四个数据信号线 D 中的另
15 两条数据信号线 D1/D2 位于检测信号线 S 与第二电源线 vss 之间。这样, 第
一电源线 vdd 和第二电源线 vss 之间通过设置四条数据信号线 D1/D2/D3/D4
和一条检测信号线 S 形成四个子像素, 相应的, 两条检测信号线 S 之间通过
设置一条第一电源线 vdd、一条第二电源线 vss 和四条数据信号线
D1/D2/D3/D4 也形成四个子像素。

图 2B-2D 为本公开实施例提供的像素电路的驱动方法的信号时序图。请
20 参照图 2A 和图 2B, 例如, 第一子像素 P1、第二子像素 P2、第三子像素 P3
和第四子像素 P4 中的每个的像素电路包括第一晶体管 T1、第二晶体管 T2、
第三晶体管 T3 和存储电容 Cst。第一扫描信号线 G1 与每个子像素中第二晶
体管 T2 的栅电极连接, 第二扫描信号线 G2 与每个子像素中第三晶体管 T3
的栅电极连接。每个子像素中, 第二晶体管 T2 的第一极与存储电容 Cst 的第
25 一电容电极和第一晶体管 T1 的栅极电连接, 数据信号线与第二晶体管 T2 的
第二极连接, 第二晶体管 T2 的第二极配置为接收数据信号 GT, 第二晶体管
T2 为数据晶体管, 且配置为响应于第一控制信号 G1 将该数据信号 DT 写入
第一晶体管 T1 的栅极和存储电容 Cst; 第一晶体管 T1 的第一极与存储电容
Cst 的第二电容电极电连接, 并配置为与发光元件 20 的第一电极电连接, 第

一电源线 VDD 与第一晶体管 T1 的第二极连接，第一晶体管 T1 的第二极配置为接收第一电源电压 V1（例如为高电源电压 VDD），第一晶体管 T1 第一晶体管 T1 为驱动晶体管，且配置为在第一晶体管 T1 的栅极的电压的控制下控制用于驱动发光元件的电流；第三晶体管 T3 的第一极与第一晶体管 T1 5 的第一极以及存储电容 Cst 的第二电容电极电连接，检测信号线 S 与第三晶体管 T3 的第二极连接，第三晶体管 T3 的第二极配置为与第一检测线 S 连接以连到外部检测电路 11，第三晶体管 T3 为检测晶体管，且配置为响应于第二控制信号 G2 检测所属的子像素的电特性以实现外部补偿；该电特性例如包括第一晶体管 T1 的阈值电压和/或载流子迁移率，或者发光元件的阈值电压、驱动电流等。该外部检测电路 11 例如为包括数模转换器（DAC）和模数转换器（ADC）等的常规电路，本公开的实施例对此不作赘述。

本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件，本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极 15 在结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管除栅极之外的两极，直接描述了其中一极为第一极，另一极为第二极。此外，按照晶体管的特性区分可以将晶体管分为 N 型和 P 型晶体管。当晶体管为 P 型晶体管时，开启电压为低电平电压（例如，0V、-5V、-10V 或其他合适的电压），关闭电压为高电平电压（例如，5V、10V 或其他合适的电压）；当晶体管为 20 N 型晶体管时，开启电压为高电平电压（例如，5V、10V 或其他合适的电压），关闭电压为低电平电压（例如，0V、-5V、-10V 或其他合适的电压）。需要说明的是，在下面的描述中均以图 1B 中的晶体管为 N 型晶体管为例进行说明，然而不作为对本公开的限制。

下面结合图 2B-2D 所示的信号时序图对图 2A 所示的像素电路的工作原理进行说明，其中图 2B 示出了该像素电路在显示过程的信号时序图，图 2C 25 和图 2D 示出了该像素电路在检测过程的信号时序图。

例如，如图 2B 所示，每一帧图像的显示过程包括数据写入和复位阶段 1 以及发光阶段 2。图 2B 示出了每个阶段中各个信号的时序波形。该 3T1C 像素电路的一种工作过程包括：在数据写入和复位阶段 1，第一控制信号 G1

和第二控制信号 G2 均为开启信号，第二晶体管 T2 和第三晶体管 T3 导通，数据信号 DT 经第二晶体管 T2 传输至第一晶体管 T1 的栅极，第一开关 K1 关闭，模数转换器通过第一检测线 130 及第三晶体管 T3 向发光元件的第一电极（例如 OLED 的阳极）写入复位信号，第一晶体管 T1 导通并产生驱动
5 电流将发光元件的第一电极充电至工作电压；在发光阶段 2，第一控制信号 G1 和第二控制信号 G2 均为关闭信号，由于存储电容 Cst 的自举效应，存储电容 Cst 两端的电压保持不变，第一晶体管 T1 工作在饱和状态且电流不变，并驱动发光元件发光。

例如，图 2C 示出了该像素电路在进行阈值电压的检测时的信号时序图。

10 该 3T1C 像素电路的一种工作过程包括：第一控制信号 G1 和第二控制信号 G2 均为开启信号，第二晶体管 T2 和第三晶体管 T3 导通，数据信号 DT 经第二晶体管 T2 传输至第一晶体管 T1 的栅极；第一开关 K1 关闭，模数转换器通过第一检测线 130 及第三晶体管 T3 向发光元件的第一电极（节点 S）写入复位信号，第一晶体管 T1 导通并对节点 S 进行充电直至第一晶体管截止，
15 数模转换器对第一检测线 130 上的电压取样即可得到第一晶体管 T1 的阈值电压。该过程例如可以在显示装置关机时进行。

例如，图 2D 示出了该像素电路在进行阈值电压的检测时的信号时序图。

该 3T1C 像素电路的一种工作过程包括：在第一阶段，第一控制信号 G1 和第二控制信号 G2 均为开启信号，第二晶体管 T2 和第三晶体管 T3 导通，数据信号 DT 经第二晶体管 T2 传输至第一晶体管 T1 的栅极；第一开关 K1 关闭，模数转换器通过第一检测线 130 及第三晶体管 T3 向发光元件的第一电极（节点 S）写入复位信号；在第二阶段，第一控制信号 G1 为关闭信号，第二控制信号 G1 为开启信号，第二晶体管 T2 关断，第三晶体管 T3 导通，并将第一开关 K1、第二开关 K2 断开以将第一检测线 130 浮置；由于存储电
20 容 Cst 的自举效应，存储电容 Cst 两端的电压保持不变，第一晶体管 T1 工作在饱和状态且电流不变并驱动发光元件发光，然后数模转换器对第一检测线 130 上的电压取样，并结合发光电流的大小可以计算出第一晶体管 T1 中的载流子迁移率。例如，该过程可以在显示阶段之间的消隐阶段进行。

通过上述检测可以得到第一晶体管 T1 的电特性并实现相应的补偿算法。

例如，如图 1B 所示，显示基板 10 还可以包括数据驱动电路 03 和扫描驱动电路 04。数据驱动电路 03 配置为根据需要（例如输入显示装置的图像信号）可发出数据信号，例如上述数据信号 DT；每个子像素的像素电路还配置为接收该数据信号并将该数据信号施加至该第一晶体管的栅极。扫描驱动电路 04 配置为输出各种扫描信号，例如包括上述第一控制信号 G1 和第二控制信号 G2，其例如为集成电路芯片（IC）或者为直接制备在显示基板上的栅驱动电路（GOA）。

例如，显示基板 10 还包括控制电路 02。例如，控制电路 02 配置为控制数据驱动电路 03 施加数据信号，以及控制栅极驱动电路施加扫描信号。该控制电路 02 的一个示例为时序控制电路（T-con）。控制电路 02 可以为各种形式，例如包括处理器 021 和存储器 022，存储器 022 包括可执行代码，处理器 021 运行该可执行代码以执行上述检测方法。

例如，处理器 021 可以是中央处理单元（CPU）或者具有数据处理能力和/或指令执行能力的其它形式的处理装置，例如可以包括微处理器、可编程逻辑控制器（PLC）等。

例如，存储器 022 可以包括一个或多个计算机程序产品，所述计算机程序产品可以包括各种形式的计算机可读存储介质，例如易失性存储器和/或非易失性存储器。易失性存储器例如可以包括随机存取存储器（RAM）和/或高速缓冲存储器（cache）等。非易失性存储器例如可以包括只读存储器（ROM）、硬盘、闪存等。在计算机可读存储介质上可以存储一个或多个计算机程序指令，处理器 021 可以运行该程序指令期望的功能。在计算机可读存储介质中还可以存储各种应用程序和各种数据，例如在上述检测方法中获取的电特性参数等。

图 3A 为本公开至少一个实施例提供的显示基板 10 的一个显示单元 P 的平面示意图；图 3B 为图 3A 中的第三子像素 P3 的示意图，图 3C 为图 3B 中包括连接结构的局部 L 的放大图；图 4A 为沿图 3B 中的 A-A' 线的截面示意图。参考图 3A-3C 和图 4A，发光器件 20 包括第一电极 2，第一电极 2 包括彼此间隔的第一部分 21 和第二部分 22。显示单元 P 还包括：连接结构 3 和第一转接电极 4。连接结构 3 连接第一电极 2 的第一部分 21 和第一电极 2 的

第二部分 22，且包括位于非发光区域 12 的连接部 30；第一转接电极 4 与驱动晶体管 T1 的第一极 T1s 连接且包括位于非发光区域 12 的部分，连接部 30 在非发光区域 12 与第一转接电极 4 的位于非发光区域 12 的部分电连接。本公开实施例提供的显示基板 10 中，第一电极 2 的多个部分，例如第一部分 21 和第二部分 22，通过连接部 30 和第一转接电极 4 与驱动晶体管 T1 的第一极 T1s 连接，如此，将一个子像素（以第三子像素 P3 为例）开口区包括第一子开口 601 和第二子开口 602（如图 5K 所示），第一子开口 601 和第二子开口 602 分别为第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 对应的区域，例如，一电极 2 的第一部分 21 覆盖第一子开口 601，第一电极 2 的第二部分 22 覆盖第二子开口 602。并且，第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 在非发光区域 12 与位于非发光区域 12 的连接部 30 电连接，再通过第一转接电极 4 的位于显示区域 11 的部分与驱动晶体管 T1 的第一极 T1s 连接，当子像素开口区的两个部分中的一者发生暗点等显示不良，可将该位置对应的第一电极 2 的第一部分或者第二部分断开，从而将暗点发生区域不执行显示功能，降低子像素暗点不良，实现子像素的修复，提升画质，从而保证产品显示效果优。并且，由于第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 在非发光区域 12 与位于非发光区域 12 的连接部 30 电连接，再通过第一转接电极 4 的位于显示区域 11 的部分与驱动晶体管 T1 的第一极 T1s 连接，以便于在非发光区域 12 制作用于将连接部 30 与第一转接电极 4 连接的过孔。与在显示区域 11 中将第一电极 2 的第一部分 21 和第二部分 22 与第一转接电极 4 连接的方案相比，由于非发光区域 12 中不设置像素电路，本公开实施例的在非发光区域 12 对应于连接部 30 的位置制作用于将连接部 30 与第一转接电极 4 连接的过孔的对准工艺较容易，可明显提高良率。

需要说明的是，在本公开至少一实施例中，第一电源线 vdd 的纵向部分 vdd1 与第二电源线 vss 在第一方向 D1 上间隔排列，且分别位于显示区域 11 在第一方向 D1 上的第一边缘以及显示区域 11 在第一方向 D1 上与第一边缘相对的第二边缘；第一电源线 vdd 的纵向部分 vdd1 的远离第二电源线 vss 的边缘与第二电源线 vss 的远离第一电源线 vdd 的纵向部分 vdd1 的边缘之间的

区域为显示区域 11。

例如，如图 4A 所示，该发光元件为有机发光二极管，包括第一电极 2、第二电极 24 和位于第一电极 2 和第二电极 24 之间的发光层 23。例如，第一电极为高功函数的材料以充当阳极，例如为 ITO/Ag/ITO 叠层结构，或者为 ITO/Al/ITO 叠层结构（三明治结构），或者为 ITO/（Al+Ag）/ITO 叠层结构（三明治结构）。当然，第一电极不局限于上述三明治结构，第一电极的材料也不局限于上述列举的种类。第二电极 24 为低功函数的材料以充当阴极，例如为半透射的金属或金属合金材料，例如为 Ag/Mg 合金材料。例如，该发光元件为顶发射结构，第一电极 2 具有反射性而第二电极 122 具有透射性或半透射性。

例如，结合图 3B-3C 和图 4A，第一转接电极 4 包括第一转接部 41，第一转接部 41 位于显示区域 11，且与驱动晶体管 T1 的第一极连接；第一转接电极 4 的位于非发光区域 12 的部分包括第二转接部 42，第二转接部 42 与第一转接部 41 连接，连接部 30 与第二转接部 42 异层设置，并且，连接部 30 在非发光区域 12 与第二转接部 42 通过第一过孔 V0 连接。

例如，如图 4A 所示，显示单元 P 还包括第二转接电极 5，第二转接电极 5 位于非发光区域 12，且在垂直于衬底基板 1 的方向上位于连接部 30 与第二转接部 42 之间，且第二转接电极 5 在衬底基板 1 上的正投影与连接部 30 在衬底基板 1 上的正投影以及第二转接部 5 在衬底基板 1 上的正投影均至少部分重叠；连接部 30 通过第二转接电极 5 与第二转接部 42 连接，以分段连接，减小连接部 30 直接通过一个过孔与第二转接部 42 连接的孔深，提高显示基板的制作良率。

例如，如图 4A 所示，显示基板 10 还包括第一绝缘层 101、位于第一绝缘层 101 的远离衬底基板 1 的一侧的第二绝缘层 102、位于第二绝缘层 102 的远离衬底基板 1 的一侧的第三绝缘层 103、在垂直于衬底基板 1 的方向上位于第二转接电极 5 的远离第三绝缘层 103 的第四绝缘层 104，层间绝缘层 105 垂直于衬底基板 1 的方向上位于第四绝缘层 104 的远离第三绝缘层 103 的一侧。第一过孔 V0 包括贯穿第一绝缘层 101 和第三绝缘层 103 的第一子过孔 V01，第二转接电极 5 通过第一子过孔 V01 与第二转接部 42 连接；显

示基板 10 还包括, 第一过孔 V0 还包括贯穿第四绝缘层 104 的第二子过孔 V02, 连接部 30 通过第二子过孔 V02 与第二转接电极 5 连接, 从而实现将连接部 30 通过多级过孔与第二转接部 42 连接。

例如, 第一转接部 41 与第二转接部 42 为连续的一体成型结构。例如, 5 第一转接电极 4 的材料为金属材料, 例如为铜、铝、铬、铜合金、铝合金、铬合金、锰合金等, 但不限于上述列举的种类。

例如, 显示单元 P 还包括层间绝缘层 105, 层间绝缘层 105 位于显示区域 11 且不位于非发光区域 12, 在垂直于衬底基板 1 的方向上, 层间绝缘层 105 位于第一电极 2 与第二转接电极 5 之间。如图 4A 和图 5H 所示, 第一电极 2 通过沿垂直于衬底基板 1 的方向贯穿层间绝缘层 5 的开口 O1 与驱动晶体管 T1 的第一极 T1s 电连接。例如, 开口 O1 与第二子过孔 V02 连通, 第一电极 2 通过贯穿层间绝缘层 5 的开口 O1 进入第二子过孔 V02 而与第二转接电极 5 连接。例如, 第一过孔在衬底基板 1 上的正投影位于开口 O1 在衬底基板 1 上的正投影内, 即, 第二子过孔 V02 和第一子过孔 V01 在衬底基板 1 上的正投影位于开口 O1 在衬底基板 1 上的正投影内。如此, 可借助非发光区域中层间绝缘层 105 的较大的开口 O1 使第一电极 2 与驱动晶体管 T1 的第一极 T1s 电连接, 便于在非发光区域实现连接部 30 与第二转接电极 5 的连接, 在非发光区域制作较大的开口 O1 对制作工艺要求较低, 容易实现, 制作开口 O1 的准确率高, 对其他周边结构影响小, 避免了在显示区域 11 中的绝缘层中打孔受到空间限制而导致的过孔制作良率低且对周边结构影响大的问题。

例如, 如图 4A 所示, 层间绝缘层 105 位于显示区域 11 且不位于非发光区域 12A, 即, 层间绝缘层 105 不包括位于非发光区域 12A 的部分, 例如, 在制作层间绝缘层 105 的过程中, 将用于形成层间绝缘层 105 的材料层的位于非发光区域 12A 的部分通过构图工艺全部去除, 从而在非发光区域与层间绝缘层 105 同层的区域构成开口 O1, 也即, 开口 O1 在衬底基板 1 上的正投影位于非发光区域 12A 内, 且开口 O1 在衬底基板 1 上的正投影的面积等于非发光区域 12A 的面积。如此, 可借助非发光区域中不设置层间绝缘层 105, 相比于在非显示区域 12A 中制作过孔以用于使第一电极 2 通过的方案, 进一

步降低了层间绝缘层 105 的制作难度，提高显示基板的制作良率。

例如，开口 O1 在衬底基板 1 上的正投影的面积大于与该开口 O1 相邻的一个子像素在衬底基板 1 上的正投影的面积。例如，结合图 4A 和图 1，在显示区域 11 和非发光区域 12A 的排列方向上，开口 O1 的最大宽度 W1 大于一个子像素的最大宽度 W2，此处以与该开口 O1 相邻的一个子像素 P3 为例。

在其他实施例中，例如，如图 4D 所示，开口 O1 在衬底基板 1 上的正投影位于非发光区域 12A 内，且开口 O1 在衬底基板 1 上的正投影的面积小于非发光区域 12A 的面积。即，在制作层间绝缘层 105 的过程中，将用于形成层间绝缘层 105 的材料层的位于非发光区域 12A 的部分的其中一部分通过构图工艺去除，从而形成开口 O1，该开口 O1 是穿过层间绝缘层 105 的一个较大的过孔，开口 O1 边缘至少部分被层间绝缘层 105 的材料围绕。图 4D 所示的实施例的其他特征以及对应的技术效果均与图 4A 中的相同，请参考对图 4A 的描述。

例如，如图 4A 所示，层间绝缘层 105 在显示区域 11 与非发光区域 12 交界处存在断层，即层间绝缘层 105 的靠近非发光区域 12 的边缘存在台阶结构 001，第一电极 2 覆盖台阶结构 001 从而跨过台阶结构 001 而延伸到非发光区域 12，在台阶结构 001 的靠近非发光区域 12 的一侧不再设置有层间绝缘层 105，从而连接部 30 可以位于台阶结构 001 的段差和靠近非发光区域 12 的一侧的空间，和层间绝缘层 105 位于显示区域 11 以及非发光区域 12 的方案相比，本实施例可以避免在层间绝缘层 105 中制作贯穿层间绝缘层 105 的用于使连接部 30 与第二转接电极 5 连接的过孔，简化了显示基板的制作工艺，对提高显示基板的良率具有重要意义；因为层间绝缘层 105 在垂直于衬底基板 1 方向上的厚度较大，例如，层间绝缘层 105 在垂直于衬底基板 1 方向上的厚度大于 6000 埃，以满足其绝缘以及充当平坦层的功能，如果制作贯穿层间绝缘层 105 的用于使连接部 30 与第二转接电极 5 连接的过孔，该过孔与层间绝缘层 105 中的其他用途的过孔在平行于衬底基板方向上的尺寸存在差别，例如会要求该过孔的在平行于衬底基板方向上的尺寸较大，从而在通过同一道构图工艺制作贯穿层间绝缘层 105 的多种过孔时，同时满足这些不同的尺寸的难度较大，保证掩膜的对准率难度较大，且层间绝缘层 105 的厚度

较大，刻蚀过程中满足这些不同的尺寸的准确率难度较大。然而，本公开实施例的上述方案可避免在层间绝缘层 105 中制作贯穿层间绝缘层 105 的用于使连接部 30 与第二转接电极 5 连接的过孔，从而避免上述问题。

例如，层间绝缘层 105 的材料为有机绝缘材料，例如该有机绝缘材料包括树脂材料、亚克力材料等，例如可以为聚酰亚胺（PI）、丙烯酸酯、环氧树脂、聚甲基丙烯酸甲酯（PMMA）等，但不限于以上列举种类。例如，层间绝缘层 105 为平坦化层。

例如，第一绝缘层 101、第二绝缘层 102、第三绝缘层 103、第四绝缘层 104 例如为无机绝缘层，例如氧化硅、氮化硅、氮氧化硅等硅的氧化物、硅的氮化物或硅的氮氧化物，或者氧化铝、氮化钛等包括金属氮氧化物绝缘材料。

例如，如图 3A 所示，显示基板 10 还包括设置于衬底基板 1 上的第一信号线 G1/G2 和第二信号线 D1~D4。第一信号线 G1/G2 传输扫描信号；例如第一信号线包括第一子扫描信号线 G1 和第二子扫描信号线 G2；第一子扫描信号线 G1 传输第一扫描信号，第二子扫描信号线 G2 传输第二扫描信号；例如第一扫描信号与第二扫描信号可以是逐行扫描信号，例如第一扫描信号与第二扫描信号是同一个扫描信号，可参考上述图 2B；或者，在其他实施例中，第一扫描信号与第二扫描信号是不同的信号。例如，第二信号线 D1~D4 传输数据信号 DT；第一信号线整体上沿第一方向 D1 延伸，第二信号线 D1~D4 整体上沿与第一方向 D1 相交的第二方向 D2 延伸；子像素还包括数据写入晶体管 T2，数据写入晶体管 T2 配置为在第一扫描信号的控制下将数据信号传输至驱动晶体管 T1。

需要说明的是，“整体上沿第一方向 D1 延伸”包括大致上沿第一方向 D1 延伸，至少整体上是沿第一方向 D1 上即可。例如，在一些示例中，该整体上沿第一方向 D1 延伸的第一信号线可以带有一定的弯曲部分，或者，在一些示例中，该整体上沿第二方向 D2 延伸的条形的边缘可以不是平滑的线条，例如其边缘可以具有毛刺或锯齿，总之，满足只要整体的延伸趋势是沿第一方向 D1 即可。同样，对于“整体上沿第二方向 D2 延伸”也是如此。同样，对于本公开提及的整体上沿某个方向延伸，均是如此。

例如，结合图 3B-3C，连接结构 3 包括至少两个延伸部，至少两个延伸部包括：第一延伸部 31 和第二延伸部 32。第一延伸部 31 具有第一端和与其第一端相对的第二端，且从显示区域 11 延伸至非发光区域 12，第一延伸部 31 的第一端与第一电极 2 的第一部分 21 连接，第一延伸部 31 的第二端位于非发光区域 12；第二延伸部 32 具有第一端和与其第一端相对的第二端，且从显示区域 11 延伸至非发光区域 12，第二延伸部 32 的第一端与第一电极 2 的第二部分 22 连接，第二延伸部 32 的第二端位于非发光区域 12；连接部 30 与第一延伸部 31 的第二端以及第二延伸部 32 的第二端连接。如此，连接部 30 通过至少连个通道即第一延伸部 31 和第二延伸部 32 分别与第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 连接，当一个子像素例如第三子像素 P3 的开口区对应于第一电极 2 的第一部分 21 的区域和对应于第一电极 2 的第二部分 22 的区域两者中的一者发生暗点等显示不良时，可以将该发生暗点等显示不良的区域对应的第一延伸部 31 和第二延伸部 32 两者中的一者切断，从而将发生暗点等显示不良的区域不进行显示，第一延伸部 31 和第二延伸部 32 呈沿第一方向 D1 延伸的条形，便于切断，从而便于实现子像素的修复，提高显示质量。

例如，第一延伸部 31 的第二端具有第一可切断部 310，第二延伸部 32 的第二端具有第二可切断部 320；在第一可切断部 310 的靠近衬底基板 1 的一侧与第一可切断部 310 正对的位置处不存在任何导电层与第一可切断部 310 在垂直于衬底基板 1 的方向上重叠，在第二可切断部 320 的靠近衬底基板 1 的一侧与第二可切断部 320 正对的位置处不存在任何导电层与第二可切断部 320 在垂直于衬底基板 1 的方向上重叠。如此，在子像素发生暗点等显示不良时，对第一可切断部 310 或第二可切断部 320 进行切断过程中不会损伤其他的导电层，从而便于切断，实现子像素的修复，提高显示质量。

例如，如图 3C 所示，第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 之间的间隔在第二方向 D2 上的最大宽度 W_{SP} 小于连接部 30 在第二方向 D2 上的最大宽度 W_C ，以保证连接部 30 在第二方向 D2 上具有足够的宽度以连接第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22，且使得第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 之间的间距不要过大而

占据过大的空间，以同时兼顾实现高 PPI 显示面板。

例如，第一电极 2 的第一部分 21、第一电极 2 的第二部分 22、第一延伸部 31、第二延伸部 32 以及连接部 30 为连续的一体成型结构，以简化显示基板的结构，上述连续的一体成型结构可通过对同一材料层执行同一道构图工艺形成，简化了显示基板的制作工艺。

例如，如图 3A-3B 所示，每个子像素还包括第一电源线 vdd，第一电源线 vdd 连接第一电压端 VDD 且配置为给予像素提供第一电源电压，第一电源线 vdd 与驱动晶体管 T1 的第一极同层设置，且包括竖直部分 vdd1，竖直部分 vdd1 整体上沿第二方向 D2 延伸，且连接到与其相邻的子像素；例如，第一电源线 vdd 还包括横向部分 vdd2，横向部分 vdd2 与纵向部分电连接且整体上沿第一方向 D1 延伸，以连接到显示单元的各个子像素，从而将第一电源电压提供给显示单元的各个子像素。例如，图 3B 中的横向部分 vdd2 连接到第三子像素 P3 和第四子像素 P4，图 3A 中还包括与纵向部分 vdd2 连接且连接到第一子像素 P1 和第二子像素 P2 的另一条横向部分 vdd2，从而实现将来自竖直部分 vdd1 的第一电源电压提供给显示单元的每个子像素。例如，第一延伸部 31 和第二延伸部 32 跨过第一电源线 vdd 和第二信号线而延伸至非发光区域 12，以与位于非发光区域 12 的连接部连接。

例如，参考图 3A，非发光区域 12 与显示区域 11 在第二方向 D2 上排列，第一电极 2 的第一部分 21 与第一电极 2 的第二部分 22 在第二方向 D2 上排列，第一延伸部 31 和第二延伸部 32 均整体上沿第一方向 D1 延伸。这样的排布方式可以协调第一电极 2 的第一部分 21 与第一电极 2 的第二部分 22 与其所在的子像素对应的非发光区域的位置，从而便于从第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 分别引出第一延伸部 31 和第二延伸部 32 到非发光区域 12，便于实现使位于非发光区域 12 的连接部 30 与第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 连接。

例如，非发光区域 12 包括第一非发光区域 12A 和第二非发光区域 12B，第一非发光区域 12A 位于显示区域 11 的在第一方向 D1 上的第一侧，第二非发光区域 12B 位于显示区域 11 的在第一方向 D1 上与其第一侧相对的第二侧；第一子像素 P1 和第三子像素 P3 与第一非发光区域 12A 相邻，第二子像

素 P2 和第四子像素 P4 与第一非发光区域 12A 相邻; 对应多个子像素的每个设置有连接结构 3, 连接结构 3 连接与其相邻的子像素的第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22; 对应于第一子像素 P1 的连接结构 3 的连接部 30 和对应于第三子像素 P3 的连接结构 3 的连接部 30 位于第一非发光区域 12A; 对应于第二子像素 P2 的连接结构 3 的连接部 30 和对应于第四子像素 P4 的连接结构 3 的连接部 30 位于第二非发光区域 12B, 从而显示单元 P 的每个子像素的第一电极均包括第一部分和第二部分, 且每个子像素的第一电极的第一部分和第二部分都可以通过位于对应的非发光区域的连接部和第一转接电极 (或者, 第一转接电极和第二转接电极) 与位于显示区域 11 的驱动晶体管 T1 的第一极 T1s 连接。

例如, 如图 3A 所示, 给第一子像素 P1、第二子像素 P2、第三子像素 P3 和第四子像素 P4 提供扫描信号的第一信号线 G1/G2 位于第一像素行和第二像素行的交界区域, 以便于给该交界区域两侧的第一像素行和第二像素行均提供扫描信号。

例如, 第一子像素 P1 与第二子像素 P2 的平面图案相对于沿第二方向 D2 延伸的对称轴对称, 第三子像素 P3 的平面图案与第四子像素 P4 的沿对称轴对称, 第一非发光区域 12A 与第二非发光区域 12B 的平面图案相对于对称轴对称, 以合理利用空间, 提高显示基板的均匀性, 从而提高显示区域进行显示的均匀性, 并降低显示基板的制作难度。

例如, 参考图 4A, 显示单元 P 还包括像素界定层 6, 像素界定层 6 包括: 第一部分 61 和第二部分 62。第一部分 61 位于相邻的子像素的第一电极 2 之间以限定出子像素的开口区 60, 发光器件 20 的发光层 23 至少位于该开口区 60。第二部分 62 位于第一电极 2 的第一部分 21 与第一电极 2 的第二部分 22 之间以将第一电极 2 的第一部分 21 与第一电极 2 的第二部分 22 间隔开。

例如, 如图 4A 所示, 连接部 30 在衬底基板 1 上的正投影位于像素界定层 6 的第一部分 61 在衬底基板 1 上的正投影内, 以避免连接部 30 与像素界定层 6 的第一部分 61 分别占用独立的空间, 节省空间, 并利用像素界定层 6 的第一部分 61 对连接部 30 起到保护作用。

例如, 本公开的一些实施例提供的显示基板 10 的发光元件可以采用顶发

射结构。

例如，如图 4A 所示，每个子像素，以第三子像素 P3 为例，还包括第一电容 C1；第一电容 C1 包括第一极板 Ca 和第二极板 Cb；第一极板 Ca 与驱动晶体管 T1 的栅极 T1g 电连接且与驱动晶体管 T1 的栅极同层设置，例如第一极板 Ca 与驱动晶体管 T1 的栅极 T1g 连续的一体成型结构；第二极板 Cb 在衬底基板 1 上的正投影与第一极板 Ca 在衬底基板 1 上的正投影至少部分重叠。

例如，如图 4A 所示，子像素，以第三子像素 P3 为例，还包括第二电容 C2，第二电容 C2 包括第一极板 Ca 和第三极板 Cc；第三极板 Cc 包括重叠部和非重叠部，重叠部在衬底基板 1 上的正投影与第一极板 Ca 在衬底基板 1 上的正投影重叠，非重叠部在衬底基板 1 上的正投影与第一极板 Ca 在衬底基板 1 上的正投影不重叠且与第二极板 Cb 在衬底基板 1 上的正投影至少部分重叠。图 4B 为沿图 3B 中的 B-B'线和 C-C'线的截面示意图，如图 4B 所示，非重叠部与第二极板 Cb 通过第二过孔 V2 连接，第三极板 Cc 复用作第一转接部 41，即第一转接部 41 与第二极板 Cb 通过第二过孔 V2 连接，以简化显示基板 10 的结构以及制作工艺。

例如，如图 4B 所示，第二极板 Cb 与驱动晶体管 T1 的第一极 T1s 同层设置，例如第二极板 Cb 与驱动晶体管 T1 的第一极 T1s 连续的一体成型结构，以实现第二极板 Cb 与驱动晶体管 T1 的第一极 T1s 电连接，从而实现第一转接部 41 与驱动晶体管 T1 的第一极 T1s 电连接。第三极板 Cc 复用作第一转接部 41 以及第二极板 Cb 与驱动晶体管 T1 的第一极 T1s 连续的一体成型结构大大简化了显示基板 10 的结构以及制作工艺。

例如，如图 4B 所示，驱动晶体管 T1 的第一极 T1s 通过多个过孔与驱动晶体管 T1 的有源层 T1a 连接，以降低接触电阻；例如该多个过孔沿第二方向 D2 彼此间隔排列；例如驱动晶体管 T1 的第一极 T1s 通过过孔 V91、过孔 V92 和过孔 V93 三个过孔与驱动晶体管 T1 的有源层 T1a 连接，过孔 V91、过孔 V92 和过孔 V93 均贯穿第二绝缘层 102 和第三绝缘层 103。当然，该多个过孔的数量不限于三个，可根据需要进行设计。

图 5A 为图 3A 所示的显示单元的第一导电层的平面示意图；图 5B 为图

3A 所示的显示单元的第一绝缘层的平面示意图；图 5C 为图 3A 所示的显示单元的半导体层的平面示意图；图 5D 为图 3A 所示的显示单元的第二导电层的平面示意图；图 5E 为图 3A 所示的显示单元的第三绝缘层的平面示意图；图 5F 为图 3A 所示的显示单元的第三导电层的平面示意图；图 5G 为图 3A 所示的显示单元的第四绝缘层的平面示意图；图 5H 为图 3A 所示的显示单元的第五绝缘层的平面示意图；图 5I 为图 3A 所示的显示单元的第四导电层的平面示意图；图 5J 为图 3A 所示的显示单元的第五导电层的平面示意图。如图 5A-5I 所示结合图 4A，显示基板 10 包括沿靠近衬底基板 1 到远离衬底基板 1 的方向上依次在衬底基板 1 上堆叠的第一导电层 100、第一绝缘层 101、半导体层 600、第二绝缘层 102、第二导电层 200、第三绝缘层 103、第三导电层 300、第四绝缘层 104、第五绝缘层 105、第四导电层 400 和第五导电层 500，第五绝缘层 105 也即上述层间绝缘层 105。

例如，半导体层 600 的材料包括但不限于硅基材料（非晶硅 a-Si，多晶硅 p-Si 等）、金属氧化物半导体（IGZO，ZnO，AZO，IZTO 等）以及有机物材料（六噻吩，聚噻吩等）。

如结合图 4A 和图 5A-5J，第一导电层 100 包括第一转接部 41、第二转接部 42 和第三极板 Cc；半导体层 600 包括驱动晶体管 T1 的有源层 T1a、数据晶体管 T2 的有源层 T2a 和检测晶体管 T3 的有源层 T3a；第二导电层 200 包括第一子扫描信号线 G1 和第二子扫描信号线 G2、驱动晶体管 T1 的栅极 T1g、数据晶体管 T2 的栅极 T2g 和检测晶体管 T3 的栅极 T3g、第一极板 Ca、第一电源线 vdd 的横向部分 vdd2 以及辅助电源线 vdd3，辅助电源线 vdd3 对应于第一电源线 vdd 的竖直部分 vdd1 沿第二方向 D2 延伸，且通过贯穿第三绝缘层 103 的多个过孔 V4 与第一电源线 vdd 的竖直部分 vdd1 电连接，以与第一电源线 vdd 的竖直部分 vdd1 并联，达到降低第一电源线 vdd 的电阻的效果；并且，如图 5D 所示，辅助电源线 vdd3 与横向部分 vdd2 电连接，从而实现横向部分 vdd2 与竖直部分 vdd1 电连接。例如辅助电源线 vdd3 与横向部分 vdd2 同层设置，均位于第二导电层 200。例如辅助电源线 vdd3 与横向部分 vdd2 连续的一体成型结构。第三导电层 300 包括驱动晶体管 T1 的第一极 T1s 和第二极 T1d、数据晶体管 T2 的第一极 T2s 和第二极 T2d、检测晶体管

T3的第一极 T3s 和第二极 T3d、数据线 D1\ D2\ D3\ D4、检测信号线 S、以及第一电源线 vdd 的竖直部分 vdd1。结合图 4A 和图 5H 可知, 上述层间绝缘层 105 仅设置于显示区域 11, 非发光区域 12 中不存在层间绝缘层 105。

结合图 4A 和图 5I, 例如, 第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 与驱动晶体管 T1 的第一极 T1s 连接, 且分别包括在垂直于衬底基板 1 的方向上沿靠近衬底基板 1 到远离衬底基板 1 的方向依次堆叠的第一子电极层 2a、第二子电极层 2b 和第三子电极层 2c。第四导电层 400 包括连接部 30、第一延伸部 31、第二延伸部 32、第一部分 21 的第一子电极层 2a 以及第二部分 22 的第一子电极层 2a。第五导电层 500 包括第一部分 21 的第三子电极层 2c 和第二部分 22 的第三子电极层 2c。例如, 显示基板 10 还包括第六导电层, 第六导电层在垂直于衬底基板 1 的方向上位于第四导电层 400 和第五导电层 500 之间, 第六导电层包括第一部分 21 的第二子电极层 2b 和第二部分 22 的第二子电极层 2b。

图 4C 为沿图 3A 中的 D-D' 线的截面示意图。结合图 5A 和图 4C, 第一导电层 100 还包括中间连接部 43, 例如中间连接部 43 位于第一像素行与第二像素行的交界区域。检测晶体管 T3 的第二极 T3d 通过贯穿第三绝缘层 103 的中间过孔 V33 与检测晶体管 T3 的有源层 T3a 连接, 且通过贯穿第三绝缘层 103 和第一绝缘层 101 的第二连接过孔 V32 与中间连接部 43 连接; 并且, 检测信号线 S 通过贯穿第三绝缘层 103 和第一绝缘层 101 的第一连接过孔 V31 与中间连接部 43 连接, 从而实现检测信号线 S 与检测晶体管 T3 的第二极 T3d 连接。同时, 第四子像素 P4 的检测晶体管的第二极 T3d' 通过贯穿第三绝缘层 103 的过孔 V35 与第四子像素 P4 的检测晶体管的有源层 T3a' 连接, 且通过贯穿第三绝缘层 103 和第一绝缘层 101 的过孔 V34 与中间连接部 43 连接, 从而实现第三子像素 P3 的检测晶体管的第二极 T3d 与第四子像素 P4 的检测晶体管的第二极 T3d' 通过同一中间连接部 43 与同一检测信号线 S 连接, 简化显示基板 10 的结构和制作工艺。

例如, 结合图 4C 和图 5C 所示, 第一子像素 P1 (即下文中的上子像素) 的检测晶体管 T3 的第二极 T3d 与第三子像素 P3 (即下文中的下子像素) 的检测晶体管 T3 的第二极 T3d 构成连续的一体成型电极, 第一子像素 P1 的检

测晶体管 T3 的有源层 T3a 与第三子像素 P3 的检测晶体管 T3 的有源层 T3a 一体成型有源层 IAL，一体成型电极通过中间过孔 V33 与一体成型有源层 IAL 电连接。

例如，如图 4A 所示，第三极板 Cc 位于第一极板 Ca 的靠近衬底基板 1 的一侧。

例如，结合图 4A 和图 5A，显示基板 10 还包括遮光层 7，遮光层 7 位于半导体层 200 的靠近衬底基板 1 的一侧；驱动晶体管 T1 的有源图案（即有源层 T1a 或沟道区）在衬底基板 1 上的正投影位于遮光层 7 在衬底基板 1 上的正投影之内，从而利用遮光层 7 遮挡来自驱动晶体管 T1 的有源图案的远离衬底基板 1 的一侧的顶光，防止顶光照射到驱动晶体管 T1 的沟道区，从而防止光照降低驱动晶体管 T1 的性能。例如发光器件 20 为顶发射型，发光层 23 发出的光从发光器件 20 的远离衬底基板 1 的一侧出射，当然，发光器件 20 也可以为底发射型，发光层 23 发出的光经衬底基板 1 出射。例如，遮光层 7 复用作第一转接部 41，即这两者是同一结构，以简化显示基板 10 的结构和制作工艺。

本公开至少一实施例还提供一种显示基板的操作方法，适用与本公开实施例提供的任意一种显示基板 10，参考图 3C，该操作方法包括：将显示基板 10 的连接结构 3 的位于非发光区域的部分切断以使连接结构 3 与第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 二者中的一者断开，这里的“断开”指连接结构 3 与第一部分 21 和第二部分 22 二者中的一者不再电连接，例如将连接结构 3 与第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 二者中的一者与连接结构 3 的位于非发光区域 12 的连接部 30 断开。如此，当一个子像素，这里以第三子像素 P3 为例，的开口区对应于第一电极 2 的第一部分 21 的区域和对应于第一电极 2 的第二部分 22 的区域两者中的一者发生暗点等显示不良时，例如，第一电极 2 的第一部分 21 对应的区域发生了暗点等显示不良，可以将第一电极 2 的第一部分 21 与连接结构 3 断开切断，从而将发生暗点等显示不良的区域不进行显示，实现子像素的修复，提高显示质量。

例如，在连接结构 3 的靠近衬底基板 1 的一侧不存在任何导电层与连接

结构 3 的被切断的部分在垂直于衬底基板 1 的方向上重叠，例如，在第一可切断部 310 的靠近衬底基板 1 的一侧不存在任何导电层与第一可切断部 310 在垂直于衬底基板 1 的方向上重叠，在第二可切断部 320 的靠近衬底基板 1 的一侧不存在任何导电层与第二可切断部 320 在垂直于衬底基板 1 的方向上重叠，此时，显示基板的操作方法包括将第一可切断部 310 和第二可切断部 320 二者中的一者切断，以将第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 二者中的一者与连接部 30 断开。这样，对切断第一可切断部 310 或第二可切断部 320 进行切断过程中不会损伤其他的导电层，从而便于切断，实现子像素的修复，提高显示质量。例如可以采用激光照射的方法将第一可切断部 310 或第二可切断部 320 切断，以形成断口（图未示出），例如断口将第一可切断部 310 或第二可切断部 320 间隔成在第一方向 D1 上间隔开的两部分，一部分与第一电极的第一部分或第一电极的第二部分连接，另一部分与连接部 30 连接。

本公开至少一实施例还提供一种显示基板，该显示基板包括：衬底基板、显示单元、扫描信号线和纵向信号线。显示单元设置在所述衬底基板上，且包括显示区域和非发光区域；所述显示区域包括子像素，所述子像素包括驱动晶体管和发光器件，所述驱动晶体管配置为控制流经所述发光器件的驱动电流的大小，所述发光器件配置为接收所述驱动电流且被所述驱动电流驱动以发光；扫描信号线设置于所述衬底基板上，整体上沿第一方向延伸，穿过所述非发光区域和所述显示区域，传输扫描信号；纵向信号线设置于所述衬底基板上且位于所述显示区域，整体上沿与所述第一方向相交的第二方向延伸；所述扫描信号线包括至少一个外环部，所述至少一个外环部中的每个包括第一导线和第二导线。第一导线整体上沿所述第一方向延伸，且从所述非发光区域延伸至所述显示区域；第二导线整体上沿所述第一方向延伸，且从所述非发光区域延伸至所述显示区域，与所述第一导线在所述第二方向上间隔；所述第一导线与所述第二导线均与所述纵向信号线在垂直于所述衬底基板的方向上交叠；所述扫描信号线包括整体上沿所述第一方向延伸的主干部，所述第一导线与所述第二导线均与所述主干部电连接。在该显示基板中，第一导线与第二导线传输同一个扫描信号，至少一个外环部的第一导线与第二

导线从非发光区域延伸至显示区域以与纵向信号线交叠。由此，至少一个外环部可以有效降低扫描信号线的负载（或电阻），同时避免与纵向信号线交叠过多；并且，至少一个外环部的第一导线与第二导线由非发光区域延伸至显示区域，从而可以与位于显示区域的靠近非发光区域的边缘的纵向信号线在垂直于衬底基板的方向上交叠，由此，当纵向信号线与同一个外环部的第一导线与第二导线二者中的一者交叠之处发生短路等问题时，可以将第一导线和第二导线中发生短路的发生短路的一者切断，使其停止工作，避免影响其所在的显示单元的显示效果，实现显示单元的像素修复。

示例性地，例如，图 6A 是图 3A 中包括至少一个外环部的局部 A 的放大示意图。结合图 3A、图 6A 和图 5D，显示基板 10 包括纵向信号线，纵向信号线设置于衬底基板 1 上且位于显示区域 11，整体上沿与第一方向 D1 相交的第二方向 D2 对延伸。例如，纵向信号线包括上述第一电源线 vdd、第二电源线 vss、数据线 D1~D4、检测线 S、连接线（下文中介绍）等。在图 3A 和图 6A 所示的实施例中，整体上沿第一方向 D1 延伸的第一子扫描信号线 G1 传输第一扫描信号，且包括第一外环部 R1。上述至少一个外环部包括第一外环部 R1，第一外环部 R1 包括第一导线 R11 和第二导线 R12，第一外环部 R1 的第一导线 R11 整体上沿第一方向 D1 延伸，且从非发光区域 12A 延伸至显示区域 11；第一外环部 R1 的第二导线 R12 整体上沿第一方向 D1 延伸，且从非发光区域 12A 延伸至显示区域 11，与第一外环部 R1 的第一导线 R11 在第二方向 D2 对上间隔开。第一子扫描信号线 G1 包括整体上沿第一方向 D1 延伸的第一主干部 G10，第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 均与第一主干部 G10 连接，从而，第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 与第一主干部 G10 均传输第一扫描信号。

如上所述，显示基板 10 包括第一电源线 vdd，第一电源线 vdd 连接第一电压端且配置为给子像素提供第一电源电压，且包括整体上沿第二方向 D2 对延伸的纵向部分 vdd1。如图 6A 所示，纵向信号线包括第一电源线 vdd 的纵向部分 vdd1；第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 均与第一电源线 vdd 的纵向部分 vdd1 在垂直于衬底基板 1 的方向上

交叠。如此，第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 由非发光区域 12A 延伸到显示区域 11，从而可以与位于显示区域 11 的靠近非发光区域 12A 的边缘的纵向信号线例如第一电源线 vdd 在垂直于衬底基板 1 的方向上交叠。由此，第一外环部 R1 可以有效降低第一子扫描信号线 G1 的负载（或电阻），同时避免与纵向部分 vdd1 交叠过多，只有两处交叠；当纵向部分 vdd1 与第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 二者中的一者交叠之处发生短路等问题时，可以将第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 二者中发生短路的一者切断，例如可以在纵向部分 vdd1 的在第一方向 D1 上相对的第一侧或者第二侧的位置将第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 二者中发生短路的一者切断，使该被切断的导线停止工作，避免影响其所在的显示单元 P 的显示效果，实现显示单元 P 的像素修复，由第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 二者中未被切断的一者继续为显示单元 P 的多个子像素 P1~P4 提供第一扫描信号，保持显示单元 P 的多个子像素 P1~P4 正常工作，减小上述短路问题对显示效果的影响。

例如，纵向信号线还包括数据信号线 DT，数据信号线传输数据信号 DT；第一子扫描信号线 G1 配置为给数据写入晶体管 T2 提供第一扫描信号，例如第一子扫描信号线 G1 给显示单元 P 的多个子像素 P1~P4 提供第一扫描信号。例如，在图 6A 所示的实施例中，第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 与第一数据信号线 D1 在垂直于衬底基板 1 的方向上交叠。当然，在其他实施例中，第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 也可以与第二数据信号线 D2 在垂直于衬底基板 1 的方向上交叠，或者与第三数据信号线 D3 在垂直于衬底基板 1 的方向上交叠，或者与第四数据信号线 D4 在垂直于衬底基板 1 的方向上交叠。例如，在其他实施例中，第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 也可以与显示单元 P 的多条数据信号线交叠，可根据需要进行设计。

例如，显示单元 P 的非发光区域包括第一非发光区域 12A 和第二非发光区域 12B，第一非发光区域 12A 位于显示区域 11 在第一方向 D1 上的第一侧，第二非发光区域 12B 位于显示区域 11 在第一方向 D1 上的与其第一侧相对的

第二侧；第一子扫描信号线 G1 依次穿过第一非发光区域 12A、显示区域 11 和第二非发光区域 12B。第一主干部 G10 包括位于第一非发光区域 12A 的第一部分 G101 和位于第二非发光区域 12B 的第二部分 G102；第一子扫描信号线 G1 还包括：第一分支部和第二分支部。第一分支部与第一主干部 G10 的第一部分 G101 和第一主干部 G10 的第二部分 G102 连接，且包括第一外环部 R1 的第一导线 R11；第一外环部 R1 的第一导线 R11 位于第一主干部 G10 的在第二方向 D2 对上的第一侧，且第一外环部 R1 的第一导线 R11 与第一主干部 G10 电连接；第二分支部与第一主干部 G10 的第一部分 G101 和第一主干部 G10 的第二部分 G102 连接，且包括第一外环部 R1 的第二导线 R12，第一外环部 R1 的第二导线 R12 位于第一主干部 G10 的在第二方向 D2 对上的与其第一侧相对的第二侧，且第一外环部 R1 的第二导线 R12 与第一主干部 G10，以对应于沿第二方向 D2 排列的第一像素行和第二像素行合理利用空间。

例如，如图 6A 和图 5D 所示，第一子扫描信号线 G1 还包括第二外环部 R2，上述至少一个外环部包括第二外环部 R2。第二外环部 R2 的第一导线 R21 和第二外环部 R1 的第二导线 R22 均与第一主干部 G10 连接。纵向信号线包括第二电源线 vss，第二电源线 vss 连接第二电压端，配置为给予像素提供不同于第一电源电压的第二电源电压，且沿第二方向 D2 对延伸；第二外环部 R2 的第一导线 R21 和第二外环部 R2 的第二导线 R22 与第二电源线 vss 在垂直于衬底基板 1 的方向上交叠。如此，第二外环部 R2 可以进一步降低第一子扫描信号线 G1 的负载（或电阻），同时避免与第二电源线 vss 交叠过多，只有两处交叠；当纵向部分 vdd1 与第二外环部 R2 的第一导线 R21 和第二外环部 R2 的第二导线 R22 二者中的一者交叠之处发生短路等问题时，可以将第二外环部 R2 的第一导线 R21 和第二外环部 R2 的第二导线 R22 二者中发生短路的一者切断，例如可以在第二电源线 vss 的在第一方向 D1 上相对的第一侧或者第二侧的位置将第二外环部 R2 的第一导线 R21 和第二外环部 R2 的第二导线 R22 二者中发生短路的一者切断，使该被切断的导线停止工作，避免影响其所在的显示单元 P 的显示效果，实现显示单元 P 的像素修复，由第二外环部 R2 的第一导线 R21 和第二外环部 R2 的第二导线 R22 二者中

未被切断的一者继续为显示单元 P 的多个子像素 P1~P4 提供第一扫描信号，保持显示单元 P 的多个子像素 P1~P4 正常工作，减小上述短路问题对显示效果的影响。

例如，第一电源电压例如为高电源电压 VDD，第二电源电压例如为低电源电压 VSS。

例如，如图 6A 和图 5D 所示，第二外环部 R2 与第一外环部 R1 在第一方向 D1 上彼此间隔开，在本公开实施例中，由于第二外环部 R2 与第一外环部 R1 之间的信号线较密集，从而这样可以避免第二外环部 R2 与第一外环部 R1 与过多的沿第二方向 D2 延伸的信号线交叠而造成的短路多发、降低制作良率等问题。当然，根据不同的版图结构，可以根据需要设计第二外环部 R2 与第一外环部 R1 在第一方向 D1 上的长度以决定第二外环部 R2 与第一外环部 R1 分别与哪些沿第二反向 D2 延伸的信号线在垂直于衬底基板 1 的法分析上交叠，本公开的实施例对此不作限定。

例如，如图 6A 和图 5D 所示，第一外环部 R1 的第一导线 R11 和第一外环部 R1 的第二导线 R12 从第一非发光区域 12A 延伸到显示区域 11，第二外环部 R2 的第一导线 R21 和第二外环部 R2 的第二导线 R22 从第二非发光区域 12B 延伸到显示区域 11。第一子扫描信号线 G1 还包括中间连接部 G103；第一外环部 R1 和第二外环部 R2 均为封闭的环形，第一主干部 G10 的第一部分 G101、第一外环部 R1、中间连接部 G103、第二外环部 R2 以及第一主干部 G10 的第二部分 G102 依次连接，以实现第一主干部 G10 的第一部分 G101、第一外环部 R1、中间连接部 G103、第二外环部 R2 以及第一主干部 G10 的第二部分沿第一方向 D1 传输第一扫描信号。

例如，如图 6A 和图 5D 所示，第一外环部 R1 与第二外环部 R2 相对于沿第二方向 D2 对延伸的对称轴对称，以使显示单元 P 和像素阵列更加均一，整个显示区域的显示效果较为均一。

例如，第一主干部 G10 的第一部分、第一外环部 R1、中间连接部 G103、第二外环部 R2 与第一主干部 G10 的第二部分是连续的一体成型结构（即一体化结构），以简化显示基板 10 的结构和制作工艺。

例如，如图 6A 和图 5D 所示，第一外环部 R1 的第一导线 R11 具有在第

一方向 D1 上彼此相对的第一端和第二端, 第一外环部 R1 的第二导线 R12 具有在第一方向 D1 上彼此相对的第一端和第二端; 第一外环部 R2 还包括第三连接线 R13 和第四连接线 R14; 第三连接线 R13 位于第一非发光区域 12A, 沿第二方向 D2 延伸, 连接第一导线 R11 的第一端与第二导线 R12 的第一端; 5 第四连接线 R14 位于显示区域 11, 沿第二方向 D2 对延伸, 且连接一导线 R11 的第二端与第二导线 R12 的第二端, 以使第一外环部 R1 构成封闭的环形。类似地, 对于第二外环部 R2 也是如此。

例如, 第一电源线 vdd 的纵向部分 vdd1 位于显示区域 11 在第一方向 D1 上的第一边缘, 第二电源线 vss 位于显示区域 11 在第一方向 D1 上于第一边缘相对的第二边缘。由此, 第一外环部 R1 的第一导线 R11 和第二导线 R12 10 从第一非发光区域 12A 延伸到显示区域 11 以便于与第一电源线 vdd 的纵向部分 vdd1 交叠, 第二外环部 R2 的第一导线 R21 和第二导线 R22 从第二非发光区域 12B 延伸到显示区域 11 以便于与第二电源线 vss 交叠。

例如, 如图 6A 和图 5D 所示, 如上所述, 扫描信号线还包括第二子扫描信号线 G2, 第二子扫描信号线 G2 整体上沿第一方向 D1 延伸, 与第一子扫描信号线 G1 在第二方向 D2 对上间隔排列, 传输不同于第一扫描信号的第二扫描信号; 第二子扫描信号线 G2 包括第三外环部 R3, 上述至少一个外环部 15 包括第三外环部 R3; 第二子扫描信号线 G2 包括整体上沿第一方向 D1 延伸的第二主干部 G20, 第三外环部 R 第三外环部 R3 的第二导线 3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 均与第二主干部 G20 连接; 第三外环部 R3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 均与第一电源线 vdd 的纵向部分 vdd1 和第二电源线 vss 在垂直于衬底基板 1 的方向上交叠。由此, 第三外环部 R3 可以有效降低第二子扫描信号线 G2 的负载(或电阻), 同时避免与纵向部分 vdd1 和第二电源线 vss 交叠过多, 第三外环部 R3 与纵向部 20 分 vdd1 和第二电源线 vss 分别只有两处交叠; 当纵向部分 vdd1 或第二电源线 vss 与第三外环部 R3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 二者中的一者交叠之处发生短路等问题时, 可以将第三外环部 R3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 二者中发生短路的一者切断, 例如可以在纵向部分 vdd1 或第二电源线 vss 的在第一方向 D1 上相对的第一侧或 25

者第二侧的位置将第三外环部 R3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 二者中发生短路的一者切断，使该被切断的导线停止工作，避免影响其所在的显示单元 P 的显示效果，实现显示单元 P 的像素修复，由第三外环部 R3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 二者中未被切断的一者继续为显示单元 P 的多个子像素 P1~P4 提供第一扫描信号，保持显示单元 P 的多个子像素 P1~P4 正常工作，减小上述短路问题对显示效果的影响。

示例性地，当图 6A 中第三数据信号线 D3 与第三外环部 R3 的第一导线 R31 交叠的位置 PA 发生短路，可以在第三数据信号线 D3 的在第一方向 D1 上的第一侧的位置 PA1 将第三外环部 R3 的第一导线 R31 切断，或者，在第三数据信号线 D3 的在第一方向 D1 上的第二侧的位置 PA2 将第三外环部 R3 的第一导线 R31 切断，以使第三外环部 R3 的第一导线 R31 不再传输电流，从而消除位置 PA 的短路，由未被切断的第三外环部 R3 的第二导线 R32 给显示单元 P 的子像素提供第二扫描信号。对于每条纵向信号线的修复方法与此类似，不一一描述。

例如，如图 6A 和图 5D 所示，第三外环部 R3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 分别从第一非发光区域 12A 延伸到显示区域 11 继而延伸至第二非发光区域 12B。即，第三外环部 R3 的第一导线 R31 与第三外环部 R3 的第二导线 R32 依次穿过第一非发光区域 12A、显示区域 11 和第二非发光区域 12B 且沿第一方向 D1 贯穿整个显示区域 11，从而可以与显示区域 11 中的所有的整体上沿第二方向 D2 延伸的纵向信号线在垂直于衬底基板 1 的方向上交叠，以针对所有的纵向信号线均可解决上述发生短路时的像素修复。

例如，第二主干部 G20 包括位于第一非发光区域 12A 的第一部分和位于第二非发光区域 12B 的第二部分；第二子扫描信号线 G2 包括：第三分支部和第四分支部。第三分支部连接第二主干部 G20 的第一部分和第二主干部 G20 的第二部分，且包括第三外环部 R3 的第一导线 R31；第三外环部 R3 的第一导线 R31 位于第二主干部 G20 的第二方向 D2 对上的第一侧，且第三外环部 R3 的第一导线 R31 与第二主干部 G20 电连接；第四分支部连接第二主干部 G20 的第一部分和第二主干部 G20 的第二部分，且包括第三外环部

R3 的第二导线 R32; 第三外环部 R3 的第二导线 R32 位于第二主干道 G20 的在第二方向 D2 对上的与其第一侧相对的第二侧, 且第三外环部 R3 的第二导线 R32 与第二主干道 G20 电连接, 以对应于沿第二方向 D2 排列的第一像素行和第二像素行合理利用空间, 便于利用第二子扫描信号线 G2 给第一像素行和第二像素行提供第二扫描信号。

例如, 如图 6A 示, 第三外环部 R3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 均与数据信号线在垂直于衬底基板 1 的方向上交叠, 与第一电源线 vdd 的纵向部分 vdd1 在垂直于衬底基板 1 的方向上交叠, 以及与第二电源线 vss 在垂直于衬底基板 1 的方向上交叠。例如, 数据信号线包括给第一子像素 P1 提供数据信号的第一数据线 D1、给第二子像素 P2 提供数据信号 DT 的第二数据线 D2、给第三子像素 P3 提供数据信号 DT 的第三数据线 D3 和给第四子像素 P4 提供数据信号 DT 的第四数据线 D4; 第一数据线 D1、第二数据线 D2、第三数据线 D3 和第四数据线 D4 在第一方向 D1 上间隔排列。例如, 第三外环部 R3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 均与显示单元 P 的多个子像素 P1~P4 的数据信号线 D1~D4。由此, 针对数据信号线 D1~D4、第一电源线 vdd 的纵向部分 vdd1 和第二电源线 vss 均可解决上述发生短路时的像素修复。

例如, 纵向信号线还包括检测信号线 S, 检测信号线 S 传输检测信号。子像素还包括检测晶体管 T3, 第二子扫描信号线 G2 配置为给检测晶体管 T3 提供第二扫描信号, 检测晶体管 T3 配置为在第二扫描信号的控制下利用检测信号检测子像素的电特性以实现外部补偿。例如, 如图 6A 所示, 第三外环部 R3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 均与检测信号线 S 在垂直于衬底基板 1 的方向上交叠。由此, 针对检测信号线 S 也可解决上述发生短路时的像素修复。

例如, 第一子扫描信号线 G1 配置为给第三子像素 P3 的数据晶体管 T2 和第四子像素 P4 的数据晶体管 T2 提供第一扫描信号; 第三外环部 R3 的第一导线 R31 给第一子像素 P1 的检测晶体管 T3 和第二子像素 P2 的检测晶体管 T3 提供第二扫描信号, 第三外环部 R3 的第二导线 R32 配置为给第三子像素 P3 的检测晶体管 T3 和第四子像素 P4 的检测晶体管 T3 提供第二扫描信号。

第三外环部 R3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 均与第一数据线 D1、第二数据线 D2、第三数据线 D3 和第四数据线 D4 在垂直于衬底基板 1 的方向上交叠。

例如，如图 6A 所示，第三外环部 R3 的第一导线 R31 的与第三子像素 P3、第四子像素 P4 的检测晶体管 T3 的沟道区重叠的部分分别构成第三子像素 P3 的检测晶体管 T3 的栅极 T3g-3、第四子像素 P4 的检测晶体管 T3 的栅极 T3g-4，且第三外环部 R3 的第二导线 R32 的与第一子像素 P1、第二子像素 P2 的检测晶体管 T3 的沟道区重叠的部分分别构成第一子像素 P1 的检测晶体管 T3 的栅极 T3g-1、第二子像素 P2 的检测晶体管 T3 的栅极 T3g-2。

参考图 5D，第一子扫描信号线 G1 和第二子扫描信号线 G2 位于同一层，例如位于第二导电层 200。因此，外环部，例如第一外环部 R1、第二外环部 R2 和第三外环部 R3 均位于同一导电层，例如第二导电层 200。

参考图 6A 和图 5D，第三外环部 R3 的环形的面积大于第一外环部 R1 的环形的面积且大于第二外环部 R2 的环形的面积。例如，第三外环部 R3 在第一方向 D1 上的长度大于第二外环部 R2 在第一方向 D1 上的长度且大于第一外环部 R1 在第一方向 D1 上的长度，且第三外环部 R3 在第二方向 D2 上的宽度大于第二外环部 R2 在第二方向 D2 上的宽度且大于第一外环部 R1 在第二方向 D2 上的宽度。第三外环部 R3 沿第一方向 D1 从一个显示单元的位于显示区域 11 的第一侧的非显示区域 12A 延伸进入显示区域 11，并沿第一方向 D1 贯穿显示区域 11 而进入位于显示区域 11 的第二侧的非显示区域 12B，而第一外环部 R1 和第二外环部 R2 没有沿第一方向横跨整个显示区域 11。

例如，如图 6A 所示，第一子扫描信号线 G1 的中间连接部 G103 的与第三子像素 P3 的数据晶体管的沟道区重叠的部分构成第三子像素 P3 的数据晶体管 T2 的栅极 T2g-3，且与第四子像素 P4 的数据晶体管的沟道区重叠的部分构成第四子像素 P4 的数据晶体管 T2 的栅极 T2g-4。

例如，如图 6A 和图 5F 所示，显示单元 P 还包括：辅助扫描线 G3、第一连接线 CL1 和第二连接线 CL2，辅助扫描线 G3 沿第一方向 D1 延伸；第一连接线 CL1，连接辅助扫描线 G3 与第一子扫描信号线 G1；第二连接线

CL2 与第一连接线 CL1 在第二方向 D2 上间隔设置，连接辅助扫描线 G3 与第一子扫描信号线 G1；辅助扫描线 G3 配置为给第一子像素 P1 的数据晶体管 T2 和第二子像素 P2 的数据晶体管 T2 提供第一扫描信号；第三外环部 R3 的第一导线 R31 和第三外环部 R3 的第二导线 R32 均与第一连接线 CL1 和第二连接线 CL2 在垂直于衬底基板 1 的方向上交叠。由此，针对第一连接线 CL1 和第二连接线 CL2 均可解决上述发生短路时的像素修复。

例如，如图 5D 所示，第一子扫描信号线 G1 和辅助扫描线 G3 同层设置，且与驱动晶体管的第一极同层设置，均位于第二导电层 200。第一连接线 CL1 和第二连接线 CL2 位于第三导电层 300，与第一子扫描信号线 G1 异层设置。

例如，如图 5F 所示，辅助扫描线 G3 具有在第一方向 D1 上彼此相对的第一端和第二端；第一连接线 CL1 连接辅助扫描线 G3 的第一端和第一外环部 R1，第二连接线 CL2 连接辅助扫描线 G3 的第二端和第二外环部 R2。

例如，结合图 5E-5F 和图 6A，辅助扫描线 G3 的第一端通过贯穿第三绝缘层 103 的过孔 V71 与第一连接线 CL1 的第一端连接，第一连接线 CL1 的第二端通过贯穿第三绝缘层 103 的过孔 V61 与第一子扫描信号线 G1 连接；辅助扫描线 G3 的第二端通过贯穿第三绝缘层 103 的过孔 V72 与第二连接线 CL2 的第一端连接，第二连接线 CL2 的第二端通过贯穿第三绝缘层 103 的过孔 V62 与第一子扫描信号线 G1 连接。例如，第一连接线 CL1 的第二端通过过孔 V61 与第二外环部 R2 连接，第二连接线 CL2 的第二端通过过孔 V62 与第二外环部 R2 连接。

例如，第二子扫描信号线 G2 所包括的外环部的个数小于第一子扫描信号线 G 所包括的外环部的个数。例如，第二子扫描信号线 G2 所包括的外环部的个数是 1，即第三外环部 R3 的个数是 1；第一子扫描信号线 G1 所包括的外环部的个数是 2，分别为 1 个第一外环部 R1 和 1 个第二外环部 R2。第一子扫描信号线 G1 所包括的外环部较多便于在多个位置设置外环部，灵活地满足多个位置的需求，例如在一个显示单元的两个位置分别连接辅助扫描线 G3 的第一端和第二端。同时，第二子扫描信号线 G2 包括较少的外环部即可满足其与多种纵向信号线交叠，避免了设置多个外环部，简化结构，可降低显示基板的制作难度，这一点对提高显示基板的制作良率非常重要，尤其

是对于这种结构复杂且具有高分别率的显示基板。

例如，图 6B 是图 3A 中包括至少一个内环部的局部 B 的放大示意图。结合图 5D 和图 6B，第一电源线 vdd 的横向部分 vdd2 包括内环部 R4，内环部 R4 包括：第三导线 R41 和第四导线 R42。第三导线 R41 整体上沿第一方向 D1 延伸，且位于显示区域 11；第四导线 R42 整体上沿第一方向 D1 延伸，且位于显示区域 11，与第三导线 R41 在第二方向 D2 对上间隔开。第三导线 R41 与第四导线 R42 均与至少部分纵向信号线在垂直于衬底基板 1 的方向上交叠，且给显示单元 P 的多个子像素提供同一第一电源电压。

例如，第一电源线 vdd 的横向部分 vdd2 与第一子扫描信号线 G1 和第二子扫描信号线 G2 同层设置，且与第一电源线 vdd 的纵向部分 vdd1 异层设置且通过过孔与纵向部分 vdd1 电连接（具体如上述）。

例如，如图 6B 所示，第三导线 R41 和第四导线 R42 均与显示单元 P 的至少部分数据信号线在垂直于衬底基板 1 的方向上交叠，例如第三导线 R41 和第四导线 R42 均与第三数据信号线 D3 和第四数据信号线 D4 在垂直于衬底基板 1 的方向上交叠。由此，对于第三数据信号线 D3 和第四数据信号线 D4 的与第三导线 R41 或第四导线 R42 交叠的位置发生短路时，均可实现像素修复。示例性地，当图 6B 中第四数据信号线 D4 与第三导线 R41 交叠的位置 PO 发生短路，可以在第四数据信号线 D4 的在第一方向 D1 上的第一侧的位置 p1 将第三导线 R41 切断，或者，在第四数据信号线 D4 的在第一方向 D1 上的第二侧的位置 p2 将第三导线 R41 切断，以使第三导线 R41 不再传输电流，从而消除位置 PO 的短路，由未被切断的第四导线 R42 给显示单元 P 的子像素提供第二电源电压。对于每条纵向信号线的修复方法与此类似，不一一描述。

当然，在其他实施例中，第三导线 R41 和第四导线 R42 也可以与显示单元 P 的全部数据信号线 D1~D4 在垂直于衬底基板 1 的方向上均交叠。从而，在数据信号线 D1~D4 的与第三导线 R41 和第四导线 R42 交叠的位置发生短路时，均可实现像素修复。

例如，如图 6B 所示，第三导线 R41 和第四导线 R42 均与检测信号线 S 在垂直于衬底基板 1 的方向上交叠。由此，针对第三数据信号线 D3 和第四

数据信号线 D4 均可解决上述发生短路时的像素修复。

例如，检测信号线 S 被夹置于第三数据信号线 D3 和第四数据信号线 D4 之间且与第三数据信号线 D3 和第四数据信号线 D4 相邻，第三导线 R41 和第四导线 R42 均与第三数据信号线 D3、第四数据信号线 D4 以及检测信号线 S 在垂直于衬底基板 1 的方向上交叠。如此，可通过内环部 R4 一个环形结构在纵向信号线排布密集的位置与多条纵向信号线交叠，从而针对第三数据信号线 D3 和第四数据信号线 D4 和检测信号线 S 均可解决上述发生短路时的像素修复。

图 5K 为图 3A 所示的显示单元的像素界定层的平面示意图。例如，像素界定层 6 暴露至少部分外环部。结合图 3A、图 5K 和图 6A，例如，像素界定层 6 暴露第一外环部 R1 的一部分和第二外环部 R2 的一部分。

例如，结合图 3A、图 3C、图 5K 和图 6A，像素界定层 6 包括位于非显示区域 12A 的部分，像素界定层 6 的位于非显示区域 12A 的部分具有朝向远离显示区域凹陷的凹槽 63，连接部 30 在衬底基板 1 上的正投影至少部分位于凹槽 63 在衬底基板 1 上的正投影内；凹槽 63 具有面向连接部 30 的边缘 631，连接部 30 在第一方向 D1 上远离显示区域 11 的边缘 301 与凹槽 63 的边缘 631 之间存在间隔。即，凹槽 63 的边缘 631 位于连接部 30 的边缘 301 的远离显示区域 11 的一侧。

本公开至少一实施例还提供一种显示基板的操作方法，适用于本公开实施例提供的任意一种显示基板 10，该显示基板 1 的操作方法包括：将同一外环部的第一导线和第二导线二者中的一者的位于显示区域 11 的部分切断。同一外环部例如可以是上述第一外环部 R1、第二外环部 R2、第三外环部 R3。

例如，在同一外环部的第一导线和第二导线二者中的一者的被切断的部分的靠近衬底基板 1 的一侧不存在任何导电层与该同一外环部的第一导线和第二导线二者中的一者在垂直于衬底基板 1 的方向上重叠。例如如上所述，当图 6A 中第三数据信号线 D3 与第三外环部 R3 的第一导线 R31 交叠的位置 PA 发生短路，可以在图 6A 中的位置 PA1 或位置 PA2 将第三外环部 R3 的第一导线 R31 切断。如此，在子像素发生上述短路等显示不良时，对同一外环部的第一导线和第二导线二者中的一者进行切断过程中不会损伤其他的导电层，从而便于切断，实现子像素的修复，提高显示质量。对于其他的外环部

或者内环部，实现子像素的修复的处理方法与此类似，不再一一描述。

例如，可以采用激光照射的方法将同一外环部的第一导线和第二导线二者中的一者切断，以形成断口（图未示出）。

本公开至少一实施例还提供一种显示基板，该显示基板包括：衬底基板
5 和显示单元。显示单元设置在所述衬底基板上，且包括显示区域和非发光区域；所述显示区域包括子像素，所述子像素包括驱动晶体管和发光器件；所述驱动晶体管配置为控制流经所述发光器件的驱动电流的大小，且包括栅极、第一极和第二极；所述发光器件配置为接收所述驱动电流且被所述驱动电流驱动以发光，且包括第一电极；所述第一电极包括彼此间隔的第一部分和
10 第二部分，所述第一部分和所述第二部分与所述驱动晶体管的第一极连接，且分别包括在垂直于所述衬底基板的方向上沿靠近所述衬底基板到远离所述衬底基板的方向依次堆叠的第一子电极层和第二子电极层；所述第一部分的第一子电极层具有靠近所述第二部分的第一边缘，所述第一部分的第二子电极层具有靠近所述第二部分的第二边缘，所述第一边缘位于所述第二边缘的远
15 离所述第二部分的一侧；所述第二部分的第一子电极层具有靠近所述第一部分的第三边缘，所述第二部分的第二子电极层具有靠近所述第一部分的第四边缘，所述第三边缘位于所述第四边缘的远离所述第一部分的一侧。

示例性地，图 7 为沿图 3B 中的 A-A' 线的另一种截面示意图，图 8A 为图 7 中的局部 C 的放大示意图，图 9 为图 8A 所示的局部 C 的平面示意图。
20 如图 7-图 9 所示，在该显示基板 10 中，第一电极 2 包括彼此间隔的第一部分 21 和第二 22 部分，第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 与驱动晶体管 T1 的第一极 T1s 连接（具体的连接方式请参考对于图 4A 的描述），且第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 分别包括在垂直于衬底基板 1 的方向上沿靠近衬底基板 1 到远离衬底基板 1 的方向
25 依次堆叠的第一子电极层 2a 和第二子电极层 2b。第一电极 2 的第一部分 21 的第一子电极层 2a 具有靠近第一电极 2 的第二部分 22 的第一边缘 2a-1，第一电极 2 的第一部分 21 的第二子电极层 2b 具有靠近第一电极 2 的第二部分 22 的第二边缘 2b-1，第一边缘 2a-1 位于第二边缘 2b-1 的远离第一电极 2 的第二部分 22 的一侧；第一电极 2 的第二部分 22 的第一子电极层 2a 具有靠近

第一电极 2 的第一部分 21 的第三边缘 2a-2, 第一电极 2 的第二部分 22 的第二子电极层 2b 具有靠近第一电极 2 的第一部分 21 的第四边缘 2b-2, 第三边缘 2a-2 位于第四边缘 2b-2 的远离第一电极 2 的第一部分 21 的一侧。也即, 在该显示基板中, 第一电极 2 (例如阳极) 的第一部分 21 的第一子电极层 2a、
5 第二部分 22 的第一子电极层 2a 彼此靠近的边缘分别相对于第一部分 21 的第二子电极电层和第一部分 22 的第二子电极电层彼此靠近的边缘缩进。如此, 形成第一部分 21 的第一子电极层 2a 和第二部分 22 的第一子电极层 2a 之后, 通过构图工艺形成第一部分 21 的第二子电极层 2b 和第二部分 22 的第二子电极层 2b 时, 可防止由于间距过小而造成第一部分 21 的第二子电极层 2b 与
10 第二部分 22 的第二子电极层 2b 接触, 防止第一部分 21 的第二子电极层 2b 与第二部分 22 的第一子电极层 2a 接触, 以及第二部分 22 的第二子电极层 2b 与第一部分 21 的第一子电极层 2a 接触; 并且, 能够降低构图难度, 提高显示基板的制作良率。若不采用本公开实施例提供的如图 8A 所示的显示基板的关于上述第一部分 21 和第二部分 22 的边缘的设计, 此处第一部分 21 的第二子电极层 2b 和第二部分 22 的第二子电极层 2b 之间的间距需要拉大, 这样
15 就减少了像素界定层 6 的开口区 60 的尺寸, 因此, 本公开实施例提供的如图 8A 所示的显示基板的关于上述第一部分 21 和第二部分 22 的边缘的设计, 还增加了子像素的开口率。

例如, 在一些实施例中, 第一电极 2 的第一部分 21 的第一子电极层 2a
20 在衬底基板 1 上的正投影位于第一电极 2 的第一部分 21 的第二子电极层 2b 在衬底基板 1 上的正投影内, 且第一电极 2 的第一部分 21 的第一子电极层 2a 在衬底基板 1 上的正投影的面积小于第一电极 2 的第一部分 21 的第二子电极层 2b 在衬底基板 1 上的正投影的面积; 第一电极 2 的第二部分 22 的第一子电极层 2a 在衬底基板 1 上的正投影位于第一电极 2 的第二部分 22 的第二子电极层 2b 在衬底基板 1 上的正投影内, 且第一电极 2 的第二部分 22 的第一子电极层 2a 在衬底基板 1 上的正投影的面积小于第一电极 2 的第二部分 22 的第二子电极层 2b 在衬底基板 1 上的正投影的面积, 以进一步降低上述
25 理想状态下彼此间隔的子电极层相接触的风险。

例如, 如图 7-图 9 所示, 第一电极 2 的第一部分 21 和第一电极 2 的第

二部分 22 还分别包括第三子电极层 2c, 第一电极 2 的第一部分 21 的第三子电极层 2c 在垂直于衬底基板 1 的方向上与第一电极 2 的第一部分 21 的第二子电极层 2b 堆叠且位于第一电极 2 的第一部分 21 的第二子电极层 2b 的远离衬底基板 1 的一侧, 第一电极 2 的第二部分 22 的第三子电极层 2c 在垂直于衬底基板 1 的方向上与第一电极 2 的第二部分 22 的第二子电极层 2b 堆叠且位于第一电极 2 的第二部分 22 的第二子电极层 2b 的远离衬底基板 1 的一侧; 第一电极 2 的第一部分 21 的第三子电极层 2c 具有靠近第一电极 2 的第二部分 22 的第五边缘 2c-1, 第一边缘 2a-1 位于第五边缘 2c-1 的远离第一电极 2 的第二部分 22 的一侧; 第一电极 2 的第二部分 22 的第三子电极层 2c 具有靠近第一电极 2 的第一部分 21 的第六边缘 2c-2, 第三边缘 2a-2 位于第六边缘 2c-2 的远离第一电极 2 的第一部分 21 的一侧。即, 第一部分 21 的第一子电极层 2a 的靠近第二部分 22 的边缘还相对于第一部分 21 的第三子电极层 2c 的靠近第二部分 22 的边缘缩进, 第二部分 22 的第一子电极层 2a 的靠近第一部分 21 的边缘还相对于第二部分 22 第三子电极层 2c 的靠近第一部分 21 的边缘缩进, 以防止第一部分 21 的第三子电极层 2c 与第二部分 22 的第一子电极层 2a 接触, 且防止第二部分 22 的第三子电极层 2c 与第一部分 21 的第一子电极层 2a 接触。并且, 若不采用本公开实施例提供的如图 8A 所示的显示基板的第一边缘 2a-1 相对于第五边缘 2c-1 更远离第二部分 22、第三边缘 2a-2 相对于第六边缘 2c-2 更远离第一部分 21 的设计, 此处第一部分 21 的第三子电极层 2c 和第二部分 22 的第三子电极层 2c 之间的间距需要拉大, 这样就减少了像素界定层 6 的开口区 60 的尺寸, 因此, 本公开实施例提供的如图 8A 所示的显示基板的关于上述第一部分 21 和第二部分 22 的边缘的设计, 还增加了子像素的开口率。

例如, 第一电极 2 的第一部分 21 的第一子电极层 2a 在衬底基板 1 上的正投影位于第一电极 2 的第一部分 21 的第三子电极层 2c 在衬底基板 1 上的正投影内, 且第一电极 2 的第一部分 21 的第一子电极层 2a 在衬底基板 1 上的正投影的面积小于第一电极 2 的第一部分 21 的第三子电极层 2c 在衬底基板 1 上的正投影的面积; 第一电极 2 的第二部分 22 的第一子电极层 2a 在衬底基板 1 上的正投影位于第一电极 2 的第二部分 22 的第三子电极层 2c 在衬

底基板 1 上的正投影内, 且第一电极 2 的第二部分 22 的第一子电极层 2a 在衬底基板 1 上的正投影的面积小于第一电极 2 的第二部分 22 的第三子电极层 2c 在衬底基板 1 上的正投影的面积, 以进一步降低上述理想状态下彼此间隔的子电极层相接触的风险。

5 例如, 如图 8A 所示, 第二边缘 2b-1 相对于第五边缘 2c-1 缩进, 即, 第二边缘 2b-1 位于第五边缘 2c-1 的远离第二部分 22 的一侧; 第四边缘 2b-2 相对于第六边缘 2c-2 缩进, 即, 第四边缘 2b-2 位于第六边缘 2c-2 的远离第一部分 21 的一侧。以进一步降低第一部分 21 的第二子电极层 2b 与第二部分 22 的第二子电极层 2b 接触的风险、第一部分 21 的第二子电极层 2b 与第二部分 22 的第一子电极层 2a 接触的风险、第二部分 22 的第二子电极层 2b 与第一部分 21 的第一子电极层 2a 接触的风险、以及第二部分 22 的第三子电极层 2c 与第一部分 21 的第一子电极层 2a 接触的风险。图 8B 的其他特征和技术效果与图 8A 所示的实施例相同。

15 例如, 图 8B 所示的实施例中, 第一部分 21 的第二子电极层 2b、第一部分 21 的第三子电极层 2c、第二部分 22 的第二子电极层 2b 与第二部分 22 的第三子电极层 2c 可采用同一掩膜通过同一道构图工艺形成, 例如采用刻蚀工艺例如湿刻工艺形成, 以简化显示基板 10 的制作工艺; 并且, 第二子电极层 2b 的材料与第三子电极层 2c 的材料不同, 从而使得两者具有不同的刻蚀速率, 从而得到图 8B 所示的结构。

20 本公开中的构图工艺例如包括光刻工艺, 当然也可以是其他的构图工艺。

25 例如, 第一部分 21 的第一子电极层 2a 和第二部分 22 的第一子电极层 2a 的材料是透明导电材料, 第一部分 21 的第二子电极层 2b 和第二部分 22 的第二子电极层 2b 的材料是金属材料, 第一部分 21 的第三子电极层 2c 和第二部分 22 的第三子电极层 2c 的材料是透明导电材料。例如, 第二子电极层 2b 的材料可以包括金 (Au)、银 (Ag)、铜 (Cu)、铝 (Al)、钼 (Mo)、镁 (Mg)、钨 (W) 以及以上金属组合而成的合金材料。例如, 第一子电极层 2a 的材料和第三子电极层 2c 的材料是导电金属氧化物材料, 例如氧化铟锡 (ITO)、氧化铟锌 (IZO)、氧化锌 (ZnO)、氧化锌铝 (AZO) 等。当然, 第一子电极层 2a、第二子电极层 2b 和第三子电极层 2c 的材料不限于上

述列举种类，本公开实施例对此不作限定。

例如，在图 8A 所示的实施例中，第一电极 2 的第一部分 21 的第二子电极层 2b 在衬底基板 1 上的正投影位于第一电极 2 的第一部分 21 的第三子电极层 2c 在衬底基板 1 上的正投影内，第一电极 2 的第二部分 22 的第二子电极层 2b 在衬底基板 1 上的正投影位于第一电极 2 的第二部分 22 的第三子电极层 2c 在衬底基板 1 上的正投影内。即，第一部分 21 的第二子电极层 2b 的每条边均缩进对应的第一部分 21 的第三子电极层 2c 的边，第二部分 22 的第二子电极层 2b 的每条边均缩进对应的第二部分 22 的第三子电极层 2c 的边。

例如，如图 8A 所示，第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 在纵向上排列，第一边缘 2a-1 与第二边缘 2b-1 在纵向上间隔开第一距离 d_1 ，第三边缘 2a-2 与第四边缘 2b-2 在纵向上间隔开第二距离 d_2 ；第一距离 d_1 与第二距离 d_2 基本相等。

例如，第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 在纵向上排列，第一边缘 2a-1 与第二边缘 2b-1 在纵向上间隔开第一距离 d_1 ，第三边缘 2a-2 与第四边缘 2b-2 在纵向上间隔开第二距离 d_2 ；第一距离 d_1 的范围是 $1\mu\text{m}\sim 1.5\mu\text{m}$ ，第二距离 d_2 的范围是 $1\mu\text{m}\sim 1.5\mu\text{m}$ ，以有效防止第一部分 21 的第二子电极层 2b 与第二部分 22 的第二子电极层 2b 接触、第一部分 21 的第二子电极层 2b 与第二部分 22 的第一子电极层 2a 接触、以及第二部分 22 的第二子电极层 2b 与第一部分 21 的第一子电极层 2a 接触。

例如，第一边缘 2a-1 与第三边缘 2a-2 之间的第三距离 d_3 大于第二边缘 2b-1 与第四边缘 2b-2 之间的第四距离 d_4 。例如，第一边缘 2a-1 与第三边缘 2a-2 之间的第三距离 d_3 不小于 $6\mu\text{m}$ ；或者，第二边缘 2b-1 与第四边缘 2b-2 之间的第四距离 d_4 不小于 $4\mu\text{m}$ 。以有效防止由于间距过小而造成第一部分 21 的第二子电极层 2b 与第二部分 22 的第二子电极层 2b 接触，防止第一部分 21 的第二子电极层 2b 与第二部分 22 的第一子电极层 2a 接触，以及第二部分 22 的第二子电极层 2b 与第一部分 21 的第一子电极层 2a 接触。

或者，在其他一些实施例中，如图 8B 所示，第五边缘 2c-1 与第二边缘 2b-1 基本齐平；第六边缘 2c-2 与第四边缘 2b-2 基本齐平，以在实现降低上

述理想状态下彼此间隔的子电极层相接触的风险降低制作难度的同时，降低显示基板 10 的制作难度。例如，第一部分 21 的第二子电极层 2b、第一部分 21 的第三子电极层 2c、第二部分 22 的第二子电极层 2b 与第二部分 22 的第三子电极层 2c 可采用同一掩膜通过同一道构图工艺形成，以简化显示基板 10 的制造工艺。例如，在制作显示基板 10 的过程中，在衬底基板 1 上形成堆叠的第一导电层 100、第一绝缘层 101、半导体层 600、第二绝缘层 102、第二导电层 200、第三绝缘层 103、第三导电层 300、第四绝缘层 104、第五绝缘层 105 之后，形成覆盖第五绝缘层 105 的第一导电材料层，采用第一掩膜对第一导电材料层执行第一道构图工艺，以形成第一部分 21 的第一子电极层 2a 和第一部分 21 的第二子电极层 2b；然后，形成覆盖第一部分 21 的第一子电极层 2a 和第一部分 21 的第二子电极层 2b 的第二导电材料层，以及形成位于第二导电材料层的远离衬底基板 1 的一侧的第三导电材料层，第三导电材料层与第二导电材料层在垂直于衬底基板 1 的方向上堆叠；然后，采用第二掩膜对第二导电材料层和第三导电材料层执行第二道构图工艺，以形成第一部分 21 的第二子电极层 2b、第一部分 21 的第三子电极层 2c、第二部分 22 的第二子电极层 2b 与第二部分 22 的第三子电极层 2c，如此，可实现第五边缘 2c-1 与第二边缘 2b-1 基本齐平，第六边缘 2c-2 与第四边缘 2b-2 基本齐平，简化显示基板 10 的制造工艺，降低显示基板 10 的制作难度。

需要说明的是，上述“基本齐平”不限于是绝对齐平。由于分别用于形成第二部分 22 的第二子电极层 2b 和第三子电极层 2c 的第一导电材料层和第二导电材料层的材料不同，因此，例如第五边缘 2c-1 与第二边缘 2b-1 之间存在一定偏差距离，该偏差距离落入第一部分 21 的第三子电极层 2c 在该方向上的尺寸的 5% 以内或落入第一部分 21 的第二子电极层 2b 在该方向上的尺寸的 5% 以内均可理解为第五边缘 2c-1 与第二边缘 2b-1 基本齐平。类似地，对于第六边缘 2c-2 与第四边缘 2b-2 基本齐平也是如此。

例如，第一电极 2 的第一部分 21 的第二子电极层 2b 在衬底基板 1 上的正投影与第一电极 2 的第一部分 21 的第三子电极层 2c 在衬底基板 1 上的正投影基本重合，第一电极 2 的第二部分 22 的第二子电极层 2b 在衬底基板 1 上的正投影与第一电极 2 的第二部分 22 的第三子电极层 2c 在衬底基板 1 上

的正投影基本重合。类似于上述“基本齐平”，这里的“基本重合”也是指如果在基本重合的两个投影在某一方向上存在的偏差，该偏差落入第一部分 21 的第二子电极层 2b 在该方向上的尺寸的 5% 以内均可理解为第一电极 2 的第一部分 21 的第二子电极层 2b 在衬底基板 1 上的正投影与第一电极 2 的第一部分 21 的第三子电极层 2c 在衬底基板 1 上的正投影基本重合。类似地，对于第一电极 2 的第二部分 22 的第二子电极层 2b 在衬底基板 1 上的正投影与第一电极 2 的第二部分 22 的第三子电极层 2c 在衬底基板 1 上的正投影基本重合也是如此。

例如，在本公开至少一实施例提供的显示基本中，子像素的全部晶体管的沟道区在衬底基板 1 上的正投影均位于第一电极 2 在衬底基板 1 上的正投影内，且子像素的全部晶体管的沟道区位于第一电极 2 的靠近衬底基板 1 的一侧。例如在每一个子像素中，驱动晶体管 T1 的沟道区、数据晶体管 T2 的沟道区和检测晶体管 T3 的沟道区在衬底基板 1 上的正投影均位于第一电极 2 在衬底基板 1 上的正投影内，且驱动晶体管 T1 的沟道区、数据晶体管 T2 的沟道区和检测晶体管 T3 的沟道区位于第一电极 2 的靠近衬底基板 1 的一侧。如此，子像素的全部晶体管沟道区均被第一电极 2 遮光，利用第一电极 2 遮挡来自晶体管的沟道区的远离衬底基板 1 的一侧的顶光。

发光器件 20 还包括发光层 23，发光层 23 位于第一电极 2 的远离衬底基板 1 的一侧，第一电极 2 为反射电极，发光层 23 发出的光从第一电极 2 的远离衬底基板 1 的一侧出射。

例如，如图 3A-3B 所示，在至少一实施例提供的显示基板 10 中，在每个子像素（例如 P1~P4）中，驱动晶体管 T1 的沟道区在衬底基板 1 上的正投影位于第一电极 2 的第二部分 22 在衬底基板 1 上的正投影内；数据写入晶体管 T2 的沟道区在衬底基板 1 上的正投影和检测晶体管 T3 的沟道区在衬底基板 1 上的正投影均位于第一电极 2 的第一部分 21 在衬底基板 1 上的正投影内，以在一个显示单元 P 的四个子像素 P1~P4 在第一方向 D1 或第二方向 D2 上基本对称（大部分器件对称，整体对称，不必要每个图层和每个器件都对）的情况下，使每个子像素的第一电极的第一部分和第二部分合理配合对应的子像素的各个晶体管的沟道区的位置，实现合理的空间利用和空间排布，以

尽量减小显示区域的面积，这对于应用该显示基板的透明显示装置具有重要意义，可以兼顾非发光区域的面积，在达到利用显示区域实现显示图像的要求的同时，也可以更好地兼顾通过非发光区域透视环境图像的功能。

图 10 是本公开实施例提供的一个显示单元 P 的多个子像素的排布方式示意图。例如，如图 10 所示，一个子像素在第二方向 D2 上的长度大于该子像素在第一方向 D1 上的宽度，第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 在第二方向 D2 上排列，并且，第一子像素 P1 在衬底基板 1 上的正投影的面积和第三子像素 P3 在衬底基板 1 上的正投影的面积均大于第二子像素 P2 在衬底基板 1 上的正投影的面积和第四子像素 P4 在衬底基板 1 上的正投影的面积。如此，尺寸较大的第一子像素 P1 和第三子像素 P3 沿长度方向排列且位于同一列子像素，可以合理排布显示区域 11 的子像素，避免显示区域 11 占用太多面积，从而不会影响非发光区域 12 的空间。例如，第一子像素 P1 在衬底基板 1 上的正投影的面积大于第三子像素 P3 在衬底基板 1 上的正投影的面积；第二子像素 P2 在衬底基板 1 上的正投影的面积和第四子像素 P4 在衬底基板 1 上的正投影的面积，从而使较大的子像素位于同一行，以易于在一个显示单元 P 的中，利用有限的显示区域 11 的面积规整排布四个子像素。

例如，第一子像素 P1 发红（R）光，第二子像素 P2 发蓝（B）光，第三子像素 P3 发白（W）光，第四子像素 P4 发绿（G）光，以通过不同面积大小的子像素对应于相应的发光颜色，平衡发生不同颜色的光的发光层的寿命差异。

本公开至少一实施例还提供一种显示基板，该显示基板包括：衬底基板、和设置在所述衬底基板上的显示单元。显示单元包括显示区域和非发光区域，所述显示区域包括子像素，所述子像素包括驱动晶体管和发光器件，所述驱动晶体管配置为控制流经所述发光器件的驱动电流的大小，所述发光器件配置为接收所述驱动电流且被所述驱动电流驱动以发光；所述发光器件包括公共电极，所述公共电极与公共电压端连接。所述显示单元包括：辅助电极线、第一辅助电极和辅助绝缘层。辅助电极线包括位于所述显示区域的纵向部分和至少部分位于所述非发光区域的横向部分，所述横向部分与所述纵向部分

连接；第一辅助电极位于所述非发光区域且与所述公共电极电连接；辅助绝缘层包括位于所述非发光区域且暴露至少部分所述横向部分的第一辅助过孔，所述第一辅助电极通过所述第一辅助过孔与所述横向部分连接；所述横向部分、所述第一辅助电极和所述第一辅助过孔构成一个辅助单元，所述显示单元包括多个所述辅助单元；所述辅助电极线的横向部分沿第一方向延伸，所述辅助电极线的纵向部分沿与所述第一方向相交的第二方向延伸，所述多个辅助单元在所述第二方向上彼此间隔排列。该显示面板中，通过在非发光区域中设置与公共电极并联的第一辅助电极，降低原公共电极的电阻。

示例性地，图 11A 为图 3A 所示的显示单元的第一辅助单元 H1 的局部平面示意图；图 11B 为沿图 11A 中的 E-E' 线的截面示意图。结合图 3A 与图 11A-11B，在本公开至少一实施例提供的显示基板中，发光器件 20 包括公共电极，所述公共电极与公共电压端连接。公共电极例如为第二电极 24（下文称作公共电极 24），例如为公共阴极。显示单元 P 包括：辅助电极线 8、第一辅助电极 91 和辅助绝缘层 104。例如，辅助电极线 8 位于第三导电层 300，因此，可结合图 11A-11B 和图 5F。辅助电极线 8 包括位于显示区域 11 的纵向部分 81 和至少部分位于非发光区域 12 的横向部分 821，横向部分 821 与纵向部分 81 连接。例如，横向部分 821 与纵向部分 81 是连续的一体成型结构。例如辅助电极线 8 的横向部分 821 沿第一方向 D1 延伸，辅助电极线 8 的纵向部分 81 沿与第一方向 D1 相交的第二方向 D2 延伸。第一辅助电极 91 位于非发光区域 12 且与公共电极 24 电连接；辅助绝缘层 104 包括位于非发光区域 12 且暴露至少部分横向部分 821 的第一辅助过孔 V001，第一辅助电极 91 通过第一辅助过孔 V001 与横向部分 821 连接。即，利用该第一辅助过孔 V001 实现横向部分 821 通过第一辅助电极 91 与公共电极 24 连接。如此，通过在非发光区域 12 中设置第一辅助过孔 V001 和第一辅助电极 91，并将横向部分 821 从显示区域 11 引出至非发光区域 12，使得第一辅助电极 91 在非发光区域 12 中通过第一辅助过孔 V001 与辅助电极线 8 的横向部分 821 电连接；而第一辅助电极 91 还与公共电极 24 电连接，从而在非发光区域 12 中实现辅助电极线 8 的横向部分 821 与公共电极 24 电连接，从而给公共电极 24 增加与之并联的第一辅助电极 91 和辅助电极线 8，在降低原公共电极的电阻

的同时，不占用显示区域 11 的空间，充分利用了空间非常充分的非发光区域 12 来设置第一辅助电极 91、第一辅助过孔 V001 以及辅助电极线 8 的横向部分 821。

例如，这里的辅助电极线 8 为上述第二电源线 vss。对于显示区域 11 和 5 非发光区域 12 的说明请参见之前的描述。

例如，辅助绝缘层 104 与第四绝缘层 104 同层且材料相同，通过对同一膜层执行同一构图同一形成，该同一构图工艺例如为包括曝光、显影等工序的光刻工艺。

例如，层间绝缘层 105 与第五绝缘层同层且材料相同，通过对同一膜层 10 执行同一构图同一形成，该同一构图工艺例如为包括曝光、显影等工序的光刻工艺。

例如，如图 11B 所示，第一辅助电极 91 包括：第一子导电层 901、第一堆叠部 91a 和第二堆叠部 91b。第一子导电层 901 通过第一辅助过孔 V001 与横向部分 821 连接；第一堆叠部 91a 与第一子导电层 901 电连接且在垂直于衬底基板 1 的方向上堆叠，位于第一子导电层 901 的远离衬底基板 1 的一侧，且包括在垂直于衬底基板 1 的方向上彼此堆叠的第一堆叠层 911 和第二堆叠层 912，第二堆叠层 912 位于第一堆叠层 911 的远离衬底基板 1 的一侧且与公共电极 24 连接。第一堆叠部 91a 位于第一辅助电极 91 的最靠近显示区域 11 的一端，且与显示区域 11 中的结构直接连接；例如，第二堆叠层 912 与公共电极 24 直接连接，二者之间不存在任何其他电极或结构。第二堆叠部 91b 与第一子导电层 901 在垂直于衬底基板 1 的方向上堆叠，位于第一子导电层 901 的远离衬底基板 1 的一侧，且位于第一堆叠部 91a 的远离显示区域 11 的一侧；第二堆叠部 91b 与第一堆叠部 91a 通过第一子导电层 901 电连接，例如第二堆叠部 91b 与第一子导电层 901 直接接触，并且，第二堆叠部 91b 与第一堆叠部 91a 直接接触；例如第二堆叠部 91b 与第一子导电层 901 彼此在垂直于衬底基板 1 的方向上堆叠的面直接接触，第二堆叠部 91b 与第一堆叠部 91a 彼此在垂直于衬底基板 1 的方向上堆叠的面直接接触。并且，第二堆叠部 91b 包括在垂直于衬底基板 1 的方向上彼此堆叠的第三堆叠层 913 和第四堆叠层 914；第三堆叠层 913 与第一堆叠层 911 材料相同、同层设置且

在平行于衬底基板 1 的方向上彼此间隔开,第四堆叠层 914 与第二堆叠层 912 材料相同、同层设置且在平行于衬底基板 1 的方向上彼此间隔开。

例如,第三堆叠层 913 与第一堆叠层 911 是通过同一工艺形成。该同一工艺可以是同一次构图工艺,该构图工艺例如包括利用蒸镀掩模板进行蒸镀而形成第三堆叠层 913 与第一堆叠层 911,或者,该构图工艺例如包括利用掩模板进行曝光、显影和刻蚀等工序。或者,该同一工艺例如还可以不包括构图工艺,只包括沉积或蒸镀工序使得第三堆叠层 913 与第一堆叠层 911 自然断开(下文中间介绍),从而简化显示基板的制作工艺。

同理,例如,第四堆叠层 914 与第二堆叠层 912 是通过同一工艺形成。该同一工艺可以是同一次构图工艺,该构图工艺例如包括利用蒸镀掩模板进行蒸镀而形成第四堆叠层 914 与第二堆叠层 912,或者,该构图工艺例如包括利用掩模板进行曝光、显影和刻蚀等工序。或者,该同一工艺例如还可以不包括构图工艺,只包括沉积或蒸镀工序使得第四堆叠层 914 与第二堆叠层 912 自然断开(下文中间介绍),从而简化显示基板的制作工艺。

例如,如图 11B 所示,第二堆叠层 912 与公共电极 24 连接且与第一子导电层 901 直接接触;例如,第二堆叠层 912 与第一子导电层 901 在第一区域 TP1 接触。例如,第一堆叠层 911 与第一子导电层 901 接触;第二堆叠层 912 包括覆盖第一堆叠层 911 的远离衬底基板 1 的上表面的上部和覆盖第一堆叠层 911 的与其上表面相交的侧表面的侧部,侧部与第一子导电层 901 接触。也即,第一区域 TP1 位于第二堆叠层 912 的靠近第二堆叠部 91b 的边缘,上述第二堆叠层 912 的侧部也即第二堆叠层 912 的靠近第二堆叠部 91b 的边缘部分(第二堆叠层 912 的位于第一区域 TP1 中的部分),第二堆叠层 912 的边缘部分与第一子导电层 901 直接接触。

例如,如图 11B 所示,第二堆叠层 912 覆盖第一堆叠层 911 的远离衬底基板 1 的上表面和与其上表面相交的侧表面,第二堆叠层 912 的靠近第二堆叠部 91b 的边缘部分至少覆盖第一堆叠层 911 的侧表面,即覆盖第一堆叠层 911 的靠近第二堆叠部 91b 的边缘,以使得第二堆叠层 912 的靠近第二堆叠部 91b 的边缘部分能够与第一子导电层 901 直接接触。

例如,如图 11B 所示,第二堆叠部 91b 还包括第五堆叠层 915 和第六堆

叠层 916。第五堆叠层 915 位于第一子导电层 901 与第三堆叠层 913 之间；第六堆叠层 916 位于第五堆叠层 915 与第三堆叠层 913 之间；第五堆叠层 915 和第六堆叠层 916 在垂直于衬底基板 1 的方向上与第一子导电层 901、第三堆叠层 913 和第四堆叠层 914 堆叠且彼此电连接，第五堆叠层 915、第六堆叠层 916 均与第一堆叠层 911 以及第二堆叠层 912 在平行于衬底基板 1 的方向上间隔开，也即，第三堆叠层 913、第四堆叠层 914、第五堆叠层 915、第六堆叠层 916 均与第一堆叠层 911 以及第二堆叠层 912 在平行于衬底基板 1 的方向上间隔开。例如，第六堆叠层 916 在衬底基板 1 上的正投影包括中间区域 CR 和围绕中间区域 CR 的边缘区域 PR，第五堆叠层 915 在衬底基板 1 上的正投影与中间区域 CR 重叠，且不与边缘区域 PR 重叠。第一区域 TP1 在衬底基板 1 上的正投影至少部分位于边缘区域 PR 在衬底基板 1 上的正投影内。如此，采用多个导电层堆叠而形成第二堆叠部 91b，有利于更好地降低原公共电极的电阻。例如，结合图 4A，发光器件 20 包括上述位于显示区域 11 的第一电极 2 和发光层 23，发光层 23 夹置于第一电极 2 与公共电极 24 之间，第一电极 2 包括在垂直于衬底基板 1 的方向上且沿靠近衬底基板 1 到远离衬底基板 1 的方向依次堆叠的第一子电极层 2a、第二子电极层 2b 和第三子电极层 2c。例如，第一辅助电极 91 的第一子导电层 901 与第一子电极层 2a 材料相同且同层设置，第一堆叠层 911 与发光层 23 材料相同、同层设置且构成连续的一体成型结构，第二堆叠层 912 与公共电极 24 材料相同、同层设置且构成连续的一体成型结构，第三堆叠层 913 与发光层 23 材料相同且同层设置，第四堆叠层 914 与第二堆叠层 912、以及公共电极 24 材料相同且同层设置，第五堆叠层 915 与第二子电极层 2b 材料相同且同层设置，第六堆叠层 916 与第三子电极层 2c 材料相同且同层设置。如此，可通过同一工艺形成第一辅助电极 91 的第一子导电层 901 与第一子电极层 2a，通过同一道工艺形成第一堆叠层 911 与发光层 23、以及第三堆叠层 913，通过同一道工艺形成第四堆叠层 914 与第二堆叠层 912、以及公共电极 24，通过同一道工艺形成第五堆叠层 915 与第二子电极层 2b，通过同一道工艺形成第六堆叠层 916 与第三子电极层 2c。这里的“同一道工艺”均可参考上述解释。如此，可以采用相应于显示区域 11 中的上述各个功能层的工艺来形成第一辅助电极 91 的

各个层结构,不需要为了设置第一辅助电极 91 而额外增加膜层制作工艺或者构图工艺。

例如,在制作如图 11B 所示的显示基板的过程中,例如可采用同一掩膜通过同一道构图工艺形成第五堆叠层 915 和第六堆叠层 916,例如采用刻蚀工艺例如湿刻工艺形成,以简化显示基板的制作工艺,并且,由于第五堆叠层 915 和第六堆叠层 916 的材料不同,第五堆叠层 915 的材料和第六堆叠层 916 的材料分别与第二子电极层 2b 的材料和第三子电极层 2c 的材料相同,可参考之前对于第二子电极层 2b 的材料和第三子电极层 2c 的材料的描述,从而使得第五堆叠层 915 和第六堆叠层 916 具有不同的刻蚀速率,从而形成如图 11B 所示的第五堆叠层 915 相对于第六堆叠层 916 内缩,即,第五堆叠层 915 在衬底基板 1 上的正投影与中间区域 CR 重叠,且不与边缘区域 PR 重叠。在形成第五堆叠层 915 和第六堆叠层 916 之后,再依次执行形成第一堆叠层 911、发光层 23 和第三堆叠层 913 的步骤、以及形成第四堆叠层 914 与第二堆叠层 912 的步骤。

在第六堆叠层 916 的远离衬底基板 1 的一侧形成第一堆叠层 911 与发光层 23、以及第三堆叠层 913 的过程中,例如采用蒸镀方法形成第一堆叠层 911 与发光层 23、以及第三堆叠层 913,第一堆叠层 911 与发光层 23 可以形成为一体结构。由于有第五堆叠层 915 和第六堆叠层 916 的存在,第五堆叠层 915 和第六堆叠层 916 具有一定厚度而使得第六堆叠层 916 的远离衬底基板 1 的上表面与第一子导电层 901 的远离衬底基板 1 的上表面之间具有段差,第三堆叠层 913 与第一堆叠层 911 会由于该段差而彼此断开。并且,第三堆叠层 913 的远离衬底基板 1 的上表面与第一堆叠层 911 的远离衬底基板 1 的上表面之间存在段差。

接着,在形成第四堆叠层 914 与第二堆叠层 912、以及公共电极 24 的过程中,例如通过沉积方法形成第四堆叠层 914 与第二堆叠层 912、以及公共电极 24,第二堆叠层 912 与公共电极 24 可以形成为一体结构,由于第三堆叠层 913 的远离衬底基板 1 的上表面与第一堆叠层 911 的远离衬底基板 1 的上表面之间的段差,第四堆叠层 914 与第二堆叠层 912 会彼此断开;并且,由于第五堆叠层 915 相对于第六堆叠层 916 内缩,即,第五堆叠层 915 在衬

底基板 1 上的正投影与中间区域 CR 重叠，且不与边缘区域 PR 重叠，因此，可以使得第二堆叠层 912 与第一子导电层 901 可以在第一区域 TP1 接触，且第一区域 TP1 在衬底基板 1 上的正投影至少部分位于边缘区域 PR 在衬底基板 1 上的正投影内。

5 如此，既能够实现使得公共电极 24 与第一子导电层 901 连接，从而使得第一辅助电极 91 与公共电极 24 并联，以降低原公共电极 24 的电阻。

 例如，第五堆叠层 915 在垂直于衬底基板 1 的方向上的厚度与第六堆叠层 916 在垂直于衬底基板 1 的方向上的厚度之和大于等于 6000 埃，以使得第五堆叠层 915 具有足够的厚度，从而在第六堆叠层 916 的远离衬底基板 1 的上表面与第一子导电层 901 的远离衬底基板 1 的上表面之间形成足够的段差，以进一步保证第三堆叠层 913 与第一堆叠层 911 会由于该段差而彼此断开的可靠性、以及第四堆叠层 914 与第二堆叠层 912 会彼此断开的可靠性。

 例如，如图 11B 所示，第一辅助电极 91 还包括第三堆叠部 91c。第三堆叠部 91c 与第一子导电层 901 在垂直于衬底基板 1 的方向上堆叠，位于第一子导电层 901 的远离衬底基板 1 的一侧，与第一堆叠部 91a 和第二堆叠部 91b 通过第一子导电层 901 电连接，且包括在垂直于衬底基板 1 的方向上彼此堆叠的第七堆叠层 917 和第八堆叠层 918，第七堆叠层 917 与第三堆叠层 913 同层设置且在平行于衬底基板 1 的方向上彼此间隔开，第八堆叠层 918 与第四堆叠层 914 同层设置且在平行于衬底基板 1 的方向上彼此间隔开。

20 例如，第八堆叠层 918 与第一子导电层 901 直接接触；例如，第八堆叠层 918 与第一子导电层 90 在第二区域 TP2 接触，第二区域 TP2 在衬底基板 1 上的正投影至少部分位于边缘区域 PR 在衬底基板 1 上的正投影内。与第一区域 TP1 的情况类似，第八堆叠层 918 覆盖第七堆叠层 917 的远离衬底基板 1 的上表面和与其上表面相交的侧表面，第八堆叠层 918 的靠近第二堆叠部 91b 的边缘部分至少覆盖第七堆叠层 917 的侧表面，即覆盖第七堆叠层 917 的靠近第二堆叠部 91b 的边缘，以使得第八堆叠层 918 的靠近第二堆叠部 91b 的边缘部分能够与第一子导电层 901 直接接触。

 例如，第七堆叠层 917 与第三堆叠层 913、发光层 23 材料相同且同层设置，第八堆叠层 918 与第四堆叠层 914、第二堆叠层 912 材料相同且同层设

置。如此，可通过同一工艺形成第七堆叠层 917 与第三堆叠层 913、发光层 23，通过同一道工艺形成第八堆叠层 918 与第四堆叠层 914。这里的“同一道工艺”均可参考上述解释。与形成第一区域 TP1 处的结构类似，在采用同一道工艺形成第七堆叠层 917 与第三堆叠层 913、发光层 23 的过程中，利用第五堆叠层 915 和第六堆叠层 916 形成的段差可使得第七堆叠层 917 与第三堆叠层 913 断开，在采用同一道工艺形成第八堆叠层 918 与第四堆叠层 914、第二堆叠层 912 的过程中，第八堆叠层 918 与第四堆叠层 914 断开。

图 11C 为表达图 11B 中的第二堆叠层、第四堆叠层、第五堆叠层和第八堆叠层的位置关系的平面示意图。结合图 11B 和图 11C，例如，第二堆叠层 912 与第八堆叠层 918 是连续的一体成型结构，该一体成型结构具有围绕第二堆叠部 91b 的边缘部分，该边缘部分均与第一子导电层 901 直接接触，也即，可以在围绕整个第二堆叠部 91b 的周边区域，第一子导电层 901 均与第二堆叠层 912 与第八堆叠层 918 构成的连续的一体成型结构直接接触，以使得第一子导电层 901 与由第二堆叠层 912 与第八堆叠层 918 构成的连续的一体成型结构在多个位置连接，保证第一子导电层 901 与公共电极 24 电连接的可靠性。第一区域 TP1 和第二区域 TP2 分别是该周边区域的位于第二堆叠部 91b 的彼此相对的两侧的两个部分，图 11B 是以该第一区域 TP1 和第二区域 TP2 两个位置作为示例来介绍第一子导电层 901 是如何与公共电极 24 电连接的。

例如，如图 11A 和图 11B 所示，显示基板的层间绝缘层 105 位于辅助绝缘层 104 的远离衬底基板 1 的一侧，层间绝缘层 105 的边缘位于非发光区域 12，第一子导电层 901 的一部分覆盖层间绝缘层 105；第一区域 TP1 位于层间绝缘层 105 在衬底基板 1 上的正投影内，即第二堆叠层 912 的边缘部分在层间绝缘层 105 上与第一子导电层 901 接触，以利用层间绝缘层 105 的厚度来减小位于像素界定层 6 上的第二堆叠层 912（与公共电极 24 构成连续的一体成型结构）与第一子导电层 901 之间在处置于衬底基板 1 方向上的段差，防止第二堆叠层 912 断裂，从而保证在第一区域 TP1 中第二堆叠层 912 与第一子导电层 901 连接的可靠性。

例如，如图 11B 所示，第二区域 TP2 位于层间绝缘层 105 在衬底基板 1

上的正投影的远离显示区域11的一侧。由于经过第五堆叠层915等层的过渡，第一子导电层901与第八堆叠层918的段差降低，不需要将厚度较大的层间绝缘层105延伸至第一辅助过孔V001处，从而避免厚度较大的层间绝缘层105影响第一辅助过孔V001处各个层的连接。

5 例如，图11B中所示的横向部分821、第一辅助电极91和第一辅助过孔V001构成一个辅助单元，显示单元P包括多个辅助单元。多个辅助单元在第二方向D2上彼此间隔排列。

例如，在第二方向D2上彼此间隔排列的多个辅助单元均位于非发光区域12，且在第一方向D1上到显示区域11的距离相同或不同。

10 例如，多个辅助单元包括第一辅助单元H1和第二辅助单元H2，第一辅助单元H1和第二辅助单元H2的具体结构类似，两者均为上述图11B所示的辅助单元，但是设置的具体位置不同。

例如，如图3A所示，该多个辅助单元包括第一辅助单元H1和第二辅助单元H2，第一辅助单元H1和第二辅助单元H2均位于非发光区域12，且第一辅助单元H1和第二辅助单元H2在第一方向D1上到显示区域11的距离不同。

图12A为图3A所示的显示单元的第二辅助单元H2的局部平面示意图；图12B为沿图12A中的F-F'线的截面示意图。

第二辅助单元H2与第一辅助单元H1有以下不同。如图12A和图12B
20 所示，第二辅助单元H2的第一辅助过孔V002在第一方向D1上距离显示区域11的距离大于第一辅助单元H1的第一辅助过孔V001在第一方向D1上距离显示区域11的距离，即，结合图3A、图12A和图12B，第二辅助单元H2的第一辅助过孔V002的靠近显示区域11的边缘到第二电源线vss的靠近非发光区域12B的边缘的距离大于第一辅助单元H1的第一辅助过孔V001
25 的靠近显示区域11的边缘到第二电源线vss的靠近非发光区域12B的边缘的距离。从而使得第二辅助单元H2与第一辅助单元H1在第二方向D2上错开，有利于利用有限的空间，特别是在高PPI（Pixels Per Inch）显示基板中，每个显示单元的面积较小，需要利用有限的面积设置多个辅助单元时，使得第二辅助单元H2与第一辅助单元H1在第二方向D2上错开能够使多个辅助单

元更好地适应附近线路排布的情况。

例如，结合图 5G 和图 12A，第二辅助单元 H2 的第一辅助过孔 V002 的平面形状为梯形，以增加第一子导电层 901 与横向部分 821 的接触面积。当然也可以为圆形孔、矩形孔等。

5 例如，如图 12A 和图 12B 所示，第二辅助单元 H2 的横向部分 821 在第一方向 D1 上的长度大于第一辅助单元 H1 的横向部分 821 在第一方向 D1 上的长度，以实现将第二辅助单元 H2 的过孔设置于距离显示区域 22 较远的位置。

10 例如，在一个显示单元 P 包括至少 3 个第一辅助单元 H1，第二辅助单元 H2 的个数大于等于 1，且在第二方向 D2 上，至少一个第二辅助单元 H2 位于至少 3 个第一辅助单元 H1 之间。例如，如图 3A 所示，一个显示单元 P 具有 3 个第一辅助单元 H1 和 1 个第二辅助单元 H2，该 1 个第二辅助单元 H2 位于 3 个第一辅助单元 H1 之间。当然，在其他实施例中，也可以根据显示基板的尺寸来确定对于降低原公共电极的电阻的需求来设计每个显示单元
15 中第一辅助单元 H1 和第二辅助单元 H2 在的个数。本公开对第一辅助单元 H1 和第二辅助单元 H2 的个数不做限定。

如下的表 1 是一个辅助单元与公共电极压降关系表，表 1 示出了设置一个辅助单元对公共电极压降的影响。

表 1 一个辅助单元与公共电极压降关系表

一个辅助单元的电阻/ Ω	200 0	20000	20000 0	40000 00	17500 000
公共电极压降/V	1.3 36	1.427	2.338	3.029	8.339

20 例如，如图 12B 所示，第二辅助单元 H2 的第一堆叠部 91a 的第一堆叠层 911 包括中间过孔 SP，所述第一堆叠部 91a 的第二堆叠层 912 通过中间过孔 SP 与第二辅助单元 H2 的第一子导电层 901 电连接。即，如图 12B 所示，第二辅助单元 H2 的第一堆叠部 91a 的第一堆叠层 911 包括靠近显示区域 11 的第一部分 911a 和远离显示区域 11 的第二部分 911b，第一堆叠层 911 的第一部分 911a 和第一堆叠层 911 的第二部分 911b 之间存在暴露第二辅助单元
25 H2 的第一子导电层 901 的中间过孔 SP 以使第一堆叠层 911 的第一部分 911a

与第一堆叠层 911 的第二部分 911b 至少部分断开;第一堆叠部 91a 的第二堆叠层 912 通过中间过孔 SP 与第二辅助单元 H2 的第一子导电层 901 电连接,从而进一步增大第一子导电层 901 与第二堆叠层 912 的接触面积,除了在第一区域 TP1 和第二区域 TP2 中实现公共电极 24 与第一子导电层 901 电连接之外,使得通过中间过孔 SP 实现公共电极 24 与第一子导电层 901 电连接,进一步保证公共电极 24 与第一子导电层 901 电连接的可靠性,从而保证实现使得第二辅助单元 H2 的第一辅助电极 91 与公共电极 24 并联,以降低原公共电极 24 的电阻。另外,由于第二辅助单元 H2 的第一辅助过孔 V002 在第一方向 D1 上距离显示区域 11 的距离大于第一辅助单元 H1 的第一辅助过孔 V001 在第一方向 D1 上距离显示区域 11 的距离,第二辅助单元 H2 的横向部分 821 在第一方向 D1 上的长度大于第一辅助单元 H1 的横向部分 821 在第一方向 D1 上的长度,因此,该设计给设置中间过孔 SP 提供了充足的空间。

例如,图 12B 中的中间过孔 SP 可以通过激光打孔的方法实现,即利用激光将第一堆叠层 911 击穿,从而暴露第一子导电层 901,第二辅助单元 H2 的第一辅助过孔 V002 在第一方向 D1 上距离显示区域 11 的距离较大给采用激光打孔的方法提供充足的空间,避免布线过于密集而破坏中间过孔 SP 附近的其他结构。

例如,第二辅助单元 H2 的第一辅助过孔 V002 在第一方向 D1 上距离显示区域 11 的距离是第一辅助单元 H1 的第一辅助过孔 V001 在第一方向 D1 上距离显示区域 11 的距离的至少 2 倍,以给设置中间过孔 SP 提供充足的空间,且给激光打孔提供充足的空间,避免布线过于密集而破坏中间过孔 SP 附近的其他结构。

图 12B 所示的第二辅助单元 H2 的其他各个结构,例如第二堆叠层 912 与公共电极 24 连接、第一堆叠层 911、第三堆叠层 913,……,第八堆叠层 918 等,均与图 11B 所示的相同,可参考对于图 11B 中的描述,在此不再重复。

例如,第二辅助单元 H2 的第一辅助过孔 V001 的平面形状的面积大于第一辅助单元 H1 的第一辅助过孔 V001 的平面形状的面积,即第二辅助单元 H2 的第一辅助过孔 V001 在衬底基板 1 上的正投影的面积大于第一辅助单元

H1 的第一辅助过孔 V001 在衬底基板 1 上的正投影的面积。由于第二辅助单元 H2 距离显示区域 11 较远,第二辅助单元的横向部分 821 较长,电阻较大,因此,使得第二辅助单元 H2 的第一辅助过孔 V001 的面积较大,以降低第一辅助电极 91 通过第二辅助单元 H2 的第一辅助过孔 V001 与横向部分 821 连接而构成的整体结构的电阻,从而降低整个第二辅助单元 H2 的电阻。

例如,一个显示单元 P 包括至少 2 个第一辅助单元 H1,第二辅助单元 H2 的个数大于等于 1,以更加有效地降低原公共电极的电阻。例如,一个显示单元 P 包括至少 3 个第一辅助单元 H1,并且,在第二方向 D2 上,至少一个第二辅助单元 H2 位于至少 3 个第一辅助单元 H1 之间,以合理地布局距离显示区域 11 距离不同的辅助单元在一个显示单元 P 中的位置,充分利用有限的空间,同时,更加有效地降低原公共电极的电阻。

例如,参考图 3A,在一个显示单元 P 中,至少 2 个第一辅助单元 H1 包括 1 号第一辅助单元 H1、2 号第一辅助单元 H1 和 3 号第一辅助单元 H1;1 号第一辅助单元 H1 和 2 号第一辅助单元 H1 位于第二子像素 P2,3 号辅助单元和第二辅助单元 H2 位于第四子像素 P4。如此,实现在第二方向 D2 上沿整个显示单元 P 布局辅助单元,在各个位置处比较均衡地降低原公共电极的电阻,提高显示基板的显示均一性。

例如,如图 3A 所示,1 号第一辅助单元 H1 和 2 号第一辅助单元 H1 分别位于第二子像素 P2 的连接部 30 在第二方向 D2 上彼此相对的两侧,3 号第一辅助单元 H1 和第二辅助单元 H2 位于第四子像素 P4 的连接部 30 在第二方向 D2 上彼此相对的两侧,以与连接部 30 的位置相协调,充分利用连接部 30 的在第二方向 D2 上彼此相对的两侧位置处的空白区域,尽可能多地设置第一辅助单元 H1。

例如,如图 3A 所示,在第二方向 D2 上,第二辅助单元 H2 位于第四子像素 P4 的连接部 30 的靠近第四子像素 P4 与第二子像素 P2 的交界处的一侧;或者,在其他实施例中,第二辅助单元 H2 也可以位于第四子像素 P4 的连接部 30 的远离第四子像素 P4 与第二子像素 P2 的交界处的一侧。

例如,参考图 11B、图 3A、图 3C 和图 4A,第一辅助单元 H1 的第一辅助过孔 V001 的平面形状的面积大于第一过孔 V0 的平面形状的面积。由于第

一辅助单元 H1 的第一辅助过孔 V001 中设置的结构较为复杂,且用于降低电阻,因此,第一辅助单元 H1 的第一辅助过孔 V001 面积比普通的过孔例如第一过孔 V0 的面积大,有利于充分地保证第一辅助电极 91 通过第二辅助单元 H2 的第一辅助过孔 V001 与横向部分 821 连接的可靠性。

5 图 13A 为图 3A 所示的显示单元的第三辅助单元 H3 的局部平面示意图;图 13B 为沿图 13A 中的 G-G' 线的截面示意图。

结合图 3A 和图 13A-13B,例如,显示单元 P 还包括第二辅助电极 92,第二辅助电极 92 位于显示区域 11 且与公共电极 24 电连接;辅助绝缘层 104 还包括位于显示区域 11 且暴露至少部分辅助电极线 8 的纵向部分 81 的第二
10 辅助过孔 V003,第二辅助电极 92 通过第二辅助过孔 V003 与辅助电极线 8 的纵向部分 81 连接。即,利用该第二辅助过孔 V003 实现辅助电极线 8 的纵向部分 81 通过第二辅助电极 92 与公共电极 24 连接。如此,除了在非发光区域 12 中设置第一辅助过孔 V001 和第一辅助电极 91 之外,通过在显示区域 11 中设置第二辅助过孔 V003 和第二辅助电极 92,以使得第二辅助电极 92
15 与公共电极 2 并联,进一步减小原公共电极 24 的电阻;并且,辅助绝缘层 104 为显示区域 11 中既存的第四绝缘层 104,设置第二辅助过孔 V003 不占用显示区域 11 的额外的面积,有利于利用有限的空间来设置第二辅助电极 92。

例如,如图 13B 所示,第一子导电层 901 在衬底基板 1 上的正投影位于
20 辅助电极线 8 的纵向部分 81 在衬底基板 1 上的正投影内。从而,设置第一子导电层 901 也不占用显示区域 11 的额外的面积,有利于节省空间,特别是在高 PPI (Pixels Per Inch) 显示基板中,每个显示单元的面积较小,利用有限的空间来设置第二辅助电极 92 尤其重要。

例如,如图 13B 所示,第二辅助电极 92 包括第二子导电层 902、第一堆
25 叠部 92a 和第二堆叠部 92b。第二子导电层 902 通过第二辅助过孔 V003 与辅助电极线 8 的纵向部分 81 连接;第一堆叠部 92a 与第二辅助电极 92 的第二子导电层 902 电连接且在垂直于衬底基板 1 的方向上堆叠,位于第二辅助电极 92 的第二子导电层 902 的远离衬底基板 1 的一侧,且包括在垂直于衬底基板 1 的方向上彼此堆叠的第一堆叠层 921 和第二堆叠层 922,第二辅助电极

92 的第二堆叠层 922 位于第二辅助电极 92 的一堆叠层的远离衬底基板 1 的一侧且与公共电极 24 连接; 第二堆叠部 92b 与第二辅助电极 92 的第二子导电层 902 在垂直于衬底基板 1 的方向上堆叠, 位于第二辅助电极 92 的第二子导电层 902 的远离衬底基板 1 的一侧, 且位于第二辅助电极 92 的第一堆叠部 92a 的远离显示区域 11 的一侧, 与第二辅助电极 92 的第一堆叠部 92a 通过第二子导电层 902 电连接, 且包括在垂直于衬底基板 1 的方向上彼此堆叠的第三堆叠层 923 和第四堆叠层 924。第二辅助电极 92 的第三堆叠层 923 与第二辅助电极 92 的第一堆叠层 921 材料相同、同层设置且在平行于衬底基板 1 的方向上彼此间隔开, 第二辅助电极 92 的第四堆叠层 924 与第二堆叠层 922 材料相同、同层设置且在平行于衬底基板 1 的方向上彼此间隔开。

例如, 参考图 13B, 第三堆叠层 923 与第一堆叠层 921 是通过同一工艺形成。该同一工艺可以是同一次构图工艺, 该构图工艺例如包括利用蒸镀掩模板进行蒸镀而形成第三堆叠层 923 与第一堆叠层 921, 或者, 该构图工艺例如包括利用掩模板进行曝光、显影和刻蚀等工序。或者, 该同一工艺例如还可以不包括构图工艺, 只包括沉积或蒸镀工序使得第三堆叠层 923 与第一堆叠层 921 自然断开 (下文中间介绍), 从而简化显示基板的制作工艺。

同理, 例如, 参考图 13B, 第四堆叠层 924 与第二堆叠层 922 是通过同一工艺形成。该同一工艺可以是同一次构图工艺, 该构图工艺例如包括利用蒸镀掩模板进行蒸镀而形成第四堆叠层 924 与第二堆叠层 922, 或者, 该构图工艺例如包括利用掩模板进行曝光、显影和刻蚀等工序。或者, 该同一工艺例如还可以不包括构图工艺, 只包括沉积或蒸镀工序使得第四堆叠层 924 与第二堆叠层 922 自然断开 (下文中间介绍), 从而简化显示基板的制作工艺。

例如, 如图 13B 所示, 第二辅助电极 92 的第二堆叠层 922 与公共电极 24 连接且与第二辅助电极 92 的第二子导电层 902 直接接触。例如, 第二堆叠层 922 与第一子导电层 901 在第一区域 TP1 接触。例如, 第二辅助电极 92 的第一堆叠层 921 与第一子导电层 901 接触; 第二辅助电极 92 的第二堆叠层 922 包括覆盖第二辅助电极 92 的第一堆叠层 921 的远离衬底基板 1 的上表面的上部和覆盖第二辅助电极 92 的第一堆叠层 921 的与其上表面相交的侧表面

的侧部，第二辅助电极 92 的侧部与第二子导电层 902 接触。也即，第一区域 TP1 位于第二堆叠层 922 的靠近第二堆叠部 92b 的边缘，上述第二堆叠层 922 的侧部也即第二堆叠层 922 的靠近第二堆叠部 92b 的边缘部分（第二堆叠层 922 的位于第一区域 TP1 中的部分），第二堆叠层 922 的边缘部分与第二子导电层 902 直接接触。

例如，如图 13B 所示，第二堆叠层 922 覆盖第一堆叠层 921 的远离衬底基板 1 的上表面和与其上表面相交的侧表面，第二堆叠层 922 的靠近第二堆叠部 92b 的边缘部分至少覆盖第一堆叠层 921 的侧表面，即覆盖第一堆叠层 921 的靠近第二堆叠部 92b 的边缘，以使得第二堆叠层 922 的靠近第二堆叠部 92b 的边缘部分能够与第二子导电层 902 直接接触。

例如，如图 13B 所示，第二堆叠部 92b 还包括第五堆叠层 925 和第六堆叠层 926。第五堆叠层 925 位于第二子导电层 902 与第三堆叠层 923 之间；第六堆叠层 926 位于第五堆叠层 925 与第三堆叠层 923 之间；第五堆叠层 925 和第六堆叠层 926 在垂直于衬底基板 1 的方向上与第二子导电层 902、第三堆叠层 923 和第四堆叠层 924 堆叠且彼此电连接，第五堆叠层 925、第六堆叠层 926 均与第一堆叠层 921 以及第二堆叠层 922 在平行于衬底基板 1 的方向上间隔开，也即，第三堆叠层 923、第四堆叠层 924、第五堆叠层 925、第六堆叠层 926 均与第一堆叠层 921 以及第二堆叠层 922 在平行于衬底基板 1 的方向上间隔开。例如，第六堆叠层 926 在衬底基板 1 上的正投影包括中间区域 CR 和围绕中间区域 CR 的边缘区域 PR，第五堆叠层 925 在衬底基板 1 上的正投影与中间区域 CR 重叠，且不与边缘区域 PR 重叠。第一区域 TP1 在衬底基板 1 上的正投影至少部分位于边缘区域 PR 在衬底基板 1 上的正投影内。如此，采用多个导电层堆叠而形成第二堆叠部 92b，有利于更好地降低原公共电极的电阻。例如，结合图 4A，发光器件 20 包括上述位于显示区域 11 的第一电极 2 和发光层 23，发光层 23 夹置于第一电极 2 与公共电极 24 之间，第一电极 2 包括在垂直于衬底基板 1 的方向上且沿靠近衬底基板 1 到远离衬底基板 1 的方向依次堆叠的第一子电极层 2a、第二子电极层 2b 和第三子电极层 2c。例如，第一辅助电极 92 的第二子导电层 902 与第一子电极层 2a 材料相同且同层设置，第一堆叠层 921 与发光层 23 构成连续的一体成

型结构,第二堆叠层 922 与公共电极 24 构成连续的一体成型结构,第三堆叠层 923 与发光层 23 材料相同且同层设置,第四堆叠层 924 与第二堆叠层 922、以及公共电极 24 材料相同且同层设置,第五堆叠层 925 与第二子电极层 2b 材料相同且同层设置,第六堆叠层 926 与第三子电极层 2c 材料相同且同层设置。如此,可通过同一工艺形成第一辅助电极 92 的第二子导电层 902 与第一子电极层 2a,通过同一道工艺形成第一堆叠层 921 与发光层 23、以及第三堆叠层 923,通过同一道工艺形成第四堆叠层 924 与第二堆叠层 922、以及公共电极 24,通过同一道工艺形成第五堆叠层 925 与第二子电极层 2b,通过同一道工艺形成第六堆叠层 926 与第三子电极层 2c。这里的“同一道工艺”均可参考上述解释。如此,可以采用相应于显示区域 11 中的上述各个功能层的工艺来形成第一辅助电极 92 的各个层结构,不需要为了设置第一辅助电极 92 而额外增加膜层制作工艺或者构图工艺。

例如,在制作如图 13B 所示的显示基板的过程中,例如可采用同一掩膜通过同一道构图工艺形成第五堆叠层 925 和第六堆叠层 926,例如采用刻蚀工艺例如湿刻工艺形成,以简化显示基板的制作工艺,并且,由于第五堆叠层 925 和第六堆叠层 926 的材料不同,第五堆叠层 925 的材料和第六堆叠层 926 的材料分别与第二子电极层 2b 的材料和第三子电极层 2c 的材料相同,可参考之前对于第二子电极层 2b 的材料和第三子电极层 2c 的材料的描述,从而使得第五堆叠层 925 和第六堆叠层 926 具有不同的刻蚀速率,从而形成如图 13B 所示的第五堆叠层 925 相对于第六堆叠层 926 内缩,即,第五堆叠层 925 在衬底基板 1 上的正投影与中间区域 CR 重叠,且不与边缘区域 PR 重叠。在形成第五堆叠层 925 和第六堆叠层 926 之后,再依次执行形成第一堆叠层 921、发光层 23 和第三堆叠层 923 的步骤、以及形成第四堆叠层 924 与第二堆叠层 922 的步骤。

在第六堆叠层 926 的远离衬底基板 1 的一侧形成第一堆叠层 921 与发光层 23、以及第三堆叠层 923 的过程中,例如采用蒸镀方法形成第一堆叠层 921 与发光层 23、以及第三堆叠层 923,第一堆叠层 921 与发光层 23 可以形成为一体结构。由于有第五堆叠层 925 和第六堆叠层 926 的存在,第五堆叠层 925 和第六堆叠层 926 具有一定厚度而使得第六堆叠层 926 的远离衬底基板 1 的

上表面与第二子导电层 902 的远离衬底基板 1 的上表面之间具有段差，第三堆叠层 923 与第一堆叠层 921 会由于该段差而彼此断开。并且，第三堆叠层 923 的远离衬底基板 1 的上表面与第一堆叠层 921 的远离衬底基板 1 的上表面之间存在段差。

5 接着，在形成第四堆叠层 924 与第二堆叠层 922、以及公共电极 24 的过程中，例如通过沉积方法形成第四堆叠层 924 与第二堆叠层 922、以及公共电极 24，第二堆叠层 922 与公共电极 24 可以形成为一体结构，由于第三堆叠层 923 的远离衬底基板 1 的上表面与第一堆叠层 921 的远离衬底基板 1 的上表面之间的段差，第四堆叠层 924 与第二堆叠层 922 会彼此断开；并且，
10 由于第五堆叠层 925 相对于第六堆叠层 926 内缩，即，第五堆叠层 925 在衬底基板 1 上的正投影与中间区域 CR 重叠，且不与边缘区域 PR 重叠，因此，可以使得第二堆叠层 922 与第二子导电层 902 可以在第一区域 TP1 接触，且第一区域 TP1 在衬底基板 1 上的正投影至少部分位于边缘区域 PR 在衬底基板 1 上的正投影内。

15 如此，既能够实现使得公共电极 24 与第二子导电层 902 连接，从而使得第一辅助电极 92 与公共电极 24 并联，以降低原公共电极 24 的电阻。

例如，如图 13B 所示，第五堆叠层 925 在垂直于衬底基板 1 的方向上的厚度与第六堆叠层 926 在垂直于衬底基板 1 的方向上的厚度之和大于等于 6000 埃，以使得第五堆叠层 925 具有足够的厚度，从而在第六堆叠层 926 的
20 远离衬底基板 1 的上表面与第二子导电层 902 的远离衬底基板 1 的上表面之间形成足够的段差，以进一步保证第三堆叠层 923 与第一堆叠层 921 会由于该段差而彼此断开的可靠性、以及第四堆叠层 924 与第二堆叠层 922 会彼此断开的可靠性。

例如，如图 13B 所示，第一辅助电极 92 还包括第三堆叠部 92c。第三堆
25 叠部 92c 与第二子导电层 902 在垂直于衬底基板 1 的方向上堆叠，位于第二子导电层 902 的远离衬底基板 1 的一侧，与第一堆叠部 92a 和第二堆叠部 92b 通过第二子导电层 902 电连接，且包括在垂直于衬底基板 1 的方向上彼此堆叠的第七堆叠层 927 和第八堆叠层 928，第七堆叠层 927 与第三堆叠层 923 同层设置且在平行于衬底基板 1 的方向上彼此间隔开，第八堆叠层 928 与第

四堆叠层 924 同层设置且在平行于衬底基板 1 的方向上彼此间隔开。

例如，第八堆叠层 928 与第二子导电层 902 直接接触；例如，第八堆叠层 928 与第一子导电层 90 在第二区域 TP2 接触，第二区域 TP2 在衬底基板 1 上的正投影至少部分位于边缘区域 PR 在衬底基板 1 上的正投影内。与第一区域 TP1 的情况类似，第八堆叠层 928 覆盖第七堆叠层 927 的远离衬底基板 1 的上表面和与其上表面相交的侧表面，第八堆叠层 928 的靠近第二堆叠部 92b 的边缘部分至少覆盖第七堆叠层 927 的侧表面，即覆盖第七堆叠层 927 的靠近第二堆叠部 92b 的边缘，以使得第八堆叠层 928 的靠近第二堆叠部 92b 的边缘部分能够与第二子导电层 902 直接接触。

例如，第七堆叠层 927 与第三堆叠层 923、发光层 23 材料相同且同层设置，第八堆叠层 928 与第四堆叠层 924、第二堆叠层 922 材料相同且同层设置。如此，可通过同一工艺形成第七堆叠层 927 与第三堆叠层 923、发光层 23，通过同一道工艺形成第八堆叠层 928 与第四堆叠层 924。这里的“同一道工艺”均可参考上述解释。与形成第一区域 TP1 处的结构类似，在采用同一道工艺形成第七堆叠层 927 与第三堆叠层 923、发光层 23 的过程中，利用第五堆叠层 925 和第六堆叠层 926 形成的段差可使得第七堆叠层 927 与第三堆叠层 923 断开，在采用同一道工艺形成第八堆叠层 928 与第四堆叠层 924、第二堆叠层 922 的过程中，第八堆叠层 928 与第四堆叠层 924 断开。

结合图 13B 和图 5H，例如层间绝缘层 105 即为第五绝缘层 105，也即，层间绝缘层 105 与第五绝缘层 105 同层设置且材料相同。第五绝缘层 105 具有第三辅助过孔 V004，第三辅助过孔 V004 在衬底基板 1 上的正投影位于辅助电极线 8 的纵向部分 81 在衬底基板 1 上的正投影内。第二辅助单元 H2 的第二辅助过孔 V003 与第三辅助过孔 V004 连通，第三辅助过孔 V004 暴露第二辅助过孔 V003。例如，第二辅助单元 H2 的第一堆叠部 92a 的一部分位于第三辅助过孔 V004 内，且第一区域 TP1 位于第三辅助过孔 V004 内；第二辅助单元 H2 的第二堆叠部 92b 位于第三辅助过孔 V004 内；第二辅助单元 H2 的第三堆叠部 92c 的一部分位于第三辅助过孔 V004 内；第二子导电层 902 至少部分位于第三辅助过孔 V004 内，且第二区域 TP2 位于第三辅助过孔 V004 内。

图 14A 为图 3A 所示的显示单元 P 的包括像素界定层和第一电极的一部分图层的示意图;图 14B 为图 14A 中的虚线框所示的局部 P0 的放大示意图,图 14B 包含的图层比图 14A 中的图层多,其包含了图 3A 中的图层。

参考图 14A-14B 和图 5K,像素界定层 6 限定出开口区 60,开口区 60 包括位于显示区域 111 的多个像素开口,多个像素开口与多个子像素一一对应,多个像素开口即多个子像素的开口区。例如,在多个子像素中的每个子像素中,像素开口在衬底基板 1 上的正投影位于第一电极 2 在衬底基板 1 上的正投影内。显示单元 P 的多个子像素中相邻的两个子像素分别为上子像素和下子像素,与上子像素和下子像素的排列方向垂直的方向为参比方向;例如,参比方向为上述第一方向 D1,上子像素和下子像素的排列方向为上述第二方向 D2。下面以第一子像素 P1 作为上子像素,第三子像素 P3 作为下子像素为例进行说明。在本实施例中,第二子像素 P2 也可以作为上子电极,第四子像素 P4 作为下子电极。或者,在其他一些实施例中,上子像素和下子像素也可以沿第一方向 D1 排列,或者沿任意方向排列,本公开实施对上子像素和下子像素的位置和排列方向不作限定。

参考图 14A-14B,第一子像素 P1 的第一电极 2 具有靠近第三子像素 P3 的第一边缘 u21a 和与其第一边缘 u21a 相交且位于其第一边缘 u21a 在参第一方向 D1 上的第一侧的第二边缘 u21b;第一子像素 P1 的开口区具有靠近第三子像素 P3 的第一边缘 u61a 和与其第一边缘 u61a 相交且位于其第一边缘 u61a 在第一方向 D1 上的第一侧的第二边缘 u61b。第一子像素 P1 的第一电极 2 的第一边缘 u21a 到第一子像素 P1 的开口区的第一边缘 u61a 之间的间距为第一间距 d1,第一子像素 P1 的第一电极 2 的第二边缘 u21b 到第一子像素 P1 的开口区的第二边缘 u61b 之间的间距为第二间距 d2,第一间距 d1 大于第二间距 d2,以使得在第一子像素 P1 中,相对于在第一方向 D1 上,第一电极 2 的第一边缘 u21a 在两个相邻的子像素的排列方向上更加地超出子像素的开口区的相应的边缘,以保证在第二方向 D2 上第一子像素 P1 的第一电极 2 能够覆盖第一子像素 P1 和第三子像素 P3 的交界区域中更大的面积,从而,当在第一子像素 P1 和第三子像素 P3 的交界区域中设置像素电路的晶体管(例如第一子像素 P1 的检测晶体管 T3 至少部分位于该交界区域)时,第一

子像素 P1 的第一电极 2 的靠近第一子像素 P1 和第三子像素 P3 的交界区域的部分能够充分覆盖至少部分位于交界区域中的晶体管的沟道区，防止光照射沟道区影响该晶体管的性能。

例如，第一间距 d1 为在第一方向 D1 上的平均间距，例如第一子像素 P1 的第一电极 2 的第一边缘 u21a 到第一子像素 P1 的开口区 60 的第一边缘 u61a 边缘基本平行，第一子像素 P1 的第一电极 2 的第二边缘 u21b 到第一子像素 P1 的开口区 60 的第二边缘 u61b 基本平行；基本平行是不限于是绝对平行，本公开中各个子像素的第一电极的各个边缘、各个子像素的开口区的各个边缘也不限于是直线段，这些边缘也可以包括弯曲部分，只要沿第一方向 D1 的各个位置处，满足上述距离关系即可。

例如，参考图 14A-14B，在多个子像素的每个子像素中，第一电极 2 包括在第二方向 D2 上排列且彼此间隔的第一部分 21 和第二部分 22，第一电极 2 的第一部分 21 和第一电极 2 的第二部分 22 与驱动晶体管的第一极连接，子像素的开口区包括第一子开口 601 和第二子开口 602，第一电极 2 的第一部分 21 覆盖第一子开口 601，第一电极 2 的第二部分 22 覆盖第二子开口 602。

非发光区域 12A 与显示区域 11 在第一方向 D1 上排列且与第一子像素 P1 和第三子像素 P3 相邻。这里以第一子像素 P1 的第一电极 2 的第一部分 21 的靠近第三子像素 P3 的边缘作为第一子像素 P1 的第一电极 2 的第一边缘 u21a，以第一子像素 P1 的第一电极 2 的第一部分 21 的与其第一边缘 u21a 相交且靠近非发光区域 12A 的边缘作为第一子像素 P1 的第一电极 2 的第二边缘 u21b，以第一子像素 P1 的第一子开口 601 的靠近第三子像素 P3 的边缘作为第一子像素 P1 的第一子开口 601 的第一边缘 u61a，以第一子像素 P1 的第一子开口 601 的靠近非发光区域 12A 的边缘作为第一子像素 P1 的开口区 60 的第二边缘 u61b。

例如，参考图 14A-14B，在第一像素 P1 中，检测晶体管 T3 的沟道区 T3a 在衬底基板 1 上的正投影位于第一电极 2 在衬底基板 1 上的正投影内，例如位于第一电极 2 的第一部分 21 在衬底基板 1 上的正投影内，并且，第一子像素 P1 的第一电极 2 的第一边缘 u21a 位于第一子像素 P1 的检测晶体管 T3 的沟道区 C3 的在第二方向 D2 上靠近第三子像素 P3 的一侧，即第一像素

P1 的第一电极 2 的第一边缘 u21a 位于第一像素 P1 的检测晶体管 T3 的沟道区 C3 的外侧, 以更加充分地保证第一像素 P1 的第一电极 2 能够覆盖至少部分位于第一子像素 P1 和第三子像素 P3 的交界区域的检测晶体管 T3 的沟道区 C3; 在第三像素 P3 中, 第三子像素 P3 的第一电极 2 的第一边缘 d21a 位于第三子像素 P3 的检测晶体管 T3 的沟道区 C3 的在第二方向 D2 上靠近第一子像素 P1 的一侧, 即三子像素 P3 的第一电极 2 的第一边缘 d21a 位于第三子像素 P3 的检测晶体管 T3 的沟道区 C3 的外侧, 以更加充分地保证第三像素 P3 的第一电极 2 能够充分覆盖至少部分位于第一子像素 P1 和第三子像素 P3 的交界区域的检测晶体管 T3 的沟道区 C3。

10 例如, 第一子像素 P1 的检测晶体管 T3 的第一极 T3s 位于其第二极第一极 T3d 的远离第三子像素 P3 的一侧, 第三子像素 P3 的检测晶体管 T3 的第一极 T3s 位于其第二极的远离上子电极的一侧; 在第二方向 D2 上, 第一子像素 P1 的检测晶体管 T3 的第一极 T3s 与第三子像素 P3 的检测晶体管 T3 的第一极 T3s 之间的距离小于第一子像素 P1 的开口区在第二方向 D2 上的长度且小于第三子像素 P3 的开口区在第二方向 D2 上的长度, 以保证检测晶体管 T3 位于靠近第一子像素 P1 和第三子像素 P3 的交界区域, 有利于减小在第二方向 D2 上相邻的子像素之间的距离, 使像素阵列的排布更加紧凑, 实现高 PPI。

20 需要说明的是, 第一子像素 P1 的开口区在第二方向 D2 上的长度指第一子像素 P1 的第一开口区 601 在第二方向 D2 上的长度, 第三子像素 P3 的开口区在第二方向 D2 上的长度指第三子像素 P3 的第一开口区 601 在第二方向 D2 上的长度。

25 例如, 在至少一个实施例中, 第一子像素 P1 的检测晶体管 T3 的第一极 T3s 与第三子像素 P3 的检测晶体管 T3 的第一极 T3s 之间的距离小于开口区 60 宽度的 1/2, 以有效减小在第二方向 D2 上相邻的子像素之间的距离, 使像素阵列的排布更加紧凑, 实现高 PPI。

例如, 参考图 14A-14B 以及之前的图 6A, 第二子扫描信号线 G2 包括环形部, 即第三外环部 R3, 第三外环部 R3 的与第一子像素 P1 的检测晶体管 T3 的有源层 T3a 在垂直于衬底基板 1 的方向上交叠的部分以及与第三子像素

P3 的检测晶体管 T3 的有源层 T3a 在垂直于衬底基板 1 的方向上交叠的部分分别构成第一子像素 P1 的检测晶体管 T3 的栅极和第三子像素 P3 的检测晶体管 T3 的栅极; 第三外环部 R3 在衬底基板 1 上的正投影构成环形区域, 第一子像素 P1 的检测晶体管 T3 的第二极 T3d 和第三子像素 P3 的检测晶体管 T3 的第二极 T3d 在衬底基板 1 上的正投影均位于环形区域内, 以合理地利用有限地空间设计第三外环部 R3、至少部分位于所述交界区域内的两个检测晶体管 T3 的第一极 T3s 和第二极 T3d 的位置关系, 使得在检测晶体管 T3 的沟道区能够被其所在的子像素的第一电极覆盖的同时实现紧凑的结构, 从而兼顾检测晶体管 T3 的性能以及提高 PPI。

例如, 第三子像素 P3 的第一电极 2 具有靠近第一子像素 P1 的第一边缘 d21a 和与其第一边缘 d21a 相交且靠近非发光区域 12A 的第二边缘 d21b; 第三子像素 P3 的开口区具有靠近第一子像素 P1 的第一边缘 d61a 和与其第一边缘 d61a 相交且靠近非发光区域 12A 的第二边缘 d61b; 第三子像素 P3 的第一电极 2 的第一边缘 d21a 到第三子像素 P3 的开口区的第一边缘 d61a 之间的间距为第三间距 d3, 第三子像素 P3 的第一电极 2 的第二边缘 d21b 到第三子像素 P3 的开口区的第二边缘 d61b 之间的间距为第四间距 d4, 第三间距 d3 大于第四间距 d4, 以使得在第三子像素 P3 中, 相对于在第一方向 D1 上, 第一电极 2 的第一边缘在两个相邻的子像素的排列方向例如第二方向 D2 上更加地超出子像素的开口区的相应的边缘, 以保证在第二方向 D2 上第三子像素 P3 的第一电极 2 能够覆盖第一子像素 P1 和第三子像素 P3 的交界区域中更大的面积, 从而, 当在第一子像素 P1 和第三子像素 P3 的交界区域中设置像素电路的晶体管 (例如第三子像素 P3 的检测晶体管 T3) 时, 第三子像素 P3 的第一电极 2 的靠近第一子像素 P1 和第三子像素 P3 的交界区域的部分能够充分覆盖设置于交界区域中的晶体管的沟道区, 防止光照射沟道区影响该晶体管的性能。

这里以第三子像素 P3 的第一电极 2 的第一部分 21 的靠近第一子像素 P1 的边缘作为第三子像素 P3 的第一电极 2 的第一边缘 d21a, 以第三子像素 P3 的第一电极 2 的第一部分 21 的与其第一边缘 d21a 相交且靠近非发光区域 12A 的边缘作为第三子像素 P3 的第一电极 2 的第二边缘 d21b, 以第三子像

素 P3 的第一子开口 601 的靠近第一子像素 P1 的边缘作为第三子像素 P3 的开口区的第一边缘 d61a, 以第三子像素 P3 的第一子开口 601 的与其第一边缘 d61a 相交且靠近非发光区域 12A 的边缘作为第三子像素 P3 的开口区的第二边缘 d61b。

5 例如, 如图 14B 所示, 第一子像素 P1 的第一电极 2 还具有与其第二边缘 u21b 相对的第四边缘 u21d, 第一子像素 P1 的开口区例如第一子开口 601 还具有与其第二边缘 u61b 相对的第四边缘 u61d。例如, 在一些实施例中, 第一间距 d1 大于第一子像素 P1 的第一电极 2 的第四边缘 u21d 与第一子像素 P1 的开口区的第四边缘 u61d 之间的距离, 以保证第一子像素 P1 的至少
10 部分位于所述交界区域的检测晶体管 T3 的沟道区被第一电极覆盖遮挡。同样, 在一些实施例中, 对于第三子像素 P3 也可以如此, 即, 第三子像素 P1 的第一电极 2 还具有与其第二边缘 d21b 相对的第四边缘 d21d, 第三子像素 P3 的开口区例如第一子开口 601 还具有与其第二边缘 d61b 相对的第四边缘 d61d。例如, 在一些实施例中, 第三间距 d3 大于第三子像素 P3 的第一电极
15 2 的第四边缘 d21d 与第三子像素 P3 的开口区的第四边缘 d61d 之间的距离, 以保证第三子像素 P3 的至少部分位于所述交界区域的检测晶体管 T3 的沟道区被第一电极覆盖遮挡。

 例如, 参考图 14B、图 3A 和图 5E 所示, 第一子像素 P1 中, 检测晶体管 T3 的第一极 T3s 通过上过孔 V51 与检测晶体管 T3 的有源层 T3a 电连接;
20 第三子像素 P3 中, 检测晶体管 T3 的第一极 T3s 通过下过孔 V52 与检测晶体管 T3 的有源层 T3a 电连接。结合图 14B 和图 4C, 第一子像素 P1 的第一电极 2 的第一边缘 u21a 在衬底基板 1 上的正投影与中间过孔 V33 的在第二方向 D2 上远离第三子像素 P3 的边缘在衬底基板 1 上的正投影至少部分重叠, 即, 第一子像素 P1 的第一电极 2 沿第二方向 D2 延伸至中间过孔 V33 的在
25 第二方向 D2 上远离第三子像素 P3 的边缘。并且, 第三子像素 P3 的第一电极 2 的第一边缘 d21a 在衬底基板 1 上的正投影与中间过孔 V33 的在第二方向 D2 上远离第一子像素 P1 的边缘在衬底基板 1 上的正投影至少部分重叠, 即, 第三子像素 P3 的第一电极 2 沿第二方向 D2 延伸至中间过孔 V33 的在第二方向 D2 上远离第三子像素 P3 的边缘。如此, 可以在保证第一子像素

P1 的第一电极 2 和第三子像素 P3 的第二电极 2 分别覆盖其对应的子像素的位于交界区域内的检测晶体管 T3 的沟道区 C3 的同时, 保证第一子像素 P1 的第一电极 2 与第三子像素 P3 的第二电极 2 之间具有充足的间隔, 第一电极的边缘与过孔的边缘对齐, 降低制作难度, 提高显示基板的制作良率。

5 例如, 如图 14B 所示, 一体成型电极 IAL 沿第二方向 D2 跨过第一子像素 P1 的第一电极 2 和第三子像素 P3 的第一电极 2 之间的间隔, 一体成型电极 IAL 在第二方向 D2 上彼此相对的两端分别位于第一子像素 P1 的第一电极 2 和第三子像素 P3 的第一电极 2 之间的间隔在第二方向 D2 上的两侧。

10 例如, 参考图 14B、图 5B 和图 5E 所示, 中间连接部 43 位于检测晶体管 T3 的有源层 T3a 的靠近衬底基板 1 的一侧, 例如位于第一导电层 100, 如图 5A 所示; 并且, 中间连接部 43 在衬底基板 1 上的正投影至少部分位于第一子像素 P1 的第一电极 2 与第三子像素 P3 的第一电极 2 之间的间隔在衬底基板 1 上的正投影内, 检测信号线 S 通过第一连接过孔 V31 与中间连接部 43 连接, 一体成型有源层 IAL 通过第二连接过孔 V32 与中间连接部 43 连接。

15 在第一子像素 P1 的第一电极 2 与第三子像素 P3 的第一电极 2 之间的间隔中设置与中间连接部 43 对应的第一连接过孔 V1 和第二连接过孔 V3, 以及使得位于像素阵列中相邻的上子像素与下子像素之间的交界区域中的第一连接过孔 V31、第二连接过孔 V32 与中间过孔 V33、整齐排列, 第一电极的边缘与过孔的边缘对齐, 降低制作难度, 提高显示基板的制作良率。

20 例如, 如图 14B 所示, 第一子像素 P1 的第一电极 2 的第一边缘 u21a 在衬底基板 1 上的正投影与第一连接过孔 V31 的在第二方向 D2 上远离第三子像素 P3 的边缘在衬底基板 1 上的正投影、以及第二连接过孔 V32 的在第二方向 D2 上远离第三子像素 P3 的边缘在衬底基板 1 上的正投影均至少部分重叠, 且第三子像素 P3 的第一电极 2 的第一边缘 d21a 在衬底基板 1 上的正投影与第二连接过孔 V32 的在第二方向 D2 上远离第一子像素 P1 的边缘在衬底基板 1 上的正投影、以及第二连接过孔 V32 的远离第一子像素 P1 的边缘在衬底基板 1 上的正投影均至少部分重叠, 即, 第一子像素 P1 的第一电极 2 沿第二方向 D2 延伸至第一连接过孔 V31 的远离下子像素的边缘、且延伸至第二连接过孔 V32 的远离下子像素的边缘。第三子像素 P3 的第一电极 2 沿

25

第二方向 D2 延伸至第一连接过孔 V31 的在第二方向 D2 上远离上子像素的边缘、且延伸至第二连接过孔 V32 的在第二方向 D2 上远离上子像素的边缘。如此，可使得位于像素阵列中相邻的上子像素与下子像素之间的交界区域中的中间过孔 V33、第一连接过孔 V31、第二连接过孔 V32 整齐排列，降低制作难度，提高显示基板的制作良率。

例如，如图 14B 所示，第三间距 d3 和第一间距 d1 均大于第一子像素 P1 的第一电极 2 与第三子像素 P3 的第一电极 2 之间的间隔在第二方向 D2 上的宽度。第一子像素 P1 的第一电极 2 与第三子像素 P3 的第一电极 2 之间的间隔在第二方向 D2 上的宽度是指第一子像素 P1 的第一电极 2 的第一边缘 u21a 与第三子像素 P3 的第一电极 2 的第一边缘 d21a 之间的间距，例如，该间距例如为在沿第一方向 D1 的各个位置处两者之间的距离的平均值。由此，可以保证第三间距 d3 和第一间距 d1 足够大，从而保证第一子像素 P1 的第一电极 2 和第三子像素 P3 的第一电极 2 分别能够充分覆盖第一子像素 P1 的检测晶体管 T3 的沟道区 C3 和第三子像素 P3 的检测晶体管 T3 的沟道区 C3。

例如，如图 14B 所示，第一子像素 P1 的第一电极 2 还具有远离第三子像素 P3 的第三边缘 u22c，第一子像素 P1 的第一子开口 601 还具有远离第三子像素 P3 的第三边缘 u62c，第一子像素 P1 的第一电极 2 的第三边缘 u22c 与第一子像素 P1 的第一子开口 601 的第三边缘 u62c 之间的距离为第五间距 d5，第一间距 d1 大于第五间距 d5；在每个子像素中例如在第一子像素 P1 中，驱动晶体管 T1 和数据写入晶体管 T2 在衬底基板 1 上的正投影位于其所在的子像素的开口区在衬底基板 1 上的正投影内，例如，第一子像素 P1 的驱动晶体管 T1 和数据写入晶体管 T2 在衬底基板 1 上的正投影位于第一子像素 P1 的第二开口 602 和第一开口 601 在衬底基板 1 上的正投影内，第三子像素 P3 的驱动晶体管 T1 和数据写入晶体管 T2 在衬底基板 1 上的正投影分别位于第三子像素 P3 的第二开口 602 和第一开口 601 在衬底基板 1 上的正投影内；并且，在第一子像素 P1 中，驱动晶体管 T1 的沟道区 C1 与第二子开口 602 的第三边缘 u62c 之间的距离大于检测晶体管 T3 的沟道区 C3 与第一子开口 601 的第一边缘 u61a 之间的距离。从而，驱动晶体管 T1 的沟道区 C1 被

对应的第一电极覆盖遮挡，第一间距 $d1$ 大于第五间距 $d5$ 可以进一步保证第一子像素 $P1$ 的检测晶体管 $T3$ 的沟道区 $C3$ 被对应的第一电极覆盖遮挡。

这里以第一子像素 $P1$ 的第一电极 2 的第二部分 22 的远离第三子像素 $P3$ 的边缘作为第一子像素 $P1$ 的第一电极 2 的第三边缘 $u22c$ ，以第一子像素 $P1$ 的第二子开口 602 的远离第三子像素 $P3$ 的边缘作为第一子像素 $P1$ 的开口区的第三边缘 $u62c$ 。

例如，第三子像素 $P3$ 的第一电极 2 的远离第一子像素 $P1$ 的第三边缘与第三子像素 $P3$ 的开口区 60 的远离第一子像素 $P1$ 的第三边缘之间的距离为第六间距 $d6$ ，第三间距 $d3$ 大于第六间距 $d6$ 。并且，在第三子像素 $P1$ 中，驱动晶体管 $T1$ 的沟道区 $C1$ 与第二子开口 602 的第三边缘 $d62c$ 之间的距离大于检测晶体管 $T3$ 的沟道区 $C3$ 与第一子开口 601 的第一边缘 $d61a$ 之间的距离。从而，驱动晶体管 $T1$ 的沟道区 $C1$ 被对应的第一电极覆盖遮挡，第三间距 $d3$ 大于第六间距 $d6$ 可以进一步保证第三子像素 $P3$ 的检测晶体管 $T3$ 的沟道区 $C3$ 被对应的第一电极覆盖遮挡。

这里以第三子像素 $P3$ 的第一电极 2 的第二部分 22 的远离第一子像素 $P1$ 的边缘作为第三子像素 $P3$ 的第一电极 2 的第三边缘 $d22c$ ，以第三子像素 $P3$ 的第二子开口 602 的远离第一子像素 $P1$ 的边缘作为第三子像素 $P3$ 的开口区的第三边缘 $d62c$ 。

例如，结合图 5C 和图 14B，数据写入晶体管 $T2$ 在衬底基板 1 上的正投影也位于开口区在衬底基板 1 上的正投影内，从而数据写入晶体管 $T2$ 的沟道区 $C2$ 在衬底基板 1 上的正投影位于开口区在衬底基板 1 上的正投影内也被第一电极覆盖遮挡。从而，像素电路的全部晶体管的沟道区在衬底基板上的正投影均位于其所在的子像素的第一电极在衬底基板上的正投影内。例如，结合图 5C 和图 14B，在多个子像素的每个子像素中，驱动晶体管 $T1$ 的沟道区 $C1$ 在衬底基板 1 上的正投影位于第一电极 2 的第二部分 22 在衬底基板 1 上的正投影内；数据写入晶体管的沟道区 $C2$ 在衬底基板 1 上的正投影在衬底基板 1 上的正投影位于第一电极 2 的第一部分 21 在衬底基板 1 上的正投影内，且位于检测晶体管 $T3$ 的沟道区 $C3$ 在衬底基板 1 上的正投影的靠近第一电极 2 的第二部分 22 的一侧。

例如，检测晶体管 T3 在衬底基板 1 上的正投影的至少部分位于开口区在衬底基板 1 上的正投影之外，例如检测晶体管 T3 的第二极 T3d 的至少部分在衬底基板 1 上的正投影开口区在衬底基板 1 上的正投影之外。如此设计，可以在满足使得第一电极覆盖遮挡其所在的子像素的像素电路的全部晶体管的沟道区要求的同时，不需要将第一电极做得过大，从而保证相邻的第一子像素 P1 的第一电极与第三子像素 P3 的第一电极之间的间隔，可以使检测晶体管 T3 的不必要被遮挡的部分位于相邻的第一子像素 P1 的第一电极与第三子像素 P3 的第一电极之间的间隔，充分利用有限的空间，同时兼顾实现高 PPI。

例如，参考图 14A-14B，第三子像素 P3 的开口区的面积大于第一子像素 P1 的开口区 60 的面积，第三间距 d3 大于第一间距 d1。例如，第三子像素 P3 的第一子开口 601 的面积大于第一子像素 P1 的第一子开口 601 的面积，或者，第三子像素 P3 的第一子开口 601 和第二子开口 602 的面积之和大于第一子像素 P1 的第一子开口 601 和第二子开口 602 的面积之和，例如第一子像素 P1 发红光，第三子像素 P3 发白光，第三间距 d3 大于第一间距 d1，以保证相邻的第一子像素 P1 和第三子像素 P3 中，均能够实现第一电极遮挡位于第一子像素 P1 和第三子像素 P3 交界区域的检测晶体管的沟道区。

需要说明的是，上述实施例以一个子像素的第一电极包括彼此间隔开的第一部分和第二部分的情况为例来介绍了一个子像素的第一电极的各个边缘和一个子像素的开口区的各个边缘，但是，本公开实施例不限于该种情况，在其他实施例中，子像素的第一电极可以是一个完整的整体，或者可以包括多于两个彼此间隔的部分，在各种情况下，均以整个第一电极作为一个整体来确定其第一边缘、第二边缘、第三边缘和第四边缘。

如图 15 所示，本公开至少一实施例还提供一种显示装置 1000，如图 15 所示，该显示装置 1000 包括本公开实施例提供的任何一种显示基板 10。该显示装置 1000 例如可以为有机发光二极管显示装置、量子点发光二极管显示装置等具有显示功能的装置或其他类型的装置。本公开的实施例对此不作限制。

本公开实施例提供的显示装置的结构、功能及技术效果等可以参考上述

本公开实施例提供的显示基板 10 中的相应描述，在此不再赘述。

例如，本公开至少一实施例提供的显示装置 1000 可以为显示面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件，本公开的实施例对此不作限制。

- 5 以上所述仅是本公开的示范性实施方式，而非用于限制本公开的保护范围，本公开的保护范围根据权利要求书所界定的范围确定。

权利要求书

1、一种显示基板，包括：

衬底基板；

- 5 显示单元，设置在所述衬底基板上，且包括显示区域，其中，所述显示区域包括多个子像素，所述多个子像素中的每个子像素包括驱动晶体管和发光器件，所述驱动晶体管配置为控制流经所述发光器件的驱动电流的大小，且包括栅极、第一极和第二极；所述发光器件配置为接收所述驱动电流且被所述驱动电流驱动以发光，且包括第一电极，所述第一电极与所述驱动晶体管的
- 10 第一极连接；

所述显示单元还包括像素界定层，所述像素界定层限定出所述多个子像素的开口区；

所述显示单元的多个子像素中相邻的两个子像素分别为上子像素和下子像素，与所述上子像素和所述下子像素的排列方向垂直的方向为参比方向；

- 15 所述上子像素的第一电极具有靠近所述下子像素的第一边缘和与其第一边缘相交且位于其第一边缘在所述参比方向上的第一侧的第二边缘；

所述上子像素的开口区具有靠近所述下子像素的第一边缘和与其第一边缘相交且位于其第一边缘在所述参比方向上的所述第一侧的第二边缘；

- 20 所述上子像素的第一电极的第一边缘到所述上子像素的开口区的第一边缘之间的间距为第一间距，所述上子像素的第一电极的第二边缘到所述上子像素的开口区的第二边缘之间的间距为第二间距，所述第一间距大于所述第二间距。

- 2、根据权利要求1所述的显示基板，还包括设置于所述衬底基板上的第一子扫描信号线、第二子扫描信号线、数据信号线和检测信号线；所述第一子信号线传输第一扫描信号，所述第二子信号线传输第二扫描信号，所述数据信号线传输数据信号，所述检测信号线传输检测信号，其中，
- 25

所述多个子像素中的每个子像素还包括：

数据写入晶体管，配置为在所述第一扫描信号的控制下将所述数据信号传输至所述驱动晶体管；以及

检测晶体管，配置为在所述第二扫描信号的控制下利用所述检测信号检测所述子像素的电特性以实现外部补偿，其中，所述检测晶体管的沟道区在所述衬底基板上的正投影位于所述第一电极在所述衬底基板上的正投影内，并且，

5 所述上子像素的第一电极的第一边缘位于所述上子像素的检测晶体管的沟道区的在所述排列方向上靠近所述下子像素的一侧，所述下子像素的第一电极的第一边缘位于所述下子像素的检测晶体管的沟道区的在所述排列方向上靠近所述上子像素的一侧。

3、根据权利要求2所述的显示基板，其中，所述检测晶体管包括栅极、
10 第一极和第二极，所述上子像素的检测晶体管的第一极位于所述其第二极的远离所述下子像素的一侧，所述下子像素的检测晶体管的第一极位于所述其第二极的远离所述上子电极的一侧；

在所述排列方向上，所述上子像素的检测晶体管的第一极与所述下子像素的检测晶体管的第一极之间的距离小于所述上子像素的开口区在所述排列
15 方向上的长度且小于所述下子像素的开口区在所述排列方向上的长度。

4、根据权利要求3所述的显示基板，其中，所述第二子扫描信号线包括环形部，所述环形部的与所述上子像素的检测晶体管的有源层在垂直于所述衬底基板的方向上交叠的部分以及与所述下子像素的检测晶体管的有源层在垂直于所述衬底基板的方向上交叠的部分分别构成所述上子像素的检测晶体
20 管的栅极和所述下子像素的检测晶体管的栅极；

所述环形部在所述衬底基板上的正投影构成环形区域，所述上子像素的检测晶体管的第二极和所述下子像素的检测晶体管的第二极在所述衬底基板上的正投影均位于所述环形区域内。

5、根据权利要求2-4任一所述的显示基板，其中，所述下子像素的第一
25 电极具有靠近所述上子像素的第一边缘和与其第一边缘相交且位于其第一边缘在所述参比方向上的所述第一侧的第二边缘；

所述下子像素的开口区具有靠近所述上子像素的第一边缘和与其第一边缘相交且位于其第一边缘在所述参比方向上的所述第一侧的第二边缘；

所述下子像素的第一电极的第一边缘到所述下子像素的开口区的第一边

缘之间的间距为第三间距，所述下子像素的第一电极的第二边缘到所述下子像素的开口区的第二边缘之间间距为第四间距，所述第三间距大于所述第四间距。

6、根据权利要求5所述的显示基板，其中，

5 所述上子像素中，所述检测晶体管的第一极通过上过孔与所述检测晶体管的有源层电连接；所述下子像素中，所述检测晶体管的第一极通过下过孔与所述检测晶体管的有源层电连接；

10 所述上子像素的检测晶体管的第二极与所述下子像素的检测晶体管的第二极构成连续的一体成型电极，所述上子像素的检测晶体管的有源层与所述下子像素的检测晶体管的有源层构成连续的一体成型有源层，所述一体成型电极通过中间过孔与所述一体成型有源层电连接；

15 所述上子像素的第一电极的第一边缘在所述衬底基板上的正投影与所述中间过孔的在所述排列方向上远离所述下子像素的边缘在所述衬底基板上的正投影至少部分重叠，且所述下子像素的第一电极的第一边缘在所述衬底基板上的正投影与所述中间过孔的在所述排列方向上远离所述上子像素的边缘在所述衬底基板上的正投影至少部分重叠。

20 7、根据权利要求6所述的显示基板，其中，所述一体成型电极沿所述排列方向跨过所述上子像素的第一电极和所述下子像素的第一电极之间的间隔，所述一体成型电极在所述排列方向上彼此相对的两端分别位于所述上子像素的第一电极和所述下子像素的第一电极之间的间隔在所述排列方向上的两侧。

25 8、根据权利要求5-7任一所述的显示基板，其中，所述显示单元还包括导电的中间连接部，所述中间连接部位于所述检测晶体管的有源层的靠近衬底基板的一侧，且所述中间连接部在所述衬底基板上的正投影至少部分位于所述上子像素的第一电极与所述下子像素的第一电极之间的间隔在所述衬底基板上的正投影内；

所述检测信号线通过第一连接过孔与所述中间连接部连接，所述一体成型有源层通过第二连接过孔与所述中间连接部连接；

所述上子像素的第一电极的第一边缘在所述衬底基板上的正投影与所述

第一连接过孔的在所述排列方向上远离所述下子像素的边缘在所述衬底基板上的正投影、以及所述第二连接过孔的在所述排列方向上远离所述下子像素的边缘在所述衬底基板上的正投影均至少部分重叠，且所述下子像素的第一电极的第一边缘在所述衬底基板上的正投影与所述第二连接过孔的在所述排列方向上远离所述上子像素的边缘在所述衬底基板上的正投影、以及所述第二连接过孔的在所述排列方向上远离所述上子像素的边缘在所述衬底基板上的正投影均至少部分重叠。

9、根据权利要求 5-8 任一所述的显示基板，其中，所述第三间距和所述第一间距均大于所述上子像素的第一电极与所述下子像素的第一电极之间的间隔在所述排列方向上的宽度。

10、根据权利要求 1-9 任一所述的显示基板，其中，所述上子像素的第一电极还具有远离所述下子像素的第三边缘，所述上子像素的开口区还具有远离所述下子像素的第三边缘；

所述上子像素的第一电极的第三边缘与所述上子像素的开口区的第三边缘之间的距离为第五间距，所述第一间距大于所述第五间距。

11、根据权利要求 10 所述的显示基板，其中，所述上子像素的驱动晶体管的沟道区与所述上子像素的开口区的第三边缘之间的距离大于所述上子像素的检测晶体管的沟道区与所述上子像素的开口区的第一边缘之间的距离。

12、根据权利要求 1-11 任一所述的显示基板，其中，所述下子像素的第一电极还具有远离所述上子像素的第三边缘，所述下子像素的开口区还具有的远离所述上子像素的第三边缘，所述下子像素的第三边缘与所述下子像素的开口区的第三边缘之间的距离为第六间距，所述第三间距大于所述第六间距。

13、根据权利要求 10 所述的显示基板，其中，所述下子像素的驱动晶体管的沟道区与所述下子像素的开口区的第三边缘之间的距离大于所述下子像素的检测晶体管的沟道区与所述下子像素的开口区的第一边缘之间的距离。

14、根据权利要求 2-13 任一所述的显示基板，其中，所述驱动晶体管和所述数据写入晶体管在所述衬底基板上的正投影位于所述开口区在所述衬底基板上的正投影内，所述检测晶体管在所述衬底基板上的正投影的至少部分

位于所述开口区在所述衬底基板上的正投影之外。

- 15、根据权利要求 2-14 任一所述的显示基板，其中，在所述多个子像素的每个子像素中，所述第一电极包括在所述排列方向上排列且彼此间隔的第一部分和第二部分，所述第一电极的第一部分和所述第一电极的第二部分与
5 所述驱动晶体管的第一极连接，所述开口区包括第一子开口和第二子开口，所述第一电极的第一部分覆盖所述第一子开口，所述第一电极的第二部分覆盖所述第二子开口；

- 所述上子像素的第一电极的第一部分的靠近所述下子像素的边缘作为所述上子像素的第一电极的第一边缘，所述上子像素的第一电极的第一部分的
10 与其第一边缘相交且位于其第一边缘在所述参比方向上的第一侧的边缘作为所述上子像素的第一电极的第二边缘，所述上子像素的第一电极的第二部分的远离所述下子像素的边缘作为所述上子像素的第一电极的第三边缘；

- 所述上子像素的第一子开口的靠近所述下子像素的边缘作为所述上子像素的第一子开口的第一边缘，所述上子像素的第一子开口的与其第一边缘相
15 交且位于其第一边缘在所述参比方向上的第一侧的边缘作为所述上子像素的开口区的第二边缘，所述上子像素的第二子开口的远离所述下子像素的边缘作为所述上子像素的开口区的第三边缘；

- 所述下子像素的第一电极的第一部分的靠近所述上子像素的边缘作为所述下子像素的第一电极的第一边缘，所述下子像素的第一电极的第一部分的
20 与其第一边缘相交且位于其第一边缘在所述参比方向上的第一侧的边缘作为所述下子像素的第一电极的第二边缘，所述下子像素的第一电极的第二部分的远离所述上子像素的边缘作为所述下子像素的第一电极的第三边缘；

- 所述下子像素的第一子开口的靠近所述上子像素的边缘作为所述下子像素的第一子开口的第一边缘，所述下子像素的第一子开口的与其第一边缘相
25 交且位于其第一边缘在所述参比方向上的第一侧的边缘作为所述下子像素的开口区的第二边缘，所述下子像素的第二子开口的远离所述上子像素的边缘作为所述下子像素的开口区的第三边缘。

16、根据权利要求 15 所述的显示基板，其中，在所述多个子像素的每个子像素中，所述驱动晶体管的沟道区在所述衬底基板上的正投影位于所述第

一电极的第二部分在所述衬底基板上的正投影内；

所述数据写入晶体管的沟道区在所述衬底基板上的正投影在所述衬底基板上的正投影位于所述第一电极的第一部分在所述衬底基板上的正投影内，且位于所述检测晶体管的沟道区在所述衬底基板上的正投影的靠近所述第一

5 电极的第二部分的一侧。

17、根据权利要求 2-16 任一所述的显示基板，其中，所述下子像素的开口区的面积大于所述上子像素的开口区的面积，所述第三间距大于所述第一间距。

10 18、根据权利要求 2-17 任一所述的显示基板，其中，第一子扫描信号线沿第一方向延伸，所述第一方向与所述参考方向相同；

所述显示单元还包括非发光区域，所述非发光区域与所述显示区域在所述第一方向上排列且与所述上子像素和所述下子像素相邻；

15 所述上子像素的第一电极的第二边缘为所述上子像素的第一电极的靠近所述非发光区域的边缘，所述上子像素的开口区的第二边缘为所述上子像素的开口区的靠近所述非发光区域的边缘；

所述下子像素的第一电极的第二边缘为所述下子像素的第一电极的靠近所述非发光区域的边缘，所述下子像素的开口区的第二边缘为所述下子像素的开口区的靠近所述非发光区域的边缘。

20 19、根据权利要求 18 所述的显示基板，其中，所述显示单元的多个子像素呈阵列排列，所述阵列包括沿所述第一方向延伸的第一像素行和沿所述第一方向延伸的第二像素行；所述第一像素行包括相邻设置的第一子像素和第二子像素，所述第二像素行包括相邻设置的第三子像素和第四子像素；

25 所述多个子像素中的每个子像素在所述第二方向上的长度大于该子像素在所述第一方向上的宽度，所述第一电极的第一部分和所述第一电极的第二部分在所述第二方向上排列，并且，所述第一子像素在所述衬底基板上的正投影的面积和所述第三子像素在所述衬底基板上的正投影的面积均大于所述第二子像素在所述衬底基板上的正投影的面积和所述第四子像素在所述衬底基板上的正投影的面积；

所述第一子像素作为所述上子电极，所述第三子像素作为所述下子电极；

且/或，所述第二子像素作为所述上子电极，所述第四子像素作为所述下子电极。

20、根据权利要求 19 所述的显示基板，其中，所述第一子像素发红光，所述第二子像素发蓝光，所述第三子像素发白光，所述第四子像素发绿光。

5 21、根据权利要求 18-20 任一所述的显示基板，还包括：

第一电源线，连接第一电压端且配置为给所述多个子像素提供第一电源电压，且包括整体上沿所述第二方向延伸的纵向部分；以及

第二电源线，连接第二电压端，配置为给所述多个子像素提供不同于所述第一电源电压的第二电源电压，且沿所述第二方向延伸，其中，

10 所述第一电源线的纵向部分与所述第二电源线在所述第一方向上间隔排列，且分别位于所述显示区域在所述第一方向上的第一边缘以及所述显示区域在所述第一方向上与所述第一边缘相对的第二边缘；

所述第一电源线的纵向部分的远离所述第二电源线的边缘与所述第二电源线的远离所述第一电源线的纵向部分的边缘之间的区域为所述显示区域。

15 22、一种显示装置，包括权利要求 1-21 任一所述的显示基板。

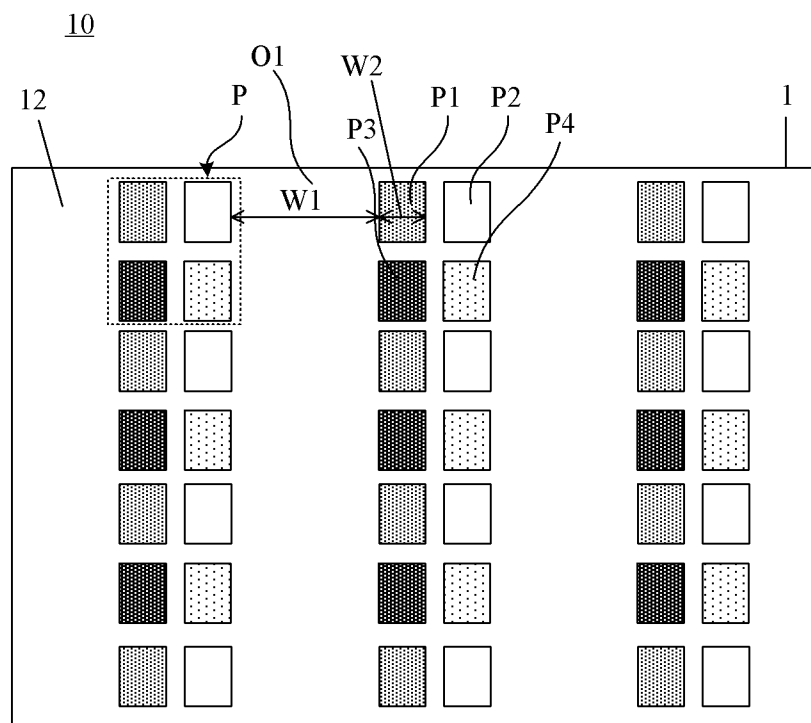


图 1A

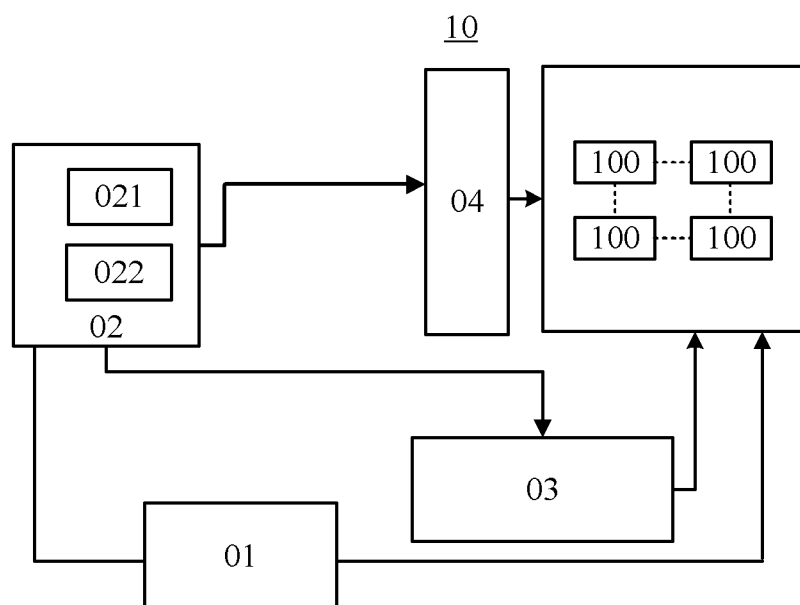


图 1B

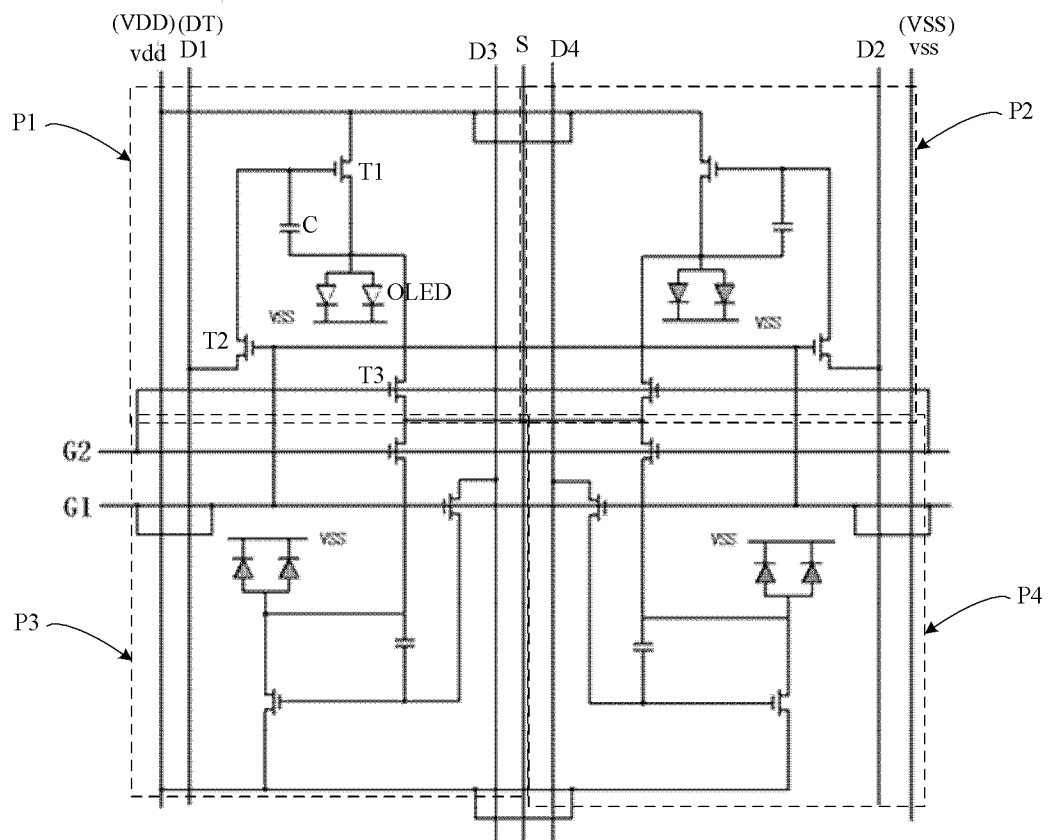


图 2A

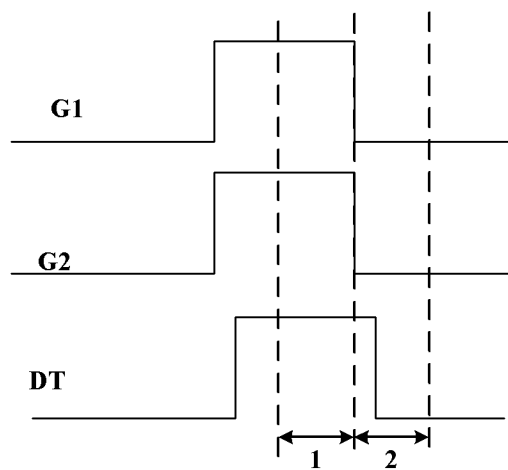


图 2B

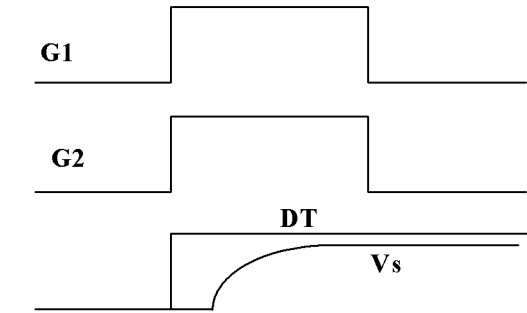


图 2C

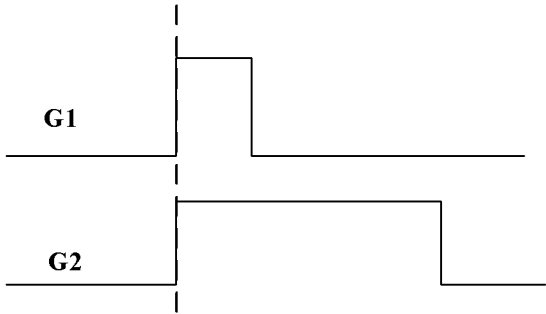


图 2D

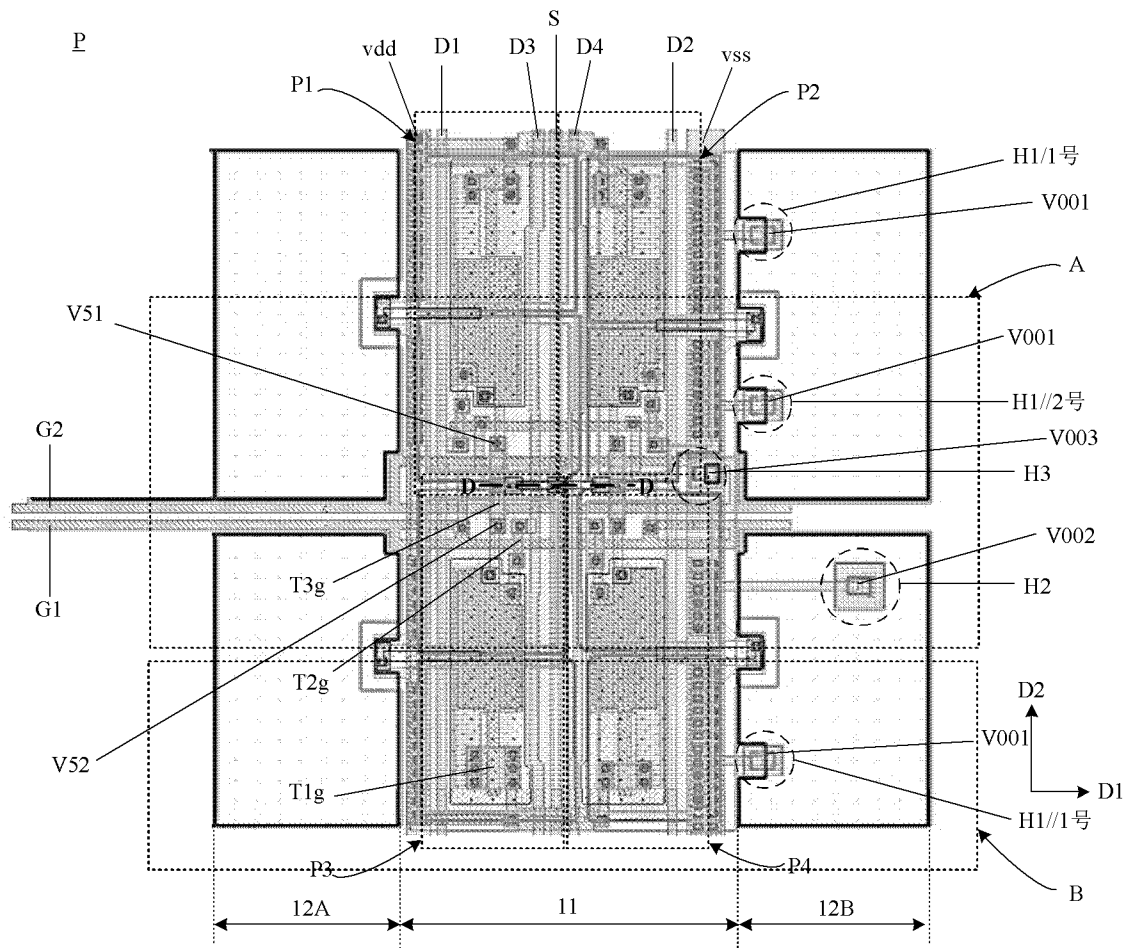


图 3A

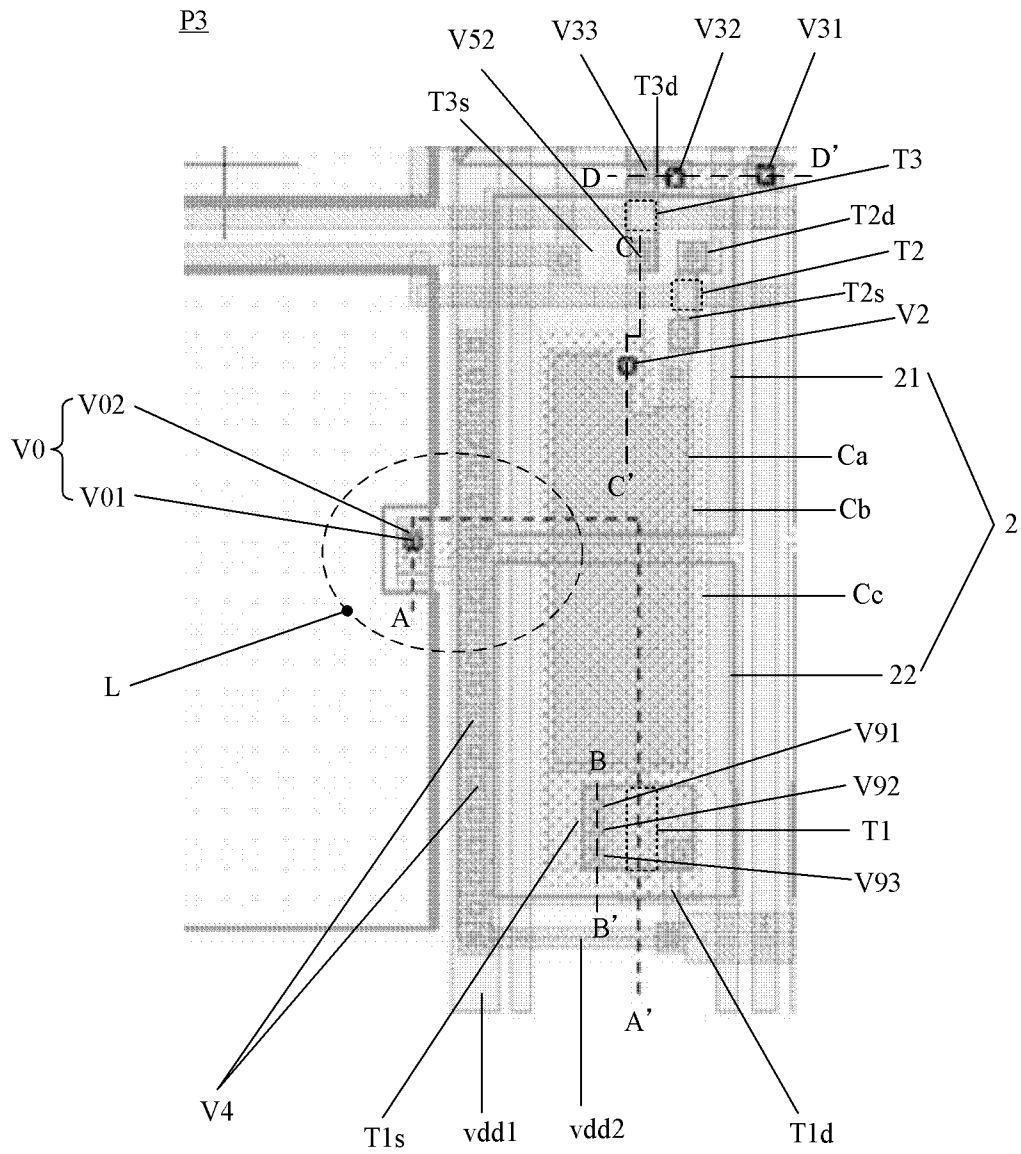


图 3B

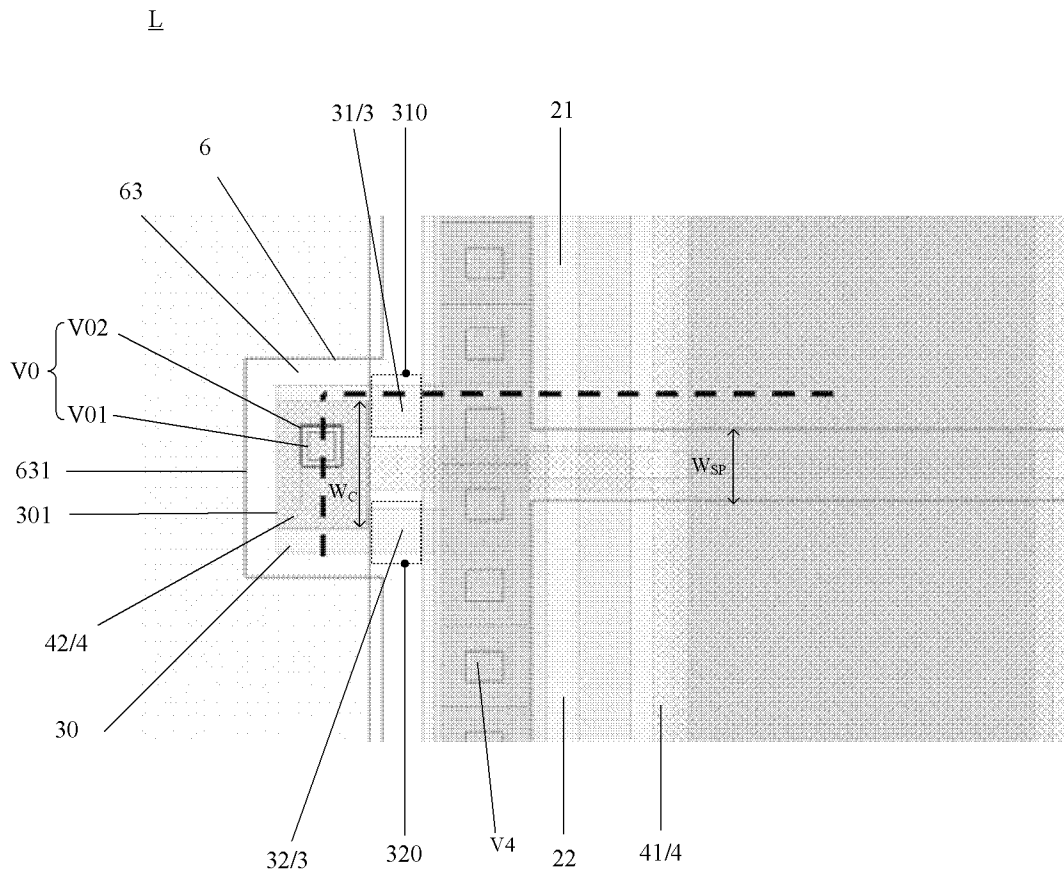


图 3C

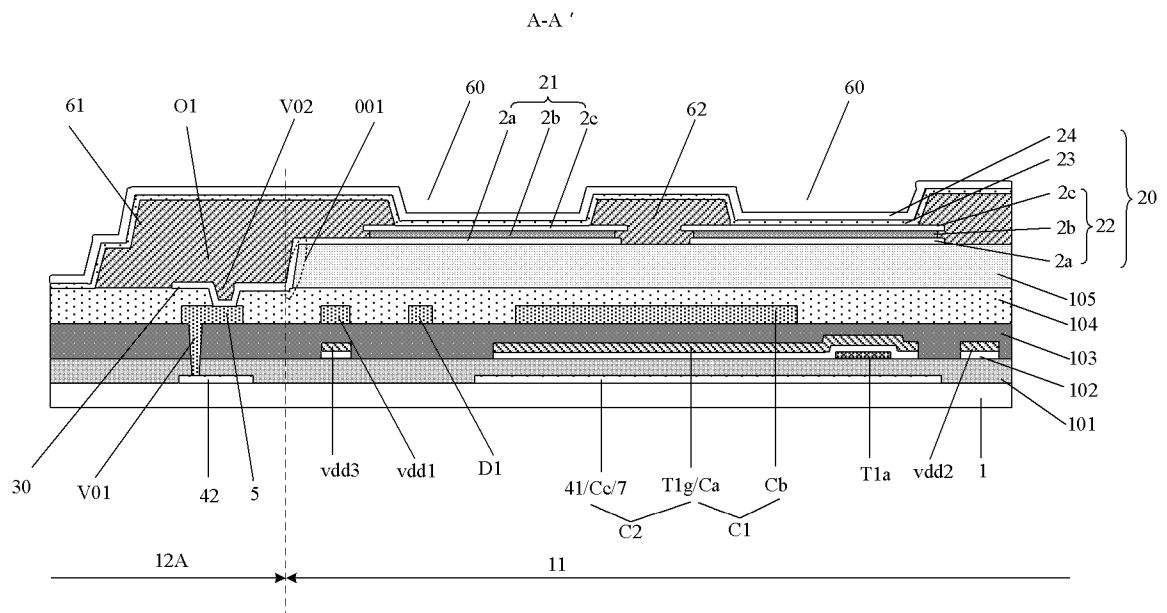


图 4A

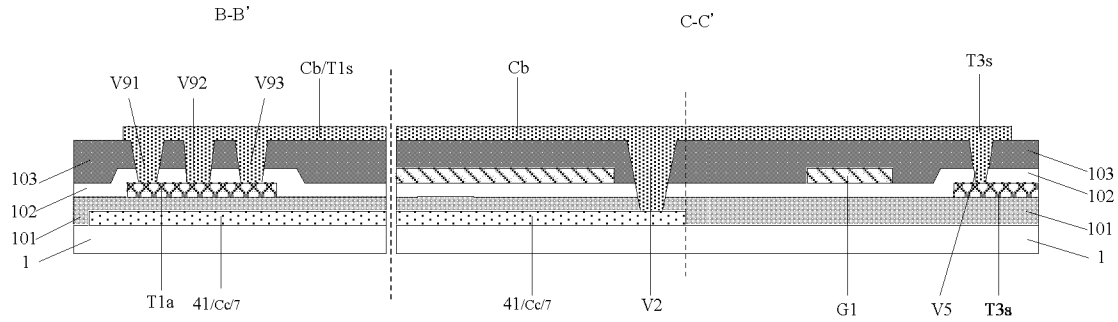


图 4B

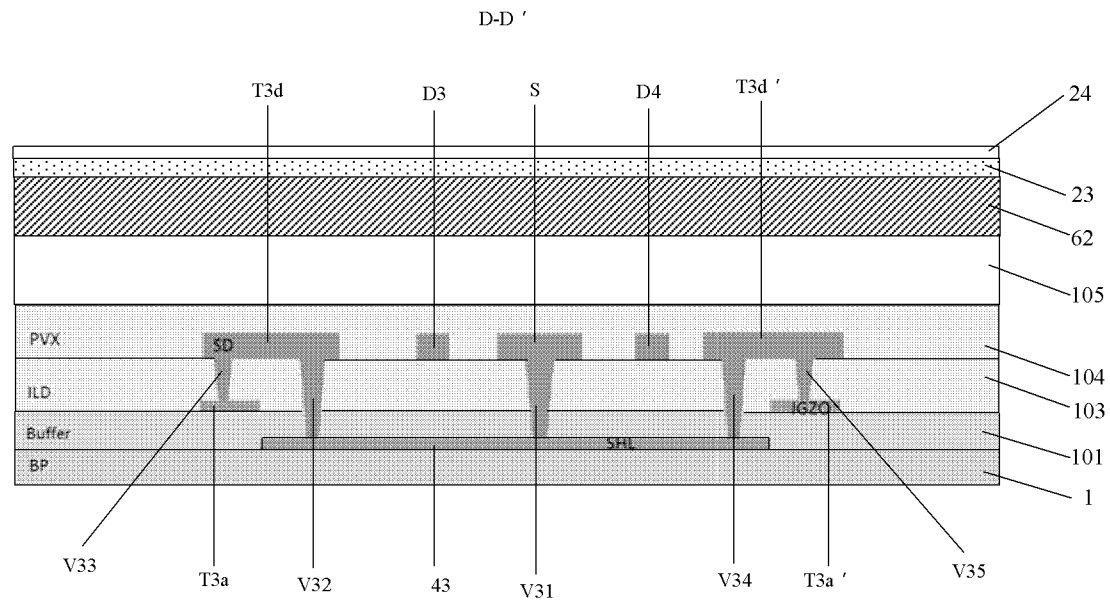


图 4C

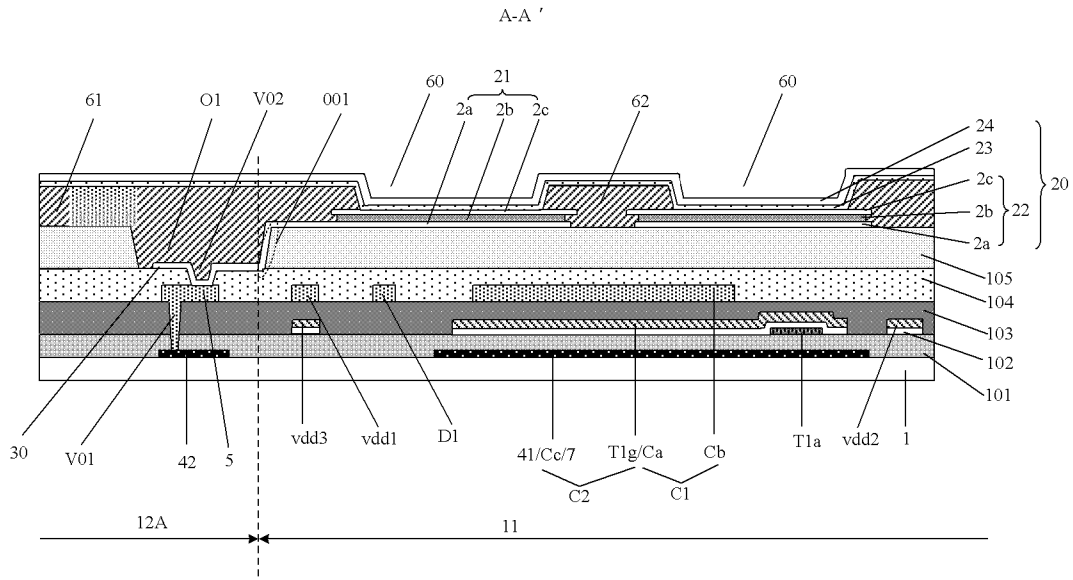


图 4D

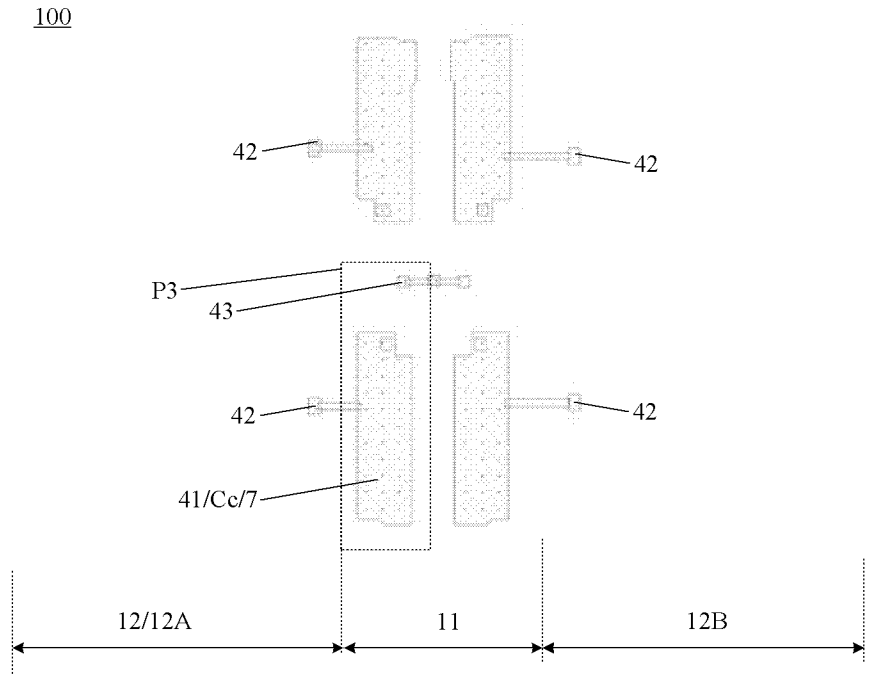


图 5A

101

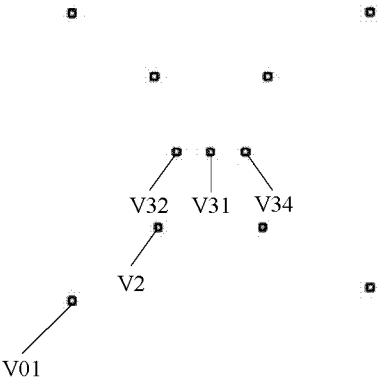


图 5B

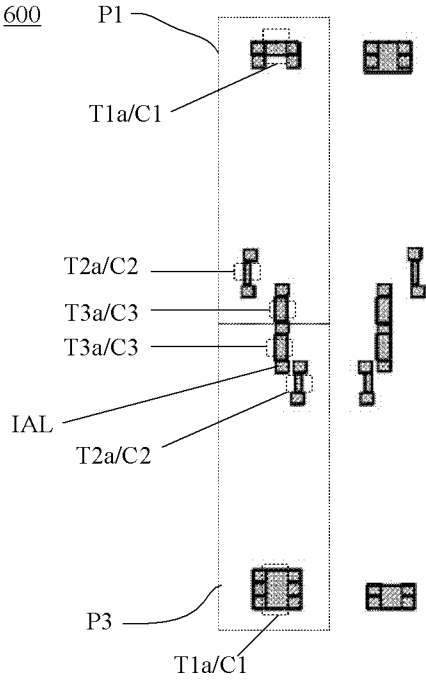


图 5C

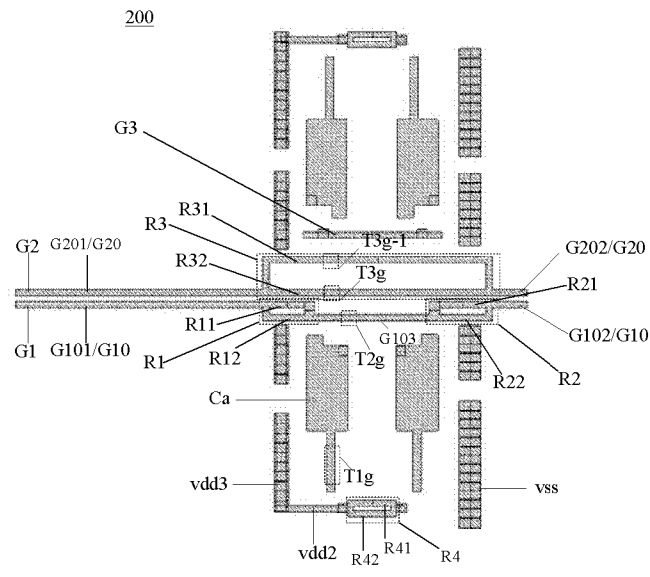


图 5D

103

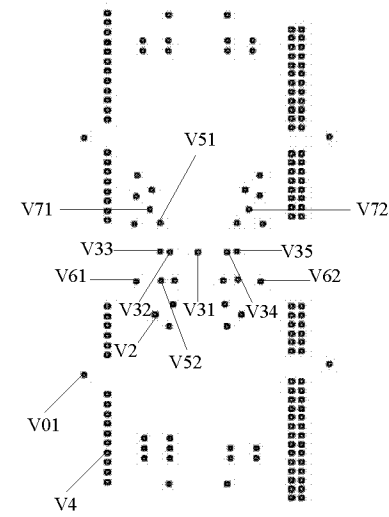


图 5E

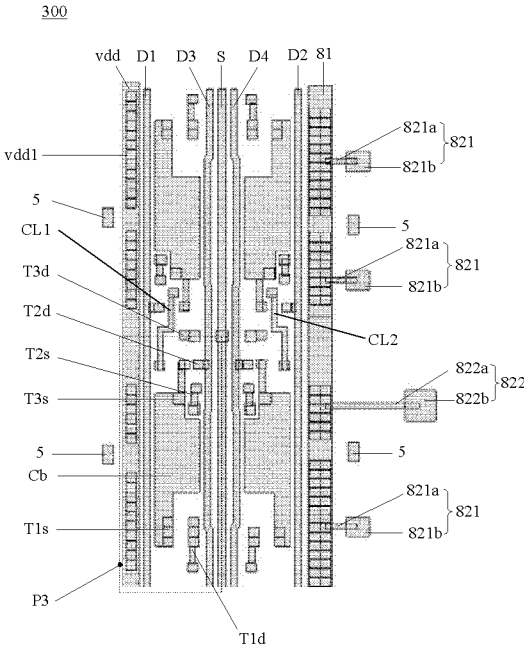


图 5F

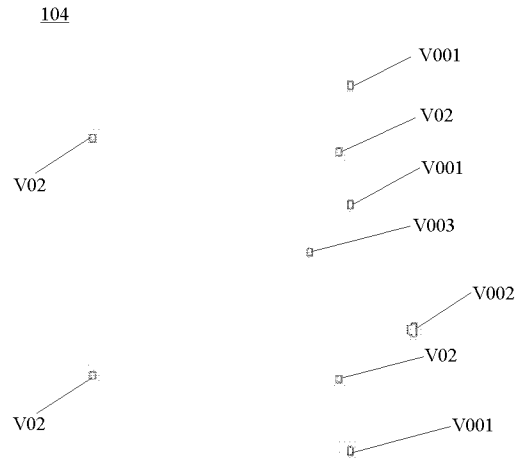


图 5G

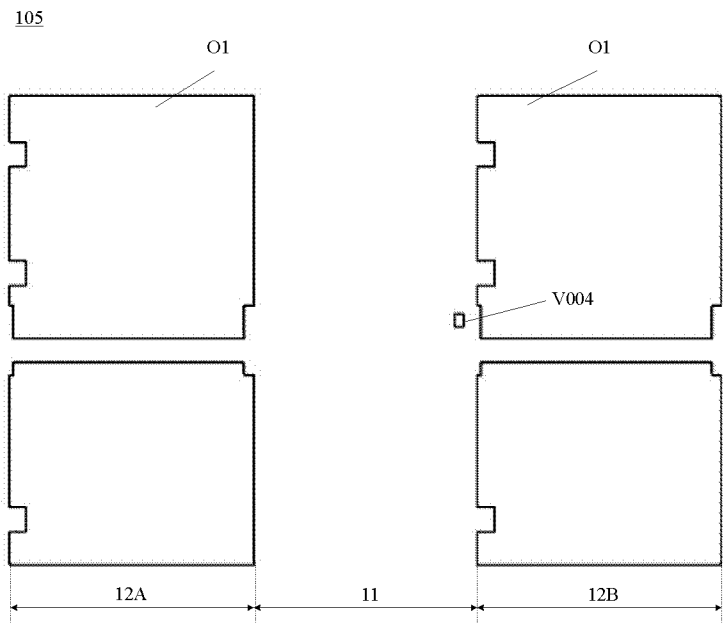


图 5H

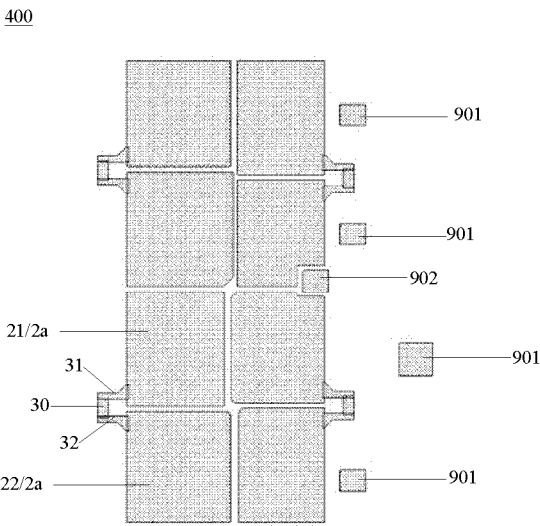


图 5I

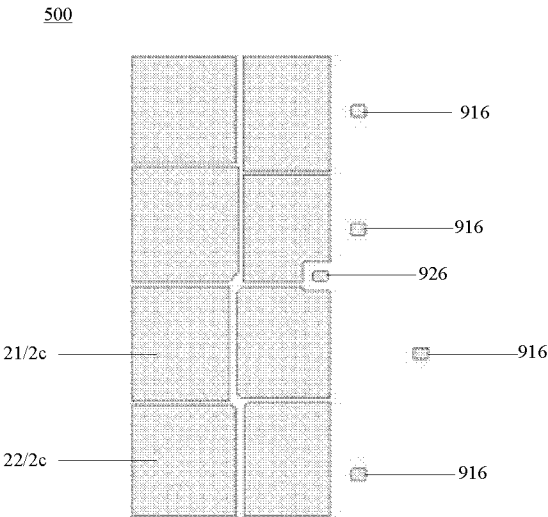


图 5J

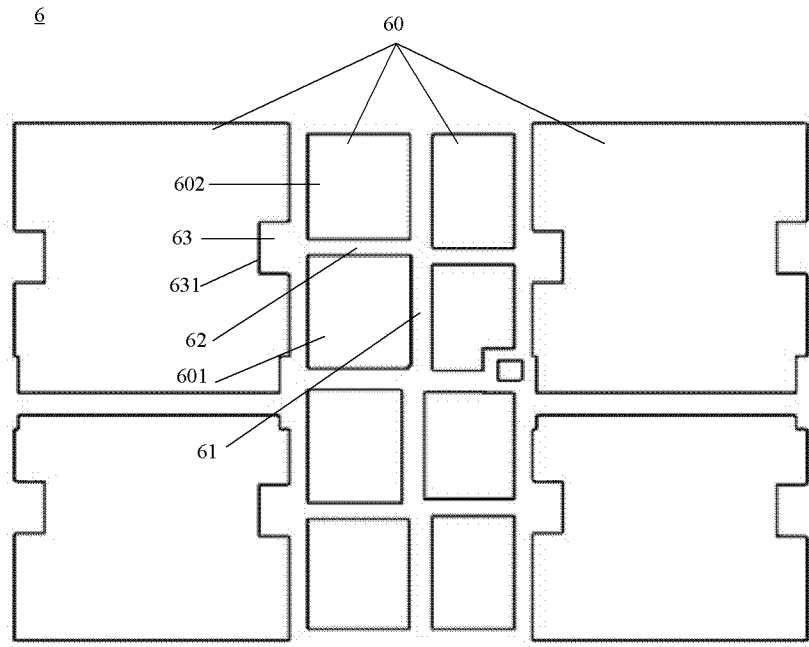


图 5K

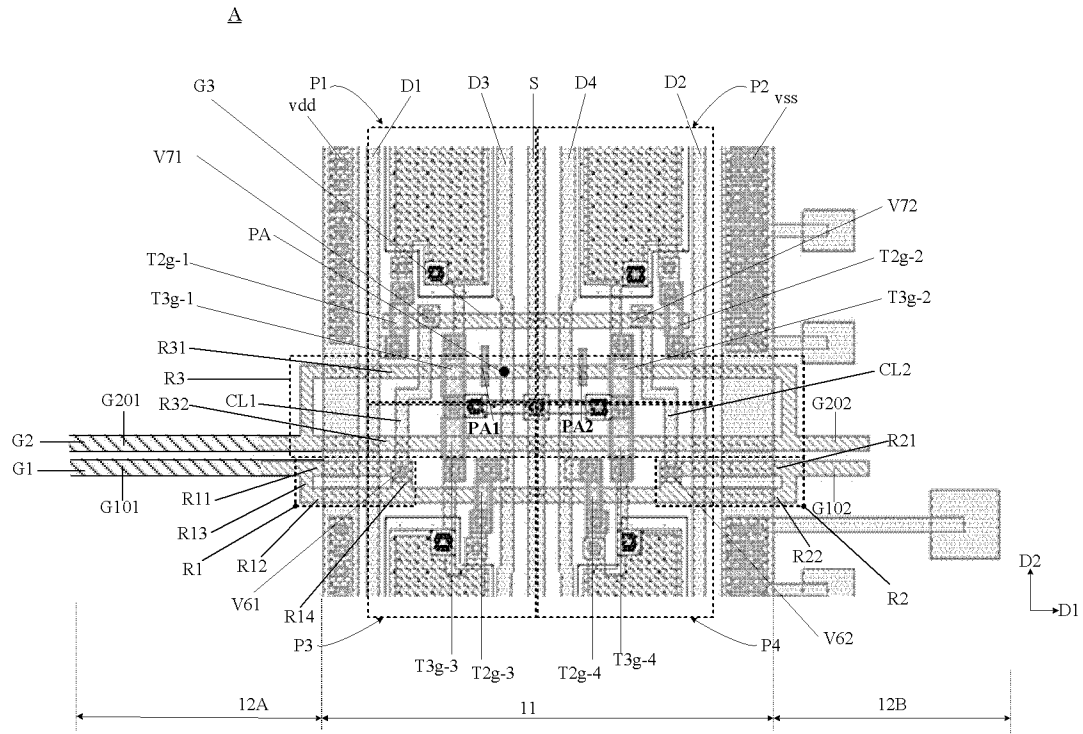


图 6A

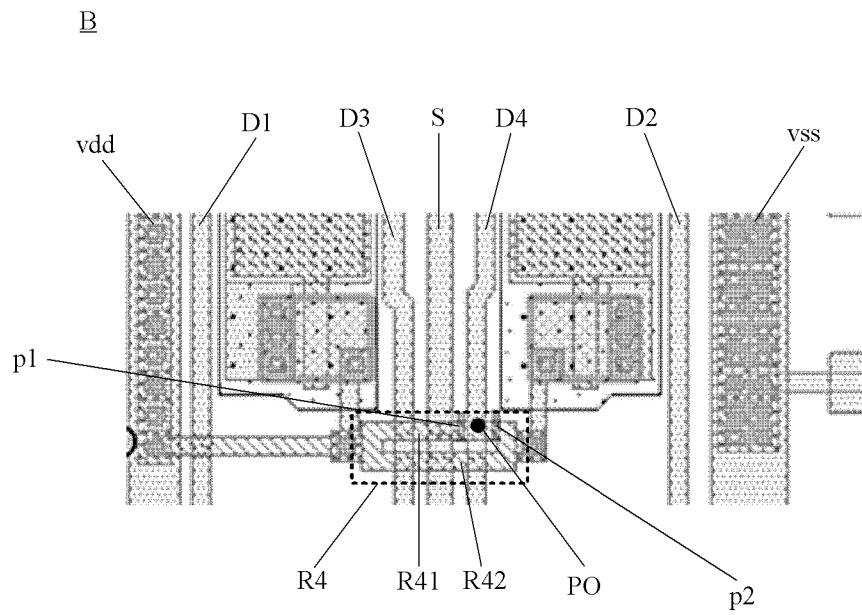


图 6B

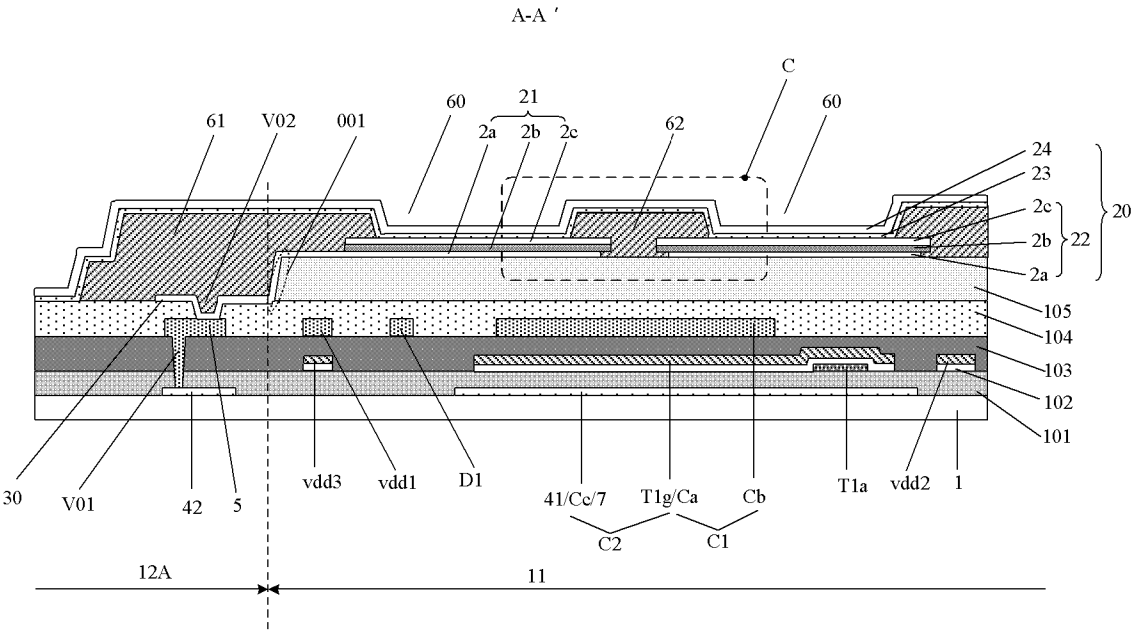


图 7

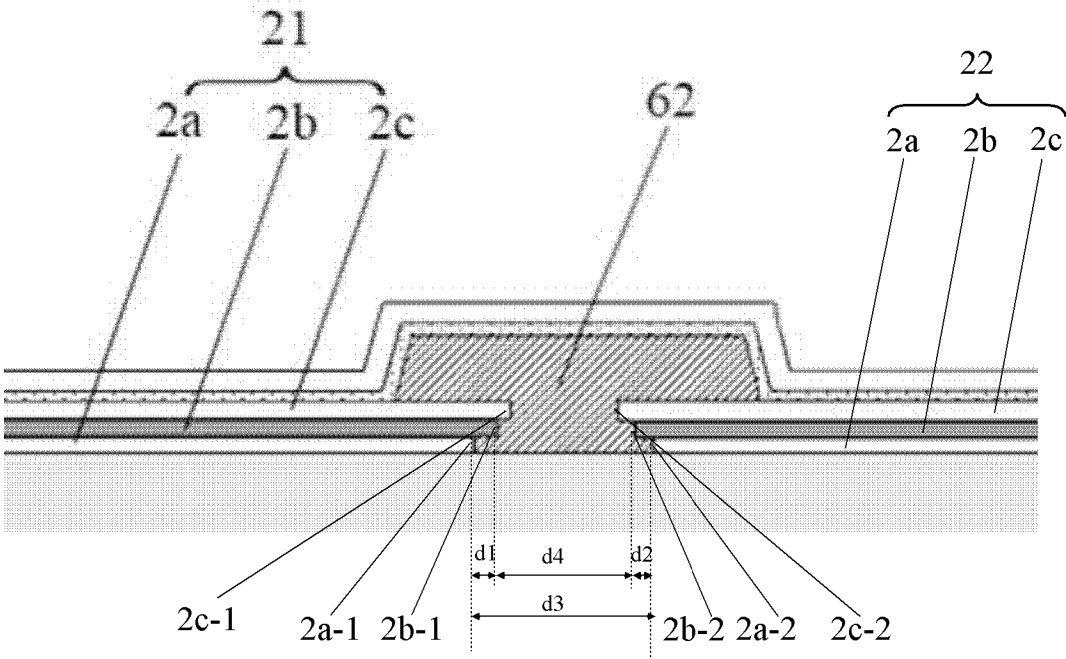


图 8A

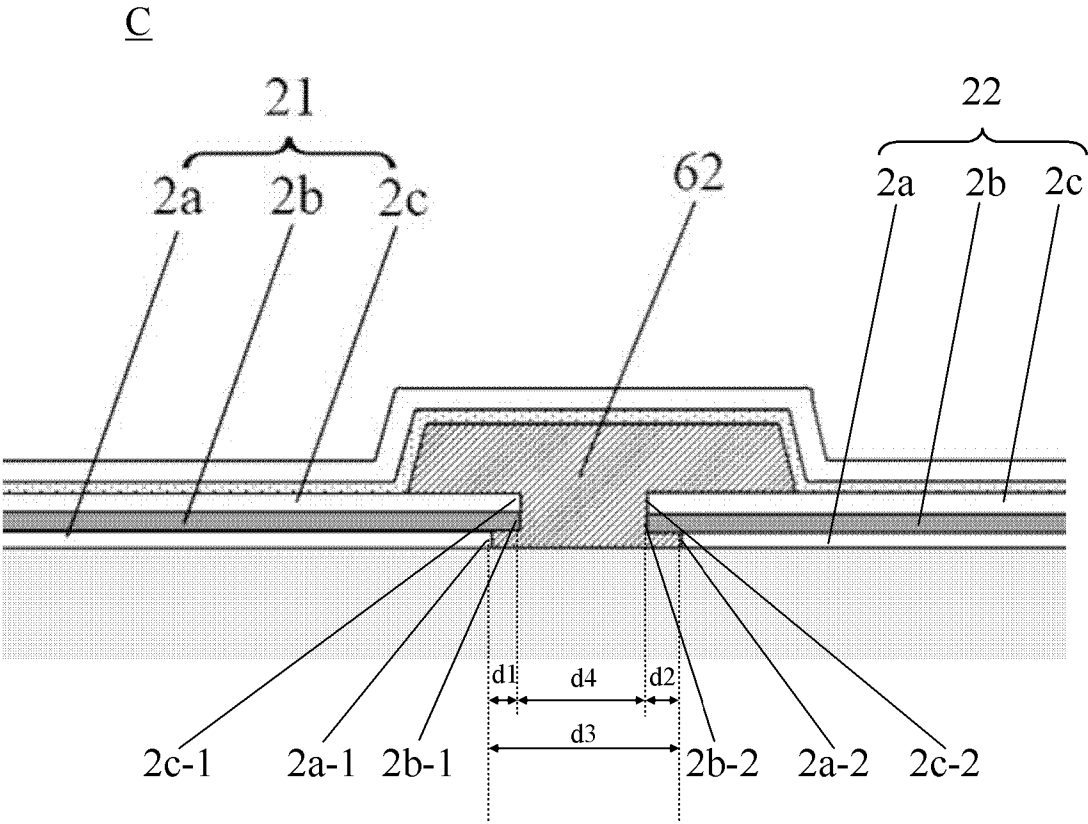


图 8B

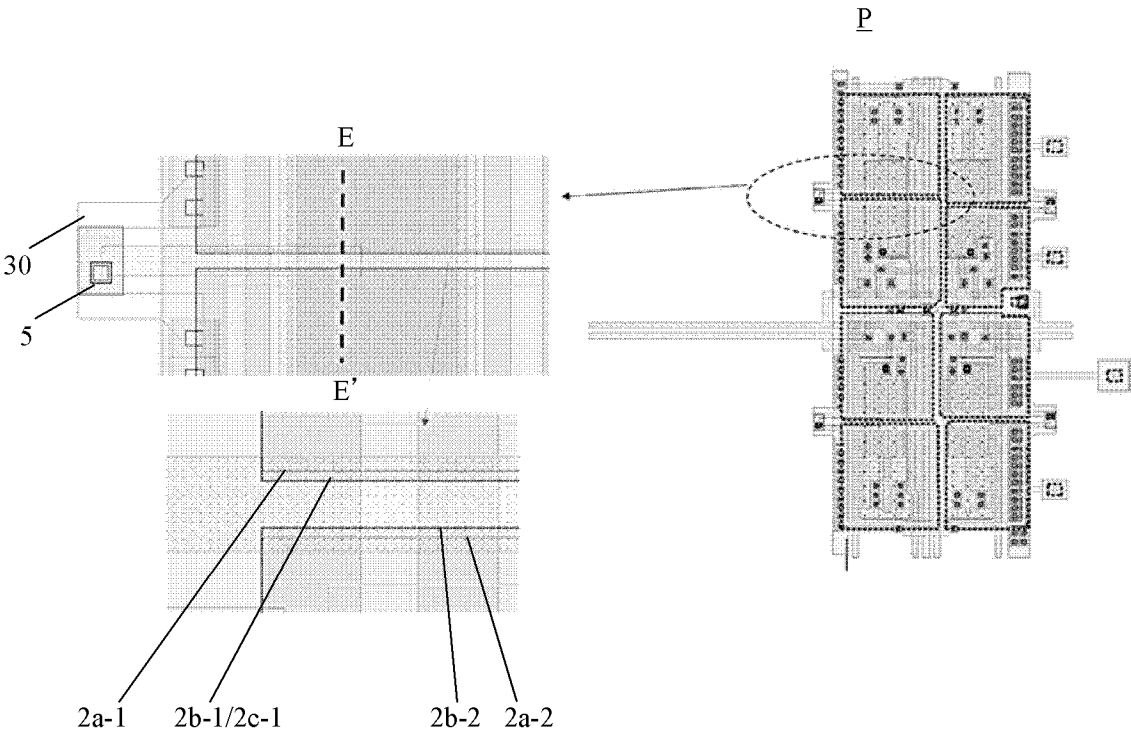


图 9

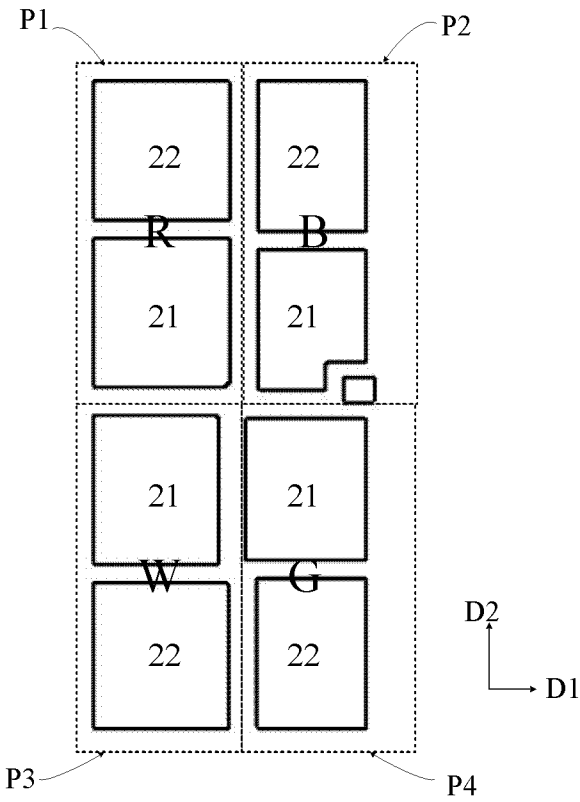


图 10

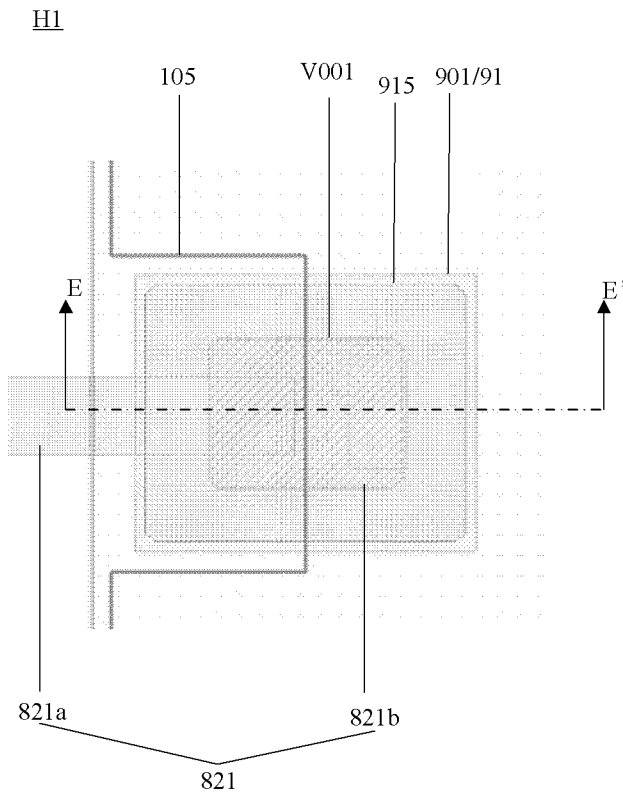


图 11A

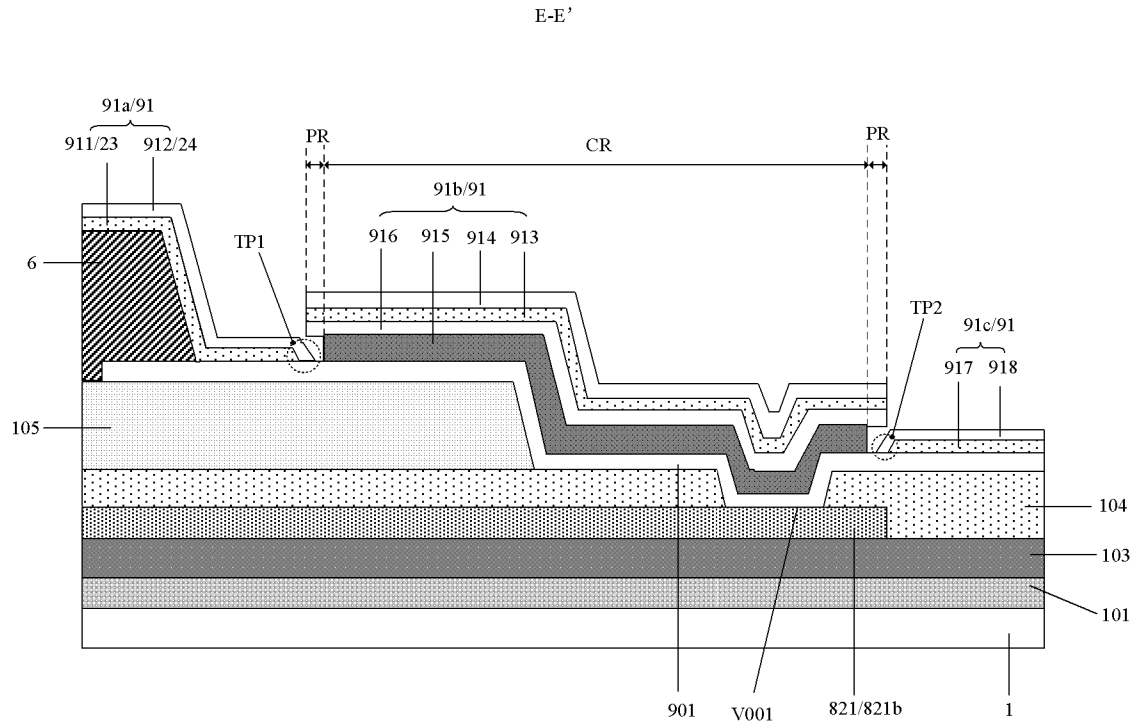


图 11B

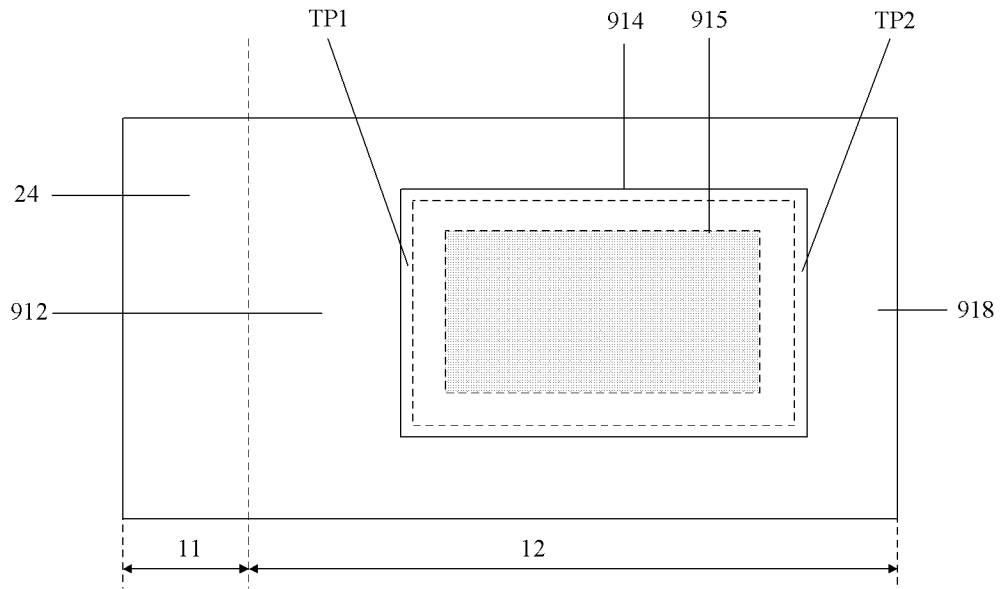


图 11C

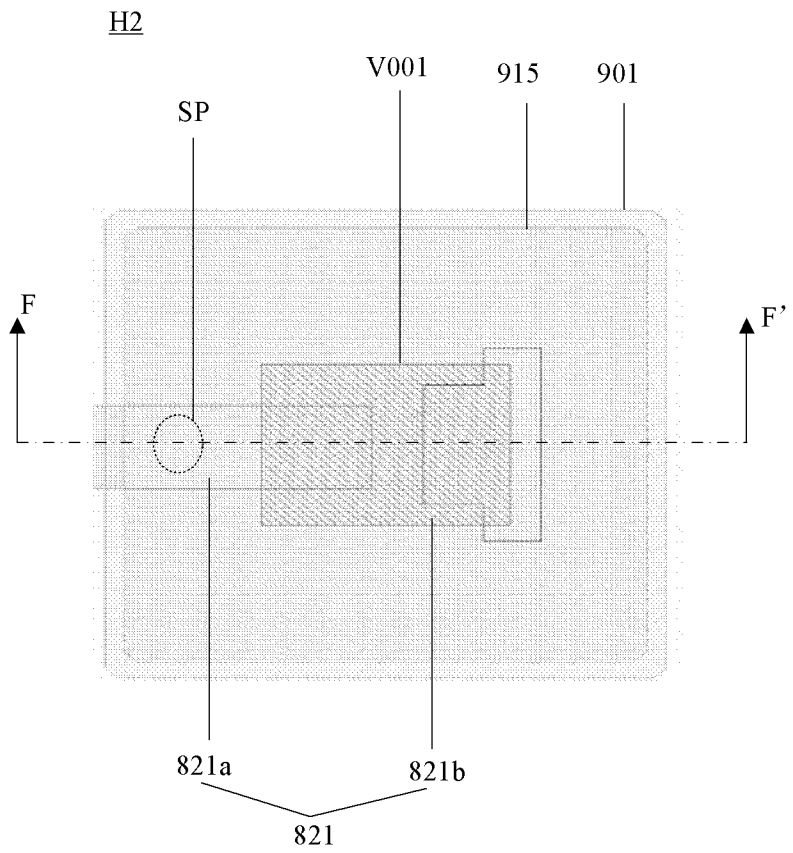


图 12A

F-F'

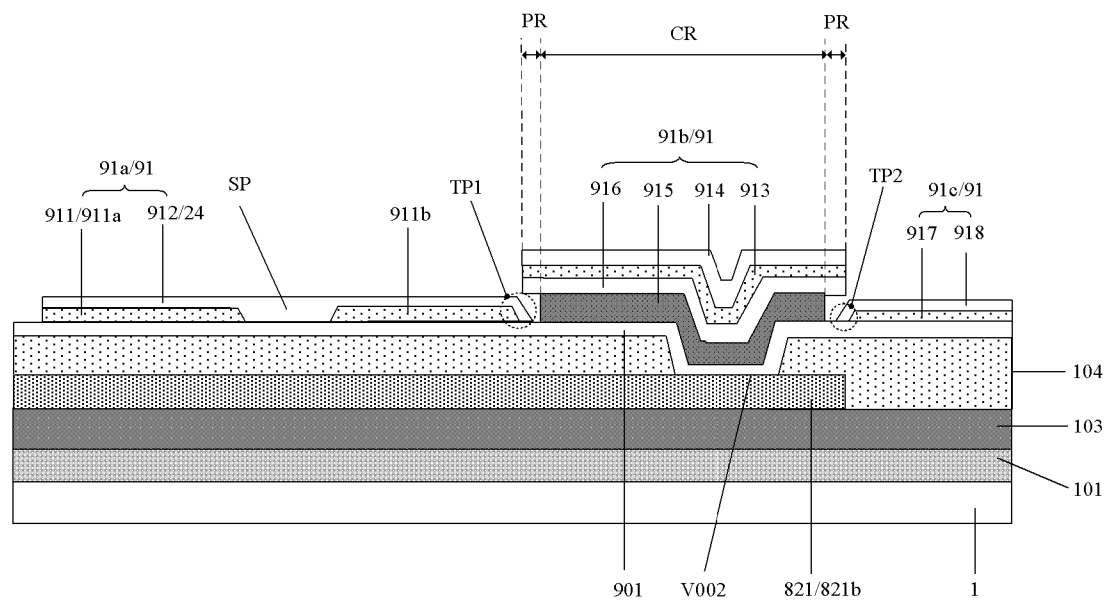


图 12B

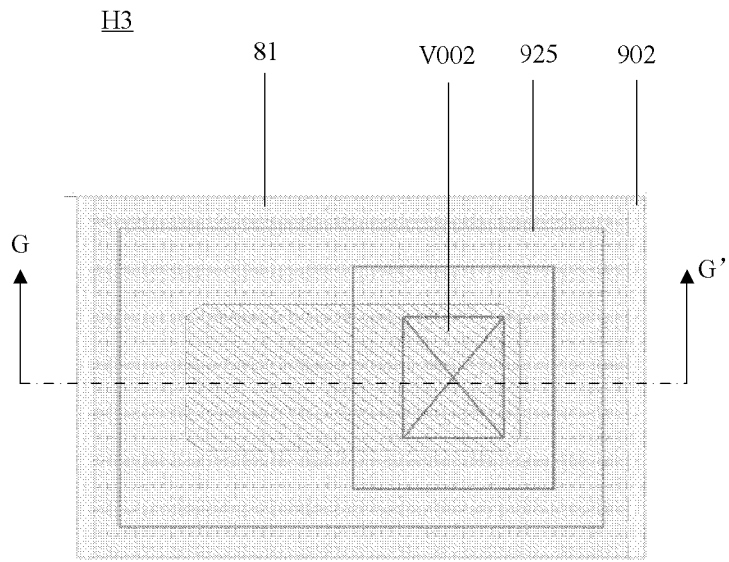


图 13A

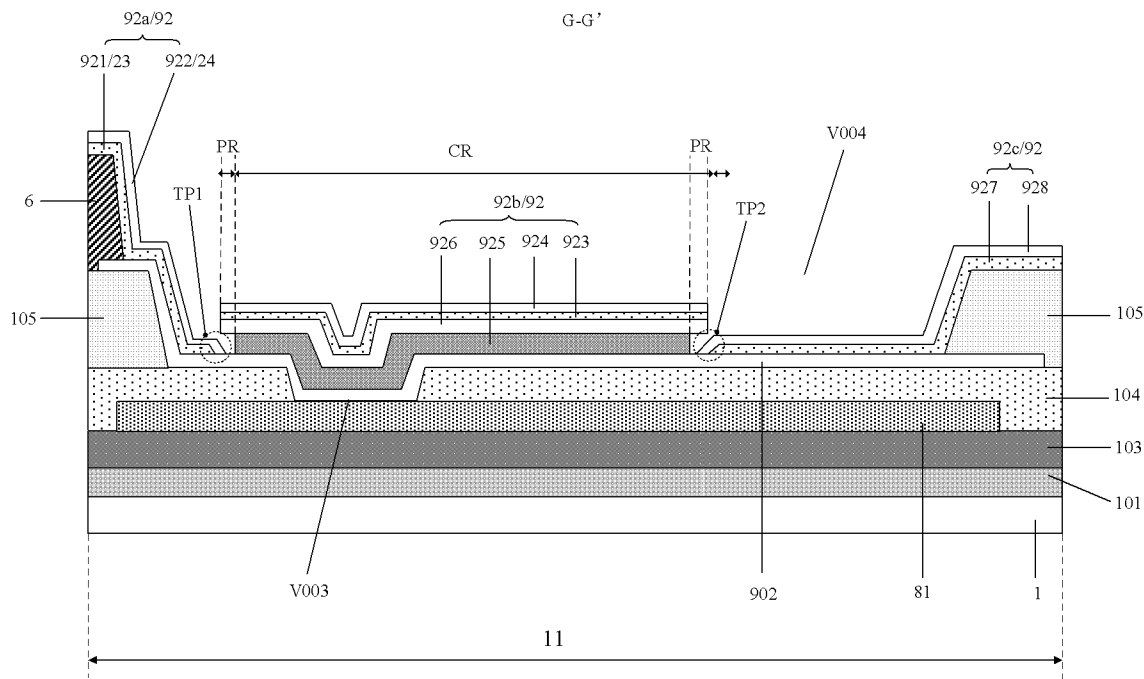


图 13B

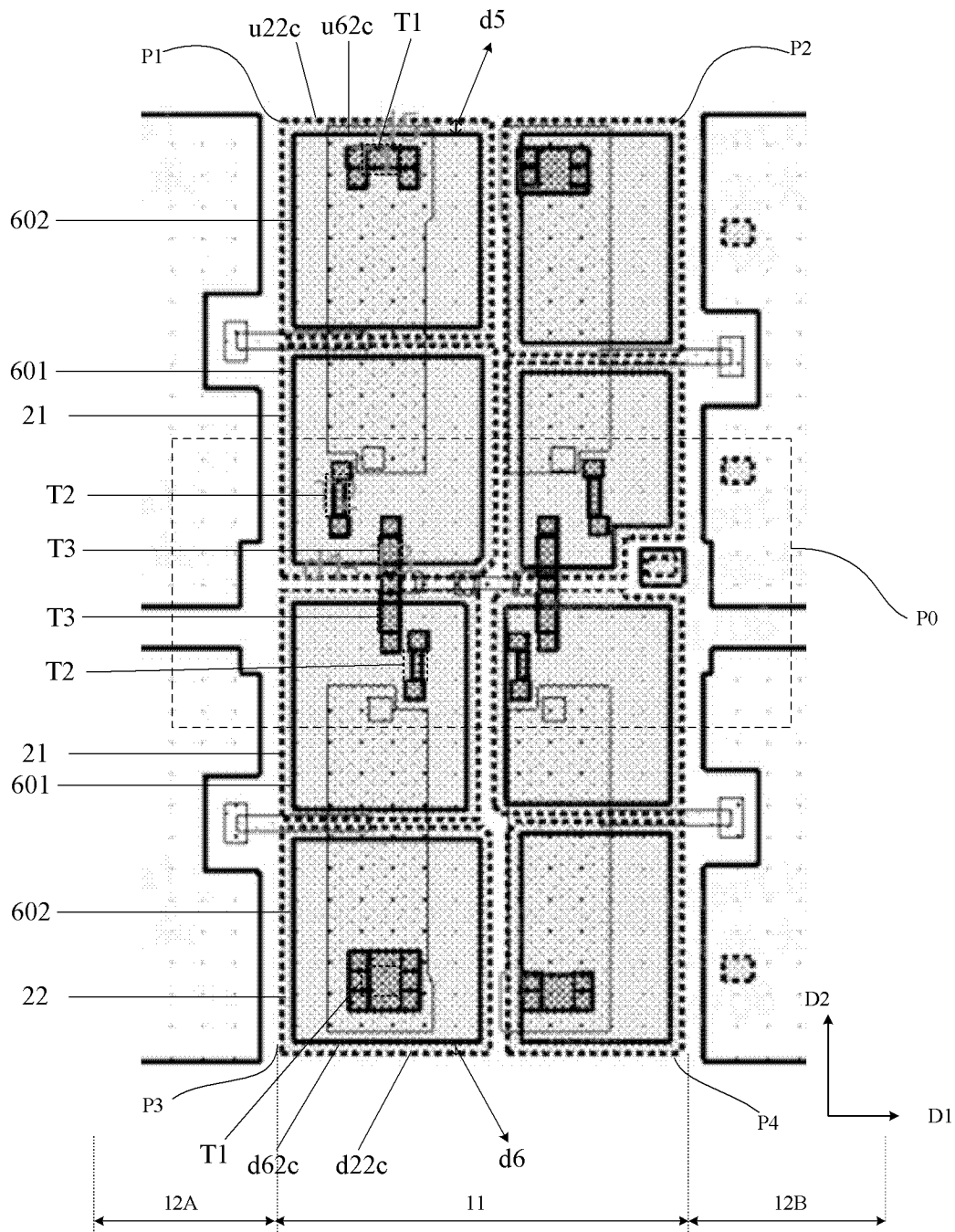


图 14A

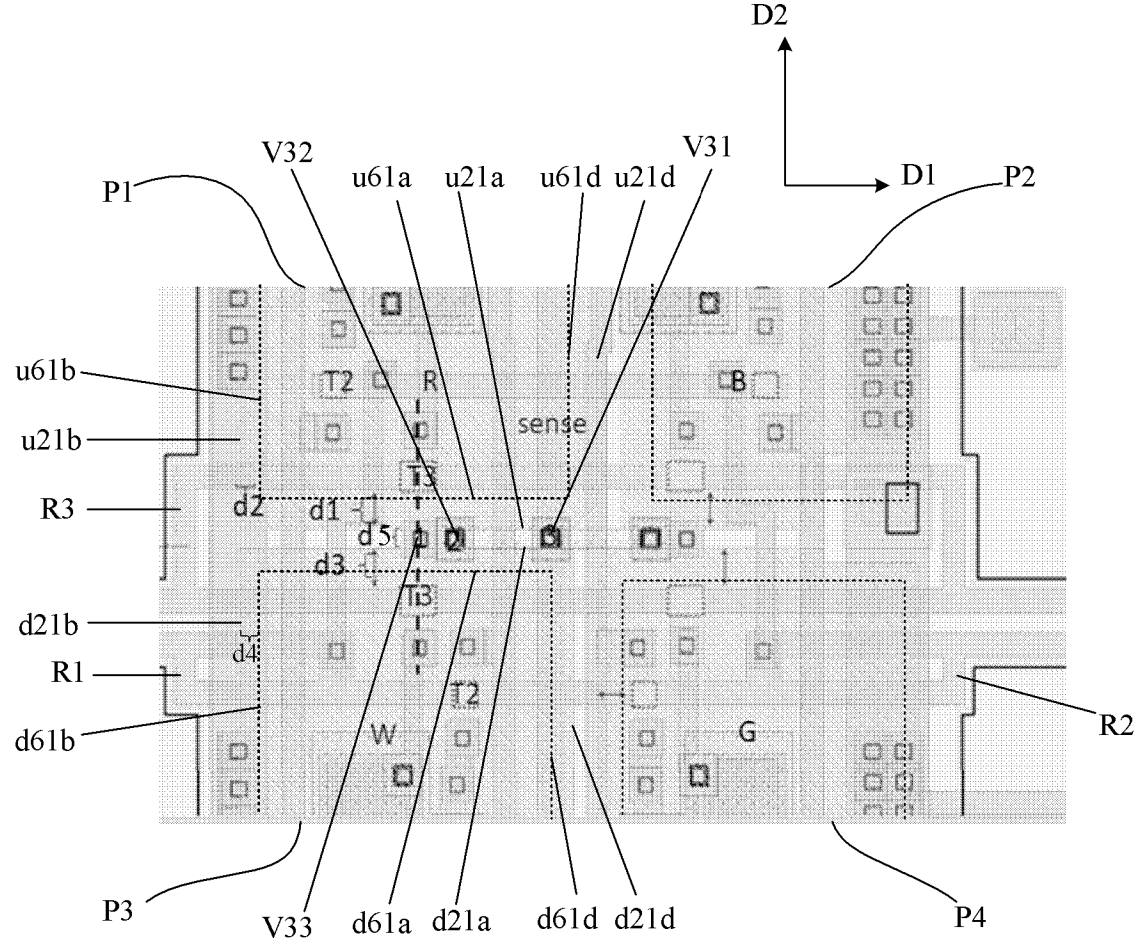


图 14B

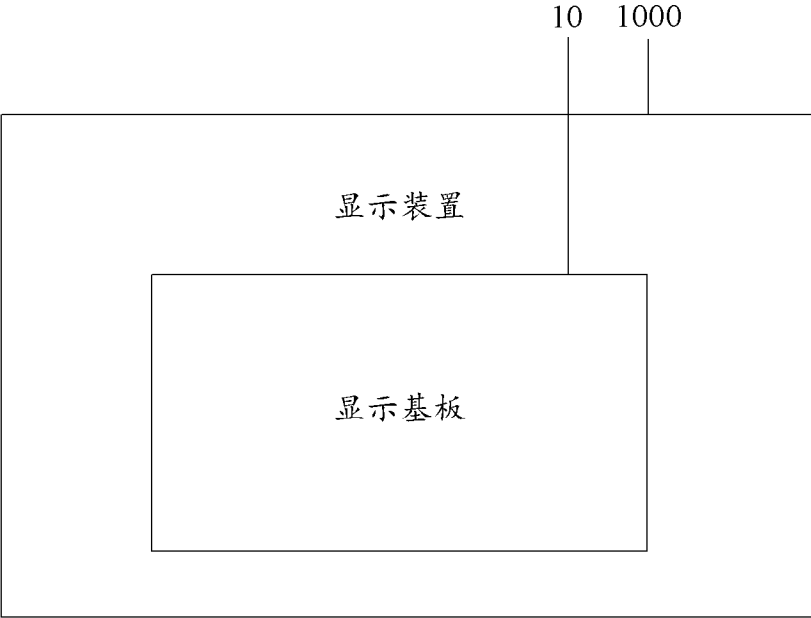


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/090401

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i; H01L 51/52(2006.01)i; H01L 51/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXE, CNKI: 像素定义层, 像素界定层, 像素隔墙, 像素挡墙, 像素限定层, 第一电极, 阳极, 金属电极, 重叠, 叠合, 重合, 开口, 边缘, 间距, 距离, 宽度, 尺寸, 大于, 小于, 驱动晶体管, 驱动电路, 像素电路, 控制电路; VEN, EPTXT, USTXT, IEEE: pixel bounding layer, pixel defining layer, pixel define layer, first electrode, metal electrode, anode, anticathode, lap over, overlap, opening, distance, interval, width, extend, breadth, bigger, larger, smaller, shorter, drive transistor, drive circuit, pixel circuit, control circuit

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113471268 A (HEFEI BOE JOINT TECHNOLOGY CO., LTD. et al.) 01 October 2021 (2021-10-01) description, paragraphs 65-216, and figures 1-26	1-22
A	CN 111564476 A (HEFEI BOE JOINT TECHNOLOGY CO., LTD. et al.) 21 August 2020 (2020-08-21) entire document	1-22
A	KR 20180079095 A (LG DISPLAY CO., LTD.) 10 July 2018 (2018-07-10) entire document	1-22
A	US 2013001601 A1 (LEE Joon-Gu et al.) 03 January 2013 (2013-01-03) entire document	1-22
A	US 2010029028 A1 (SONG Alex et al.) 04 February 2010 (2010-02-04) entire document	1-22



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 November 2022

Date of mailing of the international search report

03 January 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)

No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/090401

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113471268	A	01 October 2021	None			
CN	111564476	A	21 August 2020	WO	2021227029	A1	18 November 2021
				WO	2021227744	A1	18 November 2021
				CN	113950745	A	18 January 2022
				US	2022115483	A1	14 April 2022
				EP	3993054	A1	04 May 2022
KR	20180079095	A	10 July 2018	None			
US	2013001601	A1	03 January 2013	KR	20130007002	A	18 January 2013
				US	8946758	B2	03 February 2015
				KR	101893376	B1	31 August 2018
US	2010029028	A1	04 February 2010	KR	20100013164	A	09 February 2010
				US	8173485	B2	08 May 2012
				KR	101431466	B1	22 August 2014

国际检索报告

国际申请号

PCT/CN2022/090401

A. 主题的分类

H01L 27/32(2006.01)i; H01L 51/52(2006.01)i; H01L 51/56(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXE, CNKI:像素定义层, 像素界定层, 像素隔墙, 像素挡墙, 像素限定层, 第一电极, 阳极, 金属电极, 重叠, 叠合, 重合, 开口, 边缘, 间距, 距离, 宽度, 尺寸, 大于, 小于, 驱动晶体管, 驱动电路, 像素电路, 控制电路; VEN, EPTXT, USTXT, IEEE:pixel bounding layer, pixel defining layer, pixel define layer, first electrode, metal electrode, anode, anticathode, lap over, overlap, opening, distance, interval, width, extend, breadth, bigger, larger, smaller, shorter, drive transistor, drive circuit, pixel circuit, control circuit

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 113471268 A (合肥京东方卓印科技有限公司 等) 2021年10月1日 (2021 - 10 - 01) 说明书第65-216段及图1-26	1-22
A	CN 111564476 A (合肥京东方卓印科技有限公司 等) 2020年8月21日 (2020 - 08 - 21) 全文	1-22
A	KR 20180079095 A (LG DISPLAY CO LTD) 2018年7月10日 (2018 - 07 - 10) 全文	1-22
A	US 2013001601 A1 (LEE Joon-Gu 等) 2013年1月3日 (2013 - 01 - 03) 全文	1-22
A	US 2010029028 A1 (SONG Alex 等) 2010年2月4日 (2010 - 02 - 04) 全文	1-22

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年11月22日

国际检索报告邮寄日期

2023年1月3日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

曹梦军

电话号码 86-(20)-28958172

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/090401

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113471268	A	2021年10月1日	无			
CN	111564476	A	2020年8月21日	WO	2021227029	A1	2021年11月18日
				WO	2021227744	A1	2021年11月18日
				CN	113950745	A	2022年1月18日
				US	2022115483	A1	2022年4月14日
				EP	3993054	A1	2022年5月4日
KR	20180079095	A	2018年7月10日	无			
US	2013001601	A1	2013年1月3日	KR	20130007002	A	2013年1月18日
				US	8946758	B2	2015年2月3日
				KR	101893376	B1	2018年8月31日
US	2010029028	A1	2010年2月4日	KR	20100013164	A	2010年2月9日
				US	8173485	B2	2012年5月8日
				KR	101431466	B1	2014年8月22日