

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 29/76

(11) 공개번호 특1997-0054418
(43) 공개일자 1997년07월31일

(21) 출원번호	특1995-0066182
(22) 출원일자	1995년12월29일
(71) 출원인	현대전자산업 주식회사 김주용
(72) 발명자	경기도 이천군 부발읍 아미리 산 136-1 (우 : 467-860) 오세중
(74) 대리인	서울특별시 신천동 장미아파트 3동 1105호 이권희, 이정훈

심사청구 : 없음

(54) 모스 전계효과 트랜지스터의 제조방법

요약

본 발명은 모스 전계효과 트랜지스터의 제조방법에 관한 것으로서, 게이트전극과 P형 소오스/드레인 영역의 면저항 및 접촉저항을 감소시키기 위하여 각각의 상측에 Ti실리사이드막을 구비하는 MOSFET에서 MOSFET의 표면을 보호 평탄화시키는 층간 절연막으로서의 다량의 B를 함유하는 BSG막을 사용하고 일차로 형성된 C49상의 Ti실리사이드막을 안정된 C54상의 Ti실리사이드막으로 안정화시키는 이차 RTP 공정을 상기 BSG막의 재유동 공정과 함께 진행하여 상기 BSG막 내부의 B이 상기 Ti 실리사이드막으로 확산되도록 확산되도록 하여 상기 P-소오스/드레인 영역에서의 B확산을 방지하였으므로, P+ 소오스/드레인 영역 형성을 위한 B이온 주입량을 증가시키지 않아도 되므로 얇은 접합의 형성이 용이하고, 펀치 스루 전압이 증가되며, 소자의 전류 구동능력이 향상되어 공정수율 및 소자 동작의 신뢰성을 향상시킬 수 있다.

대표도

도1

명세서

[발명의 명칭]

모스 전계효과 트랜지스터의 제조방법

[도면의 간단한 설명]

제1A도 내지 제1E도는 본 발명에 따른 모스 전계효과 트랜지스터의 제조공정도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 기판상에 게이트 산화막을 형성하는 공정과, 상기 게이트 산화막 상에 게이트전극을 형성하는 공정과, 상기 게이트전극의 양측벽과 반도체 기판에 산화막 스페이서와 소오스 드레인 영역을 형성하는 공정과, 상기 구조의 전표면에 Ti층을 형성하는 공정과, 상기 Ti층을 게이트전극 및 소오스/드레인 영역의 실리콘과 Ti를 반응시켜 Ti실리사이드막을 형성하는 공정과, 상기 반응하지 않은 Ti실리사이드막을 이차 열처리하여 안정화시키는 공정을 구비하는 모스 전계효과 트랜지스터의 제조방법.

청구항 2

제1항에 있어서, 상기 Ti층을 1500Å 이하의 두께로 형성하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 3

제1항에 있어서, 상기 열처리 공정을 급속 열처리 방법으로서 550~750℃에서 5~40초간 실시하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 4

제1항에 있어서, 상기 일차 열처리 후의 Ti실리사이드막이 C49상인 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 5

제1항에 있어서, 상기 이차 열처리 후의 Ti실리사이드막이 C54상인 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 6

제1항에 있어서, 상기 Ti실리사이드막을 Cr, Mo, W 및 Nb등의 실리사이드막으로 대신 형성하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면**도면1**