(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3591168号
(P3591168)
(45)発行日　平成16年11月17日(2004.11.17)　(24)登録日　平成16年9月3日(2004.9.3)

(51)Int.Cl.[7]	F I		
H04L 7/02	H04L	7/02	Z
H04L 7/027	H04L	7/02	A

請求項の数 10　(全 29 頁)

(21)出願番号	特願平8-306108
(22)出願日	平成8年11月18日(1996.11.18)
(65)公開番号	特開平10-150438
(43)公開日	平成10年6月2日(1998.6.2)
審査請求日	平成15年1月17日(2003.1.17)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100097445
弁理士　岩橋　文雄
(74)代理人　100103355
弁理士　坂口　智康
(74)代理人　100109667
弁理士　内藤　浩樹
(72)発明者　松村　照恵
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　山本　雅弘
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

最終頁に続く

(54)【発明の名称】ビット同期検出手段

(57)【特許請求の範囲】

【請求項１】

１ビットのパルス幅で“０”と“１”が交互に連続するビット同期信号を入力し、その入力信号を波形整形して矩形波のパルス信号を出力する信号整形部と、前記パルス信号の立ち上がりから立ち下がりまで、および立ち下がりから立ち上がりまでの幅をパルス幅として測定するパルス幅測定部と、前記パルス信号をそのパルス幅に基づいて正常なパルス幅であるか否かを判断し、非正常なパルス幅であると判断したパルス信号については前後のパルス信号のパルス幅に基づいて先行または後続するパルス信号に加算補正することにより本来のパルス幅を演算するパルス幅確認部と、前記パルス幅確認部の指示によりパルス幅を順次に記憶するパルス幅記憶部と、前記記憶した複数のパルス幅に基づいて平均パルス幅とサンプリングクロック生成タイミングとを演算する演算部と、前記平均パルス幅と前記サンプリングクロック生成タイミングとに基づいて信号受信用のサンプリングクロックを生成するサンプリングクロック生成部とを備えたビット同期検出手段。

【請求項２】

入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記パルス幅記憶手段に記憶した直前の正常パルス信号のパルス幅に前記ノイズのパルス幅を加算補正して更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項

１記載のビット同期検出手段。
【請求項３】
入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記パルス幅記憶手段に記憶した直前の正常パルス信号のパルス幅に前記ノイズのパルス幅を加算補正し、加算補正したパルス幅が前記正常範囲未満である場合にはその値を更新記憶し、前記正常範囲以上である場合は更新記憶しないとともに、つぎに入力するパルス信号のパルス幅に加算補正して更新記憶する動作をパルス信号が入力するごとに繰り返し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１記載のビット同期検出手段。
【請求項４】
入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズよりも広い所定の第２基準範囲（ｃ＜Ｗ＜ａ）の非正常パルス信号かを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記非正常パルス信号と判断したパルス信号については後続して入力する２つのパルス信号のパルス幅を加算補正して前記パルス幅記憶手段に記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１記載のビット同期検出手段。
【請求項５】
入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまでパルス幅を積算してノイズ幅を演算し、前記ノイズ幅を前記パルス幅記憶手段に記憶した前後の正常パルス幅のうちの狭い方に加算補正して更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１記載のビット同期検出手段。
【請求項６】
入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまでパルス幅を積算してノイズ幅を演算し、前記パルス幅記憶手段に記憶した前後の正常パルス幅がともに所定の第３基準範囲（ａ＜＜Ｗ＜＜ｂ）であれば、それぞれに前記ノイズ幅の半分を加算補正して更新記憶し、そうでない場合は狭い方に前記ノイズ幅を加算補正して更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１記載のビット同期検出手段。
【請求項７】
入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまでパルス幅を積算してノイズ幅を演算し、前記パルス幅記憶手段に記憶した前後の正常パルスの論理が異なる場合は、それぞれのパルス幅に前記ノイズ幅の半分を加算補正して更新記憶し、同一である場合は前後の正常パルス幅の合計に前記ノイズ幅を加算し、先行のパルス幅として更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１記載のビット同期検出手段。
【請求項８】
入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、

または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまでパルス幅を積算してノイズ幅を演算するとともにノイズの個数を積算し、前記ノイズの加算個数が偶数である場合には、前記パルス幅記憶手段に記憶した前後の正常パルスのパルス幅にそれぞれ前記ノイズ幅の半分を加算補正して更新記憶し、奇数である場合は前後の正常パルス幅の合計に前記ノイズ幅を加算し、先行のパルス幅として更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１記載のビット同期検出手段。

【請求項９】

入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまでパルス幅を積算してノイズ幅を演算し、前記パルス幅記憶手段に記憶した直前の正常パルスのパルス幅に前記ノイズ幅の一部または全部を加算して伝送速度で規定される１ビット幅Ｒに同じないし近くに補正して更新記憶するとともに、加算されなかった残りのパルス幅を直後の正常パルスのパルス幅に加算補正して更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１記載のビット同期検出手段。

【請求項１０】

入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまで、論理が０であるノイズ幅と論理が１であるノイズ幅とをそれぞれ積算するとともにノイズの個数を積算し、パルス幅記憶手段に記憶した前後の正常パルスのパルス幅にそれぞれ正常パルスと同じ論理のノイズ幅を加算補正して更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備え、前記第１基準範囲のノイズが連続して入力した場合、前記ノイズの加算個数が所定個以上となった場合もしくは前記ノイズ幅の合計が所定の基準以上となった場合に異常と判定する請求項１ないし請求項９のいずれか１項に記載のビット同期検出手段。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、ビット同期検出手段に関する。

【０００２】

【従来の技術】

以下、従来のビット同期検出手段について説明する。従来のビット同期信号受信手段の１つが特開平６－２６７１５５号公報に開示されている。

【０００３】

以下、上記の手段について説明する。図２１は従来のビット同期信号受信手段の構成を示すブロック図である。図において、８はアンテナ、９は信号復調手段、１０はパルス測定手段、１１は入力パルス比較手段、１２はパルス記憶手段、１３はエラーカウンタ、１４はパルス幅比較手段、１５はパルスカウンタ、１６はカウントパルス比較手段、１７は誤差切り捨て手段、１８はサンプリングパルス発生手段、１９は制御手段である。

【０００４】

上記構成の相互関係と動作について説明する。アンテナ８で受信された被変調信号は信号復調手段９により復調され、ビット同期検出期間では１ビットのパルス幅で“０”と“１”が交互に連続するビット同期信号が出力される。パルス測定手段１０は、このビット同

期信号のエッジ間の長さ、すなわちパルス幅を測定する。いま、仮にビット同期信号が正確に２４００ｂｐｓ（１２００Hz）の信号であるとすると、このビット同期信号のパルス幅、すなわち理想パルス幅は４１６．６６６・・・μｓである。ここで、入力パルス比較手段１１は、パルス測定手段１０で測定したパルス幅が前記理想パルス幅に対して所定誤差範囲内にあるか否かを下記の（１）式により判定し、パルス記憶手段１２は、（１）式を満足するパルス幅のデータのみを順次に記憶する。ここで、判定式（１）は

Ｒ－△ｒ１＜Ｘ＜Ｒ＋△ｒ１　　・・・・・・・・・・（１）ただし、Ｘ：パルス幅、Ｒ：理想パルス幅、△ｒ１：誤差である。

【０００５】

（１）式による判定は、ビット同期信号が２４００ｂｐｓの信号であっても伝送路にノイズが混入している場合、ノイズの波形およびノイズの影響を受けた波形のパルス幅のデータを除外するためである。

【０００６】

ここで、パルス幅が（１）式を満足しない場合、エラーカウンタ１３はカウント数を１つインクリメントし、所定カウント数をカウントした場合、はじめて「ビット同期信号受信エラー」と判定し、受信動作を終了する。それまでは新たにつぎの１ビットを取り込む動作を継続する。これは、ノイズなどの影響によって（１）式を満足しない場合が発生しても受信動作を継続することにより、ビット同期信号を受信し易くするためである。なお、パルス記憶手段１２に保存されるパルス幅はパルス幅比較手段１４により相互に比較され、パルス記憶手段１２はその長さの順序で記憶する。

【０００７】

つぎに、パルスカウンタ１５はパルス幅が（１）式を満足するごとにカウントし、ｎ個（ｎ：整数）をカウントした時点でカウントパルス比較手段１６は、次の（２）式による判定を行う。

【０００８】

－△ｒ２＜Ｔ－Ｔ０＜△ｒ２　　・・・・・・・・・・（２）

ただし、Ｔ：パルス幅Ｘのｎ個の合計、Ｔ０：理想パルス幅Ｒのｎ個の合計、△ｒ２：誤差である。

【０００９】

（２）式による判定は、２４００ｂｐｓの信号であるか否かを正確に判定するために行う。すなわち、（１）式ではノイズなどの影響を考慮したが、（２）式ではｎを大きくするに従って僅かなパルス幅の誤差の影響が小さくなり、より正確に判定できるからである。ここで、（２）式による判定は、つぎの（３）式による判定で代用することができる。

【００１０】

－△ｒ２＜Ａｎ＜＋△ｒ２　　・・・・・・・・・・（３）

ただし、Ａｎ：ｎ個目のパルス幅誤差である。

【００１１】

図２２は、（３）式の関係を示す波形図である。理想パルス幅ｎ個（図２２ではｎ＝３）の合計とビット同期信号のパルス幅ｎ個の合計との差は、ｎ個目の誤差Ａｎ（図２２ではＡ３　）で表される。したがって、（２）式は（３）式と等価になる。この判定の目的は、２４００ｂｐｓの信号か否かを正確に判断するためのものである。すなわち、（１）式ではノイズなどの影響を考慮したが、（３）式においてはｎを大きくするに従って僅かなパルス幅の誤差の影響は小さくなり、より正確な信号であると判断できる。

【００１２】

（３）式による判定でエラーとなった場合、カウントパルス比較手段１６はその旨の信号を出力する。この信号には（３）式による判定が最大値エラー、または最小値エラーのいずれであるかの情報が含まれている。このとき、誤差切り捨て手段１７はカウントパルス比較手段１６のエラー判定に対応してパルス記憶手段１２が保存しているｎ個のパルス幅のうち、最大または最小の１つをメモリから破棄し、その旨の信号を出力する。パルス測定手段１０はその信号に基づいて新たに１ビットのビット同期信号を取り込み、そのパル

ス幅を測定する。つぎに前述と同様に入力パルス比較手段１１は（１）式により判定し、（１）式を満足した場合はそのパルス幅をパルス記憶手段１２に保存する。さらに、（３）式により判定する。以下、同様の操作を（３）式を満足するまで実行する。

【００１３】

（３）式を満足した時点で、サンプリングパルス発生手段１８はｎ個の平均誤差を算出し、サンプリングクロックを生成する。なお、上記一連の処理は制御手段１９によって制御される。また、アンテナ８と信号復調手段９を除く上記各手段はマイクロコンピュータのソフトウエアによって実現できる。

【００１４】

上記構成において、パルス記憶手段１２はパルス測定手段１０で測定したパルス幅を長さの順序に保存するが、そのためにはパルス幅ｎ個分のメモリを要するとともに、長さの順序に保存する過程で演算が複雑になる。したがって、つぎのように簡略化した方法で処理することもできる。すなわち、パルス記憶手段１２はパルス幅２個分のメモリを用意しておき、パルス測定手段１０で測定したパルス幅のうち最大値と最小値のみをパルス記憶手段１２に保存しておき、メモリサイズの縮小や演算の簡略化を図る。そののち、カウントパルス比較手段１６の（３）式による判定でエラーとなった場合、誤差切り捨て手段１７はパルス記憶手段１２に保存されているパルス幅の最大値または最小値を前記メモリから破棄する。ただし、このとき、新たな最大値または最小値をセットできないので、以後の処理、すなわち（３）式の判定処理では、つぎに取り込む新たなパルス幅によって左右されることになる。

【００１５】

【発明が解決しようとする課題】

このような従来のビット同期信号受信手段では、入力するビット数が多く、かつノイズの混入が希である場合に対しては効果を発揮し、不良な信号を排除して、ほぼ正確なサンプリングクロックを生成することができる。しかし、伝送速度が等しくなく、または信号に等時性歪が発生したり、多数のノイズが入力して各ビットの幅にばらつきがある場合には、正常範囲に入るパルスのみを拾い出す結果となり、ビット同期信号の異常を判断できない。

【００１６】

また、正常な信号であっても、たとえば短いパルス幅が入力するとき、伝送速度が正確であれば前後のパルスのいずれか、または両方がそのノイズによる誤差を含むことになる。具体的には、チャタリングノイズは短くなり、等時性歪では長くなっていることになる。したがって、たとえば等時性歪による短いパルスを排除した場合には前後の長いパルスに誤差を残しているため、排除するパルスの数が多くなるに従って残る誤差も多くなり、正しいサンプリングクロックを生成できなくなる。とくに、電波環境が悪く、ノイズが混入し易い場合に顕著に現れ、ビット同期信号を検出できなくなるのみならず、異常判定が遅れる恐れがあった。

【００１７】

本発明は上記の課題を解決するもので、ビット同期信号に混入したノイズのパルス幅を考慮し、正確なサンプリングクロックを生成するビット同期検出手段を提供することを目的とする。

【００１８】

【課題を解決するための手段】

本発明は、１ビットのパルス幅で“０”と“１”が交互に連続するビット同期信号を入力し、その入力信号を波形整形して矩形波のパルス信号を出力する信号整形部と、前記パルス信号の立ち上がりから立ち下がりまで、および立ち下がりから立ち上がりまでの幅をパルス幅として測定するパルス幅測定部と、前記パルス信号をそのパルス幅に基づいて正常なパルス幅であるか否かを判断し、非正常なパルス幅であると判断したパルス信号については前後のパルス信号のパルス幅に基づいて先行または後続するパルス信号に加算補正することにより本来のパルス幅を演算するパルス幅確認部と、前記パルス幅確認部の指示に

よりパルス幅を順次に記憶するパルス幅記憶部と、前記記憶した複数のパルス幅に基づいて平均パルス幅とサンプリングクロック生成タイミングとを演算する演算部と、前記平均パルス幅と前記サンプリングクロック生成タイミングとに基づいて信号受信用のサンプリングクロックを生成するサンプリングクロック生成部とを備えたものである。

【００１９】

これにより、ビット同期信号に混入したノイズに起因する非正常なパルス信号が単純に異常として破棄されることがなく、本来のパルス信号の一部として処理される。したがって、信号受信率が向上するとともに、ノイズの影響を排除して本来のパルス幅が適切に演算され、ビット幅記憶手段に記憶される各１ビットの誤差が小さくなって正確なサンプリングクロックを生成することができる。

【００２０】

【発明の実施の形態】

請求項１に係わる本発明は、１ビットのパルス幅で“０”と“１”が交互に連続するビット同期信号を入力し、その入力信号を波形整形して矩形波のパルス信号を出力する信号整形部と、前記パルス信号の立ち上がりから立ち下がりまで、および立ち下がりから立ち上がりまでの幅をパルス幅として測定するパルス幅測定部と、前記パルス信号をそのパルス幅に基づいて正常なパルス幅であるか否かを判断し、非正常なパルス幅であると判断したパルス信号については前後のパルス信号のパルス幅に基づいて先行または後続するパルス信号に加算補正することにより本来のパルス幅を演算するパルス幅確認部と、前記パルス幅確認部の指示によりパルス幅を順次に記憶するパルス幅記憶部と、前記記憶した複数のパルス幅に基づいて平均パルス幅とサンプリングクロック生成タイミングとを演算する演算部と、前記平均パルス幅と前記サンプリングクロック生成タイミングとに基づいて信号受信用のサンプリングクロックを生成するサンプリングクロック生成部とを備えたビット同期検出手段である。これにより、ビット同期信号に混入したノイズに起因する非正常なパルス信号が単純に異常として破棄されることがなく、本来のパルス信号の一部として処理される。したがって、信号受信率が向上するとともに、ノイズの影響を排除して本来のパルス幅が適切に演算され、ビット幅記憶手段に記憶される各１ビットの誤差が小さくなって正確なサンプリングクロックを生成することができる。

【００２１】

なお、請求項１に係わる本発明において、信号整形部は入力信号を波形整形して矩形波のパルス信号を出力する手段を意味し、その構成はとくに限定されず、たとえば、通常の増幅およびクリッパなどにより実現される。パルス幅測定部は前記パルス信号の立ち上がりから立ち下がりまでの幅、および立ち下がりから立ち上がりまでの幅をパルス幅として測定する手段を意味し、その構成はとくに限定されないが、たとえば、マイクロコンピュータクロックによるカウント処理により実現できる。パルス幅確認部は入力するパルス信号ごとに前記パルス幅を所定のパルス幅判定基準に基づいて正常パルス信号であるか否かを判別し、正常パルス信号については一旦、パルス幅記憶手段に記憶し、非正常パルス信号については前後の正常パルス信号のパルス幅に基づいて、前後のいずれか一方または両方に加算して補正した値を改めてパルス幅とし、そのパルス幅をパルス幅記憶手段に更新記憶する処理をパルス信号の入力ごとに繰り返して本来のパルス幅またはその近似値を演算することを基本とする。パルス幅記憶部はパルス幅を記憶する手段を意味し、前記パルス幅確認部の処理に要するパルス幅のデータを記憶するとともに、前記パルス幅確認部の演算により算出した複数のパルス幅のデータを記憶する。演算処理部は前記記憶された複数のパルス幅のデータから平均パルス幅を算出するとともに、サンプリングクロック生成タイミングを算出する。サンプリングクロック生成部は前記平均パルス幅で前記タイミングの受信用のサンプリングクロックを生成する。なお、以上の各部はマイクロコンピュータのプログラム動作により実現される。また、請求項２ないし請求項１２においては、記載の通りの処理を実行するが、これらはすべてマイクロコンピュータのプログラム動作により実行できる。

【００２２】

請求項２に係わる本発明は、入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記パルス幅記憶手段に記憶した直前の正常パルス信号のパルス幅に前記ノイズのパルス幅を加算補正して更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１記載に係わるビット同期検出手段である。

【００２３】

これにより、前記第１基準範囲のパルス幅のパルス信号がノイズと判断され、そのノイズは先行入力した正常パルス信号の一部であるとしてパルス幅が演算されるので、ノイズを単純に廃棄せず、ノイズも含めて本来のパルス幅を演算することができ、そのパルス幅を基に正確なサンプリングクロックを生成することができる。

【００２４】

請求項３に係わる本発明は、入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記パルス幅記憶手段に記憶した直前の正常パルス信号のパルス幅に前記ノイズのパルス幅を加算補正し、加算補正したパルス幅が前記正常範囲未満である場合にはその値を更新記憶し、前記正常範囲以上である場合は更新記憶しないとともに、つぎに入力するパルス信号のパルス幅に加算補正して更新記憶する動作をパルス信号が入力するごとに繰り返し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１に係わるビット同期検出手段である。

【００２５】

これにより、パルス信号の後尾近傍に混入したノイズについては請求項１に係わる手段と同様の処理により先行入力した正常パルス信号の一部として本来のパルス幅が演算され、また、パルス信号の先頭近傍に混入したノイズについては後続入力する正常パルス信号の一部として本来のパルス幅が演算されるので、ノイズを単純に廃棄せず、ノイズも含めて本来のパルス幅を演算することができ、そのパルス幅を基に正確なサンプリングクロックを生成することができる。

【００２６】

請求項４に係わる本発明は、入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズよりも広い所定の第２基準範囲（ｃ＜Ｗ＜ａ）の非正常パルス信号かを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記非正常パルス信号と判断したパルス信号については後続して入力する２つのパルス信号のパルス幅を加算補正して前記パルス幅記憶手段に記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１に係わるビット同期検出手段である。

【００２７】

これにより、パルス信号の中央近傍にノイズが混入した場合、ノイズのパルス幅と前後のパルス信号のパルス幅とが加算されて本来のパルス幅が演算されるので、ノイズを単純に廃棄せず、ノイズも含めた本来のパルス幅を演算することができ、パルス信号の途中にノイズが混入して分断された場合でも正しいサンプリングクロックを生成することができる。なお、正常パルス信号以外のパルス信号が第１基準範囲のノイズである場合には請求項２ないし請求項３を適用できることは言うまでもない。

【００２８】

請求項５に係わる本発明は、入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまでパル

ス幅を積算してノイズ幅を演算し、前記ノイズ幅を前記パルス幅記憶手段に記憶した前後の正常パルス幅のうちの狭い方に加算補正して更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１に係わるビット同期検出手段である。

【００２９】

これにより、パルス信号の境界近傍に混入したノイズのパルス幅を前後の正常パルス信号のうちの狭い方、すなわちパルス信号の後尾または先頭のいずれかに加算して本来のパルス幅が演算されるので、ノイズを単純に廃棄せず、ノイズも含めた本来のパルス幅を演算することができ、エッジが不明瞭になった場合でも正しいサンプリングクロックを生成することができる。

【００３０】

請求項６に係わる本発明は、入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまでパルス幅を積算してノイズ幅を演算し、前記パルス幅記憶手段に記憶した前後の正常パルス幅がともに所定の第３基準範囲（ａ＜＜Ｗ＜＜ｂ）であれば、それぞれに前記ノイズ幅の半分を加算補正して更新記憶し、そうでない場合は狭い方に前記ノイズ幅を加算補正して更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１に係わるビット同期検出手段である。

【００３１】

これにより、パルス信号の境界に混入したノイズのノイズ幅を前後の正常パルスのパルス幅に配分して本来のパルス幅を演算するので、ノイズを単純に廃棄せず、ノイズも含めた本来のパルス幅を演算することができ、請求項５に係わる本発明と同様に、エッジが不明瞭になった場合でも正しいサンプリングクロックを生成することができる。

【００３２】

請求項７に係わる本発明は、入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまでパルス幅を積算してノイズ幅を演算し、前記パルス幅記憶手段に記憶した前後の正常パルスの論理が異なる場合は、それぞれのパルス幅に前記ノイズ幅の半分を加算補正して更新記憶し、同一である場合は前後の正常パルス幅の合計に前記ノイズ幅を加算し、先行のパルス幅として更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１に係わるビット同期検出手段である。

【００３３】

これにより、パルス信号に混入したノイズのノイズ幅を前後の正常パルスの論理に対応して本来のパルス幅を演算するので、ノイズを単純に廃棄せず、ノイズも含めた本来のパルス幅を演算することができ、ノイズの混入位置を的確に判断して正しいサンプリングクロックを生成することができる。

【００３４】

請求項８に係わる本発明は、入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまでパルス幅を積算してノイズ幅を演算するとともにノイズの個数を積算し、前記ノイズの加算個数が偶数である場合には、前記パルス幅記憶手段に記憶した前後の正常パルスのパルス幅にそれぞれ前記ノイズ幅の半分を加算補正して更新記憶し、奇数である場合は前後の正常

パルス幅の合計に前記ノイズ幅を加算し、先行のパルス幅として更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１に係わるビット同期検出手段である。

【００３５】

これにより、パルス信号に混入したノイズのノイズ幅をノイズの加算個数に対応して本来のパルス幅を演算するので、ノイズを単純に廃棄せず、ノイズも含めた本来のパルス幅を演算することができ、正しいサンプリングクロックを生成することができる。

【００３６】

請求項９に係わる本発明は、入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまでパルス幅を積算してノイズ幅を演算し、前記パルス幅記憶手段に記憶した直前の正常パルスのパルス幅に前記ノイズ幅の一部または全部を加算して伝送速度で規定される１ビット幅Ｒに同じないし近くに補正して更新記憶するとともに、加算されなかった残りのパルス幅を直後の正常パルスのパルス幅に加算補正して更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１に係わるビット同期検出手段である。

【００３７】

これにより、パルス信号に混入したノイズのパルス幅が前後のパルス信号のパルス幅を正規の１ビットのパルス幅にするように配分して加算補正されるので、ノイズの混入位置を判断して適格に本来のパルス幅を演算することができ、正確なサンプリングクロックを生成することができる。また、ノイズの集合となったパルス幅が合計されて加算補正されるので、ビット同期タイミングを演算する場合に演算の狂いもなくすることができ、より正確なサンプリングクロックを生成することができる。また、ステップ１１において連続するノイズは順次に加算されるが、ステップ１２においてノイズの合計幅をチェックするので過大な補正を防止し、ノイズによる判定の遅れをなくし、消費電流を低減することができる。

【００３８】

請求項１０に係わる本発明は、入力したパルス信号のパルス幅Ｗが所定の正常範囲（ａ＜Ｗ＜ｂ）の正常パルス信号か、または所定の第１基準範囲（Ｗ＜ｃ＜ａ）のノイズかを判断し、前記正常パルス信号についてはそのパルス幅をパルス幅記憶手段に記憶し、前記ノイズと判断したパルス信号については前記第１基準範囲外のパルス信号が入力するまで、論理が０であるノイズ幅と論理が１であるノイズ幅とをそれぞれ積算するとともにノイズの個数を積算し、パルス幅記憶手段に記憶した前後の正常パルスのパルス幅にそれぞれ正常パルスと同じ論理のノイズ幅を加算補正して更新記憶する動作をパルス信号の入力ごとに実行し、所定個数の正常パルス幅のデータを前記パルス幅記憶手段に蓄積するパルス幅確認部を備えた請求項１に係わるビット同期検出手段である。

【００３９】

これにより、パルス信号に混入したノイズのパルス幅が前後のパルス信号の論理に合わせて分配して加算補正されるので、適格に本来のパルス幅を演算することができ、正確なサンプリングクロックを生成することができる。また、ノイズの集合となったパルス幅が合計されて加算補正されるので、ビット同期タイミングを演算する場合に演算の狂いもなくすることができ、より正確なサンプリングクロックを生成することができる。

【００４０】

そして、第１基準範囲のノイズが連続して入力した場合、前記ノイズの加算個数が所定個以上となった場合に異常と判定するようにしたビット同期検出手段である。

【００４１】

これにより、細かいノイズが多数入力して信号の信頼性が不十分な場合に過剰補正することなく、また判断の遅れをなくして消費電流を低減することができる。

【００４２】
もしくは、第１基準範囲のノイズが連続して入力した場合、ノイズ幅の合計が所定の基準以上となった場合に異常と判定するようにしたビット同期検出手段である。
【００４３】
これにより、ノイズが長時間にわたって入力し、信号の信頼性が不十分な場合に処理を中断して、余分な受信および信号処理による消費電力を低減することができる。
【００４４】
以下、実施例について説明する。
（実施例１）
以下、本発明のビット同期検出手段の実施例１について図面を参照しながら説明する。本実施例は請求項１および請求項２に係わり、とくに、ノイズがパルス信号の後尾近傍に入力した場合に有効な手段である。
【００４５】
図１は本実施例の構成を示すブロック図である。図において、１は本実施例のビット同期検出手段、２は入力したビット同期信号を整形する信号整形部、３は前記整形したビット同期信号の変化点から変化点までの時間、すなわちパルス幅を測定するパルス幅測定部、７は前記パルス幅を所定の基準に基づいて確認または補正するパルス幅確認部、５は前記確認または補正されたパルス幅を記憶するパルス幅記憶部、６は前記記憶されたパルス幅に基づいてサンプリングクロック生成タイミングを演算する演算部、７は前記演算に基づいてサンプリングクロックを生成するサンプリングクロック生成部である。なお、図において点線で囲んだ部分は、マイクロコンピュータで実現可能である。
【００４６】
図２は本実施例においてパルス信号をそのパルス幅Ｗにより判定するパルス幅判定基準を示す模式図である。図において、Ｒは伝送速度から算出される１ビットの理想パルス幅、△ｒは誤差であり、理想パルス幅Ｒの前後△ｒの範囲ａ～ｂを正常範囲とし、パルス幅ｃ以下を第１基準範囲とする。また、図３は本実施例におけるビット同期信号を示す波形図である。図３（ａ）のように１ビットのパルス幅で“０”と“１”が交互に連続している。
【００４７】
上記構成においてその動作を説明する。図４は本実施例の動作を３ビットの入力について示すフローチャートである。ステップ１で受信したビット同期信号Ｒｘが入力すると、パルス幅測定部３は信号整形部２により整形された信号Ｒｘａの立ち上がりと立ち下がりとを検出してパルス幅Ｗを測定し、ステップ２に移行してパルス幅確認部４によりパルス幅Ｗが正常範囲であるか否かをチェックする。
【００４８】
まず、ビット同期信号がノイズなどを含まず、理想的な波形である場合について説明する。図３（ａ）に示したように、パルス幅がＲである理想的なビット同期信号が入力した場合、ステップ１で入力した１番目のパルス幅Ｗ１　＝Ｒであるため正常範囲ａ＜Ｗ１　＜ｂであり、したがって、ステップ３に移行してＷ１　をパルス幅Ｐ１　としてパルス幅記憶部５に記憶する。つぎにステップ４に移行して記憶個数が３になるまで同様にステップ１からステップ４の処理を繰り返し、パルス幅Ｐ１　～Ｐ３　がパルス幅記憶部５に記憶されるとステップ５に移行する。ステップ５では演算部６により平均パルス幅Ｐａｖｅを算出し、ステップ６に移行して前記平均パルス幅Ｐａｖｅ　が正常範囲か否かをチェックする。正常範囲である場合、ステップ７に移行してサンプリングクロック生成タイミングＴｄを算出し、ステップ８に移行して、サンプリングクロック生成部７によりサンプリングクロック生成タイミングＴｄに基づいてサンプリングクロックＴｓｙｎｃを生成する。
【００４９】
つぎに、ビット同期信号がノイズを含む場合について説明する。いま、１番目のビットにノイズが混入し、図３（ｂ）に示した波形となった場合、ステップ１で入力した１番目の

パルス幅Ｗ１　は正常範囲ａ＜Ｗ１　＜ｂであるためパルス幅Ｐ１　として記憶される。ノイズである２番目のパルス幅Ｗ２　が入力すると、パルス幅Ｗ２　は正常でないためステップ９に移行し、第１基準範囲、すなわち０＜Ｗ２　＜ｃを満たすか否かをチェックする。第１基準範囲を満たすためステップ１０に移行して、すでに記憶しているパルス幅Ｐ１　にＷ２　を加算したＰ１　＋Ｗ２　＝Ｗ１　＋Ｗ２　を補正したパルス幅Ｐ１　として記憶する。なお、この記憶処理はすでに記憶した内容の入れ替えであるので、フローチャート上ではステップ４の処理としていないが、ステップ４の処理としてもよいことは言うまでもない。

【００５０】

３番目のパルス幅Ｗ３　についても同様に処理され、補正されたパルス幅Ｐ１　としてＷ１＋Ｗ２＋Ｗ３＝Ｒ　が記憶される。パルス幅Ｗ４　およびパルス幅Ｗ５　は理想的なビットであるため、パルス幅Ｗ４＝Ｒ　がパルス幅Ｐ２　として、また、パルス幅Ｗ５　＝Ｒがパルス幅Ｐ３　として記憶される。以上のパルス幅Ｐ１　、Ｐ２　、およびＰ３　から算出される平均パルス幅Ｐａｖｅ　およびサンプリングクロック生成タイミングＴｄは理想的なビット同期信号の場合と同じになり、ノイズが混入された場合でも正しいサンプリングクロックを生成することができる。

【００５１】

以上のように本実施例によれば、ノイズのパルス幅を直前の正常パルスのパルス幅に加算補正して更新記憶することにより、ノイズのパルス幅をパルス幅の一部として本来のパルス幅を適格に演算することができる。

【００５２】

なお、ステップ１０において連続するノイズは順次に加算補正されるが、細かいノイズが多数個になると補正の信頼性が低下することもあり、ノイズの加算個数が所定個以上になる場合に処理を中止するようにしてもよい。

【００５３】

（実施例２）

以下、本発明のビット同期検出手段の実施例２について図面を参照しながら説明する。本実施例は請求項１および請求項３に係わる。なお、本実施例の構成とパルス幅確認時のパルス幅判定基準とは、それぞれ図１と図３に示した実施例と同じであり、詳細な説明を省略する。

【００５４】

図５は本実施例におけるビット同期信号を示す波形図である。本実施例が実施例１と異なる点は、ノイズがパルス信号の先頭近傍に混入した場合にも有効な手段であり、パルス信号の後尾近傍に混入したノイズについては実施例１と同様の処理を実行するが、パルス信号の先頭近傍に混入したノイズについては後続して入力するパルス信号に帰属させるようにしたことにある。

【００５５】

以下、本実施例の動作について説明する。図６は本実施例の動作を示すフローチャートである。なお、本実施例においても、パルス幅記憶部５に３個のパルス幅を記憶する場合について説明し、また、図５（ａ）に示した理想的なビット同期信号については実施例１における理想的なビット同期信号の場合と同じであり、説明を省略する。

【００５６】

つぎに、図５（ｂ）に示したように、ビット同期信号の２番目のビットにノイズが混入した場合、ステップ１で１番目のパルス幅Ｗ１　が入力すると、ステップ２で正常範囲か否かをチェックし、パルス幅Ｗ１　は正常範囲ａ＜Ｗ１　＜ｂであるため、ステップ３に移行して、パルス幅Ｗ１がパルス幅Ｐ１　として記憶される。つぎに、ノイズに分断された２番目のビットにおけるパルス幅Ｗ２　が入力すると、ステップ２におけるチェックにより正常範囲でないのでステップ９に移行し、パルス幅Ｗ２　が第１基準範囲０＜Ｗ２　＜ｃであるか否かをチェックする。いま、パルス幅Ｗ２　は第１基準範囲であるとすると、ステップ１０に移行して（Ｐ１＋Ｗ２）を演算したのち正常範囲の上限値ｂ未満であるか

否かをチェックする。
【００５７】
いま、（Ｐ１　＋Ｗ２　）＜ｂとするとステップ１１に移行し、パルス幅Ｐ１　を（Ｐ１＋Ｗ２）に入れ替え記憶する。つぎに、ステップ１に戻って３番目のパルス幅Ｗ３　を入力し、ステップ２におけるチェックにより正常範囲にないためステップ９に移行し、Ｗ３　が第１基準範囲であるとすればステップ１０に移行して（Ｐ１　＋Ｗ３）＝（Ｗ１＋Ｗ２＋Ｗ３）が正常範囲の上限値ｂ未満であるか否かをチェックする。ここで、上限値ｂ以上であると、ステップ１２に移行してパルス幅Ｗ４　を入力し、ステップ１３で（Ｗ３＋Ｗ４）を演算して補正したパルス幅Ｗ４　とし、この補正したＷ４　をステップ１に入力する。この補正したパルス幅Ｗ４　は、ステップ２において正常範囲と判定されるとステップ３でパルス幅Ｐ２　として記憶する。つぎに入力するパルス幅Ｗ５　は理想的なパルスであるため、パルス幅Ｗ５　をパルス幅Ｐ３　として記憶する。
【００５８】
以上のパルス幅Ｐ１、Ｐ２、Ｐ３　からステップ５ないしステップ７により演算されるサンプリングクロック生成タイミングＴｄはＷ２／３　の誤差を含むが、平均パルス幅Ｐａｖｅ　は理想的なビット同期信号の場合とほぼ同じになり、ノイズが混入された場合でも異常と判定せず、比較的正しいサンプリングクロックＴｓｙｎｃを生成することができる。なお、上記Ｔｄの誤差はノイズがＮ個のビット同期信号に対して１つであればｗ２　／Ｎとなり、希に混入するノイズに対してはＮが大きいので誤差は非常に小さくなることは言うまでもない。
【００５９】
以上のように本実施例によれば、実施例１と同様の動作を実行するとともに、先行記憶した正常パルス幅にノイズのパルス幅を加算したパルス幅が所定値以上であれば、ノイズがつぎのパルス信号の先頭近傍に混入しているとして、パルス信号の後尾近傍のノイズと先頭近傍のノイズとを区別して扱うので、実施例１以上に正確にサンプリングクロックを生成することができる。
【００６０】
なお、ステップ１１において連続するノイズは順次に加算補正されるが、細かいノイズが多数個になると補正の信頼性が低下することもあり、ノイズの加算個数が所定個以上になる場合に処理を中止するようにしてもよい。
【００６１】
（実施例３）
以下、本発明のビット同期検出手段の実施例３について図面を参照しながら説明する。本実施例は請求項１および請求項４にかかわる。なお、本実施例の構成は実施例１と同じとし、説明を省略する。
【００６２】
図７は本実施例におけるパルス幅判定基準を示す模式図である。図に示したように、実施例１および実施例２における第１基準範囲と正常範囲との間を第２基準範囲とする。また、図８は本実施例におけるビット同期信号を示す波形図である。
【００６３】
以下、本実施例の動作について説明する。図９は本実施例の動作を示すフローチャートである。なお、本実施例においても、パルス幅記憶部５に３個のパルス幅を記憶する場合について説明し、また、図９（ａ）に示した理想的なビット同期信号については実施例１における理想的なビット同期信号の場合と同じであり、説明を省略する。
【００６４】
図８（ｂ）に示したように、１番目のビットにパルス幅Ｗ２　のノイズが混入した場合、ステップ１でパルス幅Ｗ１　が入力すると、ステップ２で正常範囲であるか否かをチェックし、Ｗ１　は正常範囲でないためステップ９に移行して第２基準範囲（ｃ＜Ｗ＜ｂ）であるか否かをチェックする。いま、パルス幅Ｗ１　は第２基準範囲であるためステップ１０に移行し、つぎに続く２個のパルス幅Ｗ２　とパルス幅Ｗ３　とを入力し、ステップ１

１に移行してパルス幅Ｗ１　にパルス幅Ｗ２　とパルス幅Ｗ３　とを加算して（Ｗ１　＋Ｗ２　＋Ｗ３　）を演算し、（Ｗ１　＋Ｗ２　＋Ｗ３　）をパルス幅Ｐ１　としてパルス幅記憶部５に記憶する。つぎに、ステップ１に戻ってパルス幅Ｗ４　を入力し、ステップ２で正常範囲であるか否かを判定するが、パルス幅Ｗ４　は正常範囲であるためステップ３でパルス幅Ｗ４　をパルス幅Ｐ２　としてパルス幅記憶部５に記憶する。つぎに入力するパルス幅Ｗ５　についても同様である。

【００６５】

以上のパルス幅Ｐ１　、Ｐ２　、Ｐ３　によりステップ５で平均パルス幅Ｐａｖｅ　を演算し、ステップ６で前記平均パルス幅Ｐａｖｅ　が正常範囲であるか否かを判定し、正常範囲である場合はステップ７でサンプリングクロック生成タイミングＴｄ、ステップ８でサンプリングクロックＴｓｙｎｃを算出する。平均パルス幅Ｐａｖｅ　およびサンプリングクロック生成タイミングＴｄはビット同期信号が正常な場合と同じであり、ビット同期信号の途中にノイズが混入して分断された場合でも正しいサンプリングクロックＴｓｙｎｃを生成することができる。

【００６６】

以上のように本実施例によれば、パルス信号の中央部近傍に混入したノイズのパルス幅が前後のパルス信号のパルス幅に加算されて本来のパルス幅が演算されるので、第２基準範囲の非正常なパルス信号が入力した場合でも異常と判断せずに本来のパルス幅を適格に演算でき、正確なサンプリングクロックを生成することができる。

【００６７】

なお、ステップ１１において、連続するノイズは順次に加算補正されるが、細かいノイズが多数個になると補正の信頼性が低下することもあり、ノイズの加算個数が所定個以上になる場合に処理を中止するようにしてもよい。

【００６８】

（実施例４）

以下、本発明のビット同期検出手段の実施例４について図面を参照しながら説明する。本実施例は請求項１および請求項５に係わる。なお、本実施例の構成は実施例１と同じとし、説明を省略する。本実施例が実施例１と異なる点は、ノイズがパルス信号の境界近傍に混入した場合、後尾または先頭のいずれに加算するかを判断してノイズ幅を加算補正するようにしたことにある。

【００６９】

図１０は本実施例におけるビット同期信号を示す波形図である。本実施例においては、実施例２と同様に、２番目のビットにパルス幅Ｗ３　のノイズが混入している。

【００７０】

以下、本実施例の動作について説明する。図１１は本実施例の動作を示すフローチャートである。なお、本実施例においても、パルス幅記憶部５に３個のパルス幅を記憶する場合について説明し、また、図１０（ａ）に示した理想的なビット同期信号については実施例１における理想的なビット同期信号の場合と同じであり、説明を省略する。

【００７１】

図１０（ｂ）に示したように、２番目のビットにパルス幅Ｗ３　のノイズが混入したビット同期信号が入力する場合、まず、ステップ１において１番目のパルス幅Ｗ１　が入力すると、ステップ２に移行してパルス幅Ｗ１　が正常範囲であるか否かをチェックし、パルス幅Ｗ１　については正常範囲であるのでステップ３に移行して、パルス幅Ｗ１　の入力の直前にノイズがあったか否かをチェックする。なお、このチェックは直前に入力したパルス幅が第１基準範囲であった場合にノイズがあったと判断できる。パルス幅Ｗ１　に関しては直前にノイズがなかったのでステップ４に移行し、パルス幅Ｗ１　をパルス幅Ｐ１　として記憶し、記憶個数が３未満であるのでステップ１に戻る。

【００７２】

つぎに、パルス幅Ｗ２　が入力すると、ステップ２でパルス幅Ｗ２　が正常範囲であるか否かをチェックし、正常範囲でないのでステップ１０に移行して第１基準範囲、すなわち

０＜Ｗ２　＜ｃであるか否かをチェックする。ノイズのパルス幅Ｗ２　は第１基準範囲にあるのでステップ１１に移行し、パルス幅Ｗ２　をノイズ幅Ｐｎｏｉｚの前値に加算してＰｎｏｉｚを算出する。いまの場合、この前にはノイズがなかったのでＰｎｏｉｚの前値はゼロであり、したがって、ノイズ幅Ｐｎｏｉｚ＝Ｗ２　となる。つぎに、ステップ１に戻り、３番目のパルス幅Ｗ３　を入力し、このパルス幅Ｗ３　もノイズであるので上記と同様にステップ２、ステップ１０を経由してステップ１１に移行し、パルス幅Ｗ３　をノイズ幅Ｐｎｏｉｚに加算して新たなノイズ幅Ｐｎｏｉｚとし、ステップ１に戻る。したがって、ノイズ幅Ｐｎｏｉｚ＝Ｗ２＋Ｗ３となる。

【００７３】

つぎにパルス幅Ｗ４　を入力し、ステップ２に移行して正常範囲であるか否かをチェックし、パルス幅Ｗ４　は正常範囲であるためステップ３に移行し、直前にノイズがあったか否かをチェックする。この場合、直前にノイズがあったためステップ１２に移行してパルス幅Ｗ４　をパルス幅Ｐ２　として記憶し、ステップ１３に移行して、すでに記憶しているパルス幅Ｐ１　とパルス幅Ｐ２　との小さい方に前記ノイズ幅パルス幅Ｐｎｏｉｚを加算して補正し、Ｎが３未満であるのでステップ１に戻る。つぎにパルス幅Ｗ５　を入力し、ステップ２でパルス幅Ｗ５　が正常範囲であるか否かをチェックし、パルス幅Ｗ５　は正常範囲であるのでステップ３に移行し、直前にノイズがあったか否かをチェックし、直前がノイズでないためステップ４に移行して、パルス幅Ｗ５　をパルス幅Ｐ３　として記憶する。以上の処理で得られたパルス幅Ｐ１、Ｐ２、Ｐ３　からステップ６で平均パルス幅Ｐａｖｅ　、ステップ８でサンプリングクロック生成タイミングＴｄを算出するが、図１０（ｂ）からわかるように、理想的なビット同期信号の場合と同様になり、ビット同期信号の変化点にノイズが混入し、エッジが不明瞭になった場合でも正しいサンプリングクロックＴｓｙｎｃを生成することができる。

【００７４】

以上のように本実施例によれば、パルス信号に混入したノイズのパルス幅が前後の正常パルスのうちパルス幅の狭い方に加算補正されるので、パルス信号の境界近傍にノイズが混入してエッジが不明瞭な場合でも異常と判断せずに本来のパルス幅を適格に演算でき、正確なサンプリングクロックを生成することができる。また、ノイズの集合となったパルス幅が合計されて加算補正されるので、ビット同期タイミングを演算する場合に演算の狂いもなくすることができ、より正確なサンプリングクロックを生成することができる。

【００７５】

なお、ステップ１１において、連続するノイズは順次に加算補正されるが、細かいノイズが多数個になると補正の信頼性が低下することもあり、ノイズの加算個数が所定個以上になる場合に処理を中止するようにしてもよい。また、ノイズが長時間にわたって入力する信頼性の低い信号に対処して、ノイズ幅Ｐｎｏｉｚが所定幅以上になる場合に処理を中止するようにしてもよい。

【００７６】

（実施例５）

以下、本発明のビット同期検出手段の実施例５について図面を参照しながら説明する。本実施例は請求項１および請求項６に係わる。なお、本実施例の構成は実施例１と同じとし、説明を省略する。本実施例が実施例１と異なる点は、パルス信号の境界部分にノイズが混入した場合、ノイズ幅を前後の正常パルスのパルス幅に配分して加算するようにしたことにある。

【００７７】

図１２は本実施例におけるビット同期信号を示す波形図である。本実施例においては、１番目のビットと２番目のビットとの間にノイズが混入している。

【００７８】

以下、本実施例の動作について説明する。図１３は本実施例の動作を示すフローチャートである。なお、本実施例においても、パルス幅記憶部５に３個のパルス幅を記憶する場合について説明し、また、図１２（ａ）に示した理想的なビット同期信号については実施例

１における理想的なビット同期信号の場合と同じであり、説明を省略する。
【００７９】
図１２（ｂ）に示したように、１番目のビットにパルス幅Ｗ２　のノイズ、２番目のビットにパルス幅Ｗ３　のノイズが混入したビット同期信号が入力する場合、まず、ステップ１において１番目のパルス幅Ｗ１　が入力すると、ステップ２に移行してパルス幅Ｗ１　が正常範囲であるか否かをチェックし、パルス幅Ｗ１　については正常範囲であるのでステップ３に移行して、パルス幅Ｗ１　の入力の直前にノイズがあったか否かをチェックする。パルス幅Ｗ１　に関しては直前にノイズがなかったのでステップ４に移行し、パルス幅Ｗ１　をパルス幅Ｐ１　として記憶し、記憶個数が３未満であるのでステップ１に戻る。
【００８０】
つぎに、パルス幅Ｗ２　が入力すると、ステップ２でパルス幅Ｗ２　が正常範囲であるか否かをチェックし、正常範囲でないのでステップ１０に移行して第１基準範囲、すなわち０＜Ｗ２　＜ｃであるか否かをチェックする。ノイズのパルス幅Ｗ２　は第１基準範囲にあるのでステップ１１に移行し、パルス幅Ｗ２　をノイズ幅Ｐｎｏｉｚの前値に加算して新たにノイズ幅Ｐｎｏｉｚを算出する。いまの場合、この前にはノイズがなかったのでノイズ幅Ｐｎｏｉｚの前値はゼロであり、したがって、ノイズ幅Ｐｎｏｉｚ＝Ｗ２　となる。つぎに、ステップ１に戻り、３番目のパルス幅Ｗ３　を入力し、このパルス幅Ｗ３　もノイズであるので上記と同様にステップ２、ステップ１０を経由してステップ１１に移行し、パルス幅Ｗ３　をノイズ幅Ｐｎｏｉｚに加算して新たにノイズ幅Ｐｎｏｉｚとし、ステップ１に戻る。したがって、ノイズ幅Ｐｎｏｉｚ＝Ｗ２＋Ｗ３となる。
【００８１】
つぎにパルス幅Ｗ４　を入力し、ステップ２に移行して正常範囲であるか否かをチェックし、パルス幅Ｗ４　は正常範囲であるためステップ３に移行し、直前にノイズがあったか否かをチェックする。この場合、直前にノイズがあったためステップ１２に移行してパルス幅Ｗ４　をパルス幅Ｐ２　として記憶し、ステップ１３に移行して、すでに記憶しているパルス幅Ｐ１　とパルス幅Ｐ２　とが第３基準範囲であるか否かをチェックする。この第３基準範囲は前記正常範囲（ａ＜Ｗ＜ｂ）よりも誤差を小さく設定した厳しい範囲（ａ＜＜Ｗ＜＜ｂ）とする。これはパルス幅Ｐ１　とパルス幅Ｐ２　との違いの程度を検出するためである。ともに第３基準範囲でない場合にはステップ１５に移行して、実施例４と同様に、小さい方にノイズ幅Ｐｎｏｉｚを加算するが、ともに第３基準範囲である場合にはステップ１４に移行してパルス幅Ｐ１　とパルス幅Ｐ２　とにそれぞれＰｎｏｉｚ／２を加算して補正する。いまの場合、ともに第３基準範囲であるのでパルス幅Ｐ１　とパルス幅Ｐ２　とにそれぞれＰｎｏｉｚ／２を加算して補正し、Ｎが３未満であるのでステップ１に戻る。つぎにパルス幅Ｗ５　を入力し、ステップ２でパルス幅Ｗ５　が正常範囲であるか否かをチェックし、パルス幅Ｗ５　は正常範囲であるのでステップ３に移行し、直前にノイズがあったか否かをチェックし、直前がノイズでないためステップ４に移行して、パルス幅Ｗ５　をパルス幅Ｐ３　として記憶する。以上の処理で得られたパルス幅Ｐ１、Ｐ２、Ｐ３　からステップ６で平均パルス幅Ｐａｖｅ　、ステップ８でサンプリングクロック生成タイミングＴｄを算出するが、図１２（ｂ）からわかるように、理想的なビット同期信号の場合と同様になり、ビット同期信号の変化点にノイズが混入し、エッジが不明瞭になった場合でも正しいサンプリングクロックＴｓｙｎｃを生成することができる。
【００８２】
以上のように本実施例によれば、パルス信号に混入したノイズのパルス幅が前後の正常パルス信号のパルス幅に基づいて加算補正されるので、パルス信号の境界の微妙な位置に混入した場合でも異常と判断せずに本来のパルス幅を適格に演算でき、正確なサンプリングクロックを生成することができる。また、ノイズの集合となったパルス幅が合計されて加算補正されるので、ビット同期タイミングを演算する場合に演算の狂いもなくすることができ、より正確なサンプリングクロックを生成することができる。
【００８３】

なお、ステップ１１において、連続するノイズは順次に加算補正されるが、細かいノイズが多数個になると補正の信頼性が低下することもあり、ノイズの加算個数が所定個以上になる場合に処理を中止するようにしてもよい。また、ノイズが長時間にわたって入力する信頼性の低い信号に対処して、ノイズ幅Ｐｎｏｉｚが所定幅以上になる場合に処理を中止するようにしてもよい。

【００８４】

（実施例６）

以下、本発明のビット同期検出手段の実施例６について図面を参照しながら説明する。本実施例は請求項１および請求項７に係わる。なお、本実施例の構成は実施例１と同じとし、説明を省略する。本実施例が実施例５と異なる点は、ノイズ幅を前後のパルス信号の論理が同一か否かに基づいて加算補正することにある。

【００８５】

図１４は本実施例におけるビット同期信号を示す波形図である。本実施例はノイズの混入部分が境界近傍か中央近傍かを区分して加算補正することができる。

【００８６】

以下、本実施例の動作について説明する。図１５は本実施例の動作を示すフローチャートである。なお、本実施例においても、パルス幅記憶部５に３個のパルス幅を記憶する場合について説明し、また、図１４（ａ）に示した理想的なビット同期信号については実施例１における理想的なビット同期信号の場合と同じであり、説明を省略する。

【００８７】

図１４（ｂ）に示したように、１番目のビットにパルス幅Ｗ２　のノイズ、２番目のビットにパルス幅Ｗ３　のノイズが混入したビット同期信号が入力する場合、まず、ステップ１において１番目のパルス幅Ｗ１　が入力すると、ステップ２に移行してパルス幅Ｗ１　が正常範囲であるか否かをチェックし、パルス幅Ｗ１　については正常範囲であるのでステップ３に移行して、パルス幅Ｗ１　の入力の直前にノイズがあったか否かをチェックする。パルス幅Ｗ１　に関しては直前にノイズがなかったのでステップ４に移行し、パルス幅Ｗ１　をパルス幅Ｐ１　として記憶し、記憶個数が３未満であるのでステップ１に戻る。

【００８８】

つぎに、パルス幅Ｗ２　が入力すると、ステップ２でパルス幅Ｗ２　が正常範囲であるか否かをチェックし、正常範囲でないのでステップ１０に移行して第１基準範囲、すなわち０＜Ｗ２　＜ｃであるか否かをチェックする。ノイズのパルス幅Ｗ２　は第１基準範囲にあるのでステップ１１に移行し、パルス幅Ｗ２　をノイズ幅Ｐｎｏｉｚの前値に加算して新たにノイズ幅Ｐｎｏｉｚを算出する。いまの場合、この前にはノイズがなかったのでノイズ幅Ｐｎｏｉｚの前値はゼロであり、したがって、ノイズ幅Ｐｎｏｉｚ＝Ｗ２　となる。つぎに、ステップ１に戻り、３番目のパルス幅Ｗ３　を入力し、このパルス幅Ｗ３　もノイズであるので上記と同様にステップ２、ステップ１０を経由してステップ１１に移行し、パルス幅Ｗ３　をノイズ幅Ｐｎｏｉｚに加算して新たにノイズ幅Ｐｎｏｉｚとし、ステップ１に戻る。したがって、ノイズ幅Ｐｎｏｉｚ＝Ｗ２＋Ｗ３となる。

【００８９】

つぎにパルス幅Ｗ４　を入力し、ステップ２に移行して正常範囲であるか否かをチェックし、パルス幅Ｗ４　は正常範囲であるためステップ３に移行し、直前にノイズがあったか否かをチェックする。この場合、直前にノイズがあったためステップ１２に移行してパルス幅Ｗ４　をパルス幅Ｐ２　として記憶し、ステップ１３に移行して、すでに記憶しているパルス幅Ｐ１　の論理とパルス幅Ｐ２　の論理とが同一論理であるか否かをチェックする。同一論理である場合にはステップ１５に移行して、パルス幅Ｐ１　にパルス幅Ｐ２　とノイズ幅Ｐｎｏｉｚとを加算して補正するとともにパルス幅Ｐ２　の記憶を削除し、また、同一論理でない場合にはステップ１４に移行してパルス幅Ｐ１　とパルス幅Ｐ２　とにそれぞれ前記Ｐｎｏｉｚ／２を加算して補正する。いまこの場合、パルス幅Ｐ１　の論理が１、パルス幅Ｐ２　の論理が０であるため同一論理でなく、したがって、パルス幅Ｐ

１　とパルス幅Ｐ２　とにそれぞれＰｎｏｉｚ／２を加算して補正し、Ｎが３未満であるのでステップ１に戻る。つぎにパルス幅Ｗ５　を入力し、ステップ２でパルス幅Ｗ５　が正常範囲であるか否かをチェックし、パルス幅Ｗ５　は正常範囲であるのでステップ３に移行し、直前にノイズがあったか否かをチェックし、直前がノイズでないためステップ４に移行して、パルス幅Ｗ５　をパルス幅Ｐ３　として記憶する。以上の処理で得られたパルス幅Ｐ１、Ｐ２、Ｐ３　からステップ６で平均パルス幅Ｐａｖｅ　、ステップ８でサンプリングクロック生成タイミングＴｄを算出するが、図１４（ｂ）からわかるように、理想的なビット同期信号の場合と同様になり、ビット同期信号の変化点にノイズが混入し、エッジが不明瞭になった場合でも正しいサンプリングクロックＴｓｙｎｃを生成することができる。なお、以上の処理の結果は実施例５と同じになる。

【００９０】

また、図１４（ｃ）に示したように、２番目のビットの途中にノイズが混入したビット同期信号が入力する場合、この場合はパルス幅Ｗ２　に対応するＰ２　とパルス幅Ｗ５　に対応するＰ３　とが同一論理になる。したがって、図１４（ｃ）に示したように、ステップ１３でパルス幅Ｐ２　の論理とパルス幅Ｐ３　の論理とが同一論理でないと判断され、ステップ１５に移行して、Ｐ２＋Ｐｎｏｉｚ＋Ｐ３を改めてパルス幅Ｐ２　として補正し、パルス幅Ｐ３　を削除し、つぎに入力するパルス幅Ｗ５　をパルス幅Ｐ３　として記憶する。以上の処理で得られたパルス幅Ｐ１、Ｐ２、Ｐ３　からステップ６で平均パルス幅Ｐａｖｅ　、ステップ８でサンプリングクロック生成タイミングＴｄを算出するが、図１４（ｃ）からわかるように、理想的なビット同期信号の場合と同様になり、ビット同期信号の途中にノイズが混入した場合でも正しいサンプリングクロックＴｓｙｎｃを生成することができる。

【００９１】

以上のように本実施例によれば、パルス信号に混入したノイズのパルス幅が前後の正常パルス信号の論理に基づいて加算補正されるので、ノイズが混入した位置を適切に判断して本来のパルス幅を適格に演算することができ、正確なサンプリングクロックを生成することができる。また、ノイズの集合となったパルス幅が合計されて加算補正されるので、ビット同期タイミングを演算する場合に演算の狂いもなくすることができ、より正確なサンプリングクロックを生成することができる。

【００９２】

なお、ステップ１１において、連続するノイズは順次に加算補正されるが、細かいノイズが多数個になると補正の信頼性が低下することもあり、ノイズの加算個数が所定個以上になる場合に処理を中止するようにしてもよい。また、ノイズが長時間にわたって入力する信頼性の低い信号に対処して、ノイズ幅Ｐｎｏｉｚが所定幅以上になる場合に処理を中止するようにしてもよい。

【００９３】

（実施例７）

以下、本発明のビット同期検出手段の実施例７について図面を参照しながら説明する。本実施例は請求項１および請求項８に係わる。なお、本実施例の構成は実施例１と同じとし、説明を省略する。また、本実施例におけるビット同期信号の波形は図１４と同じとする。

【００９４】

以下、本実施例の動作について説明する。図１６は本実施例の動作を示すフローチャートである。なお、本実施例においても、パルス幅記憶部５に３個のパルス幅を記憶する場合について説明し、また、図１４（ａ）に示した理想的なビット同期信号については実施例１における理想的なビット同期信号の場合と同じであり、説明を省略する。

【００９５】

図１４（ｂ）に示したように、１番目のビットにパルス幅Ｗ２　のノイズ、２番目のビットにパルス幅Ｗ３　のノイズが混入したビット同期信号が入力する場合、まず、ステップ１において１番目のパルス幅Ｗ１　が入力すると、ステップ２に移行してパルス幅Ｗ１

が正常範囲であるか否かをチェックし、パルス幅Ｗ１　については正常範囲であるのでステップ３に移行して、パルス幅Ｗ１　の入力の直前にノイズがあったか否かをチェックする。パルス幅Ｗ１　に関しては直前にノイズがなかったのでステップ４に移行し、パルス幅Ｗ１　をパルス幅Ｐ１　として記憶し、記憶個数が３未満であるのでステップ１に戻る。

【００９６】

つぎに、パルス幅Ｗ２　が入力すると、ステップ２でパルス幅Ｗ２　が正常範囲であるか否かをチェックし、正常範囲でないのでステップ１０に移行して第１基準範囲、すなわち０＜Ｗ２　＜ｃであるか否かをチェックする。ノイズのパルス幅Ｗ２　は第１基準範囲にあるのでステップ１１に移行し、パルス幅Ｗ２　をノイズ幅Ｐｎｏｉｚの前値に加算して新たにノイズ幅Ｐｎｏｉｚを算出するとともに、ノイズの加算個数Ｍｎｏｉｚを算出する。いまこの場合、この前にはノイズがなかったのでノイズ幅Ｐｎｏｉｚの前値、および加算個数Ｍｎｏｉｚはゼロであり、したがって、ノイズ幅Ｐｎｏｉｚ＝Ｗ２　、加算個数Ｍｎｏｉｚ＝１となる。つぎに、ステップ１に戻り、３番目のパルス幅Ｗ３　を入力し、このパルス幅Ｗ３　もノイズであるので上記と同様にステップ２、ステップ１０を経由してステップ１１に移行し、パルス幅Ｗ３　をノイズ幅Ｐｎｏｉｚに加算して新たにノイズ幅Ｐｎｏｉｚとし、また、ノイズの加算個数Ｍｎｏｉｚを算出し、ステップ１に戻る。したがって、ノイズ幅Ｐｎｏｉｚ＝Ｗ２＋Ｗ３、加算個数Ｍｎｏｉｚ＝２となる。

【００９７】

つぎにパルス幅Ｗ４　を入力し、ステップ２に移行して正常範囲であるか否かをチェックし、パルス幅Ｗ４　は正常範囲であるためステップ３に移行し、直前にノイズがあったか否かをチェックする。この場合、直前にノイズがあったためステップ１２に移行してパルス幅Ｗ４　をパルス幅Ｐ２　として記憶し、ステップ１３に移行して、加算個数Ｍｎｏｉｚが偶数であるか否かをチェックする。偶数でない場合にはステップ１５に移行して、パルス幅Ｐ１　にパルス幅Ｐ２　とノイズ幅Ｐｎｏｉｚとを加算して補正するとともにパルス幅Ｐ２　の記憶を削除し、また、偶数である場合にはステップ１４に移行してＰ１　とＰ２　とにそれぞれ前記Ｐｎｏｉｚ／２を加算して補正する。いまこの場合、加算個数Ｍｎｏｉｚ＝２であって偶数であるので、したがって、パルス幅Ｐ１　とパルス幅Ｐ２　とにそれぞれＰｎｏｉｚ／２を加算して補正し、Ｎが３未満であるのでステップ１に戻る。つぎにパルス幅Ｗ５　を入力し、ステップ２でパルス幅Ｗ５　が正常範囲であるか否かをチェックし、パルス幅Ｗ５　は正常範囲であるのでステップ３に移行し、直前にノイズがあったか否かをチェックし、直前がノイズでないためステップ４に移行して、パルス幅Ｗ５　をパルス幅Ｐ３　として記憶する。以上の処理で得られたパルス幅Ｐ１、Ｐ２、Ｐ３　からステップ６で平均パルス幅Ｐａｖｅ　、ステップ８でサンプリングクロック生成タイミングＴｄを算出するが、図１４（ｂ）からわかるように、理想的なビット同期信号の場合と同様になり、ビット同期信号の変化点にノイズが混入し、エッジが不明瞭になった場合でも正しいサンプリングクロックＴｓｙｎｃを生成することができる。なお、以上の処理の結果は実施例５と同じになる。

【００９８】

また、図１４（ｃ）に示したように、２番目のビットの途中にノイズが混入したビット同期信号が入力する場合、この場合はパルス幅Ｗ３　のノイズが１個あるのみであり、加算個数Ｍｎｏｉｚ＝１となって奇数になる。したがって、図１４（ｃ）に示したように、ステップ１３で偶数でないと判断され、ステップ１５に移行してＰ２　＋Ｐｎｏｉｚ＋Ｐ３　を改めてパルス幅Ｐ２　として補正し、Ｐ３　を削除し、つぎに入力するパルス幅Ｗ５　をパルス幅Ｐ３　として記憶する。以上の処理で得られたパルス幅Ｐ１、Ｐ２、Ｐ３　からステップ６で平均パルス幅Ｐａｖｅ　、ステップ８でサンプリングクロック生成タイミングＴｄを算出するが、図１４（ｃ）からわかるように、理想的なビット同期信号の場合と同様になり、ビット同期信号の途中にノイズが混入した場合でも正しいサンプリングクロックＴｓｙｎｃを生成することができる。

【００９９】

以上のように本実施例によれば、パルス信号に混入したノイズのパルス幅が前後のパルス信号のパルス幅とノイズの加算個数とに基づいて加算補正されるので、ノイズの混入位置を判断して適格に本来のパルス幅を演算することができ、正確なサンプリングクロックを生成することができる。また、ノイズの集合となったパルス幅が合計されて加算補正されるので、ビット同期タイミングを演算する場合に演算の狂いもなくすることができ、より正確なサンプリングクロックを生成することができる。

【０１００】

なお、ステップ１１において、連続するノイズは順次に加算されるが、細かいノイズが多数個になると補正の信頼性が低下することもあり、ノイズの加算個数が所定個以上になる場合に処理を中止するようにしてもよい。また、ノイズが長時間にわたって入力する信頼性の低い信号に対処して、ノイズ幅Ｐｎｏｉｚが所定幅以上になる場合に処理を中止するようにしてもよい。

【０１０１】

（実施例８）

以下、本発明のビット同期検出手段の実施例８について図面を参照しながら説明する。本実施例は請求項１および請求項９に係わる。なお、本実施例の構成は実施例１と同じとし、説明を省略する。図１７は本実施例におけるビット同期信号を示す波形図である。

【０１０２】

以下、本実施例の動作について説明する。図１８は本実施例の動作を示すフローチャートである。なお、本実施例においても、パルス幅記憶部５に３個のパルス幅を記憶する場合について説明し、また、図１７（ａ）に示した理想的なビット同期信号については実施例１における理想的なビット同期信号の場合と同じであり、説明を省略する。

【０１０３】

図１７（ｂ）に示したように、１番目のビットにパルス幅Ｗ２　のノイズ、２番目のビットにパルス幅Ｗ３　のノイズが混入したビット同期信号が入力する場合、まず、ステップ１において１番目のパルス幅Ｗ１　が入力すると、ステップ２に移行してパルス幅Ｗ１　が正常範囲であるか否かをチェックし、パルス幅Ｗ１　については正常範囲であるのでステップ３に移行して、パルス幅Ｗ１　の入力の直前にノイズがあったか否かをチェックする。パルス幅Ｗ１　に関しては直前にノイズがなかったのでステップ４に移行し、パルス幅Ｗ１　をパルス幅Ｐ１　として記憶し、記憶個数が３未満であるのでステップ１に戻る。

【０１０４】

つぎに、パルス幅Ｗ２　が入力すると、ステップ２でパルス幅Ｗ２　が正常範囲であるか否かをチェックし、正常範囲でないのでステップ１０に移行して第１基準範囲、すなわち０＜Ｗ２　＜ｃであるか否かをチェックする。ノイズのパルス幅Ｗ２　は第１基準範囲にあるのでステップ１１に移行し、パルス幅Ｗ２　をノイズ幅Ｐｎｏｉｚの前値に加算して新たなノイズ幅Ｐｎｏｉｚを算出する。いまこの場合、この前にはノイズがなかったのでノイズ幅Ｐｎｏｉｚの前値はゼロであり、したがって、ノイズ幅Ｐｎｏｉｚ＝Ｗ２　となる。つぎに、ステップ１２に移行してノイズ幅Ｐｎｏｉｚが所定のＰｎｏｉｚ基準範囲であるか否かをチェックする。なお、このＰｎｏｉｚ基準範囲は、たとえばＲ／２と規定することができるが、この値に限定されるものではない。いまこの場合、前記Ｐｎｏｉｚ基準範囲であるのでステップ１に戻る。

【０１０５】

つぎに３番目のパルス幅Ｗ３　を入力し、このパルス幅Ｗ３　もノイズであるので上記と同様にステップ２、ステップ１０を経由してステップ１１に移行し、パルス幅Ｗ３　をノイズ幅Ｐｎｏｉｚに加算して新たにノイズ幅Ｐｎｏｉｚとし、ステップ１２に移行してノイズ幅Ｐｎｏｉｚをチェックし、所定範囲内であるのでステップ１に戻る。したがって、ノイズ幅Ｐｎｏｉｚ＝Ｗ２　＋Ｗ３　となる。

【０１０６】

つぎにパルス幅Ｗ４　を入力し、ステップ２に移行して正常範囲であるか否かをチェック

し、パルス幅Ｗ４　は正常範囲であるためステップ３に移行し、直前にノイズがあったか否かをチェックする。この場合、直前にノイズがあったためステップ１３に移行してパルス幅Ｗ４　をＰ２　として記憶し、ステップ１４に移行して、Ｐ１　＋Ｐｎｏｉｚが理想的なビット同期信号のパルス幅Ｒよりも小さいか否かを判定する。Ｐ１　＋Ｐｎｏｉｚ＜Ｒである場合はステップ１５に移行してパルス幅Ｐ１　にノイズ幅Ｐｎｏｉｚを加算して補正し、そうでない場合はステップ１６に移行して、パルス幅Ｒをパルス幅Ｐ１　として記憶するとともに、パルス幅Ｐ２　にＰ１　＋Ｐｎｏｉｚ－Ｒ　を加算して補正し、パルス幅　Ｐ２　として記憶する。いまこの場合、Ｐ１　＋Ｐｎｏｉｚ＜Ｒでないのでステップ１６に移行し、パルス幅Ｒをパルス幅Ｐ１　、Ｗ１　＋Ｗ２　＋Ｐｎｏｉｚをパルス幅Ｐ２　として記憶し、Ｎが３未満であるのでステップ１に戻る。なお、このパルス幅Ｐ２　は、図１７（ｂ）からわかるように、パルス幅Ｒに等しくなる。

【０１０７】

つぎにパルス幅Ｗ５　を入力し、ステップ２でパルス幅Ｗ５　が正常範囲であるか否かをチェックし、パルス幅Ｗ５　は正常範囲であるのでステップ３に移行し、直前にノイズがあったか否かをチェックし、直前がノイズでないためステップ４に移行して、パルス幅Ｗ５　を幅Ｐ３　として記憶する。以上の処理で得られたパルス幅Ｐ１、Ｐ２、Ｐ３　からステップ６で平均パルス幅Ｐａｖｅ　、ステップ８でサンプリングクロック生成タイミングＴｄを算出するが、図１７（ｂ）からわかるように、理想的なビット同期信号の場合と同様になり、ビット同期信号の変化点にノイズが混入し、エッジが不明瞭になった場合でも正しいサンプリングクロックＴｓｙｎｃを生成することができる。なお、以上の処理の結果は実施例５と同じになる。

【０１０８】

また、図１７（ｃ）に示したように、２番目のビットの途中に多数のノイズが混入したビット同期信号が入力する場合、まず、ステップ１でパルス幅Ｗ１　が入力し、ステップ２でパルス幅Ｗ１　が正常範囲であるか否かをチェックし、正常範囲であるのでステップ３に移行して直前にノイズがあったか否かをチェックし、直前にノイズがないのでステップ４に移行してパルス幅Ｗ１　とパルス幅Ｐ１　として記憶し、Ｎが３未満であるのでステップ１に戻る。以降のパルス幅Ｗ２　、パルス幅Ｗ３　、パルス幅Ｗ４　、パルス幅Ｗ５　、・・・について、それぞれノイズであるのでステップ２、ステップ１０を経由してステップ１１で順次にパルス幅を加算してノイズ幅Ｐｎｏｉｚを演算し、ステップ１２でＰｎｏｉｚ範囲か否かを判定し、Ｐｎｏｉｚ範囲である限りステップ１に戻る処理を繰り返し、正常範囲のパルス幅が入力するのを待つ。

【０１０９】

いま、ステップ１２におけるＰｎｏｉｚ基準範囲をＲ／２とすると、ステップ１１で５番目のパルス幅Ｗ５　を加算したノイズ幅ＰｎｏｉｚはＲ／２＜Ｐｎｏｉｚとなり、異常と判定してビット同期信号の検出動作を停止する。したがって、許容したノイズが連続して入力し、ビット同期信号として判定不能な場合には早期に異常を判定することができ、ノイズによる判定の遅れをなくし、消費電流を低減することができる。

【０１１０】

以上のように本実施例によれば、パルス信号に混入したノイズのパルス幅が前後のパルス信号のパルス幅を正規の１ビットのパルス幅にするように配分して加算補正されるので、ノイズの混入位置を判断して適確に本来のパルス幅を演算することができ、正確なサンプリングクロックを生成することができる。また、ノイズの集合となったパルス幅が合計されて加算補正されるので、ビット同期タイミングを演算する場合に演算の狂いもなくすることができ、より正確なサンプリングクロックを生成することができる。また、ノイズのステップ１２においてノイズの合計幅をチェックするので過大な補正を防止し、ノイズによる判定の遅れをなくし、消費電流を低減することができる。

【０１１１】

なお、細かいノイズが多数個になると補正の信頼性が低下することもあり、ノイズの加算個数が所定個以上になる場合に処理を中止するようにしてもよい。

【０１１２】
（実施例９）
以下、本発明のビット同期検出手段の実施例９について図面を参照しながら説明する。本実施例は請求項１および請求項１０に係わる。
【０１１３】
なお、本実施例の構成は実施例１と同じとし、説明を省略する。図１９は本実施例におけるビット同期信号を示す波形図である。
【０１１４】
以下、本実施例の動作について説明する。図２０は本実施例の動作を示すフローチャートである。なお、本実施例においても、パルス幅記憶部５に３個のパルス幅を記憶する場合について説明し、また、図１９（ａ）に示した理想的なビット同期信号については実施例１における理想的なビット同期信号の場合と同じであり、説明を省略する。
【０１１５】
図１９（ｂ）に示したように、１番目のビットにパルス幅Ｗ２　のノイズ、２番目のビットにパルス幅Ｗ３　のノイズが混入したビット同期信号が入力する場合、まず、ステップ１において１番目のパルス幅Ｗ１　が入力すると、ステップ２に移行してパルス幅Ｗ１　が正常範囲であるか否かをチェックし、パルス幅Ｗ１　については正常範囲であるのでステップ３に移行して、パルス幅Ｗ１　の入力の直前にノイズがあったか否かをチェックする。パルス幅Ｗ１　に関しては直前にノイズがなかったのでステップ４に移行し、パルス幅Ｗ１　をパルス幅Ｐ１　として記憶し、記憶個数が３未満であるのでステップ１に戻る。
【０１１６】
つぎに、パルス幅Ｗ２　が入力すると、ステップ２でパルス幅Ｗ２　が正常範囲であるか否かをチェックし、正常範囲でないのでステップ１０に移行して第１基準範囲、すなわち０＜Ｗ２　＜ｃであるか否かをチェックする。ノイズのパルス幅Ｗ２　は第１基準範囲にあるのでステップ１１に移行し、論理ごとのノイズ幅、すなわち論理０のノイズ幅Ｐｎｏｉｚ０と論理１のノイズ幅Ｐｎｏｉｚ１とをその前値に加算して演算するとともに、ノイズの加算個数Ｍｎｏｉｚを算出する。いまこの場合、この前にはノイズがなかったのでノイズ幅Ｐｎｏｉｚ０およびＰｎｏｉｚ１の前値はともにゼロであり、またパルス幅Ｗ２　は０論理であるので、Ｐｎｏｉｚ０＝Ｗ２　、Ｐｎｏｉｚ１＝０、Ｍｎｏｉｚ＝１である。つぎに、ステップ１２に移行して、加算個数Ｍｎｏｉｚが所定のＭｎｏｉｚ基準以内であるか否かをチェックする。前記Ｍｎｏｉｚ基準は、たとえば５とすることができるが、これに限定されるものではない。いま、Ｍｎｏｉｚ＝１であるからステップ１に戻る。
【０１１７】
つぎに３番目のパルス幅Ｗ３　を入力し、このパルス幅Ｗ３　もノイズであるので上記と同様にステップ２、ステップ１０を経由してステップ１１に移行し、パルス幅Ｗ３　は論理１のノイズ幅であるのでノイズ幅Ｐｎｏｉｚ１＝Ｗ３　とし、また加算個数Ｍｎｏｉｚ＝１とし、ステップ１２に移行して加算個数Ｍｎｏｉｚは前記Ｍｎｏｉｚ基準＝５以内であるのでステップ１に戻る。
【０１１８】
つぎにパルス幅Ｗ４　を入力し、ステップ２に移行して正常範囲であるか否かをチェックし、パルス幅Ｗ４　は正常範囲であるためステップ３に移行し、直前にノイズがあったか否かをチェックする。この場合、直前にノイズがあったためステップ１３に移行してパルス幅Ｗ４　をパルス幅Ｐ２　として記憶し、ステップ１４に移行して、パルス幅Ｐ１　の論理が１であるか否かをチェックする。Ｐ１　の論理が１である場合はステップ１５に移行してパルス幅Ｐ１　にノイズ幅Ｐｎｏｉｚ０を加算して補正するとともに、パルス幅Ｐ２　にはノイズ幅Ｐｎｏｉｚ１を加算して補正し、また、そうでない場合はステップ１６に移行して、パルス幅Ｐ１　にノイズ幅Ｐｎｏｉｚ１を加算して補正するとともに、パルス幅Ｐ２　にはノイズ幅Ｐｎｏｉｚ０を加算して補正する。いまこの場合、ノイズ幅Ｐ２　は論理０であり、したがって、ステップ１６に移行して、ノイズ幅Ｐ１　をＰ１＋Ｐｎ

ｏｉｚ１＝Ｗ１＋Ｗ３　に補正して記憶し、また、ノイズ幅Ｐ２　をＰ２＋Ｐｎｏｉｚ０＝Ｗ４　＋Ｗ２　に補正して記憶し、Ｎ＝３未満であるのでステップ１に戻る。

【０１１９】

つぎにパルス幅Ｗ５　を入力し、ステップ２でパルス幅Ｗ５　が正常範囲であるか否かをチェックし、パルス幅Ｗ５　は正常範囲であるのでステップ３に移行し、直前にノイズがあったか否かをチェックし、直前がノイズでないためステップ４に移行して、パルス幅Ｗ５　を幅Ｐ３　として記憶する。以上の処理で得られたパルス幅Ｐ１、Ｐ２、Ｐ３　からステップ６で平均パルス幅Ｐａｖｅ　、ステップ８でサンプリングクロック生成タイミングＴｄを算出するが、図１７（ｂ）からわかるように、Ｐ１　およびＰ２　は、ほぼ理想的なビット同期信号の１ビットのパルス幅になり、ビット同期信号の変化点にノイズが混入し、エッジが不明瞭になった場合でも正しいサンプリングクロックＴｓｙｎｃを生成することができる。なお、以上の処理の結果は実施例５と同じになる。

【０１２０】

また、図１９（ｃ）に示したように、２番目のビットの途中に多数のノイズが混入したビット同期信号が入力する場合、まず、ステップ１でパルス幅Ｗ１　が入力し、ステップ２でパルス幅Ｗ１　が正常範囲であるか否かをチェックし、正常範囲であるのでステップ３に移行して直前にノイズがあったか否かをチェックし、直前にノイズがないのでステップ４に移行してパルス幅Ｗ１　とパルス幅Ｐ１　として記憶し、Ｎが３未満であるのでステップ１に戻る。以降のパルス幅Ｗ２　、パルス幅Ｗ３　、パルス幅Ｗ４　、パルス幅Ｗ５　、・・・について、それぞれノイズであるのでステップ２、ステップ１０を経由してステップ１１で順次にノイズ幅Ｐｎｏｉｚ０とノイズ幅Ｐｎｏｉｚ１とを演算するとともにＭｎｏｉｚを計算し、ステップ１２でＭｎｏｉｚがＭｎｏｉｚ基準以内であるか否かを判定し、Ｍｎｏｉｚ基準以内である限りステップ１に戻る処理を繰り返し、正常範囲のパルス幅が入力するのを待つ。

【０１２１】

いま、ステップ１２におけるＭｎｏｉｚ基準＝５とすると、ステップ１１で７番目のパルス幅Ｗ７　を加算したＭｎｏｉｚ＝６＞５となり、異常と判定してビット同期信号の検出動作を停止する。したがって、許容したノイズが連続して入力し、ビット同期信号として判定不能な場合には早期に異常を判定することができ、実施例８と同様に、ノイズによる判定の遅れをなくし、消費電流を低減することができる。

【０１２２】

以上のように本実施例によれば、パルス信号に混入したノイズのパルス幅が前後のパルス信号の論理に合わせて分配して加算補正されるので、適確に本来のパルス幅を演算することができ、正確なサンプリングクロックを生成することができる。また、ノイズの集合となったパルス幅が合計されて加算補正されるので、ビット同期タイミングを演算する場合に演算の狂いもなくすることができ、より正確なサンプリングクロックを生成することができる。また、ステップ１１において連続するノイズは順次に加算されるが、ステップ１２においてノイズの加算個数をチェックするので細かいノイズが連続する場合の補正の信頼性低下を防止し、ノイズによる判定の遅れをなくし、消費電流を低減することができる。

【０１２３】

なお、Ｐｎｏｉｚ０、Ｐｎｏｉｚ１がそれぞれ所定幅以上である場合に処理を中断するようにしてもよい。

【０１２４】

【発明の効果】

本発明は、１ビットのパルス幅で“０”と“１”が交互に連続するビット同期信号を入力し、その入力信号を波形整形して矩形波のパルス信号を出力する信号整形部と、前記パルス信号の立ち上がりから立ち下がりまで、および立ち下がりから立ち上がりまでの幅をパルス幅として測定するパルス幅測定部と、前記パルス信号をそのパルス幅に基づいて正常なパルス幅であるか否かを判断し、非正常なパルス幅であると判断したパルス信号につい

ては前後のパルス信号のパルス幅に基づいて先行または後続するパルス信号に加算補正することにより本来のパルス幅を演算するパルス幅確認部と、前記パルス幅確認部の指示によりパルス幅を順次に記憶するパルス幅記憶部と、前記記憶した複数のパルス幅に基づいて平均パルス幅とサンプリングクロック生成タイミングとを演算する演算部と、前記平均パルス幅と前記サンプリングクロック生成タイミングとに基づいて信号受信用のサンプリングクロックを生成するサンプリングクロック生成部とを備えたビット同期検出手段とすることにより、ビット同期信号に混入したノイズに起因する非正常なパルス信号が単純に異常として破棄されることがなく、本来のパルス信号の一部として処理される。したがって、信号受信率が向上するとともに、ノイズの影響を排除して本来のパルス幅が適切に演算され、ビット幅記憶手段に記憶される各１ビットの誤差が小さくなって正確なサンプリングクロックを生成することができる。

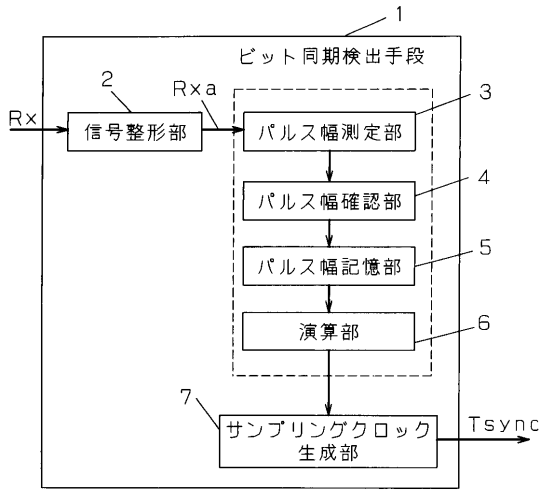
【図面の簡単な説明】

【図１】本発明のビット同期検出手段の構成を示すブロック図
【図２】同手段におけるパルス幅判定基準を示す模式図
【図３】本発明の実施例１におけるパルス信号を示す波形図
【図４】同実施例の動作を示すフローチャート
【図５】本発明の実施例２におけるパルス信号を示す波形図
【図６】同実施例の動作を示すフローチャート
【図７】本発明の実施例３におけるパルス幅判定基準を示す模式図
【図８】同実施例におけるパルス信号を示す波形図
【図９】同実施例の動作を示すフローチャート
【図１０】本発明の実施例４におけるパルス信号を示す波形図
【図１１】同実施例の動作を示すフローチャート
【図１２】本発明の実施例５におけるパルス信号を示す波形図
【図１３】同実施例の動作を示すフローチャート
【図１４】本発明の実施例６におけるパルス信号を示す波形図
【図１５】同実施例の動作を示すフローチャート
【図１６】本発明の実施例７の動作を示すフローチャート
【図１７】本発明の実施例８におけるパルス信号を示す波形図
【図１８】同実施例の動作を示すフローチャート
【図１９】本発明の実施例９におけるパルス信号を示す波形図
【図２０】同実施例の動作を示すフローチャート
【図２１】従来のビット同期検出手段の構成を示すブロック図
【図２２】同手段におけるパルス信号を示す波形図

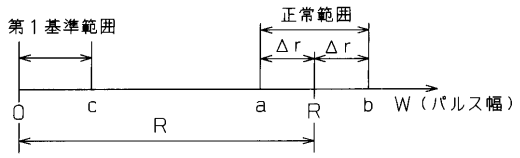
【符号の説明】

１　ビット同期検出手段
２　信号整形部
３　パルス幅測定部
４　パルス幅確認部
５　パルス幅記憶部
６　演算部
７　サンプリングクロック生成部

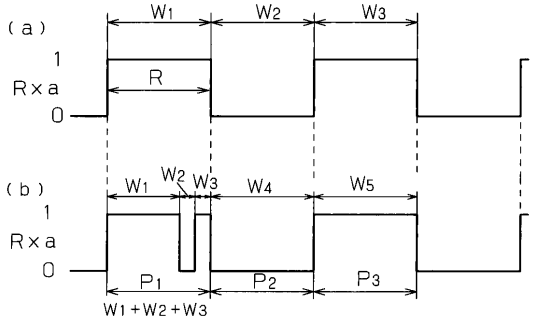
【図１】


1
ビット同期検出手段
2
Rx
信号整形部
Rxa
3
パルス幅測定部
4
パルス幅確認部
5
パルス幅記憶部
6
演算部
7
サンプリングクロック
生成部
Tsync

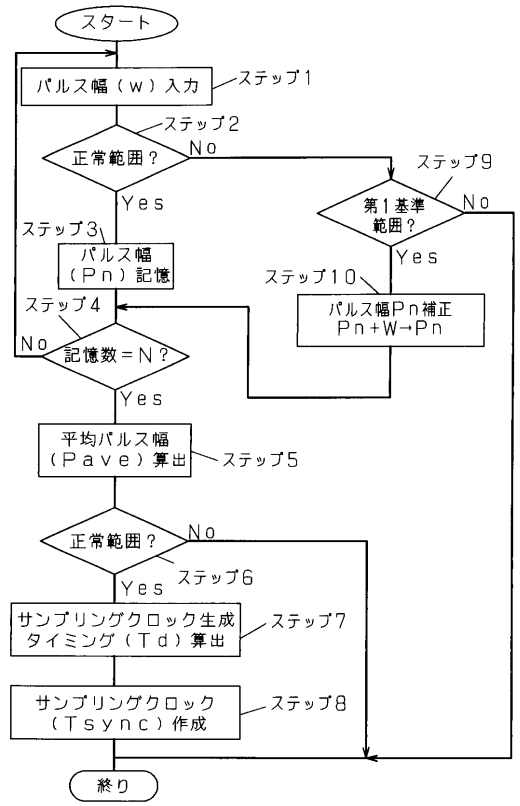
【図２】


第１基準範囲
正常範囲
Δr
Δr
0
c
a
R
b
W（パルス幅）
R

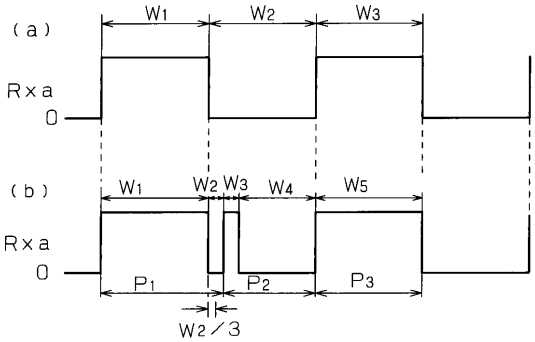
【図３】


(a)
W1
W2
W3
1
Rxa
R
0
(b)
W1
W2
W3
W4
W5
1
Rxa
0
P1
P2
P3
W1+W2+W3

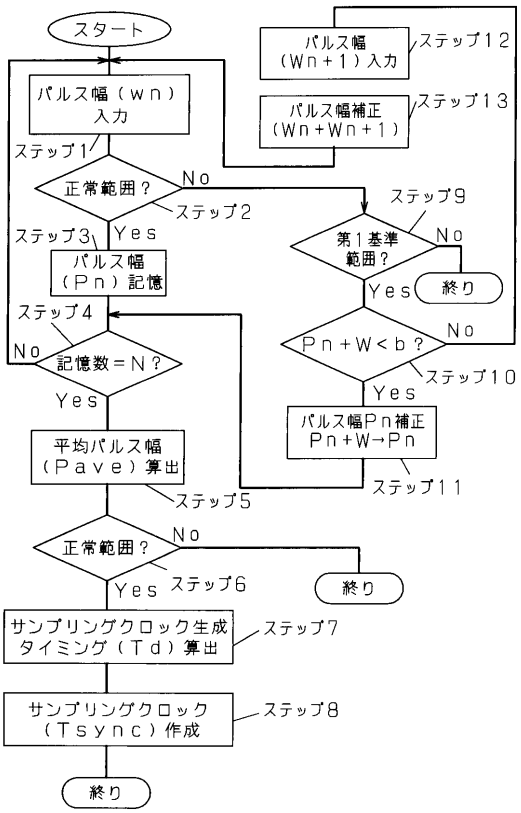
【図４】


スタート
パルス幅（ｗ）入力
ステップ1
ステップ2
正常範囲？
No
Yes
ステップ9
第１基準
範囲？
No
Yes
ステップ3
パルス幅
（Ｐｎ）記憶
ステップ10
パルス幅Ｐｎ補正
Ｐｎ+Ｗ→Ｐｎ
ステップ4
No
記憶数＝Ｎ？
Yes
平均パルス幅
（Ｐａｖｅ）算出
ステップ5
正常範囲？
No
Yes
ステップ6
サンプリングクロック生成
タイミング（Ｔｄ）算出
ステップ7
サンプリングクロック
（Ｔｓｙｎｃ）作成
ステップ8
終り

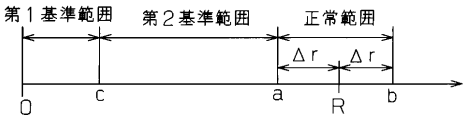
【図５】


(a)
W1
W2
W3
Rxa
0
(b)
W1
W2
W3
W4
W5
Rxa
0
P1
P2
P3
W2／3

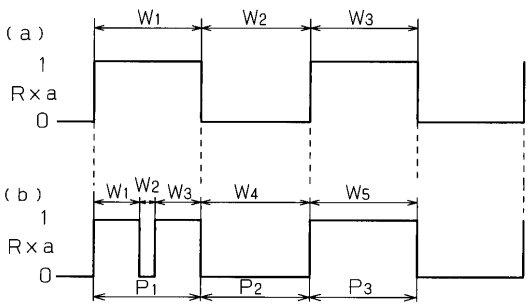
【図６】



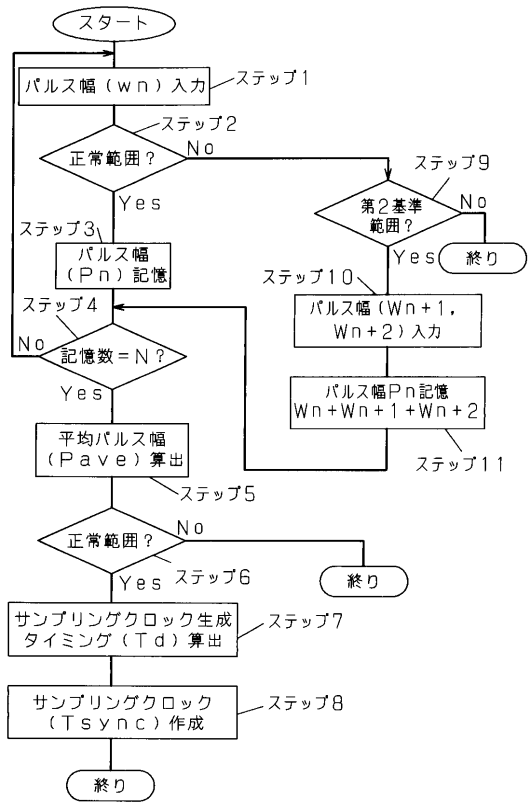
【図７】



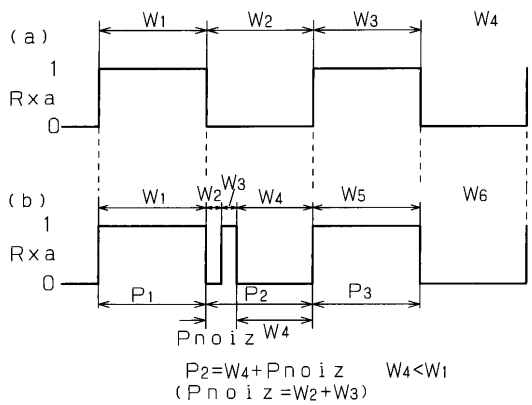
【図８】



【図９】



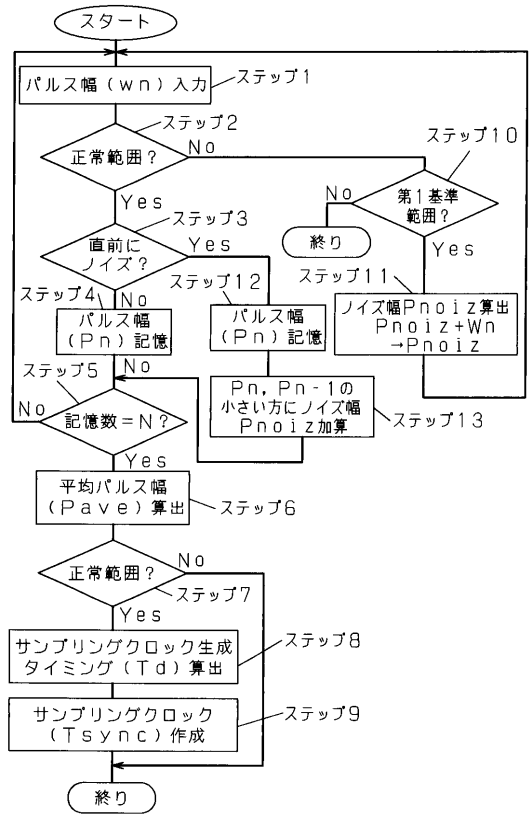
【図１０】



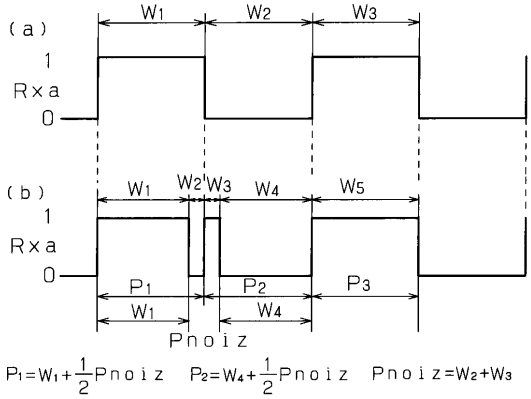
$P_2 = W_4 + Pnoiz \quad W_4 < W_1$

$(Pnoiz = W_2 + W_3)$

【図１１】

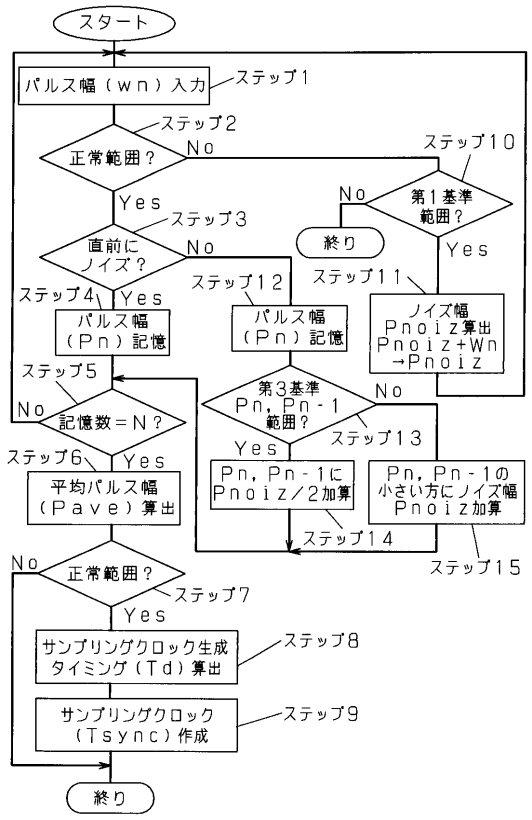


【図１２】

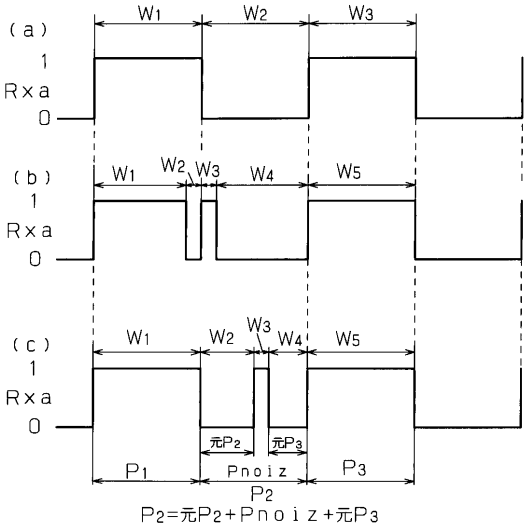


$P_1=W_1+\frac{1}{2}Pnoiz$　$P_2=W_4+\frac{1}{2}Pnoiz$　$Pnoiz=W_2+W_3$

【図１３】

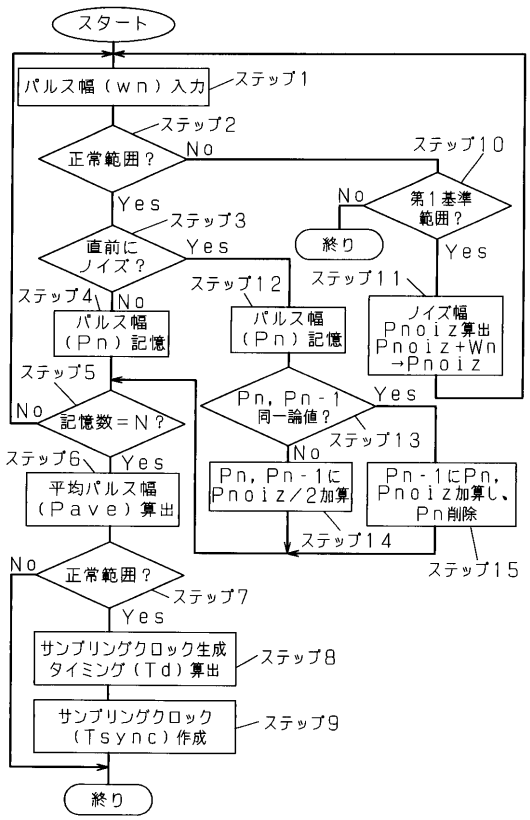


【図１４】

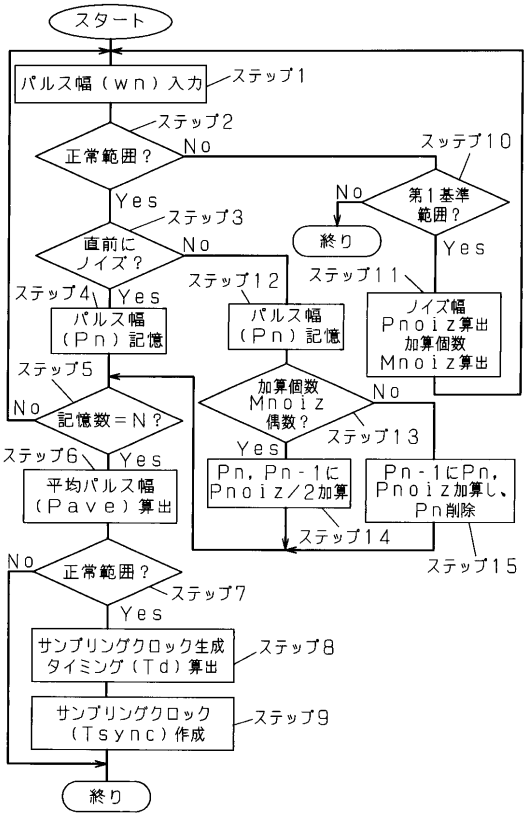


$P_2=元P_2+Pnoiz+元P_3$

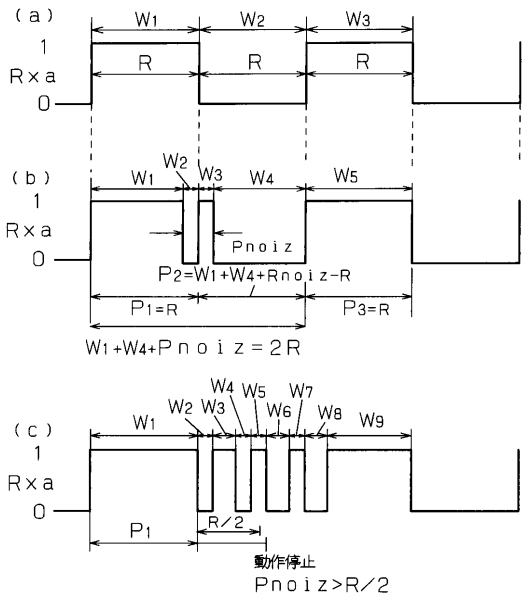
【図１５】



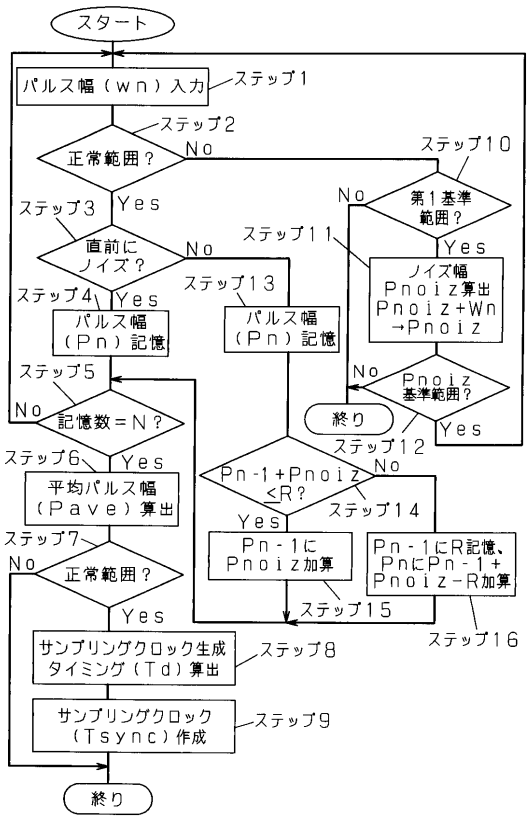
【図１６】



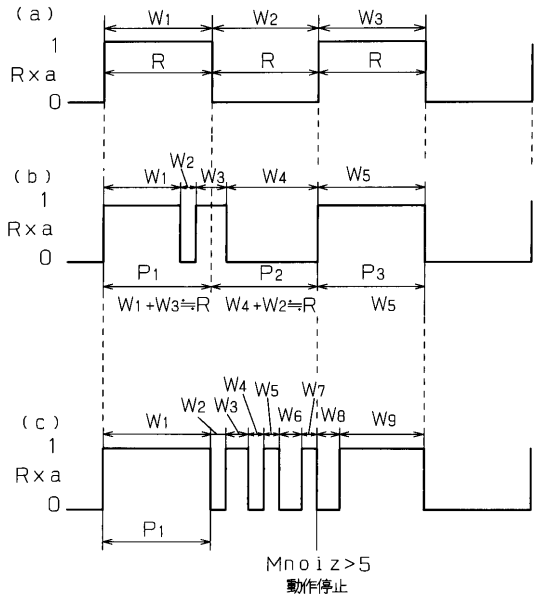
【図１７】



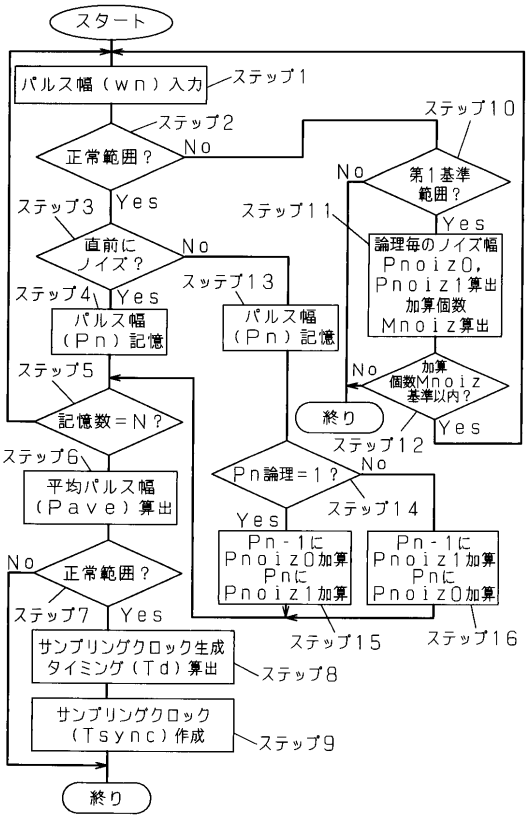
【図１８】



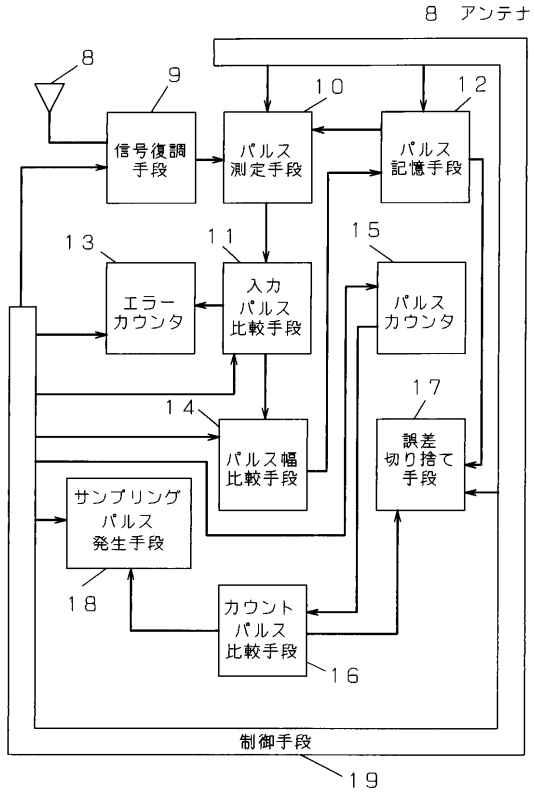
【図１９】



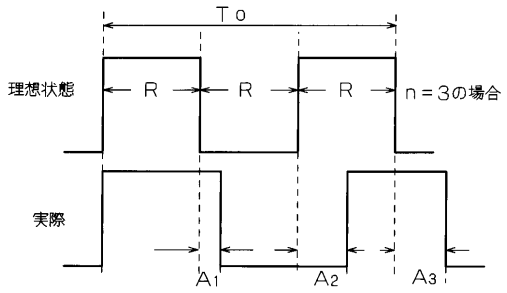
【図２０】



【図２１】



【図２２】



フロントページの続き

審査官　阿部　弘

(56)参考文献　特開平０８－１３０５３３（ＪＰ，Ａ）
特開昭６３－２７６３３９（ＪＰ，Ａ）
特開昭６３－１６４６４８（ＪＰ，Ａ）
実開平０２－０９８５２９（ＪＰ，Ｕ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H04L 7/02
H04L 7/027