

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年11月22日(2012.11.22)

【公表番号】特表2012-505547(P2012-505547A)

【公表日】平成24年3月1日(2012.3.1)

【年通号数】公開・登録公報2012-009

【出願番号】特願2011-531097(P2011-531097)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 21/20 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 S

H 0 1 L 21/20

H 0 1 L 27/08 1 0 2 B

H 0 1 L 27/08 3 2 1 E

【手続補正書】

【提出日】平成24年10月5日(2012.10.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体デバイス(300)を製造する方法であって、

半導体材質(102)の層を有する基板(100)を提供することと、

半導体材質(102)の前記層を覆うゲート構造(112, 128)を作製することと

、
前記ゲート構造(112, 128)に隣接する半導体材質(102)の前記層内に凹部(202)を形成して、前記半導体材質(102)の{110}面に一致する露出させられた表面(204)をもたらすために、前記半導体材質(102)の一部を異方性エッチングすることと、

前記凹部(202)に、フィラー半導体材質(302)をエピタキシャル成長させることによって少なくとも部分的に充填して前記凹部(202)内にファセット形状半導体領域(304)を形成することとを備え、

前記フィラー半導体材質(302)をエピタキシャル成長させることは、前記フィラー半導体材質(302)の{111}面に対する比較的に高い成長速度及び前記フィラー半導体材質(302)の{110}面に対する比較的に低い成長速度を促進する成長条件下で実行され、

前記ファセット形状半導体領域(304)は、2つの{111}面の交差において、前記基板(100)に対して下を向き、前記露出させられた表面(204)を向いているファセット領域(306)を備えている、方法。

【請求項2】

前記フィラー半導体材質(302)をエピタキシャル成長させることは比較的到低い成長温度で実行される請求項1の方法。

【請求項3】

前記フィラー半導体材質(302)をエピタキシャル成長させることは摂氏約500～580度の範囲内の成長温度で実行される請求項2の方法。

【請求項4】

前記凹部(202)を少なくとも部分的に充填することは、前記凹部内にその場でドーブされる半導体材質(302)をエピタキシャル成長させることを備えている請求項1の方法。

【請求項5】

前記凹部(202)を少なくとも部分的に充填した後に前記ファセット形状半導体領域(304)上にシリサイドコンタクト区域(308)を形成することを更に備えた請求項1の方法。

【請求項6】

前記凹部(202)を少なくとも部分的に充填することは、応力誘起半導体材質(302)で前記凹部(202)を少なくとも部分的に充填することを備えている請求項1の方法。

【請求項7】

半導体デバイス(400)を製造する方法であって、

半導体材質(102)の層を有する基板(100)を提供することと、

半導体材質(102)の前記層を覆うゲート構造(112, 128)を作製することと

、
前記ゲート構造(112, 128)に隣接する半導体材質(102)の前記層内にファセット形状凹部(402)を形成することと、

前記ファセット形状凹部(402)の露出させられた表面(404)上にシリサイドコンタクト区域(406)を形成することとを備え、

前記ファセット形状凹部(402)を形成することは、前記半導体材質(102)を水酸化カリウム(KOH)ベースのエッチャントでエッチングすることを備えている方法。

【請求項8】

半導体材質(102)の層と、

半導体材質(102)の前記層を覆うゲート構造(112, 128)と、

半導体材質(102)の前記層内のチャネル領域(218)であって前記ゲート構造(112, 128)の下層となるチャネル領域(218)と、

半導体材質(102)の前記層内のソース及びドレイン領域(216)であって、前記チャネル領域(218)がそれらの間に配置され、ファセット形状半導体領域(206, 306)を備えたソース及びドレイン領域(216)と、

前記ソース及びドレイン領域(216)を覆うファセット形状シリサイドコンタクト区域(210, 308, 406)とを備え、

前記ファセット形状半導体領域(206, 306)が、2つの{111}面の交差において、前記基板(100)に対して下を向き、前記露出させられた表面(204)を向いている下向きファセット領域(306)が、2つの{111}面の交差に頂を有し、前記基板(100)に対して上を向き、前記露出させられた表面(204)の逆を向いている上向きファセット領域(206)のいずれかを備えている半導体デバイス(200, 300, 400)。

【請求項9】

前記ファセット形状半導体領域(206, 306)が、2つの{111}面の交差において、前記基板(100)に対して下を向き、前記露出させられた表面(204)を向いている下向きファセット領域(306)を更に備えている、請求項8の半導体デバイス。

【請求項10】

前記ゲート構造(112, 128)に隣接する半導体材質(102)の前記層内に形成

され、前記半導体材質(102)の{110}面に一致する表面(204)を有する凹部(202)と、

前記凹部(202)内に配置される半導体材質のファセット形状領域(206, 306)とを更に備え、

前記ファセット形状シリサイドコンタクト区域(210, 308)は前記ファセット形状領域(206, 306)の表面上に形成されている請求項8の半導体デバイス(200, 300)。

【請求項11】

前記半導体デバイス(200)はPMOSトランジスタデバイスであり、

前記半導体材質(206)はシリコンゲルマニウムであり、

前記ファセット形状領域は前記シリコンゲルマニウムの2つの{111}面の交差によって部分的に画定される請求項10の半導体デバイス(200)。

【請求項12】

前記半導体デバイス(300)はNMOSトランジスタデバイスであり、

前記半導体材質(304)はシリコン炭素であり、

前記ファセット形状領域は前記シリコン炭素の2つの{111}面の交差によって部分的に画定される請求項10の半導体デバイス(300)。

【請求項13】

半導体デバイス(200)を製造する方法であって、

半導体材質(102)の層を有する基板(100)を提供することと、

前記半導体材質(102)の前記層を覆うゲート構造(112, 128)を作製することと、

前記ゲート構造(112, 128)に隣接する半導体材質(102)の前記層内に凹部(202)を形成して、前記半導体材質(102)の{110}面に一致する露出させられた表面(204)をもたらすために、前記半導体材質(102)の一部を異方性エッチングすることと、

前記凹部(202)に、フィラー半導体材質(205)をエピタキシャル成長させることによって少なくとも部分的に充填して前記凹部(202)内にファセット形状半導体領域(206)を形成することとを備え、

前記フィラー半導体材質(205)をエピタキシャル成長させることは、前記フィラー半導体材質(205)の{110}面に対する比較的の高い成長速度及び前記フィラー半導体材質(205)の{111}面に対する比較的の低い成長速度を促進する成長条件下で実行され、

前記ファセット形状半導体領域(206)は、2つの{111}面の交差に頂を有し、前記基板(100)に対して上を向き、前記露出させられた表面(204)の逆を向いている上向きファセット領域(208)を備えている、方法。

【請求項14】

前記フィラー半導体材質(205)をエピタキシャル成長させることは摂氏約600~650度の範囲内の比較的の高い成長温度で実行される請求項13の方法。

【請求項15】

前記凹部(202)を少なくとも部分的に充填することは、前記凹部内にその場でドーパされる半導体材質(302)をエピタキシャル成長させることを備えている請求項13の方法。

【請求項16】

前記凹部(202)を少なくとも部分的に充填した後に前記ファセット形状半導体領域(206)上にシリサイドコンタクト区域(210, 308)を形成することを更に備えた請求項13の方法。

【請求項17】

前記凹部(202)を少なくとも部分的に充填することは、応力誘起半導体材質(205)で前記凹部(202)を少なくとも部分的に充填することを備えている請求項13の

方法。