

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/311 (2006.01)

H01L 23/52 (2006.01)

C25F 3/14 (2006.01)



[12] 发明专利说明书

专利号 ZL 02816509.8

[45] 授权公告日 2009 年 8 月 5 日

[11] 授权公告号 CN 100524644C

[22] 申请日 2002.8.16 [21] 申请号 02816509.8

[30] 优先权

[32] 2001.8.23 [33] US [31] 60/314,617

[86] 国际申请 PCT/US2002/026309 2002.8.16

[87] 国际公布 WO2003/019641 英 2003.3.6

[85] 进入国家阶段日期 2004.2.23

[73] 专利权人 ACM 研究公司

地址 美国加利福尼亚州

[72] 发明人 王 晖 易培豪

[56] 参考文献

US6232231B1 2001.5.15

US5885856A 1999.3.23

CN1264162A 2000.8.23

审查员 吴晓达

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

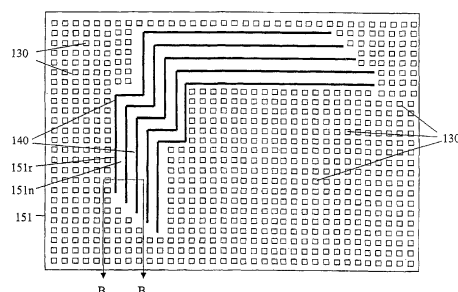
权利要求书 5 页 说明书 15 页 附图 25 页

[54] 发明名称

减小电解抛光工艺中的金属凹槽的虚拟结构

[57] 摘要

一种提供金属互连(140)的半导体结构以及电解抛光半导体结构上的金属层的方法。所述半导体结构包括具有凹槽区(151r)和非凹槽区(151n)的介质层(151)。形成在结构上的金属层填充了凹槽区以形成互连线 and 多个设置在互连线之间的虚拟结构(130)。所述方法包括在半导体晶片上形成具有凹槽和非凹槽区的介质层。形成与凹槽区相邻的虚拟结构。形成金属层以覆盖介质层和虚拟结构。然后对金属层电解抛光以露出非凹槽区。



1. 一种半导体结构, 包括:

位于介质层上的凹槽区和非凹槽区和虚拟结构上的金属层; 以及
位于所述金属层下的介质层, 包括:

凹槽和非凹槽区的图形, 其中从非凹槽区电解抛光金属层并填充凹槽区, 以形成多个互连线, 以及

多个虚拟结构, 其中虚拟结构位于介质层的非凹槽区。

2. 根据权利要求 1 的半导体结构, 其中所述多个虚拟结构的一部分设置成距凹槽区的距离小于或等于由电解抛光装置产生的电解液流的直径。

3. 根据权利要求 1 的半导体结构, 其中多个虚拟结构的一部分设置成与所述多个互连线的至少一个相邻。

4. 根据权利要求 1 的半导体结构, 其中所述多个虚拟结构设置成与所述多个互连线的纵向端相邻。

5. 根据权利要求 1 的半导体结构, 其中所述多个虚拟结构的一部分设置在所述多个互连线的至少两个之间。

6. 根据权利要求 1 的半导体结构, 其中所述多个虚拟结构设置成与所述多个互连线的高密度区相邻。

7. 根据权利要求 1 的半导体结构, 其中所述多个虚拟结构设置成与所述多个互连线的低密度区中所述多个互连线的一部分相邻。

8. 根据权利要求 1 的半导体结构, 其中所述多个虚拟结构设置成与隔离线的两侧相邻。

9. 根据权利要求 1 的半导体结构, 其中所述多个虚拟结构的一部分设置成距所述凹槽区的距离大于或等于设计规则所允许的两个凹槽区之间的最小距离。

10. 根据权利要求 1 的半导体结构, 其中所述多个虚拟结构的一部分设置成距所述凹槽区的距离大于设计规则允许的两个凹槽区之间最小距离的至少两倍。

11. 根据权利要求 1 的半导体结构, 其中所述多个虚拟结构用金属

填充。

12. 根据权利要求 1 的半导体结构，其中所述多个虚拟结构为邻接的线。

13. 根据权利要求 1 的半导体结构，其中所述多个虚拟结构包括金属线。

14. 根据权利要求 1 的半导体结构，其中所述虚拟结构的宽度大于或等于所述多个互连线的宽度。

15. 根据权利要求 1 的半导体结构，其中所述多个虚拟结构的密度大于或等于所述多个互连线的密度。

16. 根据权利要求 1 的半导体结构，其中所述多个虚拟结构均匀地分布在与所述多个互连线相邻的区域中。

17. 根据权利要求 1 的半导体结构，其中配置所述多个虚拟结构以减小在所述多个互连线上形成的金属层的凹陷。

18. 根据权利要求 1 的半导体结构，其中配置所述多个虚拟结构以增加至少部分所述半导体结构内的金属结构的平均密度。

19. 根据权利要求 1 的半导体结构，其中对所述金属层电解抛光以电隔离多个所述凹槽区。

20. 根据权利要求 1 的半导体结构，还包括设置在所述金属层和所述介质层之间的阻挡层。

21. 根据权利要求 1 的半导体结构，还包括设置在所述金属层和所述介质层之间的籽晶层。

22. 一种半导体结构，包括：

多个半导体管芯，其中多个半导体管芯包括：

具有多个沟槽的介质层，以及

被电解抛光并填充沟槽以形成互连线的金属层；以及

与多个半导体管芯相邻形成的多个虚拟结构。

23. 根据权利要求 22 的半导体结构，其中所述多个虚拟结构的一部分设置成距部分所述沟槽的距离小于或等于由电解抛光装置产生的电解液流的直径。

24. 根据权利要求 22 的半导体结构，其中所述多个虚拟结构用金属

填充。

25.根据权利要求 22 的半导体结构，其中所述多个虚拟结构用铜填充。

26.根据权利要求 22 的半导体结构，其中所述金属层同时形成在管芯和虚拟结构上。

27.根据权利要求 22 的半导体结构，其中所述多个虚拟结构为邻接的线。

28.根据权利要求 22 的半导体结构，其中所述多个虚拟结构包括与所述多个沟槽的至少一部分相邻形成的金属线。

29.根据权利要求 22 的半导体结构，其中所述多个虚拟结构设置在与半导体管芯相邻的区域中，所述多个虚拟结构从半导体管芯延伸的距离大于或等于以下距离中的较小者：

等于由电解抛光装置产生的电解液流的直径的距离，或

等于两个相邻管芯之间的距离。

30.根据权利要求 22 的半导体结构，其中所述多个虚拟结构的宽度大于或等于所述多个沟槽的宽度。

31.根据权利要求 22 的半导体结构，其中隔开所述多个虚拟结构的距离大于或等于隔开所述多个沟槽的最小距离。

32.根据权利要求 22 的半导体结构，其中所述多个虚拟结构均匀地分布在与所述多个管芯相邻的区域中。

33.根据权利要求 22 的半导体结构，其中配置所述多个虚拟结构以减小所述多个沟槽的至少一部分沟槽内的凹陷。

34.根据权利要求 22 的半导体结构，其中配置所述多个虚拟结构以增加至少部分半导体晶片内的金属结构的平均密度。

35.根据权利要求 22 的半导体结构，其中对所述金属层电解抛光以电隔离所述多个沟槽。

36.根据权利要求 22 的半导体结构，还包括设置在所述金属层和所述介质层之间的阻挡层。

37.根据权利要求 22 的半导体结构，还包括设置在所述金属层和介质层之间的籽晶层。

38.一种半导体结构的制备方法，包括：

位于介质层上的凹槽区和非凹槽区和虚拟结构上的金属层，
在所述金属层下形成介质层，介质层包括凹槽区和非凹槽区；
在非凹槽区中形成多个虚拟结构；
形成金属层以覆盖介质层和虚拟结构；以及
电解抛光金属层以露出非凹槽区。

39.根据权利要求 38 的方法，其中形成金属层包括淀积金属层。

40.根据权利要求 38 的方法，其中形成金属层包括电镀金属层。

41.根据权利要求 38 的方法，其中所述多个虚拟结构的每一个虚拟结构具有的宽度大于或等于所述凹槽区的宽度。

42.根据权利要求 38 的方法，其中所述多个虚拟结构的每一个虚拟结构相互隔开相等的距离。

43.根据权利要求 38 的方法，其中所述虚拟结构和所述凹槽区之间的最小距离大于或等于凹槽区的设计规则。

44.根据权利要求 38 的方法，其中所述凹槽区为沟槽，当用金属层填充时形成互连线。

45.根据权利要求 38 的方法，其中所述多个虚拟结构用金属填充。

46.根据权利要求 38 的方法，其中电解抛光的作用包括将电解液流引导至所述金属层的表面。

47.一种互连结构的制备方法，包括：

形成介质层，其中对介质层构图以用于形成互连线；
形成与将要形成的互连线相邻的多个虚拟结构；
形成金属层以覆盖构图的介质层和虚拟结构；以及
电解抛光金属层以隔离互连线。

48.根据权利要求 47 的方法，其中形成金属层包括淀积金属层。

49.根据权利要求 47 的方法，其中形成金属层包括电镀金属层。

50.根据权利要求 47 的方法，其中所述多个虚拟结构的每一个虚拟结构具有的宽度大于或等于所述互连线的宽度。

51.根据权利要求 47 的方法，其中所述多个虚拟结构的每一个相互隔开相等的距离。

52.根据权利要求 47 的方法，其中所述虚拟结构和所述互连线之间的最小距离大于或等于凹槽区的设计规则。

53.根据权利要求 47 的方法，其中所述多个虚拟结构用金属填充。

54.根据权利要求 47 的方法，其中电解抛光的作用包括将电解液流引导至所述金属层的表面。

55.一种半导体结构的制备方法，包括：

在半导体晶片上形成多个管芯，其中形成每个管芯包括：

形成具有凹槽区和非凹槽区的介质层；

在介质层上形成金属层并填充凹槽区；

在介质层的非凹槽区中形成至少一个虚拟结构；以及

电解抛光金属层以露出非凹槽区。

56.根据权利要求 55 的方法，其中形成金属层包括淀积金属层。

57.根据权利要求 55 的方法，其中形成金属层包括电镀金属层。

58.根据权利要求 55 的方法，其中所述多个虚拟结构的每一个虚拟结构具有的宽度大于或等于所述凹槽区的宽度。

59.根据权利要求 55 的方法，其中所述多个虚拟结构的每一个相互隔开相等的距离。

60.根据权利要求 55 的方法，其中所述虚拟结构和所述凹槽区之间的最小距离大于或等于凹槽区的设计规则。

61.根据权利要求 55 的方法，其中当用金属层填充时，所述凹槽区形成互连线。

62.根据权利要求 55 的方法，其中所述多个虚拟结构包括金属。

63.根据权利要求 55 的方法，其中所述多个虚拟结构包括与所述介质层相同的材料。

64.根据权利要求 55 的方法，其中电解抛光的作用包括将电解液流引导至所述金属层的表面。

65.根据权利要求 55 的方法，其中所述虚拟结构从管芯延伸的距离大于或等于电解液流的直径或者相邻管芯之间的距离。

减小电解抛光工艺中的金属凹槽的虚拟结构

相关申请的交叉参考

本申请要求之前申请的申请日为 2001 年 8 月 23 日的标题为 **METHOD FOR ADDING DUMMY STRUCTURES TO REDUCE COPPER RECESS IN ELECTROPOLISHING** 的临时申请 U.S.序列号 60/314,617 的优先权，其整个内容在这里引入作为参考。

技术领域

本发明一般涉及在半导体晶片上形成结构，更具体地，涉及在半导体晶片上形成虚拟结构。

背景技术

半导体器件是通过使用大量不同的工艺步骤在半导体晶片上产生晶体管 and 互联元件加工或制造而成的。为了电连接与半导体晶片相关的晶体管端子，在作为半导体器件的一部分的介质材料中形成导电（例如，金属）沟槽、过孔等。沟槽和过孔耦合晶体管之间、半导体器件的内部电路以及半导体器件外的电路的信号和功率。

在形成互联元件时，半导体晶片可能有经历，例如，掩蔽、蚀刻和淀积工艺，以形成需要的半导体器件的电路。具体地，可以进行多个掩模和蚀刻步骤，从而在半导体晶片上的介质层中形成凹槽区的图形，作为用于互连线的沟槽和过孔。然后可以进行淀积工艺，在半导体晶片上淀积金属层，从而在沟槽和过孔中以及半导体晶片的非凹槽区上淀积金属。为了隔离互连，例如构图的沟槽和过孔，要去掉淀积在半导体晶片的非凹槽区上的金属。

可以使用化学机械抛光（CMP）去掉淀积在半导体晶片上的介质层的非凹槽区上的金属，在化学机械抛光中浆料和抛光垫用于物理地除去

金属层。在使用 CMP 方法除去金属层时，虚拟结构可用于增强在凹槽区域中淀积的金属层的结构强度，而虚拟结构上弱于淀积在非凹槽区上的金属层。然而，由于添加这些结构的目的是增加结构强度，因此在凹槽区中淀积金属层之前将它们仅添加到凹槽区。

发明内容

在一个示例性实施例中，半导体结构包括具有凹槽区和非凹槽区的介质层；金属层，形成在半导体结构上，该金属层填充了凹槽区并从非凹槽区上电解抛光以形成互连线；以及在介质层的非凹槽区上形成的多个虚拟结构。

根据本发明的另一实施例，提供一种形成半导体结构的方法。所述方法包括在半导体晶片上形成具有凹槽区和非凹槽区的介质层，在凹槽区中形成虚拟结构，覆盖介质层和虚拟结构形成金属层，以及电解抛光导电层以露出非凹槽区。

附图说明

通过参考下面结合附图的详细说明可以更好地理解本发明，其中类似的部分由类似的数字标注：

图 1A 和 1B 分别示出了包括虚拟结构的示例性半导体结构的示意和剖面图；

图 2A 和 2B 分别示出了示例性电解抛光装置和半导体晶片的剖面图和俯视图；

图 3A 到 3D 示出了半导体器件的示例性电解抛光工艺。

图 4A 和 4B 分别示出了电解抛光工艺之后的半导体器件的示例性沟槽和虚拟结构。

图 5 示出了示例性金属镶嵌工艺的示例性流程图；

图 6 示出了与半导体器件的单个管芯相邻设置的示例性虚拟结构的示意图；

图 7 示出了与半导体器件的多个管芯相邻设置的示例性虚拟结构的示意图；

图 8 示出了与半导体器件的低密度区上的各线相邻设置的示例性虚

拟结构的示意图；

图 9 示出了与半导体器件的低密度区上的各线相邻设置的示例性虚拟结构的示意图；

图 10A 到 10F 示出了在各线边缘附近显示隆起（hump）效应和所得凹槽的半导体器件的示例性线结构；

图 11A 到 11C 示出了半导体器件的示例性线和虚拟结构的图。

图 12 示出了在半导体器件上的示例性虚拟结构的示意图；

图 13 示出了在半导体器件上的示例性虚拟结构的示意图；

图 14 示出了半导体器件上的示例性虚拟结构的示意图；

图 15 示出了半导体器件上的示例性虚拟结构的示意图；

图 16 示出了半导体器件上的示例性虚拟结构的示意图；

图 17A 到 17AA 示出用于在半导体器件上形成虚拟结构的各种示例性形状。

具体实施方式

为了更深入地理解本发明，以下说明陈述了大量具体细节，例如具体材料、参数等。但是，应当认识到，这些介绍不是要作为本发明的范围的限制，而是为了更好的介绍示例性的实施例。

图 1A 示出了根据一个实施例的示例性半导体结构的示意图。示例性的半导体结构包括具有凹槽区和非凹槽区的介质层、在非凹槽区中形成的虚拟结构以及在非凹槽区中形成的金属。具体地，示例性半导体结构包括具有凹槽区 151r 和非凹槽区 151n 的介质层 151。凹槽区 151r 已填充有金属层以形成互连线 140。此外，虚拟结构 130 已添加到与凹槽区 151r 相邻的非凹槽区 151n 以及互连线 140。

虚拟结构 130 例如为包含在介质层 151 的非凹槽区 151n 中的无源结构，通过在凹槽区 151r 以及互连线 140 上产生更恒定的电流密度以及抛光速率，来减小电解液流抛光速率的波动。减小抛光速率的波动可以减小凹槽区 151r 内的金属凹槽并导致更均匀的互连线 140。虚拟结构 130 也可以添加到介质层 151 的非凹槽区 151n 以影响电镀和电解抛光工艺。

在图 1A 中示出的示例性结构中，与在介质层 151 中形成的互连线 140 相邻和周围构形虚拟结构。然而，根据应用虚拟结构 130 可以位于相对于互连线的多个位置中，包括互连线 140 之间、晶片上的各半导体管芯 (dice) 之间等。此外，根据特定的应用和特定的电解抛光工艺，可以多种方式改变虚拟结构 130 的结构，例如密度、间距、形状等。

图 1B 示出了对应于图 1A 的线 B-B 线的半导体结构的剖面图。在该示例性实施例中，构图的介质层 151 形成在半导体衬底层 102 的表面上。构图的介质层 151 包括定义了互连的各沟槽或线的凹槽区 151r。介质层 151 也包括部分用于隔离互连线的非凹槽区 151n。虚拟结构 130 形成在介质层 151 的非凹槽区 151n 中。然后金属层 104 可以形成在结构上，包括虚拟结构 130 和非凹槽区 151n 和凹槽区 151r。然而，金属层 104 电解抛光到非凹槽区 151n 以致金属层 104 位于凹槽区 151r 和虚拟结构 130 内，如图所示。通过在凹槽区 151r 上产生更恒定的电流密度和抛光速率，设置在介质层 151 的非凹槽区 151n 中的虚拟结构 130 减少了电解液的抛光速率的波动。

通过已知的构图方法可以常规地淀积和构图介质层 151，已知的构图方法例如为光掩模、光刻、微光刻等。可以使用任何常规的淀积方法在衬底层 102 上形成介质层 151，例如化学汽相淀积、旋涂等。应该理解介质层 151 也可以形成在以前形成的层上。介质层可以为例如二氧化硅 (SiO₂)。经常需要选择具有低介电常数的介质层材料，通常称做低“k”值材料。这种低 k 材料包括氟化 (fluorinated) 硅酸盐玻璃、聚酰亚胺、氟化聚酰亚胺、混合物/组合物、硅氧烷、有机聚合物，[阿尔法]-C:F、Si-O-C、聚对二甲苯/氟化聚对二甲苯、聚四氟乙烯 (polytetrafluoroethylene)、纳米多孔的氧化硅 (silica)、纳米多孔的有机物等。通常，低 k 值材料 (即，大约小于 3.0) 通过减小相邻线之间的电容耦合和“串扰”在互连线之间提供更好的电隔离。

可以通过任何公知方法在介质层上淀积阻挡层 154，例如，化学气相淀积 (CVD)、物理气相淀积 (PVD)、原子层淀积 (ALD) 等，从而阻挡层覆盖了包括沟槽和过孔侧壁的整个构图的介质层。在随后淀积

金属层 104 之后，阻挡层 154 用来防止金属（例如，铜）扩散到介质层 151 中。任何金属扩散到介质层 151 内会降低介质层 151 的性能。阻挡层 154 可以由能够防止金属扩散的任何合适的导电材料形成，例如，钛、钽、钨、氮化钛、氮化钽、氮化钨或其它合适的金属。在某些应用中，可以省略阻挡层 154。例如，如果介质材料足以抵挡金属层 104 的扩散，或者如果任何金属层 104 的扩散不会对半导体器件的性能产生负面的影响，则可以省略阻挡层 154。

如果例如随后在介质层 151 上电镀金属层 104，则通常淀积籽晶层。籽晶层一般为金属层 104 可以电镀于其上的金属或其它导电材料的薄层。

如果不需要阻挡层，那么在阻挡层 154 的表面上或介质层 151 上淀积金属层 104。可以通过 PVD、CVD、ALD、电镀、化学镀或任何其它方便的方法淀积金属层 104。金属层 104 为，例如，铜或其它合适的导电材料，例如，铝、镍、铬、锌、镉、银、金、铯、钇、铂、锡、铅、铁、钨等等。此外，金属层 104 可以包括任何一种这些材料的合金。

下面的介绍包括可用于减少电解抛光工艺中抛光速率波动的附加的示例性虚拟结构。为有助于示例性实施例的介绍，说明包括例如可以引起电流密度和抛光速率波动的几个示例性结构。示例性结构不是对可用于虚拟结构的结构穷举或限定。

图 2A 示出了可用于从半导体晶片 100 上电解抛光金属层 104 的电解抛光装置的示例性剖面图。半导体晶片 100 可以包括衬底层 102。衬底层 102 例如包括硅和/或其它各种半导体材料，例如砷化镓，取决于特定的应用。

电解抛光装置的喷嘴使电解液 106 的液流喷向金属层 104 的部分表面。电解液 106 包括任何方便的液体，例如磷酸、正磷酸（ H_2PO_4 ）等。例如，在一个实施例中，电解液 106 为正磷酸，具有约 60 重量百分比和约 85 重量百分比之间的浓度。此外，电解液 106 可以包括例如 10 到 40 重量百分比的乙二醇。然而，应该理解可以根据特定的应用改

变电解液 106 的浓度和组分。

在将电解液 106 的流喷到金属层 104 上时, 电源 112 将相反的电荷提供到喷嘴 110 中设置的电极 108 (阴极) 以及金属层 104 上的电极 (阳极)。电源 112 例如可以恒定的电流或恒定的电压模式工作。当电源 112 设置成相对于金属层 104 使电解液 106 荷正电时, 从表面除去金属层 104 的金属离子。以此方式, 电解液 106 液流电解抛光接触电解液 106 的液流的那部分金属层 104。

此外, 如图 2A 所示, 旋转晶片 100 并沿轴 X 平移到金属层 104 的整个表面在电解液 106 的液流中的位置, 并均匀地电解抛光表面。例如, 通过旋转晶片 100 同时在 X 方向中平移晶片 100, 电解液 106 沿金属层 104 的表面形成螺旋路径。备选地, 可以静止地固定晶片 100, 同时移动喷嘴 110 将电解液 106 的液流施加到金属层 104 的需要部分。此外, 可以移动晶片 100 和喷嘴 110 将电解液 106 的液流施加到金属层 104 的需要部分。对电解抛光的示例性说明参见 2000 年 2 月 4 日提交的 U.S. 专利 No.09/497,894 中, 题目为 METHODS AND APPARATUS FOR ELECTROPOLISHING METAL INTERCONNECTIONS ON SEMICONDUCTOR DEVICES, 其整个内容在这里引入作为参考。

图 2B 示出了在半导体晶片 100 上形成的管芯 118 的示例性结构的俯视图。每个管芯 118 包括在下面的介质层 151 内形成的沟槽或线 (图 1B), 在这里显示为垂直线。经常当电解抛光工艺开始时, 用金属层 104 覆盖包括管芯 118 的沟槽区的晶片 100 的整个表面 (图 2A)。路径 10 示出了电解液 106 的液流在晶片 100 周围移动的路径。

当开始电解抛光工艺时, 在液流的整个剖面中, 电解液 106 的液流接触的那部分晶片 100 的表面具有近似相同量的金属。通过电解液 106 的液流除去金属层 104 (图 2A) 以露出非凹槽区和沟槽内电隔离的金属层 104 (图 2A)。由此, 由于沟槽区内的那部分金属层 104 (图 2A) 留下, 因此根据流的位置, 电解液 106 的液流接触的那部分晶片 100 会具有不同量的金属。

例如, 在图 2B 中, 电解液 106 的液流定位在管芯 118 上。由于金属

层 104 (图 2A) 被电镀, 因此管芯 118 的非凹槽区具有的金属少于沟槽区的。由于电解液 106 的液流沿路径 10 移动, 因此在任何给定的位置, 沟槽区和非凹槽区的量, 由此电解液 106 的液流中晶片 100 表面上金属层 104 (图 2A) 覆盖的面积改变。

由于从管芯 118 之间的区域除去金属造成的电解液 106 的液流内晶片 100 上金属面积的这种变化导致这里称做的“整体负载效应” (global loading effect)。如下面更详细介绍的, 整体负载效应可以引起电解液的抛光速率在沟槽区的边缘附近波动。

图 3A 到 3D 示出了随着电解液 106 的液流在从非凹槽区上与管芯 118 相邻的位置移动到凹槽区上完全覆盖管芯 118 的位置的整体负载效应。如图 3A 所示, 如果电源 112 (图 2A) 在恒定的电流模式中运行, 那么电解液 106 的液流内的电流密度较低, 是由于非凹槽区中的金属层 104 (图 2A) 基本上均匀。电解液 106 的液流内的电流密度在液流中的任何一个特定部分不是更大, 这是由于被电解抛光的表面在晶片 100 (图 2A) 的非凹槽区中基本上均匀。

图 3B 示出了电解液 106 的液流作为液流达到管芯 118 并开始电解抛光的管芯 118 最左边的沟槽或线。电解液 106 的液流的部分液流现在电解抛光管芯 118 的沟槽区内的金属。管芯 118 上电解液 106 的液流的那部分液流内的电流密度相对于图 3A 中流的电流密度增加并达到最大值。电流密度在液流的该部分中增加是由于与管芯 118 外的非凹槽区中的阻挡层 154 (图 1B) 或介质层 151 (图 1B) 相比, 沟槽区中的金属更容易抛光 (电阻更小)。

图 3C 示出了电解液 106 的液流作为液流进一步在管芯 118 上移动并开始电解抛光的管芯 118 的较大区域。随着电解液 106 的液流现在覆盖的金属面积增加, 图 3C 中沟槽区上电解液 106 的电流密度降低。当电解液 106 的液流完全移动到管芯 118 上时, 电流密度进一步降低到图 3D 中的电流值。电流密度将保持在该恒定值, 同时流完全保留在管芯 118 上。随着电解液 106 的液流移动到管芯 118 上, 金属区域增加, 流的电流密度波动。管芯 118 上那部分电解液 106 的液流内电流密度的变化导

致金属层的抛光速率改变。具体地，电流密度和抛光速率变化发生在管芯 118 的边缘或附近。

图 4A 示出了随着电解液 106 的液流在管芯 118 上移动，电流密度变化以及电解液流的抛光速率的相应变化的结果。具体地，图 4A 示出了如图 3A 到 3D 所示用电解液 106 的液流已抛光的管芯 118（图 3A）的最左边的沟槽 420、422、424 以及 426。如图所示，在最左边的沟槽 420 内金属被抛光到更大的程度。沟槽 420 内的过量抛光称做金属凹槽。随着远离管芯 118 的边缘剩余的沟槽 422、424 以及 426 内的金属凹槽不断降低，这是由于随着液流在管芯 118 上移动抛光速率降低。因此，沟槽 426 右边的沟槽具有较少的金属凹槽，这是由于当液流完全位于管芯 118 之上时，电流密度和抛光速率不会急剧波动。

如上面参考图 3A 到 3D 所介绍的，随着电解液流在管芯 118 上移动，当仅管芯 118 的最左边处于液流下面时，电流密度和抛光速率最大。随着越来越多的管芯处于液流的路径之下，电流密度降低。因此，沟槽 420 右边的沟槽中的金属凹槽降低直到达到与边缘附近相比变化较少的水平面，当液流完全处于管芯 118 上时，电流密度中的波动较小。沟槽 420、422、424 以及 426 的金属凹槽以及填充金属的高度差异会导致金属线的电导波动并负面地影响半导体器件的性能。

图 4B 示出了示例性的虚拟结构。如图所示，虚拟结构 428、430 以及 432 已包含在管芯 118 的边缘以及最外边沟槽 420 附近。通过在管芯 118 的沟槽上产生更恒定的电流密度和抛光速率，虚拟结构 428、430 以及 432 设置得靠近最外边沟槽 420 减小了电解液流的抛光速率波动。电流密度现在主要在虚拟结构上波动，金属凹槽将发生在虚拟结构 428、430 以及 432 内。当液流达到沟槽 420 时，大多数或所有的液流将处于虚拟结构 428、430 以及 432 上，液流的电流密度将在沟槽上保持相对不变。由此虚拟结构将减少了图 4A 的沟槽内发现的金属凹槽并产生更均匀的沟槽。

虚拟结构 428、430 以及 432 可以包含与其上淀积有金属层的介质层的材料相同，或者可以包括适合于特定应用的其它合适材料。如果虚拟

结构 428、430 以及 432 由与介质层相同的材料形成,那么虚拟结构 428、430 以及 432 可以与沟槽 420、422、424 以及 426 (图 4A) 同时形成。然后金属层层叠在沟槽 420、422、424 以及 426 (图 4A) 上的同时,金属层可以层叠在虚拟结构 428、430 以及 432 上。备选地,可以在沟槽 420、422、424 以及 426 形成之前或之后形成虚拟结构 428、430 以及 432。如果虚拟结构 428、430 以及 432 由与介质层不同的材料形成,例如铜或其它金属,那么通过任何方便的工艺可以淀积材料然后构图形成虚拟结构 428、430 以及 432 的需要结构。此外,虚拟结构 428、430 以及 432 可以是类似于管芯 118 的沟槽 420 的几何尺寸的沟槽,或者备选地可以是其它形状和尺寸,这取决于应用或电镀性质。下面介绍多种附加形状和结构。

图 5 为示例性金属镶嵌工艺的流程图。具有凹槽和非凹槽区的晶片提供在方块 500 中。提供在晶片上构图的介质层会限定凹槽和非凹槽区。此外,在处理成单个半导体器件的工艺结束之后,晶片可以分成各个管芯。在方框 502 中虚拟结构可以包含在晶片上。虚拟结构可以位于各管芯之外,或者如下所述,在与各线或高密度图形相邻的各个管芯内。在方框 504 中,可以淀积金属层,以使金属层填充介质层内的凹槽区以及非凹槽区。然后在方框 506 中电解抛光金属层以从介质层的非凹槽部分除去金属层并隔离金属结构。用于示例性金属镶嵌工艺的材料和方法可以是任何常规的材料和方法。

应该理解可以对流程图中示出的工艺进行大量的修改。例如,在方框 504 中淀积金属层之前可以添加阻挡层和/或籽晶层。此外,图 5 中的每个方框可以包括没有明确介绍的许多工艺,例如掩蔽和蚀刻晶片形成虚拟结构和凹槽区。此外,金属镶嵌工艺可以应用于单和双镶嵌应用。

图 6 示出了与单个管芯 118 相邻的示例性的虚拟结构的示意图。如图所示,在与管芯 118 相邻的区域中,已形成了虚拟结构。在该实施例中,虚拟结构 630 位于从管芯 118 的每个边至少延伸距离“a”的区域中。距离 a 选择得大于或等于距离 D (即, $a > D$), 其中 D 等于电解液

106 的液流的直径。虚拟结构 630 用于保持穿过管芯 118 的电解液 106 的液流相对不变的电流密度。通过改变虚拟结构 630 的尺寸与虚拟结构之间空间的比例可以调节虚拟结构 630 的密度。可以根据特定的应用改变虚拟结构 630 的尺寸和形状。虚拟结构 630 也可以用于构形成管芯 118 周围的连续的线或沟槽。此外, 应该理解可以根据应用使用任何数量的虚拟结构 630。

图 7 示出了根据另一实施例与四个管芯 118 相邻的示例性虚拟结构的示意图。图 7 的结构类似于图 6 的, 除了在该实施例中, 与四个管芯 118 相邻的虚拟结构的面积不大于或等于电解液 106 的液流的直径 D 。显示距离 b 和 c 分别等于相邻管芯 118 之间的水平和垂直间距。随着电解液 106 的液流从一个管芯 118 移动到下一个, 每个管芯 118 的沟槽结构将分享液流的电流。因此, 通过在管芯 118 之间以小于 D 的距离 b 和/或 c 添加虚拟结构 630, 可以保持近似恒定的电流密度。

应该认识到可以地图 5 中示出的工艺和图 6 和中示出的示例性结构进行各种修改。例如, 图 6 和 7 中的虚拟结构具有除方形之外的形状, 例如参考图 17A-17AA 介绍的形状, 并且可以进一步为与管芯 118 相邻的一个或多个线。

在电解抛光期间会发生额外效应类似于整体负载效应, 除了它发生在管芯的局部区域这里称做“局部负载效应”。当从与管芯上的结构相邻的区域 (field) 或非凹槽区抛光金属时会发生局部负载效应。随着电解抛光工艺从管芯的非凹槽区除去金属, 金属的量减少。如果在恒定电流模式中进行电解抛光工艺, 那么电解液流中的电流聚集在管芯的剩余沟槽区域上, 会导致低密度图形区和高密度图形区界面处的高电流密度。沟槽区上的高电流密度会造成端点检测困难, 以及导致沟槽内金属凹槽的过抛光。

此外, 如果电解抛光工艺以恒定电压模式工作那么会发生局部负载效应。再参考图 2A, 流过电解抛光装置的电流在阴极和阳极之间具有四个主要的电阻源。第一个电阻源 $R1$ 为电解液 106 的液流的电阻。第二个电阻源 $R2$ 在晶片 100 的表面和电解液 106 的液流之间的界面处的

电阻。第三个电阻源 R3 为来自晶片 100 的边缘处被抛光到电极的那部分晶片 100 的电阻。第四个电阻源 R4 为喷嘴电极 108（阴极）和电解液 106 的液流之间的界面处的电阻。流过具有恒定电压模式的系统的电流 I 如下表示：

$$I = V/(R1+R2+R3+R4)$$

其中 V 为电源 112 的抛光电压。

随着抛光工艺从非凹槽区除去金属，第二电阻 R2 减小是由于液流内金属区的量减少。然而电解液 106 的液流内的电流取决于总电阻 $R(R1+R2+R3+R4)$ ，随着金属面积减少，总电阻 R 没有随着电阻 R2 的减小成比例地（即，快速）降低。因此，由于电流成比例降低小于金属区中的减少，因此在其余的沟槽区上电流密度和抛光速率增加。该效应在沟槽区中产生以上介绍的金属沟槽。对于管芯上的低密度图形区特别强调该效应。

图 8 示出了根据一个实施例与管芯的低密度区域上的各线相邻设置的示例性虚拟结构的示意图。线 840a 到 840j 为管芯上的低密度图形。虚拟结构 630 设置得靠近和环绕低图形密度区。虚拟结构 630 增加了管芯的不同低密度区域中金属结构的平均密度。金属结构的平均密度增加减少了电解液流的电流变化并减少了金属凹槽。此外，为了减少线 840a 到 840j 之间的电容，隔开线 840a 到 840j 与虚拟结构 630 的空间例如大于或等于在介质层的设计规则中允许的最小空间，例如两倍或三倍地大于结构的设计规则的最小空间。在其它实施例中，根据应用空间 a 和 b 甚至可以更大。此外，可以根据具体应用改变虚拟结构的数量和形状。

图 9 示出了根据另一实施例与管芯的低密度区域上的各线相邻设置的示例性虚拟结构的示意图。在本实施例中，线 940a 到 940g 位于管芯的低密度区域中，并且也包含位于各线之间的空间，例如线 940a 和 940b 之间的空间。虚拟结构 630 与线 940a 到 940g 相邻设置，并且也在相邻各线之间的空间内，例如 940a 和 940b 之间的空间，以及 940e 和 940f 之间的空间。虚拟结构 630 放置在相邻各线之间的空间内，以减少这些低密度区域中的局部负载效应。特别是，虚拟结构 630 减少了

电流聚集，即电流密度浓度在线 940a 到 940b。当线 940a 和 940b 之间的距离变大时，线 940a 通常称做隔离线或等值线 (isoline)。

在电镀工艺中，在金属层电镀到管芯的高密度构图区上地方，会发生这里称做“隆起效应”。隆起效应为在电镀工艺期间特别是在管芯的高密度构图的区域上发生的过电镀或平面升高的区域。隆起效应包括沟槽区边缘上金属层的倾斜或非水平表面区域。非水平表面会使金属表面的平面化变得困难。具体地，当电解抛光倾斜区域时，凹槽会存在于各线的纵向端处或附近，也存在于各线的高密度区域的最外部线的边缘处或附近。

图 10A 到 10F 示出了示例性沟槽结构的工艺流程图，显示出各线的纵向边缘附近的隆起效应和所得沟槽。图 10A 示出了在介质层 1060 中形成的沟槽的凹陷区的截面图。介质层 1060 可以由与以上针对图 1A 介绍的类似材料形成，例如二氧化硅和其它低介电常数材料，取决于具体应用。根据应用阻挡层和/或籽晶层 1070 也可以淀积在介质层 1060 上。阻挡层和/或籽晶层 1070 也可以由与以上针对图 1A 介绍的类似材料形成。图 10B 示出了在介质层 1060 中形成的三个沟槽或线 1061、1062 以及 1063 的俯视图。

然后如图 10C 和 10D 中的剖面图和俯视图分别所示，用金属层 1064 镀覆该结构。如图 10C 和 10D 所示，沟槽上的过电镀在密度构图区上产生一个隆起。隆起的高度显示为 h_3 ，为介质层 1060 的未构图区上镀覆金属的高度 h_1 以及介质层 1060 的未构图区上镀覆金属的高度 h_2 之间的差异。金属层 1064 的非水平区显示为 1066。在线 1061、1062 以及 1063 (图 10A 和 10B) 的边缘附近从 h_1 到 h_3 镀覆过渡的距离用 w_1 和 w_2 显示。

图 10E 和 10F 示出了金属层 1064 已电解抛光到介质层 1060 以隔离 1061、1062 以及 1063 之后的结构。具有金属层 1066 的非水平区的电解抛光金属 1064 会在线 1061、1062 以及 1063 内产生金属凹槽。与首先抛光最高区域的化学机械抛光相反，电解抛光以基本上相同的速率抛光了金属层 1066 的露出表面而与不同的高度无关。这导致在线 1061、

1062 以及 1063 的端部或附近同样在此时为线 1061 和 1063 的最外线的边缘处或附近产生具有凹槽的金属层 1064。凹槽可以表现为由线边缘的金属中的高度差 h_4 以及金属层 1064 中间附近的高度。如上面针对整体负载效应和局部负载效应介绍的, 金属凹槽导致金属损失并且减小了金属线的电导。

图 11A 到 11C 示出了根据一个实施例的示例性各线和虚拟结构的图。图 11A 为类似于图 10A 形成的包括线 1161、1162 以及 1163 的结构的俯视图, 除了虚拟结构 630 设置得靠近线 1161、1162 以及 1163 的纵向端并与线 1161 和 1163 的最外线相邻。虚拟结构 630 用于将倾斜非平面的隆起区 (参见图 10C) 延伸到设置线 1161、1162 以及 1163 的线或阵列区外部的区域。通过添加虚拟结构 630 可以减小或消除在阵列的各线的纵向端处或附近以及阵列的最外线的边缘处或附近的金属凹槽。

图 11B 和 11C 示出了包括线 1163 和纵向端处的虚拟结构 630 的剖面图。如图 11B 所示, 金属层 1164 的非水平区 1164 现在位于虚拟结构 630 和介质层 1160 之上。在图 11C 中金属层 1164 被电解抛光之后, 线 1163 内的金属凹槽减少或消除。

可以根据应用调节虚拟结构 630 的数量和宽度以减小线 1163 内的任何金属凹槽。虚拟结构 630 可以构形成图 11A 所示的与线 1161、1162 以及 1163 相邻的一列, 或者备选地多于一列。可以根据隆起的特性选择虚拟结构 630 的数量和结构, 例如隆起的高度或非水平区的斜率。通过调节定义了金属线 1161、1162 以及 1163 与虚拟结构 630 之间空间的空间 a 和 b 同样可以操作虚拟结构 630 的结构。该空间通常大于或等于用于介质层的设计规则中允许的最小空间。此时, 虚拟结构 630 显示为具有深度等于线 1161、1162 以及 1163 深度的方形, 但应该认识到虚拟结构 630 可以构形成任何形状或深度。因此可以多种方式操作虚拟结构 630 的多种属性。

图 12 示出了根据一个实施例与高密度线或阵列相邻的示例性虚拟结构。在本实施例中, 与线 1261、1262 以及 1263 相邻并环绕设置连续的金属线 1231。通过使隆起的倾斜非水平区移动远离上面介绍的具有图

11A 到 11C 的虚拟结构 630 的线，连续的金属线 1231 用于防止线 1261、1262 以及 1263 中的金属凹槽。应该理解可以使用多个金属线 1231 或额外的虚拟结构，例如图 11A 中的可以连接金属线 1231。此外，金属线 1231 可以包括铜、铝、镍、铬、锌、镉、银、金、铯、钇、铂、锡、铅、铁、钨等。此外，金属线 1231 可以包括这些材料任何一种的合金。

图 13 示出了根据另一个实施例的示例性虚拟结构。图 13 中所示的示例性半导体器件非常类似于图 11A 中所示的示例性半导体器件，除了虚拟结构 1330 仅添加在各线 1361、1362 以及 1363 的纵向端部附近。此外，图 13 的虚拟结构 1330 已添加在各线 1361、1362 以及 1363 的纵向端部之间。如前所述，应该理解可以根据具体的应用使用任何数量的虚拟结构以及多种结构的虚拟结构。

图 14 示出了根据另一个实施例的示例性虚拟结构。图 14 中所示的示例性半导体器件非常类似于图 13 中所示的示例性半导体器件，除了虚拟结构 1431 由与图 13 所示的各方形或点相对的连续的线形成。然而，应该理解根据应用可以使用线和各结构的任何组合。

也可以将虚拟结构添加到半导体器件以减小这里介绍的多个效应。例如，如图 15 所示，对于线 1540a 到 1540j，虚拟结构已添加在管芯的两个不同区域以减小局部负载效应和隆起效应。虚拟结构 1530 已添加到与高密度线或阵列相邻的区域以减小隆起效应。虚拟结构 1530 减小了以上针对图 11A 介绍的在各线处或附近的金属凹槽。此外，虚拟结构 1532 同样可以添加到开口（open）或低密度区域以增加平均图形密度并避免局部负载效应。虚拟结构 1532 减小了各线上的电流密度，该电流密度会引起以上针对图 8 介绍的电解抛光工艺期间在各线的端部处或附近的过抛光。

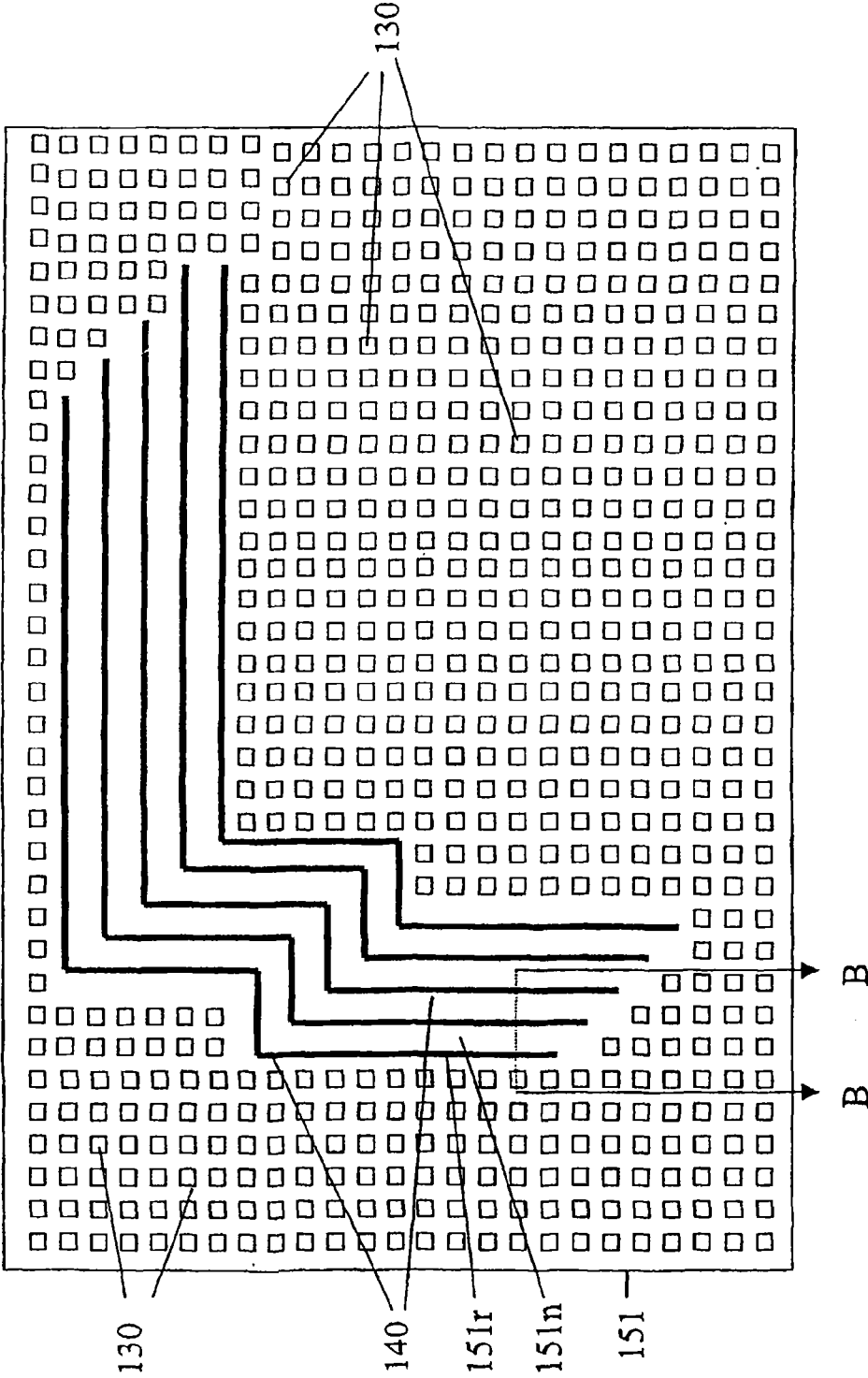
图 16 示出了根据另一个实施例的示例性半导体器件，对于线 1640a 到 1640g 减小了局部负载效应和隆起效应。图 16 中所示的示例性半导体器件类似于图 15 中所示的示例性半导体器件，除了虚拟结构 1530 添加在线 1640a 和 1640b 之间以及 1560e 和 1640f 之间。

此外，图 15 和 16 中所示的示例性半导体器件同样包括与半导体晶片上的管芯相邻的虚拟结构以减小了整体负载效应。

图 17A 到 17AA 示出了根据这里介绍的任何示例性实施例用于在半导体器件上形成虚拟结构的多种示例性形状。具体地，可以使用矩形、圆形、椭圆、三角、梯形、八边形、六角形、五角形等。然而应该理解根据特定的应用可以使用图 17A 到 17AA 中没有示出的其它形状形成本发明的虚拟结构。此外，虚拟结构可以配置为具有各种形状的线（例如参见图 12 和 14），包括多种截面形状。虚拟结构可以由不同的材料形成，例如二氧化硅和其它具有低介电常数的其它合适材料形成，例如氟化硅酸盐玻璃、聚酰亚胺、氟化聚酰亚胺、混合物/组合物、硅氧烷、有机聚合物，[阿尔法]-C:F, Si-O-C、聚对二甲苯/氟化聚对二甲苯、聚四氟乙烯、纳米多孔的氧化硅、纳米多孔的有机物等。如上所述，在一些情况中，虚拟结构可以由与介质层相同的材料形成。虚拟结构可以由以下金属形成，例如：铜、铝、镍、铬、锌、镉、银、金、铽、钇、铂、锡、铅、铁、钨等。此外，虚拟结构可以由这些材料任何一种的合金。

提供以上详细说明以介绍示例性实施例而不是限定性的。对于本领域中的技术人员来说显然可以在本发明的范围内有多种修改和变形。例如，添加到晶片用于减小整体负载效应的虚拟结构可以与用于局部负载效应、隆起效应或这两者的虚拟结构结合使用。此外，这里用于减小整体、局部或隆起效应具体介绍的示例性虚拟结构的形状和结构可以备选地根据应用用于解决任何这些效应或任何其它原因。因此，本发明由权利要求书限定而不是这里的说明。

图1A



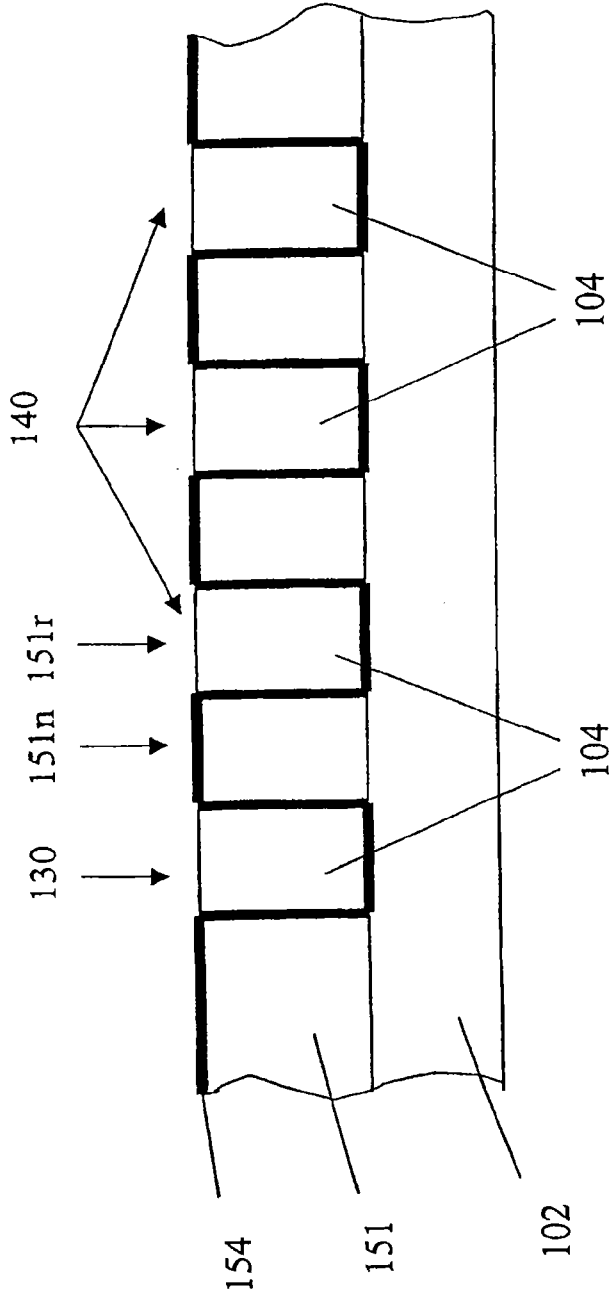


图1B

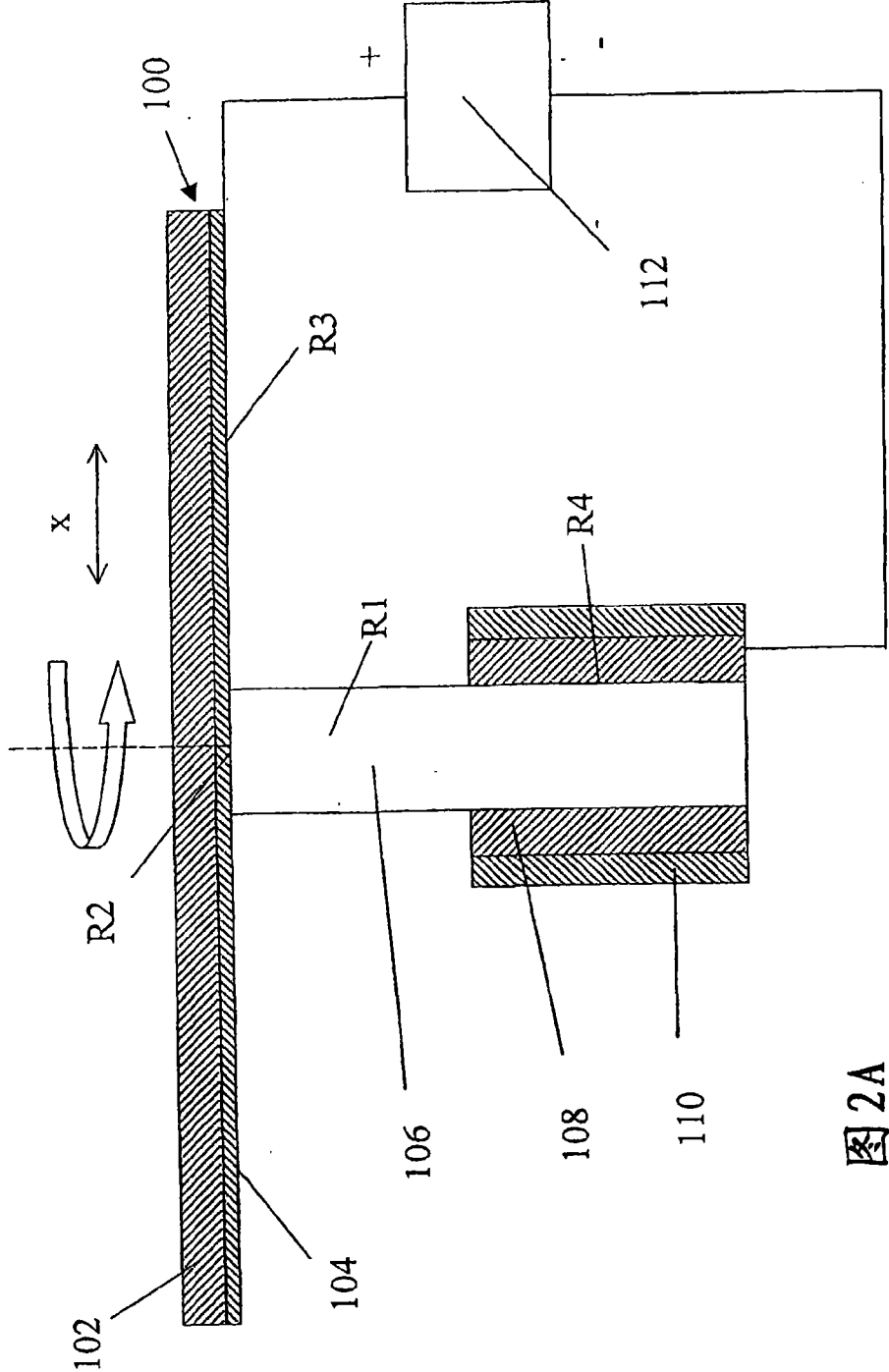


图 2A

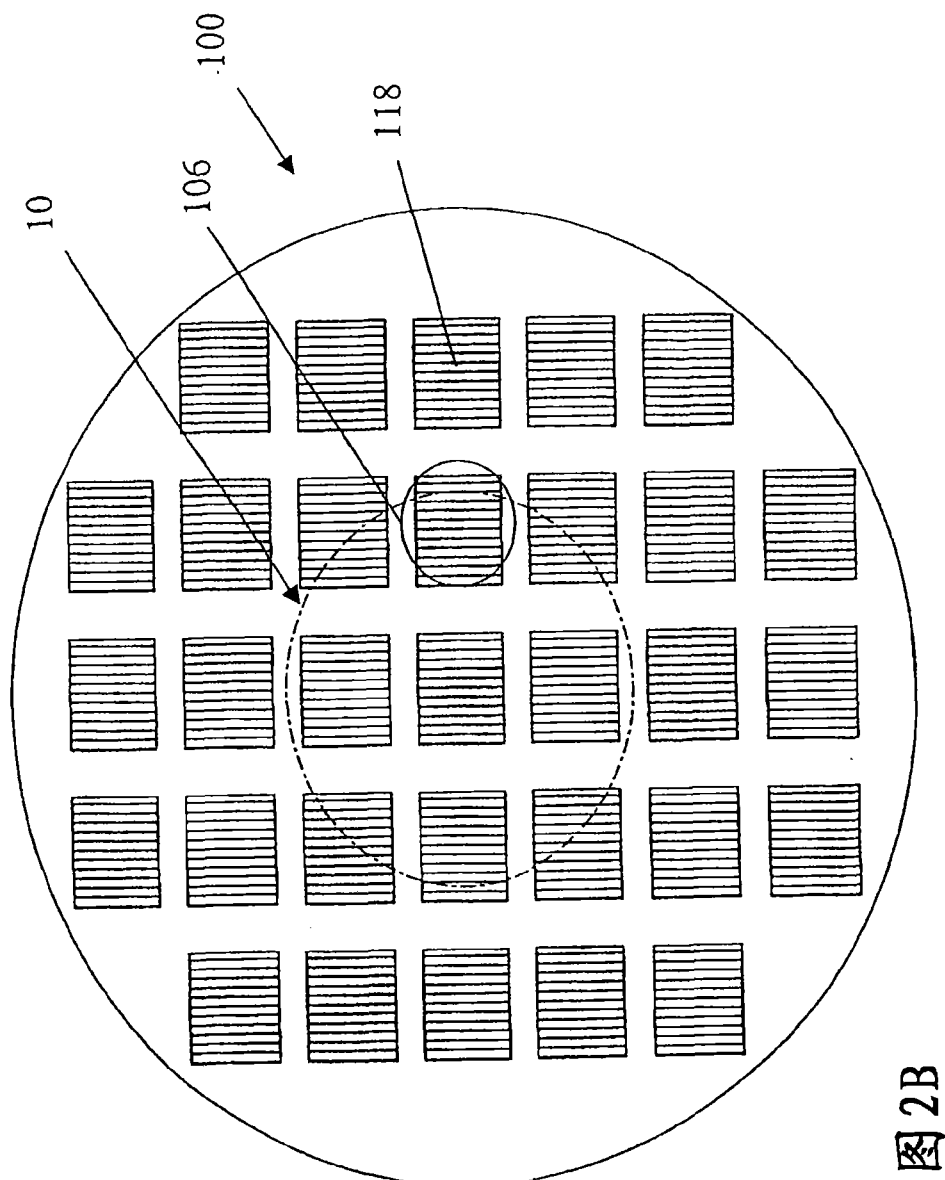
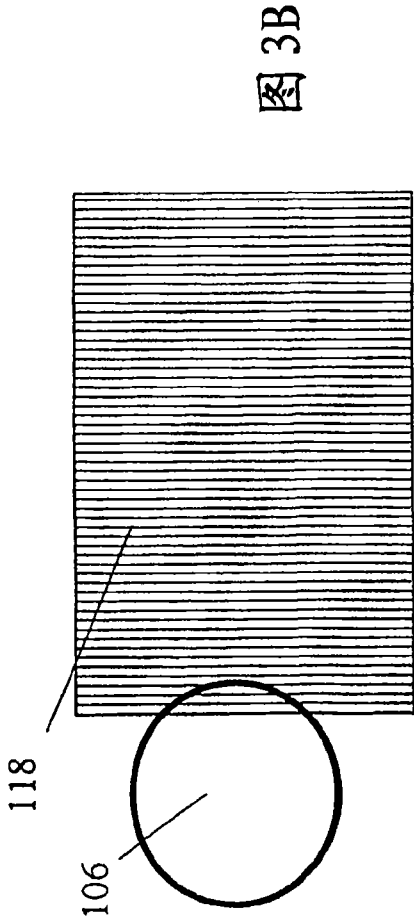
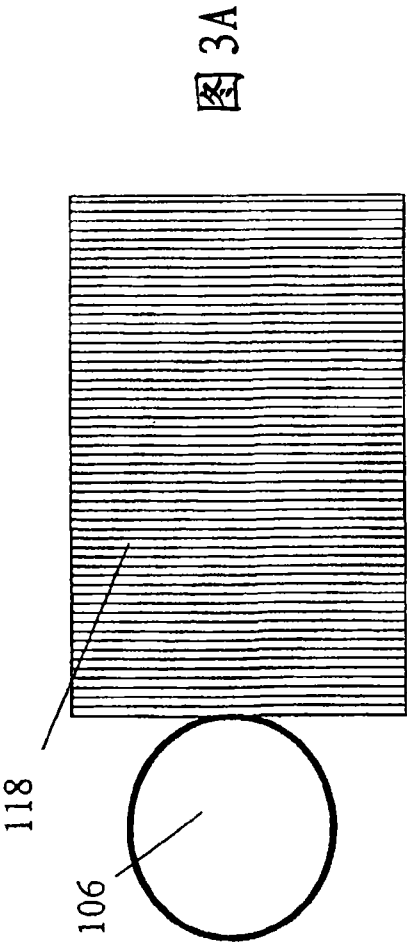


图 2B



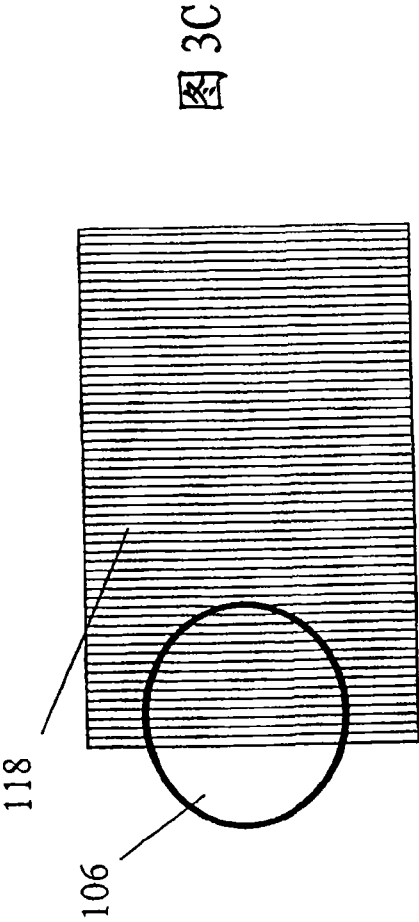


图 3C

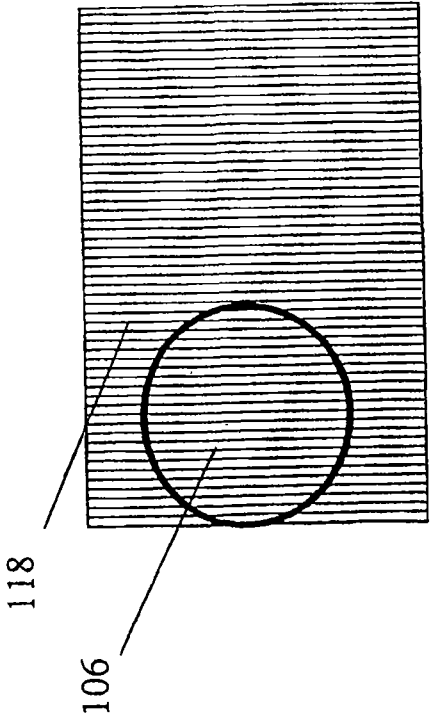


图 3D

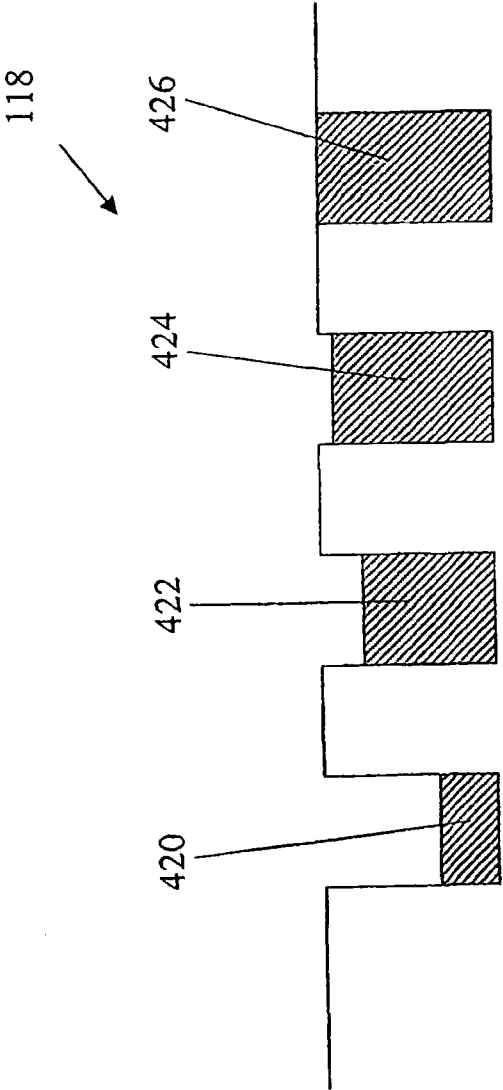


图 4A

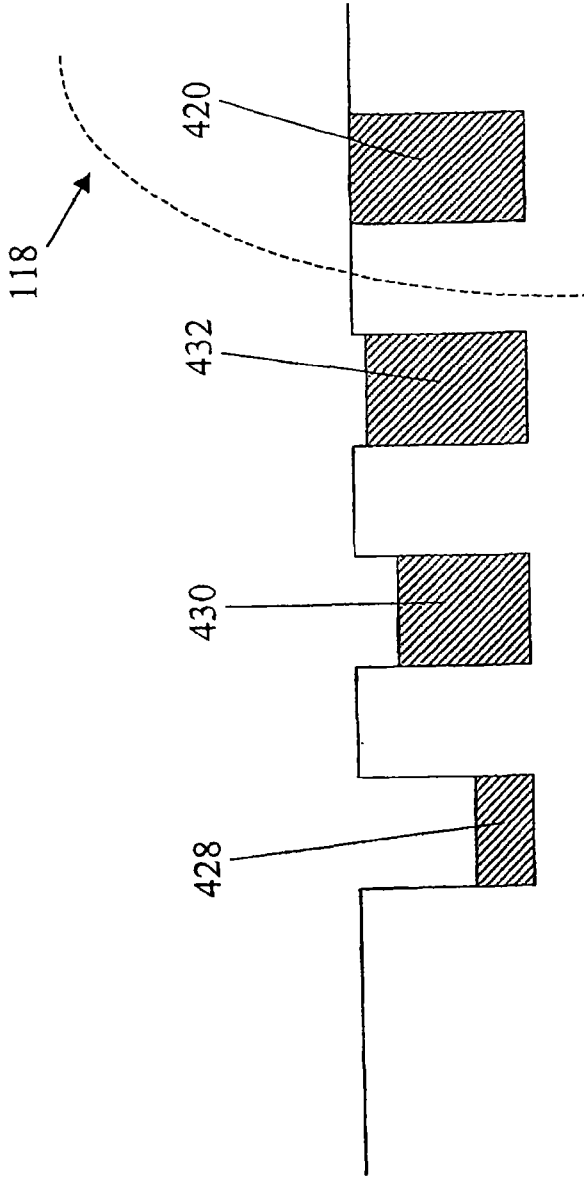


图 4B

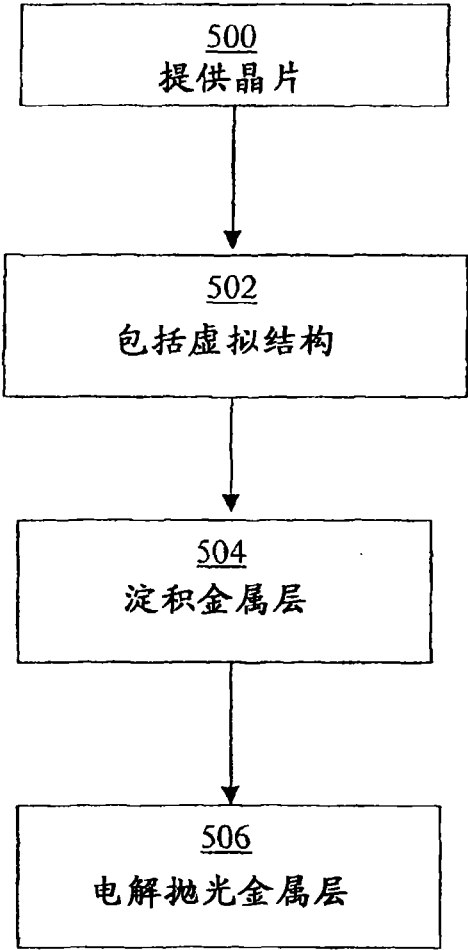


图5

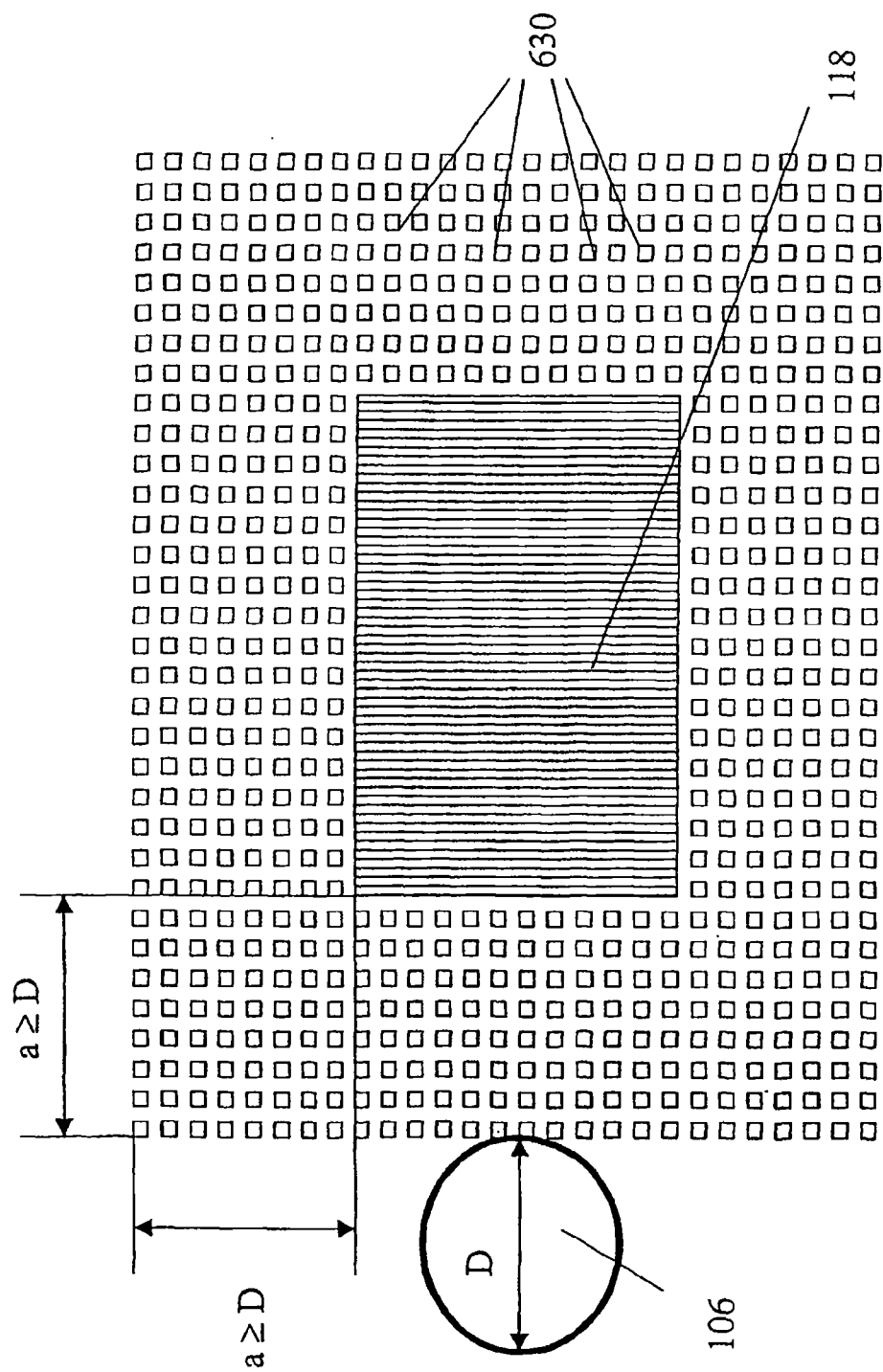


图6

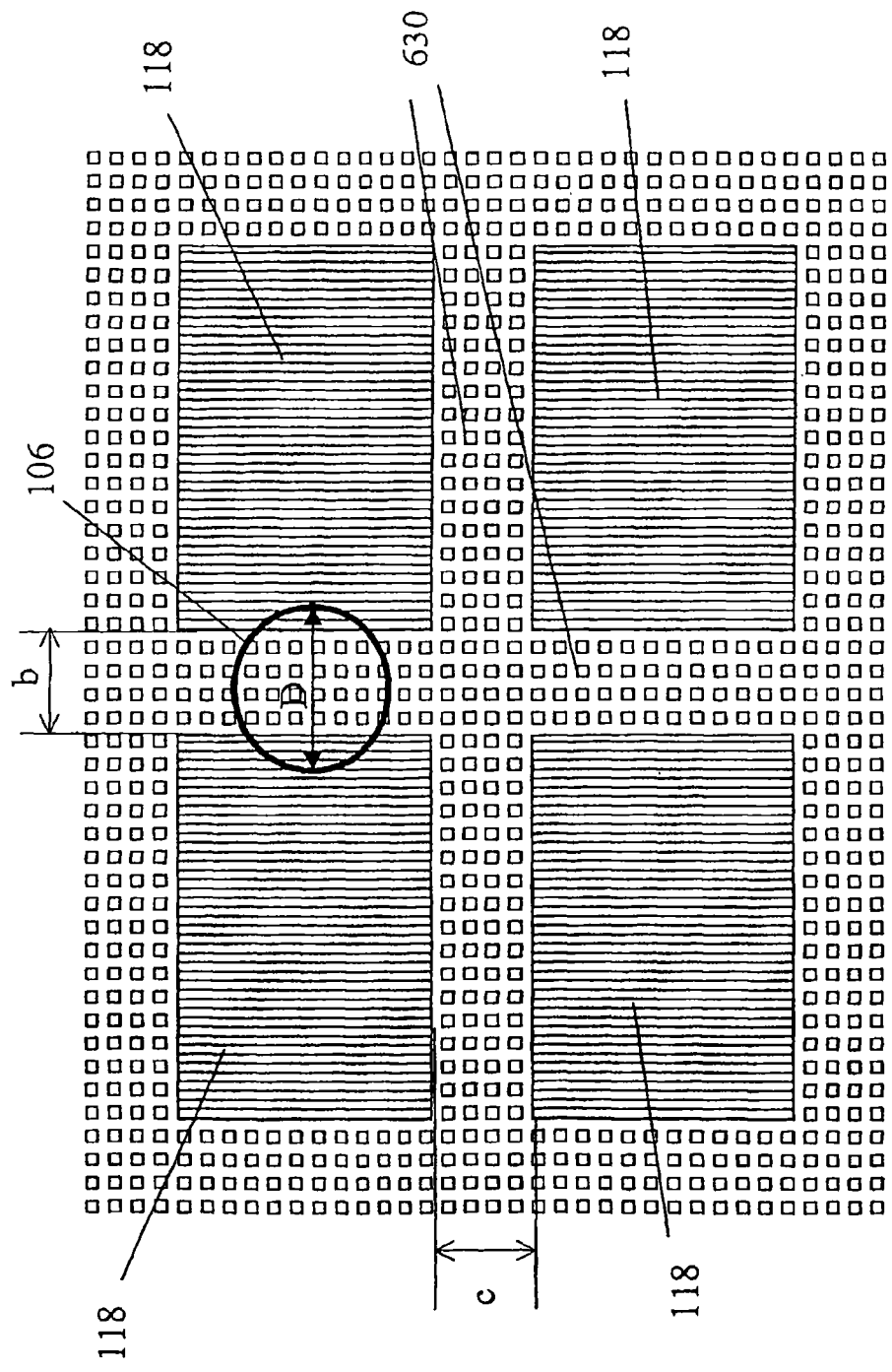


图7

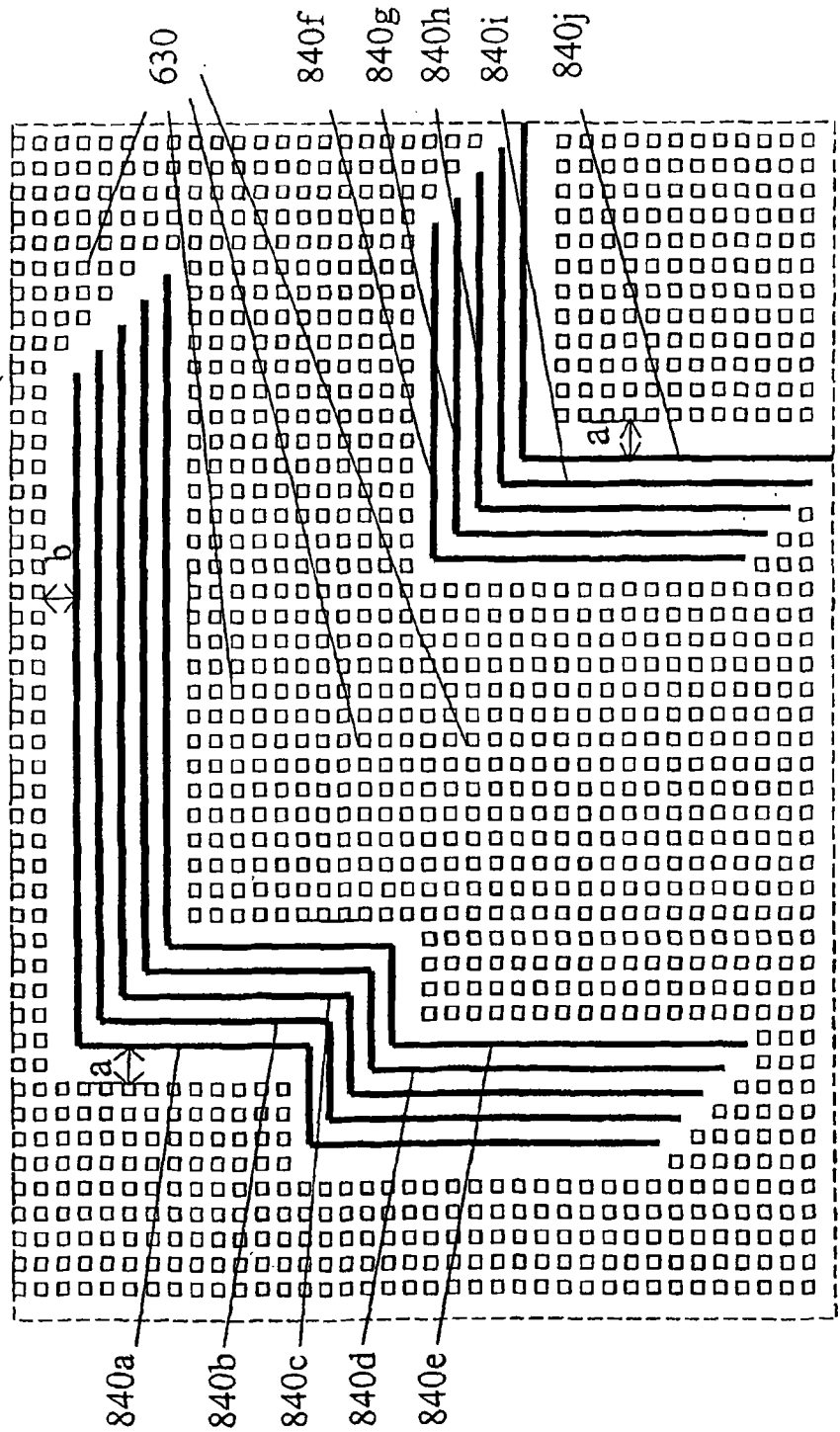


图8

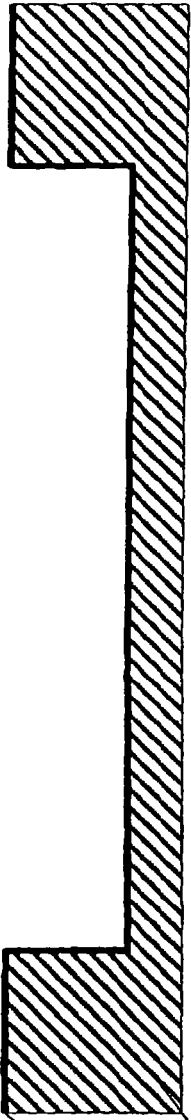


图10A

1070

1060

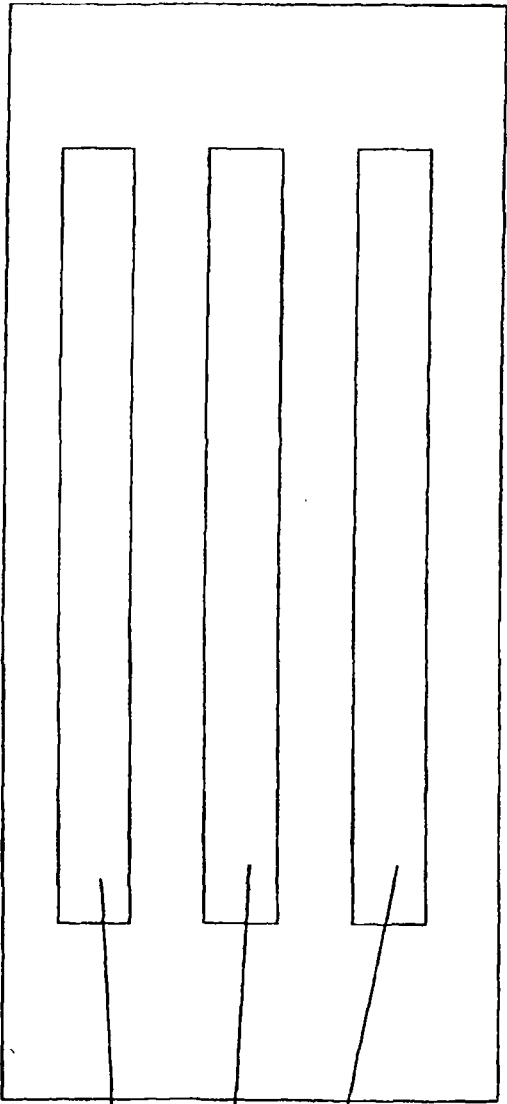


图10B

1061

1062

1063

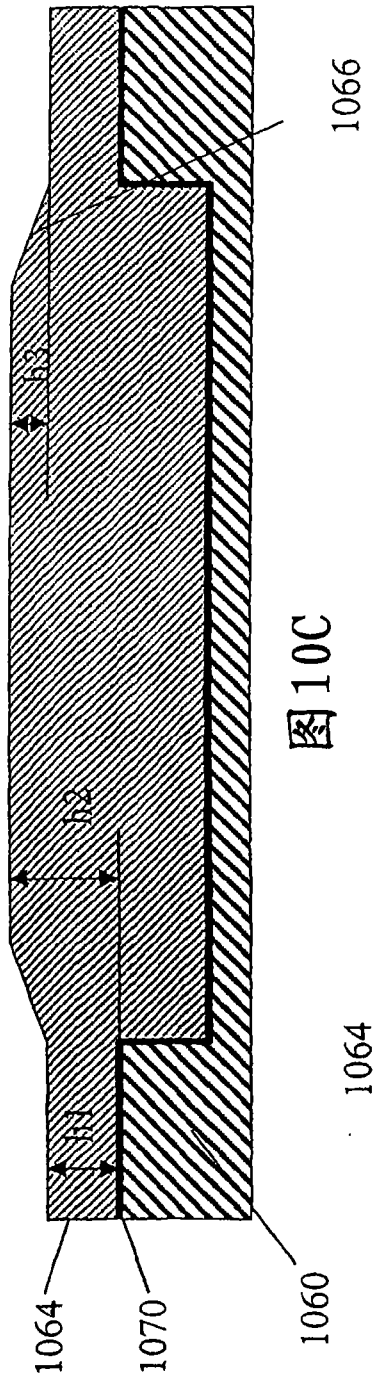


图 10C

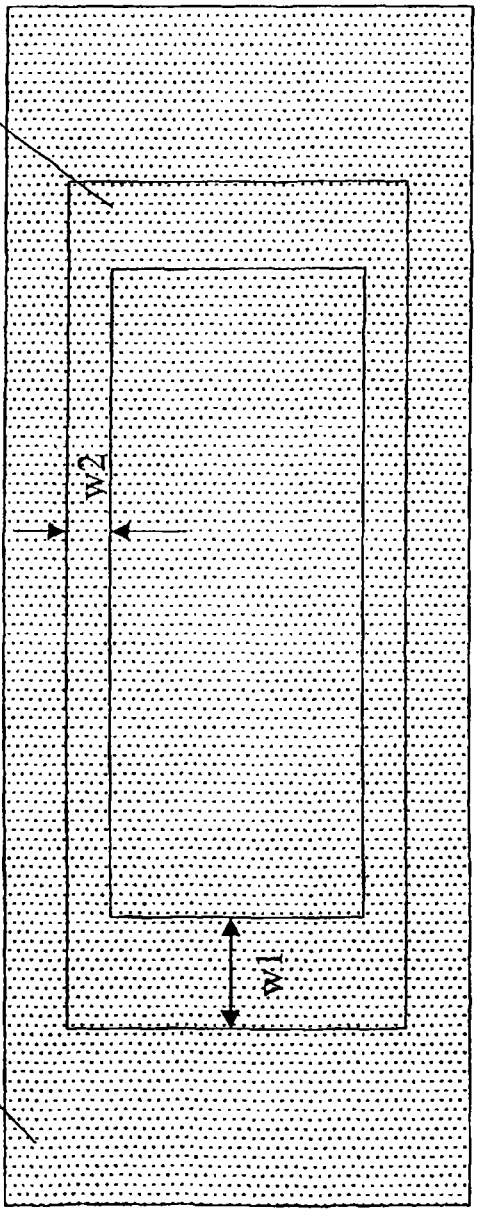


图 10D

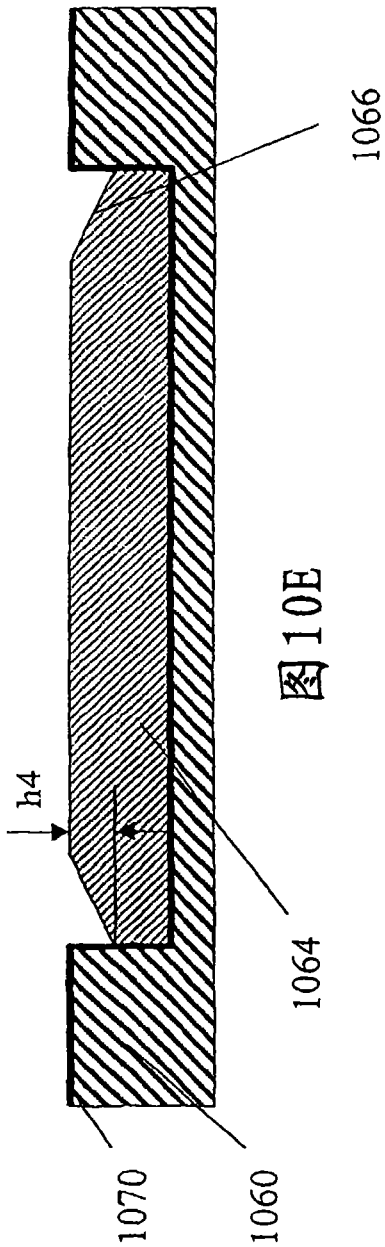


图 10E

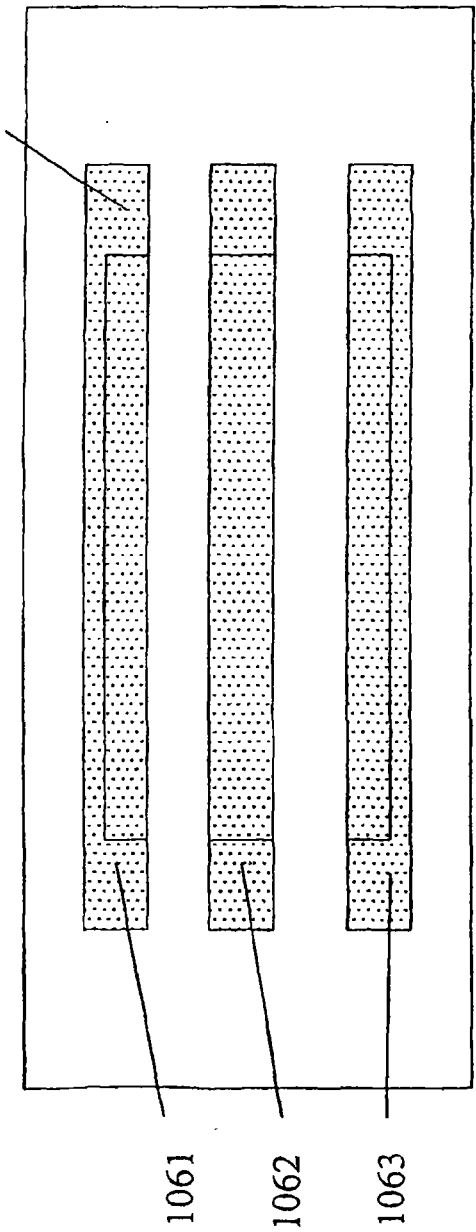


图 10F

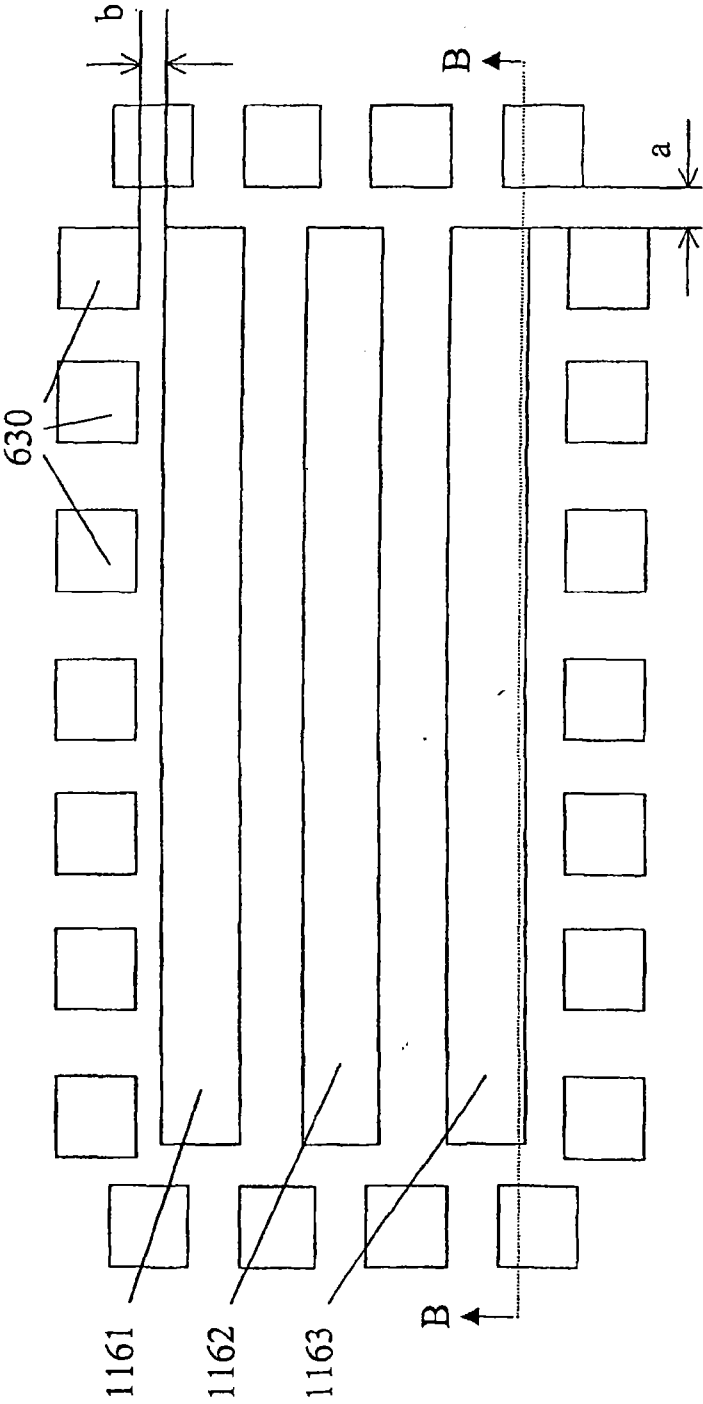


图11A

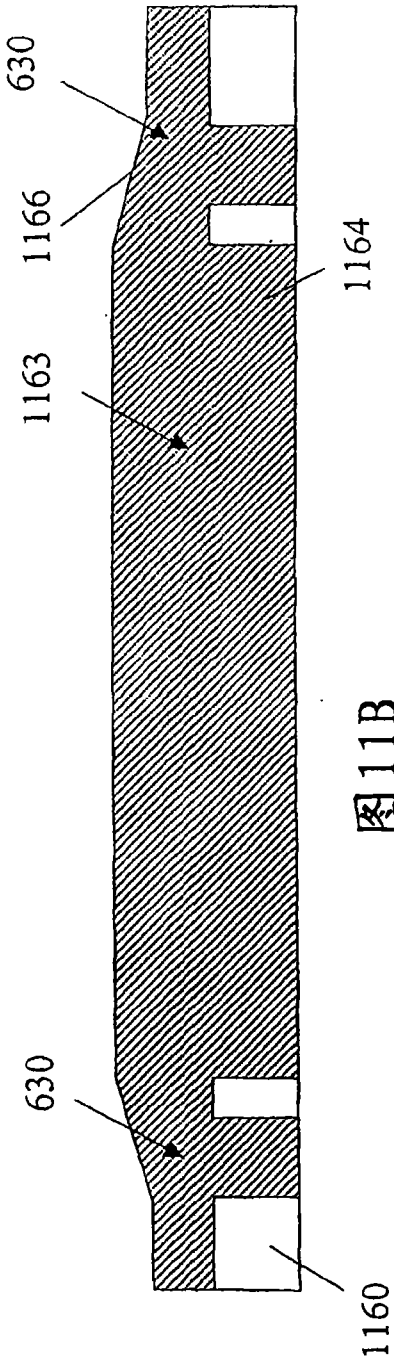


图11B

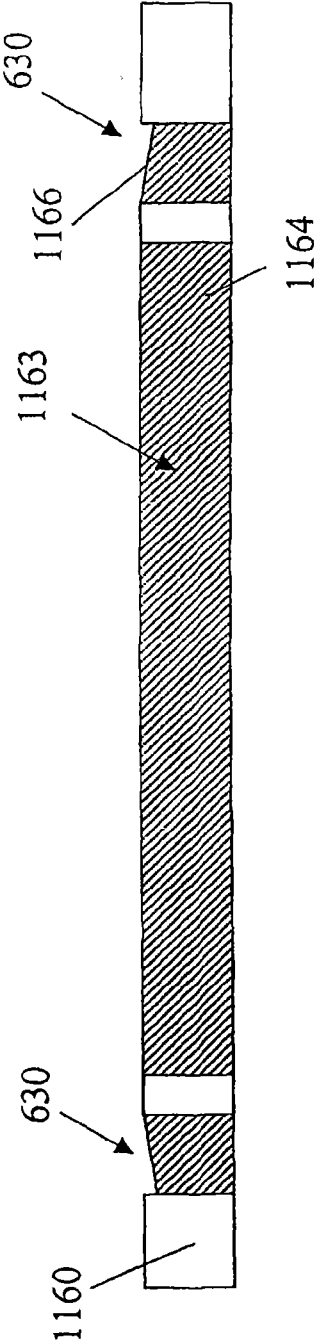


图11C

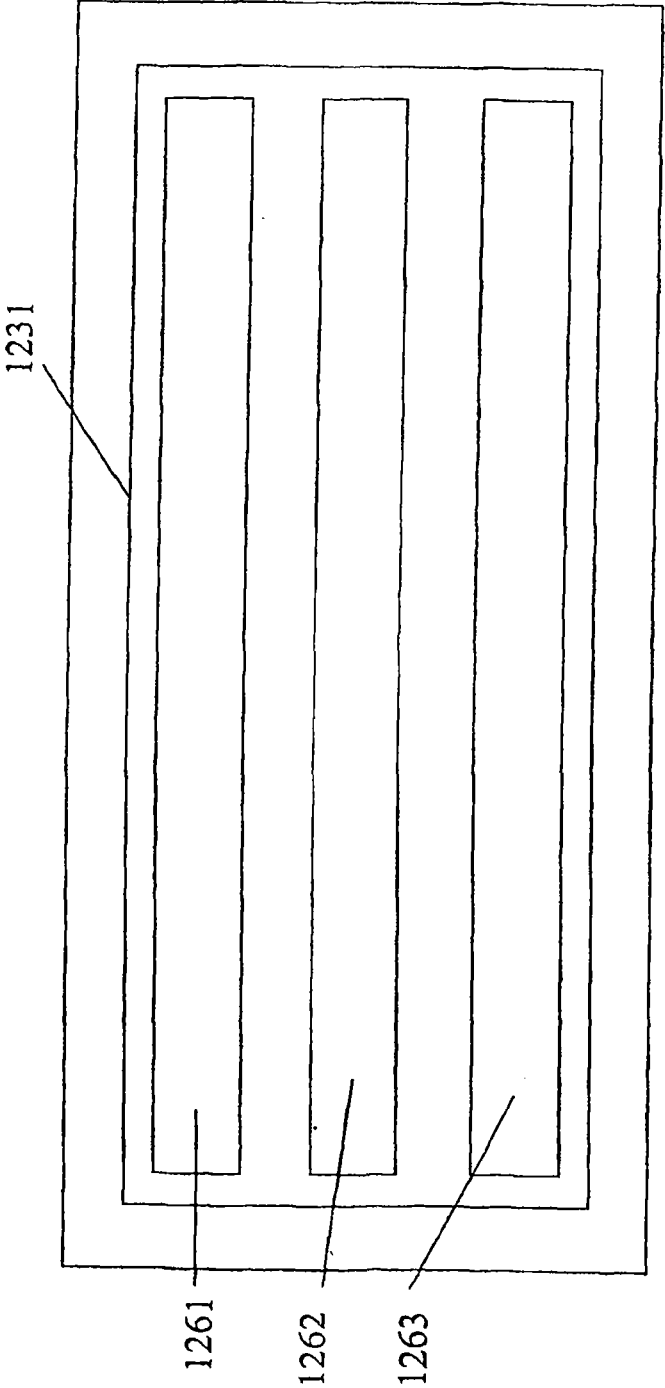


图12

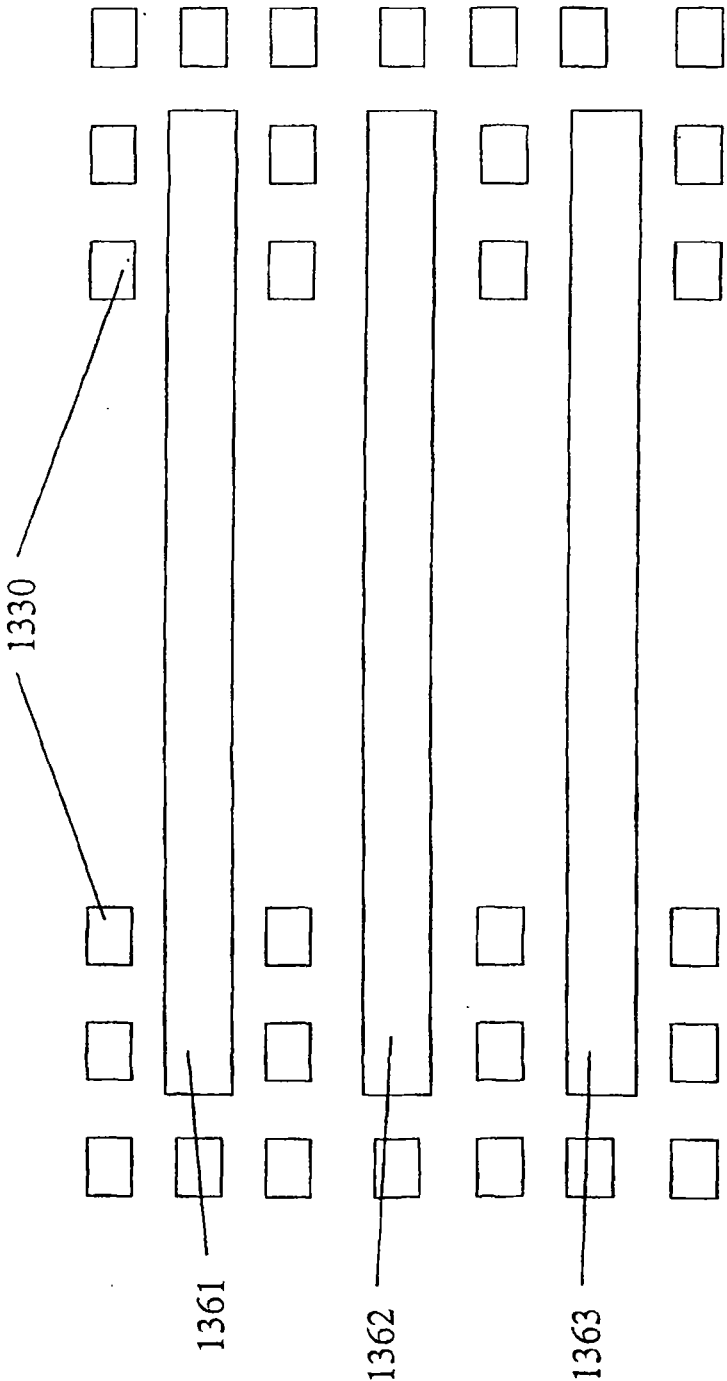


图13

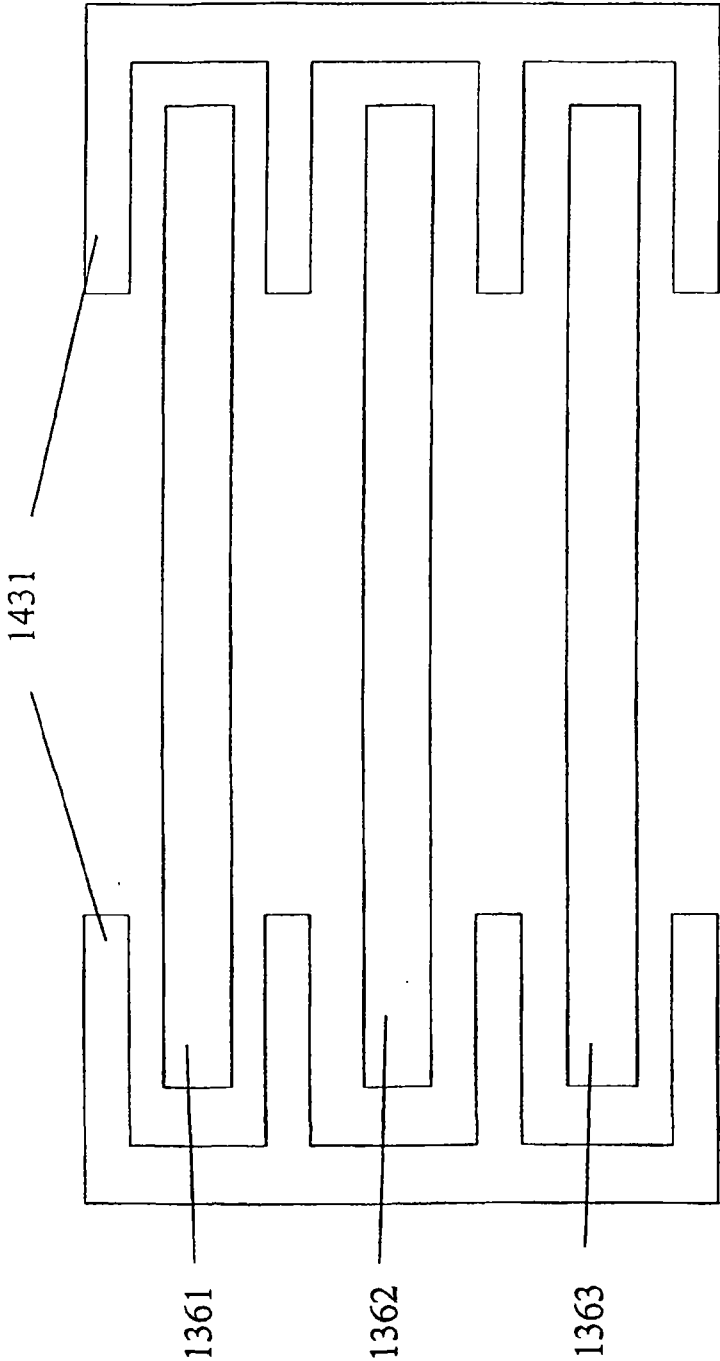


图14

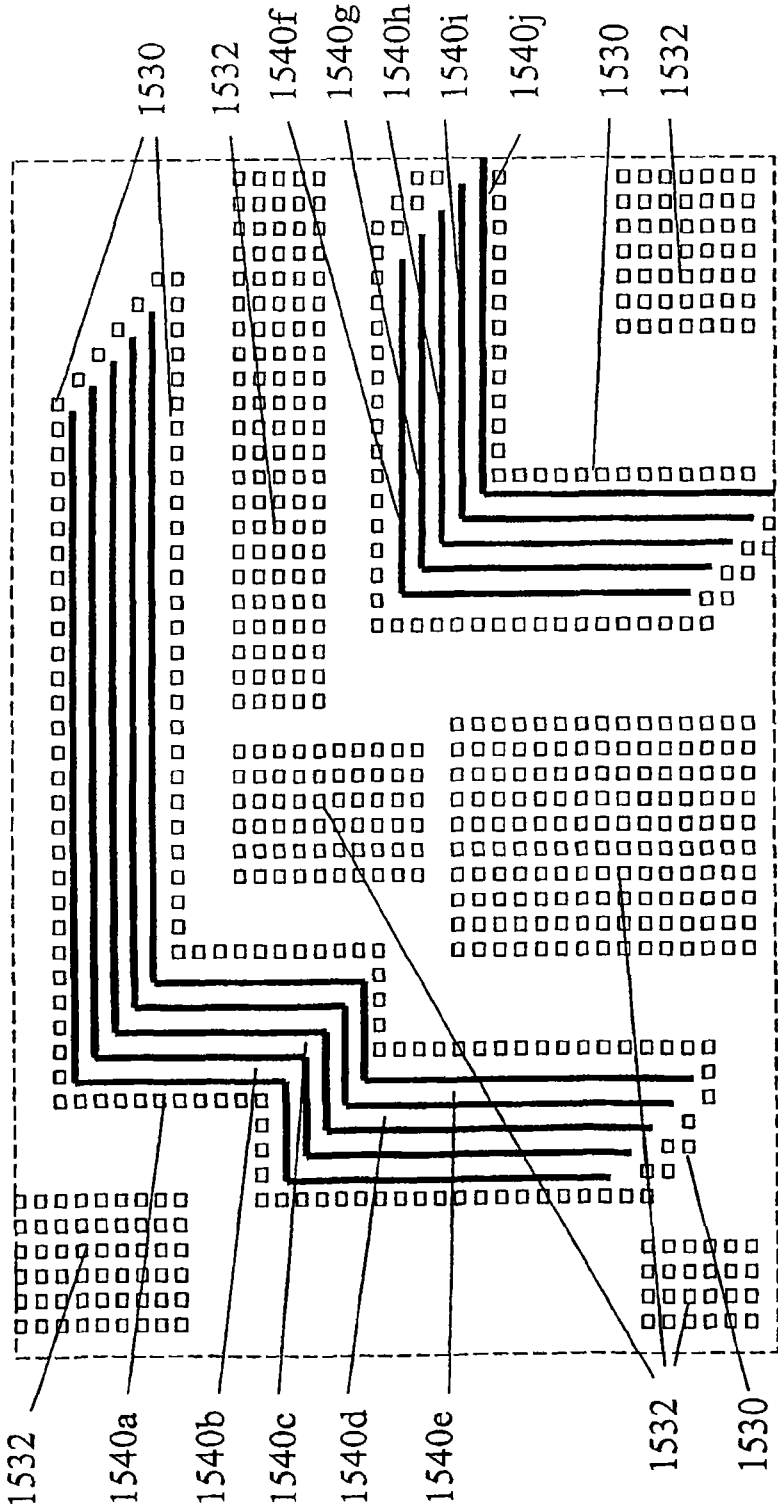


图15

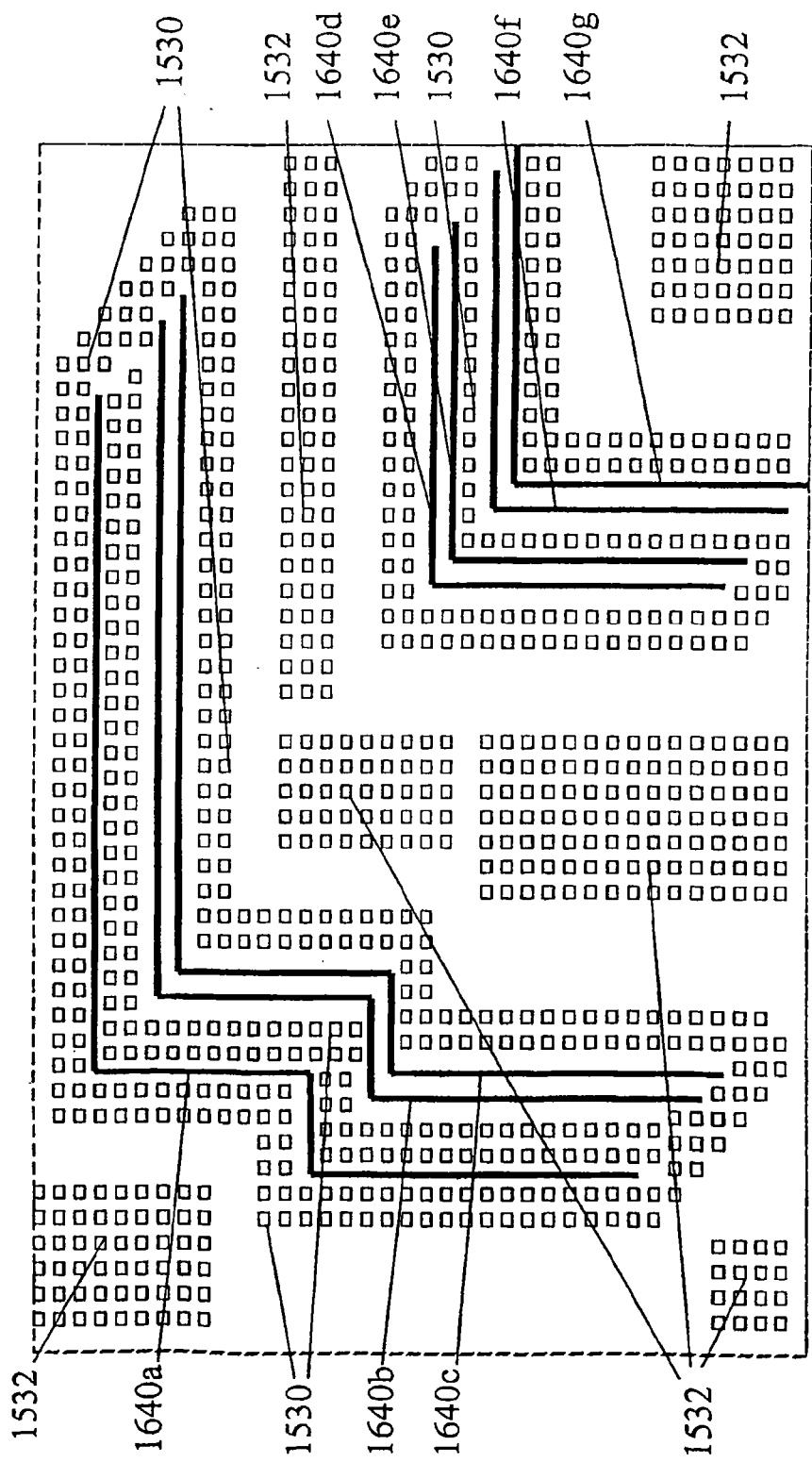


图 16



图17A



图17D



图17G

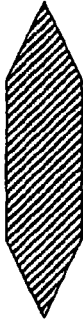


图17J



图17M



图17B



图17E

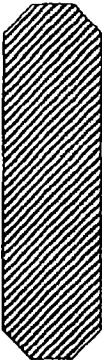


图17H



图17K



图17N



图17C



图17F



图17I



图17L



图17O

