(19)中华人民共和国国家知识产权局

(12)实用新型专利

(10)授权公告号 CN 203480375 U
(45)授权公告日 2014.03.12

(21)申请号 201320559048.7

(22)申请日 2013.09.09

(73)专利权人 杭州启扬智能科技有限公司
地址 310012 浙江省杭州市西湖区西园一路 8 号 3 幢 5 层 501 室

(72)发明人 楼斌

(51)Int.Cl.
G06F 1/16(2006.01)
G06F 1/18(2006.01)

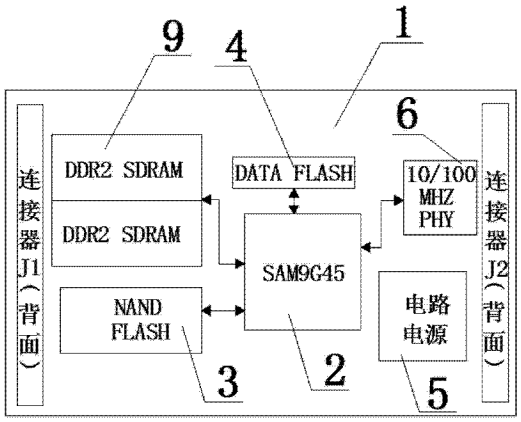
权利要求书2页 说明书6页 附图4页

(54)实用新型名称

核心板

(57)摘要

本实用新型公开了一种核心板，其包括核心板本体，其特征在于，核心板本体包括：该核心板本体设有CPU和连接于CPU的Nand Flash存储器、DataFlash存储器、DDR2SDRAM存储器、电源模块、DM9161网络芯片以及与底板接口的连接器J1和连接器J2。本实用新型的有益效果是：核心板采用高密度6层板(沉金)设计，体积仅为名片大小，集成了CPU、DDR2RAM、NandFlash、DataFlash、网络、采用5V直流供电，超低功耗，B to B(2*100)接插件引出各种常用接口资源，适合于用户批量使用。



CN 203480375 U

1. 核心板，其包括核心板本体，其特征在于，核心板本体包括：该核心板本体设有 CPU 和连接于 CPU 的 Nand Flash 存储器、DataFlash 存储器、DDR2SDRAM 存储器、电源模块、DM9161 网络芯片以及与底板接口的连接器 J1 和连接器 J2。

2. 如权利要求 1 所述的新型核心板，其特征在于，其中，CPU 为 ATMELAT91SAM9G45。

3. 如权利要求 1 所述的新型核心板，其特征在于，连接器 J1 的接口包括一百个管脚，其中，

第一管脚、第二管脚、第三管脚、第四管脚、第四十二管脚、第五十七管脚、第六十八管脚、第一百管脚均接至地信号；

第五管脚、第六管脚、第七管脚、第八管脚、第九管脚、第十管脚、第十一管脚、第十二管脚、第十三管脚、第十四管脚接至 USB 接口；

第十五管脚、第十六管脚、第十七管脚、第十八管脚、第十九管脚、第二十管脚接至 JTAG 接口；

第二十一管脚、第二十二管脚、第二十三管脚、第二十四管脚、第二十五管脚、第二十六管脚、第二十七管脚、第二十八管脚、第二十九管脚、第三十管脚、第三十一管脚、第三十二管脚、第三十五管脚、第三十六管脚接至 ISI 接口；

第三十三管脚、第三十四管脚接至 I2C1 接口；

第三十七管脚、第四十管脚接至 AC97 接口；

第四十一管脚接至 BZR 接口；

第四十三管脚、第四十四管脚接至 DBGU 接口；

第四十五管脚、第四十六管脚接至 UART0 接口；

第四十七管脚～第五十管脚接至 UART1 接口；

第五十一管脚～第五十四管脚接至 UART2 接口；

第五十五管脚、第五十六管脚接至 UART3 接口；

第五十八管脚～第六十管脚接至 PWM 接口；

第六十一管脚接至 TIOB0 接口；

第六十二管脚～第六十七管脚接至 PIO 接口；

第六十九管脚接至 IRQ 接口；

第七十管脚～第九十七管脚、第九十八管脚、第九十九管脚接至 EBI 接口。

4. 如权利要求 1 所述的新型核心板，其特征在于，连接器 J2 的接口包括一百个管脚，其中，

第一管脚、第十管脚、第三十三管脚、第六十五管脚、第六十六管脚、第七十五管脚接至地信号；

第二管脚接至 AVDDT 接口；

第三管脚、第五管脚接至 TPRX 接口；

第四管脚、第六管脚接至 TPTX 接口；

第七管脚、第八管脚接至 LED 接口；

第九管脚、第十一管脚、第十二管脚、第十三管脚、第十四管脚接至 SPI1 接口；

第十五管脚～第二十二管脚接至 MCI1 接口；

第二十三管脚接至 I2C0 接口；

第二十四管脚接至 ISCO 接口；

第二十五管脚～第三十二管脚接至 MCIO 接口；

第三十四管脚～第六十四管脚接至 LCD 接口；

第六十七管脚～第七十管脚接至 TSC 接口；

第七十一管脚～第七十四管脚接至 ADC 接口；

第七十六管脚接至 VDDBU 接口；

第七十七管脚～第九十二管脚接口接至 KEY 接口；

第九十三管脚接至 nRESET 接口；

第九十四管脚接至 WAKEUP 接口；

第九十五管脚接至 SHUTDN 接口；

第九十六管脚为空引脚 NC；

第九十七管脚～第一百管脚接至 VD 接口。

核心板

技术领域

[0001] 本实用新型涉及一种核心板。

背景技术

[0002] 用户对于核心板除在性能上具有较高要求之外，其批量使用的成本也在其考虑范畴之内，而传统的核心板在性能上以及使用成本上均不尽如人意。

实用新型内容

[0003] 本实用新型的目的就是为了解决上述问题，提供一种核心板。

[0004] 为了实现上述目的，本实用新型采用如下技术方案：

[0005] 核心板，其包括核心板本体，其特征在于，核心板本体包括：该核心板本体设有CPU和连接于CPU的Nand Flash存储器、DataFlash存储器、DDR2SDRAM存储器、电源模块、DM9161网络芯片以及与底板接口的连接器J1和连接器J2。

[0006] 其中，CPU为ATMEL AT91SAM9G45。

[0007] 连接器J1的接口包括一百个管脚，其中，

[0008] 第一管脚、第二管脚、第三管脚、第四管脚、第四十二管脚、第五十七管脚、第六十八管脚、第一百管脚均接至地信号；

[0009] 第五管脚、第六管脚、第七管脚、第八管脚、第九管脚、第十管脚、第十一管脚、第十二管脚、第十三管脚、第十四管脚接至USB接口；

[0010] 第十五管脚、第十六管脚、第十七管脚、第十八管脚、第十九管脚、第二十管脚接至JTAG接口；

[0011] 第二十一管脚、第二十二管脚、第二十三管脚、第二十四管脚、第二十五管脚、第二十六管脚、第二十七管脚、第二十八管脚、第二十九管脚、第三十管脚、第三十一管脚、第三十二管脚、第三十五管脚、第三十六管脚接至ISI接口；

[0012] 第三十三管脚、第三十四管脚接至I2C1接口；

[0013] 第三十七管脚、第四十管脚接至AC97接口；

[0014] 第四十一管脚接至BZR接口；

[0015] 第四十三管脚、第四十四管脚接至DBGU接口；

[0016] 第四十五管脚、第四十六管脚接至UART0接口；

[0017] 第四十七管脚～第五十管脚接至UART1接口；

[0018] 第五十一管脚～第五十四管脚接至UART2接口；

[0019] 第五十五管脚、第五十六管脚接至UART3接口；

[0020] 第五十八管脚～第六十管脚接至PWM接口；

[0021] 第六十一管脚接至TIOB0接口；

[0022] 第六十二管脚～第六十七管脚接至PIO接口；

[0023] 第六十九管脚接至IRQ接口；

[0024] 第七十管脚～第九十七管脚、第九十八管脚、第九十九管脚接至 EBI 接口。

[0025] 连接器 J2 的接口包括一百个管脚，其中，

[0026] 第一管脚、第十管脚、第三十三管脚、第六十五管脚、第六十六管脚、第七十五管脚接至地信号；

[0027] 第二管脚接至 AVDDT 接口；

[0028] 第三管脚、第五管脚接至 TPRX 接口；

[0029] 第四管脚、第六管脚接至 TPTX 接口；

[0030] 第七管脚、第八管脚接至 LED 接口；

[0031] 第九管脚、第十一管脚、第十二管脚、第十三管脚、第十四管脚接至 SPI1 接口；

[0032] 第十五管脚～第二十二管脚接至 MCI1 接口；

[0033] 第二十三管脚接至 I2C0 接口；

[0034] 第二十四管脚接至 ISC0 接口；

[0035] 第二十五管脚～第三十二管脚接至 MCI0 接口；

[0036] 第三十四管脚～第六十四管脚接至 LCD 接口；

[0037] 第六十七管脚～第七十管脚接至 TSC 接口；

[0038] 第七十一管脚～第七十四管脚接至 ADC 接口；

[0039] 第七十六管脚接至 VDDBU 接口；

[0040] 第七十七管脚～第九十二管脚接口接至 KEY 接口；

[0041] 第九十三管脚接至 nRESET 接口；

[0042] 第九十四管脚接至 WAKEUP 接口；

[0043] 第九十五管脚接至 SHUTDN 接口；

[0044] 第九十六管脚为空引脚 NC；

[0045] 第九十七管脚～第一百管脚接至 VD 接口。

[0046] 本实用新型具有如下有益效果：

[0047] 核心板采用高密度 6 层板(沉金)设计，体积仅为名片大小，集成了 CPU、DDR2RAM、NandFlash、DataFlash、网络、采用 5V 直流供电，超低功耗，B to B (2*100)接插件引出各种常用接口资源，适合于用户批量使用。

附图说明

[0048] 图 1 为核心板结构示意图。

[0049] 图 2 为核心板原理框图。

[0050] 图 3 为核心板中 J1 连接器引脚的电路原理图。

[0051] 图 4 为核心板中 J2 连接器引脚的电路原理图。

具体实施方式

[0052] 为了使本实用新型实现的技术手段、创作特征、达成目的与功效易于明白了解，下面结合具体图示，进一步阐述本实用新型。

[0053] 如图 1、图 2 所示，核心板，其包括核心板本体 1，核心板本体包括：该核心板本体设有 CPU2 和连接于 CPU 的 Nand Flash 存储器 3、DataFlash 存储器 4、DDR2SDRAM 存储器 9、

电源模块 5、DM9161 网络芯片 6 以及与底板接口的连接器 J1 和连接器 J2。

[0054] 其中，CPU 为 ATMEL AT91SAM9G45。

[0055] 核心板资源说明：

[0056] CPU 处理器

[0057] • ATMEL AT91SAM9G45，ARM926EJ-S 内核

[0058] • 主频 400MHz

[0059] DDRRAM 内存

[0060] • 128MB DDR2RAM，133MHz，32bit 数据总线

[0061] FLASH 存储

[0062] • 板载 512K DataFlash(DB45041D)

[0063] •板载 128M*8bits NandFlash(K9F1G08U0B) 可根据客户要求更换大容量或者工业级芯片

[0064] 接口资源

[0065] • 2*100pin0.8mm 间距 BtoB 接插件经过 350℃高温测试、抗震测试

[0066] 板载其他资源

[0067] •DM9161 网络芯片，完美支持 10M/100M 网口自适应采用 MII 模式，和 RMII 模式相比具有更强的兼容性

[0068] • 电源管理，提供 1.8V、3.3V、5.0V 电压输入

[0069] PCB 规格尺寸

[0070] • 采用 6 层 PCB 板高精度工艺，具有最佳的电气性能和抗干扰性能

[0071] • 74x53x1.5mm

[0072] 温湿度工作参数

[0073] • 工作温度：-20℃ -70℃批量用户可定制 -40℃ -85℃工业级温宽

[0074] • 工作湿度：5% 到 95%，非凝结

[0075] 超低功耗

[0076] • 5V 直流电压供电，单板超低功耗，小于 1W

[0077] 操作系统支持

[0078] • Linux2.6.30+QT2.3/QT4

[0079] • WindowsCE6.0

[0080] 参见图 3、4 所示，两图示出了连接器 J1、J2 引脚的电路原理图。

[0081] 连接器 J1 的接口包括一百个管脚，其中，

[0082] 第一管脚、第二管脚、第三管脚、第四管脚、第四十二管脚、第五十七管脚、第六十八管脚、第一百管脚均接至地信号；

[0083] 第五管脚、第六管脚、第七管脚、第八管脚、第九管脚、第十管脚、第十一管脚、第十二管脚、第十三管脚、第十四管脚接至 USB 接口(“HDPB”、“HDMB”、“HDPA”和“HDMA”管脚提供 USB 接口的串行数据的传输线路)；

[0084] 第十五管脚、第十六管脚、第十七管脚、第十八管脚、第十九管脚、第二十管脚接至 JTAG 接口(联合测试行动组接口)；

[0085] 第二十一管脚、第二十二管脚、第二十三管脚、第二十四管脚、第二十五管脚、第

二十六管脚、第二十七管脚、第二十八管脚、第二十九管脚、第三十管脚、第三十一管脚、第三十二管脚、第三十五管脚、第三十六管脚接至 ISI 接口(图像传感器接口)；

[0086] 第三十三管脚、第三十四管脚接至 I2C1 接口(串行通讯总线接口 1)；

[0087] 第三十七管脚、第四十管脚接至 AC97 接口(音频接口)；

[0088] 第四十一管脚接至 BZR 接口(蜂鸣器接口)；

[0089] 第四十三管脚、第四十四管脚接至 DBGU 接口(调试串口)；

[0090] 第四十五管脚、第四十六管脚接至 UART0 接口(通用异步收发传输接口 0)；

[0091] 第四十七管脚～第五十管脚接至 UART1 接口(通用异步收发传输接口 1)；

[0092] 第五十一管脚～第五十四管脚接至 UART2 接口(通用异步收发传输接口 2)；

[0093] 第五十五管脚、第五十六管脚接至 UART3 接口(通用异步收发传输接口 3)；

[0094] 第五十八管脚～第六十管脚接至 PWM 接口(脉冲宽度调制接口)；

[0095] 第六十一管脚接至 TIOB0 接口(定时器接口)；

[0096] 第六十二管脚～第六十七管脚接至 PIO 接口(通用输入输出接口)；

[0097] 第六十九管脚接至 IRQ 接口(中断接口)；

[0098] 第七十管脚～第九十七管脚、第九十八管脚、第九十九管脚接至 EBI 接口(外部总线接口)。

[0099] 连接器 J2 的接口包括一百个管脚,其中,

[0100] 第一管脚、第十管脚、第三十三管脚、第六十五管脚、第六十六管脚、第七十五管脚接至地信号；

[0101] 第二管脚接至 AVDDT 接口(网络电压接口)；

[0102] 第三管脚、第五管脚接至 TPRX 接口(百兆网络接收接口)；

[0103] 第四管脚、第六管脚接至 TPTX 接口(百兆网络发送接口)；

[0104] 第七管脚、第八管脚接至 LED 接口(发光二极管接口)；

[0105] 第九管脚、第十一管脚、第十二管脚、第十三管脚、第十四管脚接至 SPI1 接口(串行外围设备接口 1)；

[0106] 第十五管脚～第二十二管脚接至 MCI1 接口(SD 卡 1 接口)；

[0107] 第二十三管脚接至 I2C0 接口(串行通讯总线接口 0)；

[0108] 第二十四管脚接至 ISC0 接口(数字音频数据传输总线接口)；

[0109] 第二十五管脚～第三十二管脚接至 MCI0 接口(SD 卡 0 接口)；

[0110] 第三十四管脚～第六十四管脚接至 LCD 接口(液晶显示器接口)；

[0111] 第六十七管脚～第七十管脚接至 TSC 接口(触摸屏接口)；

[0112] 第七十一管脚～第七十四管脚接至 ADC 接口(模数转换器接口)；

[0113] 第七十六管脚接至 VDDBU 接口(电池电源接口)；

[0114] 第七十七管脚～第九十二管脚接口接至 KEY 接口(按键接口)；

[0115] 第九十三管脚接至 nRESET 接口(复位接口)；

[0116] 第九十四管脚接至 WAKEUP 接口(唤醒接口)；

[0117] 第九十五管脚接至 SHUTDN 接口(关闭接口)；

[0118] 第九十六管脚不接(空引脚)；

[0119] 第九十七管脚～第一百管脚接至 VD 接口(3.3V 电源接口)。

[0120] 主板接口及定义：

[0121] J1，J2 引脚定义：主板扩展

[0122]

J1				J2			
引脚	功能	引脚	功能	引脚	功能	引脚	功能
1.	GND	2.	GND	1.	GND	2.	AVDDT
3.	GND	4.	GND	3.	TPRX-	4.	TPTX-
5.	HDPB	6.	USB_ENB	5.	TPRX+	6.	TPTX+
7.	HDMB	8.	USB_FLGB	7.	LED_LNK	8.	LCD_ACT
9.	USB_IDB	10.	USB_DETB	9.	SPI1_NCS1	10.	GND
11.	HDPA	12.	USB_ENA	11.	SPI1_NCS0	12.	SPI1_SPCK
13.	HDMA	14.	USB_FLGA	13.	SPI1_MISO	14.	SPI1_MOSI
15.	JTAG_NTRST	16.	JTAG_TCK	15.	MCI1_CMD	16.	MCI1_CLK
17.	JTAG_TDI	18.	JTAG_RTCK	17.	MCI1_D0	18.	MCI1_D1
19.	JTAG_TMS	20.	JTAG_TDO	19.	MCI1_D2	20.	MCI1_D3
21.	ISI_D0	22.	ISI_D1	21.	MCI1_CD	22.	MCI1_WP
23.	ISI_D2	24.	ISI_D3	23.	I2C0_SDA	24.	ISC0_SCL
25.	ISI_D4	26.	ISI_D5	25.	MCI0_CMD	26.	MCI0_CLK
27.	ISI_D6	28.	ISI_D7	27.	MCI0_D0	28.	MCI0_D1

[0123]

29.	ISI_PCK	30.	ISI_VSYNC	29.	MCI0_D2	30.	MCI0_D3
31.	ISI_HSYNC	32.	ISI_MCK	31.	MCI0_CD	32.	MCI0_WP
33.	I2C1_SDA	34.	I2C1_SCL	33.	GND	34.	LCD_D23
35	ISI_CTL0	36.	ISI_CTL1	35.	LCD_D22	36.	LCD_D21
37.	AC97_RX	38.	AC97_TX	37.	LCD_D20	38.	LCD_D19
39.	AC97_FS	40.	AC97_CK	39.	LCD_D18	40.	LCD_D17
41.	BZR_CTL	42.	GND	41.	LCD_D16	42.	LCD_D15
43.	DBGU_RXD	44.	DBGU_TXD	43.	LCD_D14	44.	LCD_D13
45.	UART0_RXD	46.	UART0_TXD	45.	LCD_D12	46.	LCD_D11
47.	UART1_RXD	48.	UART1_TXD	47.	LCD_D10	48.	LCD_D9
49.	UART1_CTS	50.	UART1_RTS	49.	LCD_D8	50.	LCD_D7
51.	UART2_RXD	52.	UART2_TXD	51.	LCD_D6	52.	LCD_D5
53.	UART2_CTS	54.	UART2_RTS	53.	LCD_D4	54.	LCD_D3
55.	UART3_RXD	56.	UART3_TXD	55.	LCD_D2	56.	LCD_D1
57.	GND	58.	PWM_D1	57.	LCD_D0	58.	LCD_DE
59.	PWM_D2	60.	PWM_D3	59.	LCD_PCLK	60.	LCD_HSYNC
61.	TIOB0	62.	PIO_C0	61.	LCD_VSYNC	62.	LCD_CC
63.	PIO_C1	64.	PIO_C2	63.	LCD_MOD	64.	LCD_PWR
65.	PIO_C3	66.	PIO_C6	65.	GND	66.	GND
67.	PIO_C7	68.	GND	67.	TSC_XP	68.	TSC_YP
69.	IRQ_FIQ	70.	EBI_IRQ	69.	TSC_XM	70.	TSC_YM
71.	EBI_NCS0	72.	EBI_NCS1	71.	ADC_D0	72.	ADC_D1
73.	EBI_NRD	74.	EBI_NWE	73.	ADC_D2	74.	ADC_D3
75.	EBI_NWAIT	76.	EBI_A2	75.	GND	76.	VDDBU
77.	EBI_A3	78.	EBI_A4	77.	KEY_X0	78.	KEY_Y0
79.	EBI_A5	80.	EBI_A6	79.	KEY_X1	80.	KEY_Y1
81.	EBI_A7	82.	EBI_A8	81.	KEY_X2	82.	KEY_Y2
83.	EBI_A9	84.	EBI_D0	83.	KEY_X3	84.	KEY_Y3
85.	EBI_D1	86.	EBI_D2	85.	KEY_X4	86.	KEY_Y4
87.	EBI_D3	88.	EBI_D4	87.	KEY_X5	88.	KEY_Y5
89.	EBI_D5	90.	EBI_D6	89.	KEY_X6	90.	KEY_Y6
91.	EBI_D7	92.	EBI_D8	91.	KEY_X7	92.	KEY_Y7
93.	EBI_D9	94.	EBI_D10	93.	nRESET	94.	WAKEUP
95.	EBI_D11	96.	EBI_D12	95.	SHUTDN	96.	NC
97.	EBI_D13	98.	EBID14	97.	+5.0VD	98.	+5.0VD
99.	EBI_D15	100	GND	99.	+5.0VD	100.	+5.0VD

[0124] 以上所述仅为本实用新型的优选实施方式，本实用新型的保护范围并不仅限于上述实施方式，凡是属于本实用新型原理的技术方案均属于本实用新型的保护范围。对于本领域的技术人员而言，在不脱离本实用新型的原理的前提下进行的若干改进，这些改进也应视为本实用新型的保护范围。

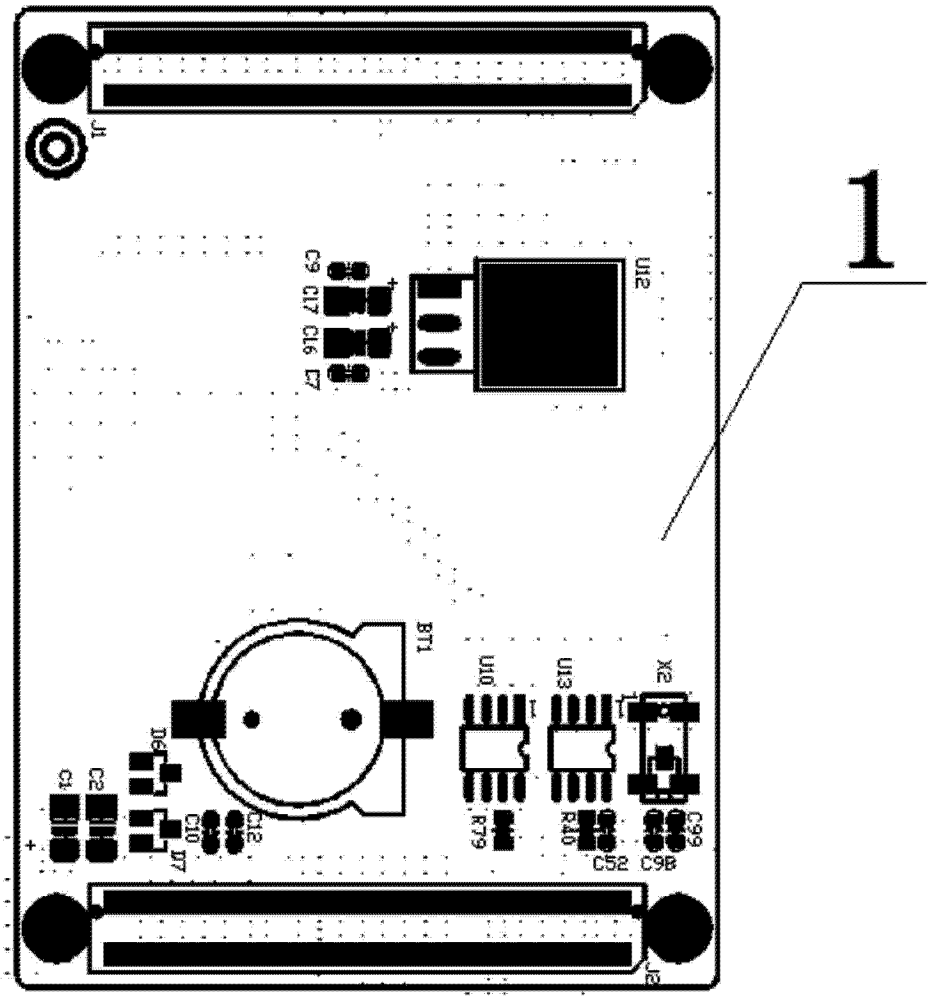

1
J1
C9
C17
C16
C7
U12
BT1
U10
U13
X2
D6
C1
C2
C10
C12
R79
R40
C52
C98
C99
D7

图 1

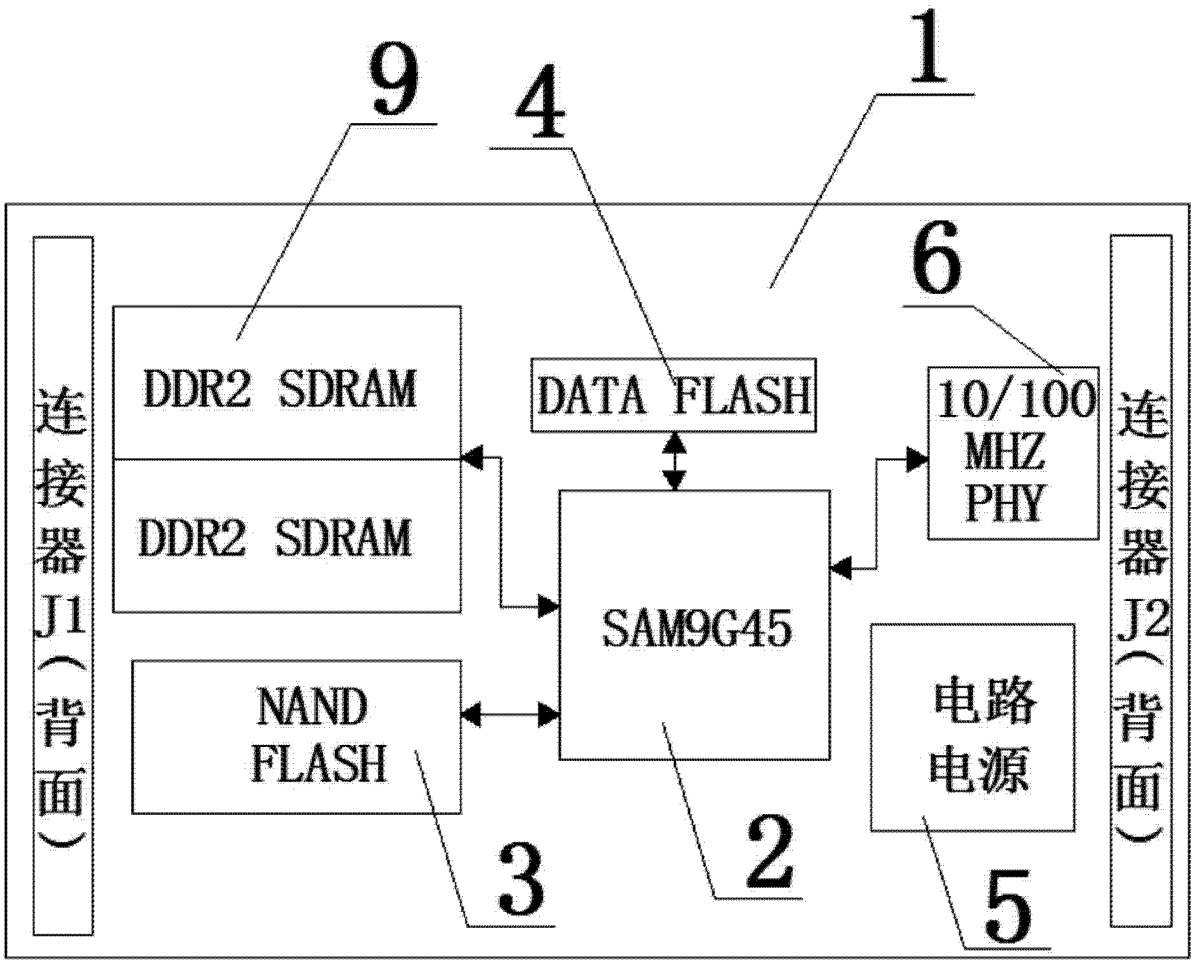

9
4
1
6
DDR2 SDRAM
DDR2 SDRAM
DATA FLASH
10/100 MHZ PHY
连接器J1（背面）
连接器J2（背面）
SAM9G45
NAND FLASH
电路电源
3
2
5

图 2

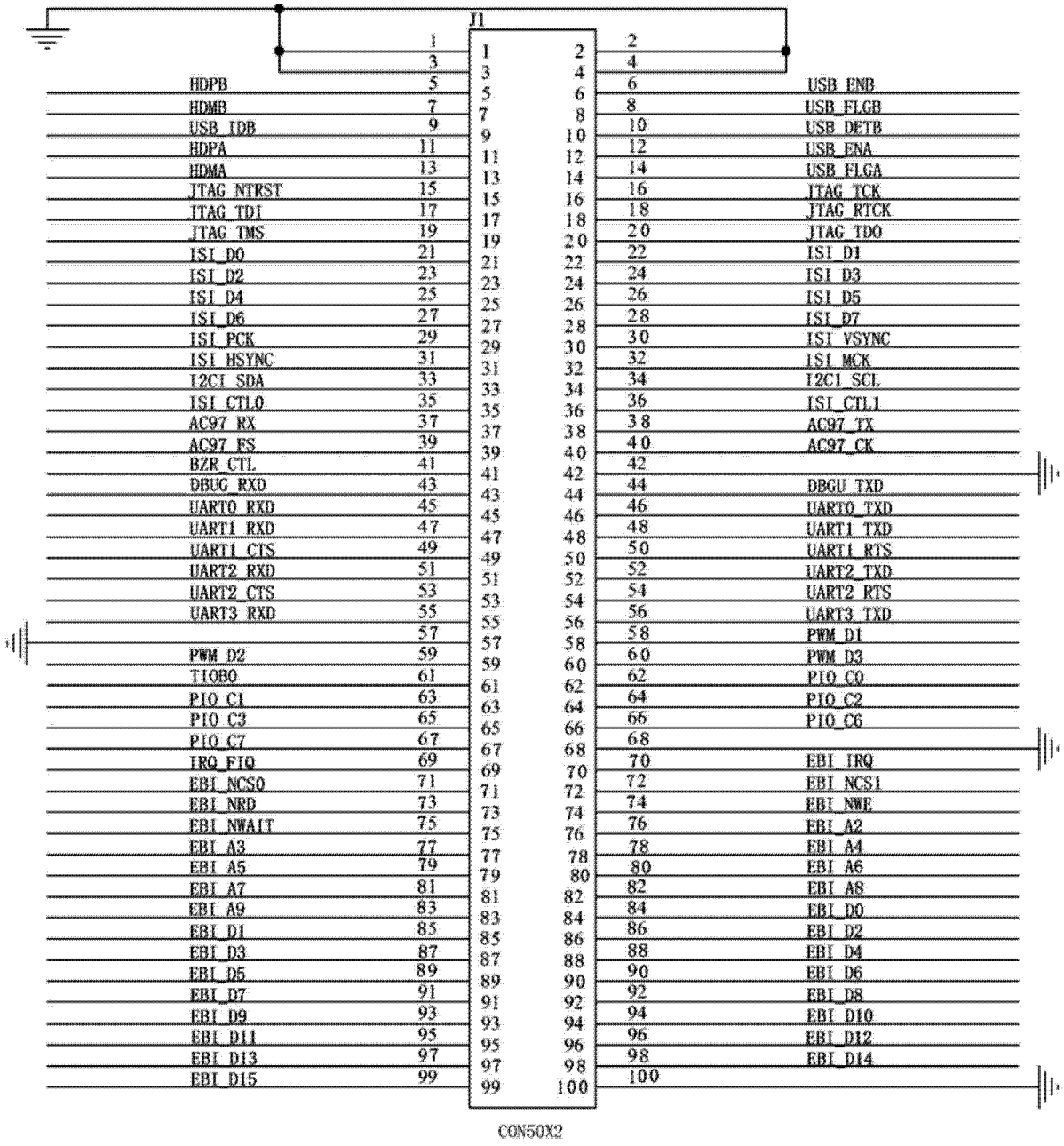

J1
1
3
HDPB 5
HDMB 7
USB_IDB 9
HDPA 11
HDMA 13
JTAG_NTRST 15
JTAG_TDI 17
JTAG_TMS 19
ISI_D0 21
ISI_D2 23
ISI_D4 25
ISI_D6 27
ISI_PCK 29
ISI_HSYNC 31
I2C1_SDA 33
ISI_CTL0 35
AC97_RX 37
AC97_FS 39
BZR_CTL 41
DBUG_RXD 43
UART0_RXD 45
UART1_RXD 47
UART1_CTS 49
UART2_RXD 51
UART2_CTS 53
UART3_RXD 55
57
PWM_D2 59
TIOB0 61
PIO_C1 63
PIO_C3 65
PIO_C7 67
IRQ_FIQ 69
EBI_NCS0 71
EBI_NRD 73
EBI_NWAIT 75
EBI_A3 77
EBI_A5 79
EBI_A7 81
EBI_A9 83
EBI_D1 85
EBI_D3 87
EBI_D5 89
EBI_D7 91
EBI_D9 93
EBI_D11 95
EBI_D13 97
EBI_D15 99
1 2
3 4
5 6
7 8
9 10
11 12
13 14
15 16
17 18
19 20
21 22
23 24
25 26
27 28
29 30
31 32
33 34
35 36
37 38
39 40
41 42
43 44
45 46
47 48
49 50
51 52
53 54
55 56
57 58
59 60
61 62
63 64
65 66
67 68
69 70
71 72
73 74
75 76
77 78
79 80
81 82
83 84
85 86
87 88
89 90
91 92
93 94
95 96
97 98
99 100
2
4
6 USB_ENB
8 USB_FLGB
10 USB_DETB
12 USB_ENA
14 USB_FLGA
16 JTAG_TCK
18 JTAG_RTCK
20 JTAG_TDO
22 ISI_D1
24 ISI_D3
26 ISI_D5
28 ISI_D7
30 ISI_VSYNC
32 ISI_MCK
34 I2C1_SCL
36 ISI_CTL1
38 AC97_TX
40 AC97_CK
42
44 DBGU_TXD
46 UART0_TXD
48 UART1_TXD
50 UART1_RTS
52 UART2_TXD
54 UART2_RTS
56 UART3_TXD
58 PWM_D1
60 PWM_D3
62 PIO_C0
64 PIO_C2
66 PIO_C6
68
70 EBI_IRQ
72 EBI_NCS1
74 EBI_NWE
76 EBI_A2
78 EBI_A4
80 EBI_A6
82 EBI_A8
84 EBI_D0
86 EBI_D2
88 EBI_D4
90 EBI_D6
92 EBI_D8
94 EBI_D10
96 EBI_D12
98 EBI_D14
100
CON50X2

图 3

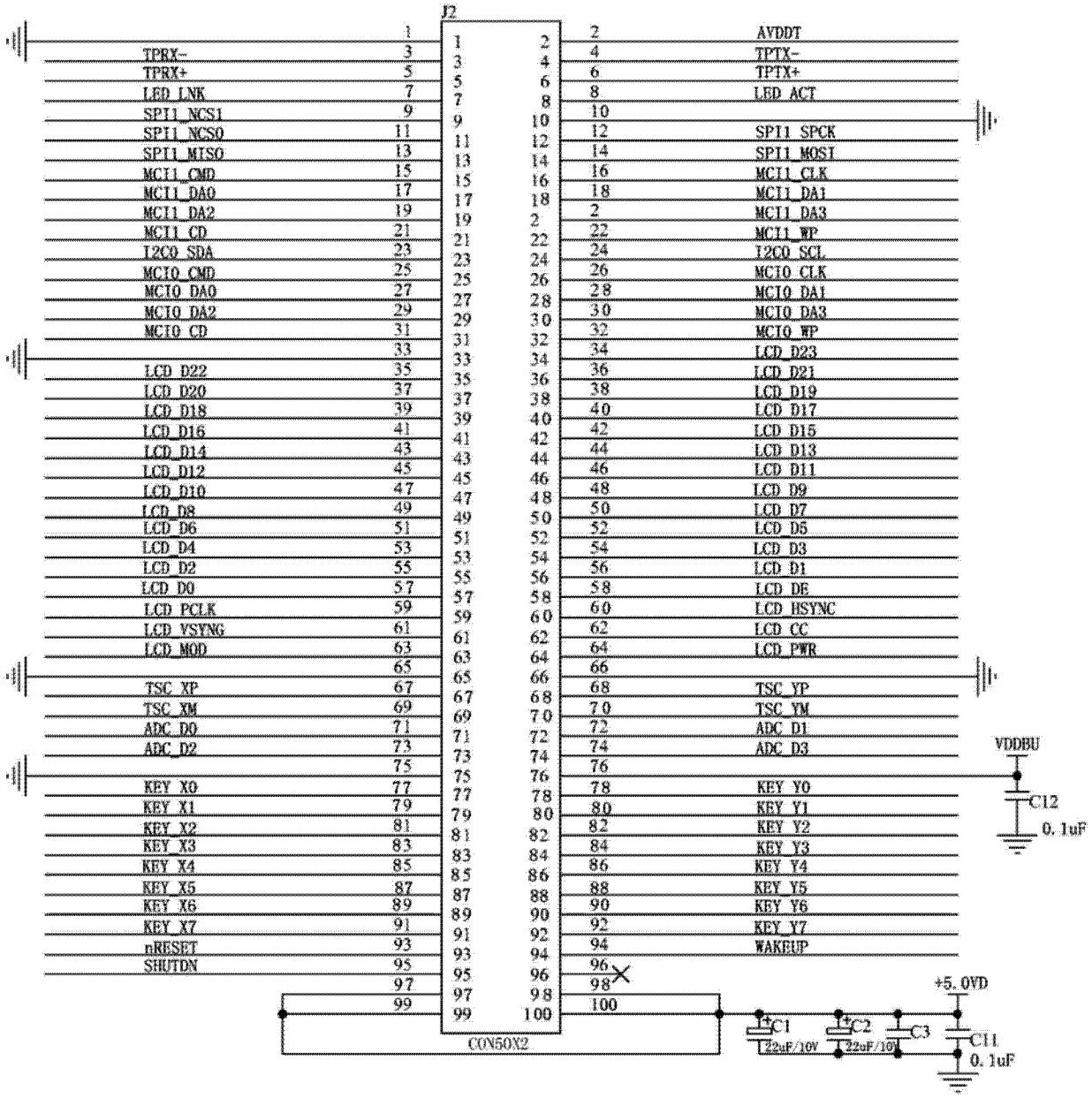

J2
TPRX-
TPRX+
LED_LNK
SPI1_NCS1
SPI1_NCS0
SPI1_MISO
MCI1_CMD
MCI1_DA0
MCI1_DA2
MCI1_CD
I2C0_SDA
MCI0_CMD
MCI0_DA0
MCI0_DA2
MCI0_CD
LCD_D22
LCD_D20
LCD_D18
LCD_D16
LCD_D14
LCD_D12
LCD_D10
LCD_D8
LCD_D6
LCD_D4
LCD_D2
LCD_D0
LCD_PCLK
LCD_VSYNC
LCD_MOD
TSC_XP
TSC_XM
ADC_D0
ADC_D2
KEY_X0
KEY_X1
KEY_X2
KEY_X3
KEY_X4
KEY_X5
KEY_X6
KEY_X7
nRESET
SHUTDN
AVDDT
TPTX-
TPTX+
LED_ACT
SPI1_SPCK
SPI1_MOST
MCI1_CLK
MCI1_DA1
MCI1_DA3
MCI1_WP
I2C0_SCL
MCI0_CLK
MCI0_DA1
MCI0_DA3
MCI0_WP
LCD_D23
LCD_D21
LCD_D19
LCD_D17
LCD_D15
LCD_D13
LCD_D11
LCD_D9
LCD_D7
LCD_D5
LCD_D3
LCD_D1
LCD_DE
LCD_HSYNC
LCD_CC
LCD_PWR
TSC_YP
TSC_YM
ADC_D1
ADC_D3
KEY_Y0
KEY_Y1
KEY_Y2
KEY_Y3
KEY_Y4
KEY_Y5
KEY_Y6
KEY_Y7
WAKEUP
CON50X2
C1
22uF/10V
C2
22uF/10V
C3
+5.0VD
C11
0.1uF
VDDBU
C12
0.1uF

图 4