

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/088 (2006.01)

H01L 21/8232 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200610009564.7

[45] 授权公告日 2009年7月15日

[11] 授权公告号 CN 100514651C

[22] 申请日 2006.2.24

[21] 申请号 200610009564.7

[30] 优先权

[32] 2005.3.8 [33] JP [31] 2005-063580

[73] 专利权人 精工爱普生株式会社

地址 日本东京

[72] 发明人 加藤树理

[56] 参考文献

JP2000-124092A 2000.4.28

US6413802B1 2002.7.2

CN1128405A 1996.8.7

JP10-261799A 1998.9.29

US6222234B1 2001.4.24

US2005/0017377A1 2005.1.27

JP2002-299591A 2002.10.11

US2002/0011612A1 2002.1.31

CN1649171A 2005.8.3

审查员 胡贺伟

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 汪惠民

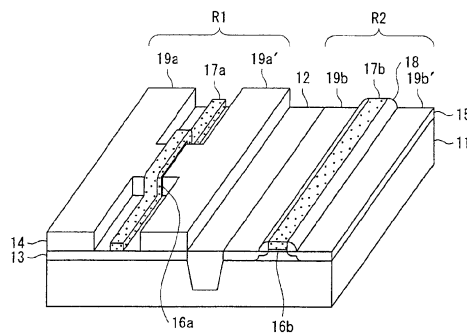
权利要求书 3 页 说明书 14 页 附图 9 页

[54] 发明名称

半导体装置及半导体装置的制造方法

[57] 摘要

在半导体基板(11)上设置形成 SOI 结构的 SOI 形成区域(R1)及形成成块(bulk)结构的成块区域(R2),在 SOI 形成区域(R1)中,将借助于绝缘层(13)以外延生长成膜的半导体层(14)形成在半导体基板(11)上,同时形成以露出半导体层(14)的侧壁而向半导体层(14)的侧壁延伸的方式配置的栅电极(17a),在成块区域(R2)中,在半导体基板(11)上形成半导体层(15),在半导体层(15)上配置栅电极(17b)。由此,不使用 SOI 基板而将 SOI 结构和成块(bulk)结构形成在同一个基板上,同时减少 SOI 晶体管的布局面积。



1、一种半导体装置，其特征在于，具备：

半导体基板，其在一部分的区域上形成了绝缘层；

半导体层，其配置在上述绝缘层上并用外延生长来成膜；

第1栅电极，其以隔着第1栅绝缘膜地跨越上述半导体层的一部分的方式，延伸至上述半导体层的两侧的侧壁而形成；

第1源/漏层，其形成在上述半导体层上并分别配置在上述第1栅电极的侧方；

第2栅电极，其隔着第2栅绝缘膜形成在上述半导体基板上；和

第2源/漏层，其形成在上述半导体基板上的半导体层上，并分别配置在上述第2栅电极的侧方；

持有上述第1栅电极的上述半导体层的侧面由{110}面或{100}面构成，持有上述第2栅电极的上述半导体基板的表面由{100}面构成。

2、一种半导体装置，其特征在于，具备：

半导体基板，其在一部分的区域上形成了绝缘层；

第1及第2半导体层，其层叠在上述绝缘层上并用外延生长来成膜；

P沟道场效应型晶体管，其在上述第1半导体层的侧壁上配置了沟道区域；

N沟道场效应型晶体管，其在上述第2半导体层的侧壁上配置了沟道区域；

P沟道或N沟道场效应型晶体管，其形成在上述半导体基板上并在上述半导体基板的表面配置了沟道区域，

上述第1及第2半导体层的侧壁是{100}面或{110}面方位。

3、根据权利要求2所述的半导体装置，其特征在于，具备：

栅电极，其配置在上述第1及第2半导体层的侧壁上，并共同地形成在上述P沟道场效应型晶体管及上述N沟道场效应型晶体管上；

第1源/漏层，其以配置在上述栅电极的两侧的方式形成在上述第1半导体层上；

第 2 源/漏层，其以配置在上述栅电极的两侧的方式形成在上述第 2 半导体层上。

4、根据权利要求 2 所述的半导体装置，其特征在于，

上述第 1 半导体层的膜厚是处于上述第 2 半导体层的膜厚的 2~3 倍的范围内。

5、根据权利要求 1~4 的任意一项中所述的半导体装置，其特征在于，

在上述半导体基板上形成保护二极管、双极晶体管、模拟元件或高电压驱动场效应型晶体管，在上述半导体层上形成数字元件或低电压驱动场效应型晶体管。

6、一种半导体装置的制造方法，其特征在于，具备：

在半导体基板的表面的一部分上形成以外延生长来成膜的第 1 半导体层的工序；

将蚀刻率比上述第 1 半导体层还要小的第 2 半导体层，在上述第 1 半导体层和半导体基板上以外延生长进行成膜的工序；

由蚀刻率比上述第 1 半导体层还要小的材料构成，并形成在上述半导体基板上支撑上述第 2 半导体层的支撑体的工序；

形成露出上述第 1 半导体层的一部分的露出部的工序；

通过借助于上述露出部对第 1 半导体层选择地进行蚀刻，在上述半导体基板和上述第 2 半导体层之间，形成除去了上述第 1 半导体层的空穴部的工序；

形成在上述空穴部内埋入了埋入绝缘层的工序；

露出上述第 2 半导体层的侧壁的工序；

形成包括第 1 栅电极和第 1 源/漏层的第 1 晶体管的工序，上述第 1 栅电极以隔着第 1 栅绝缘膜地跨越上述第 2 半导体层的一部分的方式，延伸至上述第 2 半导体层的两侧的侧壁而形成，上述第 1 源/漏层形成在上述第 2 半导体层上，并分别配置在上述第 1 栅电极的侧方；和

形成包括第 2 栅电极和第 2 源/漏层的第 2 晶体管的工序，上述第 2 栅电极隔着第 2 栅绝缘膜形成在上述半导体基板上，上述第 2 源/漏层形成在上述第 1 半导体层上，并分别配置在上述第 2 栅电极的侧方；

并且，将持有上述第 1 栅电极的上述半导体层的{110}面或{100}面作

---

为该半导体层的侧面，将持有上述第 2 栅电极的上述半导体基板的{100}面作为该半导体基板的表面。

7、根据权利要求 6 所述的半导体装置的制造方法，其特征在于，上述支撑体是元件分离绝缘膜。

## 半导体装置及半导体装置的制造方法

### 技术领域

本发明涉及一种半导体装置及半导体装置的制造方法，特别是涉及一种适用于将 SOI 结构和成块 (bulk) 结构混载在同一个基板上的方法的半导体装置及半导体装置的制造方法。

### 背景技术

形成在 SOI 基板上的场效应型晶体管具有元件分离的容易性、无锁定、源/漏结电容小等原因而其有用性备受关注。特别是，完全耗尽型 SOI 晶体管能够实现低消耗功率并且高速动作，容易进行低电压驱动，因此积极地进行为了以完全耗尽模式下动作 SOI 晶体管的研究。在此，作为 SOI 基板，例如，在专利文献 1、2 中所公开那样，采用了 SIMOX (Separation by Implanted Oxygen) 基板或粘合基板等。

在此，在采用 SOI 晶体管构成 CMOS (Complementally Metal Oxide Semiconductor) 电路的情况下，P 沟道场效应型晶体管和 N 沟道场效应型晶体管在同一个 2 维平面上相互邻接而配置，同时被形成在持有 {100} 面方位的半导体面上。

一方面，电流驱动力大并需要高的耐压的场效应晶体管很难形成在限制有硅层的厚度的 SOI 基板上，有望形成在成块 (bulk) 基板上。

另外，例如在专利文献 3 中公开了以下方法：为了在大面积的绝缘膜上形成结晶性及均匀性良好的硅薄膜，通过在成膜在绝缘膜上的非晶质或多晶硅层上将紫外线光束照射成脉冲状，将接近于正方形的单晶粒被排列成晶格状的多晶硅膜形成在绝缘膜上，并用 CMP (化学式机械式研磨) 对该多晶硅膜的表面进行平坦化。

专利文献 1：特开 2002-299591 号公报；

专利文献 2：特开 2000-124092 号公报；

专利文献 3：特开平 10—261799 号公报。

但是，在制造 SIMOX 基板时，需要对硅晶片离子注入高浓度的氧。另外，在制造粘合基板时，在粘合了 2 张硅晶片之后，需要研磨硅晶片的表面。因此在 SOI 晶体管中与形成在成块半导体中的场效应型晶体管相比存在招致成本的增加的问题。

另外，如果在离子注入或研磨中 SOI 层的膜厚的偏差大，为了制作完全耗尽型 SOI 晶体管而使 SOI 层进行薄膜化，则出现很难使场效应型晶体管的特性稳定化的问题。

另外，如果将 P 沟道场效应型晶体管和 N 沟道场效应型晶体管配置在同一个 2 维平面上，则出现用于形成 CMOS 电路所需的面积增大，成为高密度集成化的障碍的问题。另外，出现对 P 沟道场效应型晶体管和 N 沟道场效应型晶体管的连接所需的布线长度也增大，传播延迟变大的问题。并且，如果在持有{100}面方位的半导体面上形成 CMOS 电路，则需要从电子和孔的移动度的差将 P 沟道场效应型晶体管的沟道宽度设定为 N 沟道场效应型晶体管的沟道宽度的 2~3 倍。因此，出现 P 沟道场效应型晶体管和 N 沟道场效应型晶体管之间的配置平衡破裂，成为元件的高集成化的障碍的问题。

另外，在利用专利文献 3 的方法形成在绝缘膜上的硅薄膜中存在谷界限、双微型等的微小缺陷。因此形成在该硅薄膜上的晶体管与形成在完全结晶硅薄膜上的晶体管相比出现其特性变差的问题。并且，在层叠被形成在硅薄膜上的场效应型晶体管的情况下，场效应型晶体管位于下层。因此出现形成上层的硅薄膜的基础绝缘膜的平坦性劣化，同时对形成上层的硅薄膜时的热处理条件等涉及制约，上层的硅薄膜的结晶性比下层的硅薄膜的结晶性差的问题。

因此，在以往的半导体装置中不能将持有由无缺陷的单晶构成的 SOI 结构的装置混载在成块硅上。另外，也不能实现持有层叠了具有各种膜厚的完全结晶硅薄膜的 3 维结构的装置。

## 发明内容

因此，本发明的目的在于提供一种不使用 SOI 基板而将 SOI 结构和成

块结构形成在同一个基板上，同时可减少 SOI 晶体管的配置面积的半导体装置及半导体装置的制造方法。

为了解决上述的课题，根据有关本发明的一方式的半导体装置，其特征在于，具备：半导体基板，其在一部分的区域形成了绝缘层；半导体层，其被配置在上述绝缘层上并用外延生长来成膜；第 1 栅电极，其以隔着第 1 栅绝缘膜地跨越上述半导体层的一部分的方式，延伸至上述半导体层的两侧的侧壁而形成；第 1 源/漏层，其被形成在上述半导体层上并分别配置在上述第 1 栅电极的侧方；第 2 栅电极，其隔着第 2 栅绝缘膜形成在上述半导体基板上；第 2 源/漏层，其被形成在上述半导体基板上的半导体层上，并分别配置在上述第 2 栅电极的侧方；持有上述第 1 栅电极的上述半导体层的侧面由{110}面或{100}面构成，持有上述第 2 栅电极的上述半导体基板的表面由{100}面构成。

由此，不使用 SOI 基板而在半导体基板的一部分区域能够形成 SOI 结构，同时能够在半导体层的侧壁配置沟道区域。因此能够抑制成本的增加并将 SOI 结构和成块结构形成在同一个半导体基板上，同时能够提高 SOI 晶体管的集成度，抑制芯片尺寸的增大，并且能够实现 SOC (System On Chip)。

另外，根据有关本发明的一方式的半导体装置，其特征在于，持有上述第 1 栅电极的半导体层的侧面由{110}面或{100}面形成，持有上述第 2 栅电极的半导体基板的表面由{100}面形成。

另外，根据有关本发明的一方式的半导体装置，其特征在于，具备：半导体基板，其在一部分的区域形成了绝缘层；第 1 及第 2 半导体层，其被层叠在上述绝缘层上并用外延生长来成膜；P 沟道场效应型晶体管，其在上述第 1 半导体层的侧壁配置了沟道区域；N 沟道场效应型晶体管，其在上述第 2 半导体层的侧壁配置了沟道区域；P 沟道或 N 沟道场效应型晶体管，其被形成在上述半导体基板上并在上述半导体基板的表面配置了沟道区域，上述第 1 及第 2 半导体层的侧壁是{100}面或{110}面方位。

由此，能够对 P 沟道场效应型晶体管和 N 沟道场效应型晶体管进行 3 维配置，并且能够构成 CMOS 反相器、NAND 电路或 NOR 电路等，同时能够将高耐压装置混载在同一个平面上。因此抑制芯片尺寸的增大，能够将具有各种功能的元件构成在同一个芯片上，同时抑制成本的增加，并且能够持有良好的特性。

另外，根据有关本发明的一方式的半导体装置，其特征在于，具备：

栅电极，其被配置在上述第1及第2半导体层的侧壁并共同地形成在上述P沟道场效应型晶体管及上述N沟道场效应型晶体管上；第1源/漏层，其以配置在上述栅电极的两侧的方式形成在上述第1半导体层上；第2源/漏层，其以配置在上述栅电极的两侧的方式形成在上述第2半导体层上。

由此，能够在半导体层的侧面侧形成沟道区域，无需将栅电极配置在半导体层的表面而能够构成场效应型晶体管。因此，即使在半导体层上形成了场效应型晶体管的情况下也能够确保半导体层的表面侧的平坦性，能够抑制半导体层的结晶性的劣化，并且能够层叠P沟道场效应型晶体管和N沟道场效应型晶体管。其结果，以低电压高速动作P沟道场效应型晶体管和N沟道场效应型晶体管，并且能够谋求P沟道场效应型晶体管和N沟道场效应型晶体管的高密度集成化。

另外，根据有关本发明的一方式的半导体装置，其特征在于，上述第1及第2半导体层的侧壁是{100}面，上述第1半导体层的膜厚为上述第2半导体层的膜厚的2~3倍的范围内。

由此，与N沟道场效应型晶体管相比无需扩大P沟道场效应型晶体管的布局(Layout)面积，能够设成使P沟道场效应型晶体管的宽度大于N沟道场效应型晶体管的宽度。因此，即使在P沟道场效应型晶体管和N沟道场效应型晶体管的迁移率不同的情况下，也能够维持P沟道场效应型晶体管和N沟道场效应型晶体管之间的布局(Layout)配置的平衡，并且能够使P沟道场效应型晶体管和N沟道场效应型晶体管的电流驱动能力变为一致。其结果，能够有效地进行CMOS电路的布局设计，同时缓和信号传输速度的制约并谋求半导体装置的高密度集成，同时能够谋求半导体装置的高速化。

另外，根据有关本发明的一方式的半导体装置，其特征在于，上述第1及第2半导体层的侧壁是{110}面方位。

由此，无需不同地设定N沟道场效应型晶体管和P沟道场效应型晶体管的布局面积而使P沟道场效应型晶体管和N沟道场效应型晶体管的迁移率大致变为一致。因此，能够得到P沟道场效应型晶体管和N沟道场效应型晶体管的寄生电容的平衡，并且得到P沟道场效应型晶体管和N沟道场效应型晶体管的电流驱动平衡，能够提高CMOS电路的S/N比，同时谋



求半导体装置的高速化及高密度化。

另外，根据有关本发明的一方式的半导体装置，其特征在于，在上述半导体基板上形成保护二极管、双极晶体管、模拟元件或高电压驱动场效应型晶体管，在上述半导体层上形成数字元件或低电压驱动场效应型晶体管。

由此，能够谋求形成在半导体基板上的装置的高耐压化并谋求形成在半导体层上的装置的高速化及低消费电力化，能够将持有良好的特性并将持有各种功能的器件混载在同一个芯片上。

另外，根据有关本发明的一方式的半导体装置，其特征在于，具备：

将以外延生长成膜的第1半导体层形成在半导体基板的表面的一部分的工序；将其蚀刻率比上述第1半导体层还要小的第2半导体层以外延生长成膜在上述第1半导体层和半导体基板上的工序；由其蚀刻率比上述第1半导体层还要小的材料构成并形成在上述半导体基板上支撑上述第2半导体层的支撑体的工序；形成露出上述第1半导体层的一部分的露出部的工序；通过借助于上述露出部对第1半导体层选择地进行蚀刻，将除去了上述第1半导体层的空穴部形成在上述半导体基板和上述第2半导体层之间的工序；形成被埋入在上述空穴部内的埋入绝缘层的工序；露出上述第2半导体层的侧壁的工序；形成包括第1栅电极和第1源/漏层的第1晶体管的工序，上述第1栅电极以隔着第1栅绝缘膜地跨越上述第2半导体层的一部分的方式，延伸至上述第2半导体层的两侧的侧壁而形成，上述第1源/漏层形成在上述第2半导体层上，并分别配置在上述第1栅电极的侧方；和形成包括第2栅电极和第2源/漏层的第2晶体管的工序，上述第2栅电极隔着第2栅绝缘膜形成在上述半导体基板上，上述第2源/漏层形成在上述第1半导体层上，并分别配置在上述第2栅电极的侧方；并且，将持有上述第1栅电极的上述半导体层的{110}面或{100}面作为该半导体层的侧面，将持有上述第2栅电极的上述半导体基板的{100}面作为该半导体基板的表面。

由此，残留了第2半导体层之后可以直接除去第1半导体层，能够在第2半导体层下形成空穴部，同时第2半导体层下形成了空穴部的情况下也能够用支撑体将第2半导体层支撑在半导体基板上。另外，通过设置露出第1半导体层的一部分的露出部，在第1半导体层上层叠了第2半导体层的情况下也能够将蚀刻气或蚀刻液接触在第1半导体层上，残留了第2半导体层之后可以直接除去第1半导体层，同时可以用绝缘层埋入第2半导体层下的空穴部。

因此，能够降低第2半导体层的缺陷的产生并将第2半导体层配置在绝缘层上，不损害第2半导体层的质量而能够谋求第2半导体层和半导体基板之间的绝缘。

并且，通过露出第2半导体层的侧壁之后形成第1晶体管，能够在第2半导体层的侧壁配置沟道区域，同时通过将第1半导体层形成在半导体基板的表面的一部分中，能够将SOI结构和成块结构形成在同一个半导体基板上。因此能够抑制芯片尺寸的增大，而且能够将具有持有良好的特性的功能的元件构成在同一个芯片上，同时在将SOI结构和成块结构混载在同一个半导体基板上的情况下也能够抑制成本的增加。

另外，根据有关本发明的一方式的半导体装置，其特征在于，上述支撑体是元件分离绝缘膜。

由此，在第2半导体层下形成了空穴部的情况下也能够将第2半导体层用分离绝缘膜支撑在半导体基板上。因此，无需另外设置形成用于支撑第2半导体层的支撑体的工序，同时无需另外确保用于形成支撑体的区域。因此，能够抑制制造工序的增大并将SOI结构和成块结构形成在同一个半导体基板上，同时能够谋求形成在半导体基板上的装置的高密度集成化，能够抑制芯片尺寸的增大并将具有持有良好的特性的各种功能的元件构成在同一个芯片上，同时在将SOI结构和成块结构混载在同一个半导体基板上也能够抑制成本的增加。

## 附图说明

图1是表示有关本发明的第1实施方式的半导体装置的概略构成的立体图。

图2是表示有关本发明的第2实施方式的半导体装置的概略构成的立体图。

图3是表示有关本发明的第3实施方式的半导体装置的制造方法的图。

图4是表示有关本发明的第3实施方式的半导体装置的制造方法的图。

图5是表示有关本发明的第3实施方式的半导体装置的制造方法的图。

图6是表示有关本发明的第3实施方式的半导体装置的制造方法的图。

图 7 是表示有关本发明的第 3 实施方式的半导体装置的制造方法的图。

图 8 是表示有关本发明的第 3 实施方式的半导体装置的制造方法的图。

图 9 是表示有关本发明的第 3 实施方式的半导体装置的制造方法的图。

图 10 是表示有关本发明的第 3 实施方式的半导体装置的制造方法的图。

图中：R1、R11、R21—SOI 形成区域，R2、R12、R22—成块区域，1、2、31—半导体基板，12、22、36—元件分离绝缘膜，13、23a、23b、39—绝缘层，14、15、24a、24b、25—半导体层，16a、16b、26a~26c、40a、40b—栅绝缘膜，17a、17b、27a~27c、41a、41b—栅电极，18、28—侧壁垫、19a、19a'、19b、19b'、29a~29c、29a'~29c'—源/漏层，32—氧化膜，33—第 1 半导体层，34—第 2 半导体层，35—沟，37—露出面，38—空穴部。

## 具体实施方式

下面，参照附图说明有关本发明的实施方式的半导体装置及其制造方法。

图 1 是表示有关本发明的第 1 实施方式的半导体装置的概略构成的立体图。

在图 1 中，半导体基板 11 上设有形成 SOI 结构的 SOI 形成区域 R1 及形成成块结构的成块区域 R2。并且，在半导体基板 11 中埋入有对 SOI 形成区域 R1 和成块区域 R2 进行元件分离的元件分离绝缘膜 12。此外，作为对 SOI 形成区域 R1 和成块区域 R2 进行元件分离的方法，除了 STI (Shallow low Trench Isolation) 结构以外，还可以使用 LOCOS (Local Oxidation Of Silicon) 结构。并且，在 SOI 形成区域 R1 中，在半导体基板 11 上层叠有通过绝缘层 13 以外延生长成膜的半导体层 14。此外，作为半导体基板 11 及半导体层 14 的材料，例如能够使用 Si、Ge、SiGe、SiC、SiSn、PbS、GaAs、InP、GaP、GaN、ZnSe 等，作为绝缘层 12a、13，例

如能够使用  $\text{SiO}_2$ 、 $\text{SiON}$  或  $\text{Si}_3\text{N}_4$ 、等的绝缘层或埋入绝缘膜。另外，作为半导体层 14 被层叠在绝缘层 13 上的半导体基板，例如能够使用 SOI 基板，作为 SOI 基板，能够使用 SIMOX (Separation by Implanted Oxygen) 基板、粘合基板或激光退火等。

并且，半导体层 14 以在绝缘层 13 上露出侧壁的方式被蚀刻加工。在此，在露出半导体层 14 的侧壁的情况下，能够以具有包括了半导体层 14 的部分的方式蚀刻加工半导体层 14。另外，在露出半导体层 14 的侧壁的情况下，例如也可以使用翅片 (fin) 状、梳状、矩状或网眼状等的形状。并且，在半导体层 14 的侧壁通过栅绝缘膜 16a 形成有栅电极 17a。在此，栅电极 17a 能够以跨越包括了半导体层 14 的部分并向半导体层 14 的两侧的侧壁延伸的方式配置。另外，在半导体层 14 上形成有分别配置在栅电极 17a 的两侧的源/漏层 19a、19a'。

另一方面，在成块区域 R2 中，在半导体基板 11 上形成有半导体层 15。并且，在半导体层 15 上通过栅绝缘膜 16b 形成栅电极 17b，同时在栅电极 17b 的侧壁形成有侧壁垫 18。另外，在半导体层 15 上形成有分别配置在栅电极 17a 的两侧的源/漏层 19b、19b'。

由此，在半导体基板 11 的一部分区域能够形成 SOI 结构，同时能够在半导体层 14 的侧壁配置沟道区域。因此，能够抑制成本的增加并将 SOI 结构和成块结构形成在同一个半导体基板 11 上，同时能够提高 SOI 晶体管的集成度，抑制芯片尺寸的增大，并且能够实现 SOC (System On Chip)。

此外，在 SOI 形成区域 R1 优选形成数字元件或低电压驱动场效应型晶体管、在成块区域 R2 优选形成保护二极管、双极晶体管、模拟元件或高电压驱动电场型晶体管。由此，能够谋求形成在成块区域 R2 的装置的高耐压化，并且能够谋求形成在 SOI 形成区域 R1 的装置的高速化及低消费电力化，能够持有良好的特性，并且能够将持有各种功能的装置混载在同一个芯片上。

图 2 是有关本发明的实施方式的半导体装置的概略构成的立体图。

在图 2 中，半导体基板 21 上设有形成 SOI 结构的 SOI 形成区域 R11 及形成成块结构的成块区域 R12。并且，在半导体基板 21 中埋入有对 SOI 形成区域 R11 和成块区域 R12 进行元件分离的元件分离绝缘膜 22。

并且,在 SOI 形成区域 R11 中,在半导体基板 11 上配置通过绝缘层 23a 以外延生长成膜的半导体层 24a,在半导体层 24a 上配置有通过绝缘层 23b 以外延生长成膜的半导体层 24b。并且,半导体层 24a、绝缘层 23b 及半导体层 24b 以在绝缘层 23a 上露出侧壁的方式被蚀刻加工。在此,在露出半导体层 24a、绝缘层 23b 及半导体层 24b 的侧壁的情况下,能够以具有包括了半导体层 24a、绝缘层 23b 及半导体层 24b 的部分的方式蚀刻加工半导体层 24a、绝缘层 23b 及半导体层 24b。另外,在露出半导体层 24a、绝缘层 23b 及半导体层 24b 的侧壁的情况下,例如也可以使用翅片状、梳状、矩状或网眼状等的形状。并且,在半导体层 24a、24b 的侧壁分别通过栅绝缘膜 26a、26b 形成有栅电极 27a。在此,栅电极 12a 能够以跨越包括了半导体层 24a、绝缘层 23b 及半导体层 24b 的部分并向半导体层 24a、绝缘层 23b 及半导体层 24b 的两侧的侧壁延伸的方式配置。另外,在半导体层 24a 上形成分别配置在栅电极 27a 的两侧的源/漏层 29a、29a',在半导体层 24b 上形成有分别配置在栅电极 27a 的两侧的源/漏层 29b、29b'。

另一方面,在成块区域 R22 中,在半导体基板 21 上形成有半导体层 25。并且,在半导体层 25 上通过栅绝缘膜 26c 形成栅电极 27c,同时在栅电极 27c 的侧壁形成有侧壁垫 28。另外,在半导体层 25 上形成有分别配置在栅电极 27c 的两侧的源/漏层 29c、29c'。

由此,能够在半导体层 24a、24b 的侧面侧形成沟道区域,半导体层 24a、24b 的表面侧无需配置栅电极 27a 而能够构成场效应型晶体管。因此,即使在将场效应型晶体管分别形成在半导体层 24a、24b 上的情况下,也能够确保半导体层 24a、24b 的表面侧的平坦性,即使在层叠了半导体层 24a、24b 的情况下也能够抑制半导体层 24a、24b 的结晶性的劣化。因此能够抑制芯片尺寸的增大,并且能够谋求场效应型晶体管的集成化,同时能够降低场效应型晶体管的寄生电容,并且能够得到险峻的子阈值(threshold)特性并以低电压高速动作。

另外,通过以与半导体层 24a、24b 的叠层面正交的方式配置栅电极 27a,能够减少在芯片面内中的栅电极 27a 的占有面积,同时能够使栅电极 27a 的布线长度变短。因此,能够抑制传播迟延并谋求场效应型晶体管的高密度集成化,同时能够缩小芯片尺寸并谋求场效应型晶体管的高速

化、小型化及低价格化。

另外，通过以跨越最上层的半导体层 27a 的表面上方式配置栅电极 27a，即使在从半导体层 27a 的表面侧进行了离子注入的情况下，也能够将栅电极 27a 作为掩模在半导体层 24a、24b 上分别形成源/漏层 29a、29a' 及源/漏层 29b、29b'。因此，能够对配置在半导体层 24a、24b 的侧壁的栅电极 27a 分别自匹配地形成源/漏层 29a、29a' 及源/漏层 29b、29b'，能够抑制制造工序的复杂化并再现性良好地制作特性良好的场效应型晶体管。

此外，半导体层 25 由 (100) 单晶半导体层构成，半导体层 24a、24b 能够以 {100} 面方位的侧面露出的方式构成。在此，例如在将 P 沟道场效应型晶体管形成在半导体层 24a 上，将 N 沟道场效应型晶体管形成在半导体层 24b 上的情况下，也可以设成使半导体层 24a 的膜厚大于半导体层 24b 的膜厚。在此，半导体层 24a 和半导体 24b 的膜厚比优选是孔和电子的迁移率的倒数比。例如半导体层 24a 的膜厚可设为半导体层 24b 的膜厚的 2~3 倍的范围内。

由此，与 N 沟道场效应型晶体管相比，无需扩大 P 沟道场效应型晶体管的布局 (Layout) 面积，能够设成使 P 沟道场效应型晶体管的宽度大于 N 沟道场效应型晶体管的宽度。因此，即使是在 P 沟道场效应型晶体管和 N 沟道场效应型晶体管的迁移率不同的情况下，也能够维持 P 沟道场效应型晶体管和 N 沟道场效应型晶体管之间的布局配置的平衡，并且能够使 P 沟道场效应型晶体管和 N 沟道场效应型晶体管的电流驱动能力变为一致。其结果，能够有效地进行 CMOS 电路的布局设计，同时缓和信号传输速度的制约并谋求半导体装置的高密度集成，同时能够谋求半导体装置的高速化。

另外，半导体层 25 能够由 (100) 单晶半导体层构成，半导体层 24a、24b 能够以 {100} 面方位的侧面露出的方式构成。

由此，在分别将 P 沟道场效应型晶体管及 N 沟道场效应型晶体管形成在半导体层 24a、24b 上的情况下，也无需不同地设定 N 沟道场效应型晶体管和 P 沟道场效应型晶体管的布局面积而使 P 沟道场效应型晶体管和 N 沟道场效应型晶体管的迁移率大致变为一致。因此，能够得到 P 沟道场效

应型晶体管 and N 沟道场效应型晶体管的寄生电容的平衡, 并且得到 P 沟道场效应型晶体管和 N 沟道场效应型晶体管的电流驱动平衡, 能够提高 CMOS 电路的 S/N 比, 同时谋求半导体装置的高速化及高密度化。

图 3 (a) ~ 图 10 (a) 是表示有关本发明的第 3 实施方式的半导体装置的制造方法的平面图, 图 3 (b) ~ 图 10 (b) 是用图 3 (a) ~ 图 10 (a) 的 A1-A' ~ A8-A' 线分别切断的剖面图, 图 3 (c) ~ 图 10 (c) 是用图 3 (a) ~ 图 10 (a) 的 B1-B' ~ B8-B' 线分别切断的剖面图。

在图 3 中, 在半导体基板 31 上设有 SOI 形成区域 R21 及成块区域 R22。并且通过进行半导体基板 31 的热氧化, 在半导体基板 31 的表面上形成氧化膜 32。此外, 作为半导体基板 1 的材料, 例如能够使用 Si、Ge、SiGe、SiC、SiSn、PbS、GaAs、InP、GaP、GaN 或 ZnSe 等。并且通过使用光刻技术及蚀刻技术对氧化膜 32 进行图案形成, 除去 SOI 形成区域 R21 的氧化膜 32, 露出 SOI 形成区域 R21 的半导体基板 31 的表面。并且通过将氧化膜 32 作为掩模而进行选择外延生长, 将第 1 半导体层 33 选择地形成在半导体基板 31 上的 SOI 形成区域 R21 上。

接着, 如图 4 所示, 除去成块区域 R22 的半导体基板 31 上的氧化膜 32。并且通过进行外延生长, 将第 2 半导体层 34 形成在半导体基板 31 上的 SOI 形成区域 R21 及成块区域 R22 上。此外, 第 1 半导体层 33 能够使用其蚀刻率比半导体基板 31 及第 2 半导体层 34 还要大的材料, 作为第 1 半导体层 33 及第 2 半导体层 34 的材料能够使用从 Si、Ge、SiGe、SiC、SiSn、PbS、GaAs、InP、GaP、GaN 或 ZnSe 等中选择的组合材料。特别是在半导体基板 31 为 Si 的情况下, 作为第 1 半导体层 33 优选使用 SiGe, 作为第 2 半导体层 34 优选使用 Si。由此, 能够得到第 1 半导体层 33 和第 2 半导体层 34 之间的晶格匹配, 并且能够确保第 1 半导体层 33 和第 2 半导体层 34 之间的蚀刻时的选择比。此外, 作为第 1 半导体层 33, 除了单晶半导体层以外也可以使用其他晶半导体层、非晶质半导体层或多孔质半导体层。另外, 也可以使用能够以外延生长成膜单晶半导体层的  $\gamma$ -氧化铝等的金属氧化膜来代替第 1 半导体层 33。另外, 第 1 半导体层 33 和第 2 半导体层 34 的膜厚能够设成 10~200nm 左右。

接着, 如图 5 所示, 将以贯通第 1 半导体层 33 及第 2 半导体层 34 而

到达在半导体基板 31 上的方式设定了深度的沟 35 形成在 SOI 形成区域 R21 和成块区域 R22 和边界及其周围。并且通过将元件分离绝缘膜 36 埋入在沟 35 内,对 SOI 形成区域 R21 和成块区域 R22 进行元件分离,同时形成在半导体基板 31 上支撑第 2 半导体层 34 的支撑体。

接着,如图 6 所示,通过使用光刻技术及蚀刻技术对第 1 半导体层 33 及第 2 半导体层 34 进行图案形成,形成露出第 1 半导体层 33 及第 2 半导体层 34 的端部的一部分的露出面 37。此外,在形成露出第 1 半导体层 33 及第 2 半导体层 34 的端部的一部分的露出面 37 的情况下,也可以在第 1 半导体层 33 的表面停止蚀刻,也可以对第 1 半导体层 33 进行过多的蚀刻而在第 1 半导体层 33 上形成凹部。或也可以贯通第 1 半导体层 33 而露出半导体基板 31 的表面。

接着,如图 7 所示,通过借助于露出面 37 将蚀刻气或蚀刻液接触在第 1 半导体层 33 上,蚀刻除去第 1 半导体层 33 而在 SOI 形成区域 R21 的半导体基板 31 和第 2 半导体层 34 之间形成空穴部 38。

在此,通过用元件分离绝缘膜 36 支撑第 2 半导体层 34,即使在除去了第 1 半导体层 33 的情况下,也能够防止第 2 半导体层 34 被落在半导体基板 31 上,同时通过形成露出第 1 半导体层 33 及第 2 半导体层 34 的端部的一部分的露出面 37,即使是在第 1 半导体层 33 上层叠了第 2 半导体层 34 的情况下,也能够第 1 半导体层 34 下的第 1 半导体层 33 上接触蚀刻气或蚀刻液。

因此,无需另外设置用于支撑第 2 半导体层 34 的支撑体,同时降低第 2 半导体层 34 的缺陷的产生,并且能够将第 2 半导体层 34 配置在绝缘体上,不损坏第 2 半导体层 34 的质量,能够谋求第 2 半导体层 34 和半导体基板 31 之间的绝缘。因此,能够抑制制造工序的增大,并且能够将 SOI 结构和成块结构形成在同一个半导体基板上,能够抑制芯片尺寸的增大并将具有持有良好的特性的各种功能的元件构成在同一个芯片上。

此外,在半导体基板 31 及第 2 半导体层 34 为 Si,第 1 半导体层 33 为 SiGe 的情况下,作为第 1 半导体层 33 的蚀刻液优选使用氢氟硝酸(氢氟酸、硝酸、水的混合液)。由此,作为 Si 和 SiGe 的选择比能够得到 1:100~1000 左右,能够抑制半导体基板 31 及第 2 半导体层 34 的过蚀刻并



除去第1半导体层33。另外，作为第1半导体层33的蚀刻液也可以使用氢氟酸硝酸过氧化氢的混合液、氨和过氧化氢的混合液、或氢氟酸醋酸过氧化氢的混合液等。

另外，在将第1半导体层33蚀刻除去前，也可以通过阳极氧化等方法对第1半导体层33进行多孔质化，也可以通过对第1半导体层33进行离子注入对第1半导体层33进行非晶质化。由此能够增大第1半导体层33的蚀刻率并扩大第1半导体层33的蚀刻面积。

接着，如图8所示，通过进行半导体基板31及第2半导体层34的热氧化，在半导体基板31和第2半导体层34之间的空穴部10中形成埋入绝缘层39。

由此，通过在外延生长时的第2半导体层34的膜厚及在第2半导体层34的热氧化时的埋入绝缘层39的膜厚，能够规定元件分离后的第2半导体层34的膜厚。因此能够高精度地控制第2半导体层34的膜厚，能够降低第2半导体层34的膜厚的偏差并实现第2半导体层34的薄膜化。

此外，在空穴部38形成了埋入绝缘层39之后，也可以进行1000℃以上的高温退火。由此，能够回流埋入绝缘层39并缓和埋入绝缘层39的应力，同时能够降低与第2半导体层34的边界中的界面能级。另外，埋入绝缘层39也可以根据将空穴部38全部埋入的方式形成，也可以根据残留一部分的空穴部38的方式形成。

另外，在图8的方法中，通过进行半导体基板31及第2半导体层34的热氧化，说明了在半导体基板31和第2半导体层34之间的空穴部38形成埋入绝缘层39的方法，但是也可以通过根据CVD法在半导体基板31和第2半导体层34之间的空穴部38上成膜绝缘膜，将半导体基板31和第2半导体层34之间的空穴部38用埋入绝缘层39来埋入。由此，能够防止第2半导体层34的膜减，并用氧化膜以外的材料埋入半导体基板31和第2半导体层34之间的空穴部39。因此，能够谋求配置在第2半导体层34的背面侧的埋入绝缘层39的厚膜化，同时能够降低电容率并减少第2半导体层34的背面侧的寄生电容。

此外，作为埋入绝缘层39的材料，例如除了硅氧化膜以外还可以使用FSG（氟硅酸盐玻璃）膜或硅氮化膜等。另外，作为埋入绝缘层10，除

了 SOG (Spin On Glass) 膜以外也可以使用 PSG 膜、BPSG 膜、PAE (polyaryleneether) 系膜、HSQ (hydrogen silsesquioxane) 系膜、MSQ (methyl silsesquioxane) 系膜、PCB 系膜、CF 系膜、SiOC 系膜、SiOF 系膜等的有机 lowk 膜、或这些多孔膜。

接着, 如图 9 所示, 通过使用光刻技术及蚀刻技术对第 2 半导体层 34 及其侧壁的埋入绝缘层 39 进行图案形成, 露出第 2 半导体层 34 的侧壁。在此, 在露出第 2 半导体层 34 的侧壁的情况下, 也可以根据具有包括了第 2 半导体层 34 的部分的方式对半导体层 34 进行图案形成, 例如也可以图案形成为翅片状、梳状、矩状或网眼状等的形状。

接着, 如图 10 所示, 通过进行在 SOI 形成区域 R21 及成块区域 R22 中的第 2 半导体层 34 的侧面及表面的热氧化, 在 SOI 形成区域 R21 的第 2 半导体层 34 的侧面形成栅绝缘膜 40a, 同时在成块区域 R22 的第 2 半导体层 34 的侧面形成栅绝缘膜 40b。并且形成了栅绝缘膜 40a、40b 的第 2 半导体层 34 上通过 CVD 等方法形成多晶硅层。并且, 通过使用光刻技术及蚀刻技术对多晶硅层进行图案形成, 形成配置在 SOI 形成区域 R21 的第 2 半导体层 34 的侧面的栅电极 41a, 同时形成配置在成块区域 R2 的第 2 半导体层 34 的表面的栅电极 41b。

并且, 将栅电极 41a、41b 作为掩模, 通过将 As、P、B 等的杂质离子注入在第 2 半导体层 34 内, 在第 2 半导体层 34 上形成分别配置在栅电极 41a、41b 的侧方的源/漏层。

由此, 无需使用 SOI 基板而能够在半导体基板 31 的一部分的区域形成 SOI 结构, 同时能够在第 2 半导体层 34 的侧壁配置沟道区域。因此能够抑制芯片尺寸的增大并将具有持有良好的特性的各种功能的元件构成在同一个芯片上。

此外, 在上述的实施方式中, 说明了通过埋入绝缘层 39 在 SOI 形成区域 R21 的半导体基板 31 上只层叠一层第 2 半导体层 34 的方法, 但是也可以分别通过绝缘层将多个半导体层层叠在 SOI 形成区域 R21 的半导体基板 31 上。

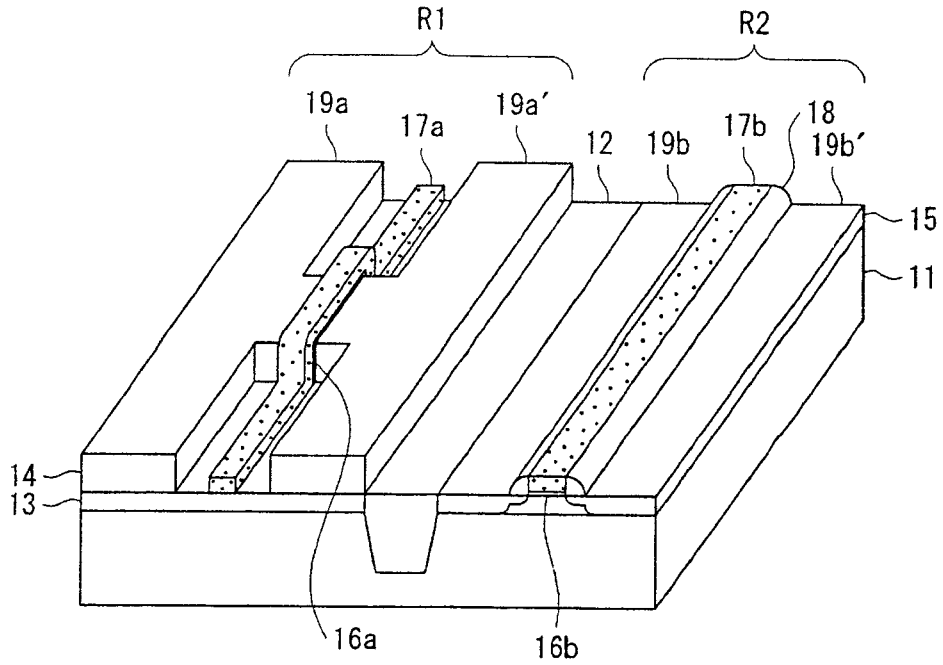


图 1

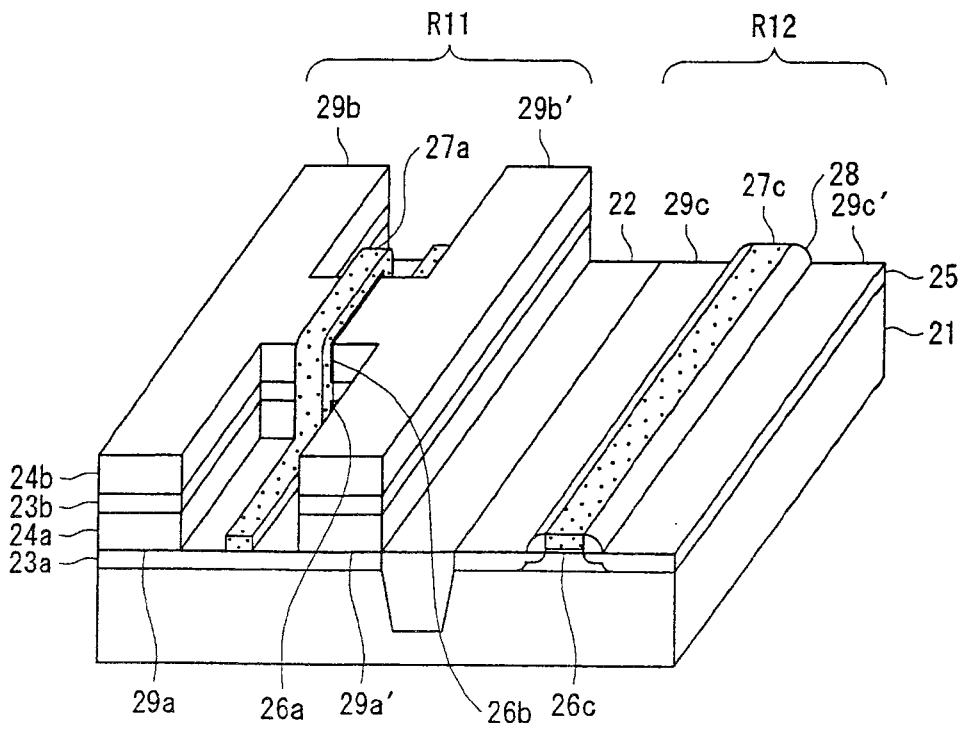


图 2

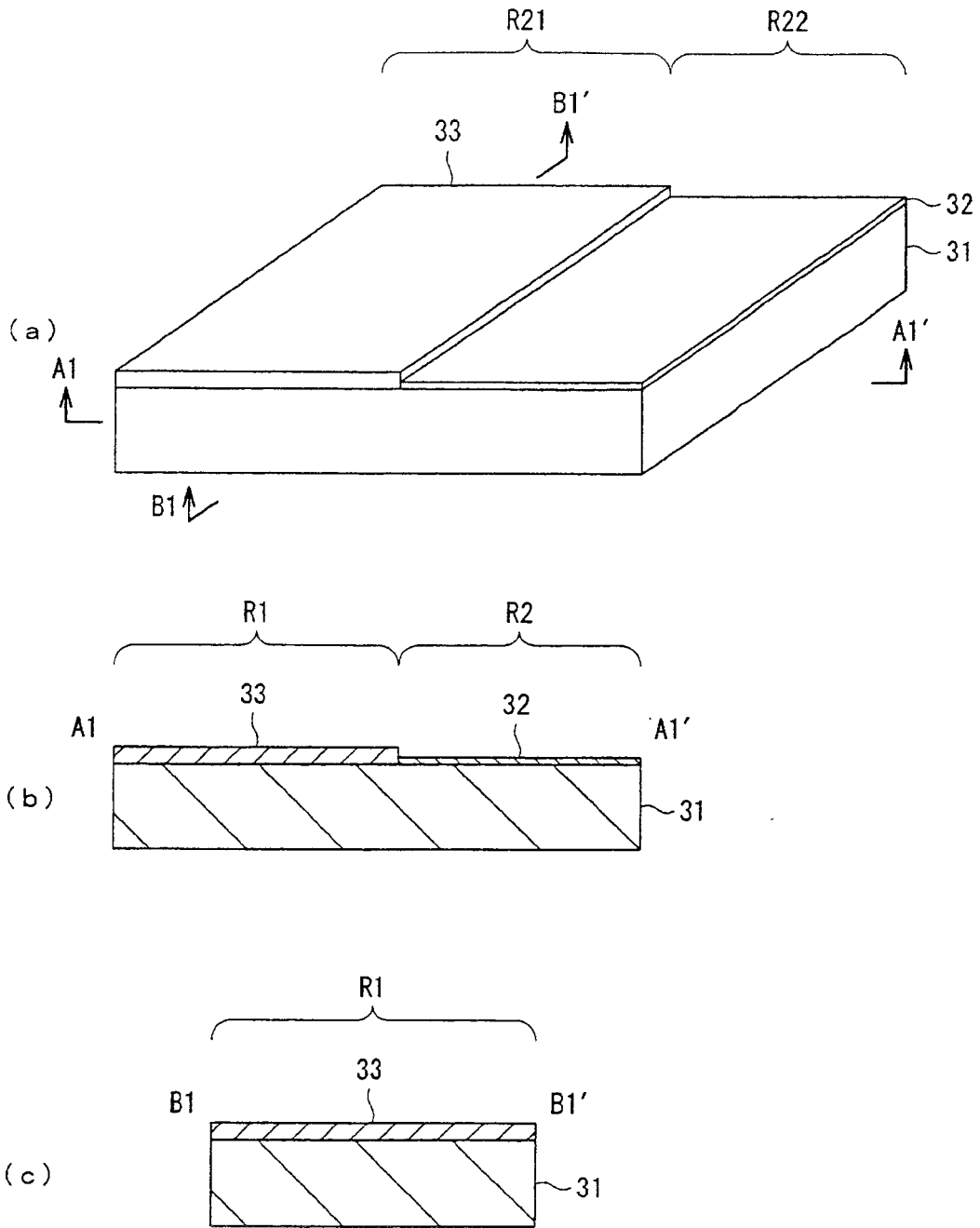


图 3

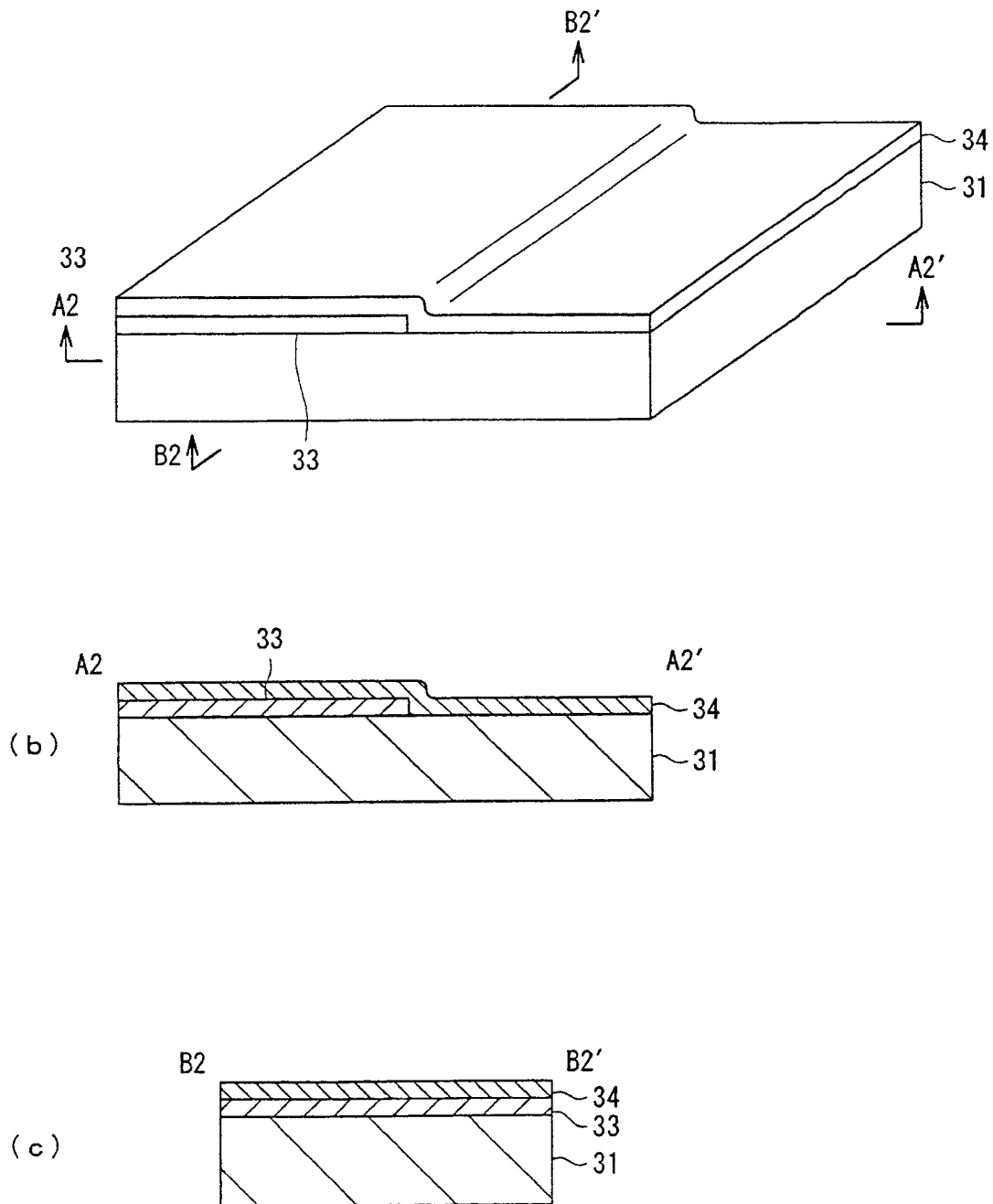


图 4

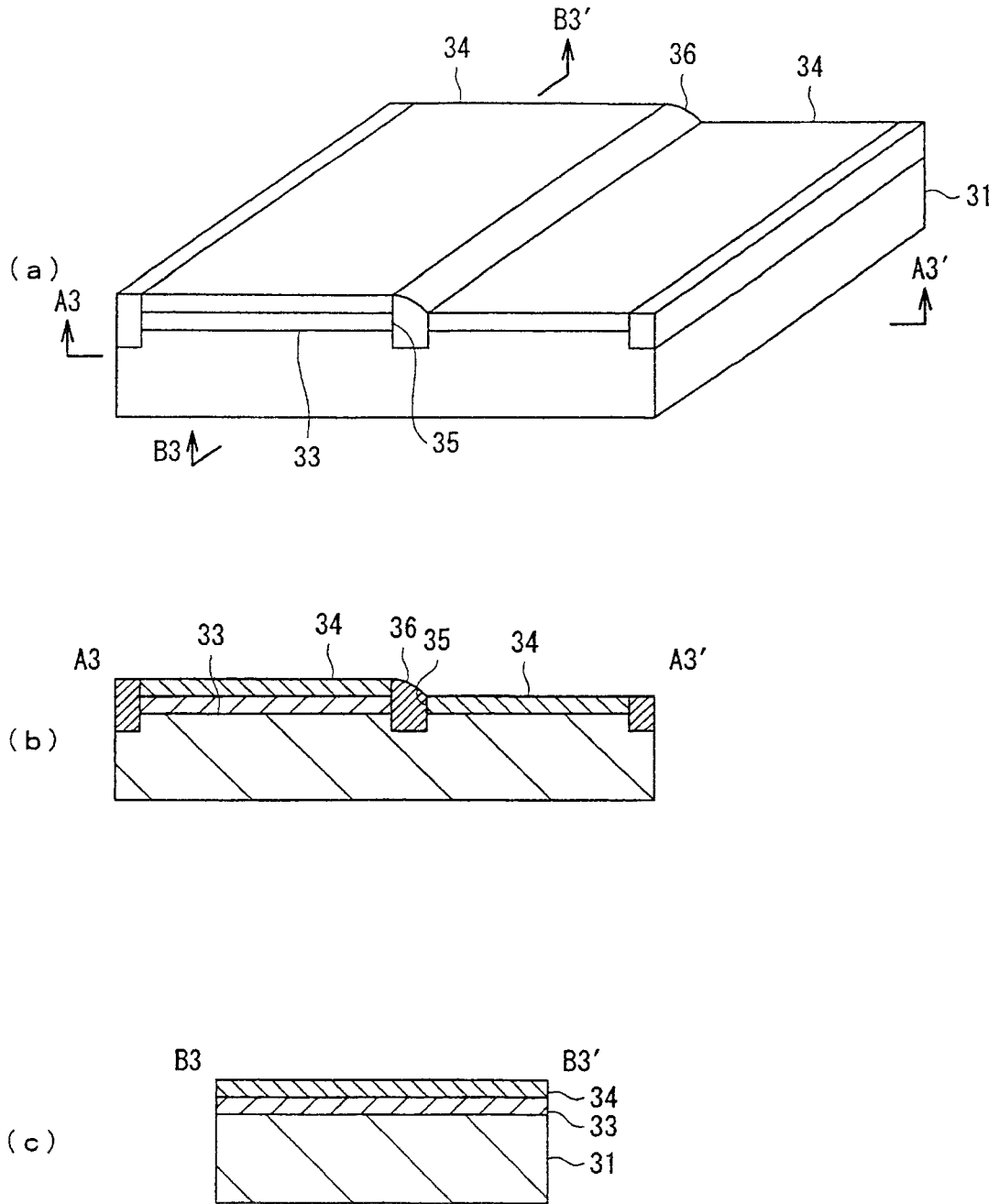


图 5

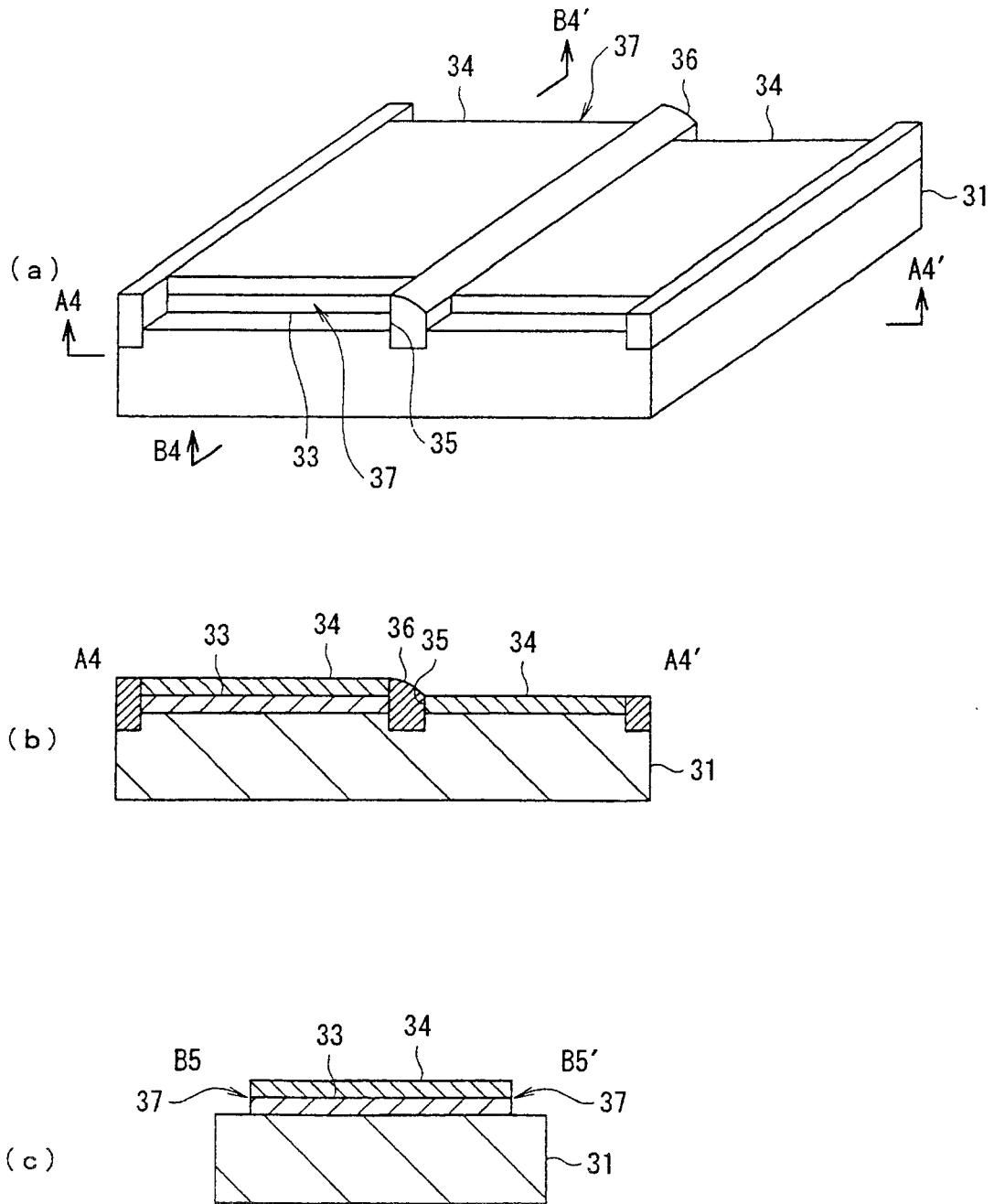


图 6

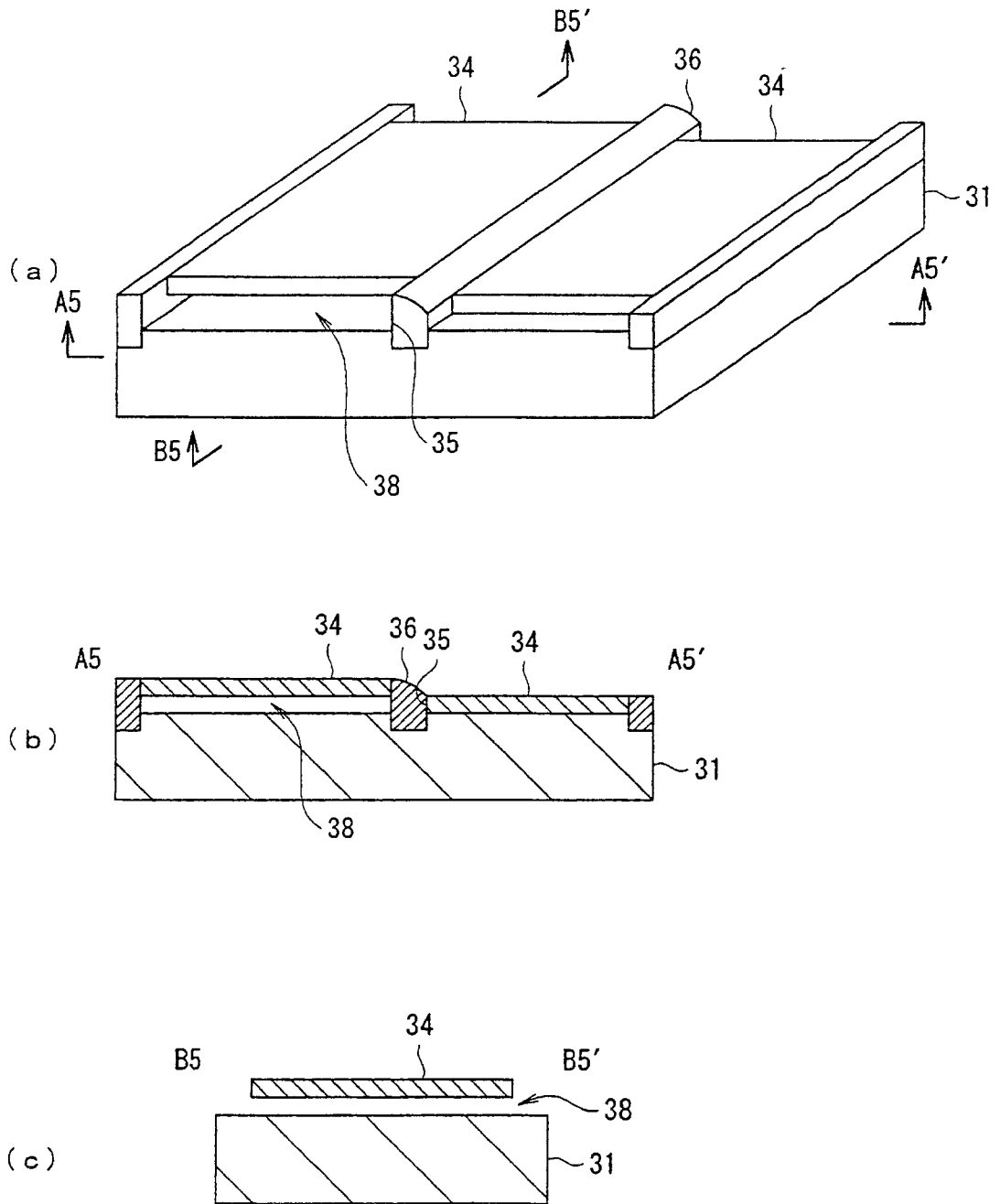


图 7



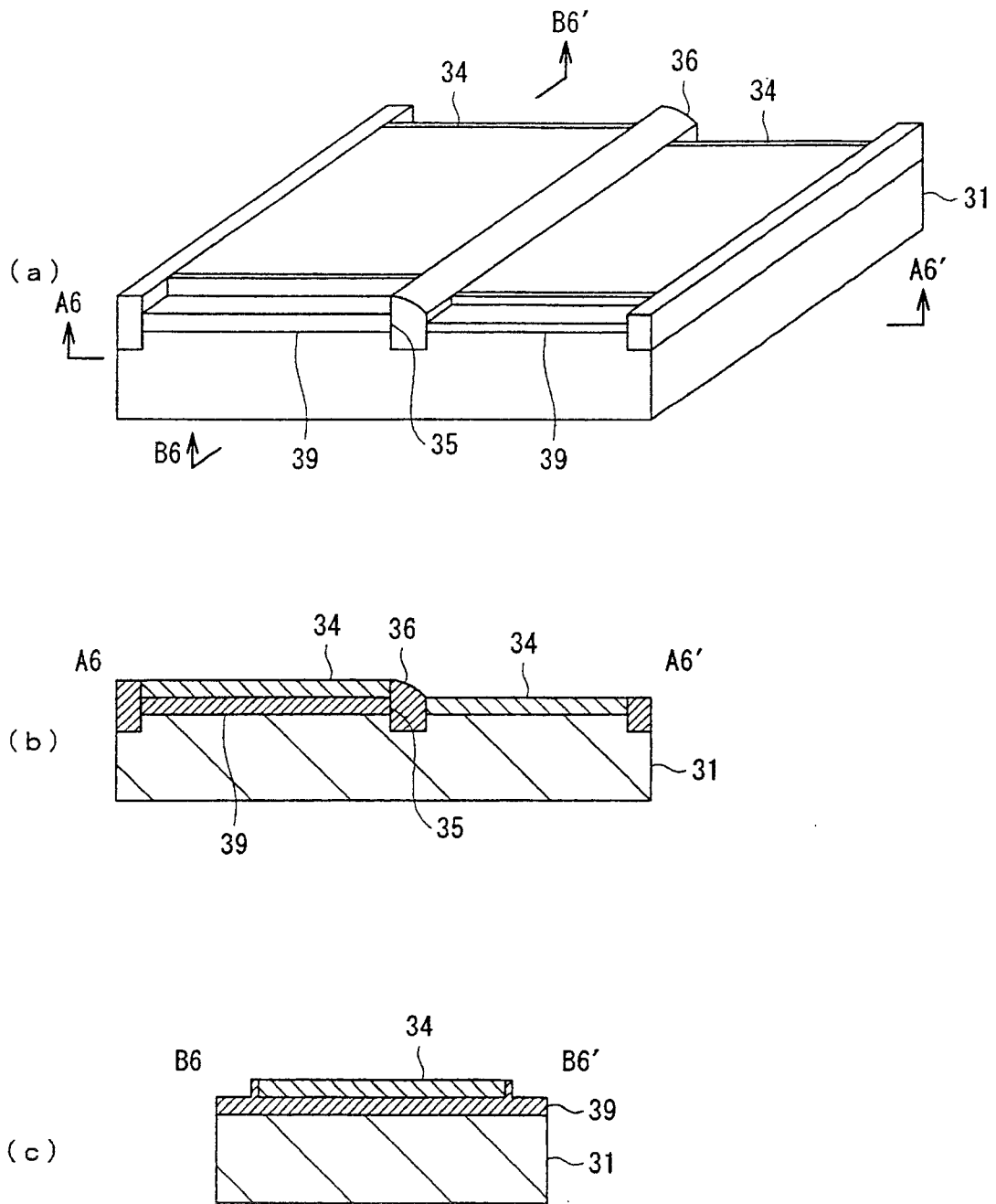


图 8

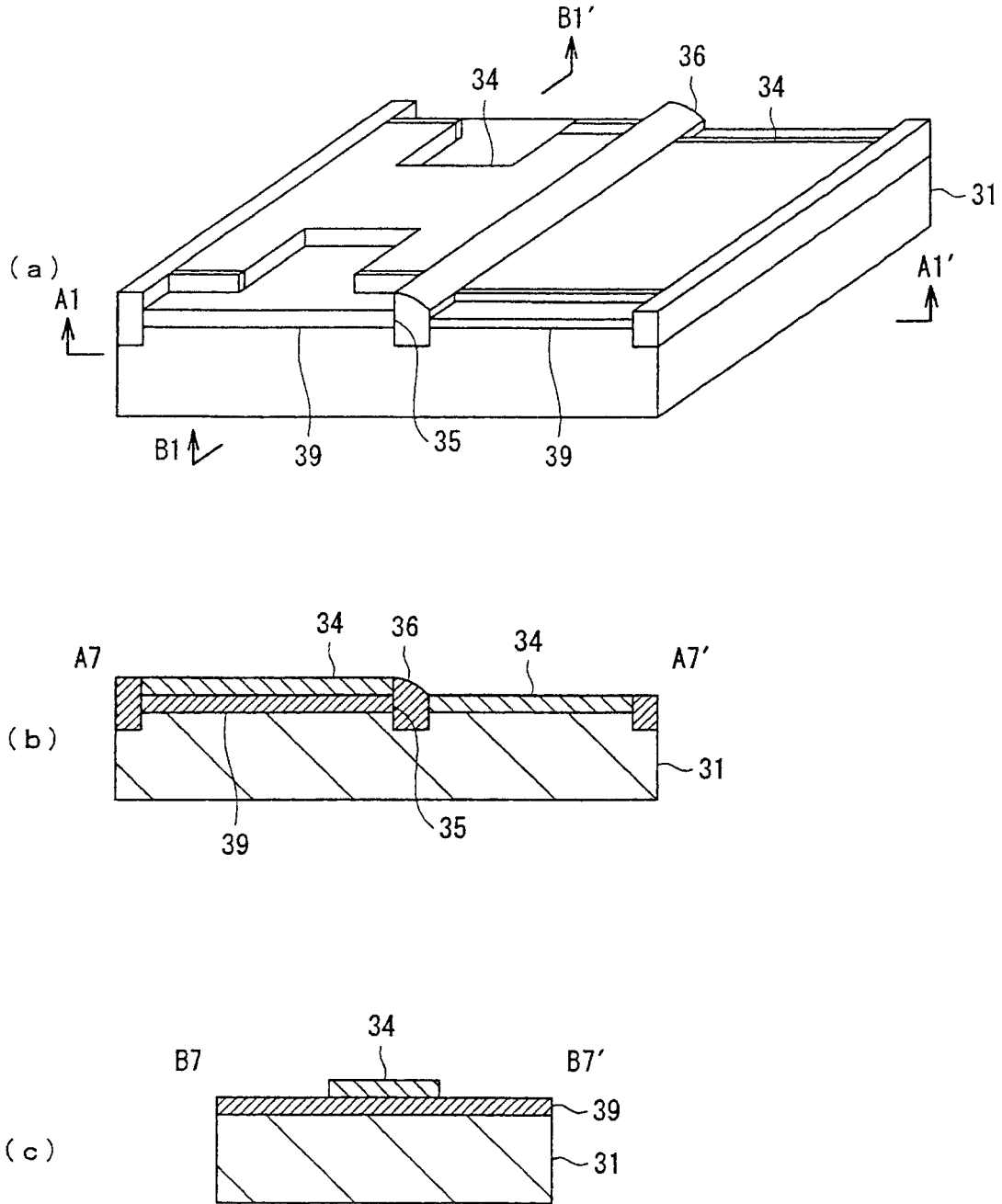


图 9

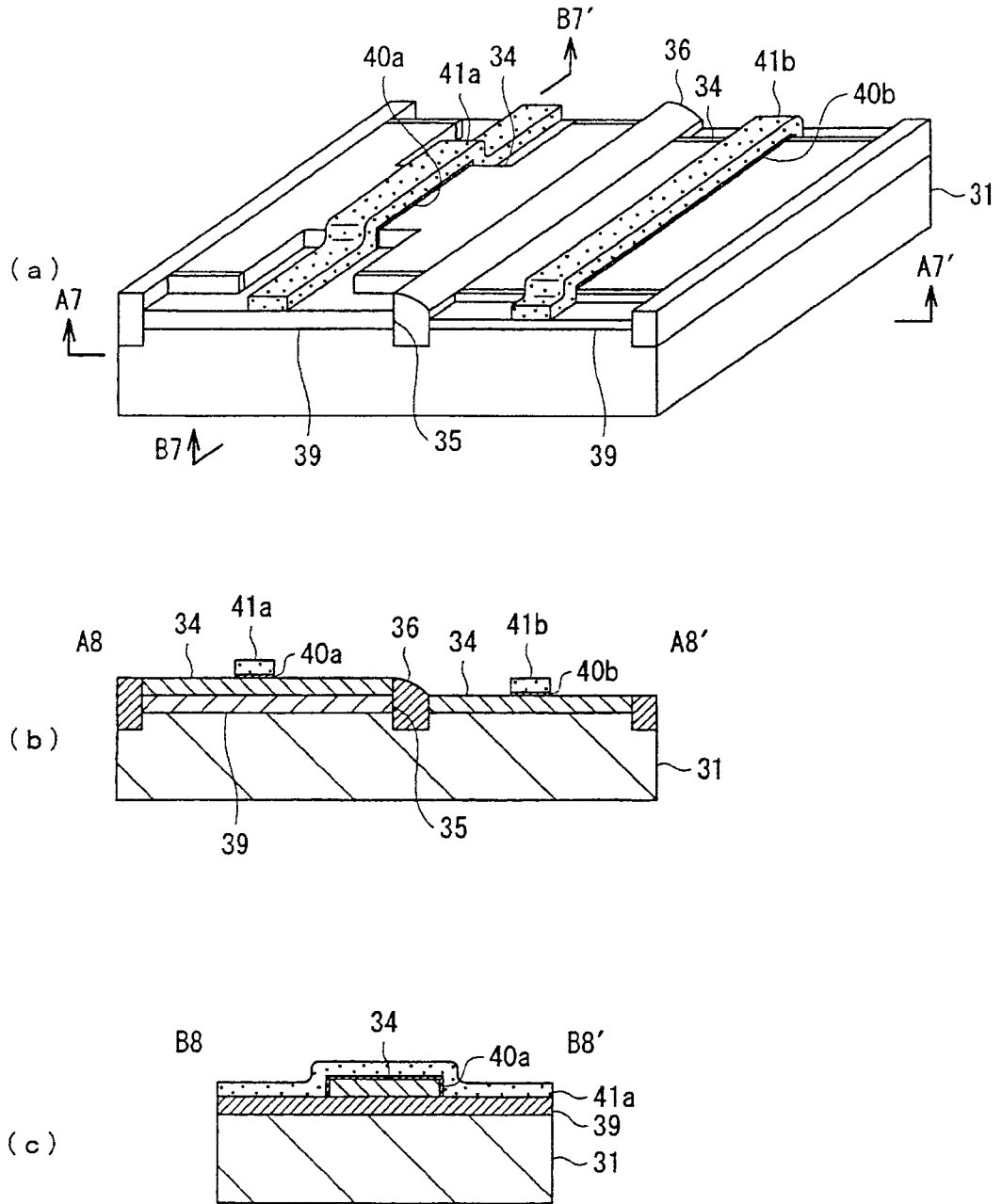


图 10