

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97107982

※ 申請日期： 97.3.7

※IPC 分類：H01L 29/68(2006.01)
H01L 21/334(2006.01)

一、發明名稱：(中文/英文)

高效整流器

HIGH EFFICIENCY RECTIFIER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章) ID：

達爾公司

DIODES FABTECH INC.

代表人：(中文/英文)(簽章)

瑪麗喬帕森斯

Mary Jo Parsons

住居所或營業所地址：(中文/英文)

美國密蘇里州 64086 李氏峰 350 區西北藍公園路 777 號

777 NW Blue Parkway, Suite 350, Lee's Summit, MO Missouri 64086, USA

國 籍：(中文/英文)

美國

USA

三、發明人：(共 6 人)

姓 名：(中文/英文) ID：

1. 羅馬 J. 哈默斯基/HAMERSKI, ROMAN J.
2. 陳澤瑞/CHEN, ZERUI
3. 洪文輝詹姆士/HONG, JAMES MAN-FAI
4. 強尼杜克凡欽/CHIEM, JOHNNY DUC VAN
5. 克里斯多福 D. 何路斯卡/HRUSKA, CHRISTOPHER D.
6. 提摩西伊士曼/EASTMAN, TIMOTHY

國 籍：(中文/英文)

1. 美國/United States of America
2. 大陸地區/People's Republic of China
- 3.~6.美國/United States of America

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 2007/3/9 11/684,261

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種高效功率半導體整流器元件 10 包含 $\delta P++$ 層 (12)，P-本體 (14)，N-漂移區 (16)，N+基板 (18)，陽極 (20)，及陰極 (22)。元件 (10) 之製造方法包括下列步驟：沉積 N-漂移區 (16) 在 N+基板 (18) 上；將硼植入 N-漂移區 (16)，以產生 P-本體區 (14)；形成矽化鈦層 (56) 在 P-本體區 (14) 上；及密化在矽化鈦層 (56) 和 P-本體區 (14) 之間的介面區之植入硼的部分，以產生過飽和 P 型摻雜矽之 $\delta P++$ 層 (12)。

六、英文發明摘要：

A high-efficiency power semiconductor rectifier device (10) comprising a $\delta P++$ layer (12), a P-body (14), an N-drift region (16), an N+ substrate (18), an anode (20), and a cathode (22). The method of fabricating the device (10) comprises the steps of depositing the N-drift region (16) on the N+ substrate (18), implanting boron into the N-drift region (16) to create a P-body region (14), forming a layer of titanium silicide (56) on the P-body region (14), and concentrating a portion of the implanted boron at the interface region between the layer of titanium silicide (56) and the P-body region (14) to create the $\delta P++$ layer (12) of supersaturated P-doped silicon.

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	元 件
12	$\delta P++$ 層
14	P- 本 體
16	N- 漂 移 區
18	N+ 基 板
20	陽 極
22	陰 極
56	矽 化 鈦 區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體元件及其製造方法。尤其，本發明係關於一種功率半導體整流器元件及其製造方法。

【先前技術】

現代的各種功率電路需要具有改善的功率切換性能之功率整流器。對於高電壓應用方面，當期望要求高崩潰電壓和高操作溫度時，經常使用具有高切換速度之 P+/N 整流器。對於低電壓應用方面，當期望要求高切換速度和非常低的順向電壓降時，經常使用蕭基位障整流器。蕭基位障整流器係一種主要載子元件，其在恢復期間可以允許少量的反向電流流動。不幸地，當在高溫操作時，蕭基位障整流器會遇到不期望的高反向漏電流之問題。

已有幾種修改例被介紹，以改善蕭基整流器的阻擋能力。其中一種改善例係接面位障蕭基 (JBS) 整流器，其將 P/N 接面網格和幾個蕭基位障區結合，蕭基位障區夠小以致自 P+/N 接面網格延伸之空間電荷區消除由於影像電荷所造成之蕭基位障下降。對於相同的晶片面積和順向電壓降，JBS 整流器提供約 50% 之漏電流的淨減少量。對於操作在 50% 的工作週期之二極體，此等於在功率消耗曲線中約 11 度凱氏溫標的改善。

另一種改善例係溝渠蕭基整流器，其對於較高電壓的應用方面很有用，其中順向電壓降超過 0.7 伏特，而且 JBS 整流器不再是當作主要載子元件操作。例如，溝渠 MOS 位

障控制蕭基 (MBS) 整流器具有比崩潰電壓高達 250V 且仍當作主要載子元件操作之 P-i-N 整流器低的順向電壓降。

除了這些高電壓應用之外，對於傳統的溝渠蕭基整流器並不是很適合之低電壓應用的需求也會增加。在阻擋電流之狀態下，溝渠蕭基整流器需要，內溝渠係充分緊密地隔間，而且本體部分的相鄰區域係夠低的摻雜；及在比崩潰電壓小之電壓下，溝渠蕭基整流器需要，形成在本體部分之空乏區使在溝渠之間的本體部分之中間區域空乏。在該方式下，可以改善反向電壓阻擋特性。不幸地，因為溝渠可以消耗高達在晶片上之可用面積的 50%，所以其也會造成蕭基位障之可用面積的減少。

美國專利公報第 6,979,861 號揭露一種如 MOS 電晶體之二端元件。此種元件的垂直結構和順向電流流過圖案示於專利的第 2 圖。該元件係一種二端元件；上電極提供與 N+ 源極，閘極電極，和 P-本體的直接接觸，而下電極係汲極電極。當正電壓被應用到上電極時，達成順向傳導。在閘極上的正偏壓使在閘極下方的 P-本體反轉成 N-通道，此可以允許順向電流流過。在閘極上的負偏壓不會造成 N-通道形成。P-基底 / N-漂移區變成反向偏壓 pin 二極體，並且支持反向電壓。不幸地，此元件會遇到寄生 N+/P/N 雙極電晶體結構，造成 dV/dt 性能降低。

【發明內容】

本發明藉由提供改善的半導體整流器元件，可以克服

上述所討論的問題和限制。大體上的描述特性，元件包含：矽層，其係具有已過飽和之第一導電型摻雜物；大致上位在過飽和矽層下方且臨近過飽和矽層之第一導電型本體區；大致上位在本體區下方且臨近本體區之第二導電型漂移區；及大致上位在漂移區下方之第二導電型基板。

大體上的描述，上述元件之製造方法包含下列步驟：沉積第二導電型漂移區在第二導電型基板上；將第一導電型摻雜物植入漂移區，以產生第一導電型本體區；形成高階矽化物層，如矽化鈦，在本體區上；及密化在矽化物層和本體區之間的介面區之植入摻雜物的部分，以產生第一導電型摻雜物已過飽和之矽層。

在一種實施例中，第一導電型係 P 型，而第二導電型係 N 型。因此，在本實施例中，元件大體上包含 δP^{++} 層，P-本體，N-漂移區，N+基板，陽極，及陰極。在本實施例中，P-本體大致上位在 δP^{++} 層下方且臨近 δP^{++} 層，N-漂移區大致上位在 P-本體下方且臨近 P-本體，N+基板大致上位在 N-漂移區下方，陽極大致上位在 δP^{++} 層上方，及陰極大致上位在 N+基板下方。

因此，在本實施例中，元件之製造方法包含下列步驟：沉積 N-漂移區在 N+基板上；將硼植入 N-漂移區，以產生 P-本體區；形成矽化鈦層在 P-本體區上；及密化在矽化鈦層和 P-本體區之間的介面區之植入硼的部分，以產生過飽和 P 型摻雜矽之 δP^{++} 層。

在下面之實施方式中，將詳細說明本發明這些的和其他的特徵。

【實施方式】

參考圖式，一高效功率半導體整流器元件 10 將根據各種不同的實施例，包含本發明之優選實施例，在此處說明，圖示，和以不同方式揭露。

大體上描述，元件 10 包括：一層矽，其係具有過飽和之第一導電型摻雜物；大致上臨近過飽和矽層之第一導電型本體區；大致上臨近本體區之第二導電型漂移區；及位在漂移區下方之第二導電型基板。

在一實施例中，第一導電型係 P 型，而第二導電型係 N 型。因此，在本實施例中，參考第 1 圖到第 4 圖，元件 10 大體上包含 δP^{++} 層 12，P-本體 14，N-漂移區 16，N+基板 18，陽極 20，及陰極 22。在本實施例中，P-本體 14 大致上位置臨近 δP^{++} 層 12，N-漂移區 16 大致上位置臨近 P-本體 14，N+基板 18 大致上位在 N-漂移區 16 下方，陽極 20 大致上位在 δP^{++} 層 12 上方，及陰極 22 大致上位在 N+基板下方。當與位置名詞組合時，如上方，下方，或臨近，此處所使用的”大致上”一詞係上述構件的相對位置定位，而且允許(A)複雜的形狀，其中至少構件的主要部分與所說明的相對位置相稱，及(B)插入構件，如區域或膜層，特別插入次要的構件，如可以具有由於製程和/或構件之間的反應而造成稍微不同特性之介面區域。再如此處所使用的，

名辭“上方”和“下方”係構件的個別側，即“上方”係構件的一側，而“下方”係構件的另一側。一般而言，在陽極 20 的相對方向之任何位置都是“上方”，而在陰極 22 的相對方向之任何位置都是“下方”。但是注意：如此處所使用的“上方”和“下方”係主觀的定義，而且與整個元件 10 的任何特定方向無關。

在一實施例中， δP^{++} 層 12 係 P 型摻雜矽的過飽和區且厚度約為幾個原子層；P-本體 14 係硼佈植多晶矽的區域；N-漂移區 16 的電阻率約為每公分 0.4 歐姆，而厚度約為 3 微米；及 N+基板 18 的電阻率約等於或小於每公分 5×10^{-3} 歐姆，而且摻雜砷或磷。

在一實施例中，元件 10 還包含下列額外的構件。矽化鈦區 56，或其他高階矽化物，其係位在 δP^{++} 層 12 上方且大致臨近 δP^{++} 層 12。當作閘極介電質功能之氧化矽層 36 係位在 N-漂移區 16，P-本體 14， δP^{++} 層 12，和矽化鈦區 56 其中之一或多個的上方且大致上臨近。在一實施例中，閘極氧化物 36 的厚度約為 85Å。多晶矽層 38 係位在氧化矽層 36 的上方且大致上臨近。在一實施例中，多晶矽層 38 係以約 $8 \times 10^{15} \text{ cm}^{-2}$ 劑量的砷和約 40 keV 的能量佈植。鈦層 52 係位在多晶矽層 38 的上方且大致上臨近。在一實施例中，鈦層 52 的厚度約為 300Å。氮化鈦層 54 係位在鈦層 52 的上方且大致上臨近，而且位在陽極 20 的下方且大致上臨近。在一實施例中，氮化鈦層 54 的厚度約為 500Å。

不外加閘極電壓時，元件 10 當作 pin 二極體。施加正閘極電壓將在閘極介電質下方造成二維電子通道和形成穿隧 $\delta P^+/N^+$ 介面。

施加正偏壓到 δP^{++} 層 12，由於帶-對-帶穿隧造成很大的順向電流流過。第 2 圖為元件 10 在熱平衡狀態下的能帶圖，而第 3 圖為元件的半導體表面之能帶圖，其中電子電流從二維 MOSFET 通道流進三維 δP^{++} 層 12。施加較高順向偏壓，由於捕捉輔助穿隧電流，造成順向電流增加。

施加反向偏壓造成負閘極偏壓，在 P-本體 14 的表面停止反轉，及元件 10 當作 P-i-N 二極體。第 4 圖為反向偏壓二極體之元件的半導體表面之能帶圖。施加較高反向偏壓，造成 P-本體 14 的表面變成更累積，接著造成低反向漏電流。

大體上描述，元件 10 之製造方法包括下列步驟：沉積第二導電型漂移區在第二導電型基板上；將第一導電型摻雜物植入漂移區，以產生第一導電型本體區；形成高階矽化物層，如矽化鈦，在本體區上；及密化在矽化物層和本體區之間的介面區之植入摻雜物的部分，以產生第一導電型摻雜物已過飽和之矽層。

如所述者，在一實施例中，第一導電型係 P 型，而第二導電型係 N 型。因此，在本實施例中，方法包含下列步驟：沉積 N-漂移區在 N+基板上；將硼植入 N-漂移區，以產生 P-本體區；形成矽化鈦層在 P-本體區上；及密化在矽

化鈦層和 P-本體區之間的介面區之植入硼的部分，以產生過飽和 P 型摻雜矽之 δP^{++} 層。

在一實施例中，參考第 5 圖到第 20 圖，元件 10 係根據下面的詳細步驟製造。

步驟 1：如第 5 圖所示，N 型層 26，其將會是 N-漂移區 16，磊晶沉積在矽 N+基板 18 上。

步驟 2：如第 6 圖所示，起始氧化矽層 28 成長在 N 型層上。在一實施例中，氧化矽層 28 的厚度約為 0.75 微米；在另一實施例中，其厚度約在 0.5 微米和 1.0 微米之間。

步驟 3：如第 7 圖所示，藉由蝕刻，或移除部分的氧化矽層 28 之第一微影製程步驟，界定防護環 30。然後剝離在微影製程步驟所使用的光阻。對於具有 40V 或更低之相當低的崩潰電壓之二極體，此步驟和所產生之 P+防護環，可以不用考慮。再者，深硼佈植和淺硼佈植足以終止沿著在步驟 6 所產生之開口區 34 的工作區周圍。藉由將在步驟 6 的第二微影製程步驟所產生之開口區 34 的周圍與藉由在步驟 11 的第三微影製程步驟所產生之開口區的重疊，可以達成此簡化。

步驟 4：將硼植入防護環 30，以產生硼佈植區 32。硼佈植 30 的劑量和能量範圍可以非常寬。在一實施例中，硼佈植 30 係以約 $3 \times 10^{13} \text{ cm}^{-2}$ 的劑量和約 30 keV 的能量佈植。在一關於相當低的崩潰電壓之實施例中，如約等於或小於 40V，此硼佈植和後續在其上的工作可以不用考慮。

步驟 5：如第 8 圖所示，擴散硼佈植 30，並在硼佈植的矽上再成長薄氧化矽層，以提供邊緣邊界。

步驟 6：如第 9 圖所示，蝕刻在第二微影製程步驟所產生之晶片中央的氧化矽層 28，以打開工作區 34。

步驟 7：如第 10 圖所示，將閘極氧化物層 36 成長在工作區 34 內。在一實施例中，閘極氧化物層 36 的厚度約為 85 Å。

步驟 8：如第 11 圖所示，沉積多晶矽，以產生多晶矽層 38。在一實施例中，多晶矽層 38 的厚度約為 1500 Å。

步驟 9：多晶矽層 38 被佈植以砷。在一實施例中，砷佈植的劑量約為 $8 \times 10^{15} \text{ cm}^{-2}$ ，而能量約為 40 keV。

步驟 10：如第 12 圖所示，部分氧化多晶矽層 38，留下約 800 Å 的非氧化多晶矽，然後產生高 N 型摻雜多晶矽閘極 40。

步驟 11：如第 13 圖所示，在第三微影製程步驟蝕刻閘極，即進一步界定。

步驟 12：如第 14 圖所示，濕蝕刻氧化矽 40，以產生下切區 42。下切量界定通道的長度。在一實施例中，此步驟和造成的下切可以不用考慮。

步驟 13：如第 15 圖所示，蝕刻多晶矽層 38。在一實施例中，蝕刻係使用反應離子蝕刻製程完成。

步驟 14：如第 16 圖所示，將硼植入 N-漂移區，以產生將會是 P-本體 14 之硼佈植區 46。在一實施例中，硼佈

植的劑量約為 $3 \times 10^{13} \text{ cm}^{-2}$ ，而能量約為 80 keV。

步驟 15：如第 17 圖所示，將硼植入臨近在步驟 14 所產生的 P-本體 14 之通道區 48。在一實施例中，此步驟和造成的額外硼佈植可以不用考慮。

步驟 16：如第 18 圖所示，蝕刻在多晶矽區外面之上氧化矽層 38 和閘極氧化物層 36，以確保在閘極多晶矽，P-本體 14，和要在步驟 17 加入之濺鍍金屬系統的鈦/氮化鈦之間有良好的接觸。

步驟 17：如第 19 圖所示，分別使用濺鍍和反應濺鍍沉積製程沉積鈦 52 和氮化鈦 54。在一實施例中，鈦 52 的厚度約為 300 Å，而氮化鈦 54 的厚度約為 500 Å。

步驟 18：參考第 20 圖，形成矽化鈦層 56。在 650 度 C 或更高的溫度下，在接觸區之矽的量反轉成矽化鈦層 56。在接觸區之硼被移動，或“除雪”，到在矽化鈦和矽之間的介面區，產生具有厚度約幾個原子層之過飽和 P 型摻雜矽的 δP^{++} 層 12。

產生過飽和 δP^{++} 層的其他方法包含分子束磊晶法 (MBE) 和原子層沉積法 (ALD)，但是這些方法太昂貴也太複雜。本發明之方法使用形成高階矽化物層，如矽化鈦。硼原子係藉由促進矽化物相到矽化物/矽介面而被清除，或除雪，而且，若形成矽化物之製程係在非氧化氛圍下，如氮氛圍，以良好控制的溫度下執行，則清除的硼原子會餘留在介面區之中。此係因為矽化物形成的時間小於 1 分鐘，

而且溫度夠低，以防止硼原子擴散進入矽晶格太深而形成 δP^{++} 層。

步驟 19：沉積陽極 20，或上金屬，如藉由濺鍍沉積製程。金屬的型式將取決於使用之電極接觸的型式。在一關於打線接合接點之實施例中，上金屬係鋁。在另一關於焊接的接點之實施例中，上金屬可以為金或銀。

步驟 20：蝕刻陽極，以在第四微影製程步驟界定其圖案。

步驟 21：如期望的，將晶圓薄化。典型的，矽量自晶圓的陰極，或背面移除，以減少最終的晶片厚度。

步驟 22：陰極 22，或背金屬被沉積在晶圓的陰極側上。使用的金屬系統將取決於陰極接點的型式，如焊接物或共金。

根據上面的討論，將會體會到本發明的元件提供顯著超越習知技術之優點，包含在順向電壓降和反向漏電流之間有利的平衡，快速的切換能力，及有利的 dV/dt 性能。此改善至少部分可以藉由排除出現在習知技術之元件的寄生 $N^{+}/P/N$ 電晶體而達成。再者，只需要四個微影製程步驟就可以製作元件，此比習知技術之元件所需要的五個要少。對於 40V 的低崩潰電壓或更低，藉由排除 P^{+} 防護環，從四個步驟進一步減少到三個步驟是可能的。因此，在既不是 N^{+} 源極也不是大量摻雜的 P -本體要被佈植之元件方面，製造元件之製程可以明顯簡化。此允許減少胞元通道

密度和有其他幾何圖案，造成晶片尺寸的減少。晶片尺寸的減少造成現代功率整流器元件尺寸減少的足跡，也造成成本降低。

雖然本發明已參考各種不同的特別實施例詳細說明，但是此處應該瞭解可以被採用的等效例和替換例將不脫離本發明由申請專利範圍所說明的範圍。

因此本發明之優選實施例已詳細說明，申請專利範圍是新的而且期望受到包含下面申請專利範圍之專利證書的保護。

【圖式簡單說明】

此處將參考下面的附圖詳細說明本發明，其中圖式的重點係清楚而非尺寸：

第 1 圖為根據本發明之元件的實施例之片斷橫截面正視圖；

第 2 圖為第 1 圖之元件的區域 A 之片斷橫截面正視圖，其中元件係在熱平衡狀態下；

第 3 圖為第 1 圖之元件的區域 A 之片斷橫截面正視圖，其中元件係在順向偏壓下；

第 4 圖為第 1 圖之元件的區域 A 之片斷橫截面正視圖，其中元件係在反向偏壓下；

第 5 圖為根據元件製造方法實施例的第一步驟之元件片斷橫截面正視圖；

第 6 圖為根據第二步驟之元件片斷橫截面正視圖；

第 7 圖 爲 根 據 第 三 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 8 圖 爲 根 據 第 五 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 9 圖 爲 根 據 第 六 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 10 圖 爲 根 據 第 七 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 11 圖 爲 根 據 第 八 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 12 圖 爲 根 據 第 十 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 13 圖 爲 根 據 第 十 一 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 14 圖 爲 根 據 第 十 二 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 15 圖 爲 根 據 第 十 三 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 16 圖 爲 根 據 第 十 四 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 17 圖 爲 根 據 第 十 五 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 18 圖 爲 根 據 第 十 六 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 第 19 圖 爲 根 據 第 十 七 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 ；
 圖 ； 及

第 20 圖 爲 根 據 第 十 八 步 驟 之 元 件 片 斷 橫 截 面 正 視 圖 。

【 主 要 元 件 符 號 說 明 】

10	元 件
12	δP^{++} 層
14	P- 本 體
16	N- 漂 移 區
18	N+ 基 板
20	陽 極
22	陰 極
26	N 型 層

28	氧化矽層
30	硼佈植
32	硼佈植區
34	開口區
36	閘極氧化物
38	多晶矽層
40	氧化矽
42	下切
46	硼佈植區
48	通道區
52	鈦
54	氮化鈦
56	矽化鈦區

十、申請專利範圍：

1. 一種半導體整流器元件，包括：

$\delta P++$ 層；

P-本體，大致上位在 $\delta P++$ 層下方且臨近 $\delta P++$ 層；

N-漂移區，大致上位在 P-本體下方且臨近 P-本體；及

N+基板，大致上位在 N-漂移區下方；

矽化鈦區，大致上位在 $\delta P++$ 層上方且臨近 $\delta P++$ 層；

功能當作閘極介電質之氧化層，大致上位在 N-漂移區、P-本體、 $\delta P++$ 層、和矽化鈦區其中之一或以上的上方且大致上臨近；

多晶矽層，大致上位在氧化層的上方且臨近；及

鈦層，大致上位在多晶矽層的上方且大致上臨近。

2. 如申請專利範圍第 1 項之半導體整流器元件，其中鈦層的厚度約為 300Å。

3. 如申請專利範圍第 1 項之半導體整流器元件，其中還包括氮化鈦層，大致上位在鈦層的上方且大致上臨近。

4. 如申請專利範圍第 2 項之半導體整流器元件，其中氮化鈦層的厚度約為 500Å。

5. 一種半導體整流器元件之製造方法，包含下列步驟：

(a) 沉積 N 型層在矽 N+基板上；

(b) 成長氧化矽層在 N 型層上；

(c) 藉由移除氧化矽層的第一部分，執行第一微影製程步驟以界定防護環；

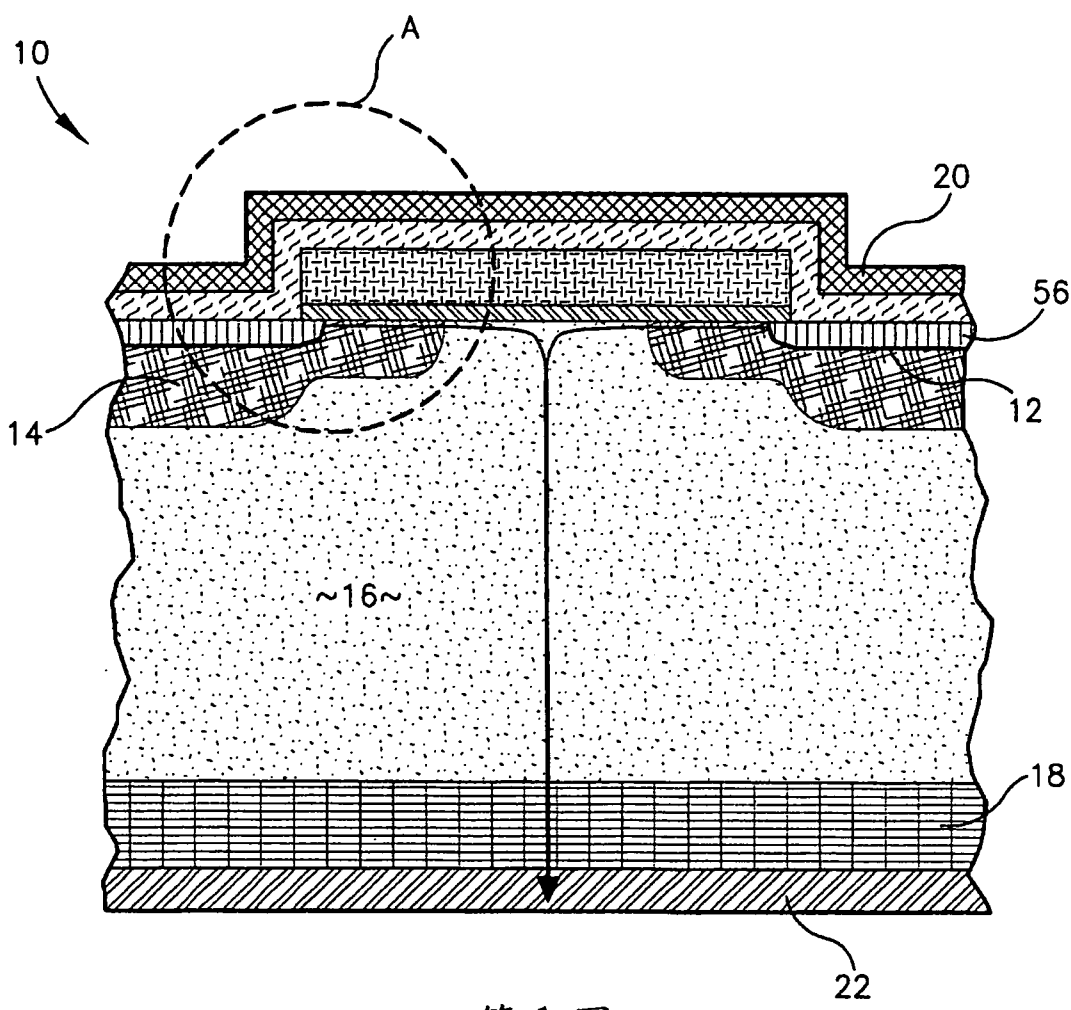
- (d) 將硼植入防護環，以產生硼佈植區；
- (e) 擴散硼佈植區；
- (f) 在硼佈植區的矽上再成長氧化矽層的第一部分；
- (g) 執行第二微影製程步驟，以移除氧化矽層的第二部分，以打開工作區；
- (h) 將閘極氧化物成長在工作區內；
- (i) 沉積多晶矽層在閘極氧化物上；
- (j) 以砷佈植多晶矽層；
- (k) 部分氧化多晶矽層，產生氧化多晶矽層和非氧化多晶矽層，然後造成 N 型摻雜多晶矽閘極；
- (l) 執行第三微影製程步驟，以進一步界定多晶矽閘極；
- (m) 使用反應離子蝕刻製程蝕刻氧化多晶矽層；
- (n) 將硼植入 N-漂移區，以產生 P-本體區；
- (o) 移除光阻；
- (p) 蝕刻氧化多晶矽層和閘極氧化物的上表面；
- (q) 沉積鈦層在氧化多晶矽層和閘極氧化物上，及沉積氮化鈦層在鈦層上；及
- (r) 藉由曝露部分的氧化多晶矽層於至少約 650 度 C 的溫度下，在 P-本體區和鈦層之間形成矽化鈦層，造成硼被移到介面區及在矽化鈦層和 P-本體區之間，產生過飽和 P 型摻雜矽的 δP^{++} 層。

6. 如申請專利範圍第 5 項之方法，其中步驟 (b) 之氧化矽層成長至厚度約在 0.5 微米和 1.0 微米之間。

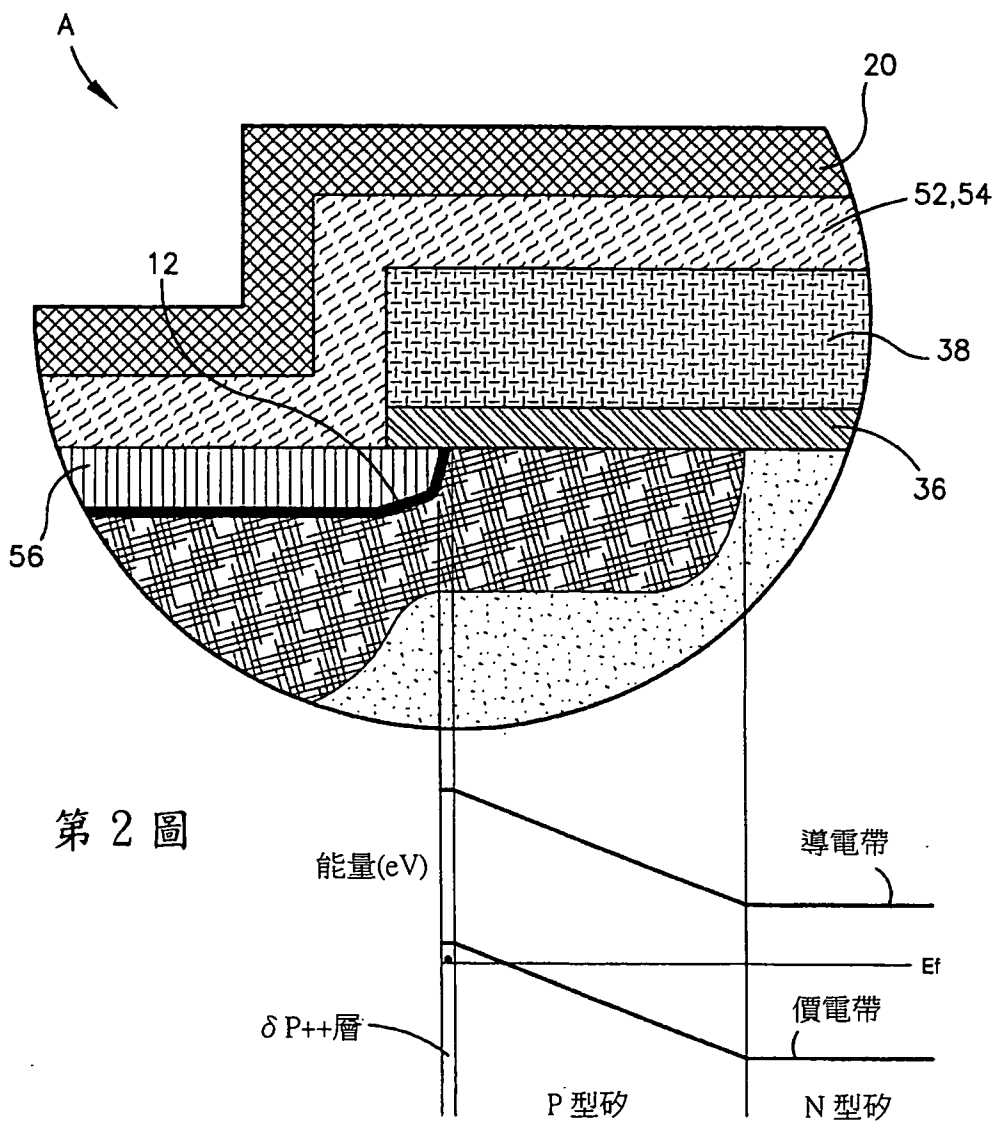
- 7.如申請專利範圍第 5 項之方法，其中步驟(h)之閘極氧化物成長至厚度約為 85Å。
- 8.如申請專利範圍第 5 項之方法，其中步驟(i)之多晶矽層成長至厚度約為 1500Å。
- 9.如申請專利範圍第 5 項之方法，其中在步驟(j)，砷佈植的能量約為 40 keV。
- 10.如申請專利範圍第 5 項之方法，其中非氧化多晶矽層的厚度約為 800Å。
- 11.如申請專利範圍第 5 項之方法，其中在步驟(o)，佈植磷的能量約為 80 keV。
- 12.如申請專利範圍第 5 項之方法，其中在步驟(q)，佈植磷的能量約為 30 keV。
- 13.如申請專利範圍第 5 項之方法，其中在步驟(q)，鈦層的厚度為 300Å，而氮化鈦層的厚度為 500Å。
- 14.如申請專利範圍第 5 項之方法，其中在步驟(r)， δP^{++} 層的厚度約為幾個原子層。
- 15.如申請專利範圍第 5 項之方法，其中還包含沉積陽極之步驟。
- 16.如申請專利範圍第 5 項之方法，其中還包含執行第四微影製程之步驟，以蝕刻陽極。
- 17.如申請專利範圍第 5 項之方法，其中還包含薄化 N^{+} 基板之步驟。
- 18.如申請專利範圍第 5 項之方法，其中還包含沉積陰極之

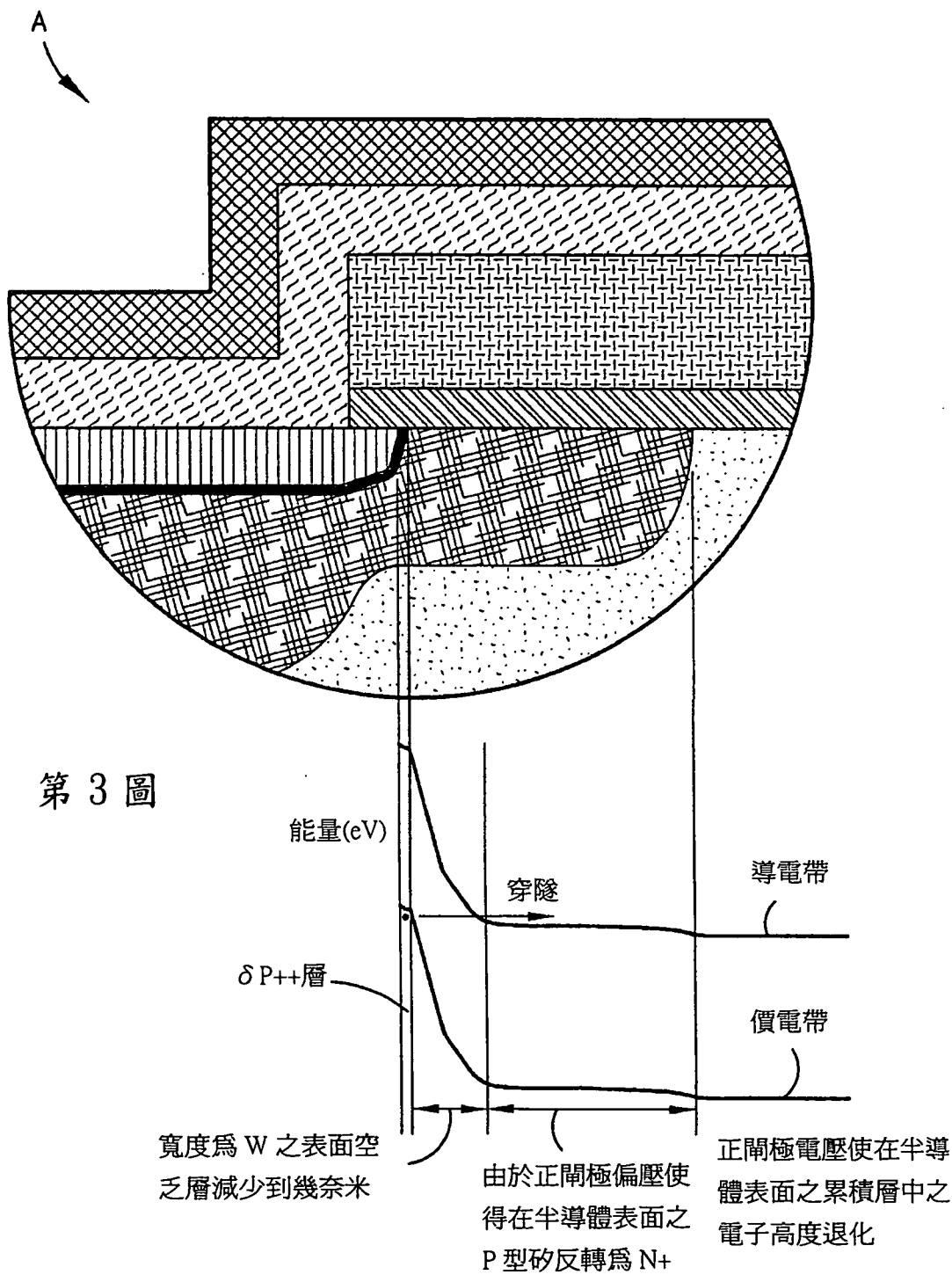
步驟。

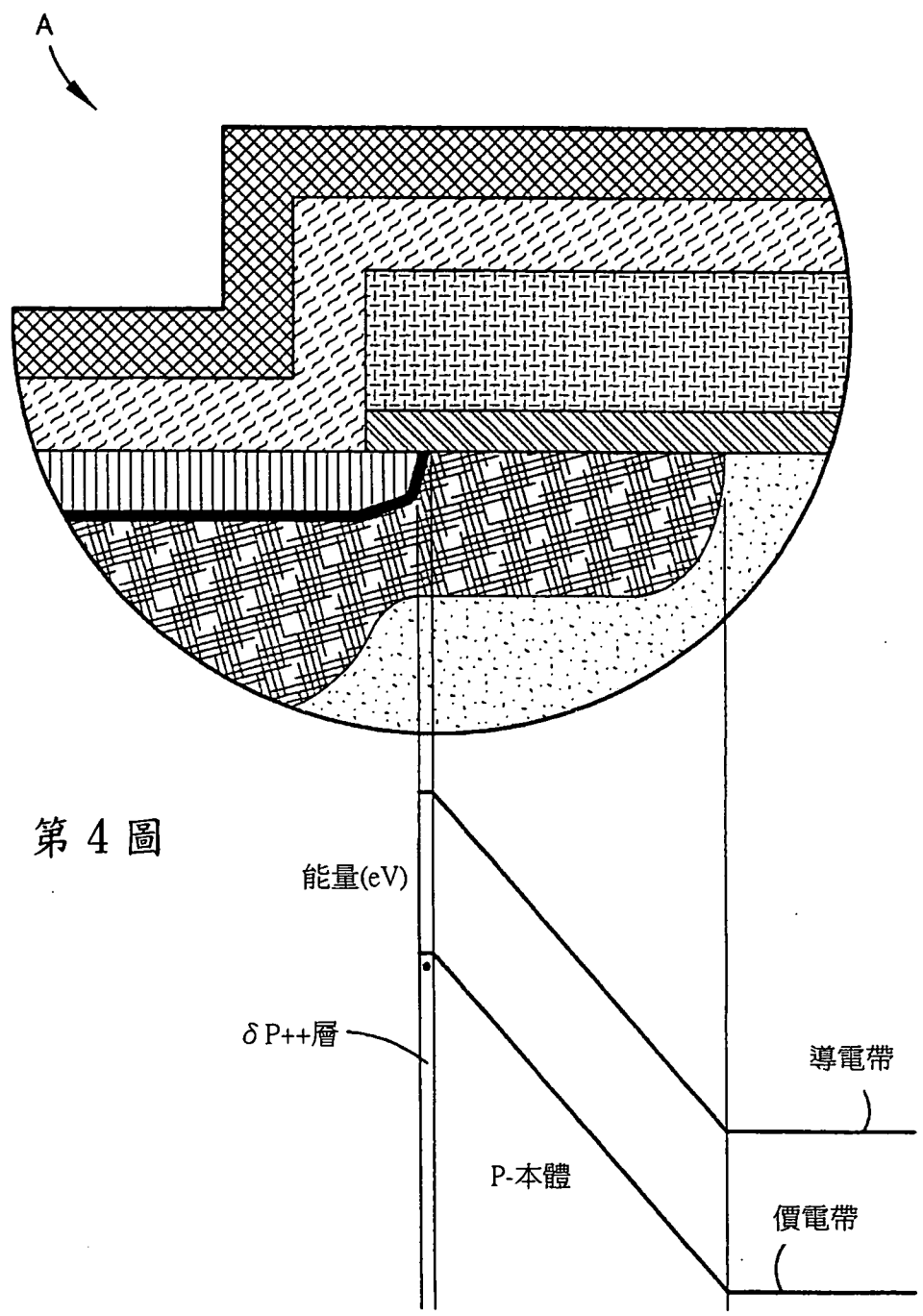
十一、圖式：

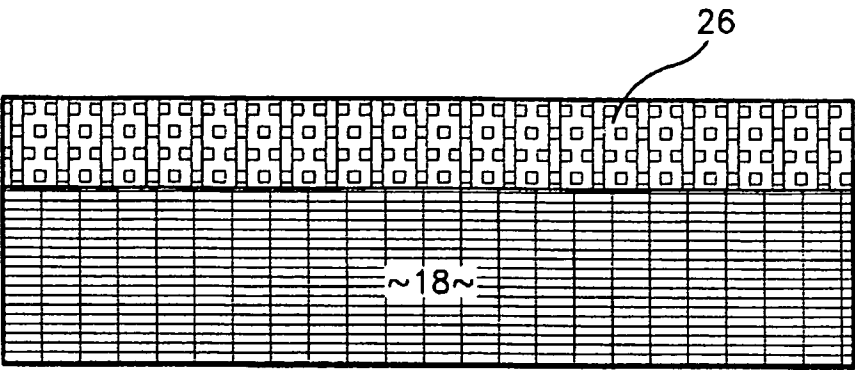


第 1 圖

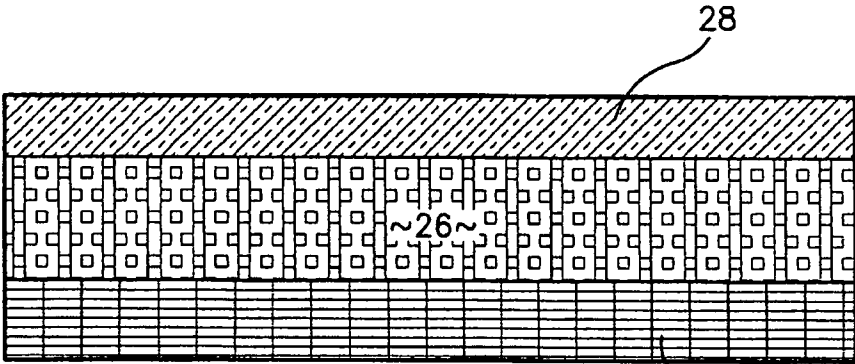




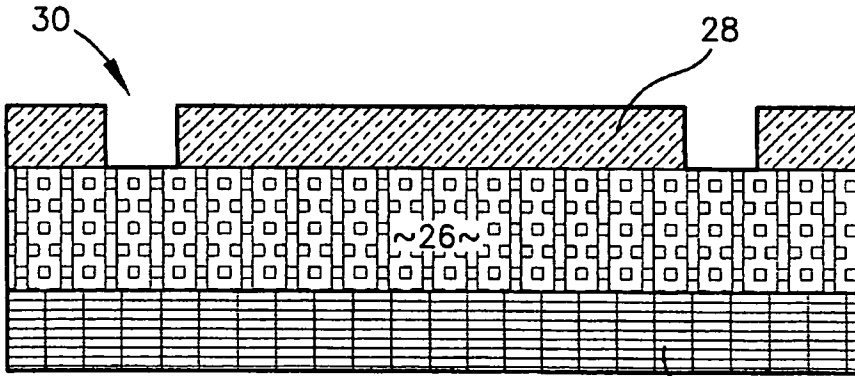




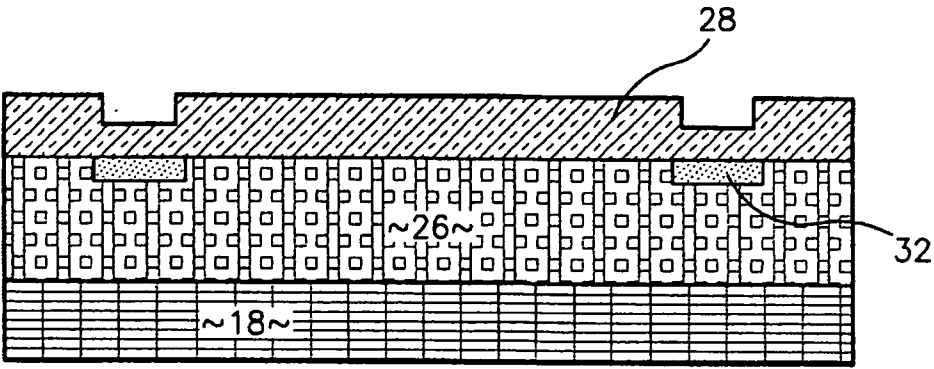
第 5 圖



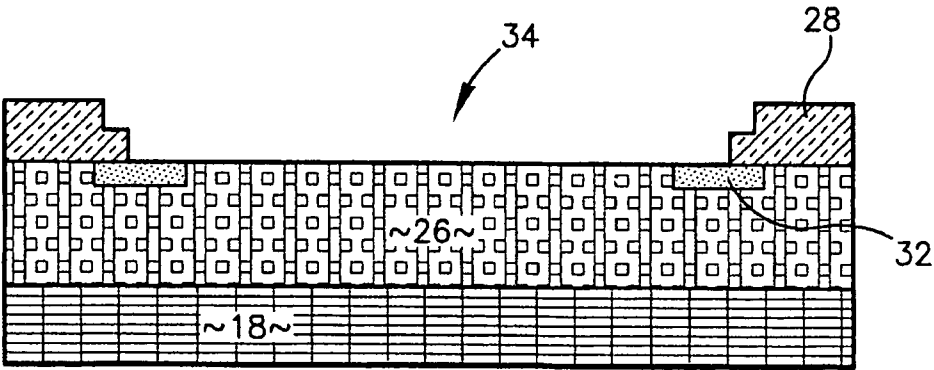
第 6 圖



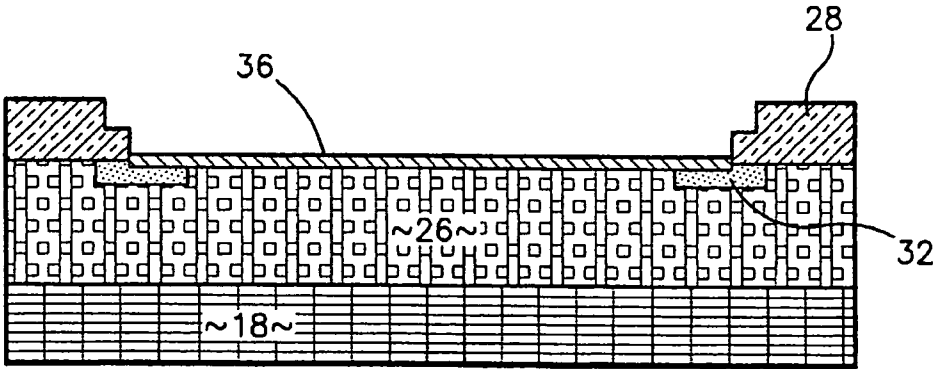
第 7 圖



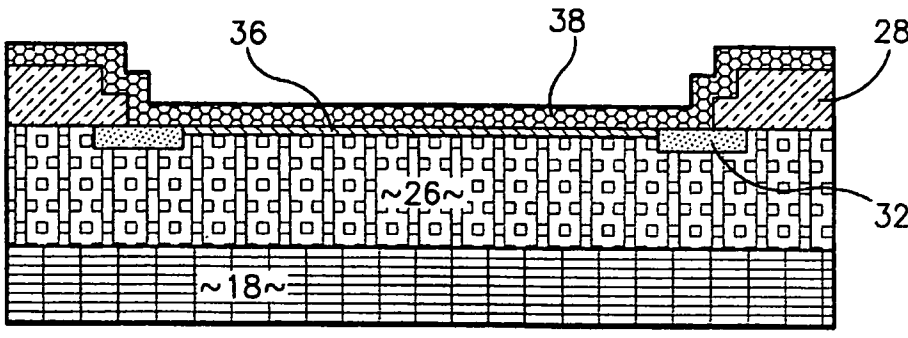
第 8 圖



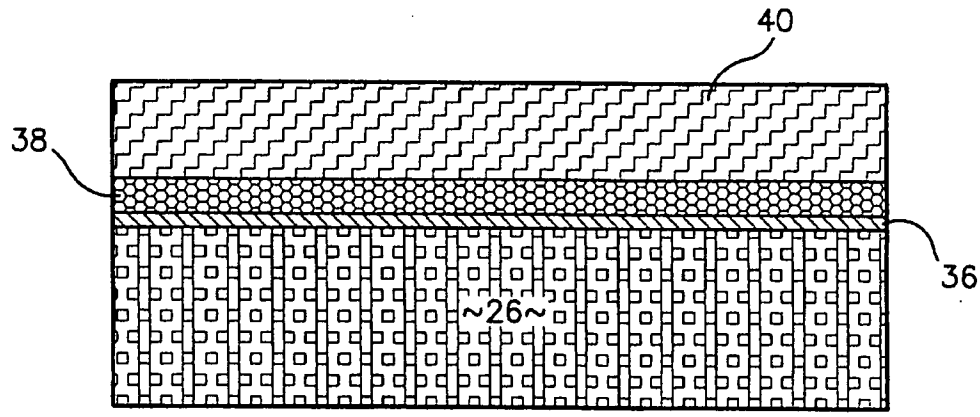
第 9 圖



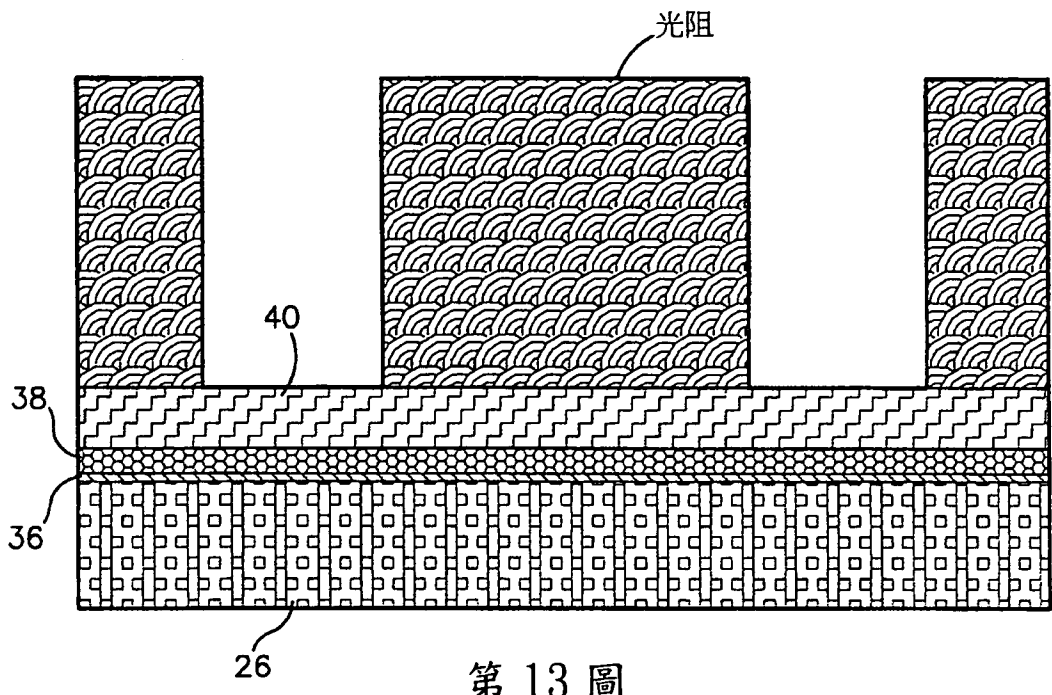
第 10 圖



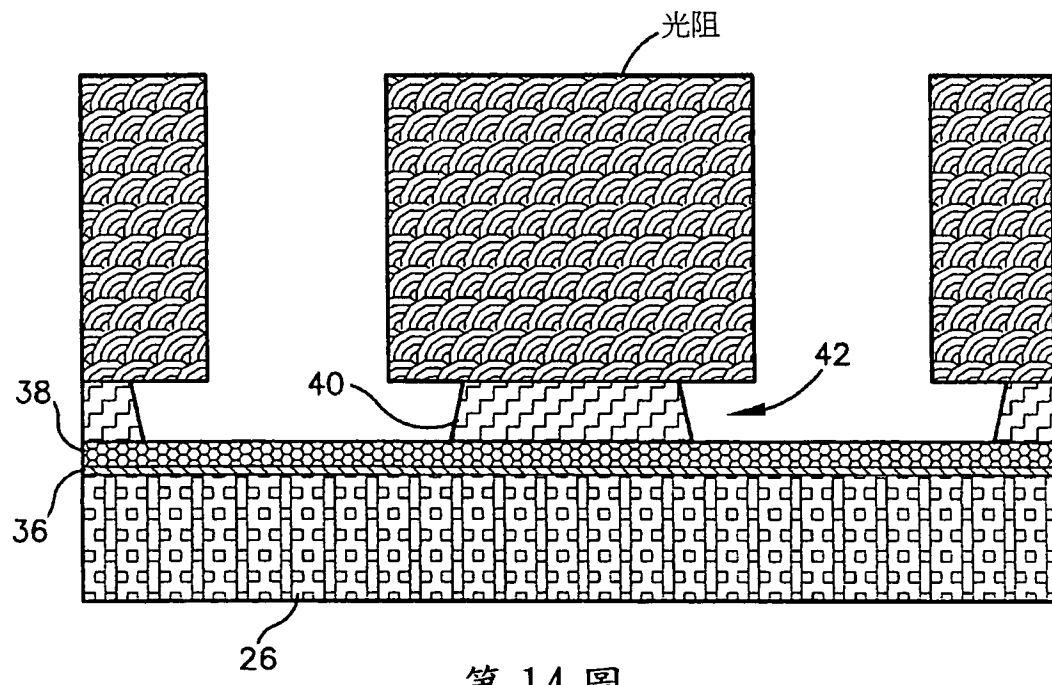
第 11 圖



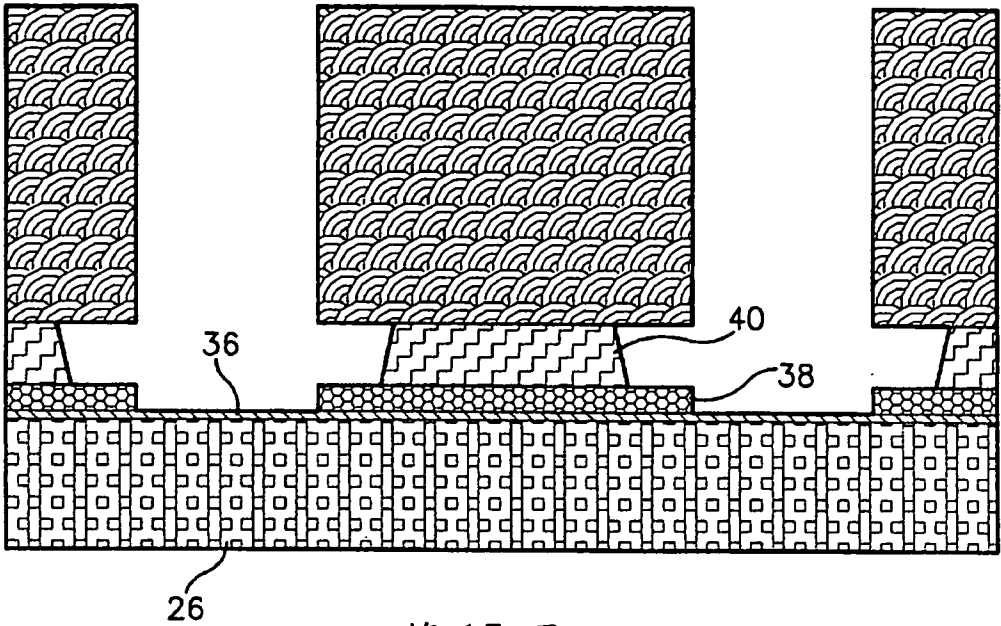
第 12 圖



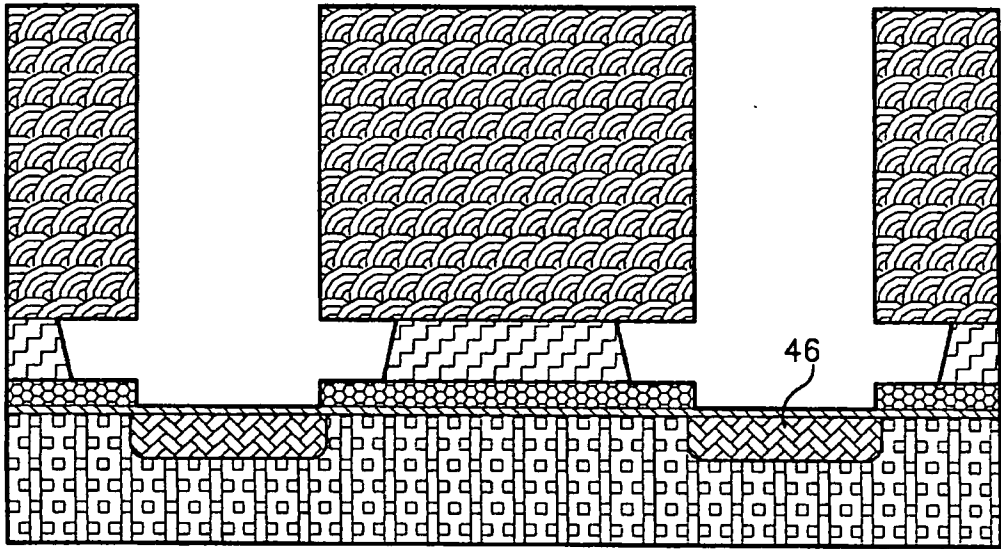
第 13 圖



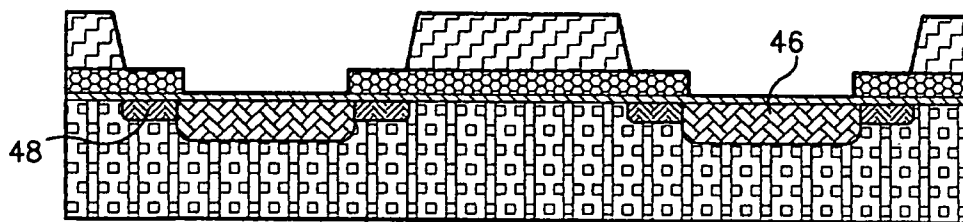
第 14 圖



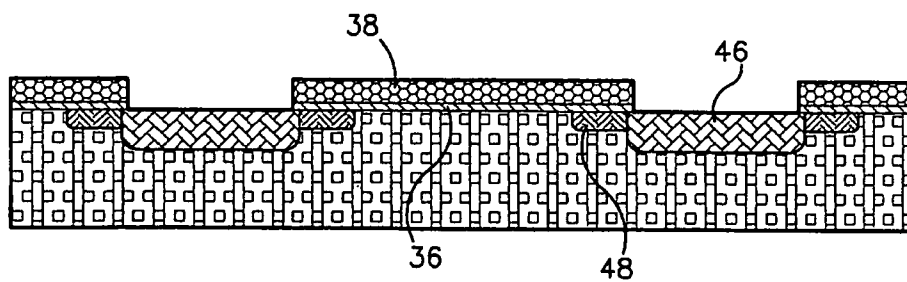
第 15 圖



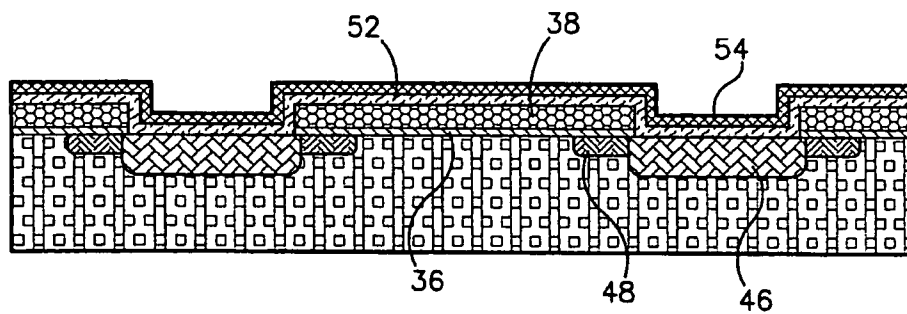
第 16 圖



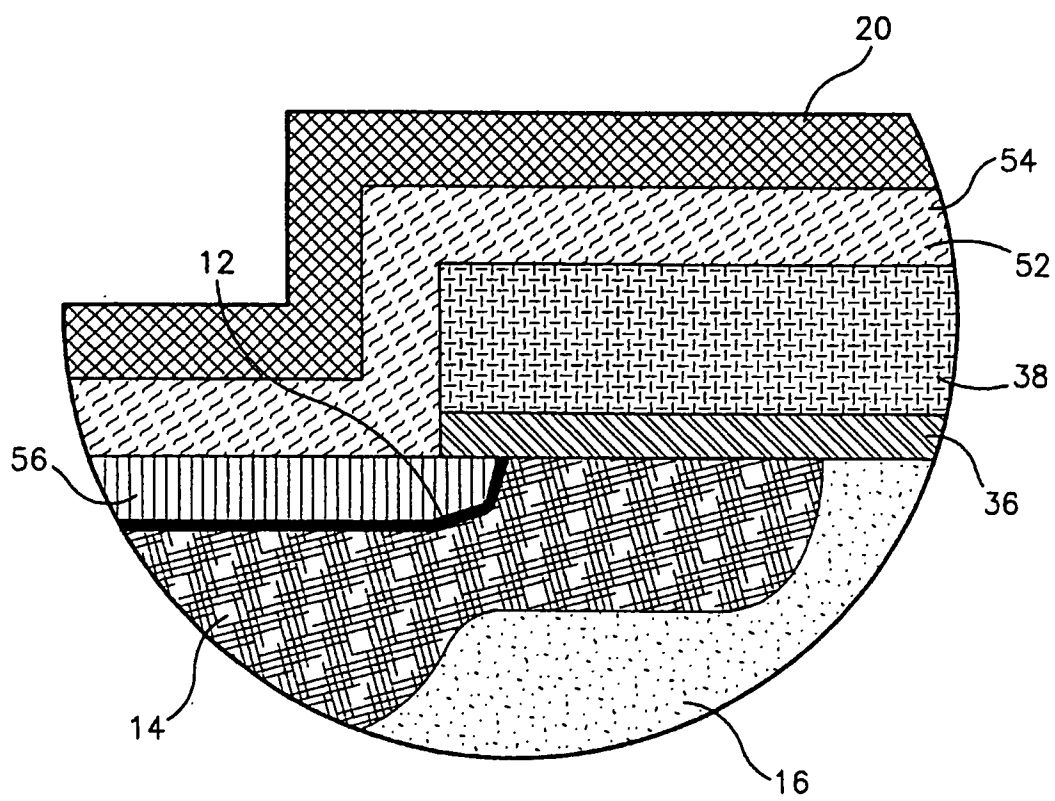
第 17 圖



第 18 圖



第 19 圖



第 20 圖