

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 10 月 6 日(06.10.2011)

PCT

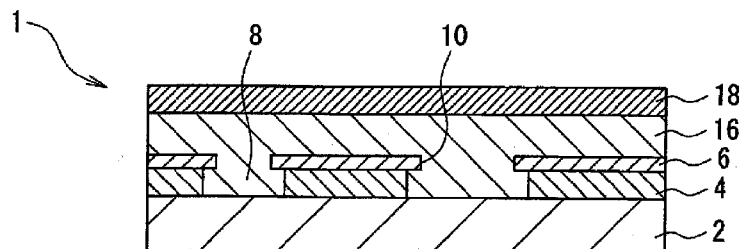
(10) 国際公開番号
WO 2011/122206 A1

- (51) 国際特許分類:
H01L 21/768 (2006.01) H01L 21/822 (2006.01)
H01L 21/28 (2006.01) H01L 23/522 (2006.01)
H01L 21/288 (2006.01) H01L 27/04 (2006.01)
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2011/054640
- (22) 国際出願日: 2011 年 3 月 1 日(01.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-077098 2010 年 3 月 30 日(30.03.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): 凸版印刷株式会社 (TOPPAN PRINTING CO., LTD.) [JP/JP]; 〒1100016 東京都台東区台東一丁目 5 番 1 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 松原 亮平 (MATSUBARA Ryohei) [JP/JP]; 〒1100016 東京都台東区台東 1 丁目 5 番 1 号 凸版印刷株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD FOR MANUFACTURING LAMINATED BODY, AND LAMINATED BODY

(54) 発明の名称: 積層体の製造方法及び積層体

[図6]



(57) Abstract: Disclosed is a method for manufacturing a laminated body wherein a short-circuit and a leak generated between the lower electrode and the upper electrode can be suppressed. Also disclosed is the laminated body. The laminated body (1) is provided with: the lower electrode (4) formed on a substrate (2); and a base insulating film (6), which is formed on the lower electrode (4) and covers the lower electrode (4) by being above the substrate (2). The lower electrode (4) has a film thickness reduced portion (8) wherein the thickness of the lower electrode (4) portion not covered with the base insulating film (6) is smaller than the thickness of the lower electrode (4) portion covered with the base insulating film (6).

(57) 要約: 下部電極と上部電極との間で発生するショートやリークを抑制することが可能な積層体の製造方法及び積層体を提供する。基板(2)上に形成された下部電極(4)と、基板(2)上において下部電極(4)上に形成されて下部電極(4)を被覆する基礎絶縁膜(6)を備える積層体(1)であって、下部電極(4)は、下部電極(4)のうち基礎絶縁膜(6)で被覆されていない部分における下部電極(4)の膜厚が、基礎絶縁膜(6)で被覆されている部分における下部電極(4)の膜厚よりも薄い膜厚減少部(8)を有している。



WO 2011/122206 A1

明 細 書

発明の名称 : 積層体の製造方法及び積層体

技術分野

[0001] 本発明は、例えば、絶縁膜の両面に電極を有する積層体の製造方法及び積層体に関する。

背景技術

[0002] 情報技術の目覚ましい発展により、現在では、ノート型パソコンや携帯情報端末などを用いた情報の送受信が、頻繁に行われている。したがって、近い将来、場所を選ばずに情報をやり取りできるユビキタス社会が来るであろうことは周知の事実である。そのような社会においては、より軽量、薄型の情報端末が望まれる。

現在、半導体材料の主流はシリコン系であり、その製造方法としては、フォトリソグラフィーを用いたものが一般的である。

[0003] 一方、印刷技術を用いて電子部材を製造するプリンタブルエレクトロニクスが注目されている。プリンタブルエレクトロニクスは、印刷技術を用いることで、フォトリソグラフィーよりも装置や製造に関するコストが下がり、また、真空や高温を必要としないことから、プラスチック基板が利用できるなどのメリットがある。

プリンタブルエレクトロニクスでは、半導体材料として、有機溶媒に可溶な有機半導体などを用いることが多い。これは、半導体層を印刷法により形成できるためである。

[0004] 半導体材料として、有機溶媒に可溶な有機半導体などを用いた技術としては、例えば、特許文献 1 に記載されているような技術が挙げられる。特許文献 1 では、インクジェット法により有機半導体層を形成している。ここで、有機半導体を用いた T F T は、有機 T F T と呼ばれる。

T F T を構成する部材としては、半導体以外に電極や絶縁膜があるが、コストの低い T F T を形成する上では、電極や絶縁膜を、印刷法やコーティング

技術などのウェット法を用いて形成されることが望まれる。

[0005] ウェット法を用いて電極や絶縁膜を形成する技術としては、例えば、特許文献2及び特許文献3に記載されているような技術が挙げられる。特許文献2では、インクジェット法を用いて電極を形成しており、特許文献3では、スピコート法を用いてゲート絶縁膜を形成している。

ここで、例えば、有機TFTを用いてディスプレイなどを駆動する場合には、駆動電圧や所望の電流値を得るために、ゲート絶縁膜は、通常、1.0 [μm]以下の厚みで形成される。

先行技術文献

特許文献

[0006] 特許文献1：特開2005-210086号公報

特許文献2：特開2004-297011号公報

特許文献3：特開2007-266355号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献2及び特許文献3に記載されているような技術により形成した電極には、微小な突起部が局所的に形成されることがある。また、ウェット法を用いて形成された電極には、突起以外にも、インキの凝集による局所的な厚膜部分や、環境やプロセスに由来して形成される異物などが存在することが多い。

このような場合において、ウェット法を用いてゲート絶縁膜を形成すると、ゲート絶縁膜の一部に、電極に存在する異物などによる他の部分との濡れ性の差異が生じて、電極（以下、「下部電極」と記載する）に、ゲート絶縁膜で被覆されない部分が形成されてしまう可能性がある。

[0008] また、スピコート法などのウェット法では、スパッタリング法などのドライ法と比較すると、下地への形状追従性が劣るため、下部電極に突起物や異物などが存在すると、この下部電極に、ゲート絶縁膜で被覆されない部分が

形成されてしまう可能性がある。

そして、下部電極にゲート絶縁膜で被覆されない部分が形成されている状態で、ゲート絶縁膜上に電極（以下、「上部電極」と記載する）を積層した状態では、下部電極と上部電極が接触または近接することとなるため、下部電極と上部電極の間で、ショートやリークが発生してしまう可能性がある。

[0009] したがって、電極やゲート絶縁膜をウェット法で形成すると、ゲート絶縁膜上に上部電極を積層した状態において、下部電極と上部電極の間でショートやリークが発生してしまう可能性がある。

本発明では、電極や絶縁膜をウェット法で形成した場合において、下部電極と上部電極との間で発生するショートやリークを抑制することが可能な、積層体の製造方法及び積層体を提供することを課題とする。

課題を解決するための手段

[0010] 上記課題を解決するために、本発明のうち、請求項 1 に記載した発明は、基板上に形成された下部電極上に、当該下部電極を被覆する基礎絶縁膜を形成する積層体の製造方法であって、前記下部電極のうち前記基礎絶縁膜で被覆されていない部分に、当該被覆されていない部分における前記下部電極の膜厚を、前記基礎絶縁膜で被覆されている部分における前記下部電極の膜厚よりも薄くする膜厚減少部を形成する膜厚減少部形成工程を有することを特徴とするものである。

[0011] 次に、本発明のうち、請求項 2 に記載した発明は、請求項 1 に記載した発明であって、前記膜厚減少部形成工程では、前記膜厚減少部を、前記基礎絶縁膜をマスクとしたエッチングにより形成することを特徴とするものである。

次に、本発明のうち、請求項 3 に記載した発明は、請求項 2 に記載した発明であって、前記膜厚減少部形成工程では、前記膜厚減少部を、前記基礎絶縁膜の少なくとも一部を形成した状態で、前記基礎絶縁膜をマスクとしたエッチングにより形成することを特徴とするものである。

[0012] 次に、本発明のうち、請求項 4 に記載した発明は、請求項 1 から 3 のうちいずれか 1 項に記載した発明であって、前記下部電極及び前記基礎絶縁膜のう

ち少なくとも一方を、ウェット法で形成することを特徴とするものである。

次に、本発明のうち、請求項 5 に記載した発明は、請求項 1 から 4 のうちいずれか 1 項に記載した発明であって、前記膜厚減少部形成工程の後工程として、前記基礎絶縁膜上に、当該基礎絶縁膜及び前記膜厚減少部を被覆する積層絶縁膜を形成する積層絶縁膜形成工程を有し、前記積層絶縁膜形成工程の後工程として、前記積層絶縁膜上に、前記基礎絶縁膜及び前記積層絶縁膜を間に挟んで前記下部電極と対向する上部電極を形成する上部電極形成工程を有することを特徴とするものである。

[0013] 次に、本発明のうち、請求項 6 に記載した発明は、請求項 5 に記載した発明であって、前記積層絶縁膜及び前記上部電極のうち少なくとも一方を、ウェット法で形成することを特徴とするものである。

次に、本発明のうち、請求項 7 に記載した発明は、基板上に形成された下部電極と、前記基板上において前記下部電極上に形成されて下部電極を被覆する基礎絶縁膜と、を備える積層体であって、前記下部電極は、前記下部電極のうち前記基礎絶縁膜で被覆されていない部分における前記下部電極の膜厚が、前記基礎絶縁膜で被覆されている部分における前記下部電極の膜厚よりも薄い膜厚減少部を有することを特徴とするものである。

[0014] 次に、本発明のうち、請求項 8 に記載した発明は、請求項 7 に記載した発明であって、前記積層体は、前記基礎絶縁膜上に形成されて基礎絶縁膜及び前記膜厚減少部を被覆する積層絶縁膜を備えることを特徴とするものである。

次に、本発明のうち、請求項 9 に記載した発明は、請求項 8 に記載した発明であって、前記基礎絶縁膜と前記積層絶縁膜は、同一材料で形成されていることを特徴とするものである。

[0015] 次に、本発明のうち、請求項 10 に記載した発明は、請求項 8 または 9 に記載した発明であって、前記積層体は、前記積層絶縁膜上に形成されて前記基礎絶縁膜及び前記積層絶縁膜を間に挟んで前記下部電極と対向する上部電極を備えることを特徴とするものである。

次に、本発明のうち、請求項 11 に記載した発明は、請求項 7 から 10 のう

ちいずれか１項に記載した発明であって、前記下部電極は、金属または金属酸化物で形成されていることを特徴とするものである。

[0016] 次に、本発明のうち、請求項１２に記載した発明は、請求項７から１１のうちいずれか１項に記載した発明であって、前記積層体は、薄膜トランジスタに用いられることを特徴とするものである。

次に、本発明のうち、請求項１３に記載した発明は、請求項１２に記載した発明であって、前記薄膜トランジスタの半導体層は、有機半導体で形成されていることを特徴とするものである。

[0017] 次に、本発明のうち、請求項１４に記載した発明は、請求項７から１１のうちいずれか１項に記載した発明であって、前記積層体は、キャパシタに用いられることを特徴とするものである。

次に、本発明のうち、請求項１５に記載した発明は、請求項７から１１のうちいずれか１項に記載した発明であって、前記積層体は、配線間の交差部に用いられることを特徴とするものである。

[0018] 次に、本発明のうち、請求項１６に記載した発明は、請求項７から１５のうちいずれか１項に記載した発明であって、前記基板は、可撓性を有することを特徴とするものである。

次に、本発明のうち、請求項１７に記載した発明は、請求項１６に記載した発明であって、前記可撓性を有する基板は、プラスチックで形成されていることを特徴とするものである。

発明の効果

[0019] 本発明によれば、下部電極に膜厚減少部を形成する際に、下部電極に形成される突起部や、下部電極上に存在する異物などを除去することが可能となり、基礎絶縁膜に形成されたピンホールを、基礎絶縁膜上に形成されて下部電極と上部電極との間に配置される絶縁膜により、被覆することが可能となる。

このため、下部電極と上部電極との接触を防止することが可能となり、下部電極と上部電極の間で発生するショートやリークを抑制することが可能な、

積層体の製造方法及び積層体を供給することが可能となる。

- [0020] 請求項 1 に記載した発明の効果は、下部電極に微細な孔などからなる膜厚減少部を形成することにより、下部電極に形成される突起部や、下部電極上に存在する異物などを除去することが可能となる。

このため、下部電極と上部電極との間に、膜厚減少部による隙間を形成することが可能となり、下部電極と上部電極との接触または近接を抑制することが可能となるため、下部電極と上部電極の間で発生するショートやリークを抑制することが可能となる。

- [0021] 請求項 2 に記載した発明の効果は、膜厚減少部の形成にエッチングを用いることで、下部電極へ、膜厚減少部を容易に形成することが可能となる。

請求項 3 に記載した発明の効果は、基礎絶縁膜の少なくとも一部を形成した後に、基礎絶縁膜をマスクとしたエッチングを行うことで、下部電極に形成される突起部や、下部電極上に存在する異物などを、選択的にエッチングすることが可能となる。

- [0022] 請求項 4 に記載した発明の効果は、下部電極及び基礎絶縁膜のうち少なくとも一方をウェット法により形成することで、積層体のコストを低下させることが可能となる。

請求項 5 に記載した発明の効果は、基礎絶縁膜上に形成した積層絶縁膜により、下部電極と上部電極との接触を抑制することが可能となり、下部電極と上部電極の間で発生するショートやリークを抑制することが可能な積層体を形成することが可能となる。

- [0023] 請求項 6 に記載した発明の効果は、積層絶縁膜及び上部電極のうち少なくとも一方をウェット法により形成することで、積層体のコストを低下させることが可能となる。

請求項 7 に記載した発明の効果は、下部電極が微細な孔などからなる膜厚減少部を有することにより、積層体の構成を、下部電極に形成される突起部や、下部電極上に存在する異物などが除去された構成とすることが可能となる。

[0024] このため、下部電極と上部電極との接触または近接を抑制することが可能となり、下部電極と上部電極の間で発生するショートやリークを抑制することが可能となる。

請求項 8 に記載した発明の効果は、基礎絶縁膜と積層絶縁膜とを積層することにより、下部電極のエッチング時等に、基礎絶縁膜をマスクとすることが可能となり、積層絶縁膜において絶縁性を向上させることが可能となる。

[0025] 請求項 9 に記載した発明の効果は、基礎絶縁膜と積層絶縁膜とを同一材料で形成することにより、基礎絶縁膜をマスクとして、エッチング等により下部電極に膜厚減少部を形成した後、積層絶縁膜を積層する際において、膜厚減少部にも、効率良く積層絶縁膜を形成することが可能となる。

請求項 10 に記載した発明の効果は、基礎絶縁膜上に形成した積層絶縁膜により、下部電極と上部電極との接触を抑制することが可能となり、下部電極と上部電極の間で発生するショートやリークを抑制することが可能な積層体を形成することが可能となる。

[0026] 請求項 11 に記載した発明の効果は、下部電極を金属または金属酸化物で形成することにより、既存のエッチング法により、下部電極へ膜厚減少部を容易に形成することが可能となる。

請求項 12 に記載した発明の効果は、積層体を薄膜トランジスタに用いることにより、下部電極と上部電極の間で発生するショートやリークが抑制された、信頼性の高い薄膜トランジスタを得ることが可能となる。

[0027] 請求項 13 に記載した発明の効果は、半導体層を有機半導体で形成することにより、薄膜トランジスタの構成部材全てを、印刷法により形成することが可能となるため、薄膜トランジスタのコストを低下させることが可能となる。

請求項 14 に記載した発明の効果は、積層体をキャパシタに用いることにより、下部電極と上部電極の間で発生するショートやリークが抑制された、信頼性の高いキャパシタを得ることが可能となる。

[0028] 請求項 15 に記載した発明の効果は、積層体を配線間の交差部に用いること

により、下部電極と上部電極の間で発生するショートやリークが抑制された、信頼性の高い配線を得ることが可能となる。

請求項 16 に記載した発明の効果は、基板が可撓性を有することにより、積層体の構成を、可撓性を有する構成とすることが可能となる。

[0029] また、ガラス等の硬い材料で形成した基板と比較した場合、一般的に、可撓性を有する基板においては、突起物などにより表面粗さが大きくなり、下部電極を形成した場合にも、表面粗さによる凹凸により、下部電極と上部電極が接触または近接して、下部電極と上部電極との間のショートやリークが増加する可能性がある。

しかしながら、本発明においては、可撓性を有する基板の突起物などに起因した下部電極の突起部を、エッチングにより膜厚減少部とすることが可能となるので、膜厚減少部により、下部電極と上部電極との接触を抑制することが可能となり、下部電極と上部電極の間で発生するショートやリークを抑制させる効果を増加させることが可能となる。

[0030] 請求項 17 に記載した発明の効果は、可撓性を有する基板がプラスチックで形成されていることにより、可撓性を有する積層体を低コストで得ることが可能となる。

図面の簡単な説明

[0031] [図1] 本発明の第一実施形態における積層体の概略構成を示す図である。

[図2] 図 1 の I I - I I 線断面図である。

[図3] 本発明の第一実施形態における膜厚減少部および基礎絶縁膜の形成工程を示す概念図である。

[図4] 本発明の第一実施形態における膜厚減少部および基礎絶縁膜の形成工程を示す概念図である。

[図5] 本発明の第二実施形態における積層体の概略構成を示す断面図である。

[図6] 本発明の第三実施形態における積層体の概略構成を示す断面図である。

[図7] 本発明の第四実施形態における積層体を用いた薄膜トランジスタの概略構成を示す図である。

[図8] 図7のV I I I - V I I I 線断面図である。

[図9] 本発明の第四実施形態の変形例における積層体を用いた薄膜トランジスタの概略構成を示す図である。

[図10] 図9のX - X 線断面図である。

[図11] 本発明の第四実施形態の変形例における積層体を用いた薄膜トランジスタアレイの概略構成を示す図である。

[図12] 図11中に示す薄膜トランジスタアレイの一面素分の概略構成を示す図であり、図12(a)は、積層体のみを示す図、図12(b)は、薄膜トランジスタアレイ全体を示す図である。

[図13] 図12(b)のX I I I - X I I I 線断面図である。

[図14] 比較例の積層体を用いた薄膜トランジスタアレイの概略構成を示す図である。

発明を実施するための形態

[0032] (第一実施形態)

以下、本発明の第一実施形態（以下、「本実施形態」と記載する）について、図面を参照しつつ説明する。

[0033] (構成)

まず、図1及び図2を用いて、本実施形態の積層体1の構成を説明する。

図1は、本実施形態における積層体1の概略構成を示す図である。また、図2は、図1のI I - I I 線断面図である。

本実施形態の積層体1は、図1及び図2中に示すように、基板2と、下部電極4と、基礎絶縁膜6を備えている。

基板2は、プラスチックを材料として形成された板状部材であり、可撓性を有している。

[0034] 下部電極4は、金属または金属酸化物を材料として、基板2上に形成されており、膜厚減少部8を有している。なお、膜厚減少部8に関する説明は、後述する。

ここで、下部電極4の材料を金属または金属酸化物とした理由は、後述する

エッチングにより、下部電極 4 へ、膜厚減少部 8 を容易に形成するためである。

また、金属や金属酸化物の具体例としては、金、銀、アルミニウム、銅、白金、ニッケル、クロム、インジウム錫酸化物などが挙げられる。

[0035] また、下部電極 4 をウェット法により形成する場合には、下部電極 4 の材料として、銀、金、パラジウムなどの粒子を分散させた溶液を用いる。

基礎絶縁膜 6 は、下部電極 4 上に形成されており、下部電極 4 を被覆している。

ここで、基礎絶縁膜 6 を形成する材料は、特に限定されるものではないが、下部電極 4 をエッチングして膜厚減少部 8 を設ける際に、耐性のある材料を用いることが好ましい。

[0036] したがって、基礎絶縁膜 6 を形成する材料の具体例としては、一般に用いられるポリビニルフェノール、ポリメタクリル酸メチル、ポリイミド、ポリビニルアルコール、エポキシ樹脂などの高分子溶液、アルミナやシリカゲルなどの粒子を分散させた溶液などが挙げられる。

また、基礎絶縁膜 6 を形成する材料の具体例としては、酸化シリコン、窒化シリコン、シリコンオキシナイトライド、酸化アルミニウム、酸化タンタル、酸化イットリウム、酸化ハフニウム、ハフニウムアルミネート、酸化ジルコニア、酸化チタン等の無機材料なども挙げられる。

[0037] さらに、上述した材料を用いて基礎絶縁膜 6 を形成する以外にも、PET や、PEN、PES などの薄膜フィルムを、基礎絶縁膜 6 として用いることも可能である。

また、基礎絶縁膜 6 の形成方法は、特に限定されるものではなく、真空蒸着法、スパッタリング法、CVD などのドライ法や、スピンコート、スリットダイなどのウェット法、または、ラミネートなどの方法を適宜用いることが可能である。

[0038] 膜厚減少部 8 は、下部電極 4 のうち、基礎絶縁膜 6 で被覆されていない部分に形成されている。下部電極 4 に膜厚減少部 8 を形成する方法については、

後述する。

また、膜厚減少部 8 は、例えば、下部電極 4 を厚さ方向（図 2 中では、上下方向）に貫通する貫通孔や、下部電極 4 の基礎絶縁膜 6 と対抗する面（図 2 中では、上面）に開口する凹部である。なお、図 2 中には、膜厚減少部 8 が貫通孔である状態を示している。

[0039] すなわち、膜厚減少部 8 は、下部電極 4 のうち、基礎絶縁膜 6 で被覆されていない部分における下部電極 4 の膜厚が、基礎絶縁膜 6 で被覆されている部分における下部電極 4 の膜厚よりも薄くなるように形成されている。

また、膜厚減少部 8 が凹部である場合、膜厚減少部 8 が貫通孔である場合と比較して、膜厚減少部 8 が、積層体 1 を有する構成のキャパシタや薄膜トランジスタにおいて保持する電荷や、トランジスタ部にかかる電圧などに与える影響は小さくなる。

[0040] 膜厚減少部 8 の大きさ（開口面積）は、特に限定されるものではないが、出来るだけ小さい方が好ましく、例えば、50 [nm] から 5 [μ m] 程度が好ましい。これは、積層体 1 を有する構成の薄膜トランジスタやキャパシタにおいては、膜厚減少部 8 の大きさが、保持する電荷やトランジスタ部にかかる電圧などに影響を与えるためである。

なお、基礎絶縁膜 6 のうち、膜厚減少部 8 の上方には、基礎絶縁膜 6 を厚さ方向に貫通するピンホール 10 が開口している。このピンホール 10 は、下部電極 4 に突起部や異物等に起因して、基礎絶縁膜 6 を成膜した際に生じるものである。

[0041] （積層体の製造方法）

以下、図 1 及び図 2 を参照しつつ、図 3 及び図 4 を用いて、本実施形態における積層体 1 の製造方法を説明する。

[0042] 図 3 及び図 4 は、本実施形態における、基礎絶縁膜 6 および膜厚減少部 8 の形成工程を示す概念図である。

本実施形態の積層体の製造方法は、下部電極 4 のうち、基礎絶縁膜 6 で被覆されていない部分に、この部分における下部電極 4 の膜厚が、基礎絶縁膜 6

で被覆されている部分における下部電極 4 の膜厚よりも薄くなる膜厚減少部 8 を形成する、膜厚減少部形成工程を有する。

[0043] なお、本実施形態の積層体の製造方法では、下部電極 4 及び基礎絶縁膜 6 を、ウェット法により形成する場合について説明する。

ここで、下部電極 4 のうち、基礎絶縁膜 6 で被覆されていない部分とは、例えば、図 3 (a) 中に示すように、基板 2 上に形成した下部電極 4 に、他の部分よりも突出している突起部 12 が形成されている場合に発生する。

[0044] これ以外にも、下部電極 4 のうち、基礎絶縁膜 6 で被覆されていない部分とは、例えば、図 4 (a) 中に示すように、基板 2 上に形成した下部電極 4 上に、微小な塵埃等の異物 14 が存在している場合に発生する。

基板 2 上に形成した下部電極 4 に突起部 12 が形成されている状態で、下部電極 4 上に基礎絶縁膜 6 を形成すると、例えば、図 3 (b) 中に示すように、下部電極 4 のうち突起部 12 が形成されている部分には、基礎絶縁膜 6 が形成されない。このため、下部電極 4 のうち突起部 12 が形成されている部分は、基礎絶縁膜 6 により被覆されていない部分となる。

[0045] また、下部電極 4 のうち突起部 12 が形成されている部分では、突起部 12 により、基礎絶縁膜 6 の形成が阻害される。このため、基礎絶縁膜 6 のうち、下部電極 4 を被覆していない部分には、ピンホール 10 が形成される。特に、本実施形態のように、基礎絶縁膜 6 をウェット法で形成した場合、レベリング作用により、突起部 12 が基礎絶縁膜 6 で被覆されず、ピンホール 10 が形成される可能性がある。

[0046] また、基板 2 上に形成した下部電極 4 上に異物 14 が存在している状態で、下部電極 4 上に基礎絶縁膜 6 を形成すると、例えば、図 4 (b) 中に示すように、下部電極 4 のうち異物 14 が存在している部分には、基礎絶縁膜 6 が形成されない。このため、下部電極 4 のうち異物 14 が存在している部分は、基礎絶縁膜 6 により被覆されていない部分となる。

[0047] また、下部電極 4 のうち異物 14 が存在している部分では、異物 14 により、基礎絶縁膜 6 の形成が阻害される。このため、基礎絶縁膜 6 のうち、下部

電極 4 を被覆していない部分には、ピンホール 10 が形成される。

図 3 (b) 及び図 4 (b) 中に示すように、基礎絶縁膜 6 にピンホール 10 が形成されており、下部電極 4 に、基礎絶縁膜 6 により被覆されていない部分が形成されている状態で、基礎絶縁膜 6 上に上部電極（図示せず）を形成すると、下部電極 4 と上部電極が接触または近接することとなるため、下部電極 4 と上部電極の間でショートやリークが発生してしまう可能性がある。

[0048] したがって、本実施形態における積層体 1 の製造方法では、膜厚減少部形成工程において、基礎絶縁膜 6 を形成した後に、基礎絶縁膜 6 をマスクとしたエッチングにより、突起部 12（図 3 参照）や異物 14（図 4 参照）を除去するとともに、下部電極 4 に膜厚減少部 8 を形成する（図 2 参照）。このとき、突起部 12 や異物 14 の除去に伴って、基礎絶縁膜 6 のうち、膜厚減少部 8 の上方では、ピンホール 10 が開口する（図 2 参照）。

[0049] ここで、下部電極 4 に膜厚減少部 8 を形成する方法としては、例えば、ウェットエッチング法やドライエッチング法などを用いることが好適である。本実施形態では、一例として、下部電極 4 に膜厚減少部 8 を形成する方法を、ウェットエッチング法とした場合を説明する。

また、本実施形態では、膜厚減少部形成工程において、膜厚減少部 8 を、基礎絶縁膜 6 の全てを形成した状態で、基礎絶縁膜 6 をマスクとしたエッチングにより形成する場合について説明する。

[0050] なお、下部電極 4 に膜厚減少部 8 を形成する方法を、ウェットエッチング法とした場合には、エッチングが、微視的には、下部電極 4 の膜厚方向のみではなく、基板 2 の表面と平行な向きにも進行する（サイドエッチング）。このため、下部電極 4 に膜厚減少部 8 を形成する方法を、ウェットエッチング法とした場合には、図 2 中に示すように、側面視で、マスクとなる基礎絶縁膜 6 に開口したピンホール 10 よりも、膜厚減少部 8 が大きくなることもある。

[0051] 以上のように、基礎絶縁膜 6 をマスクとしたエッチングにより、突起部 12 や異物 14 を除去するとともに、下部電極 4 に膜厚減少部 8 を形成すると、

下部電極 4 に膜厚減少部 8 が形成されていない状態で、基礎絶縁膜 6 上に上部電極を形成する場合と比較して、下部電極 4 と上部電極の間でショートやリークが発生してしまう可能性を抑制することが可能となる。

[0052] これは、以下に記載する理由による。

基礎絶縁膜 6 上に上部電極を形成する際には、まず、基礎絶縁膜 6 上に積層絶縁膜を形成した後、積層絶縁膜上に上部電極を形成する。

ここで、本実施形態における積層体 1 の製造方法で製造された積層体 1 は、下部電極 4 に膜厚減少部 8 が形成されており、突起部 12 や異物 14 は除去されている。このため、基礎絶縁膜 6 上に形成する積層絶縁膜は、基礎絶縁膜 6 及び膜厚減少部 8 を被覆するとともに、基礎絶縁膜 6 に開口したピンホール 10 を被覆することとなる。

[0053] したがって、本実施形態における積層体 1 の製造方法では、基礎絶縁膜 6 及び積層絶縁膜により構成される絶縁膜にピンホール 10 が形成されておらず、下部電極 4 に、絶縁膜（基礎絶縁膜 6 及び積層絶縁膜）により被覆されていない部分が存在しない状態で、絶縁膜上に上部電極を形成することが可能となる。

このため、下部電極 4 と上部電極との接触または近接を抑制することが可能となり、下部電極 4 と上部電極との間で発生するショートやリークを抑制することが可能となる。

[0054] （第一実施形態の効果）

以下、本実施形態の効果を列挙する。

（１）本実施形態の積層体 1 では、下部電極 4 が、下部電極 4 のうち基礎絶縁膜 6 で被覆されていない部分における下部電極 4 の膜厚が、基礎絶縁膜 6 で被覆されている部分における下部電極 4 の膜厚よりも薄い、膜厚減少部 8 を有している。

[0055] このため、下部電極 4 に膜厚減少部 8 を形成する際に、下部電極に形成される突起部 12 や、下部電極 4 上に存在する異物 14 など除去することが可能となる。

その結果、下部電極 4 と上部電極との間に、膜厚減少部 8 による隙間を形成することが可能となり、下部電極 4 と上部電極との接触または近接を抑制することが可能となるため、下部電極 4 と上部電極の間で発生するショートやリークを抑制することが可能となる。

[0056] (2) 本実施形態の積層体 1 では、下部電極 4 が、金属または金属酸化物で形成されている。

このため、既存のエッチング法により、下部電極 4 へ膜厚減少部 8 を容易に形成することが可能となる。

その結果、積層体 1 の製造効率を向上させることが可能となる。また、積層体 1 の製造コストを低下させることが可能となる。

[0057] (3) 本実施形態の積層体 1 では、基板 2 が、可撓性を有するため、積層体 1 の構成を、可撓性を有する構成とすることが可能となる。

また、可撓性を有する基板 2 では、ガラス等の硬い材料で形成した基板と比較した場合に、基板の変形のために特にショートやリークを生じやすいが、基板 2 の突起物などに起因した下部電極 4 の突起部 12 を、エッチングにより膜厚減少部 8 とすることが可能となる。

その結果、膜厚減少部 8 により、下部電極 4 と上部電極との接触を抑制することが可能となるため、下部電極 4 と上部電極の間で発生するショートやリークを抑制させる効果を増加させることが可能となる。

[0058] (4) 本実施形態の積層体 1 では、可撓性を有する基板 2 が、プラスチックで形成されているため、可撓性を有する積層体を低コストで得ることが可能となる。

[0059] (5) 本実施形態の積層体の製造方法では、下部電極 4 のうち基礎絶縁膜 6 で被覆されていない部分に、この部分における下部電極 4 の膜厚を、基礎絶縁膜 6 で被覆されている部分における下部電極 4 の膜厚よりも薄くする膜厚減少部 8 を形成する膜厚減少部形成工程を有している。

このため、下部電極 4 に膜厚減少部 8 を形成する際に、下部電極に形成される突起部 12 や、下部電極 4 上に存在する異物 14 など除去することが可

能となる。

その結果、下部電極 4 と上部電極との間に、突起部や異物が存在しなくなるため、下部電極 4 と上部電極との接触または近接を抑制することが可能となり、下部電極 4 と上部電極の間で発生するショートやリークを抑制することが可能となる。

[0060] (6) 本実施形態の積層体の製造方法では、膜厚減少部形成工程において、膜厚減少部 8 を、基礎絶縁膜 6 をマスクとしたエッチングにより形成している。

このため、下部電極 4 へ、膜厚減少部 8 を容易に形成することが可能となる。

その結果、積層体 1 の製造効率を向上させることが可能となる。また、積層体 1 の製造コストを低下させることが可能となる。

[0061] (7) 本実施形態の積層体の製造方法では、下部電極 4 及び基礎絶縁膜 6 のうち少なくとも一方を、ウェット法で形成している。

その結果、積層体 1 のコストを低下させることが可能となる。

[0062] (応用例)

以下、本実施形態の応用例を列挙する。

(1) 本実施形態の積層体 1 では、下部電極 4 を、金属または金属酸化物で形成したが、これに限定するものではなく、下部電極 4 を、金属及び金属酸化物以外の材料で形成してもよい。

(2) 本実施形態の積層体 1 では、基板 2 を、可撓性を有する構成としたが、これに限定するものではなく、基板 2 を、可撓性を有していない構成としてもよい。

この場合、例えば、ガラスや石英の基板を用いてもよく、ステンレス等の金属基板を用いてもよい。

[0063] (3) 本実施形態の積層体 1 では、可撓性を有する基板 2 を、プラスチックで形成したが、これに限定するものではなく、可撓性を有する基板 2 を、プラスチック以外の材料で形成してもよい。

（４）本実施形態の積層体の製造方法では、膜厚減少部８を、基礎絶縁膜６をマスクとしたエッチングにより形成したが、これに限定するものではなく、膜厚減少部８を、基礎絶縁膜６をマスクとしたエッチング以外の方法により形成してもよい。

[0064] （５）本実施形態の積層体の製造方法では、膜厚減少部形成工程において、膜厚減少部８を、基礎絶縁膜６の全てを形成した状態で、基礎絶縁膜６をマスクとしたエッチングにより形成したが、これに限定するものではない。すなわち、膜厚減少部形成工程において、膜厚減少部８を、基礎絶縁膜６の一部のみを形成した状態で、基礎絶縁膜６をマスクとしたエッチングにより形成してもよい。

この場合、下部電極４に形成される突起部や、下部電極４上に存在する異物などを、選択的にエッチングすることが可能となる。

[0065] （６）本実施形態の積層体の製造方法では、下部電極４及び基礎絶縁膜６のうち少なくとも一方を、ウェット法で形成したが、これに限定するものではなく、下部電極４及び基礎絶縁膜６のうち少なくとも一方を、ウェット法以外の方法により形成してもよい。

[0066] （７）本実施形態の積層体の製造方法と、この製造方法により製造される積層体１では、基礎絶縁膜６上に上部電極を形成する際に、基礎絶縁膜６上に形成した積層絶縁膜上に上部電極を形成したが、これに限定するものではなく、積層絶縁膜を形成することなく、基礎絶縁膜６上に、直接、上部電極を形成してもよい。この場合であっても、下部電極４と上部電極との間に、膜厚減少部８による隙間を形成することが可能となる。このため、下部電極４が膜厚減少部８を有していない場合と比較して、下部電極４と上部電極との接触または近接を抑制することが可能となり、下部電極４と上部電極との間で発生するショートやリークを抑制することが可能となる。

[0067] （第二実施形態）

以下、本発明の第二実施形態（以下、「本実施形態」と記載する）について、図面を参照しつつ説明する。

(構成)

まず、図 1 から図 4 を参照しつつ、図 5 を用いて、本実施形態の積層体 1 の構成を説明する。

[0068] 図 5 は、本実施形態における積層体 1 の概略構成を示す断面図である。

本実施形態の積層体 1 は、図 1 及び図 2 中に示すように、基板 2 と、下部電極 4 と、基礎絶縁膜 6 と、積層絶縁膜 16 を備えている。

基板 2 と、下部電極 4 と、基礎絶縁膜 6 の構成は、上述した第一実施形態と同様であるため、その説明を省略する。

[0069] 積層絶縁膜 16 は、基礎絶縁膜 6 上に形成されており、基礎絶縁膜 6 及び膜厚減少部 8 を被覆している。これにより、積層絶縁膜 16 の基礎絶縁膜 6 と反対側の面（図 5 中では、上面）は、突出部分の存在しない、均一な平面となっている。

また、積層絶縁膜 16 は、基礎絶縁膜 6 と同一材料で形成されている。

その他の構成は、上述した第一実施形態と同様である。

[0070] (積層体の製造方法)

以下、図 1 から図 5 を参照して、本実施形態における積層体 1 の製造方法を説明する。

本実施形態の積層体の製造方法は、基礎絶縁膜 6 を形成した後に、突起部 12（図 3 参照）や異物 14（図 4 参照）を除去するとともに、下部電極 4 に膜厚減少部 8 を形成（図 2 参照）した後に、基礎絶縁膜 6 上に積層絶縁膜 16 を形成する。

[0071] なお、本実施形態では、基礎絶縁膜 6 上に積層絶縁膜 16 を形成する方法を、ウェット法とした場合について説明する。

[0072] 基礎絶縁膜 6 上に積層絶縁膜 16 を形成すると、この積層絶縁膜 16 は、基礎絶縁膜 6 及び膜厚減少部 8 を被覆するとともに、基礎絶縁膜 6 に開口したピンホール 10 を被覆することとなる。

すなわち、本実施形態の積層体の製造方法は、膜厚減少部形成工程の後工程として、基礎絶縁膜 6 上に、基礎絶縁膜 6 及び膜厚減少部 8 を被覆する積層

絶縁膜 16 を形成する、積層絶縁膜形成工程を有している。

[0073] したがって、本実施形態における積層体 1 の製造方法では、上述した第一実施形態と同様に、基礎絶縁膜 6 及び積層絶縁膜 16 により構成される絶縁膜にピンホール 10 が形成されておらず、下部電極 4 に、絶縁膜（基礎絶縁膜 6 及び積層絶縁膜 16）により被覆されていない部分が存在しない状態で、積層絶縁膜 16 上に上部電極を形成することが可能となる。

[0074] このため、下部電極 4 と上部電極との接触または近接を抑制することが可能となり、下部電極 4 と上部電極との間で発生するショートやリークを抑制することが可能となる。

その他の製造工程は、上述した第一実施形態と同様である。

[0075] （第二実施形態の効果）

以下、本実施形態の効果を列挙する。

（１）本実施形態の積層体 1 では、積層体 1 が、基礎絶縁膜 6 上に形成されて基礎絶縁膜 6 及び膜厚減少部 8 を被覆する積層絶縁膜 16 を備えている。その結果、基礎絶縁膜 6 と積層絶縁膜 16 とを積層することにより、下部電極 4 のエッチング時等に、基礎絶縁膜 6 をマスクとすることが可能となり、積層絶縁膜 16 において、絶縁性を向上させることが可能となる。

[0076] （２）本実施形態の積層体 1 では、基礎絶縁膜 6 と積層絶縁膜 16 を、同一材料で形成している。

その結果、基礎絶縁膜 6 をマスクとして、エッチング等により下部電極 4 に膜厚減少部 8 を形成した後、積層絶縁膜 16 を積層する際において、膜厚減少部 8 にも、効率良く積層絶縁膜 16 を形成することが可能となる。

[0077] （３）本実施形態の積層体の製造方法では、積層絶縁膜 16 を、ウェット法で形成している。

その結果、積層体 1 のコストを低下させることが可能となる。

[0078] （応用例）

以下、本実施形態の応用例を記載する。

（１）本実施形態の積層体 1 では、基礎絶縁膜 6 と積層絶縁膜 16 とを、同

一材料で形成したが、これに限定するものではなく、基礎絶縁膜 6 と積層絶縁膜 16 とを、異なる材料で形成してもよい。

[0079] (第三実施形態)

以下、本発明の第三実施形態（以下、「本実施形態」と記載する）について、図面を参照しつつ説明する。

(構成)

まず、図 1 から図 5 を参照しつつ、図 6 を用いて、本実施形態の積層体 1 の構成を説明する。

[0080] 図 6 は、本実施形態における積層体 1 の概略構成を示す断面図である。

本実施形態の積層体 1 は、図 1 及び図 2 中に示すように、基板 2 と、下部電極 4 と、基礎絶縁膜 6 と、積層絶縁膜 16 と、上部電極 18 を備えている。基板 2 と、下部電極 4 と、基礎絶縁膜 6 と、積層絶縁膜 16 の構成は、上述した第二実施形態と同様であるため、その説明を省略する。

[0081] 上部電極 18 は、積層絶縁膜 16 上に形成されており、基礎絶縁膜 6 及び積層絶縁膜 16 を間に挟んで、下部電極 4 と対向している。

その他の構成は、上述した第二実施形態と同様である。

[0082] (積層体の製造方法)

以下、図 1 から図 6 を参照して、本実施形態における積層体 1 の製造方法を説明する。

本実施形態の積層体の製造方法は、基礎絶縁膜 6 上に積層絶縁膜 16 を形成（図 5 参照）した後に、積層絶縁膜 16 上に、基礎絶縁膜 6 及び積層絶縁膜 16 を間に挟んで下部電極 4 と対向させて、上部電極 18 を形成する。

すなわち、本実施形態の積層体の製造方法は、積層絶縁膜形成工程と、積層絶縁膜形成工程の後工程として、積層絶縁膜 16 上に、基礎絶縁膜 6 及び積層絶縁膜 16 を間に挟んで下部電極 4 と対向する上部電極 18 を形成する、上部電極形成工程を有している。

[0083] なお、本実施形態では、積層絶縁膜 16 上に上部電極 18 を形成する方法を、ウェット法とした場合について説明する。

ここで、基礎絶縁膜 6 上に形成されている積層絶縁膜 16 は、基礎絶縁膜 6 及び膜厚減少部 8 を被覆するとともに、基礎絶縁膜 6 に開口したピンホール 10 を被覆している。

したがって、本実施形態における積層体 1 の製造方法では、上述した第一実施形態と同様に、基礎絶縁膜 6 及び積層絶縁膜 16 により構成される絶縁膜にピンホール 10 が形成されておらず、下部電極 4 に、絶縁膜（基礎絶縁膜 6 及び積層絶縁膜 16）により被覆されていない部分が存在しない状態で、積層絶縁膜 16 上に上部電極 18 を形成することが可能となる。

[0084] このため、下部電極 4 と上部電極 18 との接触または近接を抑制することが可能となり、下部電極 4 と上部電極 18 との間で発生するショートやリークを抑制することが可能となる。

その他の製造工程は、上述した第二実施形態と同様である。

[0085] （第三実施形態の効果）

以下、本実施形態の効果を列挙する。

（１）本実施形態の積層体 1 では、積層体 1 が、積層絶縁膜 16 上に形成されて基礎絶縁膜 6 及び積層絶縁膜 16 を間に挟んで下部電極 4 と対向する、上部電極 18 を備えている。

その結果、基礎絶縁膜 6 上に形成した積層絶縁膜 16 により、下部電極 4 と上部電極 18 との接触を抑制することが可能となり、下部電極 4 と上部電極 18 の間で発生するショートやリークを抑制することが可能な積層体 1 を形成することが可能となる。

[0086] （２）本実施形態の積層体の製造方法では、膜厚減少部形成工程の後工程として、基礎絶縁膜 6 上に、基礎絶縁膜 6 及び膜厚減少部 8 を被覆する積層絶縁膜 16 を形成する、積層絶縁膜形成工程を有している。これに加え、積層絶縁膜形成工程の後工程として、積層絶縁膜 16 上に、基礎絶縁膜 6 及び積層絶縁膜 8 を間に挟んで下部電極 4 と対向する上部電極 18 を形成する、上部電極形成工程を有している。

その結果、基礎絶縁膜 6 上に形成した積層絶縁膜 16 により、下部電極 4 と

上部電極 18 との接触を抑制することが可能となり、下部電極 4 と上部電極 18 の間で発生するショートやリークを抑制することが可能な積層体 1 を形成することが可能となる。

[0087] (3) 本実施形態の積層体の製造方法では、上部電極 18 を、ウェット法で形成している。

その結果、積層体 1 のコストを低下させることが可能となる。

[0088] (応用例)

以下、本実施形態の応用例を記載する。

(1) 本実施形態の積層体の製造方法では、上部電極 18 を、ウェット法で形成したが、これに限定するものではなく、上部電極 18 を、ウェット法以外の方法により形成してもよい。

[0089] (第四実施形態)

以下、本発明の第四実施形態（以下、「本実施形態」と記載する）について、図面を参照しつつ説明する。

(構成)

まず、図 1 から図 6 を参照しつつ、図 7 及び図 8 を用いて、本実施形態の積層体 1 を用いた薄膜トランジスタ 20 の構成を説明する。

[0090] 図 7 は、本実施形態における積層体 1 を用いた薄膜トランジスタ 20 の概略構成を示す図である。また、図 8 は、図 7 の V I I I - V I I I 線断面図である。

図 7 及び図 8 中に示すように、積層体 1 を用いた薄膜トランジスタ 20 は、積層体 1 と、半導体層 22 を備えている。すなわち、本実施形態の積層体 1 は、薄膜トランジスタ 20 に用いられている。

[0091] 積層体 1 は、基板 2 と、下部電極 4 と、基礎絶縁膜 6 と、積層絶縁膜 16 と、上部電極 18 を備えている。なお、基板 2 と、基礎絶縁膜 6 と、積層絶縁膜 16 の構成は、上述した第三実施形態と同様であるため、その説明は省略する。

下部電極 4 は、ゲート電極またはキャパシタ電極を構成している。すなわち

、本実施形態の積層体 1 は、ボトムゲート構造となっている。下部電極 4 のその他の構成は、上述した第三実施形態と同様であるため、その説明は省略する。

[0092] 上部電極 18 は、ソース電極 18a と、ドレイン電極 18b から構成されている。上部電極 18 のその他の構成は、上述した第三実施形態と同様であるため、その説明は省略する。

半導体層 22 は、ウェット法を用いて、積層絶縁膜 16 上に形成されており、上部電極 18 全体を被覆している。

[0093] また、半導体層 22 は、有機半導体を材料として形成されている。これは、可撓性を有するフレキシブルな基板 2 を用いるためには、半導体層 22 の材料として、有機半導体の材料や酸化物半導体の材料を用いることが望ましく、また、ウェット法を用いて半導体層 22 を形成する際には、有機半導体を材料とすることが好ましいためである。

ここで、有機半導体の材料としては、ポリチオフェン、ポリアリルアミン、フルオレンビチオフェン共重合体、およびそれらの誘導体のような高分子有機半導体材料、およびペンタセン、テトラセン、銅フタロシアニン、ペリレン、およびそれらの誘導体のような低分子有機半導体材料を用いることが可能である。

[0094] また、有機半導体の材料としては、カーボンナノチューブ、または、フラーレンなどの炭素化合物や半導体ナノ粒子分散液なども半導体層の材料として用いることが可能である。

有機半導体の印刷方法としては、グラビア印刷、オフセット印刷、スクリーン印刷およびインクジェット法など、公知の方法を用いることが可能である。

[0095] 一般に、上記のような有機半導体を材料とした半導体層 22 の形成方法としては、有機半導体は、溶剤に対する溶解度が低いため、低粘度溶液の印刷に適したフレキソ印刷、反転オフセット印刷、インクジェット法、ディスペンサを用いることが望ましい。特に、フレキソ印刷は、印刷時間が短くインク

使用量が少ないので最も好ましい。

また、酸化物半導体の材料としては、例えば、亜鉛、インジウム、スズ、タングステン、マグネシウム、ガリウムのうち一種以上元素を含む酸化物を用いることが可能である。

[0096] さらに、酸化亜鉛、酸化インジウム、酸化インジウム亜鉛、酸化スズ、酸化タングステン、酸化亜鉛ガリウムインジウム（ In-Ga-Zn-O ）等公知の材料を用いることが可能である。

上述した酸化物半導体の材料の構造は、単結晶、多結晶、微結晶、結晶／アモルファスの混晶、ナノ結晶散在アモルファス、アモルファスのいずれであってもかまわない。

[0097] また、酸化物半導体を材料とした半導体層 22 の形成方法としては、スパッタリング法、パルスレーザ堆積法、真空蒸着法、CVD 法、ゾルゲル法などの方法を用いて成膜した後に、フォトリソグラフィ法やリフトオフ法などを用いてパターンを形成する方法を用いることが可能である。

その他の構成は、上述した第三実施形態と同様である。

[0098] （第四実施形態の効果）

以下、本実施形態の効果を列挙する。

（１）本実施形態の積層体 1 では、積層体 1 を、薄膜トランジスタ 20 に用いている。

その結果、下部電極 4 と上部電極 18 の間で発生するショートやリークが抑制された、信頼性の高い薄膜トランジスタ 20 を得ることが可能となる。

[0099] （２）本実施形態の積層体の製造方法では、薄膜トランジスタ 20 の半導体層 22 が、有機半導体で形成されている。

その結果、薄膜トランジスタ 20 の構成部材全てを、印刷法により形成することが可能となるため、薄膜トランジスタ 20 のコストを低下させることが可能となる。

[0100] （応用例）

以下、本実施形態の応用例を列挙する。

(1) 本実施形態の積層体の製造方法では、下部電極 4 が、ゲート電極またはキャパシタ電極を構成しているが、これに限定するものではなく、例えば、図 9 及び図 10 中に示すように、下部電極 4 が、ソース電極 4 a 及びドレイン電極 4 b を構成していてもよい。すなわち、積層体 1 を、トップゲート構造としてもよい。なお、図 9 は、本実施形態の変形例における積層体 1 を用いた薄膜トランジスタ 20 の概略構成を示す図である。また、図 10 は、図 9 の X - X 線断面図である。

もっとも、半導体層 22 にエッチング等の影響を与えないためには、積層体 1 を、ボトムゲート・ボトムコンタクト構造とすることが好適である。

[0101] (2) 本実施形態の積層体の製造方法では、積層体 1 を、薄膜トランジスタ 20 に用いたが、これに限定するものではなく、積層体 1 を、キャパシタや配線の交差部に用いてもよい。

この場合、積層体 1 をキャパシタに用いると、下部電極 4 と上部電極 18 の間で発生するショートやリークが抑制された、信頼性の高いキャパシタを得ることが可能となる。

同様に、積層体 1 を配線間の交差部に用いると、下部電極 4 と上部電極 18 の間で発生するショートやリークが抑制された、信頼性の高い配線間の交差部を得ることが可能となる。

[0102] (3) 本実施形態の積層体の製造方法では、積層体 1 を、薄膜トランジスタ 20 に用いたが、これに限定するものではなく、積層体 1 を、例えば、図 11 から図 13 中に示すように、薄膜トランジスタ 20、キャパシタ、配線の交差部を組み合わせた薄膜トランジスタアレイ 24 に用いてもよい。

[0103] なお、図 11 は、本実施形態の変形例における積層体 1 を用いた薄膜トランジスタアレイ 24 の概略構成を示す図である。また、図 12 は、図 11 中に示す薄膜トランジスタアレイ 24 の一画素分の概略構成を示す図であり、図 12 (a) は、積層体 1 のみを示す図、図 12 (b) は、薄膜トランジスタアレイ 24 全体を示す図である。また、図 13 は、図 12 (b) の X I I I - X I I I 線断面図である。

[0104] なお、図 1 1 から図 1 3 中には、下部電極 4 として、ゲート電極 4 c、ゲート配線 4 d、キャパシタ電極 4 e、キャパシタ配線 4 f を、それぞれ示している。同様に、図 1 1 から図 1 3 中には、上部電極 1 8 として、ソース電極 1 8 a、ドレイン電極 1 8 b、ソース配線 1 8 c、画素電極 1 8 d を、それぞれ示している。

[0105] (第一実施例)

以下、図 7 及び図 8 を参照して、積層体 1 を用いた薄膜トランジスタ 2 0 の作製方法の実施例について説明する。

基板 2 は、ソーダライムガラスを用いて形成した。

下部電極 4 (ゲート電極) は、材料としてクロムを用い、E B 蒸着法により、膜厚 5 0 n m で成膜して、基板 2 上に形成した。

下部電極 4 は、材料としてクロムを用い、フォトリソグラフィにより所望の形状にパターニングして形成した。

[0106] 基礎絶縁膜 6 は、材料としてポリビニルフェノール (A l d r i c h 社製) を用い、スピコート法により膜厚 1 0 0 n m で形成した。

膜厚減少部 8 は、エッチング液として「硝酸ニアンモニウムセリウム：過塩素酸：水 = 3 4 : 1 6 : 1 5 0」の割合で混合した水溶液を用い、この水溶液中に、下部電極 4 及び基礎絶縁膜 6 を形成した基板 2 を 1 5 分間浸漬させて形成した。

[0107] なお、図 7 及び図 8 中に示す膜厚減少部 8 の位置や大きさは、模式的に描いたものであり、実際の位置や大きさとは異なる。

積層絶縁膜 1 6 は、材料としてポリビニルフェノール (A l d r i c h 社製) を用い、スピコート法により膜厚 5 0 0 n m で形成した。

上部電極 1 8 (ソース電極 1 8 a、ドレイン電極 1 8 b) は、材料としてナノ銀インキ (住友電工社製ナノ銀：A l d r i c h 社製ポリエチレングリコール # 2 0 0 = 8 : 1 (質量比)) を用い、反転オフセット印刷法により印刷した後、1 8 0 °C で 1 時間ベークさせて形成した。

[0108] 半導体層 2 2 は、材料として L i s i c o n S P 2 0 0 (M e r c k 社製)

をテトラリン（関東化学社製）で 1.0 質量%になるように溶解させた溶液を用い、スピコート法により成膜して形成した。

以上の材料及び製造方法を用いて、薄膜トランジスタ 20 を作製した結果、下部電極 4 と上部電極 18 との間にショートやリークが発生しない薄膜トランジスタ 20 を作製することが出来た。

[0109] （第二実施例）

以下、図 7 及び図 8 を参照して、積層体 1 を用いた薄膜トランジスタ 20 の作製方法の実施例について説明する。

基板 2 は、材料としてポリエチレンナフタレート（PEN）フィルム（帝人デュポン社製）を用いて形成した。

下部電極 4（ゲート電極）は、材料としてアルミニウムを用い、EB 蒸着法により、膜厚 50 nm で成膜し、アルミニウムをフォトリソグラフィにより所望の形状にパターニングして形成した。

[0110] 基礎絶縁膜 6 は、材料としてポリイミド（三菱ガス化学社製ネオプリム）を用い、スピコート法により膜厚 100 nm で形成した。

膜厚減少部 8 は、エッチング液として「燐酸：硝酸：酢酸：水＝85：5：5：5」の割合で混合した水溶液を用い、この水溶液中に、下部電極 4 及び基礎絶縁膜 6 を形成した基板 2 を 60 分間水溶液中に浸漬させて形成した。

[0111] なお、上述した第一実施例と同様、図 7 及び図 8 中に示す膜厚減少部 8 の位置や大きさは、模式的に描いたものであり、実際の位置や大きさとは異なる。

積層絶縁膜 16 は、材料としてポリビニルフェノール（Aldrich 社製）を用い、スピコート法により膜厚 500 nm で形成した。

上部電極 18（ソース電極 18a、ドレイン電極 18b）は、材料としてナノ銀インキ（住友電気社製ナノ銀：Aldrich 社製ポリエチレングリコール #200＝8：1（質量比））を用い、反転オフセット印刷法により印刷した後、180℃で 1 時間ベークさせて形成した。

[0112] 半導体層 22 は、材料として L i s i c o n S P 2 0 0（Merck 社製）

をテトラリン（関東化学社製）で 1.0 質量%になるように溶解させた溶液を用い、スピンコート法により成膜して形成した。

以上の材料及び製造方法を用いて、薄膜トランジスタ 20 を作製した結果、第一実施例と同様、下部電極 4 と上部電極 18 との間にショートやリークが発生しない薄膜トランジスタ 20 を作製することが出来た。

[0113] （第三実施例）

以下、図 11 から図 13 を参照して、積層体 1 を用いた薄膜トランジスタアレイ 24 の作製方法の実施例について説明する。

基板 2 は、材料としてポリエチレンナフタレート（PEN）フィルム（帝人デュポン社製）を用いて形成した。

[0114] 下部電極 4（ゲート電極 4c、ゲート配線 4d、キャパシタ電極 4e、キャパシタ配線 4f）は、材料としてナノ銀インキ（住友電気社製ナノ銀：Aldrich 社製ポリエチレングリコール#200=8：1（質量比））を用い、反転オフセット印刷法により印刷して、180℃で 1 時間ベークさせて形成した。

[0115] 基礎絶縁膜 6 は、材料としてポリビニルフェノール（Aldrich 社製）を用い、スピンコート法により膜厚 100nm で形成した。

膜厚減少部 8 は、エッチング液として「燐酸：硝酸：酢酸：水=85：5：5：5」の割合で混合した水溶液を用い、下部電極 4 及び基礎絶縁膜 6 を形成した基板 2 を 60 分間水溶液中に浸漬させて形成した。

[0116] なお、上述した第一実施例と同様、図 11 から図 13 中に示す膜厚減少部 8 の位置や大きさは、模式的に描いたものであり、実際の位置や大きさとは異なる。

積層絶縁膜 16 は、材料としてポリビニルフェノール（Aldrich 社製）を用い、スピンコート法により膜厚 500nm で形成した。

[0117] 上部電極 18（ソース電極 18a、ドレイン電極 18b、ソース配線 18c、画素電極 18d）は、材料としてナノ銀インキ（住友電気社製ナノ銀：Aldrich 社製ポリエチレングリコール#200=8：1（質量比））を

用い、反転オフセット印刷法により印刷した後、 180°C で1時間ベークさせて形成した。

[0118] 半導体層22は、材料としてL i s i c o n S P 2 0 0 (M e r c k社製)をテトラリン(関東化学社製)で1.0質量%になるように溶解させた溶液を用い、フレキソ印刷により半導体パターンを印刷した後、 100°C で60分乾燥させて形成した。

封止層26は、材料としてサイトップ(旭硝子社製)を用い、フレキソ印刷により封止パターンを印刷した後、 100°C で90分乾燥させて形成した。

[0119] 以上の材料及び製造方法を用いて、薄膜トランジスタアレイ24を作製した結果、下部電極4と上部電極18との間にショートやリークが発生しない薄膜トランジスタアレイ24を作製することが出来た。

[0120] (比較例)

以下、図14を用いて、積層体1を用いた薄膜トランジスタアレイ24の比較例について説明する。なお、図14は、比較例の積層体1を用いた薄膜トランジスタアレイ24の概略構成を示す図である。

比較例では、図14中に示すように下部電極4(ゲート電極4c、ゲート配線4d、キャパシタ電極4e、キャパシタ配線4f)に膜厚減少部8を形成していないこと以外は、上述した第三実施例と同様の材料及び製造方法を用いて、薄膜トランジスタアレイ24を作製した。

[0121] 下部電極4に膜厚減少部8を形成せずに、上述した第三実施例と同様の材料及び製造方法を用いて、薄膜トランジスタアレイ24を作製した結果、下部電極4と上部電極18との間にショートが発生する箇所が存在した。

[0122] (各実施例と比較例との対比)

したがって、上述した第一及び第二実施例の薄膜トランジスタ20と、第三実施例の薄膜トランジスタアレイ24では、下部電極4に膜厚減少部8を形成しているため、下部電極4と上部電極18との間にショートやリークが発生していないが、これに対し、比較例の薄膜トランジスタアレイ24では、下部電極4に膜厚減少部8を形成していないため、下部電極4と上部電極1

8との間にショートが発生することが確認された。

- [0123] すなわち、本発明の積層体1を用いることにより、下部電極4と上部電極18との間にショートやリークが発生しない薄膜トランジスタ20や薄膜トランジスタアレイ24等を作製することが可能であることが確認された。

符号の説明

- [0124] 1積層体 2基板 4下部電極 4aソース電極 4bドレイン電極 4cゲート電極 4dゲート配線 4eキャパシタ電極 4fキャパシタ配線 6基礎絶縁膜 8膜厚減少部 10ピンホール 12突起部 14異物 16積層絶縁膜 18上部電極 18aソース電極 18bドレイン電極 18cソース配線 18d画素電極 20薄膜トランジスタ 22半導体層 24薄膜トランジスタアレイ 26封止層

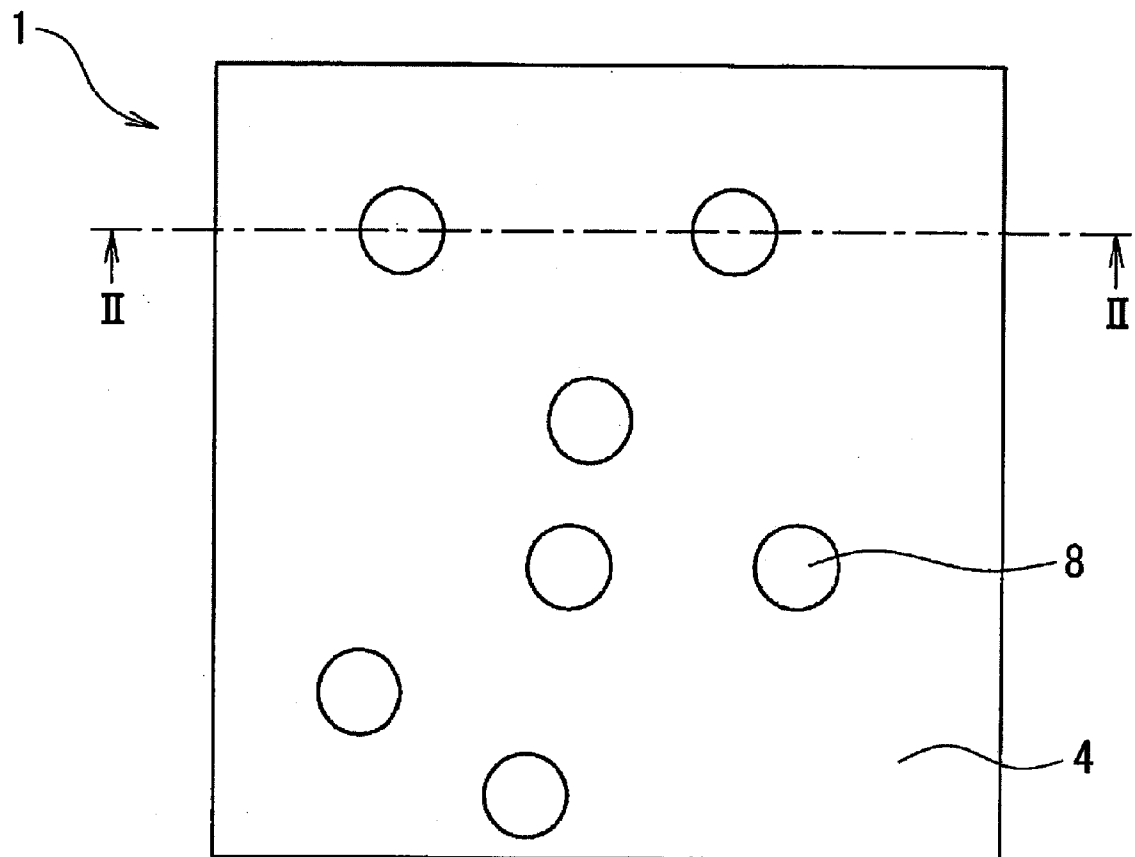
請求の範囲

- [請求項1] 基板上に形成された下部電極上に、当該下部電極を被覆する基礎絶縁膜を形成する積層体の製造方法であって、前記下部電極のうち前記基礎絶縁膜で被覆されていない部分に、当該被覆されていない部分における前記下部電極の膜厚を、前記基礎絶縁膜で被覆されている部分における前記下部電極の膜厚よりも薄くする膜厚減少部を形成する膜厚減少部形成工程を有することを特徴とする積層体の製造方法。
- [請求項2] 前記膜厚減少部形成工程では、前記膜厚減少部を、前記基礎絶縁膜をマスクとしたエッチングにより形成することを特徴とする請求項1に記載した積層体の製造方法。
- [請求項3] 前記膜厚減少部形成工程では、前記膜厚減少部を、前記基礎絶縁膜の少なくとも一部を形成した状態で、前記基礎絶縁膜をマスクとしたエッチングにより形成することを特徴とする請求項2に記載した積層体の製造方法。
- [請求項4] 前記下部電極及び前記基礎絶縁膜のうち少なくとも一方を、ウェット法で形成することを特徴とする請求項1から3のうちいずれか1項に記載した積層体の製造方法。
- [請求項5] 前記膜厚減少部形成工程の後工程として、前記基礎絶縁膜上に、当該基礎絶縁膜及び前記膜厚減少部を被覆する積層絶縁膜を形成する積層絶縁膜形成工程を有し、前記積層絶縁膜形成工程の後工程として、前記積層絶縁膜上に、前記基礎絶縁膜及び前記積層絶縁膜を間に挟んで前記下部電極と対向する上部電極を形成する上部電極形成工程を有することを特徴とする請求項1から4のうちいずれか1項に記載した積層体の製造方法。
- [請求項6] 前記積層絶縁膜及び前記上部電極のうち少なくとも一方を、ウェット法で形成することを特徴とする請求項5に記載した積層体の製造方法。
- [請求項7] 基板上に形成された下部電極と、前記基板上において前記下部電極上

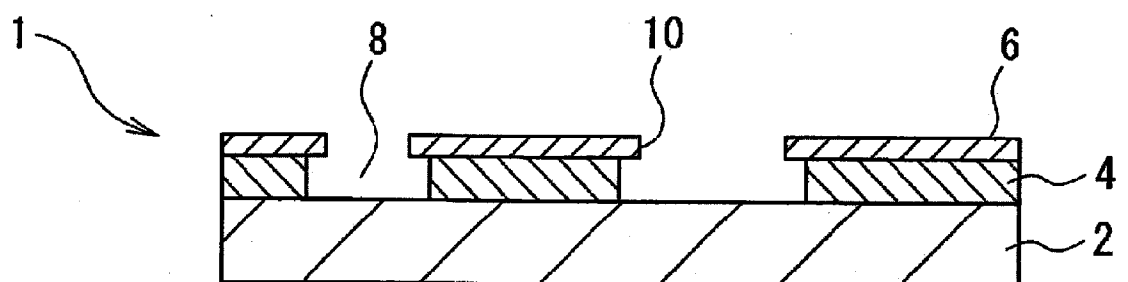
に形成されて下部電極を被覆する基礎絶縁膜と、を備える積層体であって、前記下部電極は、前記下部電極のうち前記基礎絶縁膜で被覆されていない部分における前記下部電極の膜厚が、前記基礎絶縁膜で被覆されている部分における前記下部電極の膜厚よりも薄い膜厚減少部を有することを特徴とする積層体。

- [請求項8] 前記積層体は、前記基礎絶縁膜上に形成されて基礎絶縁膜及び前記膜厚減少部を被覆する積層絶縁膜を備えることを特徴とする請求項7に記載した積層体。
- [請求項9] 前記基礎絶縁膜と前記積層絶縁膜は、同一材料で形成されていることを特徴とする請求項8に記載した積層体。
- [請求項10] 前記積層体は、前記積層絶縁膜上に形成されて前記基礎絶縁膜及び前記積層絶縁膜を間に挟んで前記下部電極と対向する上部電極を備えることを特徴とする請求項8または9に記載した積層体。
- [請求項11] 前記下部電極は、金属または金属酸化物で形成されていることを特徴とする請求項7から10のうちいずれか1項に記載した積層体。
- [請求項12] 前記積層体は、薄膜トランジスタに用いられることを特徴とする請求項7から11のうちいずれか1項に記載した積層体。
- [請求項13] 前記薄膜トランジスタの半導体層は、有機半導体で形成されていることを特徴とする請求項12に記載した積層体。
- [請求項14] 前記積層体は、キャパシタに用いられることを特徴とする請求項7から11のうちいずれか1項に記載した積層体。
- [請求項15] 前記積層体は、配線間の交差部に用いられることを特徴とする請求項7から11のうちいずれか1項に記載した積層体。
- [請求項16] 前記基板は、可撓性を有することを特徴とする請求項7から15のうちいずれか1項に記載した積層体。
- [請求項17] 前記可撓性を有する基板は、プラスチックで形成されていることを特徴とする請求項16に記載した積層体。

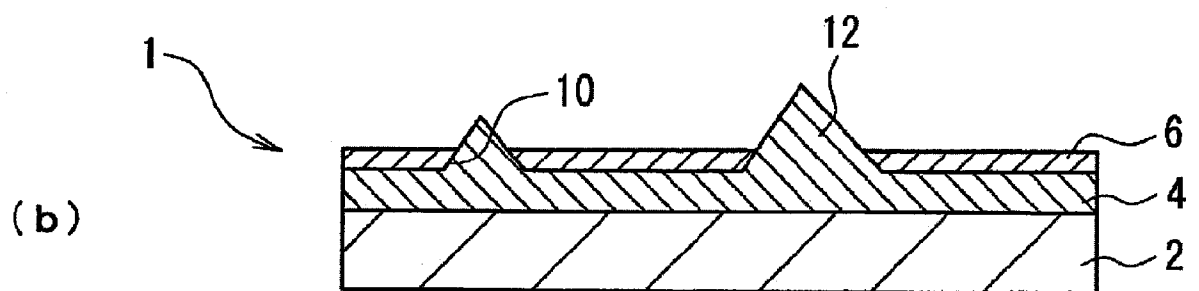
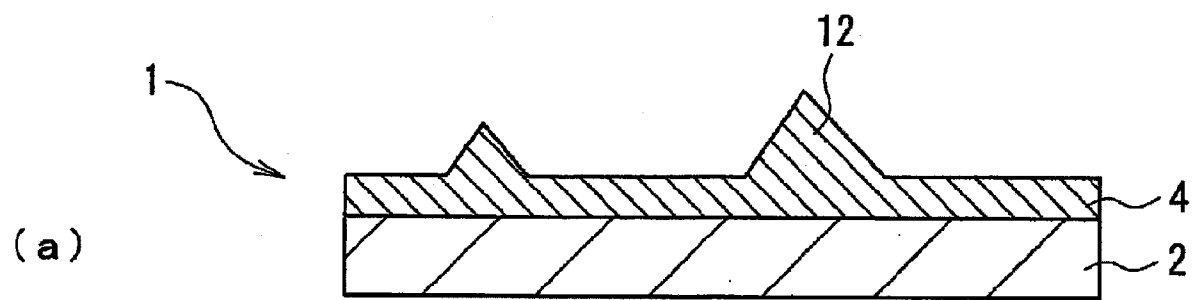
[図1]



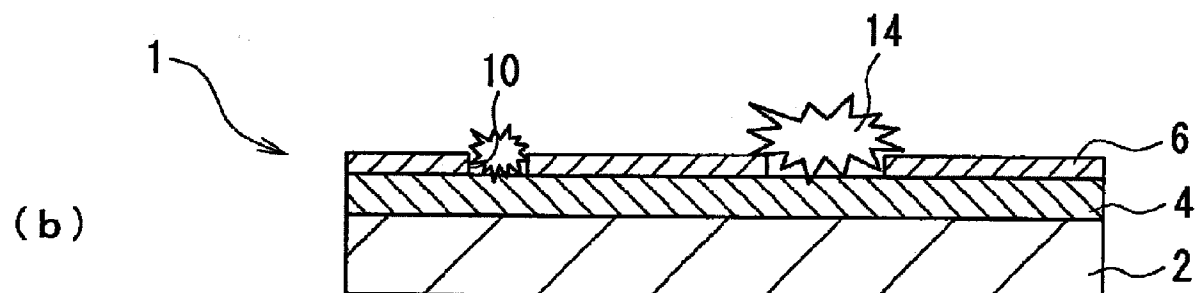
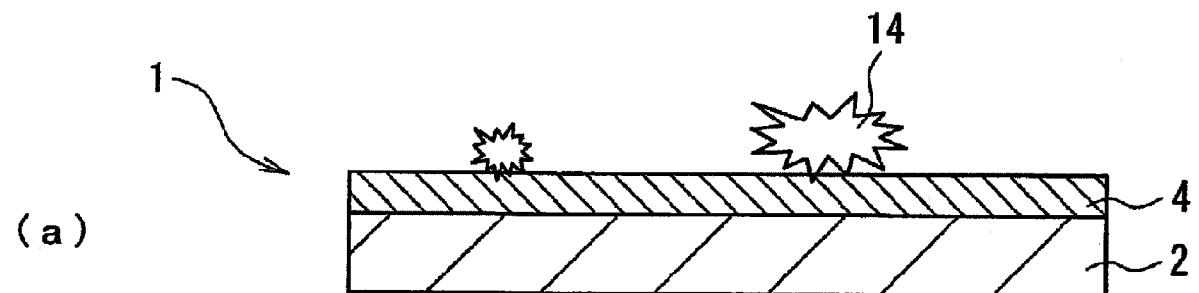
[図2]



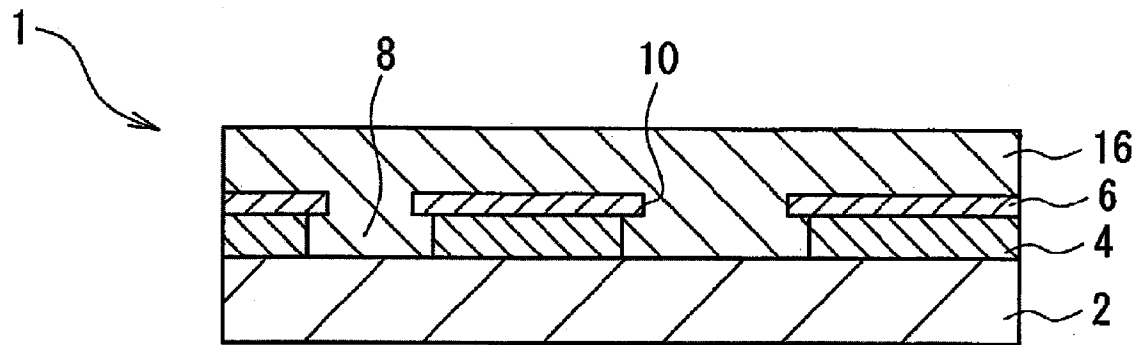
[図3]



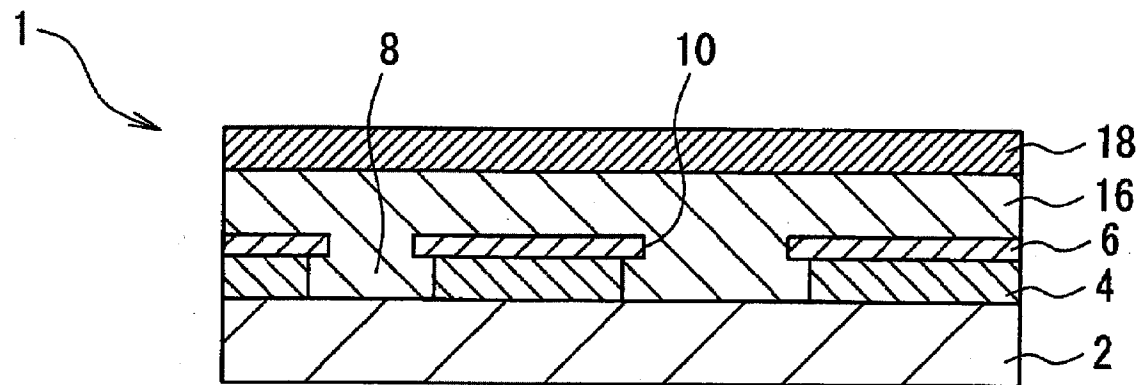
[図4]



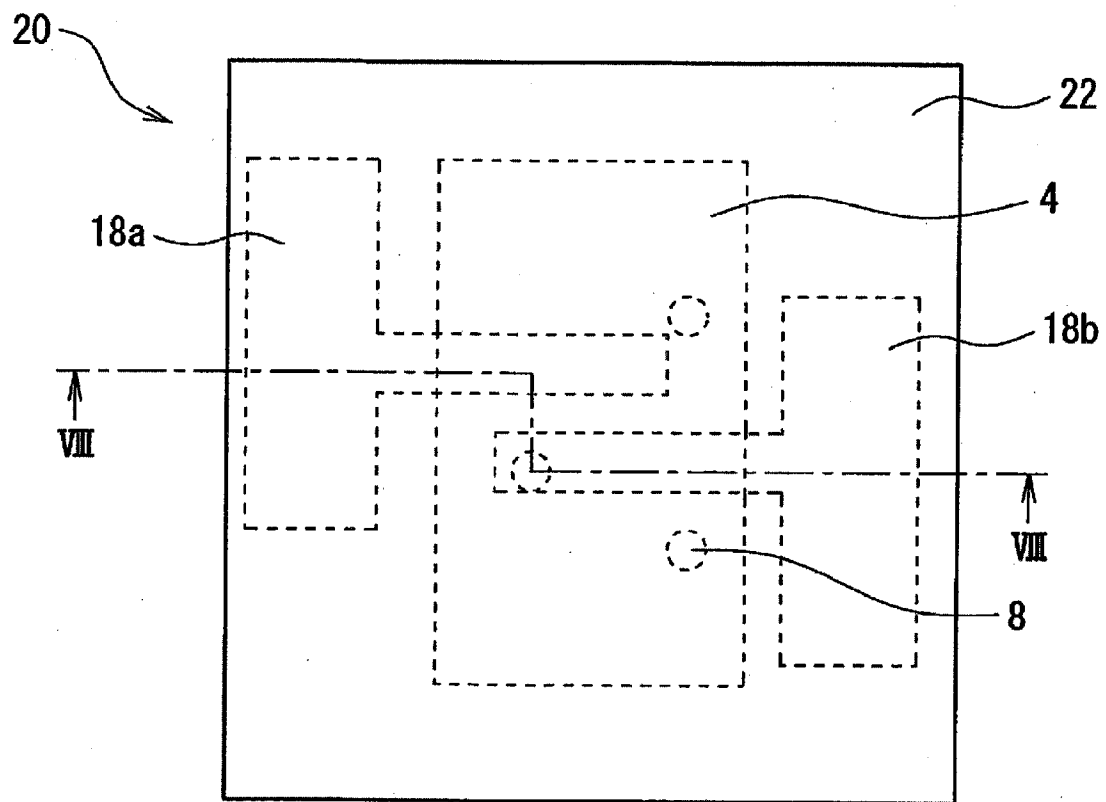
[図5]



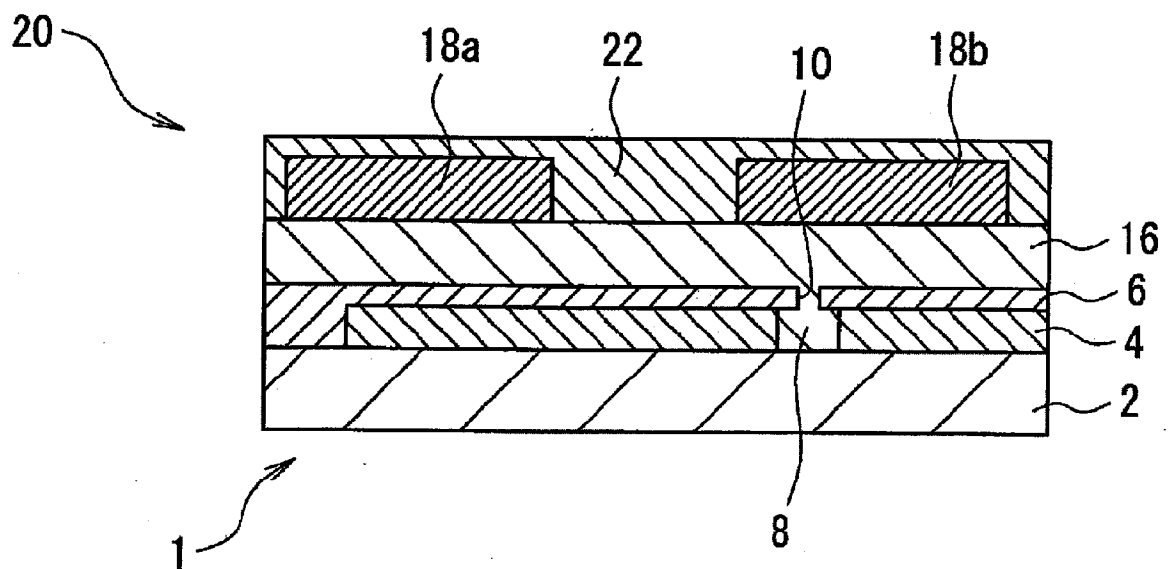
[図6]



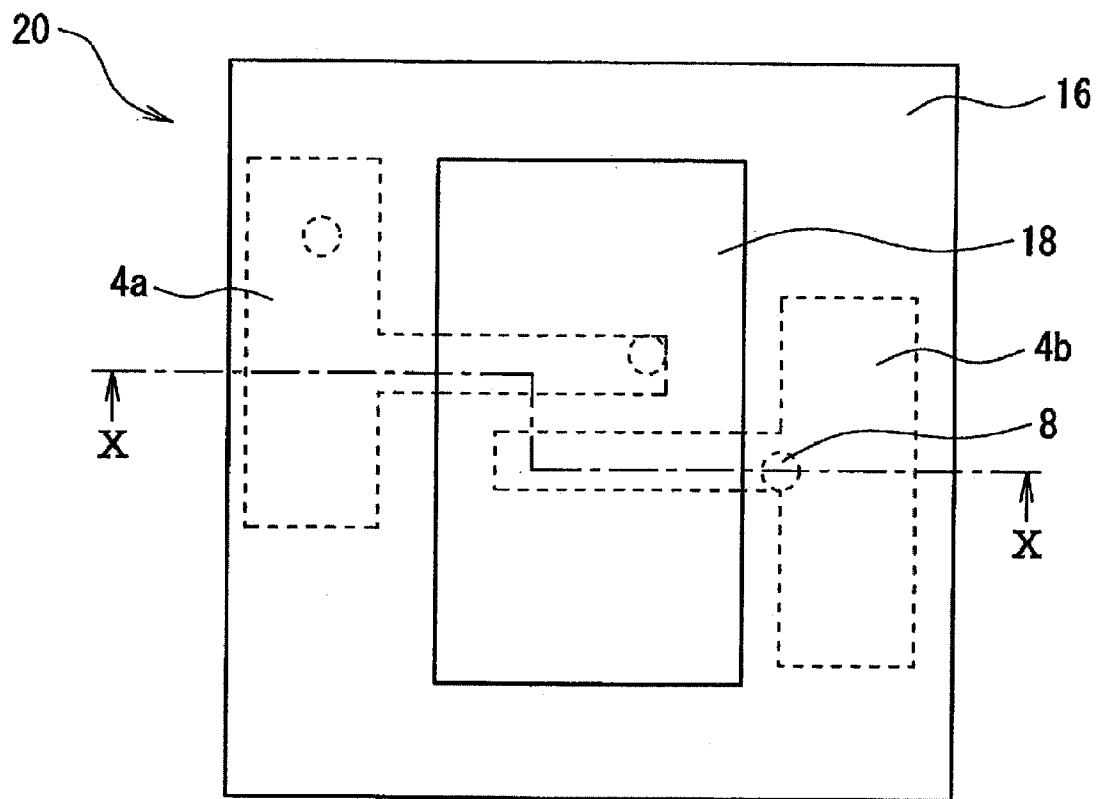
[図7]



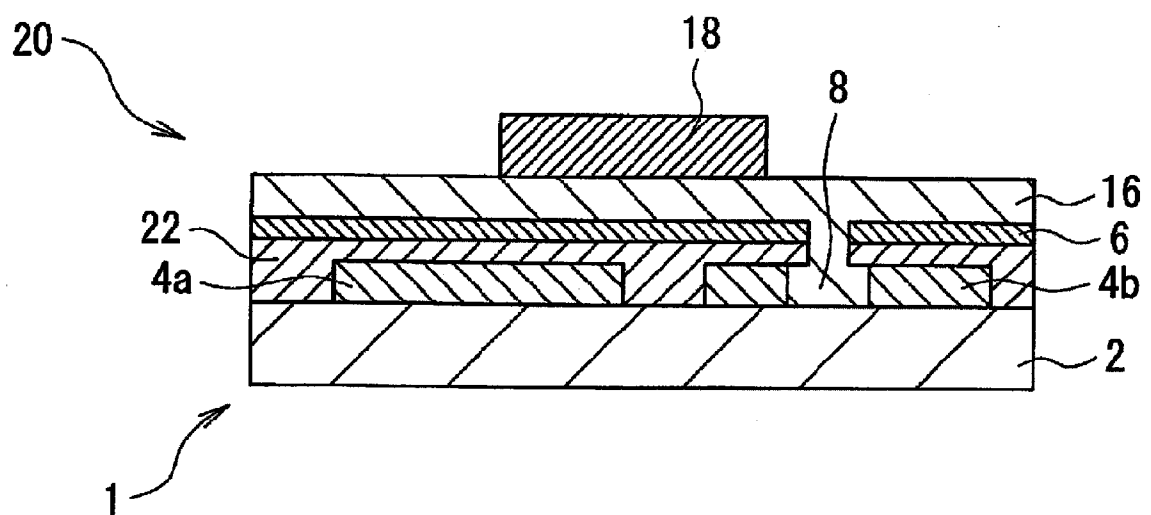
[図8]



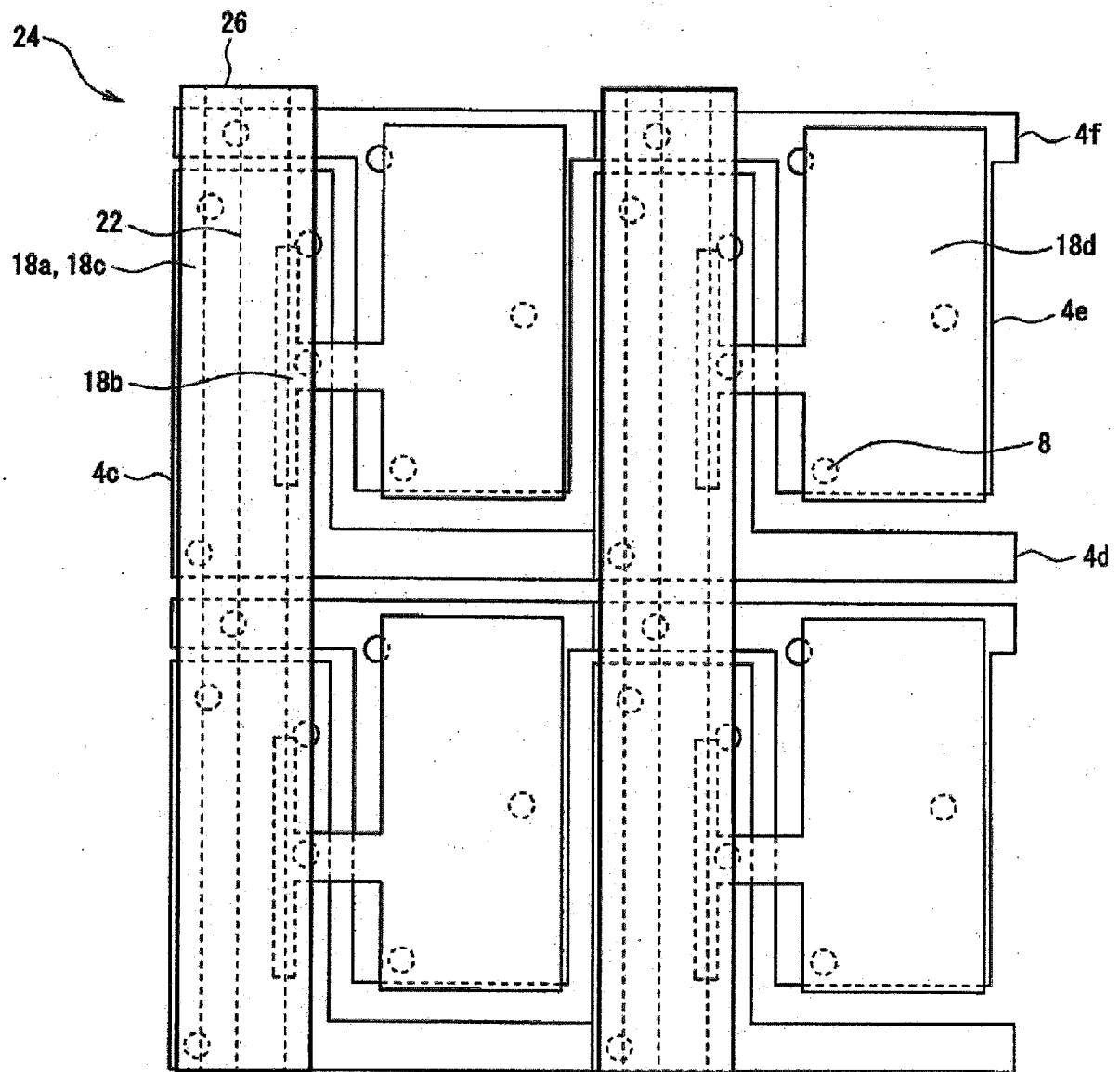
[図9]



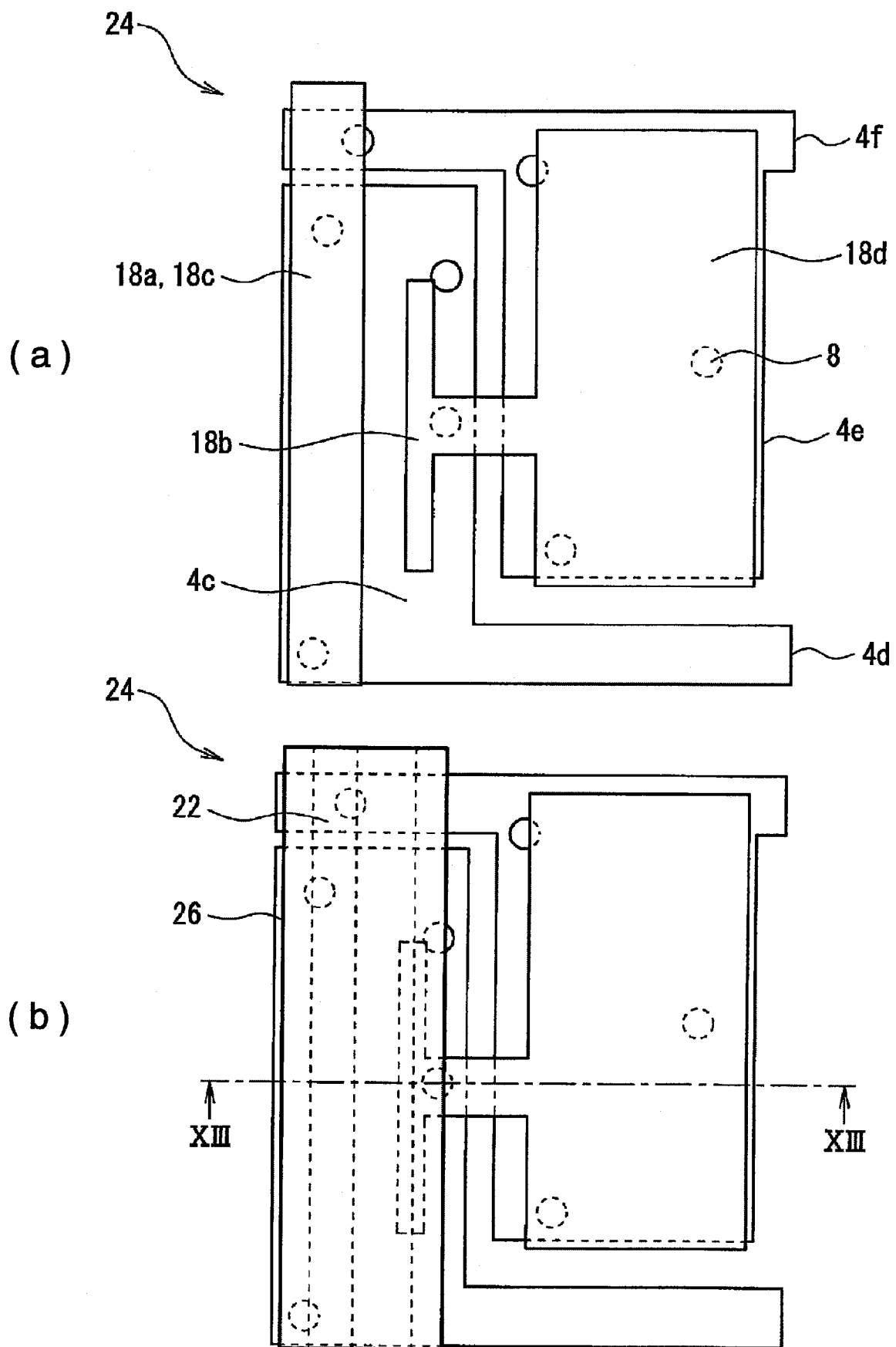
[図10]



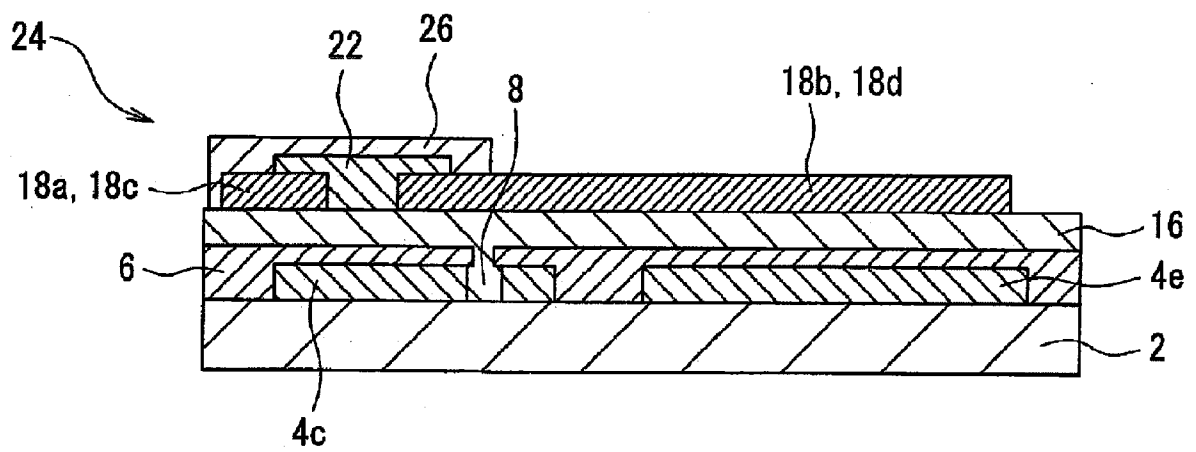
[図11]



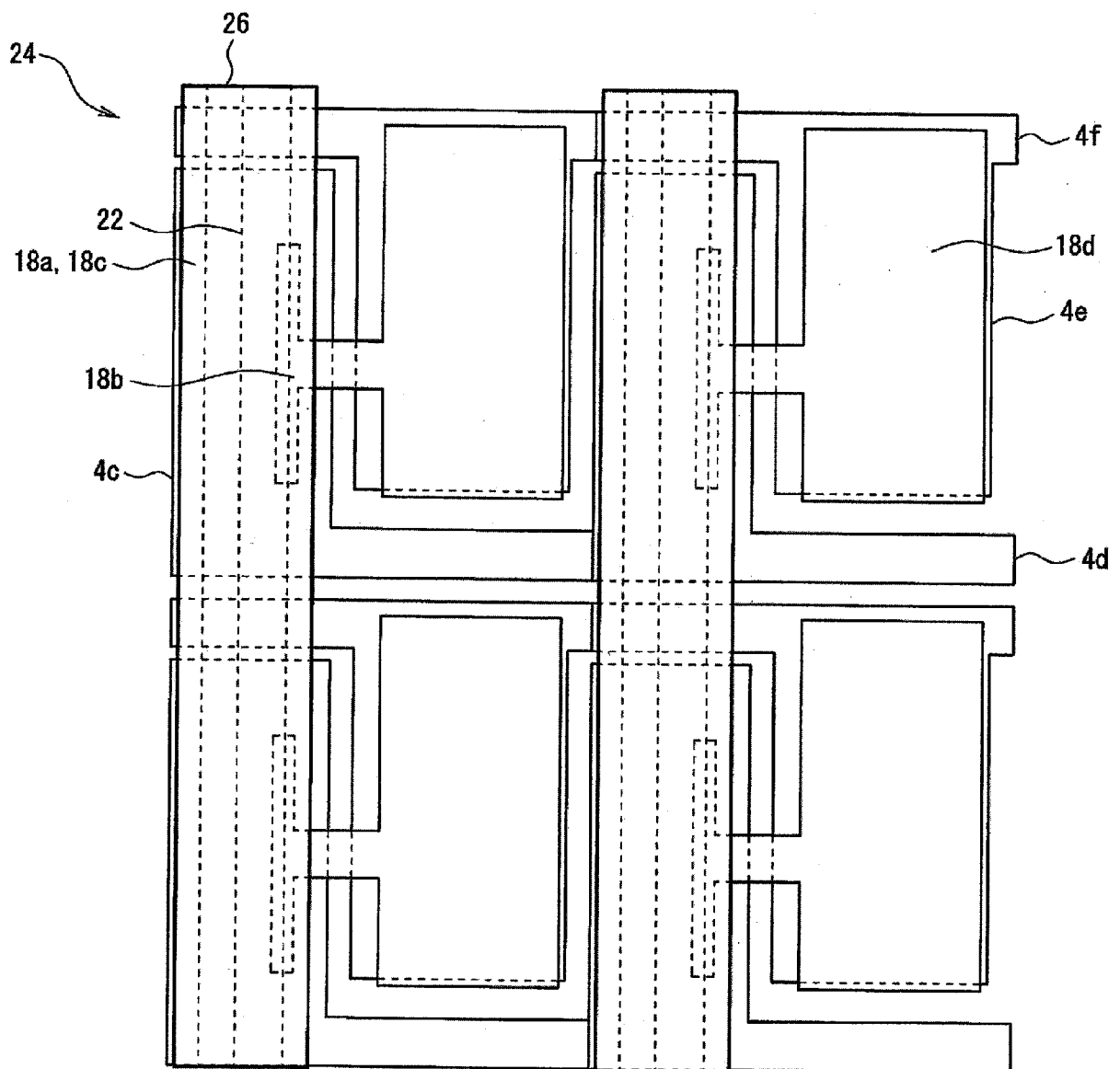
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054640

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/768(2006.01)i, H01L21/28(2006.01)i, H01L21/288(2006.01)i,
H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L23/522(2006.01)i,
H01L27/04(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/768, H01L21/28, H01L21/288, H01L21/336, H01L21/822, H01L23/522,
H01L27/04, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 3-291971 A (Sanyo Electric Co., Ltd.), 24 December 1991 (24.12.1991), page 2, upper right column to page 3, lower left column; fig. 1 (Family: none)	1-3, 5, 7-12, 14-15
Y		4, 6, 13, 16-17
X	JP 1-101668 A (Matsushita Electric Industrial Co., Ltd.), 19 April 1989 (19.04.1989), page 4, lower left column to page 6, upper left column; fig. 1 (Family: none)	1-3, 7, 11-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 March, 2011 (28.03.11)

Date of mailing of the international search report
12 April, 2011 (12.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054640

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-210086 A (Semiconductor Energy Laboratory Co., Ltd.), 04 August 2005 (04.08.2005), paragraphs [0027] to [0055]; fig. 1 & US 2005/0139823 A1 & KR 10-2005-0067014 A & CN 1797807 A	4, 6, 13, 16-17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054640

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Method for production of laminate in claim 1, and laminate in claim 7 are described in the documents 1 - 2. Therefore, the inventions in claims 1, 7 cannot be considered to be novel in the light of the invention described in the document 1, and does not have a special technical feature.

(continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/054640

Continuation of Box No.III of continuation of first sheet (2)

Consequently, a group of inventions in claims 1 - 17 have no special technical feature for so linking the inventions as to form a single general inventive concept, and therefore do not obviously comply with the requirement of unity of invention.

Document 1: JP 3-291971 A (Sanyo Electric Co., Ltd.), 24 December 1991 (24.12.1991)

Document 2: JP 1-101668 A (Matsushita Electric Industrial Co., Ltd.), 19 April 1989 (19.04.1989)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/768(2006.01)i, H01L21/28(2006.01)i, H01L21/288(2006.01)i, H01L21/336(2006.01)i,
H01L21/822(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/768, H01L21/28, H01L21/288, H01L21/336, H01L21/822, H01L23/522, H01L27/04, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 3-291971 A（三洋電機株式会社）1991.12.24, 第2頁右上欄-第3頁左下欄, 第1図 (ファミリーなし)	1-3, 5, 7-12, 14-15
Y		4, 6, 13, 16-17
X	JP 1-101668 A（松下電器産業株式会社）1989.04.19, 第4頁左下欄-第6頁左上欄, 第1図（ファミリーなし）	1-3, 7, 11-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 0 3 . 2 0 1 1

国際調査報告の発送日

1 2 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

4 L

9 7 3 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-210086 A (株式会社半導体エネルギー研究所) 2005.08.04, 段落番号[0027]-[0055], 図 1 & US 2005/0139823 A1 & KR 10-2005-0067014 A & CN 1797807 A	4, 6, 13, 16-17

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

文献1-2には、請求項1に係る積層体の製造方法、及び請求項7に係る積層体が記載されている。したがって、請求項1, 7に係る発明は、文献1に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。したがって、請求項1-17に係る一群の発明の間には、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴が存在していないので、請求項1-17に係る一群の発明は、明らかに発明の単一性の要件を満たしていない。

文献1: JP 3-291971 A（三洋電機株式会社）1991.12.24

文献2: JP 1-101668 A（松下電器産業株式会社）1989.04.19

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。