

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-92169

(P2006-92169A)

(43) 公開日 平成18年4月6日(2006.4.6)

(51) Int. Cl.	F I	テーマコード (参考)
G06F 12/00 (2006.01)	G06F 12/00 560A	5B005
G06F 3/06 (2006.01)	G06F 12/00 560B	5B035
G06F 3/08 (2006.01)	G06F 12/00 597U	5B060
G06F 12/08 (2006.01)	G06F 3/06 301N	5B065
G06K 19/07 (2006.01)	G06F 3/08 C	

審査請求 未請求 請求項の数 5 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2004-275651 (P2004-275651)
 (22) 出願日 平成16年9月22日 (2004.9.22)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100083806
 弁理士 三好 秀和
 (74) 代理人 100100712
 弁理士 岩▲崎▼ 幸邦
 (74) 代理人 100100929
 弁理士 川又 澄雄
 (74) 代理人 100108707
 弁理士 中村 友之
 (74) 代理人 100095500
 弁理士 伊藤 正和
 (74) 代理人 100101247
 弁理士 高橋 俊一

最終頁に続く

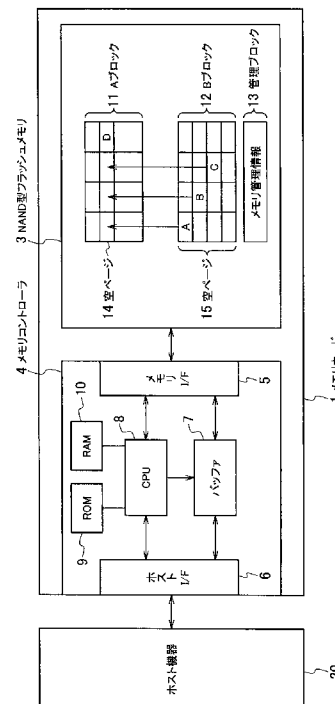
(54) 【発明の名称】 メモリコントローラ、メモリ装置及びメモリコントローラの制御方法

(57) 【要約】

【課題】 不揮発性半導体メモリに対して、上位装置のデータ書き込み単位が小さい場合においても書き込み性能を向上する。

【解決手段】 ホスト機器20に接続され、第1のデータ書き込み単位を有する受信データを受信するホストインタフェース6と、第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有する不揮発性半導体メモリ3に接続され、第1のデータ書き込み単位を有する書き込みデータを送信するメモリインタフェース5と、メモリインタフェース5を介して不揮発性半導体メモリ3の一時書き込みブロック12に受信データを書き込み、ホストインタフェース6が受信した複数の受信データが第2のデータ書き込み単位のエリアデータに達した際に、対応する書き込みデータを一時書き込みブロック12から読み出し、一時書き込みブロック12とは別のターゲットブロック11に書き込む中央演算処理装置8とを備えるメモリコントローラ4。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ホスト機器に接続され、前記ホスト機器から第 1 のデータ書き込み単位を有する受信データを受信するホストインタフェースと、

前記第 1 のデータ書き込み単位よりも大きな第 2 のデータ書き込み単位を有する不揮発性半導体メモリに接続され、前記不揮発性半導体メモリに対して前記第 1 のデータ書き込み単位を有する書き込みデータを送信するメモリインタフェースと、

前記メモリインタフェースを介して前記不揮発性半導体メモリの一時書き込みブロックに前記受信データを前記書き込みデータとして書き込み、前記ホストインタフェースが受信した複数の受信データが前記第 2 のデータ書き込み単位のエリアデータに達した際に、前記エリアデータに対応する書き込みデータを前記一時書き込みブロックから読み出し、読み出された前記書き込みデータを含む前記エリアデータを前記一時書き込みブロックとは別のターゲットブロックに書き込む中央演算処理装置

10

とを備えることを特徴とするメモリコントローラ。

【請求項 2】

ホスト機器に接続され、前記ホスト機器から第 1 のデータ書き込み単位を有する受信データを受信するホストインタフェースと、

前記第 1 のデータ書き込み単位を有する受信データを記憶し、かつランダムアクセス可能な不揮発性キャッシュメモリと、

前記第 1 のデータ書き込み単位よりも大きな第 2 のデータ書き込み単位を有する不揮発性半導体メモリに接続されるメモリインタフェースと、

20

前記ホストインタフェースを介して前記不揮発性キャッシュメモリに前記受信データを書き込みデータとして書き込み、前記ホストインタフェースが受信した複数の受信データが前記第 2 のデータ書き込み単位のエリアデータに達した際に、前記エリアデータに対応する書き込みデータを前記不揮発性キャッシュメモリから読み出し、読み出された前記書き込みデータを含む前記エリアデータを、前記メモリインタフェースを介して、ページ単位で前記不揮発性半導体メモリのターゲットブロックに書き込む中央演算処理装置

とを備えることを特徴とするメモリコントローラ。

【請求項 3】

第 1 のデータ書き込み単位を有する送信データを送信するホスト機器に接続されるメモリ装置であって、

30

一時書き込みブロックと、前記一時書き込みブロックとは別のターゲットブロックとを備え、前記第 1 のデータ書き込み単位よりも大きな第 2 のデータ書き込み単位を有する不揮発性半導体メモリと、

前記ホスト機器に接続され、前記第 1 のデータ書き込み単位を有する受信データを受信するホストインタフェースと、前記不揮発性半導体メモリに接続され、前記不揮発性半導体メモリに対して前記第 1 のデータ書き込み単位を有する書き込みデータを送信するメモリインタフェースと、前記メモリインタフェースを介して前記不揮発性半導体メモリの前記一時書き込みブロックに前記受信データを前記書き込みデータとして書き込み、前記ホストインタフェースが受信した複数の受信データが前記第 2 のデータ書き込み単位のエリアデータに達した際に、前記エリアデータに対応する書き込みデータを前記一時書き込みブロックから読み出し、読み出された前記書き込みデータを含む前記エリアデータを前記ターゲットブロックに書き込む中央演算処理装置とを備えるメモリコントローラ

40

とを備えることを特徴とするメモリ装置。

【請求項 4】

ホストインタフェースにおいて、ホスト機器から第 1 のデータ書き込み単位を有する受信データを受信するステップと、

メモリインタフェースにおいて、前記第 1 のデータ書き込み単位よりも大きな第 2 のデータ書き込み単位を有する不揮発性半導体メモリへ、前記第 1 のデータ書き込み単位を有する書き込みデータを送信するステップと、

50

前記メモリインタフェースを介して前記不揮発性半導体メモリの一時書き込みブロックに前記受信データを前記書き込みデータとして書き込むステップと、

前記ホストインタフェースが受信した複数の受信データが前記第2のデータ書き込み単位のエリアデータに達した際に、該エリアデータに対応する書き込みデータを前記一時書き込みブロックから読み出すステップと、

読み出された前記書き込みデータを含む前記エリアデータを前記不揮発性半導体メモリ内の前記一時書き込みブロックとは別のターゲットブロックに書き込むステップ

とを備えることを特徴とするメモリコントローラの制御方法。

【請求項5】

ホストインタフェースにおいて、ホスト機器から第1のデータ書き込み単位を有する受信データを受信するステップと、 10

メモリインタフェースにおいて、前記第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有する不揮発性半導体メモリへ書き込みデータを送信するステップと、

前記ホストインタフェースを介してメモリコントローラ内の不揮発性キャッシュメモリに前記受信データを前記書き込みデータとして書き込むステップと、

前記ホストインタフェースが受信した複数の受信データが前記第2のデータ書き込み単位のエリアデータに達した際に、該エリアデータに対応する書き込みデータを前記不揮発性キャッシュメモリから読み出すステップと、

読み出された前記書き込みデータを含む前記エリアデータを、前記メモリインタフェースを介して、前記の不揮発性半導体メモリのターゲットブロックに書き込むステップ 20

とを備えることを特徴とするメモリコントローラの制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリコントローラ及びその制御方法に関し、特にNAND型フラッシュメモリ等の不揮発性半導体記憶装置を内蔵したメモリカード或いはメモリ装置に関する。

【背景技術】

【0002】

フラッシュメモリのようなメモリ部品には、それにデータを書き込む場合、一度に書き込めるデータ量が固定されているものがある。また、ファイルシステムを持つコンピュータのような上位装置では、書き込むデータ量の単位がメモリ部品とは別に決まっている。例えば、メモリ部品の書き込み単位が2048バイト、上位装置の書き込み単位が512バイトのように、メモリ部品側の書き込み単位の方が上位装置(メモリカードを利用する装置：ホスト)の書き込み単位より大きい場合がある。 30

【0003】

このように大きい書き込み単位のメモリ部品を内蔵したメモリカード等のメモリ装置は、上位装置からの書き込み指示に対応するため、小さい単位のデータ書き込みでも処理できなければならない。

【0004】

上位装置のデータ書き込み単位が小さく(例えば512バイト)、不揮発性メモリ部品のデータ書き込み可能単位が大きい(例えば2048バイト)状態において、上位装置から不揮発性メモリ部品に小さい単位のデータD1を書き込み、そのデータ書き込みが完了した後、データD1が書き込まれたページの次のエリア位置に小さい単位のデータD2を書く場合を考える。フラッシュメモリには、ページを分割してデータを書き込むことが許されていないものがある。この場合、そのフラッシュメモリは、データD1を含むブロックからデータD1以外のデータを新たなブロックにコピーし、その新たなブロックにデータD1, D2を書き込まなければならない。以下では、便宜上、このような処理を「巻き添え引越し」と呼ぶ。この「巻き添え引越し」は書き換えられないデータのコピー動作を伴うため、「巻き添え引越し」が多発すると、メモリ装置の書き込み性能を下げってしまう。し 40 50

たがって、不揮発性メモリ部品として一般的に使われているフラッシュメモリには、ライト処理に長い時間が掛かるという問題点があった。

【0005】

なお、特許文献1には、メモリコントローラの制御により、ホストからの書き込みデータを、一旦不揮発性メモリに取り込んで処理を行ない、停電等による処理中断後の装置立ち上げの際は、キャッシュメモリに書き戻す、高速書き込み方式が開示されている。

【特許文献1】特開平5-151094号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、大きなデータ書き込み単位を有するNAND型フラッシュメモリ等の不揮発性半導体記憶装置を内蔵したメモリカード或いはメモリ装置において、上位装置のデータ書き込み単位が小さい場合においても書き込み性能を向上できるメモリコントローラ及びその制御方法及びメモリ装置を提供する。

【課題を解決するための手段】

【0007】

本発明の実施の形態の第1の特徴は、(イ)ホスト機器に接続され、ホスト機器から第1のデータ書き込み単位を有する受信データを受信するホストインタフェースと、(ロ)第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有する不揮発性半導体メモリに接続され、不揮発性半導体メモリに対して第1のデータ書き込み単位を有する書き込みデータを送信するメモリインタフェースと、(ハ)メモリインタフェースを介して不揮発性半導体メモリの一時書き込みブロックに受信データを書き込みデータとして書き込み、ホストインタフェースが受信した複数の受信データが第2のデータ書き込み単位のエリアデータに達した際に、エリアデータに対応する書き込みデータを一時書き込みブロックから読み出し、読み出された書き込みデータを含むエリアデータを一時書き込みブロックとは別のターゲットブロックに書き込む中央演算処理装置(CPU)とを備えるメモリコントローラであることを要旨とする。

【0008】

本発明の実施の形態の第2の特徴は、(イ)ホスト機器に接続され、ホスト機器から第1のデータ書き込み単位を有する受信データを受信するホストインタフェースと、(ロ)第1のデータ書き込み単位を有する受信データを記憶し、かつランダムアクセス可能な不揮発性キャッシュメモリと、(ハ)第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有する不揮発性半導体メモリに接続されるメモリインタフェースと、(ニ)ホストインタフェースを介して不揮発性キャッシュメモリに受信データを書き込みデータとして書き込み、ホストインタフェースが受信した複数の受信データが第2のデータ書き込み単位のエリアデータに達した際に、エリアデータに対応する書き込みデータを不揮発性キャッシュメモリから読み出し、読み出された書き込みデータを含むエリアデータをメモリインタフェースを介して、不揮発性半導体メモリのターゲットブロックに書き込む中央演算処理装置とを備えるメモリコントローラであることを要旨とする。

【0009】

本発明の実施の形態の第3の特徴は、(イ)第1のデータ書き込み単位を有する送信データを送信するホスト機器に接続されるメモリ装置であって、(ロ)一時書き込みブロックと、一時書き込みブロックとは別のターゲットブロックとを備え、第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有する不揮発性半導体メモリと、(ハ)ホスト機器に接続され、第1のデータ書き込み単位を有する受信データを受信するホストインタフェースと、不揮発性半導体メモリに接続され、不揮発性半導体メモリに対して第1のデータ書き込み単位を有する書き込みデータを送信するメモリインタフェースと、メモリインタフェースを介して不揮発性半導体メモリの一時書き込みブロックに受信データを書き込みデータとして書き込み、ホストインタフェースが受信した複数の受信データが第2のデータ書き込み単位のエリアデータに達した際に、エリアデータに対応する書き込

10

20

30

40

50

みデータを一時書き込みブロックから読み出し、読み出された書き込みデータを含むエリアデータをターゲットブロックに書き込む中央演算処理装置とを備えるメモリコントローラとを備えるメモリ装置であることを要旨とする。

【0010】

本発明の実施の形態の第4の特徴は、(イ)ホストインタフェースにおいて、ホスト機器から第1のデータ書き込み単位を有する受信データを受信するステップと、(ロ)メモリインタフェースにおいて、第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有する不揮発性半導体メモリへ、第1のデータ書き込み単位を有する書き込みデータを送信するステップと、(ハ)メモリインタフェースを介して不揮発性半導体メモリの一時書き込みブロックに受信データを書き込みデータとして書き込むステップと、(ニ)ホストインタフェースが受信した複数の受信データが第2のデータ書き込み単位のエリアデータに達した際に、エリアデータに対応する書き込みデータを一時書き込みブロックから読み出すステップと、(ホ)読み出された書き込みデータを含むエリアデータを不揮発性半導体メモリ内の一時書き込みブロックとは別のターゲットブロックに書き込むステップとを備えるメモリコントローラの制御方法であることを要旨とする。

10

【0011】

本発明の実施の形態の第5の特徴は、(イ)ホストインタフェースにおいて、ホスト機器から第1のデータ書き込み単位を有する受信データを受信するステップと、(ロ)メモリインタフェースにおいて、第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有する不揮発性半導体メモリへ書き込みデータを送信するステップと、(ハ)ホストインタフェースを介してメモリコントローラ内の不揮発性キャッシュメモリに受信データを書き込みデータとして書き込むステップと、(ニ)ホストインタフェースが受信した複数の受信データが第2のデータ書き込み単位のエリアデータに達した際に、エリアデータに対応する書き込みデータを不揮発性キャッシュメモリから読み出すステップと、(ホ)読み出された書き込みデータを含むエリアデータを、メモリインタフェースを介して、不揮発性半導体メモリのターゲットブロックに書き込むステップとを備えるメモリコントローラの制御方法であることを要旨とする。

20

【発明の効果】

【0012】

本発明により、大きなデータ書き込み単位を有するNAND型フラッシュメモリ等の不揮発性半導体記憶装置を内蔵したメモリカード或いはメモリ装置において、上位装置のデータ書き込み単位が小さい場合においても書き込み性能を向上できるメモリコントローラ及びその制御方法を提供することができる。

30

【発明を実施するための最良の形態】

【0013】

次に、図面を参照して、本発明の第1及び第3の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。又、以下に示す第1及び第2の実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

40

【0014】

本発明の第1乃至第3の実施の形態に係るメモリコントローラ及びその制御方法においては、メモリカード等のメモリ装置内において、上位装置からの小さい単位のデータの書き込み指示に対し、データを本来書くべき不揮発性メモリ部品のアドレスに直ぐには書き込まず、不揮発性メモリの他の領域、或いはメモリコントローラ内に配置した不揮発性キャッシュメモリに一時的に書き込んでおき、上位装置から連続的なアドレスへ書き込み指示が送られた場合に、不揮発性メモリ部品の書き込みデータ単位に達したら、不揮発性メモリの他の領域、或いはメモリコントローラ内に配置した不揮発性キャッシュメモリに一時的に書き込んであったデータを本来書き込むべき不揮発性メモリ部品の領域へ書き込む

50

。この処理により、「巻き添え引越し処理」を減らし、メモリ装置の書き込み性能を向上する。

【0015】

[第1の実施の形態]

本発明の第1の実施の形態に係るメモリコントローラは、図1に示すように、ホスト機器20に接続され、ホスト機器20から第1のデータ書き込み単位を有する受信データを受信するホストインタフェース(I/F)6と、第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有するNAND型フラッシュメモリ3に接続され、NAND型フラッシュメモリ3に対して第1のデータ書き込み単位を有する書き込みデータを送信するメモリインタフェース(I/F)5と、メモリインタフェース5を介してNAND型フラッシュメモリ3の一時書き込みブロックに受信データを書き込みデータとして書き込み、ホストインタフェース6が受信した複数の受信データが第2のデータ書き込み単位のエリアデータに達した際に、そのエリアデータに対応する書き込みデータを一時書き込みブロック(Bブロック)12から読み出し、読み出された書き込みデータを含むエリアデータを一時書き込みブロック(Bブロック)12とは別のターゲットブロック(Aブロック)11に書き込む中央演算処理装置(CPU)8とを備える。CPU8は、NAND型フラッシュメモリ3の管理ブロック13に記憶するメモリ管理情報を読み出して、書き込みデータのアドレスを決定する。或いは又、後述するように、一時書き込みブロック(Bブロック)12内のページアドレス情報と、ターゲットブロック(Aブロック)11内の書き込み先のページアドレス情報をNAND型フラッシュメモリ3内の所定の記憶領域に記憶しても良い。

10

20

【0016】

(メモリ装置)

本発明の第1の実施の形態に係るメモリコントローラ4のメモリカードへの適用例は、図1に示す様に表される。図1は、ホスト機器20とメモリカード1を含む構成を示すブロック図である。ホスト機器20は、接続されるメモリカード1に対してアクセスを行うためのハードウェア及びソフトウェア(システム)を備えている。

【0017】

メモリカード1は、ホスト機器20に接続されたときに電源供給を受けて動作し、ホスト機器20からのアクセスに応じた処理を行う。このメモリカード1は、本発明の第1の実施の形態に係るメモリコントローラ4を備える。

30

【0018】

本発明の第1の実施の形態に係るメモリコントローラ4をメモリカード1等のメモリ装置へ適用した構成例は、図1を参照して説明すると、第1のデータ書き込み単位を有する送信データを送信するホスト機器20に接続されるメモリ装置であって、一時書き込みブロック(Bブロック)12と、一時書き込みブロック(Bブロック)12とは別のターゲットブロック(Aブロック)11とを備え、第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有するNAND型フラッシュメモリ3等の不揮発性半導体メモリと、ホスト機器20に接続され、第1のデータ書き込み単位を有する受信データを受信するホストインタフェース6と、NAND型フラッシュメモリ3に接続され、NAND型フラッシュメモリ3に対して第1のデータ書き込み単位を有する書き込みデータを送信するメモリインタフェース5と、メモリインタフェース5を介してNAND型フラッシュメモリ3の一時書き込みブロック(Bブロック)12に受信データを書き込みデータとして書き込み、ホストインタフェース6が受信した複数の受信データが第2のデータ書き込み単位のエリアデータに達した際に、エリアデータに対応する書き込みデータを一時書き込みブロック(Bブロック)12から読み出し、読み出された書き込みデータを含むエリアデータをターゲットブロック(Aブロック)11に書き込む中央演算処理装置8とを備えるメモリコントローラ4とを備える。

40

【0019】

NAND型フラッシュメモリ3は、例えば、消去時の消去ブロックサイズ(消去単位の

50

ブロックサイズ)が256kバイトに定められている不揮発性メモリである。このNAND型フラッシュメモリ3は、例えば0.09 μ mプロセス技術を用いて製作される。即ち、NAND型フラッシュメモリ3のデザインルールは、0.1 μ m未満となっている。また、メモリカード1を実用上有効な製品とするためには、NAND型フラッシュメモリ3の記憶容量は1Gバイト以上であることが望ましい。

【0020】

(メモリコントローラ)

本発明の第1の実施の形態に係るメモリコントローラ4は、CPU8及びROM9の他に、メモリインタフェース5、ホストインタフェース6、バッファメモリ7、及びRAM10を搭載している。このメモリコントローラ4は、NAND型フラッシュメモリ3内部の物理状態(何処の物理ブロックアドレスに、何番目の論理セクタアドレスデータが含まれているか、或いは、何処のブロックが消去状態であるか)を管理するものとして構築されている。

10

【0021】

メモリI/F5は、メモリコントローラ4とNAND型フラッシュメモリ3との間のインタフェース処理を行うものである。ホストI/F6は、メモリコントローラ4とホスト機器20との間のインタフェース処理を行うものである。

【0022】

バッファメモリ7は、ホスト機器20から送られてくるデータをNAND型フラッシュメモリ3へ書き込む際に、一定量のデータ(例えば1ページ分)を一時的に記憶したり、NAND型フラッシュメモリ3から読み出されるデータをホスト機器20へ送り出す際に、一定量のデータを一時的に記憶したりするものである。

20

【0023】

CPU8は、メモリカード1全体の動作を制御する。CPU8は、例えば、メモリカード1が電源供給を受けた際に、ROM9の中に格納されている制御プログラム等のファームウェアに従って所定の処理を実行することにより、各種のテーブルをRAM10上で作成したり、ホスト機器20から書き込みコマンド、読み出しコマンド、消去コマンドを受けてNAND型フラッシュメモリ3のNANDメモリセル領域上の該当領域に対するアクセスを実行したり、バッファメモリ7を通じたデータ処理を制御したりする。

【0024】

ROM9は、CPU8により使用される制御プログラム等を格納するメモリである。

30

【0025】

RAM10は、CPU8の作業エリアとして使用され、各種のテーブルを記憶するメモリである。

【0026】

(NAND型フラッシュメモリ)

本発明の第1の実施の形態に適用するNAND型フラッシュメモリ3の構造は、図1内に示すように、連続書き込みデータをメモリインタフェース5を介して一時的に記憶する一時書き込みブロック(Bブロック)12と、一時書き込みブロック(Bブロック)12からのエリアデータをページ単位で書き込むターゲットブロック(Aブロック)11と、メモリ管理情報を記憶する管理ブロック13とを備える。14,15は空ページを表示している。

40

【0027】

図2は、フラッシュメモリ(即ち、メモリカード1内のNAND型フラッシュメモリ3)のデータ配置を示している。フラッシュメモリ3の各ページは、2112バイト(512バイト分のデータ記憶部 \times 4+10バイト分の冗長部 \times 4+24バイト分の管理データ記憶部)を有しており、128ページ分が一つの消去単位(即ち、256kバイト+8kバイト)となる。なお、以下の説明においては、便宜上、このフラッシュメモリの消去単位を256kバイトと呼ぶ。NAND型フラッシュメモリ3は、フラッシュメモリへのデータ入出力を行うためのデータレジスタ16を備えている。データ書き込みなどの際には

50

、データレジスタ16は、フラッシュメモリに対するデータ入出力処理を自身の記憶容量に相当する1ページ分の単位で実行する。データレジスタ16の記憶容量は、2112バイト(2048バイト+64バイト)である。このデータレジスタ16の記憶容量がフラッシュメモリのデータ書き込み単位(第2のデータ書き込み単位)に対応する。このNAND型フラッシュメモリ3のデータ書き込み単位に対し、ホスト機器20のデータ書き込み単位(第1のデータ書き込み単位)は、512バイトである。つまり、NAND型フラッシュメモリ3の1ページには、ホスト機器20のデータ書き込み単位4つ分のデータが格納される。

【0028】

更に又、本発明の第1の実施の形態に適用するNAND型フラッシュメモリ3の構造は、図3及び図5に詳細に説明するように、ホスト機器の書き込み単位(第1のデータ書き込み単位)21によってそれぞれ4分割された、ページp0, p1, p2, ...を備えるターゲットブロック(Aブロック)11と、同様に書き込み単位21によってそれぞれ4分割された、ページq0, q1, q2, ...を備える一時書き込みブロック(Bブロック)12とを備える。ターゲットブロック(Aブロック)11と一時書き込みブロック(Bブロック)12は同一のNAND型フラッシュメモリ3のデータ記憶領域を分割して形成することができる。同一のNAND型フラッシュメモリ3ではなく、別々に構成されたNAND型フラッシュメモリ3を用いても良いことは勿論である。例えば、図2において説明した1ページ分のデータ部2048バイトに対しては、4分割することによって512バイトが書き込みページ単位となる。

10

20

【0029】

ターゲットブロック(Aブロック)11の目的エリアと一時書き込みブロック(Bブロック)12の一時エリアとの対応関係は、例えば図4に示すように、メモリ管理テーブルによって関連付けられている。図4の管理テーブルは、図1に示すメモリ管理情報を記憶する管理ブロック13に格納される。但し、図4に示されるような管理テーブルは必須のものではなく、後述する動作例1において説明するように、ページ情報として、NAND型フラッシュメモリ3内の所定の記憶領域に記憶しても良い。

【0030】

ここで、不揮発性半導体メモリとして、NAND型フラッシュメモリ3の例を説明しているが、NOR型、AND型、2トランジスタ/セル型、3トランジスタ/セル型等の他の形式の不揮発性半導体メモリを適用しても良いことは勿論である。また、不揮発性半導体メモリとして、2値記憶に限らず、4値データ等の多値論理を記憶する方式であっても良いことも勿論である。

30

【0031】

(メモリコントローラの制御方法)

本発明の第1の実施の形態に係るメモリコントローラ4の制御方法は、図1を参照して説明すると、ホストインタフェース6において、ホスト機器20から第1のデータ書き込み単位を有する受信データを受信するステップと、メモリインタフェース5において、第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有するNAND型フラッシュメモリ3等の不揮発性半導体メモリへ第1のデータ書き込み単位を有する書き込みデータを送信するステップと、メモリインタフェース5を介してNAND型フラッシュメモリ3の一時書き込みブロック(Bブロック)12に受信データを書き込みデータとして書き込むステップと、ホストインタフェース6が受信した複数の受信データが第2のデータ書き込み単位のエリアデータに達した際に、そのエリアデータに対応する書き込みデータを一時書き込みブロック(Bブロック)12から読み出すステップと、読み出された書き込みデータを含むエリアデータをNAND型フラッシュメモリ3内の一時書き込みブロック(Bブロック)12とは別のターゲットブロック(Aブロック)11に書き込むステップとを備える。

40

【0032】

(動作例1)

50

上位装置であるホスト機器 20 が、本発明の第 1 の実施の形態に係るメモリコントローラ 4 を内蔵するメモリカード 1 に以下の指示を出した時の動作の一例を図 3 を参照して、説明する。

【0033】

(a) ホスト機器 20 が、ターゲットブロック (A ブロック) 11 内の < エリア a 4 > にデータ D 1 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 は、そのデータ D 1 を、一時書き込みブロック (B ブロック) 12 内の < エリア b 0 > の位置に書き込み、ホスト機器 20 の指示を完了する。

【0034】

(b) 次に、ホスト機器 20 が < エリア a 5 > の位置にデータ D 2 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 は、データ D 2 を一時的に、一時書き込みブロック (B ブロック) 12 内の < エリア b 5 > に書き込む。同時に、一時書き込みブロック (B ブロック) 12 内の < エリア b 0 > の位置に書き込まれたデータ D 1 を < エリア b 4 > にコピーして書き込む。

10

【0035】

(c) 同様に、ホスト機器 20 が < エリア a 6 > の位置にデータ D 3 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 はデータ D 3 を一時的に、一時書き込みブロック (B ブロック) 12 内の < エリア b 10 > に書き込む。同時に、一時書き込みブロック (B ブロック) 12 内の < エリア b 4 > の位置に書き込まれたデータ D 1 を < エリア b 8 > にコピーして書き込み、 < エリア b 5 > の位置に書き込まれたデータ D 2 を < エリア b 9 > にコピーして書き込む。

20

【0036】

(d) 次に、ホスト機器 20 が < エリア a 7 > の位置にデータ D 4 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 は、一時書き込みブロック (B ブロック) 12 内の < エリア b 8 > , < エリア b 9 > , < エリア b 10 > に保持されているデータ D 1 ~ D 3 を読み込み、ターゲットブロック (A ブロック) 11 内の < エリア a 4 > ~ < エリア a 6 > に転送する。

【0037】

(e) 続いて、データ D 4 をターゲットブロック (A ブロック) 11 内の < エリア a 7 > に転送し、 < エリア a 4 > ~ < エリア a 7 > への書き込みを一回で実施する。

30

【0038】

動作例 1 において、一時書き込みブロック (B ブロック) 12 内のどのページが最新のページであるかのページアドレス情報と、その最新のページに記憶されたデータをターゲットブロック (A ブロック) 11 内のどこに書き込むかを表す書き込み先のページアドレス情報については、NAND 型フラッシュメモリ 3 内の所定の記憶領域に記憶しておくことができる。例えば、メモリカード 1 をホスト機器 20 から急に引き抜いたために電源がオフになり、再度オンする場合、NAND 型フラッシュメモリ 3 内の所定の記憶領域に記憶しておいたページのデータを読み出すことによって、効率的且つ迅速に再起動することができるからである。

【0039】

40

(動作例 2)

上位装置であるホスト機器 20 が、本発明の第 1 の実施の形態に係るメモリコントローラ 4 を内蔵するメモリカード 1 に以下の指示を出した時の動作の別の例を図 5 を参照して、説明する。

【0040】

(a) ホスト機器 20 が、ターゲットブロック (A ブロック) 11 内の < エリア a 4 > にデータ D 1 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 は、そのデータ D 1 を、一時書き込みブロック (B ブロック) 12 内の < エリア b 0 > の位置に書き込み、ホスト機器 20 の指示を完了する。

【0041】

50

(b) 次に、ホスト機器 20 が <エリア a 5> の位置にデータ D 2 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 はデータ D 2 を一時的に、一時書き込みブロック (B ブロック) 12 内の <エリア b 5> に書き込む。

【0042】

(c) 同様に、ホスト機器 20 が <エリア a 6> の位置にデータ D 3 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 はデータ D 3 を一時的に、一時書き込みブロック (B ブロック) 12 内の <エリア b 10> に書き込む。

【0043】

(d) 次に、ホスト機器 20 が <エリア a 7> の位置にデータ D 4 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 は、一時書き込みブロック (B ブロック) 12 内の <エリア b 0> , <エリア b 5> , <エリア b 10> に保持されているデータ D 1 ~ D 3 を読み込み、ターゲットブロック (A ブロック) 11 内の <エリア a 4> ~ <エリア a 6> に転送する。

【0044】

(e) 続いて、データ D 4 をターゲットブロック (A ブロック) 11 内の <エリア a 7> に転送し、<エリア a 4> ~ <エリア a 7> への書き込みを一回で実施する。

【0045】

動作例 2 において、ページの部分書き込みを禁止するのは、プログラムディスタ urb を防止するためである。即ち、データ D 2 を <エリア b 1> に書かずに <エリア b 5> に書いた理由は、データ D 2 の処理の前に <ページ q 0> の <エリア b 0> に書き込みを行なっているの、同じ <ページ q 0> にある <エリア b 1> に対して、2 回目の書き込みを行なうことを禁止して、プログラムディスタ urb を防止することができるからである。或いは又、データ D 3 についても同様である。即ち、データ D 3 を <エリア b 6> に書かずに <エリア b 10> に書いた理由は、データ D 3 の処理の前に <ページ q 1> の <エリア b 5> に書き込みを行なっているの、同じ <ページ q 1> にある <エリア b 6> に対して、2 回目の書き込みを行なうことを禁止して、プログラムディスタ urb を防止することができるからである。一時的に書き込むデータを RAM 等の揮発性のメモリに書き込まずに、NAND 型フラッシュメモリ 3 等の不揮発性メモリに書いている理由は、例えば、ホスト機器 20 がデータ D 1 を書いた後にメモリカード 1 の電源をオフにし、その後オンにした時でも、データ D 1 を解読することができるからである。また、この状態で、ホスト機器 20 がメモリカード 1 に対して、<エリア a 5> のデータ D 2 の読み込みを指示したとき、実際には、図 4 に示すメモリ管理テーブルに従って、メモリコントローラ 4 が <エリア b 5> のデータ D 2 をホスト機器 20 に返すという動作を実現することができるからである。

【0046】

以上のメモリコントローラの制御方法により、ホスト機器 20 からの小さいデータ書き込み単位、即ち第 1 のデータ書き込み単位の書き込み指示であって、そのアドレスが連続する場合、「巻き添え引越し」をすることなく、NAND 型フラッシュメモリ 3 等の大きなデータ書き込み単位、即ち第 2 のデータ書き込み単位を有する不揮発性メモリ部品にデータを効率よく書き込むことができる。

【0047】

本発明の第 1 の実施の形態により、大きなデータ書き込み単位を有する NAND 型フラッシュメモリ等の不揮発性半導体記憶装置を内蔵したメモリカード或いはメモリ装置において、上位装置のデータ書き込み単位が小さい場合においても書き込み性能を向上できるメモリコントローラ、メモリ装置及びメモリコントローラの制御方法を提供することができる。

【0048】

[第 2 の実施の形態]

本発明の第 2 の実施の形態に係るメモリコントローラ 4 は、図 6 に示すように、ホスト機器 20 に接続され、ホスト機器 20 から第 1 のデータ書き込み単位を有する受信データ

10

20

30

40

50

を受信するホストインタフェース6と、第1のデータ書き込み単位を有する受信データを記憶し、かつランダムアクセス可能な不揮発性キャッシュメモリ22と、第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有するNAND型フラッシュメモリ3に接続されるメモリインタフェース5と、ホストインタフェース6を介して不揮発性キャッシュメモリ22に受信データを書き込みデータとして書き込み、ホストインタフェース6が受信した複数の受信データが第2のデータ書き込み単位のエリアデータに達した際に、エリアデータに対応する書き込みデータを不揮発性キャッシュメモリ22から読み出し、読み出された書き込みデータを含むエリアデータを、メモリインタフェース5を介して、NAND型フラッシュメモリ3のターゲットブロック(Aブロック)11に書き込む中央演算処理装置(CPU)8とを備える。

10

【0049】

図6は、本発明の第2の実施の形態に係るメモリコントローラの模式的ブロック構成図であって、NAND型フラッシュメモリ3と共に全体としてメモリカード1を構成するブロック構成図を示し、図7(a)は、図6におけるNAND型フラッシュメモリ3のデータ構造図、図7(b)は、図6におけるメモリコントローラ4内の不揮発性キャッシュメモリ22のデータ構造図をそれぞれ示す。

【0050】

メモリコントローラ4は、不揮発性キャッシュメモリ22を内蔵している。不揮発性キャッシュメモリ22は、バッファメモリ7とメモリI/F5に接続されている。不揮発性キャッシュメモリ22は、例えば、強誘電体メモリ(FRAM: Ferroelectric Random Access Memory)や磁気ランダムアクセスメモリ(MRAM: Magnetic Random Access Memory)などのランダムアクセス可能な不揮発性メモリ等で構成している。

20

【0051】

図6に示すように、NAND型フラッシュメモリ3は、図1に示す例とは異なり、一時書き込みブロック(Bブロック)12は不要である。メモリコントローラ4内に配置された不揮発性キャッシュメモリ22によって、一時書き込みブロック(Bブロック)12と同様の動作を実現しているからである。

【0052】

(メモリ装置)

本発明の第2の実施の形態に係るメモリコントローラ4のメモリカードへの適用例は、図6に示す様に表される。図6は、ホスト機器20とメモリカード1を含む構成を示すブロック図である。ホスト機器20は、接続されるメモリカード1に対してアクセスを行うためのハードウェア及びソフトウェア(システム)を備えている。

30

【0053】

メモリカード1は、ホスト機器20に接続されたときに電源供給を受けて動作し、ホスト機器20からのアクセスに応じた処理を行う。このメモリカード1は、本発明の第2の実施の形態に係るメモリコントローラ4を備える。

【0054】

本発明の第2の実施の形態に係るメモリコントローラ4をメモリカード1等のメモリ装置へ適用した構成例は、図6を参照して説明すると、第1のデータ書き込み単位を有する送信データを送信するホスト機器20に接続されるメモリ装置であって、ターゲットブロック(Aブロック)11を備え、第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有するNAND型フラッシュメモリ3等の不揮発性半導体メモリと、ホスト機器20に接続され、ホスト機器20から第1のデータ書き込み単位を有する受信データを受信するホストインタフェース6と、第1のデータ書き込み単位を有する受信データを記憶し、かつランダムアクセス可能な不揮発性キャッシュメモリ22と、第1のデータ書き込み単位よりも大きな第2のデータ書き込み単位を有するNAND型フラッシュメモリ3に接続されるメモリインタフェース5と、ホストインタフェース6を介して不揮発性キャッシュメモリ22に受信データを書き込みデータとして書き込み、ホストインタフェース6が受信した複数の受信データが第2のデータ書き込み単位のエリアデータに達した際

40

50

に、エリアデータに対応する書き込みデータを不揮発性キャッシュメモリ 22 から読み出し、読み出された書き込みデータを含むエリアデータを、メモリインタフェース 5 を介して、NAND型フラッシュメモリ 3 のターゲットブロック (Aブロック) 11 に書き込む中央演算処理装置 8 とを備えるメモリコントローラ 4 とを備える。

【0055】

(メモリコントローラの制御方法)

本発明の第 2 の実施の形態に係るメモリコントローラ 4 の制御方法は、図 6 を参照して説明すると、ホストインタフェース 6 において、ホスト機器 20 から第 1 のデータ書き込み単位を有する受信データを受信するステップと、メモリインタフェース 5 において、第 1 のデータ書き込み単位よりも大きな第 2 のデータ書き込み単位を有する NAND 型フラッシュメモリ 3 等の不揮発性半導体メモリへ書き込みデータを送信するステップと、ホストインタフェース 6 を介してメモリコントローラ 4 内の不揮発性キャッシュメモリ 22 に受信データを書き込みデータとして書き込むステップと、ホストインタフェース 6 が受信した複数の受信データが第 2 のデータ書き込み単位のエリアデータに達した際に、エリアデータに対応する書き込みデータを不揮発性キャッシュメモリ 22 から読み出すステップと、読み出された書き込みデータを含むエリアデータを、メモリインタフェース 5 を介して、NAND型フラッシュメモリ 3 のターゲットブロック (Aブロック) 11 に書き込むステップとを備える。

10

【0056】

(動作例)

上位装置であるホスト機器 20 が、本発明の第 2 の実施の形態に係るメモリコントローラ 4 を内蔵するメモリカード 1 に以下の指示を出した時の動作の例を図 7 を参照して、説明する。

20

【0057】

(a) ホスト機器 20 が、図 7 (a) に示すように、ターゲットブロック (Aブロック) 11 内の <エリア a4> にデータ D1 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 は、そのデータ D1 を、図 7 (b) に示すように、メモリコントローラ 4 内部の不揮発性キャッシュメモリ 22 のデータ構造内の <エリア c0> の位置に書き込み、ホスト機器 20 の指示を完了する。

30

【0058】

(b) 次に、ホスト機器 20 がターゲットブロック (Aブロック) 11 内の <エリア a5> の位置にデータ D2 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 はデータ D2 を一時的に不揮発性キャッシュメモリ 22 内の <エリア c1> に書き込む。

【0059】

(c) 同様に、ホスト機器 20 がターゲットブロック (Aブロック) 11 内の <エリア a6> の位置にデータ D3 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 はデータ D3 を一時的に不揮発性キャッシュメモリ 22 内の <エリア c2> に書き込む。

40

【0060】

(d) 次に、ホスト機器 20 がターゲットブロック (Aブロック) 11 内の <エリア a7> の位置にデータ D4 を書くことをメモリコントローラ 4 に指示すると、メモリコントローラ 4 は、不揮発性キャッシュメモリ 22 内の <エリア c0> ~ <エリア c2> に保持されているデータ D1 ~ D3 を読み込み、ターゲットブロック (Aブロック) 11 内の <エリア a4> ~ <エリア a6> に転送する。

【0061】

(e) 続いて、データ D4 をターゲットブロック (Aブロック) 11 内の <エリア a7> に転送し、ターゲットブロック (Aブロック) 11 内の <エリア a4> ~ <エリア a7> への書き込みを一回で実施する。

【0062】

50

以上の動作例において、不揮発性キャッシュメモリ 22 内のどのページが最新のページであるかのページアドレス情報と、その最新のページに記憶されたデータをターゲットブロック (A ブロック) 11 内のどこに書き込むかを表す書き込み先のページアドレス情報については、NAND 型フラッシュメモリ 3 若しくは不揮発性キャッシュメモリ 22 内の所定の記憶領域に記憶しておくことができる。例えば、メモリカード 1 をホスト機器 20 から急に引き抜いたために電源がオフになり、再度オンする場合、NAND 型フラッシュメモリ 3 若しくは不揮発性キャッシュメモリ 22 内の所定の記憶領域に記憶しておいたページのデータを読み出すことによって容易に再起動することができるからである。

【0063】

以上の処理により、ホスト機器 20 からの小さいデータ書き込み単位、即ち第 1 のデータ書き込み単位の書き込み指示に対し、「巻き添え引越し」をすることなく、NAND 型フラッシュメモリ 3 等の大きなデータ書き込み単位、即ち第 2 のデータ書き込み単位を有する不揮発性メモリ部品にデータを効率よく書き込むことができる。したがって、本発明の第 2 の実施の形態によれば、書き込み性能を向上できるメモリコントローラ、メモリ装置及びメモリコントローラの制御方法を提供することができる。

10

【0064】

更に又、本発明の第 2 の実施の形態によれば、第 1 の実施の形態に比較して、ランダムアクセス可能な不揮発性キャッシュメモリ 22 に一時的なデータを保存することにより、不揮発性メモリ部品上には余計なアクセスが発生せず、更に書き込み性能が向上する。

【0065】

20

(第 3 の実施の形態)

(分割書き込み機能のオン/オフ機能)

本発明の第 1 の実施の形態に係るメモリコントローラ 4 を図 1 に示すようなメモリカード 1 へ適用したメモリ装置においては、メモリコントローラ 4 の分割書き込み機能をオン/オフする機能を付加することもできる。同様に本発明の第 2 の実施の形態に係るメモリコントローラ 4 を図 6 に示すようなメモリカード 1 へ適用したメモリ装置においても、メモリコントローラ 4 の分割書き込み機能をオン/オフする機能を付加することもできる。

【0066】

本発明の第 3 の実施の形態に係るメモリコントローラ 4 においては、内蔵されるメモリコントローラ 4 の分割書き込み機能をオン/オフする機能を付加する。

30

【0067】

本発明の第 3 の実施の形態に係るメモリコントローラ 4 は、2 値を記憶する NAND 型フラッシュメモリにも適用することができる。2 値を記憶する NAND 型フラッシュメモリは、図 1 或いは図 6 に示すようなメモリカード 1 に適用する場合、NAND 型フラッシュメモリ 3 側で分割書き込み (512 バイト単位の書き込み動作) が可能である。NAND 型フラッシュメモリ 3 側で 512 バイト単位の書き込み動作が実現できれば、メモリコントローラ 4 側で分割書き込みを回避する動作を実行するよりもむしろ、メモリ装置の動作を高速化することができる。

【0068】

したがって、分割書き込み機能を必要としない 2 値を記憶する NAND 型フラッシュメモリ 3 の場合には、分割書き込み機能をオフにした方がメモリカード 1 の性能を向上することができる。このため、本発明の第 3 の実施の形態に係るメモリコントローラ 4 においては、分割書き込み機能のオン/オフ機能を付加することによって、幅広い NAND 型フラッシュメモリの性能に対応することができるようになる。

40

【0069】

メモリコントローラ 4 の分割書き込み機能のオン/オフ機能の設定は、NAND 型フラッシュメモリに格納されたメモリ管理情報の値で決まる。メモリコントローラ 4 若しくはメモリ装置の初期化時に、CPU 8 がメモリ管理情報の値を読み込み、その読み込まれた設定値に従って、メモリコントローラ 4 を制御することによって、メモリコントローラ 4 の分割書き込み機能のオン/オフ機能の設定が実行される。

50

【0070】

本発明の第3の実施の形態に係るメモリコントローラ4においては、内蔵されるメモリコントローラ4の分割書き込み機能をオン/オフする機能を付加することによって、幅広いNAND型フラッシュメモリの性能に対応することができると共に、NAND型フラッシュメモリ3側で512バイト単位の書き込み動作が実現できる場合には、内蔵されるメモリコントローラ4の分割書き込み機能をオフにすることによって、メモリ装置の動作を高速化することができる。

【0071】

[その他の実施の形態]

上記のように、本発明は第1乃至第3の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0072】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【図面の簡単な説明】

【0073】

【図1】本発明の第1の実施の形態に係るメモリコントローラの模式的ブロック構成図であって、NAND型フラッシュメモリと共に全体としてメモリカードを構成するブロック構成図。

【図2】NAND型フラッシュメモリの構成例。

【図3】不揮発性メモリ(NAND型フラッシュメモリ)のデータ構造図であって、本発明の第1の実施の形態に係るメモリコントローラの動作の一例を説明する図。

【図4】メモリ管理テーブルの構成例。

【図5】不揮発性メモリ(NAND型フラッシュメモリ)のデータ構造図であって、本発明の第1の実施の形態に係るメモリコントローラの動作の別の一例を説明する図。

【図6】本発明の第2の実施の形態に係るメモリコントローラの模式的ブロック構成図であって、NAND型フラッシュメモリと共に全体としてメモリカードを構成するブロック構成図。

【図7】本発明の第2の実施の形態に係るメモリコントローラの動作の一例を説明する図であって、(a)NAND型フラッシュメモリのデータ構造図及び(b)メモリコントローラ内の不揮発性キャッシュメモリのデータ構造図。

【符号の説明】

【0074】

- 1 ... メモリカード
- 3 ... NAND型フラッシュメモリ
- 4 ... メモリコントローラ
- 5 ... メモリインタフェース
- 6 ... ホストインタフェース
- 8 ... 中央演算処理装置(CPU)
- 11 ... ターゲットブロック(Aブロック)
- 12 ... 一時書き込みブロック(Bブロック)
- 20 ... ホスト機器
- 21 ... 書き込み単位
- 22 ... 不揮発性キャッシュメモリ

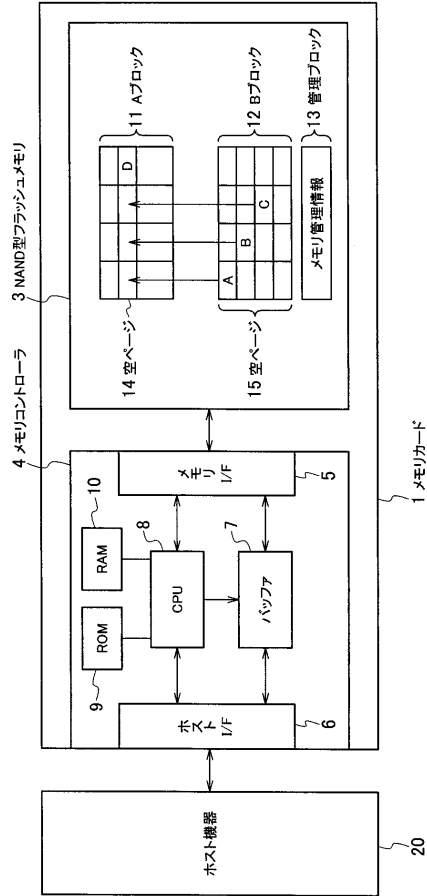
10

20

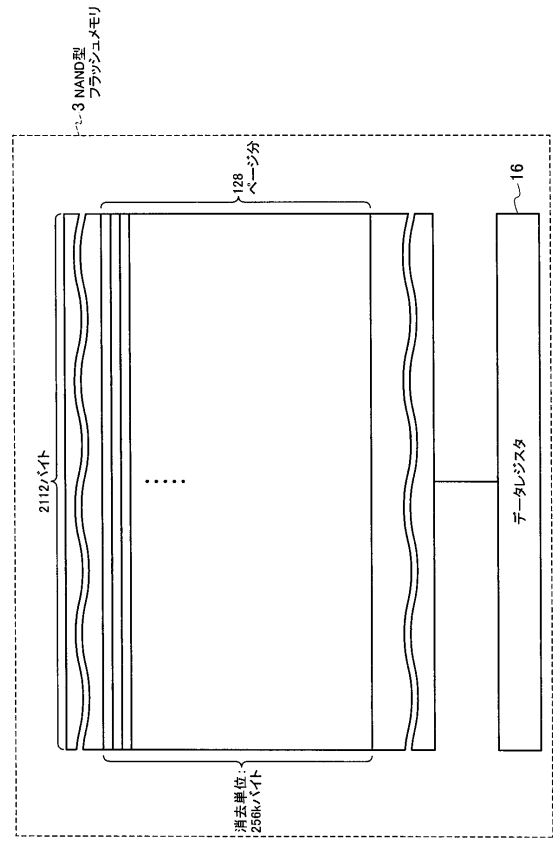
30

40

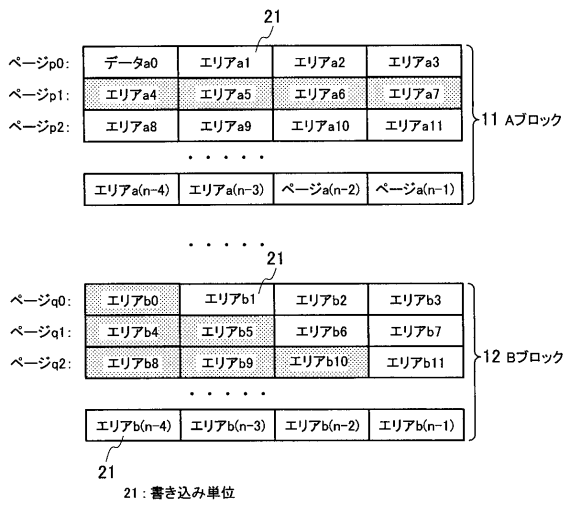
【 図 1 】



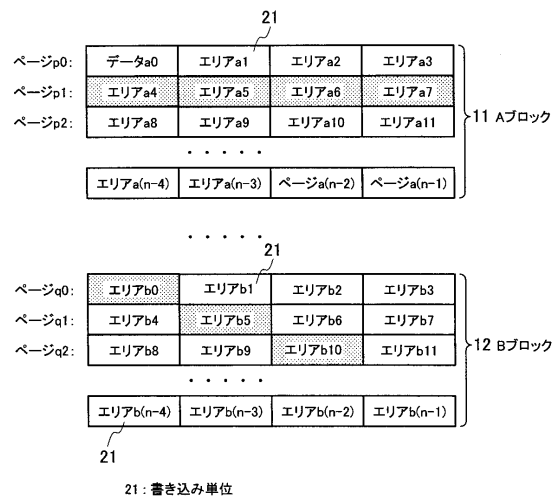
【 図 2 】



【 図 3 】



【 図 5 】

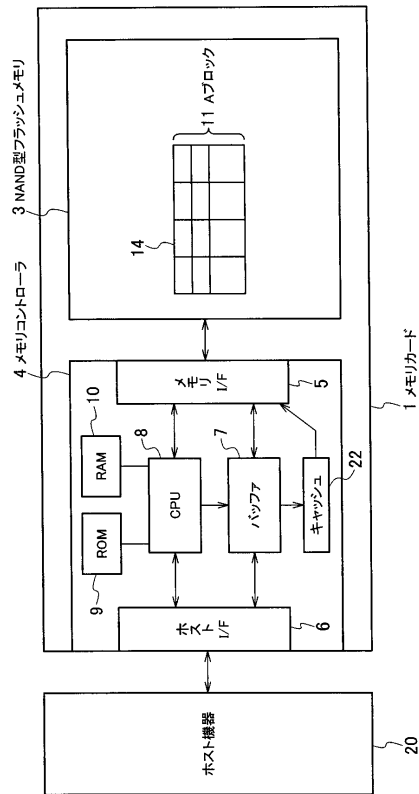


【 図 4 】

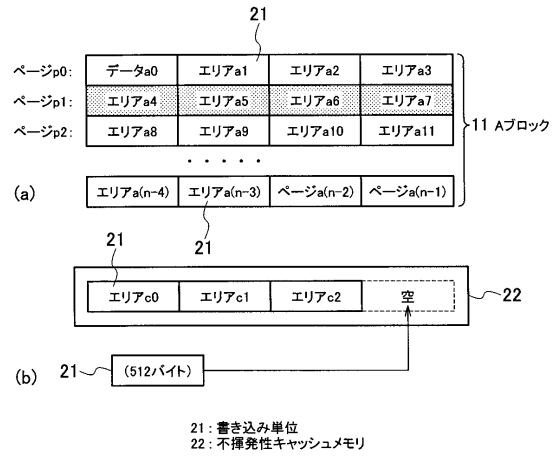
メモリ管理テーブル

目的エリア	一時エリア
a4	b0
a5	b5
a6	b10
⋮	⋮
⋮	⋮

【図6】



【図7】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 6 F 12/08	5 1 5 Q
	G 0 6 F 12/08	5 5 3 B
	G 0 6 K 19/00	N

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 相沢 英夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 5B005 MM01 NN03 UU16

5B035 AA02 BB09 CA11 CA29

5B060 AA02 AA06 CB01

5B065 BA09 CH03