

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 23/48	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년06월02일 10-0493063 2005년05월25일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0049137 2003년07월18일	(65) 공개번호 (43) 공개일자	10-2005-0009846 2005년01월26일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 고준영
 충청남도천안시쌍용동주공10단지아파트507-1204

 전병석
 충청남도천안시신방동한라동백2차아파트104-604

 김재홍
 충청남도천안시쌍용2동계룡푸른마을아파트101-1308

(74) 대리인 이영필

심사관 : 유환철

(54) 스택 반도체 칩 비지에이 패키지 및 그 제조방법

요약

2개 이상의 반도체 칩이 적층되어 있는 스택 반도체 칩 BGA 패키지 및 그 제조방법에 대하여 개시한다. 본 발명의 일 실시예에 의한 스택 반도체 칩 BGA 패키지 제조방법에 의하면 상부 패키지와 하부 패키지의 상호 연결을 위한 솔더 볼을 포함하도록 상부 패키지 및/또는 하부 패키지를 준비한다. 이 경우, 기판 상면 가장자리에 형성되는 솔더 볼을 포함하여 반도체 칩을 몰딩한 다음에, 그라인딩 공정을 실시하여 반도체 칩을 얇게 만들고 솔더 볼의 일부를 노출시킨다. 그리고, 상부 패키지의 기판 밑면에도 솔더 볼을 형성하여 하부 패키지가 노출되어 있는 솔더 볼에 서로가 접촉하도록 적층시킨다. 그리고, 적층되어 있는 하부 패키지 및 상부 패키지에 대하여 리플로우 공정을 실시함으로써 상부 패키지 및 하부 패키지가 물리적으로도 완전히 연결될 수 있도록 한다.

대표도

도 11

색인어

반도체, 패키지, 솔더 볼, 볼 그리드 어레이(BGA), 스택

명세서

도면의 간단한 설명

- 도 1은 종래 기술에 따른 스택 반도체 칩 BGA 패키지에 대한 단면도이다.
- 도 2는 본 발명의 일 실시예에 따른 스택 반도체 칩 BGA 패키지 제조방법을 나타내는 흐름도이다.
- 도 3은 도 2의 제1 패키지 및 제2 패키지 준비 단계를 설명하기 위한 흐름도이다.

도 4는 본 발명의 다른 실시예에 따른 스택 반도체 칩 BGA 패키지 제조방법을 나타내는 흐름도이다.

도 5는 도 4의 제2 패키지 준비 단계를 설명하기 위한 흐름도이다.

도 6 내지 도 11 본 발명의 일 실시예에 따른 스택 반도체 칩 BGA 패키지 및 그 제조방법을 설명하기 위한 단면도이다.

도 12는 본 발명의 다른 실시예에 따른 제2 패키지 준비 단계를 설명하기 위한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 칩 패키지 및 그 제조방법에 관한 것으로서, 보다 구체적으로 2이상의 반도체 칩이 적층되어 있는 스택 반도체 칩 비지에이 패키지(Ball Grid Array(BGA) package with stacked semiconductor chips) 및 그 제조방법에 관한 것이다.

패키지 공정은 반도체 칩을 최종적으로 제품화하는 과정이다. 패키지는 반도체 칩을 외부 장치와 전기적으로 연결시키며, 밀봉작업을 통하여 반도체 칩을 보호하고 열을 발산시키는 등의 역할을 한다. 반도체 칩을 외부 장치와 전기적으로 연결시키는 방법은 여러 가지가 있는데, 그 중 하나의 방법이 솔더 볼을 이용하는 BGA 패키지이다. BGA 패키지는 외부 접속 단자의 수를 증가시켜서 고속으로 동작하는 고성능 제품의 생산이 가능하게 하는 수단 중에서 현재 대표적인 수단으로 자리 매김하고 있다.

한편, 반도체 칩을 포함하는 전자 기기 등의 장치는 지속적으로 고성능화되고 있으며, 이와 동시에 소형화 및 경량화되고 있는 추세이다. 이러한 추세는 전자 기기에 사용되는 반도체 칩의 고성능화, 소형화 및 경량화를 요구하고 있다. 상기한 요구를 충족시키기 위하여 반도체 패키지 분야에서도 여러 가지 패키지 방법이 도입되었는데, 예컨대 플립 칩 패키지(FCP), 칩 스케일 패키지(CSP) 또는 멀티 칩 패키지(MCP) 등이 널리 사용되고 있다.

이 중에서 멀티 칩 패키지는 2개 이상의 반도체 칩을 하나의 기판에 실장하는 패키지 방법이다. 2개 이상의 반도체 칩은 동일한 유형의 반도체 칩이거나 다른 유형의 반도체 칩일 수 있다. 그리고, 멀티 칩 패키지에서는 각 반도체 칩을 동일 평면에 나란히 배열하거나 아니면 수직 방향으로 계속 적층시킬 수도 있다. 이 중에서 후자의 방법은 패키지가 점유하고 있는 면적을 줄일 수 있기 때문에 칩 스케일 패키지(CSP)가 실현 가능하며, 따라서 전자 기기의 소형화 추세에 더욱 적합한 방법이라고 할 수 있다.

도 1에는 종래 기술에 따른 스택 반도체 칩 패키지가 도시되어 있다. 도시된 스택 반도체 칩 패키지는 한국특허공개공보 제2001-0056937호에 개시되어 있는 것으로서, 그 구조를 간단히 설명하면 다음과 같다.

도 1을 참조하면, 본딩 패드(11, 13)가 하부를 향하는 반도체 칩(10, 12)이 인너 리드(inner lead, 21, 51) 및 아우터 리드(outer lead, 22, 52)를 가지는 리드 프레임(20, 50) 상에 절연성 접착제(30, 31)에 의하여 접착되어 있다. 리드 프레임(20, 50)의 밑면 중앙에는 다수의 돌출부(23, 53)가 형성되어 있다. 봉지재(60, 61)가 상기 구조물을 몰딩하고 있는데, 봉지재(60, 61)는 반도체 칩(10, 12)의 측면 및 상부까지 덮고 있다. 아우터 리드(22, 52)는 봉지재(60, 61)의 양 측면을 통해 노출되고, 돌출부(23, 53)의 밑면은 봉지재(60, 61)의 밑면을 통해 노출되어 있다. 아우터 리드(22, 52)에는 형성되어 있는 상부 관통공(24)과 하부 관통공(54)은 패키지 연결용 솔더 볼(70)에 의하여 서로 전기적으로 연결되어 있다. 그리고, 하부 리드 프레임(50)의 돌출부에는 외부 단자용 솔더 볼(71)이 탑재되어 있다.

상기한 스택 반도체 칩 패키지는 전체 리드 프레임을 동일 형상으로 성형한 상태에서 반도체 칩을 적층할 수 있고, 적층된 패키지 간의 접합력을 강화시킬 수 있는 장점이 있다. 그런데, 이와 같은 스택 반도체 칩 패키지는 다음과 같은 단점도 존재한다.

먼저, 봉지재가 칩의 상면까지 덮고 있기 때문에, 스택 반도체 칩 패키지의 높이가 리드 프레임 및 반도체 칩의 두께를 합한 것보다 더 크다. 이것은 전체 반도체 칩 패키지의 두께를 증가시키기 때문에, 두께가 얇은 반도체 패키지를 제조하는데 장애 요소로 작용을 한다. 그리고, 종래 기술에 의하면 스택 반도체 칩 패키지의 두께는 리드 프레임(또는 기판)의 두께와 반도체 칩의 두께를 합한 것보다 더 얇게 제조할 수가 없다.

또한, 패키지 연결용 솔더 볼이 외부 환경에 노출되어 있다. 즉, 패키지 연결 수단이 봉지재에 의하여 밀봉되어 있지 않다. 따라서, 종래 기술에 따른 스택 반도체 칩 패키지는 장시간 사용할 경우에 신뢰성이 낮다.

한국공개특허 제2002-0043435호 및 상기한 한국등록특허 제0271656호에도 스택 반도체 칩 패키지 및 그 제조방법이 개시되어 있다. 그러나, 상기한 스택 반도체 칩 패키지도 도 1의 스택 반도체 칩 패키지와 같은 단점을 가지고 있다. 뿐만 아니라 한국공개특허 제2002-0043435호에 개시된 도전성 포스트는 제조 비용 측면이나 제조 공정 측면에서 양산 라인에 적용하기가 용이하지 않은 단점도 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 두께가 얇고 신뢰성이 높으며 저렴한 비용으로 양산 가능한 스택 반도체 칩 BGA 패키지를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 두께가 얇고 신뢰성이 높으며 저렴한 비용으로 양산 가능한 스택 반도체 칩 BGA 패키지의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기한 기술적 과제들을 달성하기 위하여 본 발명은 반도체 칩의 측면 즉 기판의 가장자리에 상부 반도체 칩 및 하부 반도체 칩 패키지를 연결하기 위한 솔더 볼을 형성한다. 이 솔더 볼도 함께 몰딩하고, 다음으로 이 솔더 볼이 노출되도록 반도체 칩을 그라인딩한다. 그 결과, 반도체 칩의 두께를 줄일 수 있기 때문에 보다 두께가 얇으며 무게가 가벼운 스택 반도체 칩 패키지를 제조할 수가 있다.

상기한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 스택 반도체 칩 BGA 패키지는 제1 반도체 칩 패키지(이하, '제1 패키지'라 한다) 및 상기 제1 패키지의 상부에 적층되어 있는 제2 반도체 칩 패키지(이하, '제2 패키지'라 한다)를 포함하는 스택 반도체 칩 BGA 패키지로서, 상기 제1 패키지는, 쓰루 홀에 의하여 밑면이 노출되어 있는 제1 랜드 패드 및 상기 제1 랜드 패드의 외각에 형성되어 있으며 상부 홈 및 하부 홈에 의하여 그 상면 및 밑면이 노출되어 있는 제1 배선 패드가 내재되어 있는 제1 BGA 패키지용 기판(이하, '제1 기판'이라 한다); 상기 회로 형성면이 상기 제1 기판을 향하도록 제1 기판 상에 접착되어 있는 제1 반도체 칩; 상기 제1 기판의 상부 홈에 형성되어 있는 패키지 연결용 내부 솔더 볼(이하, '내부 솔더 볼'이라 한다); 상기 제1 기판의 쓰루 홀 및 하부 홈에 형성되어 있는 외부 단자 접속용 솔더 볼; 및 상기 내부 솔더 볼의 상면을 노출시키며 상기 제1 반도체 칩의 측면에 상기 제1 반도체 칩의 상면 높이와 동일한 높이로 형성되어 있는 제1 봉지제를 구비하고, 상기 제2 패키지는, 제2 랜드 패드 및 배선 패턴에 의하여 일대일로 대응하게 연결되어 상기 제2 랜드 패드의 외각에 형성되어 있으며, 적어도 하부 홈에 의하여 그 밑면이 노출되어 있는 제2 배선 패드가 내재되어 있는 제2 BGA 패키지용 기판(이하, '제2 기판'이라 한다); 회로 형성면이 상기 제2 기판을 향하도록 상기 제2 기판 상에 접착되어 있는 제2 반도체 칩; 상기 제1 패키지의 상기 내부 솔더 볼과 일대일로 대응하게 연결되어 있는 패키지 연결용 외부 솔더 볼(이하, '외부 솔더 볼'이라 한다); 및 상기 반도체 칩의 상면 높이와 동일한 높이로 형성되어 있는 제2 봉지제를 구비하고 있다.

상기한 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 의한 스택 반도체 칩 BGA 패키지의 제조방법은 제1 패키지 및 상기 제1 패키지의 상부에 적층되어 있는 제2 패키지를 포함하는 스택 반도체 칩 BGA 패키지의 제조방법으로서, 상기 제1 패키지는, 쓰루 홀에 의하여 밑면이 노출되어 있는 제1 랜드 패드 및 상기 제1 랜드 패드의 외각에 형성되어 있으며 상부 홈 및 하부 홈에 의하여 그 상면 및 밑면이 노출되어 있는 제1 배선 패드가 내재되어 있는 제1 기판; 상기 회로 형성면이 상기 제1 기판을 향하도록 제1 기판 상에 접착되어 있는 제1 반도체 칩; 상기 제1 기판의 상부 홈에 형성되어 있는 내부 솔더 볼; 상기 제1 기판의 쓰루 홀 및 하부 홈에 형성되어 있는 외부 단자 접속용 솔더 볼; 및 상기 내부 솔더 볼의 상면을 노출시키며 상기 제1 반도체 칩의 측면에 상기 제1 반도체 칩의 상면 높이와 동일한 높이로 형성되어 있는 제1 봉지제를 구비하고, 상기 제2 패키지는, 제2 랜드 패드 및 배선 패턴에 의하여 일대일로 대응하게 연결되어 상기 제2 랜드 패드의 외각에 형성되어 있으며, 적어도 하부 홈에 의하여 그 밑면이 노출되어 있는 제2 배선 패드가 내재되어 있는 제2 기판; 회로 형성면이 상기 제2 기판을 향하도록 상기 제2 기판 상에 접착되어 있는 제2 반도체 칩; 상기 하부 홈에 형성되어 있는 외부 솔더 볼 및 상기 반도체 칩의 상면 높이와 동일한 높이로 형성되어 있는 제2 봉지제를 구비하며, 상기 스택 반도체 칩 BGA 패키지의 제조방법은, 상기 제1 패키지 및 상기 제2 패키지를 준비하는 단계; 상기 제2 패키지의 상기 외부 솔더 볼이 상기 제1 패키지의 상기 내부 솔더 볼에 대응하도록 상기 제1 패키지 상에 상기 제2 패키지를 적층하는 단계; 및 상기 제2 패키지의 상기 외부 솔더 볼 및 상기 제1 패키지의 상기 내부 솔더 볼이 연결되도록 리플로우하는 단계를 포함한다.

상기한 다른 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 의한 스택 반도체 칩 BGA 패키지의 제조방법은 제1 패키지 및 상기 제1 패키지의 상부에 적층되어 있는 제2 패키지를 포함하는 스택 반도체 칩 BGA 패키지의 제조방법으로서, 상기 제1 패키지는, 쓰루 홀에 의하여 밑면이 노출되어 있는 제1 랜드 패드 및 상기 제1 랜드 패드의 외각에 형성되어 있으며 상부 홈 및 하부 홈에 의하여 그 상면 및 밑면이 노출되어 있는 제1 배선 패드가 내재되어 있는 제1 기판, 상기 회로 형성면이 상기 제1 기판을 향하도록 제1 기판 상에 접착되어 있는 제1 반도체 칩; 상기 제1 기판의 상부 홈에 형성되어 있는 내부 솔더 볼; 상기 제1 기판의 쓰루 홀 및 하부 홈에 형성되어 있는 외부 단자 접속용 솔더 볼; 및 상기 내부 솔더 볼의 상면을 노출시키며 상기 제1 반도체 칩의 측면에 상기 제1 반도체 칩의 상면 높이와 동일한 높이로 형성되어 있는 제1 봉지제를 구비하고, 상기 제2 패키지는, 제2 랜드 패드 및 배선 패턴에 의하여 일대일로 대응하게 연결되어 상기 제2 랜드 패드의 외각에 형성되어 있으며, 적어도 하부 홈에 의하여 그 밑면이 노출되어 있는 제2 배선 패드가 내재되어 있는 제2 기판; 회로 형성면이 상기 제2 기판을 향하도록 상기 제2 기판 상에 접착되어 있는 제2 반도체 칩; 상기 하부 홈에 형성되어 있는 외부 솔더 볼 및 상기 제2 반도체 칩의 상면 높이보다 높게 형성되어 있는 제2 봉지제를 구비하며, 상기 스택 반도체 칩 BGA 패키지의 제조방법은, 상기 제1 패키지 및 상기 제2 패키지를 준비하는 단계; 상기 제2 패키지의 상기 외부 솔더 볼이 상기 제1 패키지의 상기 내부 솔더 볼에 대응하도록 상기 제1 패키지 상에 상기 제2 패키지를 적층하는 단계; 상기 제2 패키지의 상기 외부 솔더 볼 및 상기 제1 패키지의 상기 내부 솔더 볼이 연결되도록 리플로우하는 단계; 및 상기 제2 반도체 칩의 상기 회로 형성면의 반대쪽 면을 그라인딩하는 단계를 포함한다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세하게 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수 있다. 오히려 여기서 소개되는 실시예들은 본 발명의 기술적 사상이 철저하고 완전하게 개시될 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위하여 예시적으로 제공되어지는 것들이다. 도면에 있어서, 층의 두께 및/또는 영역들의 크기 등은 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조 번호는 동일한 구성요소를 나타낸다.

도 2에는 본 발명의 일 실시예에 따른 스택 반도체 칩 BGA 패키지 제조방법에 대한 흐름도가 도시되어 있다.

도 2를 참조하면, 먼저 제1 패키지 및 제2 패키지를 준비한다(S110). 여기서 제1 패키지는 스택 반도체 칩 BGA 패키지에서 하부에 위치하는 패키지로서, 외부 접속 단자용 솔더 볼을 포함하고 있다. 그리고, 제2 패키지는 스택 반도체 칩 BGA 패키지에서 상부에 위치하는 패키지로서, 외부 솔더 볼에 의하여 제1 패키지의 내부 솔더 볼과 전기적으로 연결된다.

도 3에는 도 2의 제1 패키지 및 제2 패키지 준비 단계(S110)를 보다 상세하게 보여주는 흐름도가 도시되어 있다. 그리고, 도 6 내지 도 10b에는 상기 제1 패키지 및 제2 패키지 준비 단계(S110)에 대한 단면도가 도시되어 있다.

먼저 도 3 및 도 6을 참조하여, 기판(110, 210)에 접착제(130, 230)를 사용하여 반도체 칩(120, 220)을 접착한다(S111). 접착제(130, 230)는 통상적으로 절연물질을 사용한다. 본 실시예에서는 반도체 칩(120, 220)의 회로 형성면 즉 본딩 패드(미도시)가 형성되어 있는 면이 아래를 향하도록 반도체 칩(120, 220)을 기판(110, 210)에 접착시킨다. 따라서, 플립 칩 패키지(FCP)도 본 실시예에 적용이 가능하다.

본 명세서에서 기판(110, 210)이라고 할 경우에는 절연 기판(112, 212), 랜드 패드(114, 214), 포토 솔더 레지스트(PSR, 116, 216) 및 배선 패드(115, 215)를 포함하는 전체 구조물을 지칭한다. 절연 기판(112, 212)을 형성하는 물질은 반도체 패키지 분야에서 인쇄 회로 기판(PCB)의 절연 기판용으로 사용되는 것이면 특별한 제한이 없다. 예컨대, 절연 기판(112, 212)은 에폭시 수지 등과 같은 경화된 플라스틱 절연 물질이나 폴리 이미드 필름과 같은 유연한(flexible) 물질일 수 있다.

절연 기판(112, 212)은 그 내부에 본딩 와이어가 통과하기 위한 개구부 및 배선 패드(115, 215)를 노출시키기 위한 오목부를 가지는데, 여기서 오목부에 의하여 형성되는 공간은 상부 홈(R_1)이다. 상부 홈(R_1)은 기판(110, 210)의 가장자리에 형성되어 있는데, 양 측면 가장자리에만 형성되어 있거나 또는 4면의 가장자리 모두에 형성되어 있을 수 있다.

그리고, 절연 기판(112, 212)의 한쪽 면 또는 그 내부에는 배선이 존재한다. 본 실시예에 의한 기판(110, 210)은 배선으로서 랜드 패드(114, 214) 및 배선 패드(115, 215)를 포함하는데, 절연 기판(112, 212)의 밑면에 형성되어 있다. 랜드 패드(114, 214)는 외부 단자 접속용 솔더 볼과 연결되는 배선의 일 부분이고, 배선 패드(115, 215)는 제1 패키지 및 제2 패키지를 전기적으로 연결하여, 제2 패키지가 외부 단자와 전기적으로 연결될 수 있도록 하는 배선의 일부이다.

배선의 패턴 모양은 제1 패키지 및 제2 패키지가 서로 상이하다. 예컨대, 제1 패키지의 배선 패턴 모양은 특별한 제한은 없으며, 종래의 BGA 패키지용 기판에 형성되어 있는 어떠한 형태의 배선 패턴일 수 있다. 그러나, 제2 패키지의 배선 패턴 모양은 제2 패키지의 랜드 패드(214)와 배선 패드(215)가 일대일로 대응하며, 전기적으로 서로 연결되어 있다. 이러한 연결은 랜드 패드(214)를 외부 단자와 전기적으로 연결시키기 위하여 필수적이다.

절연 기판(112, 212)의 밑면에는 포토 솔더 레지스트(116, 216)가 형성되어 있다. 포토 솔더 레지스트(116, 216)는 랜드 패드(114, 214) 및 배선 패드(115, 215)를 노출시키는 오목부를 포함하는데, 랜드 패드(114, 214)를 노출시키는 오목부 공간은 쓰루 홀(R_3) 그리고 배선 패드(115, 215)를 노출시키는 오목부 공간은 하부 홈(R_2)이다. 하부 홈(R_2)의 위치는 상부 홈(R_1)의 위치에 대응한다. 그러나, 제2 패키지의 포토 솔더 레지스트(216)에는 랜드 패드(214)를 노출시키는 쓰루 홀(R_3)은 형성되어 있지 않을 수도 있다.

계속해서 도 3 및 도 6을 참조하면, 반도체 칩(120, 220)의 본딩 패드(미도시)와 기판(110, 220)의 배선을 금선(gold wire) 등으로 연결하는 와이어 본딩을 실시한다(S112). 본딩 와이어(135, 235)는 기판(110, 210)의 개구부를 통하여 배선에 연결된다. 그리고, 본딩 와이어(135, 235)를 밀봉시키기 위하여 보호재(140, 240)를 형성한다.

다음으로 도 3 및 도 7을 참조하면, 기판(110, 210)의 상부 홈(R_1)에 내부 솔더 볼(150, 250)을 형성한다(S113). 내부 솔더 볼(150, 250)은 에컨대, 주석과 납의 합금으로 형성할 수 있다. 그리고, 내부 솔더 볼(150, 250)은 반도체 칩(120, 220)의 상면 높이보다 낮은 높이로 형성하는 것이 바람직하지만, 반드시 여기에 한정되는 것은 아니다. 즉, 기판(110, 210)의 상면에서부터 내부 솔더 볼(150, 250)까지의 높이(h_2)는 기판(110, 210)의 상면에서부터 반도체 칩(120, 220)의 회로 형성면의 반대쪽 면까지의 높이(h_1)보다 낮도록 내부 솔더 볼(150, 250)을 형성하는 것이 바람직하다.

내부 솔더 볼(150, 250)을 형성하는 공정은 제1 패키지를 준비하는 공정에서는 필수적인 공정인 반면, 제2 패키지를 준비하는 공정에서는 임의적인 공정이다(도 3에서 점선으로 블록을 표시). 예를 들어, 제2 패키지를 준비하는 공정에서도 내부 솔더 볼(250)을 형성하게 되면, 제1 패키지 준비 공정과 제2 패키지 준비 공정이 동일하기 때문에 양산 공정에 적합한 장점이 있다. 그러나, 2개의 반도체 칩이 적층되어 있는 2스택 반도체 칩 패키지의 경우에는 상부 패키지의 내부 솔더 볼(250)은 불필요한 구성요소이기 때문에 형성하지 않아도 무방하다.

다음으로 도 3 및 도 8을 참조하면, 봉지재(160, 260)로 반도체 칩(120, 220) 및 내부 솔더 볼(150, 250)을 밀봉하는 몰딩 공정을 실시한다(S114). 몰딩 공정에서는 트랜스퍼 몰딩과 같은 종래 기술에 따른 몰딩 방법을 사용할 수 있다. 이 경우, 봉지재(160, 260)는 적어도 내부 솔더 볼(150, 250)의 전부를 밀봉시킬 수 있는 두께로 형성하는 것이 바람직하다. 그러나, 도시된 것과 같이 반드시 반도체 칩(120, 220)의 상면보다 높은 두께로 봉지재(160, 260)를 형성할 필요는 없다.

다음으로 도 3 및 도 9를 참조하면, 반도체 칩(120, 220)의 뒷면을 그라인딩하는 공정을 실시한다(S115). 반도체 칩(120, 220)의 뒷면은 회로 형성면의 반대쪽 면이다. 상기한 그라인딩 공정은 내부 솔더 볼(150a)이 노출될 때까지 실시한다. 그리고, 내부 솔더 볼을 구비하지 않은 제2 패키지의 반도체 칩을 그라인딩하는 경우에는 반도체 칩(220)의 회로에 손상을 주지 않을 만큼만 반도체 칩을 그라인딩할 수도 있다. 그라인딩 공정의 결과, 기판(110, 210)의 상면에서 반도체 칩(120, 220)의 상면까지의 높이(h_1) 및 기판(110, 210)의 상면에서 내부 솔더 볼(150)까지의 높이(h_2) 보다 낮은 높이(h_3)를 갖는 반도체 칩(120a, 220a) 및 내부 솔더 볼(150a, 250a)이 만들어진다.

상기한 바와 같이, 본 실시예에서는 반도체 칩의 뒷면을 그라인딩하기 때문에 스택 반도체 칩 패키지의 전체 높이를 감소시킬 수가 있다. 그리고, 내부 솔더 볼을 봉지체로 둘러싼 다음에 그라인딩 공정을 실시하기 때문에, 접촉면을 제외하고는 내부 솔더 볼이 외부 환경에 노출되지 않는다.

다음으로 도 3 및 도 10a를 참조하면, 기판의 쓰루 홀 및 하부 홈에 외부 단자 접속용 솔더 볼(170a, 170b)을 형성하는 공정을 실시한다(S116). 상기 공정은 제1 패키지를 준비하는 공정에서만 적용되는 공정이다. 쓰루 홀에 형성된 외부 단자 접속용 솔더 볼(170a)은 랜드 패드(114)와 연결되며, 제1 패키지의 반도체 칩(120a)에 대한 외부 단자 접속용 솔더 볼이다. 그리고, 하부 홈에 형성된 외부 단자 접속용 솔더 볼(170b)은 배선 패드(115)와 연결되며, 제2 패키지의 반도체 칩(220a)에 대한 외부 단자 접속용 솔더 볼이다. 그 결과, 도 10a에 도시된 것과 같은 제1 패키지가 준비된다.

다음으로 도 3 및 도 10b를 참조하면, 기판의 하부 홈에 외부 솔더 볼(280)을 형성하는 공정을 실시한다(S116). 상기 공정은 제2 패키지를 준비하는 공정에서만 적용되는 공정이다. 외부 솔더 볼(280)은 그 위쪽으로 배선 패드(215)와 연결되어서, 배선 패드(215)와 일대일로 대응하는 랜드 패드(214)와 전기적으로 연결된다. 그 결과, 도 10b에 도시된 것과 같은 제2 패키지가 준비된다.

다시 도 2로 되돌아 오면, 본 발명의 일 실시예에 따른 스택 반도체 칩 BGA 패키지 제조방법은 상기 단계에서 준비된 제1 패키지 상에 상기 단계에서 준비된 제2 패키지를 적층한다(S120). 이 때, 도 11에 도시되어 있는 것과 같이, 상기 제1 패키지의 내부 솔더 볼(150a)과 상기 제2 패키지의 외부 솔더 볼(280)이 서로 접촉할 수 있도록 한다.

다음으로, 적층되어 있는 제1 패키지 및 제2 패키지에 대하여 리플로우 공정을 실시한다(S130). 리플로우 공정은 상기 내부 솔더 볼(150a)과 상기 외부 솔더 볼(280)을 적절한 열을 가하여 약간 용융시킨 다음 냉각시켜서 서로를 완전히 접촉시키기 위한 공정이다. 그 결과, 2개의 반도체 칩이 적층되어 있는 스택 반도체 칩 BGA 패키지가 완성된다.

도 4에는 본 발명의 다른 실시예에 따른 스택 반도체 칩 BGA 패키지 제조방법에 대한 흐름도가 도시되어 있다. 도 4를 참조하면, 상기한 실시예와 마찬가지로 먼저 제1 패키지 및 제2 패키지를 준비한다(S210). 여기서 제1 패키지는 스택 반도체 칩 BGA 패키지에서 하부에 위치하는 패키지로서, 외부 접속 단자용 솔더 볼을 포함하고 있다. 그리고, 제2 패키지는 스택 반도체 칩 BGA 패키지에서 상부에 위치하는 패키지로서, 외부 솔더 볼에 의하여 제1 패키지의 내부 솔더 볼과 전기적으로 연결된다. 본 실시예에서 제1 패키지를 준비하는 단계(S210)는 상기한 첫 번째 실시예의 제1 패키지 준비 단계(S110)와 동일한 방법 즉, 도 3에 도시되어 있는 흐름도가 동일하게 적용되므로 여기서는 설명을 생략한다.

도 5에는 도 4의 제2 패키지 준비 단계(S210)를 보다 상세하게 보여주는 흐름도가 도시되어 있다. 도 5의 흐름도에는 도 6 내지 도 8 및 도 12의 단면도가 순차적으로 적용될 수 있으며, 여기서 첫 번째 실시예와 동일한 공정 단계는 간략히 설명한다.

먼저 도 5 및 도 6을 참조하면, 기판(210) 상에 절연성 접착제(230)를 사용하여 반도체 칩(220)을 접착한다(S211). 반도체 칩(220)은 회로 형성면이 기판(210)을 향하도록 부착한다. 그리고, 와이어 본딩 공정을 실시하고, 본딩된 와이어(235)는 보호재(240)로 밀봉한다(S212). 다음으로 도 5 및 도 7을 참조하면, 기판(210)의 상부 홈(R_1)에 내부 솔더 볼(250)을 형성한다(S213). 그러나, 상기한 바와 같이 제2 패키지에서 내부 솔더 볼(250)을 형성하는 공정은 생략할 수도 있다. 다음으로 도 5 및 도 8을 참조하면, 봉지체(260)를 사용하여 반도체 칩(220) 및/또는 내부 솔더 볼(250)을 몰딩한다(S214).

다음으로 도 5 및 도 12를 참조하면, 기판(210)의 하부 홈(R_2)에 외부 솔더 볼(280)을 형성한다. 즉, 본 실시예에서는 반도체 칩(220)에 대한 그라인딩 공정을 실시하지 않고 외부 솔더 볼(280)을 형성하는 공정을 먼저 실시한다. 그 결과, 제2 패키지를 준비하는 공정이 완료된다.

다시 도 4로 되돌아오면, 준비된 제1 패키지 상에 제2 패키지를 적층시킨다(S220). 이 경우에도 제1 패키지의 내부 솔더 볼(150a) 및 제2 패키지의 외부 솔더 볼(280)이 서로 접촉할 수 있도록 한다. 다음으로, 적층되어 있는 제1 패키지 및 제2 패키지에 대하여 리플로우 공정을 실시한다(S230). 계속해서 도 4를 참조하면, 제2 패키지에 대한 그라인딩 공정을 최종적으로 실시함(S240)으로써, 본 실시예에 의한 스택 반도체 칩 BGA가 완성된다.

이와 같이, 본 실시예에서는 제2 패키지에 대한 그라인딩 공정은 패키지를 적층한 다음에 실시한다. 이와 같이, 그라인딩 공정을 마지막에 실시하면, 적층되어 있는 패키지 전체를 사용하여 그 상부 반도체 칩에 대하여 그라인딩하기 때문에, 피처리 대상의 두께가 이전 실시예에서의 피처리 대상의 두께보다 두꺼우며, 따라서 그라인딩 공정을 보다 용이하게 실시할 수 있다. 그리고, 그라인딩 공정에서 제거하는 반도체 칩의 양을 보다 정밀하게 제어할 수 있다.

발명의 효과

본 발명에 의하면 칩 스케일의 스택 반도체 칩 BGA 패키지를 보다 용이하게 제조할 수가 있다. 즉, 본 발명에 의하면 기존의 패키지 장치 및 패키지 방법을 사용하여 스택 반도체 칩 BGA 패키지를 제조할 수가 있다.

아울러, 본 발명에 의하면 스택 반도체 칩 BGA의 전체 두께를 보다 얇게 형성할 수 있으며, 그 두께도 정밀하게 제어할 수가 있다. 따라서, 본 발명에 의한 반도체 패키지는 고성능을 발휘할 뿐만이 아니라 모바일 기기와 같이 가볍고 두께가 얇은 전자 기기에 유용하게 사용될 수 있다.

그리고, 상하 패키지를 연결하는 수단이 봉지재 또는 포토 솔더 레지스트 등에 의하여 완전히 밀봉되기 때문에 스택 반도체 칩 BGA 패키지의 신뢰성도 높다.

(57) 청구의 범위

청구항 1.

제1 반도체 칩 패키지(이하, '제1 패키지'라 한다) 및 상기 제1 패키지의 상부에 적층되어 있는 제2 반도체 칩 패키지(이하, '제2 패키지'라 한다)를 포함하는 스택 반도체 칩 BGA 패키지에 있어서,

상기 제1 패키지는,

쓰루 홀에 의하여 밀면이 노출되어 있는 제1 랜드 패드 및 상기 제1 랜드 패드의 외각에 형성되어 있으며 상부 홈 및 하부 홈에 의하여 각각 그 상면 및 밀면이 노출되어 있는 제1 배선 패드가 내재되어 있는 제1 BGA 패키지용 기판(이하, '제1 기판'이라 한다);

상기 회로 형성면이 상기 제1 기판을 향하도록 제1 기판 상에 접촉되어 있는 제1 반도체 칩;

상기 제1 기판의 상부 홈에 형성되어 있는 패키지 연결용 내부 솔더 볼(이하, '내부 솔더 볼'이라 한다);

상기 제1 기판의 쓰루 홀 및 하부 홈에 형성되어 있는 외부 단자 접속용 솔더 볼; 및

상기 내부 솔더 볼의 상면을 노출시키며 상기 제1 반도체 칩의 측면에 상기 제1 반도체 칩의 상면 높이와 동일한 높이로 형성되어 있는 제1 봉지제를 구비하고,

상기 제2 패키지는,

제2 랜드 패드 및 배선 패턴에 의하여 일대일로 대응하게 연결되도록 상기 제2 랜드 패드의 외각에 형성되어 있으며, 적어도 하부 홈에 의하여 그 밀면이 노출되어 있는 제2 배선 패드가 내재되어 있는 제2 BGA 패키지용 기판(이하, '제2 기판'이라 한다);

회로 형성면이 상기 제2 기판을 향하도록 상기 제2 기판 상에 접촉되어 있는 제2 반도체 칩;

상기 하부 홈에 형성되어 있으며, 상기 제1 패키지의 상기 내부 솔더 볼과 일대일로 대응하게 연결되어 있는 패키지 연결용 외부 솔더 볼(이하, '외부 솔더 볼'이라 한다); 및

상기 반도체 칩의 상면 높이와 동일한 높이로 형성되어 있는 제2 봉지제를 구비하는 스택 반도체 칩 BGA 패키지.

청구항 2.

제1항에 있어서,

상기 제1 반도체 칩 및 상기 제2 반도체 칩은 상기 회로 형성면의 반대쪽 면이 그라인딩되어 있는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지.

청구항 3.

제1항에 있어서,

상기 제1 패키지 및 상기 제2 패키지는 플립 칩 패키지인 것을 특징으로 하는 스택 반도체 칩 BGA 패키지.

청구항 4.

제1항에 있어서, 상기 제2 패키지는,

상기 제2 기판의 상기 상부 홈에 형성되어 있는 내부 솔더 볼을 더 구비하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지.

청구항 5.

제4항에 있어서, 상기 스택 반도체 칩 BGA 패키지는,

상기 제2 패키지 상부에 상기 제2 패키지와 동일한 구조를 가지는 제3 반도체 칩 패키지 및/또는 제4 반도체 칩 패키지를 더 포함하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지.

청구항 6.

제1 패키지 및 상기 제1 패키지의 상부에 적층되어 있는 제2 패키지를 포함하는 스택 반도체 칩 BGA 패키지의 제조방법에 있어서,

상기 제1 패키지는,

쓰루 홀에 의하여 밑면이 노출되어 있는 제1 랜드 패드 및 상기 제1 랜드 패드의 외각에 형성되어 있으며 상부 홈 및 하부 홈에 의하여 각각 그 상면 및 밑면이 노출되어 있는 제1 배선 패드가 내재되어 있는 제1 기판;

상기 회로 형성면이 상기 제1 기판을 향하도록 제1 기판 상에 접촉되어 있는 제1 반도체 칩;

상기 제1 기판의 상부 홈에 형성되어 있는 내부 솔더 볼;

상기 제1 기판의 쓰루 홀 및 하부 홈에 형성되어 있는 외부 단자 접속용 솔더 볼; 및

상기 내부 솔더 볼의 상면을 노출시키며 상기 제1 반도체 칩의 측면에 상기 제1 반도체 칩의 상면 높이와 동일한 높이로 형성되어 있는 제1 봉지제를 구비하고,

상기 제2 패키지는,

제2 랜드 패드 및 배선 패턴에 의하여 일대일로 대응하게 연결되도록 상기 제2 랜드 패드의 외각에 형성되어 있으며, 적어도 하부 홈에 의하여 그 밑면이 노출되어 있는 제2 배선 패드가 내재되어 있는 제2 기판;

회로 형성면이 상기 제2 기판을 향하도록 상기 제2 기판 상에 접촉되어 있는 제2 반도체 칩;

상기 하부 홈에 형성되어 있는 외부 솔더 볼; 및

상기 반도체 칩의 상면 높이와 동일한 높이로 형성되어 있는 제2 봉지제를 구비하며,

상기 스택 반도체 칩 BGA 패키지의 제조방법은,

상기 제1 패키지 및 상기 제2 패키지를 준비하는 단계;

상기 제2 패키지의 상기 외부 솔더 볼이 상기 제1 패키지의 상기 내부 솔더 볼에 대응하도록 상기 제1 패키지 상에 상기 제2 패키지를 적층하는 단계; 및

상기 제2 패키지의 상기 외부 솔더 볼 및 상기 제1 패키지의 상기 내부 솔더 볼이 연결되도록 리플로우하는 단계를 포함하는 스택 반도체 칩 BGA 패키지 제조방법.

청구항 7.

제6항에 있어서, 상기 제1 패키지 및 상기 제2 패키지를 준비하는 단계는,

상기 제1 반도체 칩 및 상기 제2 반도체 칩의 상기 회로 형성면의 반대쪽 면을 그라인딩하는 단계를 포함하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지 제조방법.

청구항 8.

제7항에 있어서, 상기 제1 패키지를 준비하는 단계는,

상기 제1 기판 상에 상기 제1 반도체 칩을 접촉시키는 단계;

상기 제1 기판의 상부 홈 상에 상기 내부 솔더 볼을 형성하는 단계;

상기 제1 반도체 칩의 상면 및 상기 내부 솔더 볼의 상면 높이 이상의 높이까지 상기 제1 봉지체로 몰딩하는 단계;

상기 내부 솔더 볼이 노출되도록 상기 제1 반도체 칩 및 상기 봉지용 수지를 그라인딩하는 단계; 및

상기 제1 기관의 상기 쓰루 홀 및 상기 하부 홈에 상기 외부 단자 접속용 솔더 볼을 형성하는 단계를 포함하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지 제조방법.

청구항 9.

제8항에 있어서,

상기 그라인딩 단계 및 상기 외부 단자 접속용 솔더 볼 형성 단계는 순서를 바꾸어서 실시할 수 있는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지 제조방법.

청구항 10.

제6항에 있어서, 상기 제2 패키지를 준비하는 단계는,

상기 제2 기관 상에 상기 제2 반도체 칩을 접촉시키는 단계;

상기 제2 반도체 칩의 상면 높이 이상의 높이까지 상기 제2 봉지체로 몰딩하는 단계;

상기 제2 반도체 칩의 상기 회로 형성면의 반대쪽 면을 그라인딩하는 단계; 및

상기 하부 홈에 상기 외부 솔더 볼을 형성하는 단계를 포함하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지 제조방법.

청구항 11.

제10항에 있어서, 상기 제2 패키지를 준비하는 단계는,

상기 몰딩 단계 이전에 상기 제2 기관의 상기 상부 홈에 내부 솔더 볼을 형성하는 단계를 더 포함하고,

상기 그라인딩 단계는,

상기 제2 패키지의 상기 내부 솔더 볼이 노출될 때까지 그라인딩을 실시하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지의 제조방법.

청구항 12.

제11항에 있어서,

상기 스택 반도체 칩 BGA 패키지의 제조방법은,

상기 제2 패키지 상에 상기 제2 패키지와 동일한 구조를 가지는 제3 반도체 칩 패키지 및/또는 제4 반도체 칩 패키지를 적층하여 연결하는 단계를 더 포함하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지의 제조방법.

청구항 13.

제1 패키지 및 상기 제1 패키지의 상부에 적층되어 있는 제2 패키지를 포함하는 스택 반도체 칩 BGA 패키지의 제조방법에 있어서,

상기 제1 패키지는,

쓰루 홀에 의하여 밀면이 노출되어 있는 제1 랜드 패드 및 상기 제1 랜드 패드의 외각에 형성되어 있으며 상부 홈 및 하부 홈에 의하여 각각 그 상면 및 밀면이 노출되어 있는 제1 배선 패드가 내재되어 있는 제1 기관;

상기 회로 형성면이 상기 제1 기판을 향하도록 제1 기판 상에 접촉되어 있는 제1 반도체 칩;

상기 제1 기판의 상부 홈에 형성되어 있는 내부 솔더 볼;

상기 제1 기판의 쓰루 홀 및 하부 홈에 형성되어 있는 외부 단자 접속용 솔더 볼; 및

상기 내부 솔더 볼의 상면을 노출시키며 상기 제1 반도체 칩의 측면에 상기 제1 반도체 칩의 상면 높이와 동일한 높이로 형성되어 있는 제1 봉지제를 구비하고,

상기 제2 패키지는,

제2 랜드 패드 및 배선 패턴에 의하여 일대일로 대응하게 연결되도록 상기 제2 랜드 패드의 외각에 형성되어 있으며, 적어도 하부 홈에 의하여 그 밑면이 노출되어 있는 제2 배선 패드가 내재되어 있는 제2 기판;

회로 형성면이 상기 제2 기판을 향하도록 상기 제2 기판 상에 접촉되어 있는 제2 반도체 칩;

상기 하부 홈에 형성되어 있는 외부 솔더 볼 및

상기 제2 반도체 칩의 상면 높이보다 높게 형성되어 있는 제2 봉지제를 구비하며,

상기 스택 반도체 칩 BGA 패키지의 제조방법은,

상기 제1 패키지 및 상기 제2 패키지를 준비하는 단계;

상기 제2 패키지의 상기 외부 솔더 볼이 상기 제1 패키지의 상기 내부 솔더 볼에 대응하도록 상기 제1 패키지 상에 상기 제2 패키지를 적층하는 단계;

상기 제2 패키지의 상기 외부 솔더 볼 및 상기 제1 패키지의 상기 내부 솔더 볼이 연결되도록 리플로우하는 단계; 및

상기 제2 반도체 칩의 상기 회로 형성면의 반대쪽 면을 그라인딩하는 단계를 포함하는 스택 반도체 칩 BGA 패키지 제조 방법.

청구항 14.

제13항에 있어서, 상기 제1 패키지를 준비하는 단계는,

상기 제1 반도체 칩의 상기 회로 형성면의 반대쪽 면을 그라인딩하는 단계를 포함하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지 제조방법.

청구항 15.

제14항에 있어서, 상기 제1 패키지를 준비하는 단계는,

상기 제1 기판 상에 상기 제1 반도체 칩을 접촉시키는 단계;

상기 제1 기판의 상부 홈 상에 상기 내부 솔더 볼을 형성하는 단계;

상기 제1 반도체 칩의 상면 및 상기 내부 솔더 볼의 상면 높이 이상의 높이까지 상기 제1 봉지제로 몰딩하는 단계;

상기 내부 솔더 볼이 노출되도록 상기 제1 반도체 칩 및 상기 봉지용 수지를 그라인딩하는 단계; 및

상기 제1 기판의 상기 쓰루 홀 및 상기 하부 홈에 상기 외부 단자 접속용 솔더 볼을 형성하는 단계를 포함하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지 제조방법.

청구항 16.

제15항에 있어서,

상기 그라인딩 단계 및 상기 외부 단자 접속용 솔더 볼 형성 단계는 순서를 바꾸어서 실시할 수 있는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지 제조방법.

청구항 17.

제13항에 있어서, 상기 제2 패키지를 준비하는 단계는,

상기 제2 기판 상에 상기 제2 반도체 칩을 접착시키는 단계;

상기 제2 반도체 칩의 상면 높이 이상의 높이까지 상기 제2 봉지재로 몰딩하는 단계; 및

상기 하부 홈에 상기 외부 솔더 볼을 형성하는 단계를 포함하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지 제조방법.

청구항 18.

제17항에 있어서, 상기 제2 패키지를 준비하는 단계는,

상기 몰딩 단계 이전에 상기 제2 기판의 상기 상부 홈에 내부 솔더 볼을 형성하는 단계를 더 포함하고,

상기 제2 반도체 칩의 그라인딩 단계는,

상기 제2 패키지의 상기 내부 솔더 볼이 노출될 때까지 그라인딩을 실시하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지의 제조방법.

청구항 19.

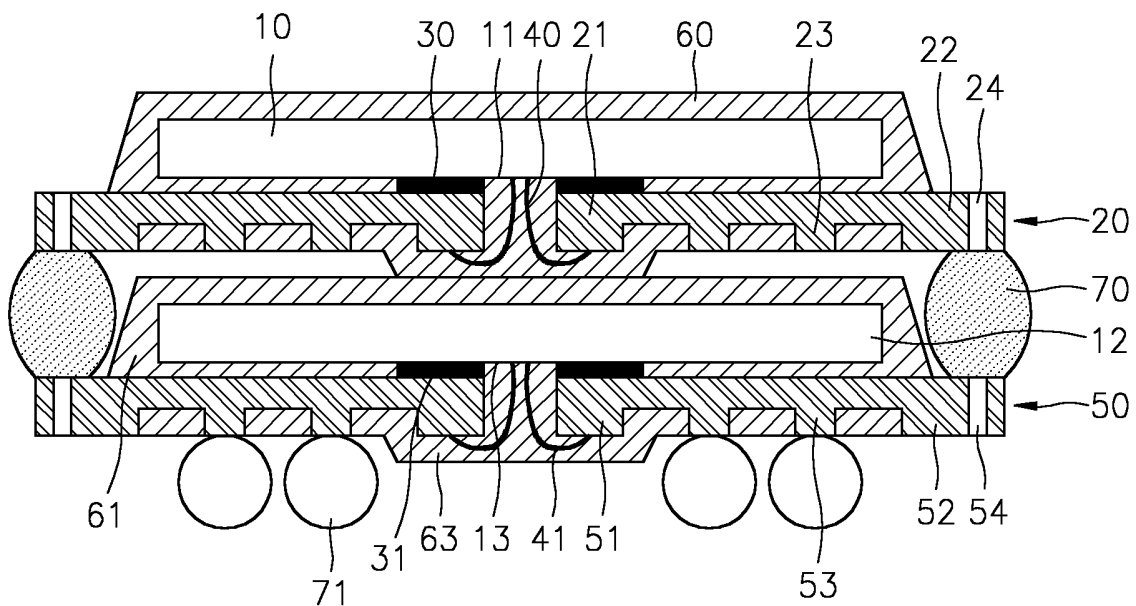
제18항에 있어서,

상기 스택 반도체 칩 BGA 패키지의 제조방법은,

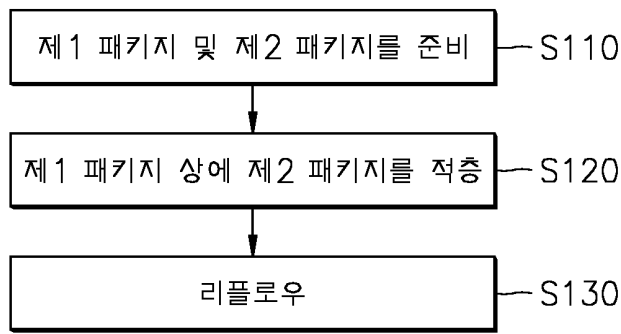
상기 제2 패키지 상에 상기 제2 패키지와 동일한 구조를 가지는 제3 반도체 칩 패키지 및/또는 제4 반도체 칩 패키지를 적층하여 연결하는 단계를 더 포함하는 것을 특징으로 하는 스택 반도체 칩 BGA 패키지의 제조방법.

도면

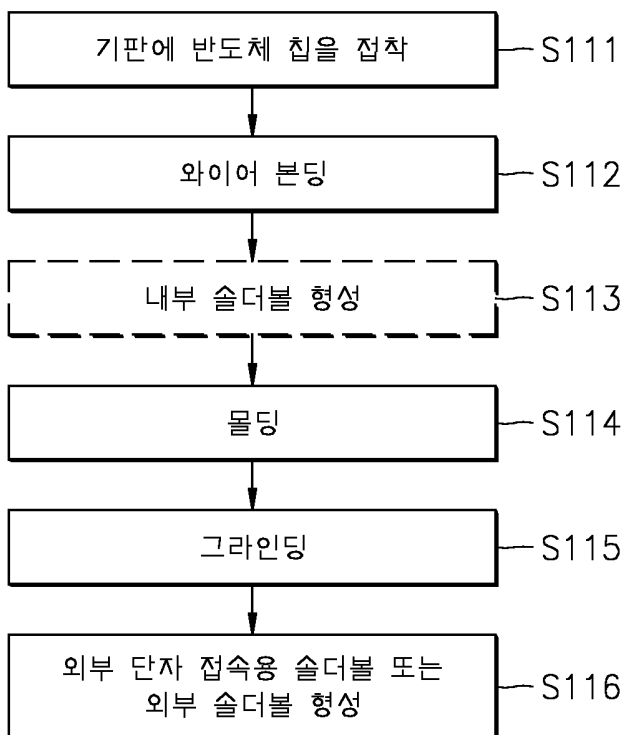
도면1



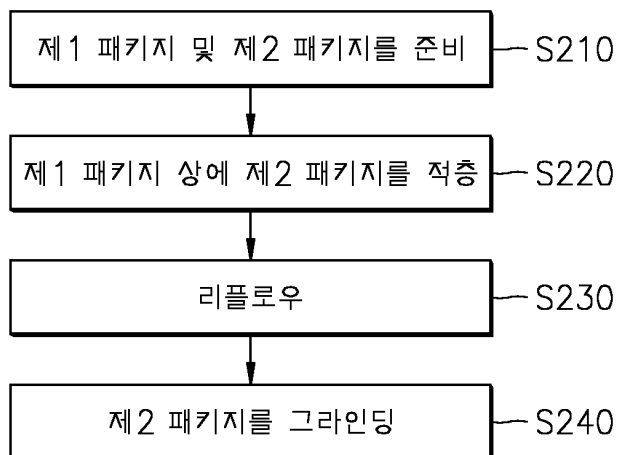
도면2



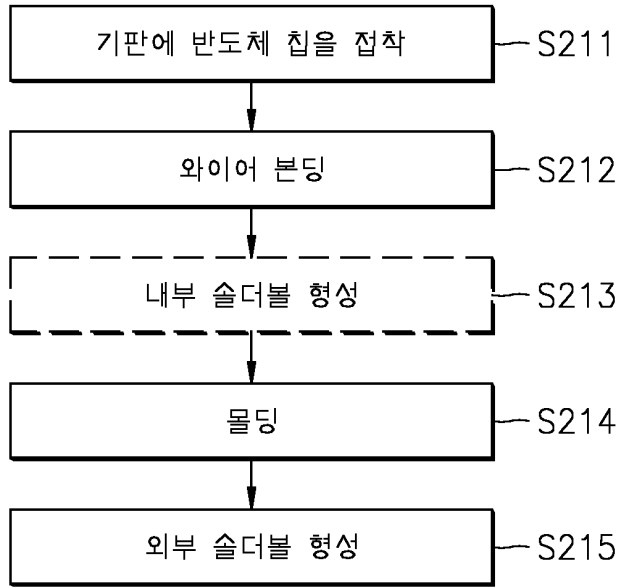
도면3



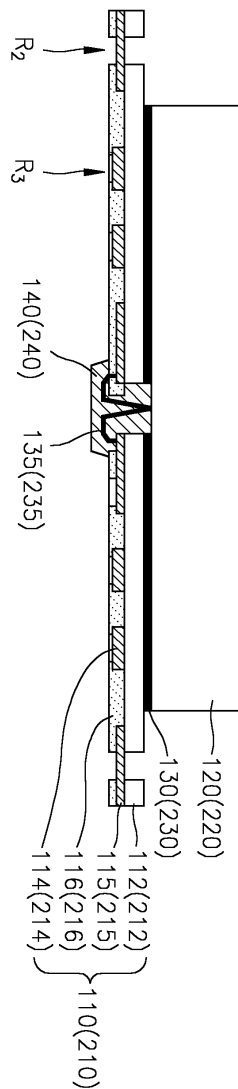
도면4



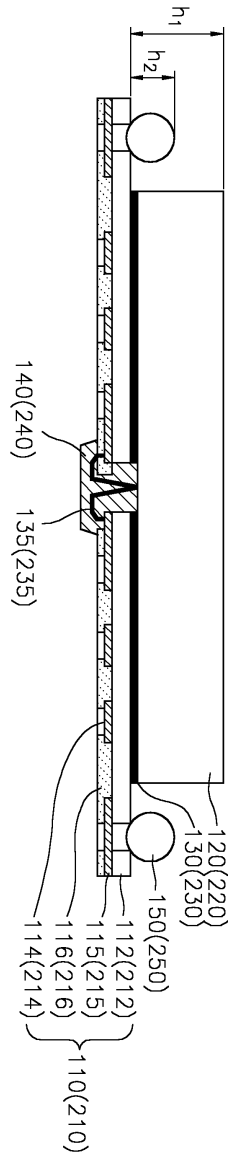
도면5



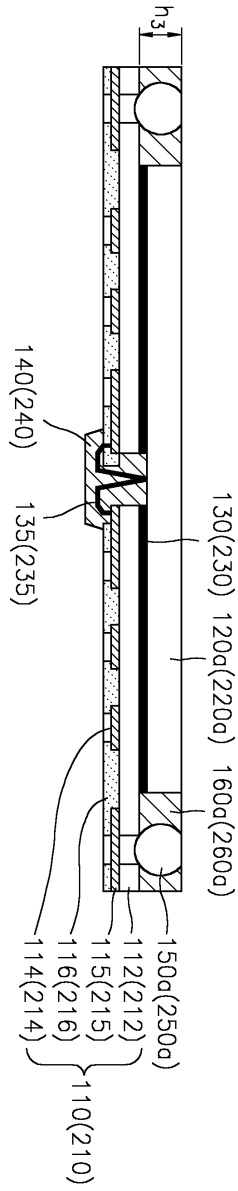
도면6



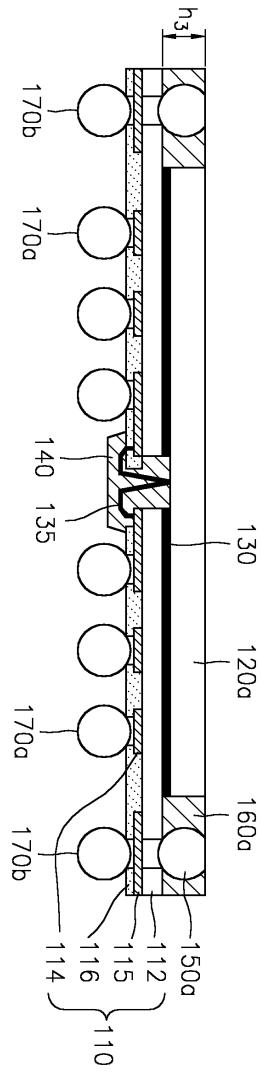
도면7



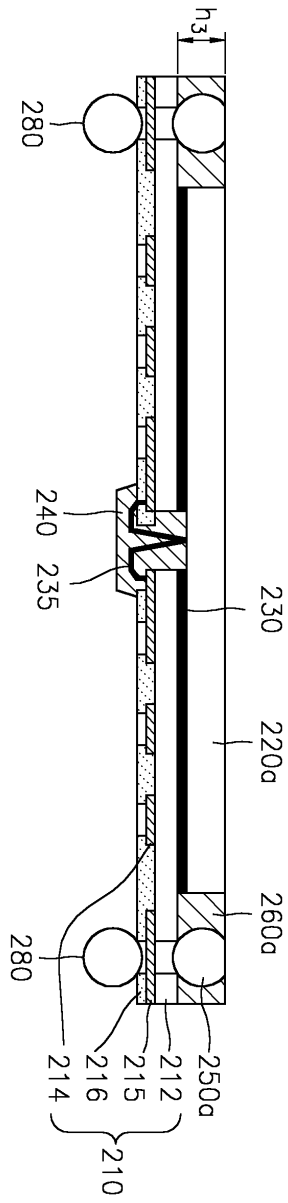
도면9



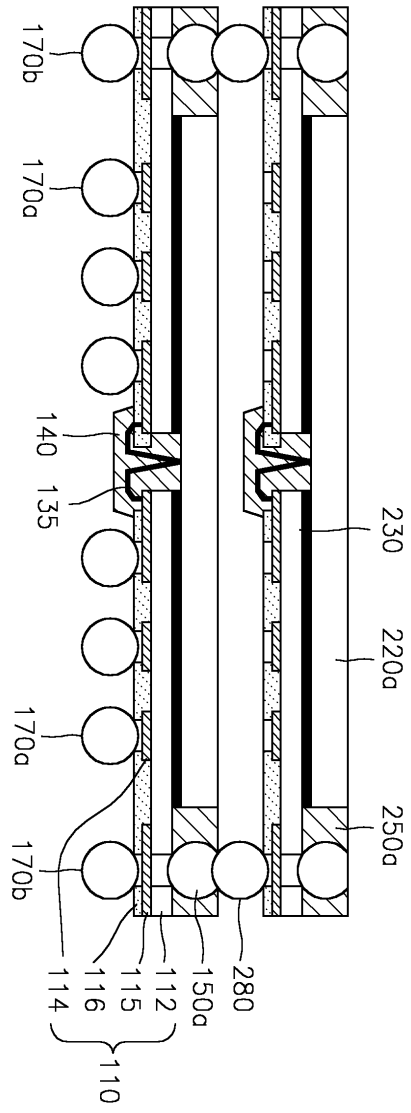
도면10a



도면10b



도면11



도면12

