

公告本

401637

申請日期	86.11.21
案 號	86111098
類 別	H01C07/60

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	使用三井技術供高密度動態隨機存取記憶體 (DRAM)之靜電放電(ESD)保護
	英 文	ESD PROTECTION FOR HIGH DENSITY DRAMS USING TRIPLE- WELL TECHNOLOGY
二、發明人 創作	姓 名	安艾吉 E. Ajith Amerasekera
	國 籍	斯里蘭卡籍
	住、居所	美國德州波蘭諾市萊克街一八〇〇號 1800 Lake Crest Lane, Plano, Texas 75023, U.S.A.
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國籍
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉 (William E. Hiller)

裝

訂

線

401637

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地 區) 申請專利，申請日期：西曆1996年案號：60/023,053 ☒有 ☐無主張優先權
8月2日

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

(民國 88 年 5 月 26 日送呈)
(Submitted on May 26, 1999)

五、發明說明(4)

包括區域1, 3及5。共同區3及5造成了最後的PNPN 矽控整流器(SCR)結構。

要將如圖1b的SCR開啟，需要將任何之一接點順向偏壓，諸如在n-井3及基底1間的接點、p-井5及n-井3間的接點或p-井5及n-井或區域7間的接點。SCR導通的需求為首先開啟SCR部分的PNP電晶體，包括基底1，n-井3及p-井5或是SCR部分的NPN電晶體，包括n-井3，p-井5及第二n-井或區域7。SCR的開啟是經由將端點23處的電壓提昇超過n-井3的電壓或將端點17處的電壓降低於p-井5的電壓來達成，因之將電流注入PNP電晶體或NPN電晶體的基極。開啟電壓相對於習知技術SCR ESD保護電路為非常的低，因為開啟電壓僅為端點23及n-井3間或端點17及p-井5間的電壓。

從一個電氣的透視圖，如圖2所示最終的結構，為從每一個區域1，3，5及7均具有導線的一個PNPN裝置。

現在參考圖3，顯示一個與圖1b相同的結構，除了p-型區域被改變成n-型區域及n-型區域被改變成p-型區域外且所有的參考文字均參見圖1b的結構，除了它們被加撇符號(')。

現在參考圖4(a)，顯示典型的一個具ESD保護電路35之MOS電晶體31之ESD防護。該ESD保護電路通常是關閉的，因此對地提供了一個非常高的阻抗。當接合墊33上的電壓變得超過了，電壓被加到ESD電路35上，特別是端點17，19及21，23以開啟任一PNP或NPN電晶體，並將MOS電晶體31週圍的電流分流，以避免對MOS造成損害。

現在參考圖4(b)，顯示典型的一個具ESD保護電路39

五、發明說明(1)

相關申請案之交互參考資料

本申請案與1994年9月7日申請之序號08/302,145(TI-18616)案相關，併入此處供參考。

發明背景

發明領域

本發明與積體電路相關，更特別的與積體電路的ESD保護相關。

習知技術概述

靜電放電(ESD)可能導致在處理積體電路晶片包裝時，積體電路半導體裝置之損壞。尤其是在包括動態隨機存取記憶體(DRAM)的金屬氧化物電路的案例中為甚。因此需要對該等電路保護以對抗肇因於諸如高能量，高電壓及/或高電流脈衝等壓力狀況所造成的損害。預防該等的損害通常是提供一種保護電路，將之整合於晶片上的積體電路。因此，通常積體電路在正常操作狀況下該等保護電路提供高阻抗或一個開路電路，在上述壓力狀況下則切換至低阻抗。該等保護電路通常包括一個切換開關，能於一個ESD事件時導通相當大電流。不同的裝置諸如PNPN-型的矽控整流器(SCRs)，可被且已被應用在ESD事件時，為需要保護的電路提供必要之分流切換功能。且該等習知裝置以及一個標準製造的方法已在前述所提及序號08/302,145文件中描述。

ESD防護所使用之習知技術電路及結構可承受高位準的ESD應力。然而，最近先進的技術已產製出體積顯著減小的裝置。此等小體積使得裝置可能在電壓位準低

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

於習知技術保護電路之觸發電壓時即已失效。於是，已尋求改進防護的方法，該等ESD保護電路之一即為如上提及之專利申請序號08/302,145所描述者。

發明概述

依據本發明，提供了一種使用最小區域且提供最大保護位準的ESD防護配備以克服前述的問題。

簡單的說，上述是經由在金屬氧化物半導體(CMOS)製程中提供一個三井式形成垂直雙極/矽控整流器(bipolar/SCR)的架構來達成。這個垂直結構與作側向的結構相較，允許較佳的功率散逸及較高的ESD位準。三井形成於一個滲入基底上，使用習知技術在一基底上及/或另一個井內形成井。每一個接續的井與基底或與其形成所在處的井具有相反的導電型式，且每一個井及基底具有一塊區域延伸至所製造裝置的單一上層表面。該基底可以是n-型或p-型，其上所形成井的導電型式則與基底以不同然後相同的型式交互的穿插。最後一個形成的井或區域可被較高度的滲入，以免除在其上形成一個高度滲入接觸區域的步驟。其結果為一個垂直的PNPN結構，從頂部表面它得以進入所有的區域。

圖例說明

圖1a為一特別製造具ESD保護的PNPN SCR架構橫斷面視圖；

圖1b為一依據本發明如圖1a之完整SCR結構橫斷面視圖；

圖1c為圖1b中所示電路的概要圖；

五、發明說明(3)

圖2為圖1b中所示完整裝置的概要圖；

圖3為如圖1b中所示之一裝置但是將原n-型區域改變成p-型區域，原p-型區域改變成n-型區域；

圖4(a)之概要圖顯示本發明之ESD保護電路與一個MOS電晶體結合使用來保護輸入電晶體；以及

圖4(b)之概要圖顯示本發明之ESD保護電路與一個MOS電晶體結合使用來保護輸出電晶體。

較佳實施例之詳細說明

參考圖1a，其中顯示一個起始架構，它被一個基本的樣式及滲入方法製作並包括一個在其中具有第一個n-型井3的p-型基底1。一個p-型井5在第一n-型井3中形成，且一個第二n-型井或區域7在p-型井5中形成。所有的3，5，7井延伸到基底1的上層表面9且基底的一部份也暴露在上層表面。依據本發明應該可以了解，一個等效裝置以及如此的具體實例，可由製成一個n-型基底具並有相反導電型式的井為開始。

現在參考圖1(b)及1(c)，一個p+接觸區域11在基底1的表面9被形成，一個n+接觸區域13在n-井3的表面9被形成且一個p+接觸區域15在p-井5的表面9被形成，n-井或區域7一開始被標準的光罩及滲入製成n+位準。接觸墊及/或導線以標準的型式被提供給接觸區，其中一個 V_N 導線17給予n-井，一個 V_{PW} 導線19給予接觸點15，一個 V_{NW} 導線21給予接觸點13及一個 V_{SUBS} 導線23給予接觸點11。可以看出形成了兩個雙極電晶體，其中一個電晶體為一個NPN電晶體包括區域3，5及7且另外一個為PNP電晶體

(請先閱讀背面之注意事項再填寫本頁)

訂

(民國 88 年 5 月 26 日送呈)
(Submitted on May 26, 1999)

五、發明說明(4)

包括區域1, 3及5。共同區3及5造成了最後的PNPN 矽控整流器(SCR)結構。

要將如圖1b的SCR開啟，需要將任何之一接點順向偏壓，諸如在n-井3及基底1間的接點、p-井5及n-井3間的接點或p-井5及n-井或區域7間的接點。SCR導通的需求為首先開啟SCR部分的PNP電晶體，包括基底1，n-井3及p-井5或是SCR部分的NPN電晶體，包括n-井3，p-井5及第二n-井或區域7。SCR的開啟是經由將端點23處的電壓提昇超過n-井3的電壓或將端點17處的電壓降低於p-井5的電壓來達成，因之將電流注入PNP電晶體或NPN電晶體的基極。開啟電壓相對於習知技術SCR ESD保護電路為非常的低，因為開啟電壓僅為端點23及n-井3間或端點17及p-井5間的電壓。

從一個電氣的透視圖，如圖2所示最終的結構，為從每一個區域1，3，5及7均具有導線的一個PNPN裝置。

現在參考圖3，顯示一個與圖1b相同的結構，除了p-型區域被改變成n-型區域及n-型區域被改變成p-型區域外且所有的參考文字均參見圖1b的結構，除了它們被加撇符號(')。

現在參考圖4(a)，顯示典型的一個具ESD保護電路35之MOS電晶體31之ESD防護。該ESD保護電路通常是關閉的，因此對地提供了一個非常高的阻抗。當接合墊33上的電壓變得超過了，電壓被加到ESD電路35上，特別是端點17，19及21，23以開啟任一PNP或NPN電晶體，並將MOS電晶體31週圍的電流分流，以避免對MOS造成損害。

現在參考圖4(b)，顯示典型的一個具ESD保護電路39

六、申請專利範圍

之PMOS電晶體35及NMOS電晶體37(或二者皆可為NMOS電晶體)。該ESD保護電路通常是關閉的，因此對地提供了一個非常高的阻抗。當接合墊41上的電壓變得超過了，電壓被加到ESD電路35上，特別是端點17，19及21，23以開啟任一PNP或NPN電晶體，並將MOS電晶體35，37週圍的電流分流，以避免對MOS造成損害。

雖然已使用特定的較佳具體實例來描述本發明，熟悉此技術人士因而將可很容易的立即對本發明之技術作各種的變更及修正。因此所附錄的專例申請範圍將由習知技術的觀點，試圖儘可能涵蓋如此的變更及修正。

(請先閱讀背面之注意事項再填寫本頁)

訂

後

四、中文發明摘要(發明之名稱：

使用三井技術供高密度
動態隨機存取記憶體(DRAM)
之靜電放電(ESD)保護

一種具ESD保護的半導體電路及ESD保護電路。此保護電路包括一個端點(33)，一個半導體裝置(31)耦合至該端點以及一個ESD保護電路(35)。該ESD保護電路包括一個第一導電型式的基底(1)並具一表面(9)；與第一導電型式相反的第一井(3)被安置在基底中並延伸到表面；與第一導電型式相同的第二井(5)被安置在第一井內與基底隔開並延伸到表面；與第一導電型式相反的第三區域(7)被安置在在第二井內與基底隔開並延伸到表面。至少有一基底或第三區域被耦合到端點上。

英文發明摘要(發明之名稱：ESD PROTECTION FOR HIGH DENSITY DRAMS
USING TRIPLE-WELL TECHNOLOGY)

An ESD protected semiconductor circuit and the ESD protection circuit. The protected circuit includes a terminal (33), a semiconductor device (31) coupled to the terminal and an ESD protection circuit (35). The ESD protection circuit includes a substrate (1) of a first conductivity type and has a surface (9). A first well (3) of conductivity type opposite to the first conductivity type is disposed within the substrate and extends to the surface. A second well (5) of the first conductivity type is disposed within the first well and is spaced from the substrate and extending to the surface. A third region (7) of the opposite conductivity type is disposed within the second well and is spaced from the first well and extending to the surface. At least one of the substrate or the third region is coupled to the terminal.

六、申請專利範圍

專利申請案第 86111098 號
ROC Patent Appln. No. 86111098
中文申請專利範圍修正本 - 附件一
Amended Claims in Chinese - Encl. I
(89 年 1 月 25 日送呈)
(Submitted on January 25, 2000)

1. 一種具 ESD 保護之半導體電路，包括：

- (a) 一個端點；
- (b) 一個半導體裝置，耦合至該端點；以及
- (c) 一個通常不操作之 ESD 保護電路，耦合至該端點，該 ESD 保護電路包含一個 PNP 半導體元件，該半導體元件含有
 - (i) 一個第一導電型式半導體區域，具有一個表面；
 - (ii) 一個具有與該第一導電型式相反之導電型式的第一井，被安置在該區域中且延伸到該表面；
 - (iii) 一個該第一導電型式的第二井，被安置在該第一井內，與該區域隔開且延伸到該表面；以及
 - (iv) 一個該相反導電型式的第三井，被安置在該第二井內，與該第一井及該區域隔開且延伸到該表面；
- (d) 該通常不操作之 ESD 保護電路在預定條件下操作，以保護該半導體裝置，以及
- (e) 個別之接觸區域，在該表面上，供各該區域與該

(請先閱讀背面之注意事項再填寫本頁)

訂

象

六、申請專利範圍

專利申請案第 86111098 號
ROC Patent Appln. No. 86111098
中文申請專利範圍修正本 - 附件一
Amended Claims in Chinese - Encl. I
(89 年 1 月 25 日送呈)
(Submitted on January 25, 2000)

1. 一種具 ESD 保護之半導體電路，包括：

- (a) 一個端點；
- (b) 一個半導體裝置，耦合至該端點；以及
- (c) 一個通常不操作之 ESD 保護電路，耦合至該端點，該 ESD 保護電路包含一個 PNP 半導體元件，該半導體元件含有
 - (i) 一個第一導電型式半導體區域，具有一個表面；
 - (ii) 一個具有與該第一導電型式相反之導電型式的第一井，被安置在該區域中且延伸到該表面；
 - (iii) 一個該第一導電型式的第二井，被安置在該第一井內，與該區域隔開且延伸到該表面；以及
 - (iv) 一個該相反導電型式的第三井，被安置在該第二井內，與該第一井及該區域隔開且延伸到該表面；
- (d) 該通常不操作之 ESD 保護電路在預定條件下操作，以保護該半導體裝置，以及
- (e) 個別之接觸區域，在該表面上，供各該區域與該

(請先閱讀背面之注意事項再填寫本頁)

訂

象

六、申請專利範圍

第一井及第二井。

2. 如申請專利範圍第 1 項所述之電路，其中該半導體裝置為一個 MOS 電晶體。
3. 如申請專利範圍第 1 項所述之電路，其中該第一導電型式為 p-型。
4. 如申請專利範圍第 2 項所述之電路，其中該第一導電型式為 p-型。
5. 如申請專利範圍第 1 項所述之電路，其中該第一導電型式為 n-型。
6. 如申請專利範圍第 2 項所述之電路，其中該第一導電型式為 n-型。
7. 一種 ESD 保護電路，包括一個 PNP 半導體元件，該半導體元件含有：
 - (a) 一個第一導電型式半導體區域，具有一個表面；
 - (b) 一個具有與該第一導電型式相反之導電型式的第一井，被安置在該區域中且延伸到該表面；
 - (c) 一個該第一導電型式的第二井，被安置在該第一井內，與該區域隔開且延伸到該表面；
 - (d) 一個該相反導電型式的第三井，被安置在該第二井內，與該第一井隔開並延伸到該表面；以及
 - (e) 個別之接觸區域，在該表面上，供各該半導體區域與該第一井及第二井。
8. 如申請專利範圍第 7 項所述之電路，其中該半導體裝置為一個 MOS 電晶體。

(請先閱讀背面之注意事項再填寫本頁)

訂

象

六、申請專利範圍

9. 如申請專利範圍第 7 項所述之電路，其中該第一導電型式為 p-型。

10. 如申請專利範圍第 7 項所述之電路，其中該第一導電型式為 n-型。

11. 一種 EDS 保護電路，包括一個 PNP 半導體元件，該半導體元件含有：

(a) 一個第一導電型式半導體區域，具有一個表面；

(b) 三個井，被安置在該半導體區域中且延伸到該表面，該等井之第一井全部在該等井之第二井中，該第二井全部在該井之第三井中，該第三井被安置在該區域中，該第二井具有第一導電型式，且該第一井及第三井具有相反之導電型式；以及

(c) 個別之接觸區域，在該表面上，供各該半導體區域與該第一井及第二井。

12. 如申請專利範圍第 11 項所述之電路，其中該第一導電型式為 p-型。

13. 如申請專利範圍第 11 項所述之電路，其中該第一導電型式為 n-型。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

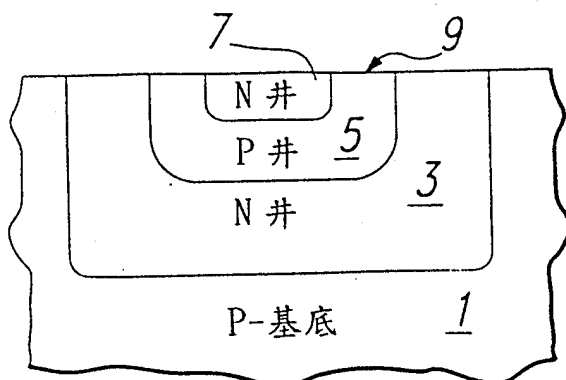


圖 1a

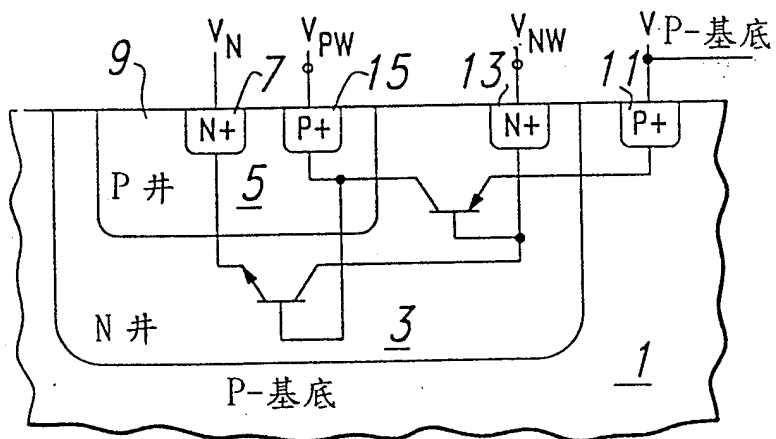


圖 1b

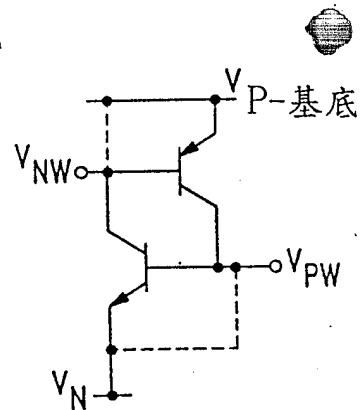


圖 1c

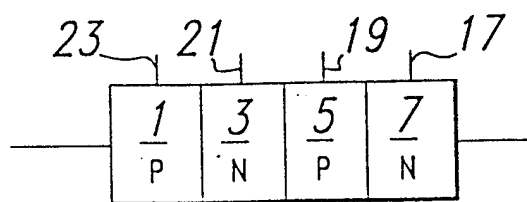


圖 2

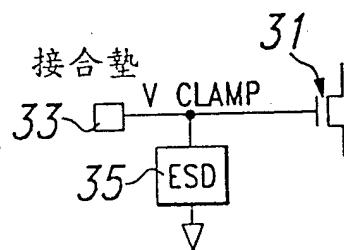


圖 4a

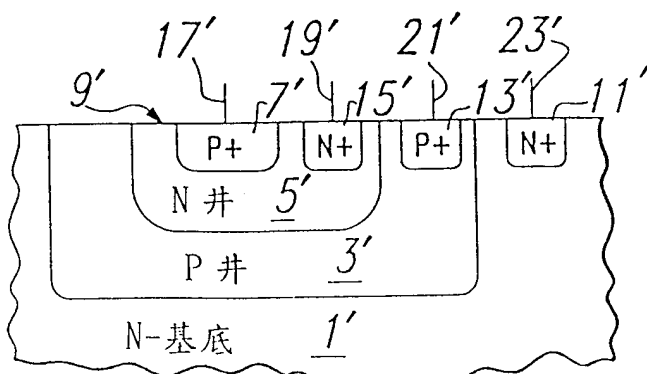


圖 3

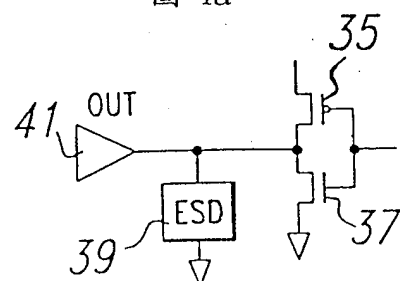


圖 4b