

(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 105321873 A

(43) 申请公布日 2016. 02. 10

(21) 申请号 201410770276. 8

(22) 申请日 2014. 12. 15

(30) 优先权数据

14/333,961 2014. 07. 17 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 陈品彣 张志维

(74) 专利代理机构 北京德恒律治知识产权代理
有限公司 11409

代理人 章社果 李伟

(51) Int. Cl.

H01L 21/768(2006. 01)

H01L 23/528(2006. 01)

H01L 23/532(2006. 01)

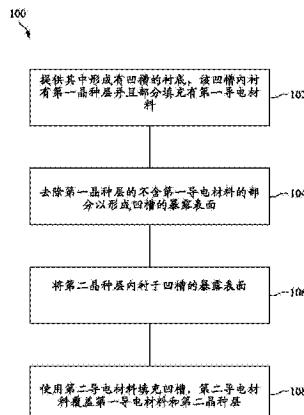
权利要求书2页 说明书11页 附图13页

(54) 发明名称

导电结构及其形成方法

(57) 摘要

本发明公开了导电结构及其制造方法。在一些实施例中，一种形成导电结构的方法包括：提供在其中形成有凹槽的衬底，该凹槽内衬有第一晶种层且部分填充有第一导电材料；去除第一晶种层的不包含第一导电材料的部分以形成凹槽的暴露表面；将第二晶种层内衬于凹槽的暴露表面；以及使用第二导电材料填充凹槽，第二导电材料覆盖第一导电材料和第二晶种层。



1. 一种方法,包括:

提供衬底,所述衬底中形成有凹槽,所述凹槽内衬有第一晶种层并且部分地填充有第一导电材料;

去除所述第一晶种层的不包含所述第一导电材料的部分以形成所述凹槽的暴露表面;

将第二晶种层内衬于所述凹槽的暴露表面;以及

使用第二导电材料填充所述凹槽,所述第二导电材料覆盖所述第一导电材料和所述第二晶种层。

2. 根据权利要求 1 所述的方法,其中,去除所述第一晶种层的不包含所述第一导电材料的部分包括:蚀刻所述第一晶种层的不包含所述第一导电材料的部分。

3. 根据权利要求 2 所述的方法,其中,蚀刻所述第一晶种层的不包含所述第一导电材料的部分包括:使用等离子体蚀刻剂来等离子体蚀刻所述第一晶种层的不包含所述第一导电材料的部分。

4. 根据权利要求 3 所述的方法,其中,所述等离子体蚀刻剂包括含卤素等离子体蚀刻剂。

5. 根据权利要求 4 所述的方法,其中,所述含卤素等离子体蚀刻剂包括含氟等离子体蚀刻剂。

6. 根据权利要求 1 所述的方法,其中,去除所述第一晶种层的不包含所述第一导电材料的部分包括:蚀刻所述第一晶种层的不包含所述第一导电材料的部分和所述第一导电材料的面向所述凹槽的开口的表面。

7. 根据权利要求 1 所述的方法,其中,将所述第二晶种层内衬于所述凹槽的暴露表面包括选自由脉冲的成核层工艺、原子层沉积工艺和它们的组合组成的组中的工艺。

8. 一种方法,包括:

将阻挡层内衬于形成在绝缘层中的沟槽以形成凹槽;

将第一晶种层内衬于所述凹槽;

使用第一导电材料部分地填充所述凹槽,其中,所述第一晶种层的邻近所述凹槽的开口的部分不包含所述第一导电材料;

去除所述第一晶种层的不包含所述第一导电材料的部分以形成所述凹槽的暴露表面;

将第二晶种层内衬于所述凹槽的暴露表面;以及

使用第二导电材料填充所述凹槽。

9. 根据权利要求 8 所述的方法,其中,使用所述第一导电材料部分地填充所述凹槽包括:

处理所述第一晶种层的邻近所述凹槽的开口的部分以形成所述第一晶种层的处理部分;以及

使用所述第一导电材料填充所述凹槽,其中,所述第一晶种层的处理部分不包含所述第一导电材料。

10. 一种方法,包括:

提供衬底,所述衬底中形成有第一凹槽和第二凹槽,其中,所述第一凹槽在所述衬底内

延伸第一距离，所述第二凹槽在衬底内延伸第二距离，所述第二距离小于所述第一距离；

将第一晶种层内衬于所述第一凹槽和所述第二凹槽；

将所述第二凹槽中的第一晶种层和位于所述第一凹槽中邻近所述第一凹槽的开口的所述第一晶种层的一部分暴露于处理工艺，从而形成第一晶种层的处理部分；

使用第一导电材料部分地填充所述第一凹槽，其中，所述第一晶种层的处理部分不包含所述第一导电材料；

去除所述第一晶种层的处理部分以形成所述第一凹槽和所述第二凹槽的暴露表面；

将第二晶种层内衬于所述第一凹槽和所述第二凹槽的暴露表面；以及

使用第二导电材料覆盖所述第二晶种层，所述第二导电材料填充所述第一凹槽和所述第二凹槽。

导电结构及其形成方法

技术领域

[0001] 本发明涉及导电结构及其形成方法。

背景技术

[0002] 半导体器件应用于各种电子应用中，例如个人电脑、手机、数码相机和其他电子设备。通常通过在半导体衬底上方依次沉积绝缘或介电层、导电层和半导体层的材料，并且使用光刻图案化各个材料层来在其上形成电路部件和元件，从而形成半导体器件。

[0003] 通过持续减小最小部件的尺寸，以允许在给定区域内集成更多的部件，使得半导体工业连续改进各种电部件（例如，晶体管、二极管、电阻器、电容器等）的集成密度。同时，向和/或从各个电部件提供电连接的导体结构（诸如接触插塞）也经历了临界尺寸和最小部件尺寸的持续减小。然而，临界尺寸和最小部件尺寸的减小通常伴随着导电结构的接触电阻的增大。

发明内容

[0004] 为了解决现有技术中存在的问题，根据本发明的一个方面，提供了一种方法，包括：提供衬底，所述衬底中形成有凹槽，所述凹槽内衬有第一晶种层并且部分地填充有第一导电材料；去除所述第一晶种层的不包含所述第一导电材料的部分以形成所述凹槽的暴露表面；将第二晶种层内衬于所述凹槽的暴露表面；以及使用第二导电材料填充所述凹槽，所述第二导电材料覆盖所述第一导电材料和所述第二晶种层。

[0005] 在上述方法中，去除所述第一晶种层的不包含所述第一导电材料的部分包括：蚀刻所述第一晶种层的不包含所述第一导电材料的部分。

[0006] 在上述方法中，蚀刻所述第一晶种层的不包含所述第一导电材料的部分包括：使用等离子体蚀刻剂来等离子体蚀刻所述第一晶种层的不包含所述第一导电材料的部分。

[0007] 在上述方法中，所述等离子体蚀刻剂包括含卤素等离子体蚀刻剂。

[0008] 在上述方法中，所述含卤素等离子体蚀刻剂包括含氟等离子体蚀刻剂。

[0009] 在上述方法中，去除所述第一晶种层的不包含所述第一导电材料的部分包括：蚀刻所述第一晶种层的不包含所述第一导电材料的部分和所述第一导电材料的面向所述凹槽的开口的表面。

[0010] 在上述方法中，将所述第二晶种层内衬于所述凹槽的暴露表面包括选自由脉冲的成核层工艺、原子层沉积工艺和它们的组合组成的组中的工艺。

[0011] 根据本发明的另一方面，还提供了一种方法，包括：将阻挡层内衬于形成在绝缘层中的沟槽以形成凹槽；将第一晶种层内衬于所述凹槽；使用第一导电材料部分地填充所述凹槽，其中，所述第一晶种层的邻近所述凹槽的开口的部分不包含所述第一导电材料；去除所述第一晶种层的不包含所述第一导电材料的部分以形成所述凹槽的暴露表面；将第二晶种层内衬于所述凹槽的暴露表面；以及使用第二导电材料填充所述凹槽。

[0012] 在上述方法中，使用所述第一导电材料部分地填充所述凹槽包括：处理所述第一

晶种层的邻近所述凹槽的开口的部分以形成所述第一晶种层的处理部分；以及使用所述第一导电材料填充所述凹槽，其中，所述第一晶种层的处理部分不包含所述第一导电材料。

[0013] 在上述方法中，处理所述第一晶种层的部分包括将所述第一晶种层的所述部分暴露于处理等离子体。

[0014] 在上述方法中，所述处理等离子体包括选自由含氮等离子体、含氢等离子体、含氧等离子体、含碳氢化合物等离子体和它们的组合组成的组中的等离子体。

[0015] 在上述方法中，使用所述第一导电材料部分地填充所述凹槽包括：从所述凹槽的底部向着所述凹槽的开口生长一定厚度的所述第一导电材料。

[0016] 在上述方法中，将所述第二晶种层内衬于所述凹槽的暴露表面包括：在所述凹槽的暴露表面上方和所述第一导电材料的面向所述凹槽的开口的表面上方形成第二晶种层。

[0017] 在上述方法中，将所述第一晶种层内衬于所述凹槽包括：形成厚度在从约1纳米至约5纳米的范围内的所述第一晶种层。

[0018] 在上述方法中，将所述第二晶种层内衬于所述凹槽的暴露表面包括：形成厚度在从约1纳米至约8纳米的范围内的所述第二晶种层。

[0019] 根据本发明的又一方面，还提供了一种方法，包括：提供衬底，所述衬底中形成有第一凹槽和第二凹槽，其中，所述第一凹槽在所述衬底内延伸第一距离，所述第二凹槽在衬底内延伸第二距离，所述第二距离小于所述第一距离；将第一晶种层内衬于所述第一凹槽和所述第二凹槽；将所述第二凹槽中的第一晶种层和位于所述第一凹槽中邻近所述第一凹槽的开口的所述第一晶种层的一部分暴露于处理工艺，从而形成第一晶种层的处理部分；使用第一导电材料部分地填充所述第一凹槽，其中，所述第一晶种层的处理部分不包含所述第一导电材料；去除所述第一晶种层的处理部分以形成所述第一凹槽和所述第二凹槽的暴露表面；将第二晶种层内衬于所述第一凹槽和所述第二凹槽的暴露表面；以及使用第二导电材料覆盖所述第二晶种层，所述第二导电材料填充所述第一凹槽和所述第二凹槽。

[0020] 在上述方法中，将所述第二凹槽中的第一晶种层和位于所述第一凹槽中邻近所述第一凹槽的开口的所述第一晶种层的所述部分暴露于处理工艺包括：使用处理等离子体来处理所述第二凹槽中的第一晶种层和位于所述第一凹槽中邻近所述第一凹槽的开口的所述第一晶种层的所述部分。

[0021] 在上述方法中，所述处理等离子体包括选自由含氮等离子体、含氢等离子体、含氧等离子体、含碳氢化合物等离子体和它们的组合组成的组中的等离子体。

[0022] 在上述方法中，去除所述第一晶种层的处理部分以形成所述第一凹槽和所述第二凹槽的暴露表面包括：将所述第一晶种层的处理部分暴露于蚀刻工艺。

[0023] 在上述方法中，所述蚀刻工艺包括等离子体蚀刻工艺。

附图说明

[0024] 当结合参考附图进行阅读时，根据下文具体的描述可以更好地理解本发明的各个方面。应该注意，根据工业中的标准实践，各个部件无需按比例绘制。事实上，为了清楚的讨论，各个部件的尺寸可以任意地增大或减小。

[0025] 图1和图2示出了根据一些实施例的形成导体结构的方法。

[0026] 图3A至图3H示出了根据一些实施例的表示图1和图2中示出的方法的一些工艺

步骤的工艺流程。

[0027] 图 4A 至图 4H 示出了根据一些实施例的在具有悬伸件的凹槽中形成导体导电结构的方法的一些工艺步骤的工艺流程图。

[0028] 图 5 示出了根据图 4A 至图 4H 中示出的工艺步骤形成的导电结构的浓度分布图。

[0029] 图 6 示出了根据一些实施例的形成导电结构方法。

具体实施方式

[0030] 本发明的以下内容提供了许多用于实施所提供主题的不同特征的不同实施例或实例。以下描述部件和布置的具体实例以简化本发明。当然,这仅仅是实例,并不用于限制本发明。例如,第一部件形成在第二部件之上或者上可以包括第一部件和第二部件以直接接触的方式形成的实施例,并且也可以包括在第一部件和第二部件之间形成附加部件,从而使得第一部件和第二部件不直接接触的实施例。此外,本发明可在各个实例中重复参照标号和 / 或字符。该重复是为了简明和清楚的目的,而且其本身没有规定所述各种实施例和 / 或结构之间的关系。

[0031] 另外,在本文中可以使用诸如“在…下面”、“在…下方”、“下”、“在…上方”、“上”等的空间相对位置术语以便于描述如附图所示的一个元件或部件与另一个(或另一些)元件或部件的关系。除了图中描述的方位外,这些空间相对位置术语旨在包括器件在使用或操作中的不同方位。器件可以以其他方式定向(旋转 90 度或其他方位上),并因此对本文中使用的空间相对位置描述符进行同样的解释。

[0032] 图 1 示出了根据一个或多个实施例的形成导体结构(例如,接触插塞)的方法 100。方法 100 可以包括:提供其中形成有凹槽的衬底,该凹槽内衬有第一晶种层并且部分填充有第一导电材料(在步骤 102 中);去除第一晶种层的不含第一导电材料的部分以形成凹槽的暴露表面(在步骤 104 中);将第二晶种层内衬于凹槽的暴露表面(在步骤 106 中);以及使用第二导电材料填充凹槽,第二导电材料覆盖第一导电材料和第二晶种层(在步骤 108 中)。

[0033] 图 2 示出了根据一个或多个实施例的形成导电结构(例如,导电插塞)的方法 200。方法 200 可以包括:提供其中形成有第一凹槽和第二凹槽的衬底,其中,第一凹槽在衬底内延伸第一距离,并且第二凹槽在衬底内延伸第二距离,第二距离小于第一距离(在步骤 202 中);将第一晶种层内衬于第一凹槽和第二凹槽(在步骤 204 中);将第二凹槽中的第一晶种层以及第一晶种层在第一凹槽中的接近第一凹槽的开口的部分暴露于处理等离子体,从而形成第一晶种层的处理部分(在步骤 206 中);使用第一导电材料部分地填充第一凹槽,其中,第一晶种层的处理部分不包括第一导电材料(在步骤 208 中);去除第一晶种层的处理部分以形成第一凹槽和第二凹槽的暴露表面(在步骤 210 中);将第二晶种层内衬于第一凹槽和第二凹槽的暴露表面(在步骤 212 中);以及使用第二导电材料覆盖第二晶种层,第二导电材料填充第一凹槽和第二凹槽(在步骤 214 中)。

[0034] 图 3A 至图 3H 示出了根据一个或多个实施例的表示图 1 中示出的方法 100 和图 2 中示出的方法 200 的一些工艺步骤的工艺流程。图 3A 至图 3H 中示出的工艺流程图可以例如在制造导电结构的过程中实施以用于接触(例如,电接触)下面的电元件(例如,通孔、导线或迹线等)和 / 或下面的电部件(例如,晶体管、二极管、电阻器、电容器等)。

[0035] 图 3A 示出了衬底 300，其包括半导体衬底层 302、绝缘层 304、第一凹槽 306、第二凹槽 308 和阻挡层 310。半导体衬底层 302 可以包括元素半导体材料（诸如硅或锗）；化合物半导体材料（包括碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和 / 或锑化铟）；和金半导体材料（包括 SiGe、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP 和 / 或 GaInAsP）；或它们的组合，或由以上材料组成。半导体衬底层 302 可以包括或可以是绝缘体上半导体 (SOI) 衬底。SOI 衬底可以包括通过诸如注氧隔离 (SIMOX) 的工艺和 / 或其他合适的工艺形成的埋氧 (BOX) 层。此外，半导体衬底层 302 可以包括外延层 (epi- 层)，例如，其可以是应变的以用于增强性能。

[0036] 半导体衬底层 302 可以包括形成于其中或其上的电元件和 / 或电部件（在图 3A 中用参考标号 303 以虚线示出）。例如，电元件和 / 或电部件 303 可以形成在或靠近面对绝缘层 304 的半导体衬底 302 的表面 302a 处。电元件可以包括或可以是通孔、导线。导电迹线等中的至少一种，而电部件可以包括或可以是晶体管、二极管。电阻器。电容器等中的至少一种。

[0037] 绝缘层 304 可以设置在半导体衬底层 302 的表面 302a 的顶上。绝缘层 304 可以包括介电材料，或可以由介电材料组成并且可以是层间介电 (ILD) 层。绝缘层 304 的介电材料可以包括或可以是低 k 介电材料，例如，k 值小于或等于约 3.0 或甚至小于或等于约 2.5。绝缘层 304 可以包括磷硅酸盐玻璃 (PSG)、硼磷硅酸盐玻璃 (BPSG)、氟硅酸盐玻璃 (FSG)、 SiO_xC_y 、正硅酸四乙酯 (TEOS) 氧化物、旋涂玻璃、旋涂聚合物、碳化硅材料、它们的化合物、它们的复合物、它们的组合等或由上述材料组成。绝缘层 304 可以包括一个或多个绝缘材料的层。换句话说，绝缘层 304 可以包括或可以是单层结构（例如，包括一个绝缘材料层）或多层结构（例如，包括两个以上的绝缘材料层）。绝缘层 304 可以包括一个或多个形成于其中的电元件（例如，通孔、导线、导电迹线等）（未在图 3A 中示出）。可以通过化学汽相沉积 (CVD)、物理汽相沉积 (PVD)、原子层沉积 (ALD)、旋涂电介质工艺、它们的组合等在半导体衬底层 302 的顶上形成绝缘层 304。

[0038] 在半导体衬底层 302 的顶上形成绝缘层 304 之后，例如，可以通过蚀刻工艺在绝缘层 304 中形成第一沟槽 304b 和第二沟槽 304c（其可以浅于沟槽 304b）。蚀刻工艺可以包括或可以是湿蚀刻工艺或干蚀刻工艺（例如，等离子体蚀刻工艺）中的至少一种。在形成第一沟槽 304b 和第二沟槽 304c 中，可以首先在绝缘层 304 的背向半导体衬底层 302 的表面 304a 的一部分上方形成图案化的蚀刻掩模（未在图 3A 中示出）。图案化的蚀刻掩模的形成可以包括：将掩蔽材料（例如，光刻胶）涂覆在绝缘层 304 的表面 304a 上方，以及图案化掩蔽材料以形成图案化的蚀刻掩模。图案化掩蔽材料可以包括光刻工艺（例如，光刻工艺）或由上述工艺组成。然后，可以与图案化的蚀刻掩模配合应用蚀刻工艺以在绝缘层 304 中形成第一沟槽 304b 和第二沟槽 304c。可以在蚀刻工艺之后清洗绝缘层 304 的表面 304a 和新形成的第一沟槽 304b 和第二沟槽 304c 的表面。例如，可以使用惰性气体溅射工艺（例如，氩溅射）或基于等离子体的清洗工艺（例如，SiCoNi 预清洗工艺）中的至少一种来清洗第一沟槽 304b、第二沟槽 304c 和绝缘层 304 的表面。

[0039] 然后，可以将阻挡层 310 形成于第一沟槽 304b 和第二沟槽 304c 清洗后的表面上方以及绝缘层 304 的清洗后的表面 304a 上方。第一沟槽 304b 中阻挡层 310 的表面可以限定第一凹槽 306 的表面。相似地，第二沟槽 304c 中的阻挡层 310 的表面可以限定第二凹槽

308 的表面。阻挡层 310 可以防止随后形成于第一凹槽 306 和第二凹槽 308 中的导电材料扩散到绝缘层 304 内。

[0040] 可以通过 PVD、CVD、ALD 等中的至少一种形成阻挡层 310。形成阻挡层 310 的方法也可以包括热工艺（例如，退火工艺），其可以例如在约 400 摄氏度至约 650 摄氏度的温度范围内实施，例如在约 450 摄氏度至约 600 摄氏度的范围内，但是其他的温度范围也是可能的。

[0041] 阻挡层 310 的厚度可以在约 1 纳米至约 20 纳米的范围内，例如，在约 3 纳米至约 15 纳米的范围内，但是其他厚度也是可能的。阻挡层 310 可以包括氮化钽 (TaN)、钽 (Ta)、钌 (Ru)、它们的组合等或由上述材料组成。虽然这些材料被认为是常见的材料，但是也可以使用例如钛 (Ti)、钨 (W)、锆 (Zr)、铪 (Hf)、钼 (Mo)、铌 (Nb)、钒 (V)、钌 (Ru)、铱 (Ir)、铂 (Pt) 和铬 (Cr) 的其他阻挡层材料。

[0042] 阻挡层 310 可以包括一个或多个阻挡材料层。换句话说，阻挡层 310 可以包括或可以是单层结构（例如，包括一个阻挡材料层）或多层结构（例如，包括两个以上的阻挡材料层）。例如，阻挡层 310 可以包括邻近绝缘层 304 的第一层（例如，包括 Ti 且其厚度为例如约 2 纳米）和形成于第一层上方的第二层（例如，包括 TiN 且其厚度为例如约 2 纳米）。

[0043] 第一凹槽 306 的第一宽度 W1 可以测量作为第一凹槽 306 的最宽的横向长度。相似地，第二凹槽 308 的第二宽度 W2 可以测量作为第二凹槽 308 的最宽的横向长度。例如，如图 3A 的实例所示，第一宽度 W1 可以测量作为在第一凹槽 306 的开口处的阻挡层 310 的相对表面之间的距离。在图 3A 的实例中示出了测量第二宽度 W2 的相似的方式。第一宽度 W1 和第二宽度 W2 均可以在从约 10 纳米至约 100 纳米的范围内，例如，在从约 20 纳米至约 50 纳米的范围内，例如，约 25 纳米，但是根据其他实施例也可以是可能的其他数值。

[0044] 第一凹槽 306 可以在衬底 300 内延伸第一距离 D1，且第二凹槽 308 可以在衬底 300 内延伸第二距离 D2，其中，第二距离 D2 可以小于第一距离 D1。例如，第一距离 D1 和第二距离 D2 可以分别称为第一凹槽 306 的深度和第二凹槽 308 的深度。如图 3A 所示，例如，第一距离 D1 可以测量作为位于第一凹槽 306 外侧的阻挡层 310 的表面与第一凹槽 306 的底面处的阻挡层 310 的表面之间的距离。图 3A 的实例中示出了测量第二距离 D2 的相似的方式。

[0045] 在图 3A 示出的实例中，第一凹槽 306 完全地延伸穿过衬底 300 的绝缘层 304，而第二凹槽 308 部分地延伸穿过衬底 300 的绝缘层 304。然而，在其他实施例中，第一凹槽 306 和第二凹槽 308 可以部分延伸穿过绝缘层 304。第一距离 D1 可以在从约 50 纳米至约 300 纳米的范围内，例如，在从约 100 纳米至约 200 纳米的范围内，例如，约 150 纳米，但是根据其他实施例也可以是其他可能的数值。第二距离 D2 可以在从约 50 纳米至约 100 纳米的范围内，例如，约 80 纳米，但是根据其他实施例也可以是其他可能的数值。

[0046] 例如接触插塞的导电结构随后可以形成在第一凹槽 306 和第二凹槽 307 中，例如，用于接触下面的电元件（例如，通孔、导线或迹线）和 / 或下面的电部件（例如，晶体管、二极管、电阻器、电容器等）。图 3B 至图 3H 示出了在图 3A 中示出的在第一凹槽 306 和第二凹槽 308 中形成导电结构的一些工艺步骤。

[0047] 如图 3B 所示，第一晶种层 312 可以形成在第一凹槽 306 和第二凹槽 308 中，并内衬于其表面。第一晶种层 312 也形成于沉积在绝缘层 304 的表面 304a 的顶上的阻挡层 310 的上方。第一晶种层 312 是导电材料的薄层，其在随后的工艺步骤（例如，如图 3D 所示的

第一导电材料在第一凹槽 306 中的形成) 中帮助厚层的形成。可以通过脉冲成核层 (PNL) 工艺或 ALD 工艺中的至少一种形成第一晶种层 312, 但是也可以采用可行的其他工艺。在从约 200 摄氏度至约 500 摄氏度的温度范围内实施用于形成第一晶种层 312 的工艺, 例如, 约 400 摄氏度。在实施例中, 第一晶种层 312 可以包括钨或可以由钨组成。在其他实施例中, 可以采用其他导电材料, 例如, 铜、钛、钽、铬、铂、银、金、它们的组合等。第一晶种层 312 的厚度可以为从 1 纳米至约 5 纳米的范围内 (例如, 约 3 纳米), 但是也可以采用其他厚度。

[0048] 然后, 如图 3C 所示, 可以将部分的第一晶种层 312 暴露于处理工艺 314 以形成第一晶种层的处理部分 312t。第一晶种层 312 的未暴露于处理工艺 314 的部分可以称为第一晶种层的未处理部分 312u。如图 3C 的实例所示, 第一晶种层的处理部分 312t 可以包括第一晶种层 312 在第二凹槽 308 内的部分、第一晶种层 312 的设置在绝缘层 304 的表面 304a 上方的部分和第一晶种层 312 在第一凹槽 306 内的邻近第一凹槽 306 的开口的部分。

[0049] 可以至少部分地根据第一凹槽 306 和第二凹槽 308 的几何结构而将部分第一晶种层 312 暴露于处理工艺 314。例如, 图 3C 中示出了第二凹槽 308 浅于第一凹槽 306。因此, 处理工艺 314 能够渗透整个第二凹槽 308 的第二距离 D2, 从而处理设置在第二凹槽 308 中的全部第一晶种层 312。另一方面, 第一凹槽 306 可以在衬底 300 内延伸的更深。因此, 处理工艺 314 可以仅渗透第一凹槽 306 的一部分 (例如, 上部), 从而处理第一晶种层 312 在第一凹槽 306 内的邻近第一凹槽 306 的开口的部分。

[0050] 处理工艺 314 可以在第一晶种层的处理部分 312t 处禁止或抑制导电材料的生长、沉积或成核。这种禁止或抑制可以通过多种机制来实现。在一种机制中, 活性种可以使第一晶种层 312 的暴露部分钝化。例如, 活性种可以是处理等离子体。换言之, 处理工艺 314 可以是等离子体处理工艺。处理等离子体可以包括或可以是含氮等离子体、含氢等离子体、含氧等离子体或含碳氢化合物等离子体中的至少一种。处理工艺 314 在第一晶种层的处理部分 312t 处对导电材料的生长、沉积或成核的抑制程度可以至少部分地依赖于处理等离子体的组分。例如, 氮的抑制效果强于氢, 并且对处理等离子体中氮和氢的相对浓度的调节可以改变在第一晶种层的处理部分 312t 处对导电材料的生长、沉积或成核的禁止和抑制的程度。在处理等离子体包括氮 (例如, N₂) 或由氮 (例如, N₂) 组成的实施例中, 处理等离子体的流速可以在从约 1 标准立方厘米每分钟 (sccm) 至约 20sccm 的范围内。在这个实施例中, 可以在从约 300 摄氏度至约 400 摄氏度的温度范围内, 以及在从约 0.6Torr 至约 2Torr 的压力范围内实施处理工艺 314, 也可以使用其他可行的温度和压力。在另一个机制中, 可以通过在活性种和第一晶种层 312 的暴露表面之间的化学反应实现禁止。化学反应可以形成化合物材料 (例如, 氮化钨或碳化钨) 的薄层。例如, 可以通过等离子体生长和 / 或暴露于紫外线辐射下形成活性种, 其活性种可以包括原子种、自由基种和离子种。在又一个机制中, 可以通过使表面钝化但不形成化合物材料层的诸如吸附的表面效应来实现禁止。

[0051] 处理工艺 314 也可以具有改变第一晶种层的处理部分 312t 中的一种或多种材料的相的效果。例如, 图 3B 中示出的第一晶种层 312 可以包括第一相的钨 (称为 α 钨) 或由第一相的钨组成。在图 3C 中示出的处理工艺 314 之后, 第一晶种层的处理部分 312t 中的钨的相可以从第一相 (α 钨) 改变为第二相 (称为 β 钨)。第一晶种层的未处理部分 312u 中的钨的相未改变且保持为 α 钨。在第一晶种层的处理部分 312t 处的相改变也可以导致钨的电阻率的改变。例如, 在约 300 开尔文下, α 钨 (第一晶种层的未处理部分 312u

中)的电阻率在从约 5 微欧姆厘米至约 6 微欧姆厘米的范围内,而在约 300 开尔文下,β 钨(第一晶种层的处理部分 312t 中)的电阻率高于约 40 微欧姆厘米。随后在衬底 300 中形成的导电材料可以优先地或选择地形成在第一晶种层的未处理部分 312u 上方而并不形成在第一晶种层的处理部分 312t 上方。

[0052] 如图 3D 所示,第一凹槽 306 可以部分地填充有第一导电材料 316,第一导电材料 316 可以包括与第一晶种层 312 相似的材料或由该材料组成。第一导电材料 316 可以覆盖第一晶种层的未处理部分 312u。由于在第一晶种层的处理部分 312t 处禁止或抑制了导电材料的生长、沉积或成核,因此第一导电材料 316 未形成在第一晶种层的处理部分 312t 上方。从而,第一晶种层的处理部分 312t 可以不包括第一导电材料 316。第一导电材料 316 也可以称为第一块状导电材料,其可以具有低于第一晶种层的处理部分 312t 的电阻率。

[0053] 可以通过填充工艺将第一导电材料 316 形成于第一凹槽 306 内。在实施例中,填充工艺可以是 PVD 工艺或 CVD 工艺中的至少一种。填充工艺可以是自下而上填充工艺,其可以是处理工艺 314 的结果。例如,除了禁止导电材料在第一晶种层的处理部分 312t 处的形成外,处理工艺 314(如图 3C 所示)可以导致导电材料形成于第一晶种层的未处理部分 312u 上方以进行与共形填充工艺不同的自下而上填充工艺。如在图 3D 中示出的实例所应用的,在自下而上填充工艺中,第一导电材料 316 可以首先以薄层的形式形成在第一凹槽 306 的底层,其朝着第一凹槽 306 的开口方向增加厚度,直到第一导电材料 316 覆盖第一晶种层的未处理部分 312u。这种自下而上填充工艺防止了间隙、空隙或缝孔形成在第一导电材料 316 内,这些间隙、空隙或缝孔通常是与共形填充工艺相关的特征。可以在从约 300 摄氏度至约 450 摄氏度的温度范围内,以及在从约 100Torr 至约 500Torr(例如,约 300Torr)的压力范围内实施填充工艺,但是也可以使用其他可行的温度和压力。

[0054] 如前文所述,即使第一晶种层的处理部分 312t 和第一晶种层的未处理部分 312u 可以包括相似的材料或由相似的材料组成,但这些材料中的相也可以是不同的。如果导电材料(例如,第二晶种层)形成在第一晶种层的处理部分 312t 上方,则第一晶种层的处理部分 312t 可以包括导电材料(例如,第二晶种层)的材料相变。特别地,导电材料的材料相可以从原始的低电阻率相改变为第一晶种层的处理部分 312t 中的高电阻率材料相。因此,保留的第一晶种层的处理部分 312t 可以不利地影响形成于衬底 300 中的导电结构的接触电阻。

[0055] 因此,如图 3E 所示,可以去除第一晶种层的处理部分 312t(通过蚀刻工艺 320)以暴露出第一凹槽 306 和第二凹槽 308 的表面(例如,暴露出阻挡层 310 的表面,阻挡层 310 的表面限定了第一凹槽 306 和第二凹槽 308 的表面)。此外,可以通过蚀刻工艺 320 蚀刻面向第一凹槽 306 的开口的第一导电材料 316 的表面,从而去除第一导电材料 316 的邻近第一凹槽 306 的开口的部分。

[0056] 在实施例中,蚀刻工艺 320 可以是干蚀刻工艺(例如,等离子体蚀刻工艺)。在蚀刻工艺 320 中使用的蚀刻剂可以包括含卤素蚀刻剂或可以由含卤素蚀刻剂组成。蚀刻剂的组成可以至少部分取决于第一晶种层的处理部分 312t 的材料。例如,在第一晶种层的处理部分 312t 包括钨(例如 β 钨)或由钨(例如 β 钨)组成的实施例中,在蚀刻工艺 320 中使用的蚀刻剂可以是含氟蚀刻剂,例如,含氟等离子体(例如,NF₃等离子体)。在蚀刻工艺 320 中使用的蚀刻剂的流速在从约 50sccm 至约 200sccm 的范围内,也可以使用其他可行的

流速。作为图 3E 示出的蚀刻工艺 320 的结果,去除衬底 300 具有高电阻率的部分。

[0057] 如图 3F 所示,第二晶种层 322 可以形成于第一凹槽 306 和第二凹槽 308 中,内衬于其暴露表面。第二晶种层 322 也形成于阻挡层 310(设置在绝缘层 304 的表面 304a 上方)的顶上以及面向第一凹槽 306 的开口的第一导电材料 316 的表面上方。与第一晶种层 312 相似,第二晶种层 322 是导电材料的薄层,其在随后的工艺步骤中帮助较厚层的形成(例如,如图 3G 所示的第一凹槽 306 和第二凹槽 308 中的第二导电材料的形成)。第二晶种层 322 可以包括与第一晶种层 312 相似的材料或可以由这些材料组成,并且第二晶种层 322 的材料可以是低电阻率相(例如,α 钨)。第二晶种层 322 的厚度在从约 1 纳米至约 8 纳米的范围内(例如,约 5 纳米)。可以通过与形成第一晶种层 312 相似的工艺形成第二晶种层 322,也可以在大于或等于约 200 摄氏度的温度下实施用于形成第二晶种层 322 的工艺,例如,在从约 300 摄氏度至约 400 摄氏度的温度范围内以及在从约 2Torr 至约 10Torr(例如,约 5Torr) 的压力范围内。

[0058] 如图 3G 所示,在其中形成有第二晶种层 322 的第一凹槽 306 和第二凹槽 308 内过填充第二导电材料 324。在图 3G 示出的实例中,第二导电材料 324 覆盖第一凹槽 306 和第二凹槽 308 内的第一导电材料 316 和第二晶种层 322。此外,第二导电材料 324 覆盖设置在绝缘层 304 的表面 304a 上方的第二晶种层 322。通过自下而上填充工艺或共形工艺形成第二导电材料 324。在由共形工艺形成第二导线材料 324 的实例中,通过使需要填充第二导电材料 324 的第一凹槽 306 和第二凹槽 308 具有较浅的深度来防止间隙、空隙或缝孔的形成。第二导电材料 324 可以包括与第一导电材料 316 相似的材料或由这些材料组成。第二导电材料 324 可以称为第二块状导电材料,其电阻率可以低于先前去除的第一晶种层的处理部分 312t。

[0059] 随后,如图 3H 所示,平坦化第二导电材料 324 以形成平坦化的第二导电材料 324'。可以通过化学机械抛光(CMP)工艺实施平坦化,其可以去除设置在第一凹槽 306 和第二凹槽 308 外侧的第二导电材料 324 的多余部分。如图 3H 的实例所示,除了去除第二导电材料 324 的多余部分外,也去除了设置在第一凹槽 306 和第二凹槽 308 外侧的部分的第二晶种层 322 和阻挡层 310。

[0060] 使用图 3A 至图 3H 中示出的工艺步骤,可以在第一凹槽 306 和第二凹槽 308 的每个中形成导电结构(例如,接触插塞,例如,源极 / 漏极接触插塞)。导电结构可以接触(例如,电接触)可形成于半导体衬底层 302 和 / 或绝缘层 304 中的下面的电元件(例如,通孔、导线或迹线等)和 / 或下面的电部件(例如,晶体管、二极管、电阻器、电容器等)。

[0061] 由于第一凹槽 306 和第二凹槽 308 具有不同的深度,形成于其中的导电结构具有不同的临界尺寸和深度。因此,图 3A 至图 3H 中示出的工艺步骤可以用于制造不同临界尺寸和深度的导电结构。此外,图 3A 至图 3H 中示出的工艺步骤提供的效果为防止在第一凹槽 306 和第二凹槽 308 中形成的导电结构内形成间隙、空隙或缝孔。在传统工艺流程中,第二晶种层 3622 可以形成在第一晶种层的处理部分 312t 上方并且第二导电材料 324 随后可以形成在第二晶种层 322 上方。然而,在图 3A 至图 3H 示出的工艺步骤中,去除了第一晶种层的处理部分 312t。通过对去除第一晶种层的处理部分 312t,由第一晶种层的处理部分 312t 占据的体积现在可以由具有较低电阻率的第二块状导电材料占据。因此,减小了形成于第一凹槽 306 和第二凹槽 308 中的导电结构的电阻率。甚至进一步地,通过对去除第一晶种层

的处理部分 312t，避免了导体材料从低电阻率相到高电阻率相的相变，从而防止了在第一凹槽 306 和第二凹槽 308 中形成的导电结构的电阻率的任何增加。

[0062] 图 4A 至图 4H 根据一个或多个实施例示出了表示图 1 中示出的方法 100 和图 2 中示出的方法 200 的一些工艺步骤的工艺流程。图 4A 示出了衬底 300 包括半导体衬底层 302、绝缘层 304、阻挡层 310 和第三凹槽 400。与第一凹槽 306 和第二凹槽 308 相比，第三凹槽 400 具有悬伸件 402，使得阻挡层 310 在靠近第三凹槽 400 的开口处的厚度大于在第三凹槽 400 内部的厚度。即便如此，用于在第三凹槽 400 内形成导电结构的工艺步骤也可以以与前文根据图 3A 至图 3H 描述的相似的方式进行。

[0063] 如图 4B 所示，第一晶种层 312 可以内衬于阻挡层 310 的暴露表面。如图 4C 所示，将部分第一晶种层 312 暴露于处理工艺 314 以形成第一晶种层的处理部分 312t。第一晶种层 312 的未暴露于处理工艺 314 的部分称为第一晶种层的未处理部分 312u。第一晶种层 312 的暴露于处理工艺 314 的部分可以包括或可以是第一晶种层 312 的设置在绝缘层 304 的表面 304a 上方的部分和第一晶种层 312 的设置在悬伸件 402 上方的部分。第一晶种层 312 在第三凹槽 400 的有角侧壁上的部分可以保持未处理。

[0064] 如图 4D 所示，可以将第一导电材料 316 形成在第一晶种层的未处理部分 312u 上方的第三凹槽 400 中。尽管由于处理工艺 314，防止了在第一导电材料 316 中形成间隙、空隙或缝孔，但是悬伸件 402 允许以前文描述的自下而上的方式填充第三凹槽 400。

[0065] 如图 4E 所示，可以去除位于绝缘层 304 的表面 304a 上方的第一晶种层的处理部分 312t（例如，通过蚀刻工艺 320）。第一晶种层的处理部分 312t 在悬伸件 402 处的部分同样可以被去除。此外，蚀刻工艺 320 可以去除部分悬伸件 420，因此，扩大了第三凹槽 400 的开口。这可以带来允许更容易的在第三凹槽 400 内沉积或形成材料的有益效果。例如，如图 4F 所示，由于第三凹槽 400 的扩大的开口，因此第二晶种层 322 可以更容易地形成在第三凹槽 400 中。第二晶种层 322 内衬于第三凹槽 400 的暴露表面，第一导电材料 316 的表面面向第三凹槽 400 的开口、悬伸件 402 和设置在绝缘层的表面 304a 上方的阻挡层 310。

[0066] 如图 4G 所示，使用第二导电材料 324 过填充其中形成有第二晶种层 322 的第三凹槽 400。在如图 4G 所示的实例中，第二导电材料 324 覆盖第三凹槽 400 内的第一导电材料 316 和第二晶种层 322。此外，第二导电材料 324 覆盖设置在第三凹槽 400 外侧的第二晶种层 322。

[0067] 随后，如图 4H 所示，平坦化第二导电材料 324 以形成平坦化的第二导电材料 324'。如前文所述，通过 CMP 工艺实施平坦化，其可以去除设置在第三凹槽 400 外侧的部分的第二导电材料 324，也可以去除设置在第三凹槽 400 外侧的部分的第二晶种层 322 和阻挡层 310。在这种情况下，如图 4H 所示，也可以去除部分的悬伸件 420。

[0068] 使用如图 4A 至图 4H 中示出的工艺步骤，可以在具有悬伸件 402 的第三凹槽 400 中形成导电结构（例如，接触插塞）。与图 3A 至图 3H 中示出的工艺步骤相似，图 4A 至图 4H 中示出的工艺步骤提供的效果为：防止在第三凹槽 400 中形成的导电结构内形成间隙、空隙或缝孔。在传统工艺流程中，第二晶种层 322 可以形成在第一晶种层的处理部分 312t 上方，并且第二导电材料 324 随后可以形成在第二晶种层 322 上方。然而，在图 4A 至图 4H 所示的工艺步骤中，去除了第一晶种层的处理部分 312t。通过对去除第一晶种层的处理部分 312t，由第一晶种层的处理部分 312t 占据的体积现在可以由具有较低电阻率的第二块

状导电材料占据。因此，减小了形成于第三凹槽 400 中的导电结构的电阻率。甚至进一步地，通过去除第一晶种层的处理部分 312t，避免了导体材料从低电阻率相到高电阻率相的相变，从而防止了在第三凹槽 400 中形成的导电结构的电阻率的任何增加。

[0069] 图 5 示出了沿图 4H 中所示的线 A-A' 截取的浓度分布图 500。浓度分布图示出了各种材料根据位置的浓度的变化，其中图 5 中示出的位置 0 微米在点 A 处，且图 5 中示出的位置 0.1 微米在点 A' 处。

[0070] 可以观察到，实际上，通过应用蚀刻工艺 320 以去除第一晶种层的处理部分 312t，在形成于第三凹槽 400 内的导电结构内没有引入多余量的不期望的材料，该不期望的材料可能不利的影响导电结构的电导率和 / 或电阻率。例如，如图 5 所示，氧、氩和氟（如图 5 中的曲线组 506 所示）以较低的浓度（例如，小于约 10 单位）存在于形成在第三凹槽 400 中的导电结构中。另一方面，如所期望地，硅（如图 5 中的曲线 502 所示）和钨（如图 5 中的曲线 504 所示）在第三凹槽 400 中具有相对较高的浓度。

[0071] 根据如 3A 至图 3H 与图 4A 至图 4H 中所示的工艺流程，提供了用于形成导电结构的方法 600（如图 6 所示）。如图 6 所示，方法 600 可以包括：将阻挡层内衬于形成在绝缘层中的沟槽内以形成凹槽（在步骤 602 中）；将第一晶种层内衬于凹槽（在步骤 604 中）；使用第一导电材料部分地填充凹槽，其中第一晶种层的邻近凹槽的开口的部分不包含第一导电材料（在步骤 606 中）；去除第一晶种层的不包含第一导电材料的部分以形成凹槽的暴露表面（在步骤 608 中）；将第二晶种层内衬于凹槽的暴露表面（在步骤 610 中）；以及使用第二导电材料填充凹槽（在步骤 612 中）。

[0072] 根据本发明的各个实施例，可以提供一种形成导电结构的方法。该方法可以包括：提供其中形成有凹槽的衬底，该凹槽内衬有第一晶种层并且部分地填充有第一导电材料；去除第一晶种层的不包含第一导电材料的部分以形成凹槽的暴露表面；将第二晶种层内衬于凹槽的暴露表面；以及使用第二导电材料填充凹槽，第二导电材料覆盖第一导电材料和第二晶种层。

[0073] 根据本发明的各个实施例，可以提供一种形成导电结构的方法。该方法可以包括：提供在其中形成有第一凹槽和第二凹槽的衬底，其中，第一凹槽在衬底内延伸第一距离且第二凹槽在衬底内延伸第二距离，第二距离小于第一距离；将第一晶种层内衬于第一凹槽和第二凹槽；将第二凹槽中的第一晶种层以及第一晶种层在第一凹槽中的邻近第一凹槽的开口的部分暴露于处理等离子体以形成第一晶种层的处理部分；使用第一导电材料部分填充第一凹槽，其中，第一晶种层的处理部分不包含第一导电材料；去除第一晶种层的处理部分以形成第一凹槽和第二凹槽的暴露表面；将第二晶种层内衬于第一凹槽和第二凹槽的暴露表面；以及使用第二导电材料覆盖第二晶种层，第二导电材料填充第一凹槽和第二凹槽。

[0074] 根据本发明的各个实施例，可以提供一种形成导电结构的方法。该方法可以包括：将阻挡层内衬于形成在绝缘层中的沟槽以形成凹槽；将第一晶种层内衬于凹槽；使用第一导电材料部分填充凹槽，其中，第一晶种层的邻近凹槽的开口的部分不包含第一导电材料；去除第一晶种层的不包含第一导电材料的部分以形成凹槽的暴露表面；将第二晶种层内衬于凹槽的暴露表面；以及使用第二导电材料填充凹槽。

[0075] 上面论述了多个实施例的特征，使得本领域普通技术人员可以更好地理解本发明的各个方面。本领域普通技术人员应该理解，他们可以很容易地使用本发明作为基础来设

计或修改用于与本文所介绍的实施例执行相同的目的和 / 或实现相同优点的其他工艺和结构。本领域普通技术人员还应该意识到，这种等效构造并不背离本发明的精神和范围，并且在不背离本发明的精神和范围的情况下，可以对本发明进行多种变化、替换以及改变。

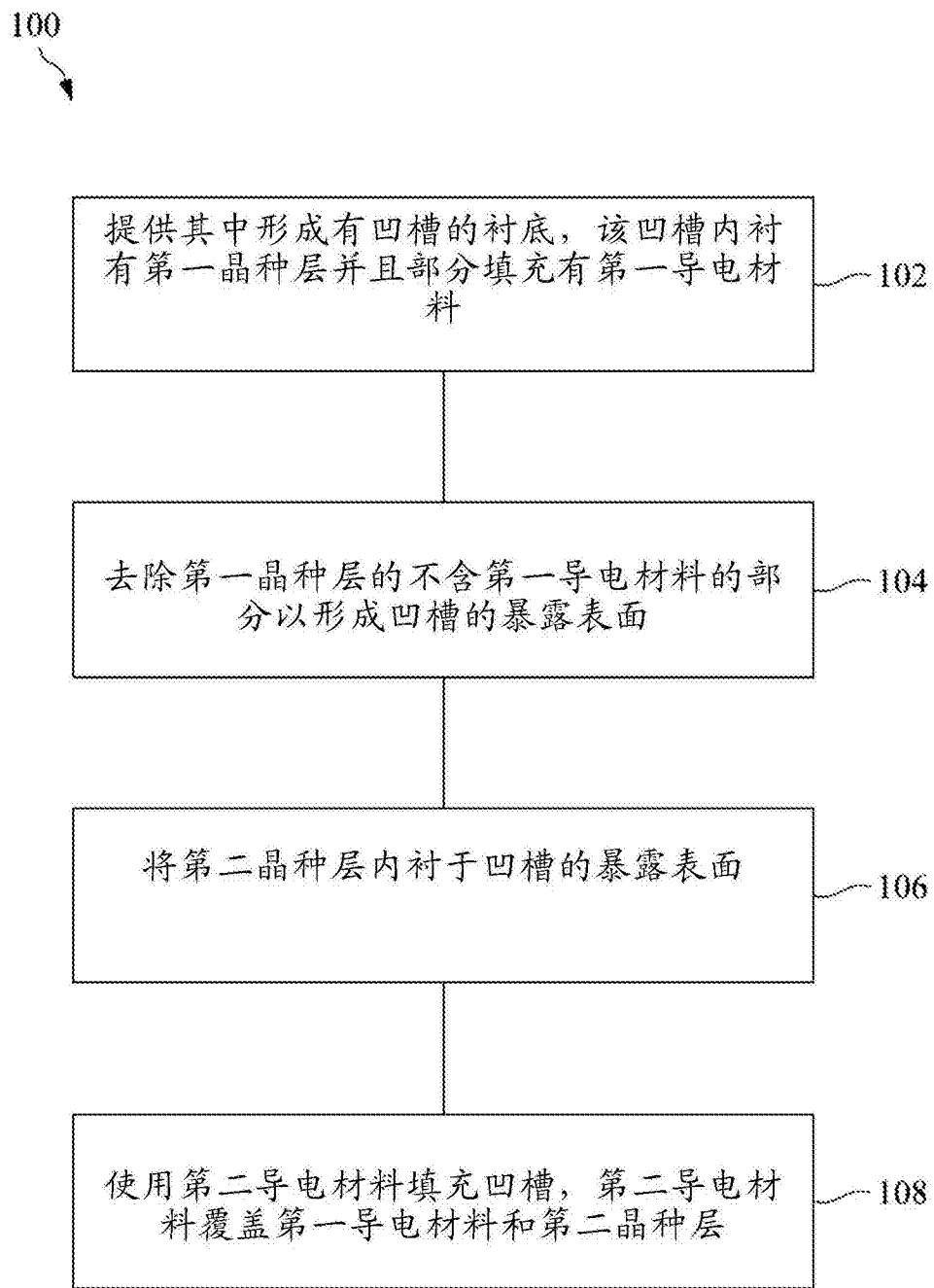


图 1

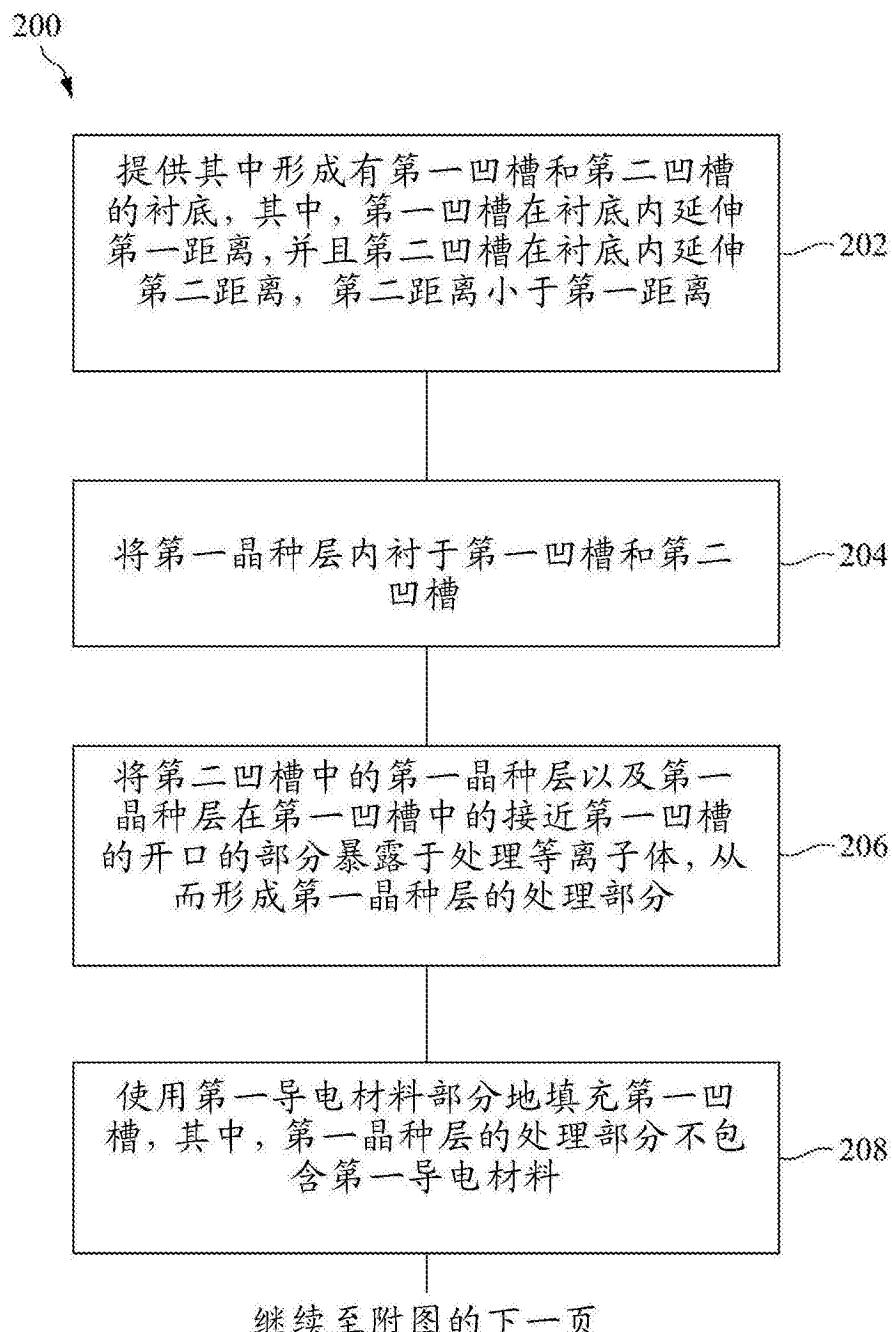


图 2

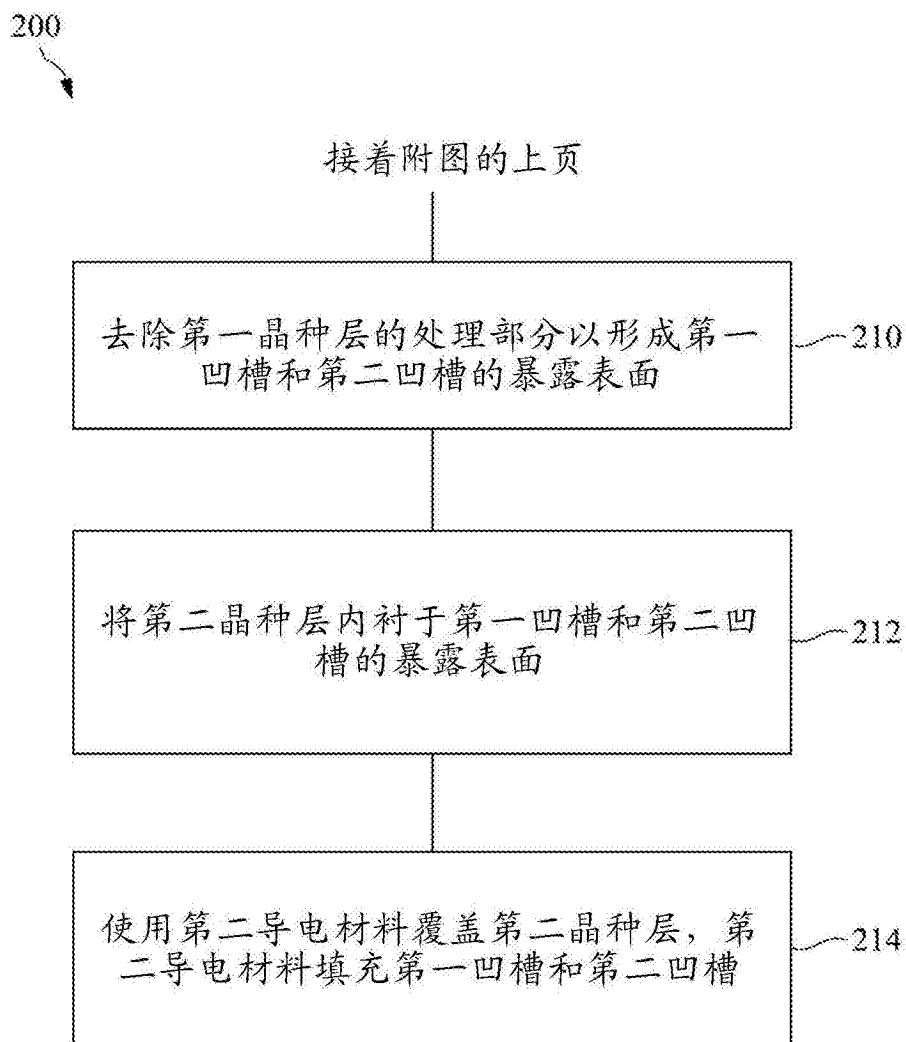


图 2(继续)

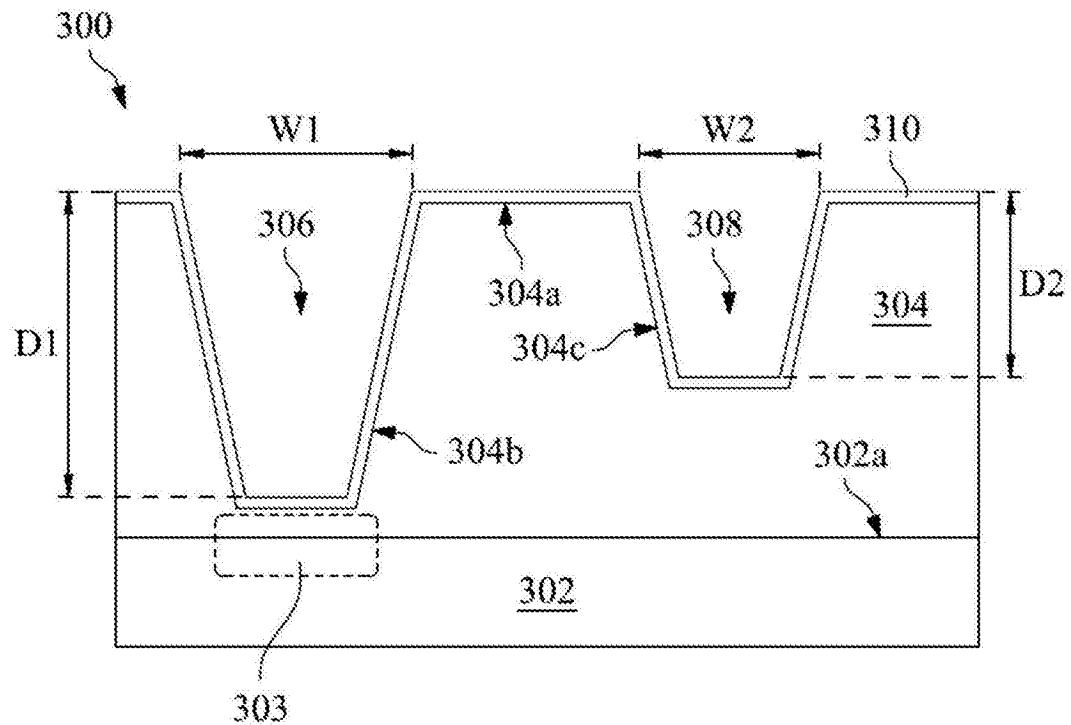


图 3A

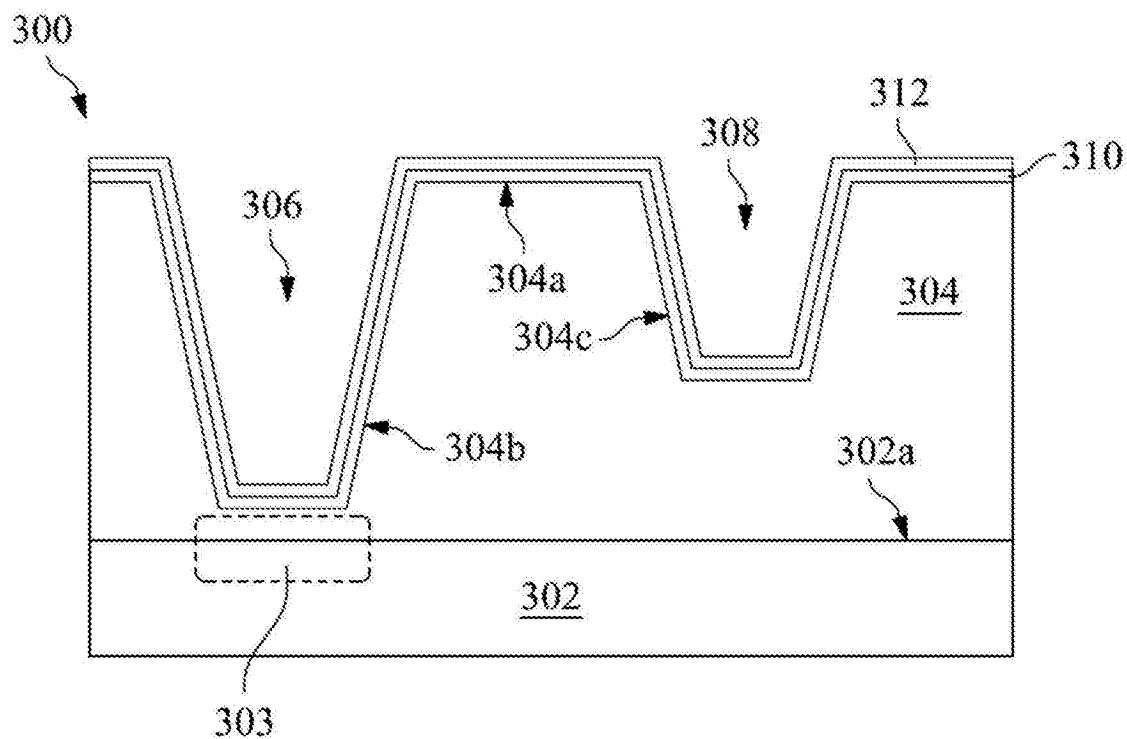


图 3B

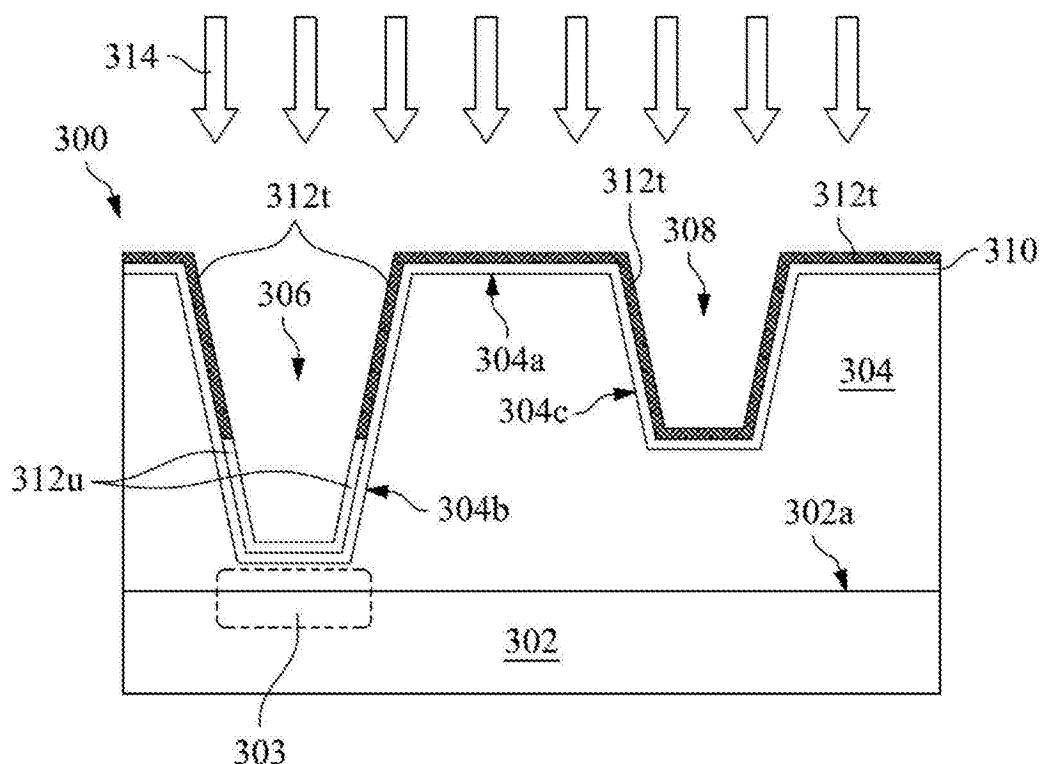


图 3C

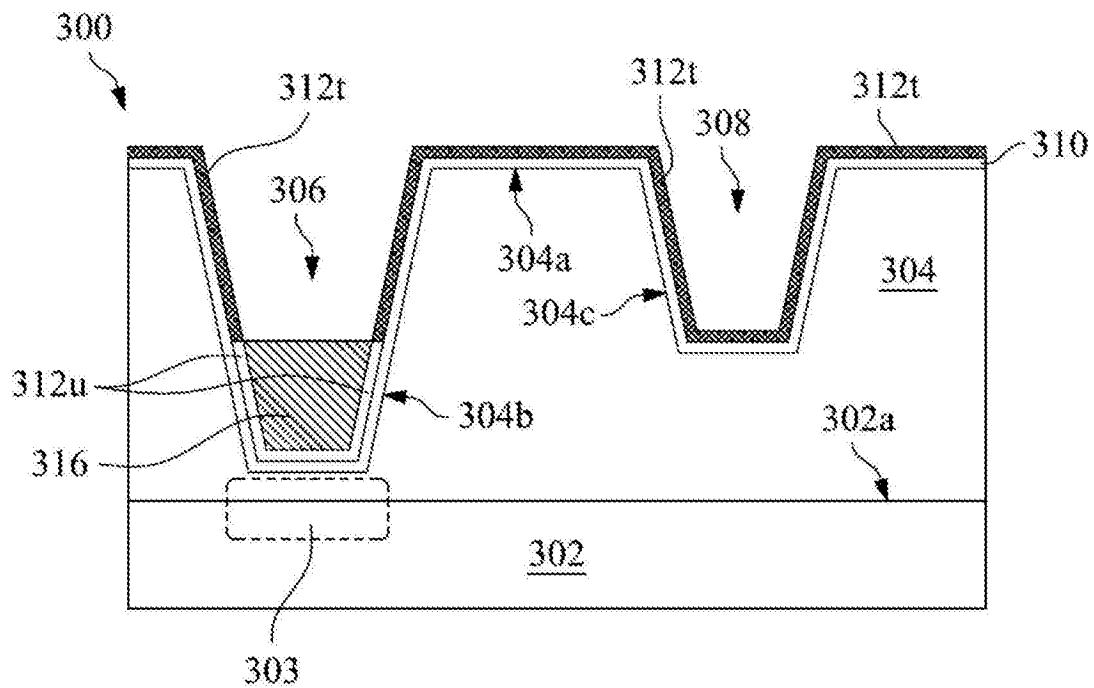


图 3D

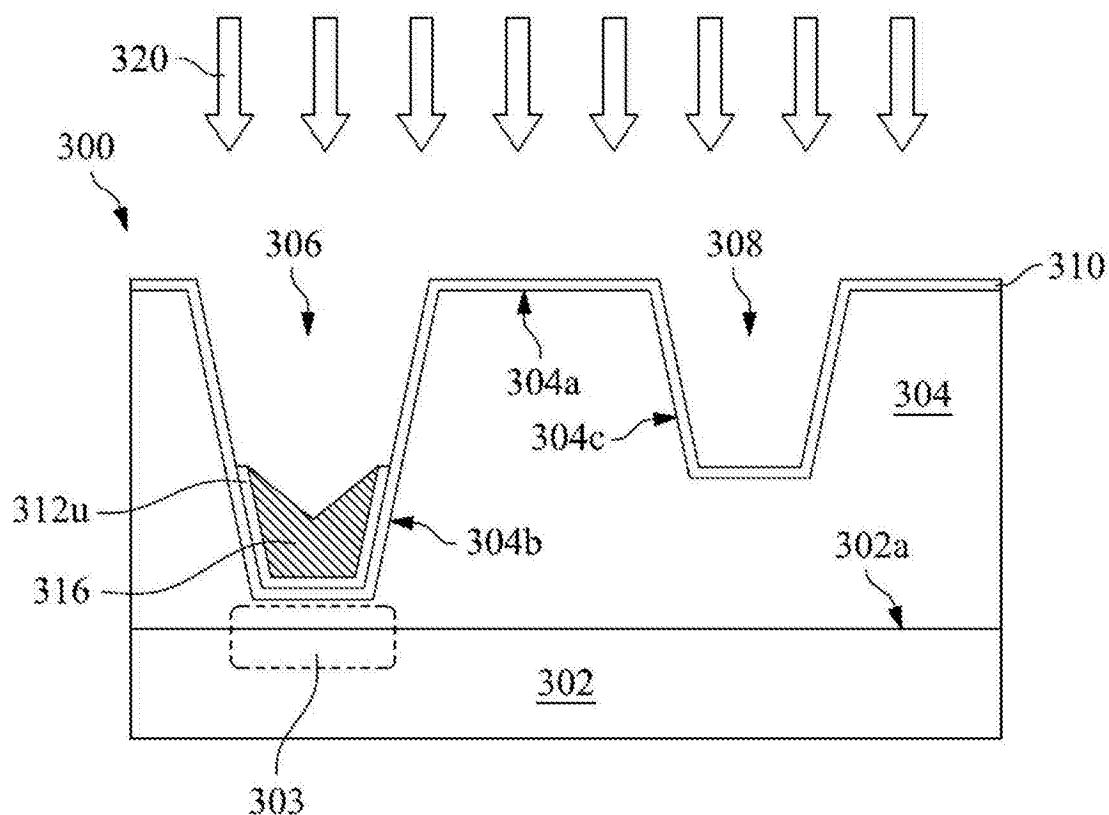


图 3E

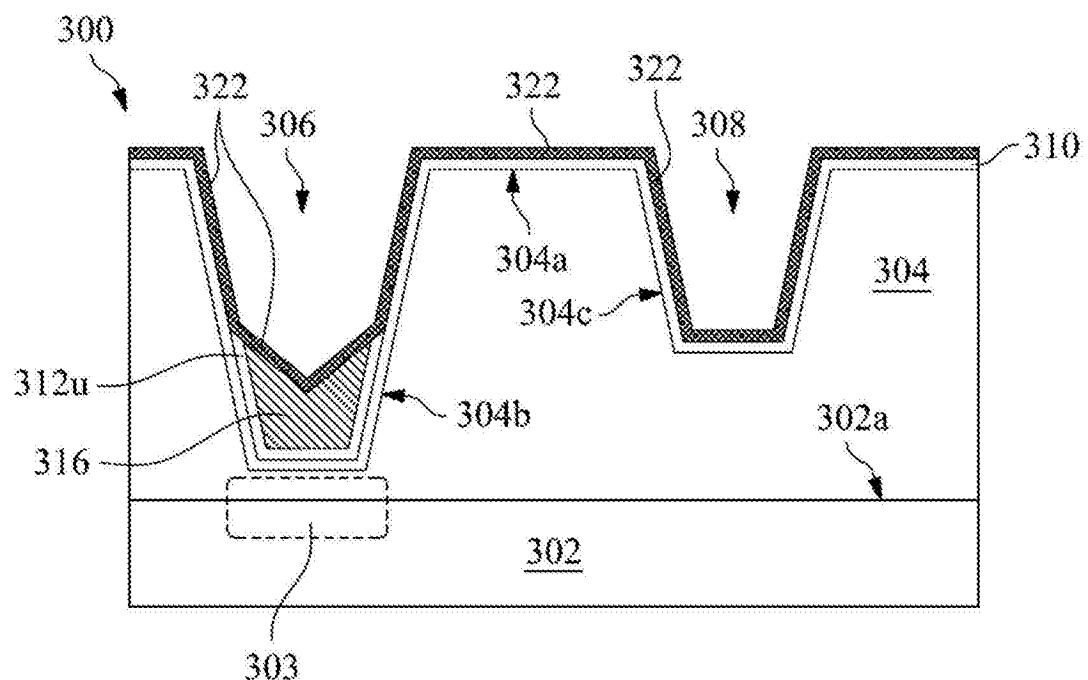


图 3F

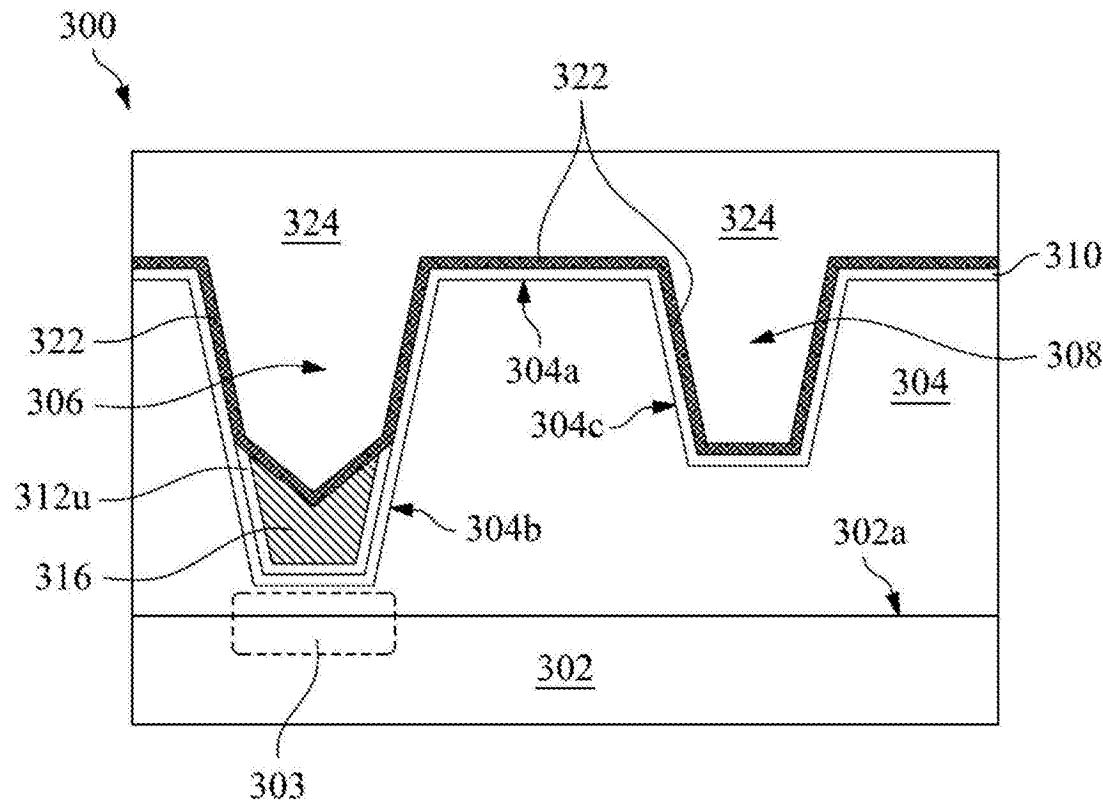


图 3G

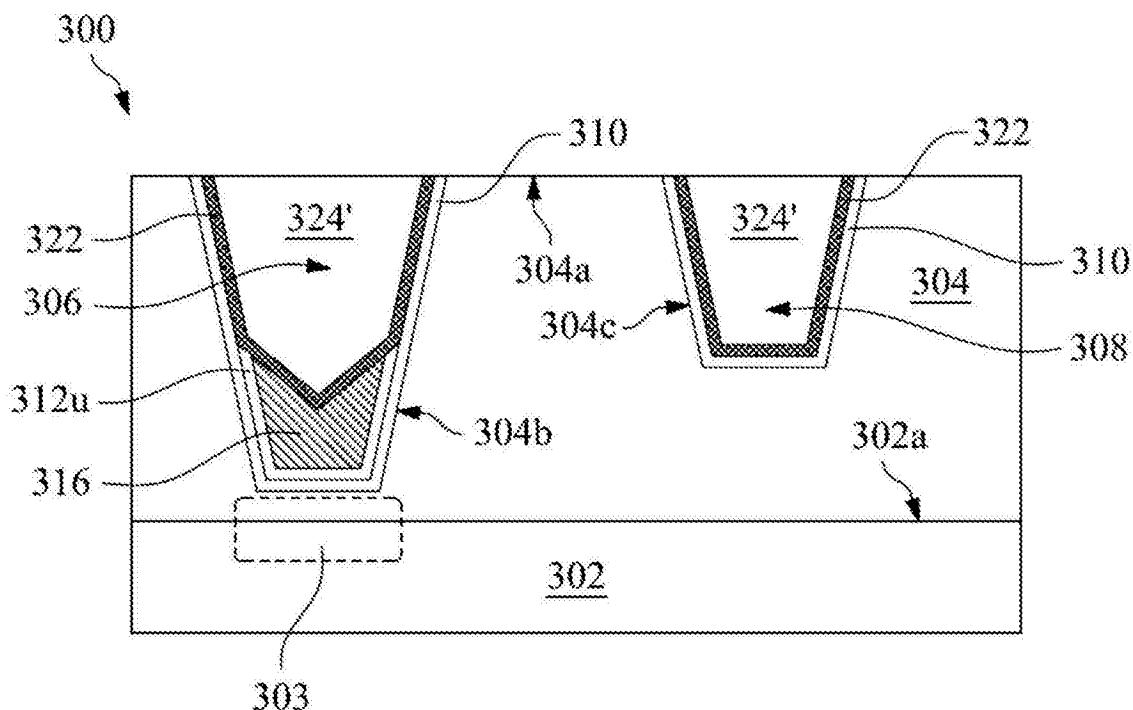


图 3H

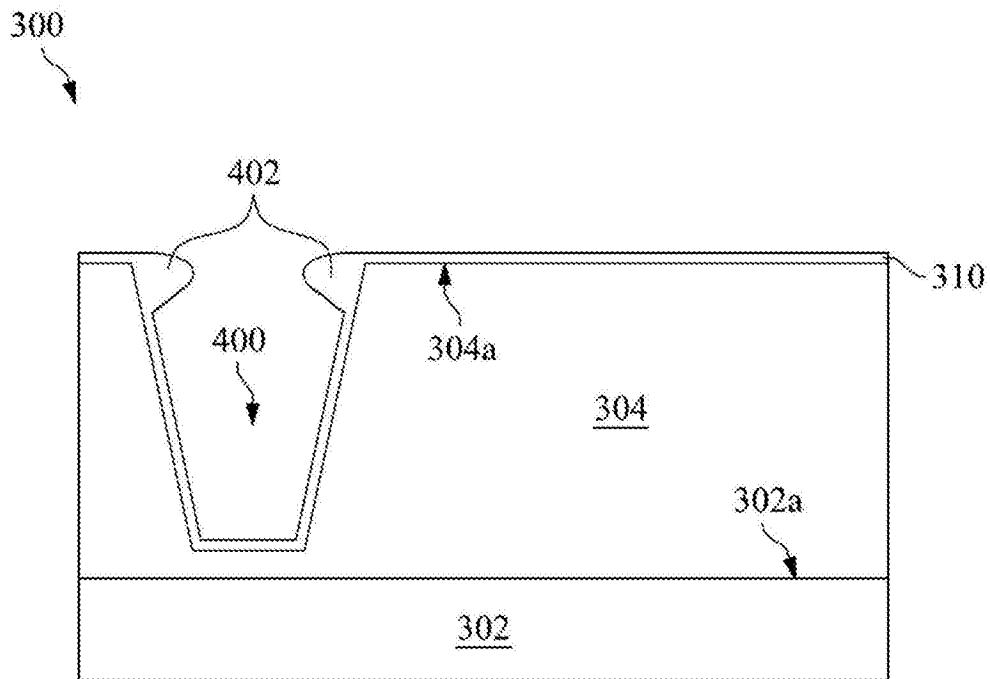


图 4A

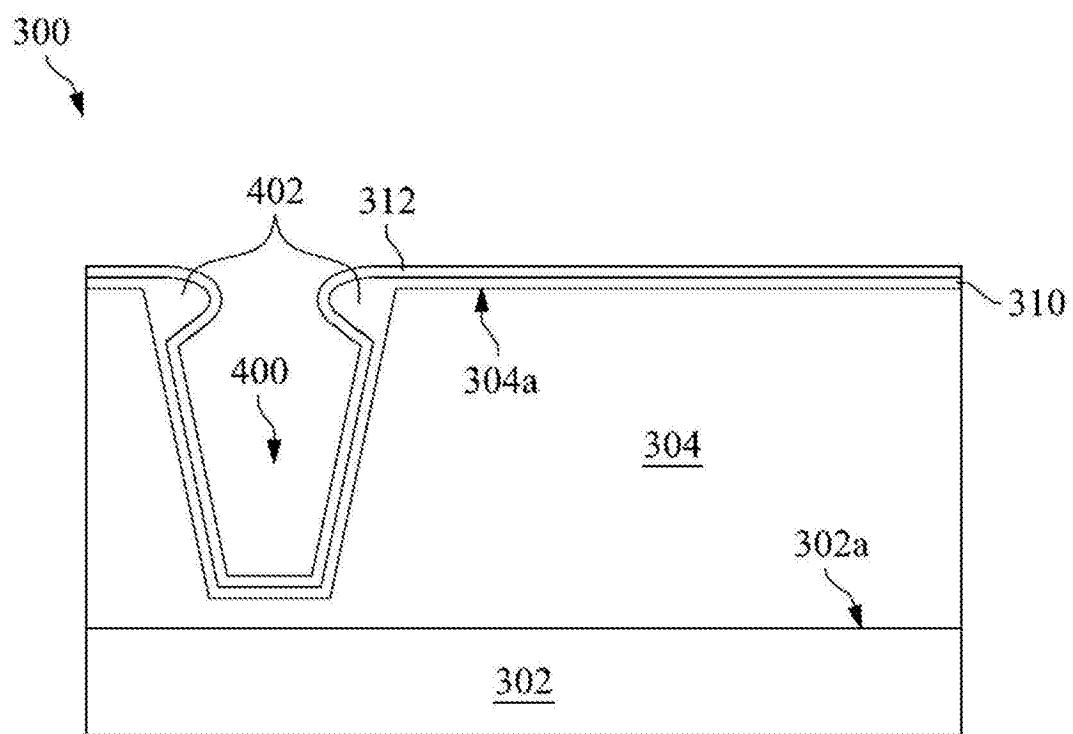


图 4B

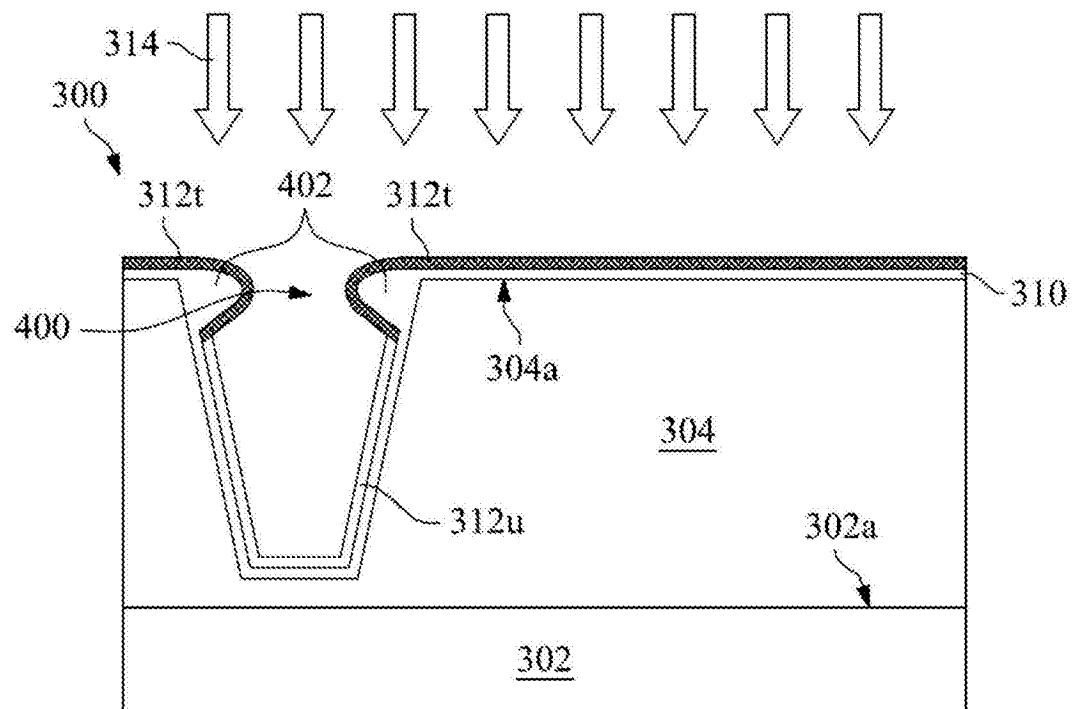


图 4C

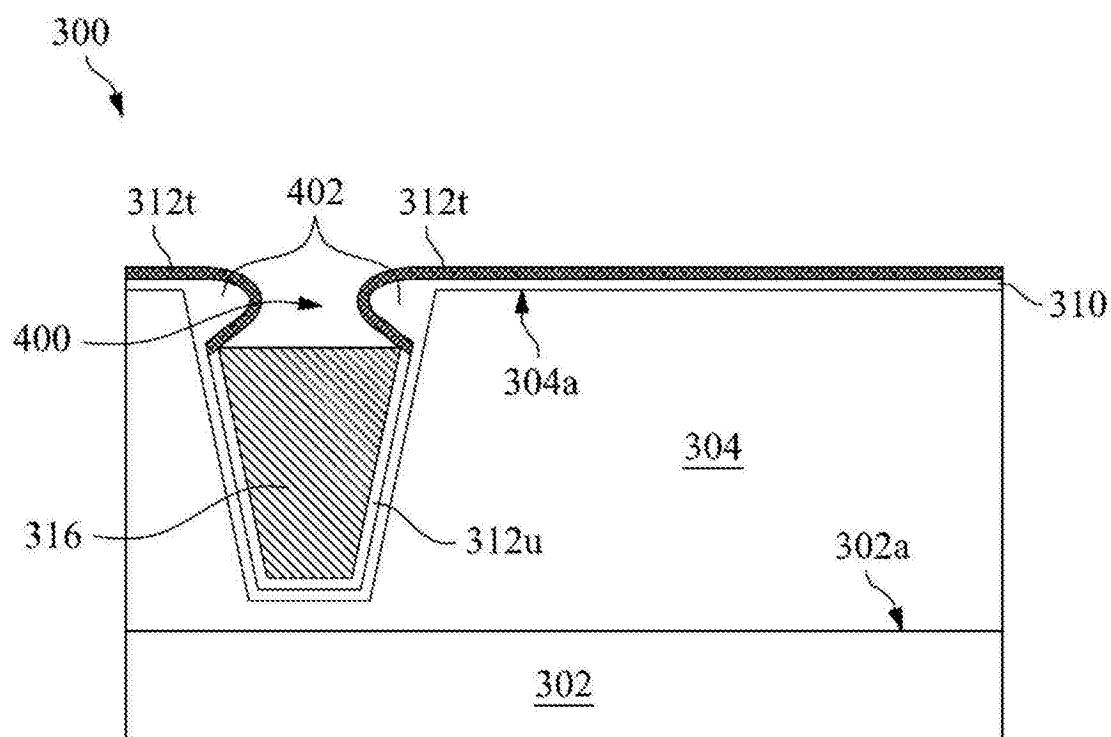


图 4D

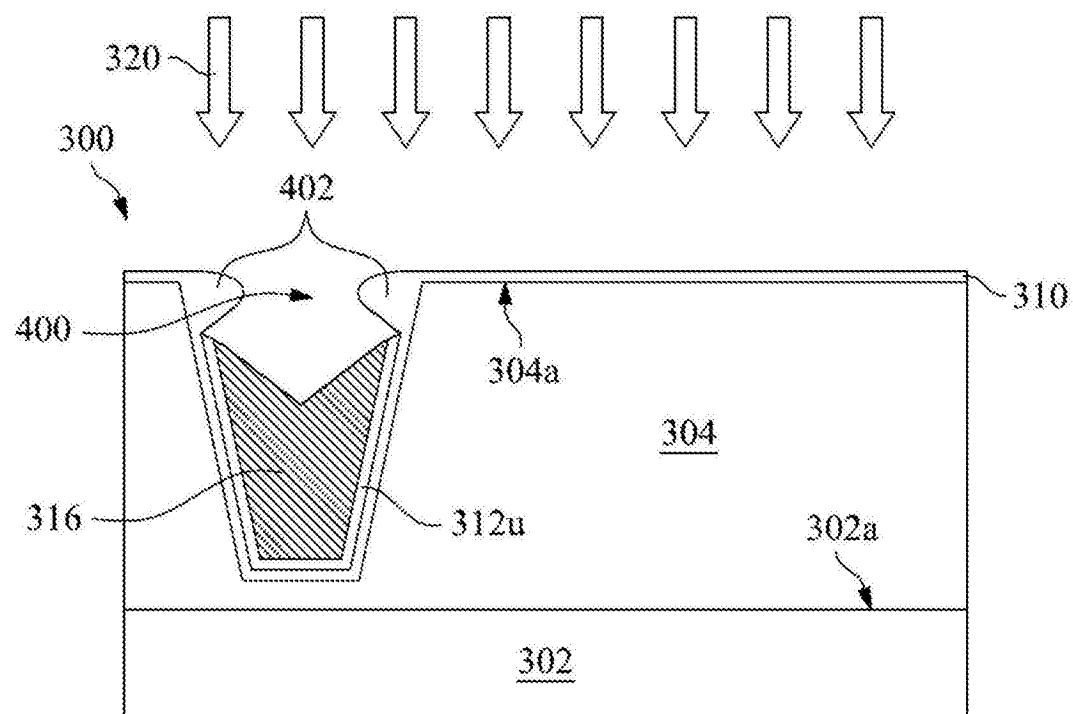


图 4E

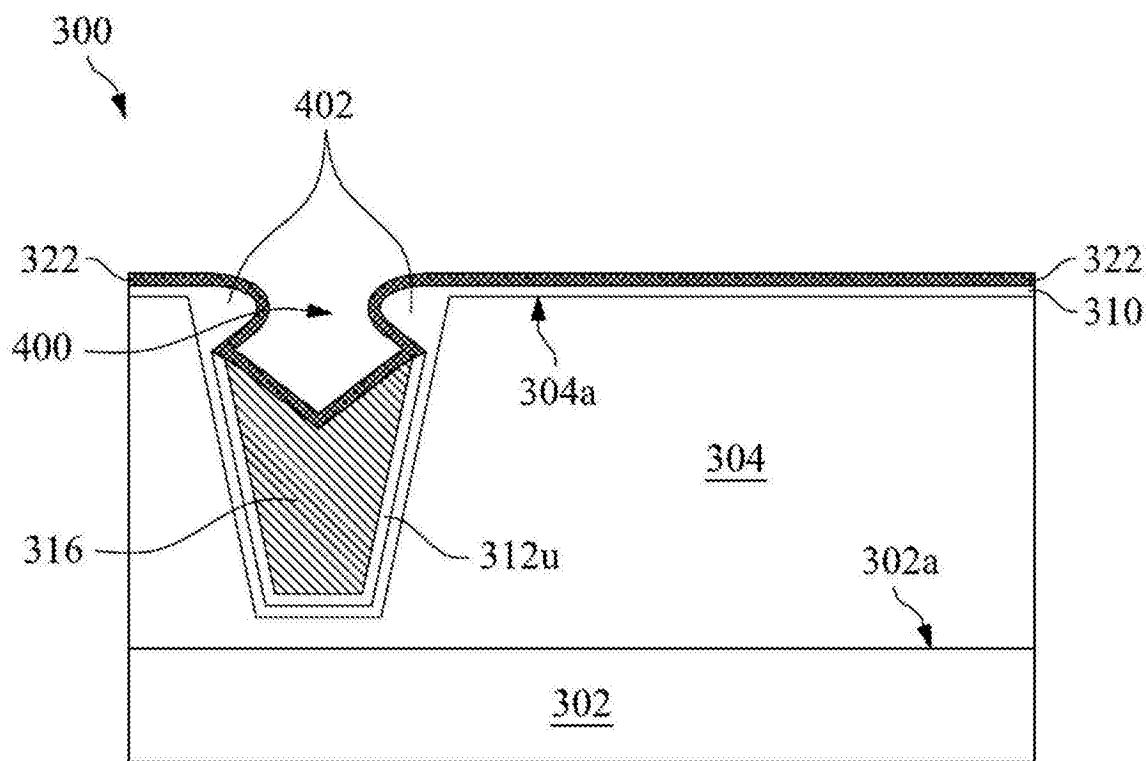


图 4F

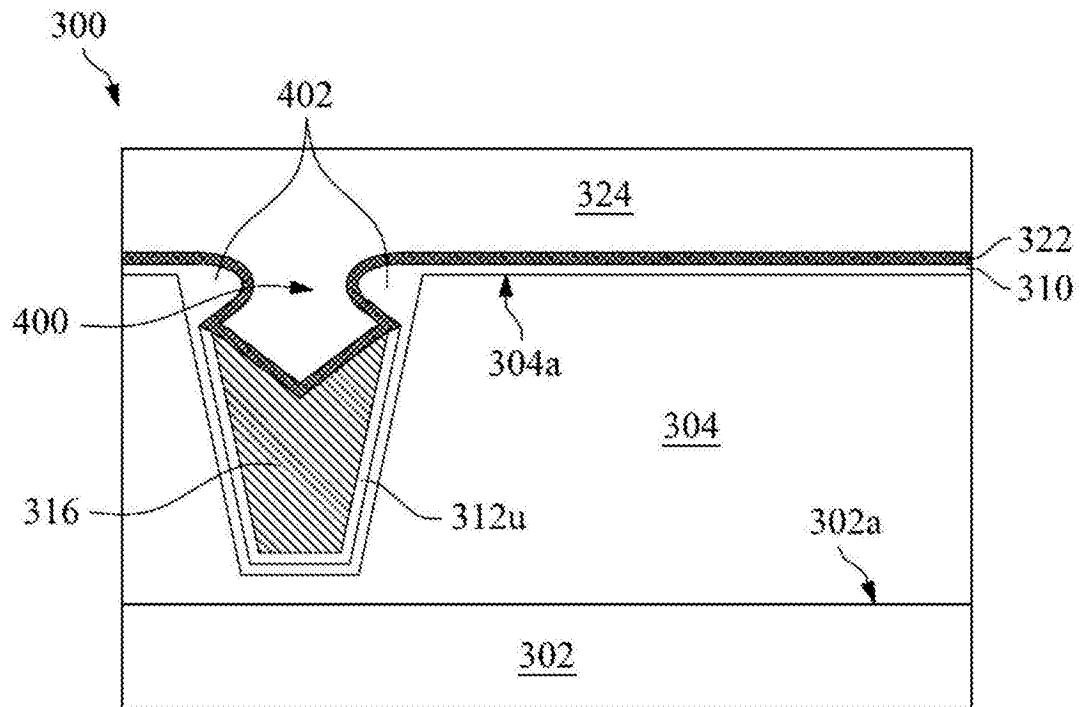


图 4G

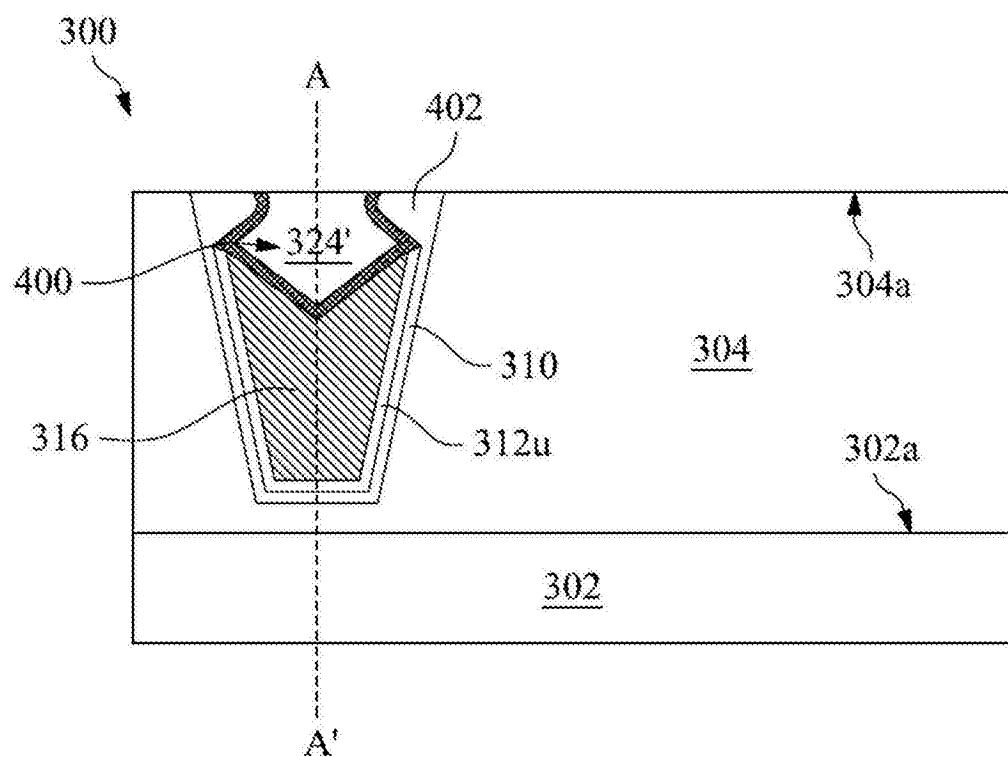


图 4H

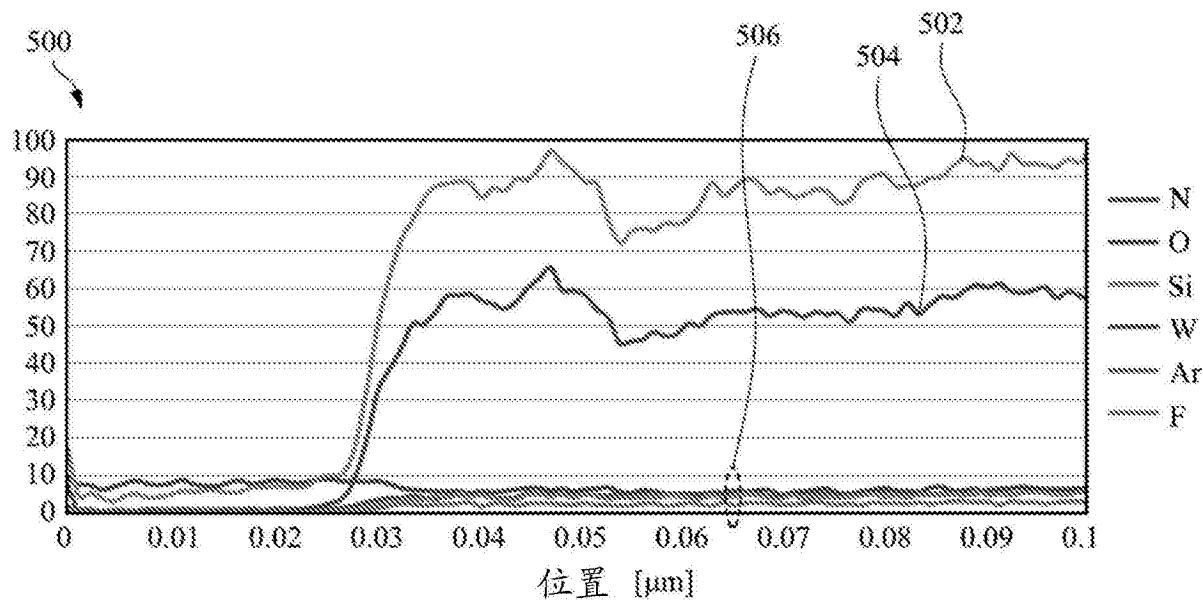


图 5

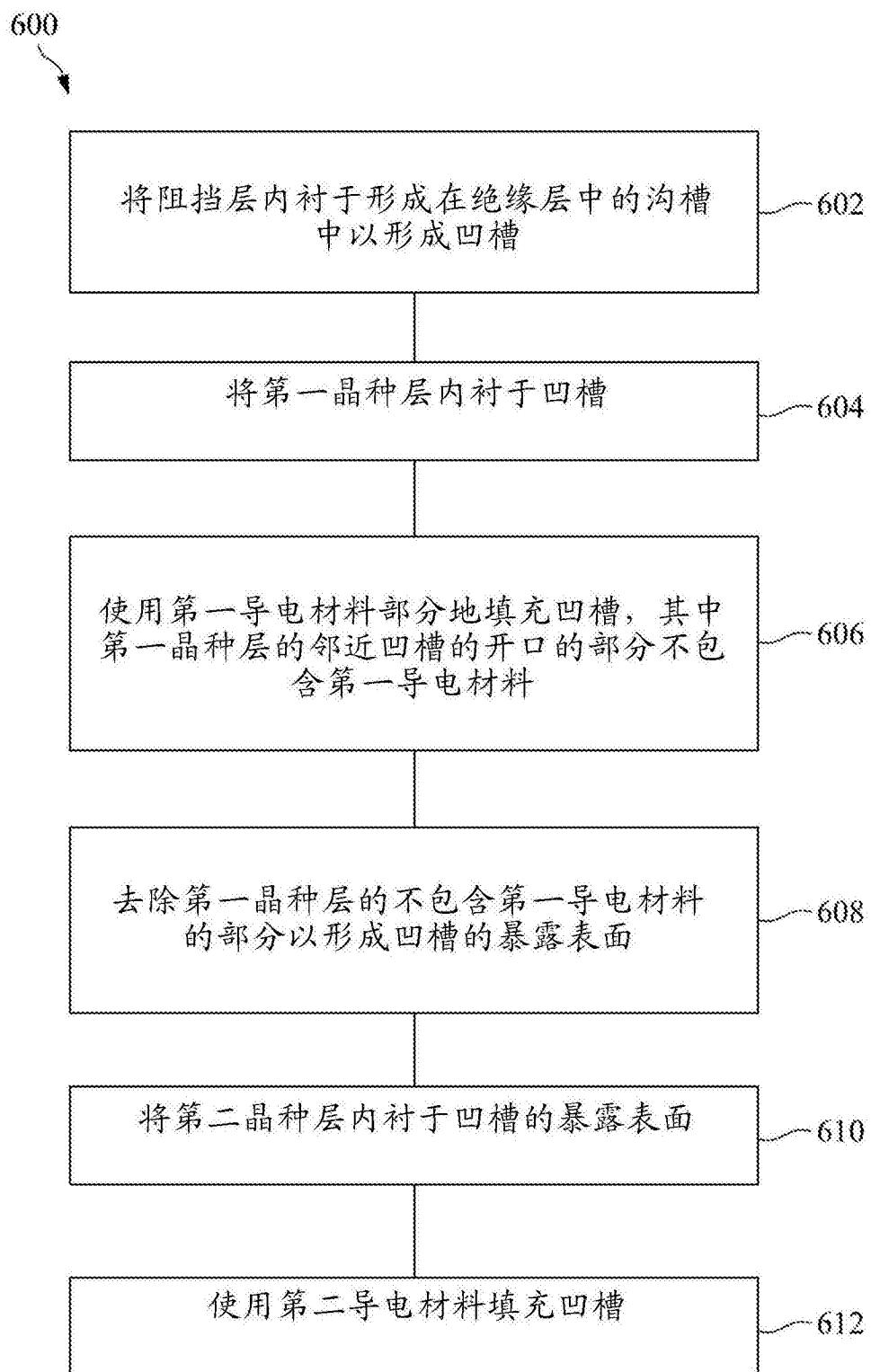


图 6