



**FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY**

(11) (B1)

(51) Int. Cl.⁴
H 03 L 7/12

(22) Prihlásené 01 07 86
(21) PV 4976-86.N

(40) Zverejnené 14 03 89

(45) Vydané 15 12 89

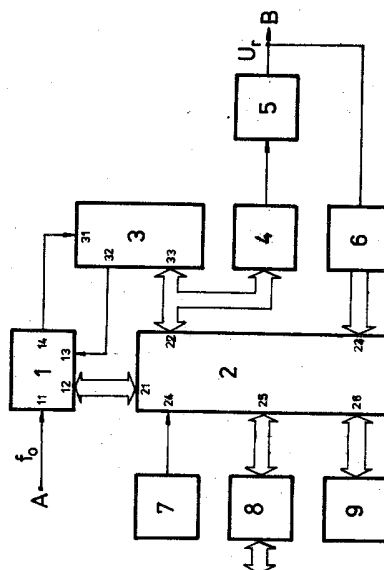
(75)

Autor vynálezu

FUCHS PETER ing., KUDJÁK VLADIMÍR ing. CSc., BRATISLAVA

(54) **Zapojenie mikropočítačom riadeného obvodu číslicovej regulácie a stabilizácie frekvencie**

(57) Riešenie patrí do oboru rádielektroniky a rieši zapojenie mikropočítačom riadeného obvodu číslicovej regulácie a stabilizácie a stabilizácie frekvencie, hlavne pre oscilatory s nelineárnou riadiacou charakteristikou. Zapojenie je tvorené vstupným obvodom s riadeným preddeličom frekvencie vstupného signálu f_0 , programovo ovládaným čítačom, ktorý spracováva výstupný signál preddeliča, programovateľným deličom frekvencie generujúcim referenčný interval načítavania z časovej základne mikropočítača, ktorý programovým spôsobom zisťuje odchyľku skutočnej hodnoty frekvencie od hodnoty prednastavovanej na nastavovacích vstupoch preddeliča a čítača a v závislosti od frekvenčnej odchýlky a nelinearity riadiacej charakteristiky oscilátora mení napätie na výstupe číslicovo-analógového prevodníka, ktoré je filtrované a privedené na výstup prispôbovacieho obvodu. Okrem uvedených znakov predmetu vynálezu existujú i ďalšie možné varianty. Riešenie je znázornené na priloženom výkrese na obr. 1.



obr. 1

Vynález se týka zapojenia mikropočítačom riadeného obvodu číslicovej regulácie a stabilizácie frekvencie číslicovo riadených oscilátorov.

Doterajšie zapojenie podľa československého AO č. 243 792 pre číslicovú stabilizáciu frekvencie pracuje tak, že binárne číslo z čítača je privedené na vstup pamäťového obvodu. Výstupy z pamäťového obvodu sú pripojené na prednastavovacie vstupy čítača. V prípade zapnutia stabilizačnej slučky sa načítaný údaj s požadovanou hodnotou frekvencie f_{op} zapíše do tohto údajá odpočítava meniac sa skutočná hodnota frekvencie f_{os} . Podľa okamžitej hodnoty znamienka rozdielu frekvencií f_{op} a f_{os} vyhodnocovací obvod určí smer odchýlky a zpone príslušný prúdový zdroj. Časový interval zapnutia prúdového zdroja je úmerný veľkosti odchýlky skutočnej hodnoty frekvencie od požadovanej. Prúdové zdroje zaistia zväčšenie, resp. zmenšenie náboja na integračnom člene, a tým zmenia hodnotu regulačného napätia na výstupe obvodu číslicovej stabilizácie frekvencie proporcionálne k veľkosti frekvenčnej odchýlky.

Dynamická hodnota zmeny výstupného regulačného napätia je obmedzená pomerom maximálnej a minimálnej dĺžky časového intervalu zopnutia prúdových zdrojov (pripojených na vstup integrátora) a nie je ju možné meniť bez zmien obvodového riešenia. Obmedzuje teda regulačný rozsah diskretných hodnôt regulačného napätia, a teda aj frekvencií číslicovo riadeného oscilátora. Programovým spôsobom nie je možné meniť požadovanú hodnotu frekvencie, zároveň nie je možné programovo meniť rozlišovaciu schopnosť, teda presnosť systému. Regulačný obvod zmení hodnotu výstupného regulačného napätia vždy proporcionálne k veľkosti frekvenčnej odchýlky, čo je nevýhodujúce pre reálne vo všeobecnosti nelineárne riadiace charakteristiky riadených oscilátorov, a tým predlžuje čas preladenia. Na indikovanie nastavennej a stabilizovanej hodnoty frekvencie je nutné používať externý čítač so zobrazovacou jednotkou.

Uvedené nevýhody odstraňuje zapojenie mikropočítačom riadeného obvodu číslicovej regulácie a stabilizácie frekvencie číslicovo riadených oscilátorov, podľa vynálezu, ktorého podstata spočíva v tom, že vstupná svorka je pripojená na signálový vstup vstupného obvodu, ktorého signálový výstup je pripojený na vstup programovo ovladaného čítača obvodu časovacej logiky, zároveň výstup programovateľného deliča frekvencie obvodu časovacej logiky, ktorý generuje referenčný interval načítavania odvodený z časovej základne mikropočítača, je pripojený na riadiaci vstup vzorkovania vstupného obvodu. Výstupy mikropočítača sú pripojené na riadiace a dátové vstupy preddeliča vstupného obvodu, na riadiace a dátové vstupy obvodu časovacej logiky a na príslušné vstupy číslicovo-analógového prevodníka, ktorého výstup je pripojený na vstup prispôsobovacieho obvodu. Výstup prispôsobovacieho obvodu je pripojený na výstupnú svorku, zároveň môže byť pripojený na vstup analógovo-číslícového prevodníka, ktorého výstupy sú pripojené na testovacie vstupy mikropočítača.

Časová základňa mikropočítača môže byť riadená z externého frekvenčného normálu. Komunikácia s mikropočítačovým systémom je zabezpečená pomocou obvodu styku, ktorý obsahuje klávesnicu a zobrazovaciu jednotku, prípadne výstupy na komunikáciu s vyšším riadiacim systémom. Mikropočítačový systém môže byť rozšírený o externú pamäť programu, prípadne zálohovanú pamäť dát.

Výhodou zapojenia je, že umožní programovým spôsobom zisťovať skutočnú hodnotu frekvencie riadeného oscilátora s programovateľne zvolenou presnosťou a podľa veľkosti frekvenčnej odchýlky meniť výstupné regulačné napätie v požadovanom dynamickom rozsahu, a tým riadiť a stabilizovať sledovanú hodnotu frekvencie. Mikropočítačový obvod sa môže programovým spôsobom prispôbovať riadenému oscilátoru s nelineárnou riadiacou charakteristikou a voliť tak optimálny režim preládovania. Pomocou obvodu styku je možné programové nastavenie požadovanej hodnoty frekvencie a jej spätné zobrazovanie, zároveň zabezpečí dlhodobú stabilitu nastavennej hodnoty frekvencie, ktorá odpovedá stabilite časovej základne mikropočítača, prípadne stabilite časovej základne použitého externého frekvenčného normálu.

Na priloženom výkrese obr. 1 je nakreslený príklad zapojenia mikropočítačom riadeného obvodu číslicovej regulácie a stabilizácie frekvencie podľa vynálezu.

Zapojenie mikropočítačom riadeného obvodu číslicovej regulácie a stabilizácie frekvencie pozostáva zo vstupného obvodu 1, ktorý obsahuje vstupný zosilňovač a tvarovač, vzorkovací obvod, a riadený preddelič; riadiaceho mikropočítača 2; programovateľného obvodu 3 časovacej logiky, ktorý obsahuje programovo ovládaný čítač, programovateľný delič frekvencie a programovateľný generátor časového intervalu. Vstupná svorka A je pripojená na signálový vstup 11 vstupného obvodu 1, signálový výstup 14 z preddeliča vstupného obvodu 1 je pripojený na vstup 31 čítača obvodu 3 časovacej logiky. Výstup 32 z deliča frekvencie obvodu 3 časovacej logiky je pripojený na riadiaci vstup 13 vzorkovania vstupného obvodu 1. Výstupy 21 mikropočítača 2 sú pripojené na riadiace a dátové vstupy 12 preddeliča vstupného obvodu 1. Výstupy 22 mikropočítača 2 sú pripojené na riadiace a dátové vstupy 33 obvodu 3 časovacej logiky a na príslušné vstupy číslicovo-analógového prevodníka 4, ktorého výstup je pripojený na vstup prispôsobovacieho obvodu 5. Výstup z prispôsobovacieho obvodu je pripojený na výstupnú svorku B, zároveň môže byť pripojený na vstup analogovo-číslícového prevodníka 6, ktorého výstupy sú pripojené na testovacie vstupy 23 mikropočítača 2.

Príslušné vstupy 26 časovej základne mikropočítača 2 môžu byť napojené na výstupy externého frekvenčného normálu 7. Mikropočítač 2 môže byť cez výstupy 25 pripojený k obvodu 8 styku, ktorý obsahuje klávesnicu a zobrazovaciu jednotku, prípadne komunikačné linky s vyšším riadiacim systémom, zároveň mikropočítač 2 môže byť cez výstupy 24 pripojený na externú pamäť 9.

Funkcia zapojenia podľa vynálezu je nasledujúca: po inicializácii mikropočítača 2 naprogramuje delič frekvencie (deliacim pomerom N_r), ktorý z referenčného signálu f_{ref} odvodeného z časovej základne mikropočítača 2 generuje periodický vzorkovací signál s frekvenciou $f_v = f_{ref}/N_r$, so vzorkovacou periódou $T_v = 1/f_v$, intervalom počítania T_{v1} a intervalom vyhodnocovania T_{v2} , pričom $T_{v1} + T_{v2} = T_v$. Počas intervalu počítania sa privedie zosilnený a tvarovaný vstupný signál s frekvenciou f_o cez vzorkovacie hradlo na vstup riadeného preddeliča vstupného obvodu 1, a potom na vstup 31 čítača obvodu 3 časovacej logiky. Po ukončení načítavacieho intervalu T_{v1} mikropočítač 2 programovým spôsobom zistí odchýlku frekvencie Δf_o strednej hodnoty frekvencie vstupného signálu f_o od požadovanej hodnoty frekvencie f_{op} , na ktorú je riadený preddelič a čítač nastavovaný pred začiatkom intervalu počítania. Počas vyhodnocovacieho intervalu T_{v2} v závislosti od frekvenčnej odchýlky f_o mikropočítač 2 zopne príslušné prúdové zdroje číslicovo-riadenej nábojovej pumpy číslicovo-analógového prevodníka 4 integračného typu. Počas programovo generovaného časového intervalu Δt , ktorý je tiež úmerný frekvenčnej odchýlke Δf_o , sa pripoja prúdové zdroje na vstup aktívneho integrátora, ktorý je súčasťou číslicovo-analógového prevodníka 4. Zmenou náboja na integračnej kapacite sa zmení výstupné regulačné napätie o hodnotu Δu :

$$\Delta u = \frac{\pm \sum I_k}{C} \cdot \Delta t = \frac{\pm \sum I_k}{C} \cdot N_2 \cdot T_{ref}$$

kde: Δu - veľkosť zmeny regulačného napätia na výstupe číslicovo-analógového prevodníka 4 úmerná frekvenčnej odchýlke;

$\pm \sum I_k$ - výsledná hodnota prúdov "nábojovej pumpy" číslicovo-analógového prevodníka 4 závislá od rádovej veľkosti frekvenčnej odchýlky Δf_o ;

C - hodnota integračnej kapacity aktívneho integrátora číslicovo-analógového prevodníka 4;

$\Delta t = N_2 \cdot T_{ref}$ - programovo generovaný časový interval generátorom časového intervalu (obvodu 3 časovacej logiky), ktorého výstup je pripojený na príslušný vstup číslicovo-analógového prevodníka 4 cez spoločnú zbernicu, T_{ref} je referenčný signál odvodený z časovej základne mikropočítača 2, N_2 je kód pre generátor časového intervalu úmerný hodnote frekvenčnej odchýlky Δf_o ;

Z ďalších alternatívnych riešení je možnosť použiť klasický číslicovo-analogový prevodník so sieťou R, 2R ovladaný mikropočítačom 2, pričom zmena výstupného napätia číslicovo-analogového prevodníka je úmerná frekvencnej odchýlke Δf_0 .

Výstup číslicovo-analogového prevodníka 4 je pripojený na vstup prispôsobovacieho obvodu 5, v ktorom sa dolnopriepustným filtrom potlačia nežiadúce zložky vzorkovania a zároveň sa impedančne prispôsobí výstup obvodu číslicovej regulácie a stabilizácie frekvencie podľa požiadaviek riadeného oscilátora.

Spätná väzba z výstupu prispôsobovacieho obvodu 5 cez analogovo-číslcový prevodník 6 na testovacie vstupy 23 mikropočítača 2 umožní zistiť okamžitú hodnotu regulačného napätia U_r a pri známej strmosti riadiacej charakteristiky oscilátora, prípadne známej hodnoty napätia pre novú frekvencie mikropočítač 2 určí optimálny prírastok regulačného napätia $\pm \Delta u$ a jemu odpovedajúce hodnoty $\pm \Sigma I_k$ a $\Delta \tau$ pre každý krok preladenia. Zapojenie sa tak stáva adaptívnym a umožní v optimálnom režime preladovať oscilátory s nelineárnou riadiacou charakteristikou.

Ak mikropočítač 2 neobsahuje interný frekvenčný normál pre generovanie vlastnej časovej základne, alebo ak tento nevyhovuje, je na mikropočítač 2 pripojený externý frekvenčný normál 7, ktorý zaručí dlhodobú stabilitu časovej základne mikropočítača 2, z ktorej je generovaný referenčný interval načítavania, a tým zabezpečí dlhodobú stabilitu sledovanej hodnoty frekvencie f_0 .

Meniť hodnotu frekvencie f_0 , prípadne indikovať ju, je možné pomocou obvodu 8 styku, ktorý obsahuje klávesnicu a zobrazovaciu jednotku, prípadne komunikačné linky na komunikáciu s vyšším riadiacim systémom. Pomocou obvodu 8 styku môže mikropočítač 2 ovládať aj ine funkcie napr. prepínanie frekvenčných rozsahov, riadenia amplitúdy, automatické preladovanie atď.

Mikropočítačový systém je ďalej možné rozšíriť o externú pamäť 9 programu, prípadne dát, ktorá sa môže využiť ako pamäť pevných (kanálových) frekvencií alebo ako pamäť voliteľných frekvencií frekvenčnej predvoľby.

Pri riadení oscilátorov s vysokou hodnotou frekvencie je potrebné vo vstupnom obvode 1 použiť preddelič s požadovanou hornou medznou frekvenciou, prípadne zmiešavaním superponovať sledované pásmo frekvencie na takú hodnotu frekvencie, ktorú je schopný spracovať vstupný obvod 1 a na neho napojený čítač obvodu časovacej logiky 3.

Mikropočítačom riadený systém číslicovej regulácie a stabilizácie frekvencie je možné využiť ako prídavný číslicový spätnoväzobný systém v rádioelektronických zariadeniach ako sú napr. rozhlasové a televízne prijímače, vysielače, signálne generátory, ktoré obsahujú riadený oscilátor s lineárnou alebo nelineárnou riadiacou charakteristikou, u ktorých je nutné zabezpečiť vysokú dlhodobú stabilitu frekvencie a možnosť preladovania frekvencie v požadovanom rozsahu s malým krokom zmeny frekvencie porovnateľným s hodnotou krátkodobého driftu riadeného oscilátora.

P R E D M E T V Y N Á L E Z U

1. Zapojenie mikropočítačom riadeného obvodu číslicovej regulácie a stabilizácie frekvencie číslicovo riadených oscilátorov pozostávajúce z mikropočítača, vstupných, výstupných a podporných obvodov vyznačuje sa tým, že vstupná svorka (A) je pripojená na signálový vstup (11) vstupného obvodu (1), ktorého signálový výstup (14) je pripojený na vstup (31) čítača obvodu (3) časovacej logiky, zároveň výstup (32) deliča frekvencie obvodu (3) časovacej logiky je pripojený na riadiaci vstup (13) vstupného obvodu (1), výstupy (21) mikropočítača (2) sú pripojené na riadiace a dátové vstupy (12) vstupného obvodu (1), výstupy (22) mikropočítača (2) sú pripojené na riadiace a dátové vstupy (33) obvodu (3) časovacej logiky a na príslušné vstupy číslicovo-analógového prevodníka (4) spoločnou zbernicou, výstup číslicovo-analógového prevodníka (4) je pripojený na vstup prispôsobovacieho obvodu (5), ktorého výstup je pripojený na výstupnú svorku (B).

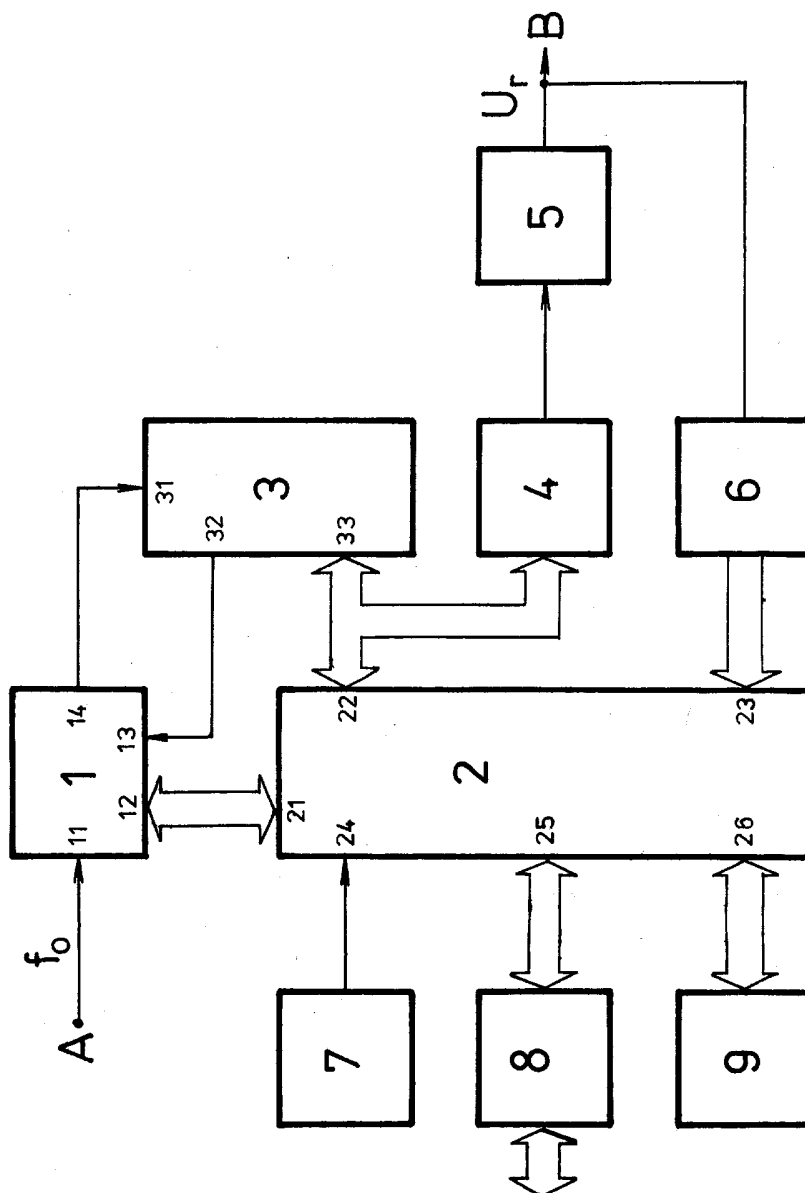
2. Zapojenie podľa bodu 1, vyznačuje sa tým, že výstup prispôsobovacieho obvodu (5) je pripojený na vstup analógovo-číslcového prevodníka (6), ktorého výstupy sú pripojené na testovacie vstupy (23) mikropočítača (2).

3. Zapojenie podľa bodu 1, vyznačuje sa tým, že výstupy externého frekvenčného normálu sú pripojené na príslušné vstupy (26) časovej základne mikropočítača (2).

4. Zapojenie podľa bodu 1, vyznačuje sa tým, že výstupy (25) mikropočítača (2) sú pripojené na vstupy obvodu (8) styku.

5. Zapojenie podľa bodu 1, vyznačuje sa tým, že výstupy (26) mikropočítača (2) sú pripojené na vstupy pamäte (9).

1 výkres



obr. 1