

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6653285号
(P6653285)

(45) 発行日 令和2年2月26日 (2020.2.26)

(24) 登録日 令和2年1月29日 (2020.1.29)

(51) Int.Cl.		F I			
H02M	1/08	(2006.01)	H02M	1/08	A
H03K	17/687	(2006.01)	H03K	17/687	A

請求項の数 1 (全 9 頁)

(21) 出願番号	特願2017-54649 (P2017-54649)	(73) 特許権者	000006895
(22) 出願日	平成29年3月21日 (2017.3.21)		矢崎総業株式会社
(65) 公開番号	特開2018-157728 (P2018-157728A)		東京都港区三田1丁目4番28号
(43) 公開日	平成30年10月4日 (2018.10.4)	(74) 代理人	110001771
審査請求日	平成30年11月19日 (2018.11.19)		特許業務法人虎ノ門知的財産事務所
		(72) 発明者	伊藤 聡
			静岡県裾野市御宿1500 矢崎総業株式
			会社内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 スイッチング制御装置

(57) 【特許請求の範囲】

【請求項1】

変圧対象の直流電源に接続されオン又はオフに制御されるスイッチング素子であって、電流を入力する入力端子、前記入力端子から入力した前記電流を出力する出力端子、及び、前記入力端子から前記出力端子に流れる電流を制御する制御端子を有するスイッチング素子の前記制御端子に接続され前記制御端子に電圧を印加して当該スイッチング素子をオンする駆動回路と、

前記出力端子に接続されるコンデンサ、及び、一端が前記駆動回路と前記制御端子との間に接続され他端が前記コンデンサと前記出力端子との間に接続されるコイルを有する逆バイアス回路と、を備え、

前記コイルは、前記逆バイアス回路により逆バイアスの電圧を連続して出力することが可能なインダクタンス値であり、

前記コイルのインダクタンス値を L とし、前記駆動回路に印加される電圧を $VCC2$ とし、前記駆動回路により前記制御端子に電圧を印加する1周期当たりのオン期間を T_{on} とし、前記駆動回路により前記制御端子に電圧を印加しない1周期当たりのオフ期間を T_{off} とし、前記駆動回路により印加する前記制御端子の電流値であって設計値として予め定められた電流値を I_G とした場合、以下の式(1)を満たすことを特徴とするスイッチング制御装置。

$$L > (VCC2 \times T_{on} \times T_{off}) / (2 \times I_G \times (T_{on} + T_{off})) \quad \cdots (1)$$

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング制御装置に関する。

【背景技術】

【0002】

従来、例えば、DCDCコンバータは、直流電力を交流電力に変換するスイッチング回路と、スイッチング回路により変換された交流電力を変圧するトランスと、トランスにより変圧された交流電力を直流電力に整流する整流回路と、上記スイッチング回路を制御するスイッチング制御装置とを備えている。スイッチング制御装置は、例えば、スイッチング回路のスイッチング素子をオン・オフ制御することにより所定の交流電力に変換する。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-67475号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、従来のスイッチング制御装置は、スイッチング回路のスイッチング素子に逆バイアスの電圧を印加し当該スイッチング素子を速やかにオフする逆バイアス回路を備えている場合があるが、逆バイアス回路を構成する部品の数が増加する傾向にあり、この点で更なる改善の余地がある。

20

【0005】

そこで、本発明は、上記に鑑みてなされたものであって、逆バイアス回路を構成する部品の数が増加することを抑制できるスイッチング制御装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

上述した課題を解決し、目的を達成するために、本発明に係るスイッチング制御装置は、変圧対象の直流電源に接続されオン又はオフに制御されるスイッチング素子であって、電流を入力する入力端子、前記入力端子から入力した前記電流を出力する出力端子、及び、前記入力端子から前記出力端子に流れる電流を制御する制御端子を有するスイッチング素子の前記制御端子に接続され前記制御端子に電圧を印加して当該スイッチング素子をオンする駆動回路と、前記出力端子に接続されるコンデンサ、及び、一端が前記駆動回路と前記制御端子との間に接続され他端が前記コンデンサと前記出力端子との間に接続されるコイルを有する逆バイアス回路と、を備え、前記コイルは、前記逆バイアス回路により逆バイアスの電圧を連続して出力することが可能なインダクタンス値であり、前記コイルのインダクタンス値をLとし、前記駆動回路に印加される電圧をVCC2とし、前記駆動回路により前記制御端子に電圧を印加する1周期当たりのオン期間をTonとし、前記駆動回路により前記制御端子に電圧を印加しない1周期当たりのオフ期間をToffとし、前記駆動回路により印加する前記制御端子の電流値であって設計値として予め定められた電流値をIGとした場合、以下の式(1)を満たすことを特徴とする。

30

40

$$L > (VCC2 \times Ton \times Toff) / (2 \times IG \times (Ton + Toff)) \quad \cdots (1)$$

【発明の効果】

【0008】

本発明に係るスイッチング制御装置は、スイッチング素子の出力端子に接続されるコンデンサ、及び、一端がスイッチング素子の制御端子と駆動回路との間に接続され他端がコンデンサとスイッチング素子の出力端子との間に接続されるコイルを有する逆バイアス回路を備える。これにより、スイッチング制御装置は、逆バイアス回路によりスイッチング素子の出力端子に逆バイアスの電圧を印加することができる。また、スイッチング制御装置は、逆バイアス回路をコイルとコンデンサとにより構成することができるので、逆バイアス回路を構成する部品の数が増加することを抑制できる。

50

【図面の簡単な説明】

【0009】

【図1】図1は、実施形態に係るスイッチング制御装置の構成例を示す回路図である。

【図2】図2は、実施形態に係るスイッチング制御装置の動作例を示す図である。

【図3】図3は、変形例に係るスイッチング制御装置の構成例を示す回路図である。

【図4】図4は、変形例に係るスイッチング制御装置の構成例を示す回路図である。

【発明を実施するための形態】

【0010】

本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成は適宜組み合わせることが可能である。また、本発明の要旨を逸脱しない範囲で構成の種々の省略、置換又は変更を行うことができる。

【0011】

〔実施形態〕

実施形態に係るDCDCコンバータ1について説明する。DCDCコンバータ1は、図1に示すように、例えば、絶縁型のスイッチング電源装置である。DCDCコンバータ1は、例えば、車両の直流電源（バッテリー）から供給される直流電力の電圧を変圧するものである。DCDCコンバータ1は、1次回路10と、2次回路（図示せず）と、1次回路10を制御するスイッチング制御装置20とを備えている。1次回路10は、スイッチング回路11と、スイッチング回路11に接続される1次巻線12とを備えている。スイッチング回路11は、変圧対象の直流電源VPPに接続され、直流電源VPPから供給される直流電力を交流電力に変換する回路である。ここで、直流電源VPPは、相対的に高い電圧であり、例えば100V～200V程度の電圧である。スイッチング回路11は、例えば、4つのスイッチング素子から構成されるフルブリッジ方式の回路である。図1では、スイッチング回路11において2つのスイッチング素子Q1、Q2を図示し、残り2つのスイッチング素子の図示を省略している。各スイッチング素子Q1、Q2は、例えば、Nチャネル型のMOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）であり、以下、単にFETQ1、Q2ともいう。FETQ1は、入力端子としてのドレイン端子d1が電源VPPに接続されている。2次回路（図示せず）は、1次巻線12に対向して設置される2次巻線と、2次巻線に接続され2次巻線から出力される交流電力を直流電力に整流する整流回路と、整流回路に接続され整流回路から出力される直流電流を平滑化する平滑回路とを備えている。DCDCコンバータ1は、直流電源VPPから供給される直流電力をスイッチング回路11により交流電力に変換し、変換した交流電力を1次巻線12及び2次巻線により変圧し、変圧された交流電力を整流回路により整流し、整流回路により整流された直流電力を平滑回路により平滑化して負荷部に供給する。

【0012】

スイッチング制御装置20は、スイッチング回路11の4つのスイッチング素子（FETQ1、Q2等）を制御する装置である。スイッチング制御装置20は、スイッチング素子毎に、駆動回路21と、逆バイアス回路22とを備えている。例えば、スイッチング制御装置20は、スイッチング回路11のFETQ1を制御する駆動回路21A及び逆バイアス回路22Aを備え、スイッチング回路11のFETQ2を制御する駆動回路21B及び逆バイアス回路22Bを備えている。なお、4つの駆動回路21は、それぞれ同等の構成であるため、スイッチング回路11の各FETQ1、Q2を駆動する駆動回路21A、21Bを図示し、スイッチング回路11の残り2つのスイッチング素子を制御する駆動回路21の図示を省略している。同様に、4つの逆バイアス回路22は、それぞれ同等の構成であるため、スイッチング回路11の各FETQ1、Q2に逆バイアスの電圧を印加する逆バイアス回路22A、22Bを図示し、スイッチング回路11の残り2つのスイッチング素子を制御する逆バイアス回路22の図示を省略している。スイッチング制御装置2

0 は、F E T Q 1 を駆動する駆動回路 2 1 A と F E T Q 2 を駆動する駆動回路 2 1 B とが同等の構成及び動作であるため、以下の説明では駆動回路 2 1 A について詳細に説明し、駆動回路 2 1 B については説明を省略する。また、スイッチング制御装置 2 0 は、F E T Q 1 に逆バイアスの電圧を印加する逆バイアス回路 2 2 A と F E T Q 2 に逆バイアスの電圧を印加する逆バイアス回路 2 2 B とが同等の構成及び動作であるため、以下の説明では逆バイアス回路 2 2 A について詳細に説明し、逆バイアス回路 2 2 B については説明を省略する。

【0013】

駆動回路 2 1 A は、スイッチング回路 1 1 の F E T Q 1 をオン又はオフに制御する回路である。駆動回路 2 1 A は、1 次駆動回路 2 1 1 と、2 次駆動回路 2 1 2 とを備えている。1 次駆動回路 2 1 1 は、低電圧（例えば 1 2 V 程度）の電源 V C C と、n p n バイポーラトランジスタ Q 3（以下、単にトランジスタ Q 3 ともいう。）と、p n p バイポーラトランジスタ Q 4（以下、単にトランジスタ Q 4 ともいう。）と、1 次巻線 P T 1 と、抵抗 R 1 と、コンデンサ C 1、C 2 とを備えている。トランジスタ Q 3 は、コレクタ端子が電源 V C C に接続され、エミッタ端子がトランジスタ Q 4 のエミッタ端子に接続されている。トランジスタ Q 3 とトランジスタ Q 4 との接続点は、抵抗 R 1 を介して 1 次巻線 P T 1 の一端に接続されている。1 次巻線 P T 1 の他端は、コンデンサ C 1 の一端に接続されている。コンデンサ C 1 の他端とトランジスタ Q 4 のコレクタ端子とは、グラウンドに接続されている。トランジスタ Q 3 のベース端子及びトランジスタ Q 4 のベース端子は、パルス出力回路（図示せず）に接続されている。コンデンサ C 2 は、電源 V C C に接続され、当該電源 V C C から供給される電力を安定するものである。1 次駆動回路 2 1 1 は、パルス出力回路から出力されるパルス信号に基づいて、トランジスタ Q 3 及びトランジスタ Q 4 をオン・オフ制御して 1 次巻線 P T 1 に交流電力（パルス信号）を出力する。

【0014】

2 次駆動回路 2 1 2 は、2 次巻線 P T 2 と、低電圧（例えば 1 2 V 程度）の電源 V C C 2 と、ダイオード D 1 と、N チャネル型の M O S F E T Q 5（以下、単に F E T Q 5 ともいう。）と、P チャネル型の M O S F E T Q 6（以下、単に F E T Q 6 ともいう。）と、コンデンサ C 3 とを備えている。1 次巻線 P T 1 及び 2 次巻線 P T 2 は、1 次駆動回路 2 1 1 と 2 次駆動回路 2 1 2 とを絶縁し、パルス信号を生成するためのパルストランスを構成している。F E T Q 5 のゲート端子及び F E T Q 6 のゲート端子は、2 次巻線 P T 2 の一端に接続されている。F E T Q 5 は、ドレイン端子がダイオード D 1 を介して電源 V C C 2 に接続され、ソース端子が F E T Q 6 のドレイン端子に接続されている。F E T Q 5 と F E T Q 6 との接続点は、抵抗 R 2 を介して F E T Q 1 の制御端子としてのゲート端子 g 1 に接続されている。F E T Q 6 のソース端子は、2 次巻線 P T 2 の他端とコンデンサ C 4 との間に接続されている。2 次駆動回路 2 1 2 は、2 次巻線 P T 2 を介して出力される交流電力（パルス信号）に基づいて、F E T Q 5 及び F E T Q 6 をオン・オフ制御して F E T Q 1 のゲート端子 g 1 に電圧を印加する。

【0015】

逆バイアス回路 2 2 A は、コンデンサ C 4 と、コイル L 1 とを備えている。コンデンサ C 4 は、一端が F E T Q 1 の出力端子としてのソース端子 s 1 に接続され、他端が 2 次巻線 P T 2 の他端に接続されている。コイル L 1 は、一端が F E T Q 5 のソース端子と F E T Q 1 のゲート端子 g 1 との間に接続され、他端がコンデンサ C 4 と F E T Q 1 のソース端子 s 1 との間に接続されている。

【0016】

逆バイアス回路 2 2 A は、F E T Q 5 がオンされ且つ F E T Q 6 がオフされた場合、コイル L 1 にエネルギーが蓄積される。また、逆バイアス回路 2 2 A は、F E T Q 5 がオフされ且つ F E T Q 6 がオンされた場合、コイル L 1 に蓄積されたエネルギーが放出され、放出されたエネルギーによりコンデンサ C 4 を充電する。そして、逆バイアス回路 2 2 A は、コンデンサ C 4 に充電されたエネルギーによって F E T Q 1 のソース端子 s 1 に電圧を印加することにより F E T Q 1 を逆バイアス状態にする。

【0017】

コイルL1は、FETQ1がオフの場合に逆バイアスの電圧を連続して出力する連続モードを実現可能なインダクタンス値にすることが好ましい。そこで、コイルL1は、連続モードを実現するために、以下の式(1)を満たすインダクタンス値にすることが好ましい。つまり、コイルL1は、当該コイルL1のインダクタンス値をLとし、駆動回路21Aに印加される電圧をVCC2とし、駆動回路21Aによりゲート端子g1に電圧を印加する1周期当たりのオン期間をTonとし、駆動回路21Aによりゲート端子g1に電圧を印加しない1周期当たりのオフ期間をToffとし、ゲート端子g1の電流値をIGとした場合、以下の式(1)を満たす。

$$L > (VCC2 \times Ton \times Toff) / (2 \times IG \times (Ton + Toff)) \quad \dots (1)$$

10

【0018】

なお、コイルL1は、式(1)のインダクタンス値を満たさない場合、逆バイアスの電圧を断続して出力する断続モードとなるが、断続モードでも逆バイアスの電圧をFETQ1に印加することは可能である。

【0019】

次に、スイッチング制御装置20によりFETQ1を制御する例について説明する。スイッチング制御装置20は、図2に示すように、駆動回路21AによりFETQ1をオンした場合、逆バイアス回路22AのコイルL1にエネルギーが蓄積される(期間Ton)。このとき、逆バイアス回路22Aは、コイルL1の電圧VL1が+VCC2となり、コイルL1を流れる電流IL1が増加する。なお、この場合、逆バイアス回路22Aは、コンデンサC4に電流IC1が流れない。そして、スイッチング制御装置20は、駆動回路21AによりFETQ1をオフした場合、逆バイアス回路22AのコイルL1に蓄積されたエネルギーが放出される(期間Toff)。このとき、逆バイアス回路22Aは、コイルL1の電圧VL1が-Vcとなり、コンデンサC4に電流IC1が流れてコンデンサC4にエネルギーが充電される。そして、逆バイアス回路22Aは、コンデンサC4に充電されたエネルギーによってFETQ1を逆バイアス状態にする。

20

【0020】

以上のように、実施形態に係るスイッチング制御装置20は、駆動回路21と、逆バイアス回路22とを備えている。例えば、駆動回路21Aは、変圧対象の直流電源VPPに接続されオン又はオフに制御されるFETQ1であって、電流を入力するドレイン端子d1、当該ドレイン端子d1から入力した電流を出力するソース端子s1、及び、ドレイン端子d1からソース端子s1に流れる電流を制御するゲート端子g1を有するFETQ1のゲート端子g1に接続され、当該ゲート端子g1に電圧を印加して当該FETQ1をオンする。逆バイアス回路22Aは、FETQ1のソース端子s1に接続されるコンデンサC4、及び、一端が駆動回路21Aとゲート端子g1との間に接続され他端がコンデンサC4とソース端子s1との間に接続されるコイルL1を有する。

30

【0021】

これにより、スイッチング制御装置20は、駆動回路21AによりFETQ1のゲート端子g1に電圧を印加してFETQ1をオンした場合、コイルL1にエネルギーを蓄積することができる。そして、スイッチング制御装置20は、駆動回路21AによりFETQ1をオフした場合、逆バイアス回路22AのコイルL1に蓄積されたエネルギーが放出され、放出されたエネルギーによりコンデンサC4が充電され、コンデンサC4に充電されたエネルギーによってFETQ1のソース端子s1に逆バイアスの電圧を印加することができる。これにより、スイッチング制御装置20は、FETQ1のドレイン端子d1とソース端子s1との間に存在するキャリアを一気になくすことができ、FETQ1を速やかにオフすることができる。また、スイッチング制御装置20は、逆バイアス回路22AをコイルL1とコンデンサC4とにより構成することができるので、相対的に少ない部品数で逆バイアス回路22Aを構成することができ、逆バイアス回路22Aを構成する部品数が増加することを抑制することができる。これにより、スイッチング制御装置20は、回路が大型化することを抑制することができ、製造コストを抑制することができる。

40

50

【0022】

また、スイッチング制御装置20は、コイルL1のインダクタンス値をLとし、駆動回路21Aに印加される電圧をVCC2とし、駆動回路21Aによりゲート端子g1に電圧を印加する1周期当たりのオン期間をTonとし、駆動回路21Aによりゲート端子g1に電圧を印加しない1周期当たりのオフ期間をToffとし、ゲート端子g1の電流値をIGとした場合、以下の式(1)を満たす。

$$L > (VCC2 \times Ton \times Toff) / (2 \times IG \times (Ton + Toff)) \quad \dots (1)$$

【0023】

これにより、スイッチング制御装置20は、FETQ1がオフの場合に逆バイアスの電圧を連続して出力する連続モードを実現することができ、FETQ1に安定して逆バイアス電圧を印加することができる。

10

【0024】

〔変形例〕

次に、実施形態の変形例について説明する。駆動回路21Aは、1次巻線PT1及び2次巻線PT2によりパルストランスを構成する例について説明したが、これに限定されない。例えば、駆動回路21Aは、図3に示すように、パルストランスの代わりにフォトカプラ21aを用いてもよい。この場合、駆動回路21Cは、フォトカプラ21aが発光素子21bと、受光素子21cとを備えている。発光素子21bは、例えば発光ダイオードであり、アノード端子が抵抗R1を介してトランジスタQ3とトランジスタQ4との間に接続され、カソード端子がグランドに接続されている。受光素子21cは、例えばフォト

20

【0025】

また、駆動回路21は、図4に示すように、IC(Integrated Circuit)回路21dにより構成してもよい。この場合、駆動回路21Dは、1次側のIC回路21dとして、パルス出力回路に接続される入力端子INと、電源VCCに接続される電源端子VCC1と、グランドに接続されるグランド端子GND1とを備えている。また、駆動回路21Dは、2次側のIC回路21dとして、FETQ1のゲート端子g1に接続される出力端子OUTと、電源VCC2に接続される電源端子VCC3と、グランドに接続されるグランド端子GND2とを備えている。駆動回路21Dは、入力端子INと出力端子OUTとが絶縁されている。駆動回路21Dは、パルス出力回路から入力端子INにON信号を入力した場合、出力端子OUTからFETQ1のゲート端子g1を印加する電気信号を出力する。このように、駆動回路21Dは、IC回路21dを有する構成としてもよい。

30

【0026】

また、スイッチング回路11の各FETQ1、Q2等は、MOSFETである例について説明したが、これに限定されない。各FETQ1、Q2等は、例えば、バイポーラトランジスタ等のトランジスタであってもよい。

40

【0027】

また、スイッチング回路11は、フルブリッジ方式について説明したが、これに限定されず、ハーフブリッジ方式やプッシュプル方式等であってもよい。

【0028】

また、DCDCコンバータ1は、絶縁型のDCDCコンバータである例について説明したが、非絶縁型のDCDCコンバータでもよい。

【符号の説明】

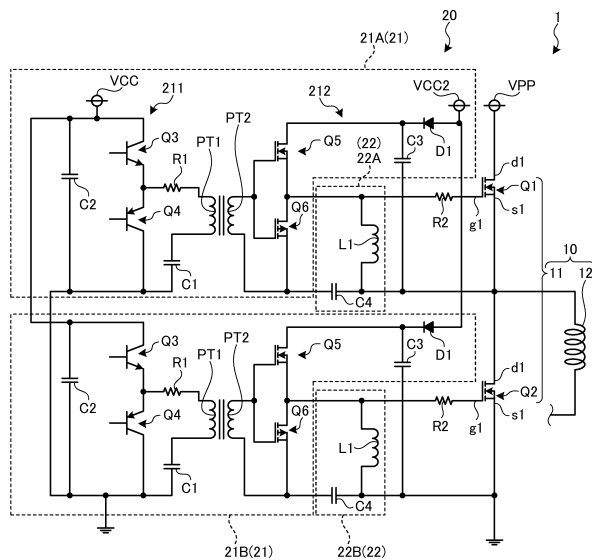
50

【0029】

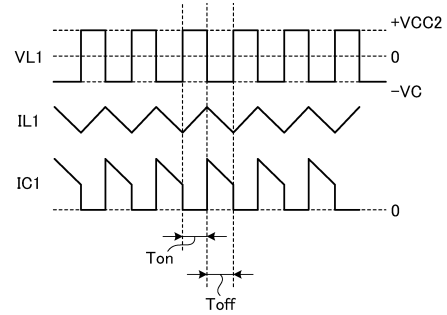
20 スイッチング制御装置
 21、21A、21B、21C、21D 駆動回路
 22、22A、22B 逆バイアス回路
 VPP 直流電源
 Q1、Q2 MOSFET（スイッチング素子）
 d1 ドレイン端子（入力端子）
 s1 ソース端子（出力端子）
 g1 ゲート端子（制御端子）
 L1 コイル
 C4 コンデンサ

10

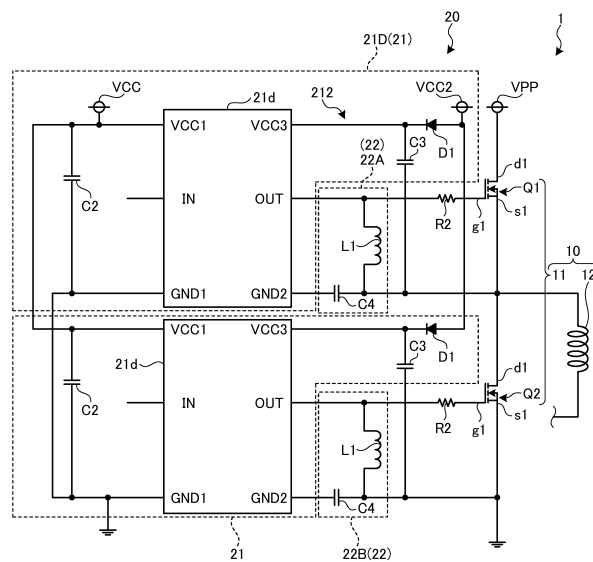
【図1】



【図2】



【图 4】



フロントページの続き

(56)参考文献 特開平06-276724 (JP, A)
実開平07-016592 (JP, U)
実開平04-094825 (JP, U)

(58)調査した分野(Int.Cl., DB名)
H02M 1/08
H03K 17/687