

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5460388号
(P5460388)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月24日(2014.1.24)

(51) Int.Cl.

H05K 3/46 (2006.01)

F 1

H05K 3/46 Q
H05K 3/46 N
H05K 3/46 B

請求項の数 11 (全 17 頁)

(21) 出願番号 特願2010-52961 (P2010-52961)
 (22) 出願日 平成22年3月10日 (2010.3.10)
 (65) 公開番号 特開2011-187800 (P2011-187800A)
 (43) 公開日 平成23年9月22日 (2011.9.22)
 審査請求日 平成25年1月15日 (2013.1.15)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100091672
 弁理士 岡本 啓三
 (72) 発明者 国本 裕治
 長野県長野市小島田町80番地 新光電気
 工業株式会社内

審査官 川内野 真介

最終頁に続く

(54) 【発明の名称】半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

電極端子が形成されている側の第1の面及びこれと反対側の第2の面を有する半導体素子と、

前記半導体素子が埋め込まれた第1の絶縁層と、

前記第2の面側の前記第1の絶縁層に形成された第2の絶縁層と、

前記第1の絶縁層に形成され、前記半導体素子の電極端子に到達する第1のピアホールと、

前記第1の前記絶縁層上に形成され、前記第1のピアホール内に設けられた第1のピアと一体的に形成され、前記電極端子と直接接続された前記第1の配線層と、

前記第2の絶縁層の表面側からレーザ加工されて前記第2の絶縁層及び前記第1絶縁層を貫通して形成され、前記第1の配線層に到達すると共に、前記第2の面側から前記第1の面側になるにつれて直径が小さくなる第2のピアホールと、

前記第2の絶縁層上に形成され、前記第2のピアホール内に設けられた第2のピアによつて前記第1の配線層に接続された第2の配線層とを有することを特徴とする半導体装置。

【請求項 2】

前記半導体素子の第1の面と側面とが前記第1の絶縁層に被覆され、前記第2の面が前記第1の絶縁層から露出していることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

10

20

前記半導体素子の第2の面が前記第2の絶縁層に接触していることを特徴とする請求項2に記載の半導体装置。

【請求項4】

前記半導体素子は、前記第2の面側に研削された研削面を備えて、厚みが10～50μmに薄型化されたシリコンチップであり、

前記シリコンチップの研削面と前記第2の面側の第1の絶縁層の面とが同一面となっており、

前記第2の絶縁層は、前記シリコンチップの研削面を被覆することを特徴とする請求項1に記載の半導体装置。

【請求項5】

前記第1の面側及び第2の面側において、多層配線構造を有し、それぞれ最外層の配線層を被覆するソルダレジスト層を備え、各ソルダレジスト層は、当該配線層に画定された外部接続用のパッドの部分を露出させて形成されていることを特徴とする請求項1乃至4のいずれか一項に記載の半導体装置。

【請求項6】

前記半導体素子が埋め込まれた第1の絶縁層は、前記第2の絶縁層よりも厚く形成されていることを特徴とする請求項1乃至4のいずれか一項に記載の半導体装置。

【請求項7】

電極端子が形成されている側の第1の面及びこれと反対側の第2の面を有する半導体素子を、前記第1の面側を上にして第1の支持体上に搭載する工程と、

前記第1の支持体上に、前記半導体素子を封止するように第1の絶縁層を形成する工程と、

前記第1の絶縁層上に、該第1の絶縁層に形成される第1のビアを介して前記半導体素子の電極端子に接続される第1の配線層を形成する工程と、

前記第1の支持体を除去する工程と、

前記第1の支持体の除去後の構造体を、前記第2の面側を上にして第2の支持体上に搭載する工程と、

前記第2の面上に、前記第1の絶縁層を貫通して形成される第2のビアを介して前記第1の配線層に接続される第2の配線層を形成する工程と、

前記第2の支持体を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】

前記第1の支持体を除去する工程は、前記第1の配線層を被覆する第3の絶縁層を形成した後に行われることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】

前記第2の支持体上に搭載する工程の後であって、前記第2の配線層を形成する工程の前に、

前記半導体素子の第2の面を前記第1の絶縁層と共に研削し、当該半導体素子を所要の厚さに薄化する工程と、

薄化された前記半導体素子の第2の面及び前記第1の絶縁層上に、第2の絶縁層を形成する工程とを有し、

前記第2の配線層を形成する工程において、前記第2の配線層は前記第2の絶縁層の上に形成され、前記ビアは前記第2の絶縁層及び前記第1の絶縁層を貫通して形成されることを特徴とする請求項7又は8に記載の半導体装置の製造方法。

【請求項10】

前記第2の支持体を除去する工程は、前記第2の配線層を被覆する第4の絶縁層を形成した後に行われることを特徴とする請求項7又は8に記載の半導体装置の製造方法。

【請求項11】

前記第4の絶縁層を形成後、前記第2の支持体を除去する前に、

前記第4の絶縁層上に、該第4の絶縁層に形成される第3のビアを介して前記第2の配線層に接続される第3の配線層を形成する工程と、

10

20

30

40

50

前記第3の配線層に画定される外部接続用のパッドの部分を露出させてソルダレジスト層を形成する工程とを含み、

さらに前記第2の支持体を除去した後に、

前記第3の絶縁層上に、該第3の絶縁層に形成される第4のビアを介して前記第1の配線層に接続される第4の配線層を形成する工程と、

前記第4の配線層に画定される外部接続用のパッドの部分を露出させてソルダレジスト層を形成する工程とを含むことを特徴とする請求項10に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、半導体装置及びその製造方法に関し、特に、複数の配線層が絶縁層を介在させて積層され、各絶縁層に形成されたビアを介して層間接続された構造を有する配線基板に半導体素子が内蔵された半導体装置及びその製造方法に関する。

【0002】

かかる半導体装置において配線基板は、その内部に半導体素子を埋め込み実装しているという点で、以下の記述では便宜上、「半導体パッケージ」もしくは単に「パッケージ」ともいう。

【背景技術】

【0003】

20

多層構造の配線基板を製造する技術として、ビルドアップ法が広く用いられている。このビルドアップ法を用いた多層配線基板は、層間絶縁層の材料（代表的には、樹脂）とビアホール形成プロセスの組合せにより多種類のものが作製可能であり、その典型的なプロセスは、支持基材としてのコア基板を中心としてその両面に、絶縁層の形成、絶縁層におけるビアホールの形成、ビアホールの内部への導体充填（ビア）を含めた配線層の形成を順次繰り返して積み上げていくものである。かかる構造では、配線層と絶縁層の部分はビルドアップ法で積層しているので薄く形成することができるが、コア基板の部分は配線基板に剛性をもたせるために相応の厚さを必要とし、パッケージ全体としての薄型化に限界があった。

【0004】

そのため、最近では、配線基板（半導体パッケージ）の更なる薄型化を図るべく、コア基板（支持基材）を除去した構造が採用されている。かかる構造の配線基板は、コアの部分が無いという意味で、「コアレス基板」とも呼ばれている。かかるコアレス基板を作製する方法についてはその詳細は省略するが、基本的なプロセスは、支持体としての仮基板上に所要数のパッド（端子部）を形成後、該パッド及び仮基板上にビルドアップ層（ビアホールを有した絶縁層、ビアホールの内部を充填して下層の配線層（パッド）に接続される配線層）を順次形成し、最終的に仮基板（支持体）を除去するものである。

30

【0005】

このようなコアレス基板を用いて半導体装置を構成する場合、その1つの形態として、基板の一方の面に半導体素子を搭載し、他方の面に外部接続端子を接合した構造がある。図7はその一例を示したものである。

40

【0006】

図7に示す半導体装置60において、70は配線基板（コアレス基板）を示し、4層の配線層71, 73, 75, 77と3層の絶縁層（典型的には、樹脂層）72, 74, 76が積層された構造を有している。各配線層71, 73, 75, 77は、各絶縁層72, 74, 76にそれぞれ形成されたビア73a, 75a, 77aを介して相互に電気的に接続されている。

【0007】

基板70の一方の面から露出するパッド71P（当該配線層71の一部）には、半導体素子（典型的には、シリコンチップ）61の電極パッド（図示せず）がはんだバンプ62を介してフリップチップ接続されている。さらに、その搭載されたチップ61と基板70

50

との間隙に充填されたアンダーフィル樹脂 63 (硬化後) により、チップ 61 が基板 70 に固定化されている。基板 70 の他方の面には、当該配線層 77 の所要の箇所に画定されたパッド 77P の部分を露出させて保護膜 (ソルダレジスト層) 78 が形成され、その露出しているパッド 77P に外部接続端子 (はんだボール 65) が接合されている。

【0008】

つまり、この形態の半導体装置 60 は、基板 70 の熱膨張係数 (CTE) と大きく異なる CTE を有した半導体チップ 61 が基板 70 の一方の面に搭載されているため、この基板構造を上下方向に見たときに CTE の分布が上下非対称となっている。

【0009】

また、コアレス基板と同様に最終的に支持体を除去することで薄型化を意図した半導体装置の他の形態としては、半導体素子を基板に表面実装するのではなく、基板に埋め込み実装させたものがある。

【0010】

これに関連する技術の一例は、下記の特許文献 1 に記載されている。この特許文献 1 には、支持体上に半導体素子 (チップ) を搭載し、このチップを埋め込むように絶縁層を形成後、このチップの電極に接続されるように配線層を形成し、さらにこの配線層のパッドの部分を露出させてソルダレジスト層で被覆し、最終的に支持体を除去することが開示されている。

【先行技術文献】

【特許文献】

【0011】

【特許文献 1】特開 2006-222164 号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

上述したように配線基板に半導体素子を表面実装するタイプの半導体装置では、素子と基板間は導電性バンプ (はんだボール等) を介して接続されるため (図 7 参照)、そのバンプの大きさに依存して素子端子間のピッチをファイン化 (狭ピッチ化) できないという問題があった。バンプの大きさを小さくすれば狭ピッチ化も可能ではあるが、その場合、ハンドリングや基板上へのボール振込みが容易に行えないといった別の問題が生じる。

【0013】

また、バンプの径の分だけ半導体装置全体としての厚さが増大する。加えて、半導体素子 (チップ = ダイ) の実装時にはピックアップやダイアタッチ等のハンドリング上の制約から、ある程度の強度が必要であるため、相当の厚さ (現状の技術では 100 μm 以上) が必要になる。このため、全体としての厚さが更に増大するという問題があった。

【0014】

上記の特許文献 1 に記載されているような、半導体素子を基板内に埋め込むタイプの半導体装置では、素子と基板の接続にバンプを使用していないので、このような問題に対応することは可能である。

【0015】

しかしながら、この特許文献 1 に記載された半導体装置も含めて、パッケージ自体が薄型の構造 (コアレス基板) となっている現状の半導体装置においては、上下非対称の構造となっている (つまり、半導体素子の電極端子側にのみ絶縁層及び配線層が積層された構造であり、この構造を上下方向に見たときに熱膨張係数 (CTE) の分布が上下非対称となっている) ため、基板に反りが発生し易いという課題があった。

【0016】

また、いわゆるパッケージ・オン・パッケージ (POP) 構造やマルチチップ・パッケージ (MCP) 構造に適用する場合、当該基板に実装される素子の背面側 (その電極端子が形成されている側と反対側の面) には配線及び外部端子が設けられていないため、当該基板に他のパッケージやチップキャパシタ等の表面実装 (SMT) 部品を搭載する際にそ

10

20

30

40

50

の接続端子の配置や搭載位置が制約され、搭載の自由度が制限される。つまり、このような不都合を招くことなく P O P 構造等に容易に適用することができないという課題があった。

【 0 0 1 7 】

本発明は、かかる従来技術における課題に鑑み創作されたもので、薄型化及び素子端子間の狭ピッチ化を可能にする一方で、基板の反りの低減化を図り、P O P 構造等に容易に適用することができる半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 8 】

上記の従来技術の課題を解決するため、本発明の一形態によれば、電極端子が形成されている側の第 1 の面及びこれと反対側の第 2 の面を有する半導体素子と、前記半導体素子が埋め込まれた第 1 の絶縁層と、前記第 2 の面側の前記第 1 の絶縁層に形成された第 2 の絶縁層と、前記第 1 の絶縁層に形成され、前記半導体素子の電極端子に到達する第 1 のビアホールと、前記第 1 の前記絶縁層上に形成され、前記第 1 のビアホール内に設けられた第 1 のビアと一体的に形成され、前記電極端子と直接接続された前記第 1 の配線層と、前記第 2 の絶縁層の表面側からレーザ加工されて前記第 2 の絶縁層及び前記第 1 絶縁層を貫通して形成され、前記第 1 の配線層に到達すると共に、前記第 2 の面側から前記第 1 の面側になるにつれて直径が小さくなる第 2 のビアホールと、前記第 2 の絶縁層上に形成され、前記第 2 のビアホール内に設けられた第 2 のビアによって前記第 1 の配線層に接続された第 2 の配線層とを有することを特徴とする半導体装置が提供される。

【 0 0 1 9 】

また、上記の従来技術の課題を解決するため、本発明の他の形態によれば、電極端子が形成されている側の第 1 の面及びこれと反対側の第 2 の面を有する半導体素子を、前記第 1 の面側を上にして第 1 の支持体上に搭載する工程と、前記第 1 の支持体上に、前記半導体素子を封止するように第 1 の絶縁層を形成する工程と、前記第 1 の絶縁層上に、該第 1 の絶縁層に形成される第 1 のビアを介して前記半導体素子の電極端子に接続される第 1 の配線層を形成する工程と、前記第 1 の支持体を除去する工程と、前記第 1 の支持体の除去後の構造体を、前記第 2 の面側を上にして第 2 の支持体上に搭載する工程と、前記第 2 の面上に、前記第 1 の絶縁層を貫通して形成される第 2 のビアを介して前記第 1 の配線層に接続される第 2 の配線層を形成する工程と、前記第 2 の支持体を除去する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【発明の効果】

【 0 0 2 0 】

本発明の一形態に係る半導体装置の構成によれば、半導体素子と配線基板（の配線層）とは、従来形（図 7）に見られたようなバンプ 62（現状技術ではバンプ径は 50 μ m 以上で比較的大きい）を介して接続されているのではなく、半導体素子が埋め込まれた絶縁層に形成された第 1 のビアを介して直接接続されている。これにより、半導体装置全体として薄型化を図ることができる。また、現状のバンプ径に対してビア径は小さいため、半導体素子の端子間の狭ピッチ化に対応することができる。

【 0 0 2 1 】

また、半導体素子が埋め込まれた絶縁層を挟んでその両面、すなわち、当該素子の第 1 の面側（電極端子が形成されている側）と第 2 の面側（背面側）にそれぞれ絶縁層及び配線層が積層されているので、この構造を上下方向に見たときに熱膨張係数（CTE）の分布が上下対称に近い状態となっている。これにより、例えば、本装置（半導体素子内蔵基板）をマザーボード等に実装する場合において端子接続の際のリフローによる熱が加わった時でも、基板に反りが発生するのを抑制することができる（基板の反りの低減化）。

【 0 0 2 2 】

また、本装置（半導体素子内蔵基板）を P O P 構造や M C P 構造に適用した場合に、半導体素子の第 2 の面側（背面側）にも配線層が形成されているので、従来技術に見られたような不都合を招くことなく、他のパッケージや S M T 部品の搭載の自由度を高めること

10

20

30

40

50

ができる。つまり、POP構造等に容易に適用することが可能となる。

【0023】

本発明の他の形態に係る半導体装置の製造方法によれば、その最終生成物である半導体装置の構成は上記の形態に係る半導体装置と基本的に同等であるので、上記と同様の作用効果を奏すことができる。さらに、この製造方法によれば、半導体素子を第1の絶縁層で封止した後の工程で、半導体素子の第2の面（背面）を第1の絶縁層と共に研削しているので、更なる薄型化に寄与するとともに、付加的な効果も得られる。この付加的な効果については、後述する発明の実施の形態において詳細に説明する。

【図面の簡単な説明】

【0024】

10

【図1】本発明の一実施形態に係る半導体装置の構成を示す断面図である。

【図2】図1の半導体装置の製造工程の一例（その1）を示す断面図である。

【図3】図2の製造工程に続く製造工程（その2）を示す断面図である。

【図4】図3の製造工程に続く製造工程（その3）を示す断面図である。

【図5】図4の製造工程に続く製造工程（その4）を示す断面図である。

【図6】図5の製造工程に続く製造工程（その5）を示す断面図である。

【図7】従来形の一例に係るコアレス基板を用いた半導体装置の構成を示す断面図である。

【発明を実施するための形態】

【0025】

20

以下、本発明の好適な実施の形態について、添付の図面を参照しながら説明する。

【0026】

図1は、本発明の一実施形態に係る半導体装置の構成を断面図の形態で示したものである。

【0027】

本実施形態に係る半導体装置10は、配線基板（パッケージ）30に所要個数（図示の例では1個）の半導体素子（チップ）20が埋め込まれた形態を有している。基板30に埋め込まれる半導体素子20は、例えば、ウエハレベルプロセスを用いてシリコンウエハに作り込まれた複数のデバイスを各デバイス単位にダイシングして得られたシリコンチップ（「ダイ」ともいう。）であり、CPU等の能動素子である。

30

【0028】

配線基板（パッケージ）30は、図示のように4層の配線層32, 34, 36, 38と4層の絶縁層31, 33, 35, 37が積層された構造を有している。このうち、チップ20を埋め込み封止している絶縁層31は、他の絶縁層33, 35, 37よりも厚く形成されており、半導体装置10の支持基材（コア）としての役割を果たす。この絶縁層31の一方の面31a（図示の例では下面）には、下側方向において1層目となる配線層32が所要のパターン形状に形成されている。

【0029】

チップ20は、その電極端子21が形成されている側の面（フェイス面20a）を絶縁層31の一方の面31a方向に向けて、そのフェイス面20a及び側面周囲20cが絶縁層31に被覆され、反対側の背面20bが絶縁層31の他方の面31b（図示の例では上面）と同一平面となるように絶縁層31に埋め込まれている。1層目の配線層32は、絶縁層31に形成されたビアホールに充填された導体（ビア32a）を介してチップ20の電極端子21に接続されている。

40

【0030】

さらに、配線層32を覆うように絶縁層33が形成され、この絶縁層33上に、下側方向において2層目となる配線層34が所要のパターン形状に形成されている。この配線層34は、絶縁層33に形成されたビアホールに充填された導体（ビア34a）を介して1層目の配線層32に接続されている。2層目の配線層34は、本実施形態では基板30の最外層の配線層を構成する。

50

【0031】

チップ20を封止している絶縁層31の他方の面31bには、絶縁層35が形成されており、さらにこの絶縁層35上に、上側方向において1層目となる配線層36が所要のパターン形状に形成されている。この配線層36は、絶縁層35上で、チップ20の実装エリアの内側に対応する部分（チップ20の背面20bに対応する部分）に延在するようパターンングされている。また、この配線層36は、チップ20の実装エリアの外側の領域において絶縁層35及び絶縁層31を貫通形成されたビアホールに充填された導体（ビア36a）を介して下側の1層目の配線層32に接続されている。

【0032】

さらに、配線層36を覆うように絶縁層37が形成され、この絶縁層37上に、上側方向において2層目となる配線層38が所要のパターン形状に形成されている。この配線層38は、絶縁層37に形成されたビアホールに充填された導体（ビア38a）を介して1層目の配線層36に接続されている。同様に、この2層目の配線層38は最外層の配線層を構成する。

10

【0033】

絶縁層31, 33, 35, 37の材料としては、ビルドアップ樹脂として広く使用されているエポキシ系樹脂やポリイミド系樹脂、フェノール樹脂等が好適に用いられる。配線層32, 34, 36, 38の材料としては、代表的に銅（Cu）が用いられる。

【0034】

ただし、最外層の配線層34, 38の所要の箇所に画定されるパッドP1, P2の部分には、本パッケージ（配線基板30）をマザーボード等に実装する際、もしくは他のパッケージとの間でPOP構造を形成する際に使用される外部接続端子（はんだボール等）、あるいは他の電子部品（半導体素子等の能動素子やチップキャパシタ等の受動素子）の電極端子等が接合されるので、その接合の際のコンタクト性を良くするために適当な表面処理を施している。例えば、ニッケル（Ni）めっき及び金（Au）めっきをこの順に、あるいはNiめっき、パラジウム（Pd）めっき及びAuめっきをこの順に施している。つまり、パッドP1, P2の部分は、Cu/Ni/AuもしくはCu/Ni/Pd/Auの層構造からなっている。

20

【0035】

さらに、配線基板30の両面には、それぞれ当該パッドP1, P2の部分を露出させて表面を覆うように保護膜としてのソルダレジスト層39, 40が形成されている。このうち、一方の面側（図示の例ではチップ20の電極端子21側）のソルダレジスト層39から露出するパッドP1には、外部接続端子としてのはんだボール41が接合されている。はんだボール41は、図示の例とは反対側（チップ20の背面20b側）のソルダレジスト層40から露出するパッドP2に接合するようにしてもよい。

30

【0036】

また、本実施形態ではパッドP1（もしくはP2）にはんだボール41を接合したBGA（ボール・グリッド・アレイ）の形態としているが、これに代えて、当該パッドにピンを接合したPGA（ピン・グリッド・アレイ）の形態としてもよい。また、このような外部接続端子は必ずしも設ける必要はなく、必要なときに外部接続端子（はんだボールや金属ピン等）を接合できるように当該パッドを露出させたLGA（ランド・グリッド・アレイ）の形態としてもよい。

40

【0037】

本実施形態の半導体装置10を構成する各部材の大きさ（厚さ等）については、以下に記述する製造方法の各工程中で適宜説明する。

【0038】

次に、本実施形態に係る半導体装置10を製造する方法について、その製造工程の一例を示す図2～図6を参照しながら説明する。

【0039】

先ず最初の工程では（図2（a）参照）、パッケージ（配線基板30）に埋め込むべき

50

半導体素子（チップ）20Aを用意し、このチップ20Aを支持体51上に搭載する。その際、支持体51のチップ搭載面側に接着剤層52を形成しておき、この接着剤層52を介在させてチップ20Aを搭載する。

【0040】

つまり、接着剤層52は支持体51と協働して、搭載したチップ20Aを規定の位置に保持（仮固定）しておくための役割を果たす。また、後の工程で行うチップ20Aの樹脂封止の際に樹脂がチップ20Aの背面側に漏れ出すのを防止するための役割も果たす。

【0041】

接着剤層52の厚さは数10μm～100μm程度に選定され、その材料としては、熱や紫外線（UV）により剥離することが可能な剥離型接着剤が用いられる。

10

【0042】

また、支持体51の材料は特に限定はしないが、チップ20Aを搭載する側の面（接着剤層52が形成される側の面）は平坦であることが望ましい。例えば、銅板やプリント基板等の比較的平坦性の高い基板（厚さは数100μm程度）を用いることができる。

【0043】

支持体51（接着剤層52）上に搭載されるチップ20Aは、ピックアップ等のハンドリング上の制約から、現状の技術で必要とされている相当の厚さ（100μm以上）を有したものを用意する。このようなチップ20Aは、例えば、以下のようにして作製することができる。

【0044】

先ず、所要の大きさ（例えば、直径が12インチで、厚さが750μm）のシリコンウエハに対し、その一方の面側に所要のデバイスプロセスを施して複数のデバイス（CPU等の能動素子）をアレイ状に作り込み、そのデバイスが形成されている側の面に窒化シリコン（SiN）やリンガラス（PSG）等からなるパッシベーション膜を形成し、各デバイス上に所要のパターンで形成されたアルミニウムの配線層の一部分（電極パッド）に対応する部分のパッシベーション膜をレーザ等により除去した後、この電極パッド上に、銅（Cu）のスパッタリングやめっき等によりポスト状の電極端子21を形成する。次に、ウエハを所定の厚さ（例えば、100μm～200μm程度）に研削した後、ダイサー等により各デバイス単位（例えば、10mm×10mmのサイズ）に個片化することで、一方の面（フェイス面20a）に電極端子21が形成されたチップ（ダイ）20Aを得ることができる。

20

【0045】

各デバイス単位に個片化する際には、そのウエハを、ダイシング用フレームに支持されたダイシング用テープ上に、ダイ・アタッチ・フィルムを介在させて、ウエハのデバイスが作り込まれている側と反対側の面を接着させて搭載し、ダイサーのブレードにより、各デバイスの領域を画定する線に沿ってウエハを切断し、個々のデバイス（チップ）に分割する。そして、個片化されたチップ20Aをピックアップし、その電極端子21が形成されている側のフェイス面20aを上にしたフェイスアップの態様で、支持体51（接着剤層52）上の所定の位置に搭載する。

30

【0046】

チップ20Aを所定の位置に搭載する際には、例えば、あらかじめ支持体51の所定の位置に位置合わせ用のマークを設けておき、これを接着剤層52を通して顕微鏡等で読み取り、その検出位置に従って当該チップ20Aを搭載する。

40

【0047】

また、より高精度なアライメントが必要な場合は、支持体51の材料として、ガラス基板等の熱膨張係数の低い材料を使用するのが望ましい。

【0048】

次の工程では（図2（b）参照）、チップ20Aが搭載された支持体51（接着剤層52）上に、チップ20A（電極端子21の部分を含む）を封止するように絶縁層31を形成する。例えば、熱硬化性のエポキシ系樹脂フィルムを支持体51（接着剤層52）上に

50

ラミネートし、この樹脂フィルムをプレスしながら 130 ~ 150 の温度で熱処理して硬化させることにより、樹脂層（絶縁層 31）を形成することができる。

【0049】

このとき、支持体 51 上に形成された接着剤層 52 は、溶融した樹脂がチップ 20A の背面側に漏れ出すのを防止する役割を果たす。これにより、チップ 20A のフェイス面 20a と側面周囲 20c のみを絶縁層 31 で被覆することができる。

【0050】

形成される絶縁層 31 の厚さは、封止されるチップ 20A の厚さに依るが、少なくともチップ 20A の電極端子 21 上の部分の厚さが 50 μm 以下（例えば、20 μm 程度）となるように選定されている。また、絶縁層 31 の材料としては、熱硬化性樹脂に限定されず、他の形態のものを使用することができる。例えば、感光性樹脂を使用してもよいし、液状もしくはペースト状の樹脂を使用してもよい。

【0051】

次の工程では（図 2 (c) 参照）、絶縁層 31 の所要箇所（封止されたチップ 20A の電極端子 21 の部分に対応する箇所）に、炭酸ガスレーザ、エキシマレーザ等による穴明け加工により、当該電極端子 21 に達するビアホール VH1 を形成する。形成されるビアホール VH1 は、これを形成する部分の絶縁層 31 の厚さが 50 μm 以下であるので、その開口径を 5 μm ~ 10 μm 程度と小さくすることができる。

【0052】

本工程ではレーザによりビアホール VH1 を形成しているが、絶縁層 31 が感光性樹脂を用いて形成されている場合には、フォトリソグラフィにより所要のビアホールを形成することも可能である。

【0053】

この場合には、先ず、チップ 20A が搭載された支持体 51（この場合、熱剥離型の接着剤層 52）上に感光性のエポキシ樹脂を塗布し、樹脂のプリベーク処理を行った後、マスクを用いて露光及び現像（樹脂層のパターニング）を行い、さらにポストベーク処理を行い、図示のように所要の箇所に開口部（ビアホール VH1）を有する樹脂層（絶縁層 31）を形成する。その際、樹脂層のパターニングは、チップ 20A の電極端子 21 の形状に従うように行う。従って、露光及び現像を行うと、電極端子 21 に対応する部分の樹脂層 31 が除去されて、当該電極端子 21 に達するビアホール VH1 が形成される。

【0054】

次の工程では（図 2 (d) 参照）、ビアホール VH1（図 2 (c)）が形成された絶縁層 31 上に、セミアディティブ法やアディティブ法などにより、ビアホール VH1 を充填して（ビア 32a）チップ 20A の電極端子 21 に接続される配線層 32 を所要のパターン形状に形成する。具体的な一例を説明すると、以下の通りである。

【0055】

先ず、絶縁層 31 上（ビアホール VH1 の内壁面を含む）に、スパッタリングや無電解めっき等によりシード層を形成する。例えば、クロム (Cr) 又はチタン (Ti) をスパッタリングにより堆積させ (Cr 層又は Ti 層)、さらに銅 (Cu) をスパッタリングにより堆積させることで、2 層構造のシード層を形成する。次に、このシード層上に、パターニング材料を使用してめっきレジストを形成し、所要の形状にパターニングしてレジスト層を形成する。このレジスト層は、形成すべき配線層（例えば、配線幅が 5 μm ~ 10 μm 程度）の形状に従うようにパターニングされる。

【0056】

パターニング材料としては、感光性のドライフィルム（レジスト材料をポリエスチルのカバーシートとポリエチレンのセパレータシートの間に挟んだ構造のもの）、又は液状のフォトレジスト（ノボラック系樹脂、エポキシ系樹脂等の液状レジスト）を用いることができる。例えば、ドライフィルムを使用する場合には、シード層の表面 (Cu 層上) を洗浄後、ドライフィルムを熱圧着によりラミネートし、そのドライフィルムを、所要の形状にパターニングされたマスクを用いて UV 照射による露光を施して硬化させ、さらに所定

10

20

30

40

50

の現像液を用いて当該部分をエッティング除去することで、所要のレジスト層を形成する。液状のフォトレジストを用いた場合にも、同様の工程を経て、めっきレジスト（レジスト層）を形成することができる。

【0057】

次に、このレジスト層の開口部から露出しているシード層上に、このシード層を給電層として利用した電解Cuめっきにより、配線層32（ピア32aを含む）を厚さ5μm～10μm程度に形成する。この後、レジスト層を除去する。例えば、めっきレジストとしてドライフィルムを使用した場合には、水酸化ナトリウムやモノエタノールアミン系等のアルカリ性の薬液を用いて除去することができ、液状レジストを使用した場合には、アセトンやアルコール等を用いて除去することができる。

10

【0058】

さらに、ウエットエッティングにより、露出しているシード層を除去する。この場合、先ずCuを溶かすエッティング液でシード層の上層部分のCu層を除去し、次にCr又はTiを溶かすエッティング液で下層部分のCr層又はTi層を除去する。これにより、図示のように各配線パターン（配線層32）間の部分の絶縁層31が露出する。この後、所定の表面洗浄等を行う。

【0059】

なお、シード層のCu層を除去したときに同時に配線層（Cu）32の上層部分も除去されるが、配線層32の厚さはシード層と比べてかなり厚いため、配線層32が断線するといった問題は生じない。

20

【0060】

次の工程では（図3（a）参照）、図2（b）の工程で行った処理と同様にして、露出している絶縁層31及び配線層32上に、絶縁層33を厚さ15μm～25μm程度に形成する。

【0061】

次の工程では（図3（b）参照）、その絶縁層33が形成された構造体から、チップ20Aを保持する基材として用いた支持体51（図3（a））を、接着剤層52と共に剥離除去する。例えば、接着剤層52を熱剥離することによって支持体51を除去する。

【0062】

これにより、図示のようにチップ20Aのフェイス面20a及び側面周囲20cが絶縁層31で被覆され、絶縁層31の一方の面31aに形成された配線層32がチップ20Aの電極端子21に接続されるとともに、絶縁層33で被覆され、反対側のチップ20Aの背面が絶縁層31の他方の面と同一面上に露出した構造体が出来上がる。

30

【0063】

次の工程では（図3（c）参照）、この構造体を、上下反転させた状態（チップ20Aの背面を上にし、絶縁層33が形成されている側の面を下にした状態）で支持体53上に搭載する。その際、支持体53の搭載面側に接着剤層54を形成しておき、この接着剤層54を介在させて当該構造体を保持する。支持体53及び接着剤層54の材料及び厚さについては、それぞれ図2（a）の工程で使用した支持体51及び接着剤層52と同等のものを使用する。

40

【0064】

次の工程では（図3（d）参照）、化学機械研磨（CMP）法、プラスト法等により、チップ20Aの背面及び絶縁層31の表面を研削し、チップ20Aの厚さを10μm～50μm程度に薄くする。これにより、絶縁層31に封止されたチップ20の背面20bと絶縁層31の他方の面31bとが同一面上に露出する。

【0065】

次の工程では（図4（a）参照）、図3（a）の工程で行った処理と同様にして、露出しているチップ20の背面20b及び絶縁層31の他方の面31b上に、絶縁層35を厚さ10μm程度に形成する。

【0066】

50

次の工程では(図4(b)参照)、図2(c)の工程で行った処理と同様にして、絶縁層35の所要の箇所(チップ20の実装エリアの外側の領域において、チップ20の電極端子21に接続される配線層32の一部に画定されるパッドの部分に対応する箇所)に、炭酸ガスレーザ等による穴明け加工により、絶縁層35及びその下層の絶縁層31を貫通して当該パッドの部分に達するビアホールVH3を形成する。

【0067】

本工程で形成されるビアホールVH3は、チップ20の背面20b上を覆う絶縁層35とチップ20を封止している比較的厚い絶縁層31とを貫通させるため、図2(c)の工程で形成したビアホールVH1と比べて、ビアホールVH3の開口径は相対的に大きくなる。ビアホールVH3の深さ(絶縁層35, 31の厚さ)にも依るが、例えば、ビアホールVH3の深さを100μm~200μm程度に選定した場合、開口径は100μm~200μm程度である。

【0068】

次の工程では(図4(c)参照)、図2(d)の工程で行った処理と同様にして、ビアホールVH3(図4(b))が形成された絶縁層35, 31上に、セミアディティブ法などにより、ビアホールVH3を充填して(ビア36a)内層側の配線層32(当該パッドの部分)に接続される配線層36を所要のパターン形状に形成する。つまり、チップ20の背面20b側の配線層36を、ビア36aを介してチップ20の電極端子21側の配線層32に接続する。

【0069】

次の工程では(図4(d)参照)、図3(a)の工程で行った処理と同様にして、露出している絶縁層35及び配線層36上に、絶縁層37を厚さ15μm~25μm程度に形成する。

【0070】

次の工程では(図5(a)参照)、図2(c)の工程で行った処理と同様にして、絶縁層37の所要の箇所(配線層36の一部に画定されるパッドの部分に対応する箇所)に、炭酸ガスレーザ等による穴明け加工により、当該パッドの部分に達するビアホールVH4を形成する。ビアホールVH4が形成される部分の絶縁層37の厚さは比較的薄いので、図2(c)の工程で形成したビアホールVH1と同様、このビアホールVH4の開口径を5μm~10μm程度と小さくすることができる。

【0071】

次の工程では(図5(b)参照)、図2(d)の工程で行った処理と同様にして、ビアホールVH4(図5(a))が形成された絶縁層37上に、セミアディティブ法などにより、ビアホールVH4を充填して(ビア38a)下層の配線層36(当該パッドの部分)に接続される配線層38を所要のパターン形状に形成する。この配線層38は、その所要の箇所にパッドP2の部分が画定されており、本実施形態では配線基板30の最外層の配線層を構成する。

【0072】

しかしながら、必要に応じて、図4(d)~図5(b)の工程で行った処理と同様の処理を繰り返し、所要の層数となるまでビルトアップ層(絶縁層、配線層)を積み重ねて形成してもよい。

【0073】

次の工程では(図5(c)参照)、配線層38(パッドP2)が形成されている側の面に、当該パッドP2の部分を露出させてその表面(配線層38及び絶縁層37上)を覆うようにソルダレジスト層40を厚さ20μm~30μm程度に形成する。このソルダレジスト層40は、例えば、感光性のエポキシアクリル系の樹脂からなり、この樹脂レジストを塗布(もしくはフィルム状に成形したものをラミネート)し、当該レジストを所要の形状にパターニングすることにより形成することができる。このパターニングにより、ソルダレジスト層40には開口部(直径250μm程度)が形成され、この開口部から配線層38のパッドP2が露出する。

10

20

30

40

50

【0074】

次の工程では(図5(d)参照)、図3(b)の工程で行った処理と同様にして、そのソルダレジスト層40が形成された構造体から、接着剤層54(図5(c))を熱等により剥離して支持体53を除去する。

【0075】

これにより、図示のようにチップ20が絶縁層31に埋め込まれ、チップ20の電極端子21側の配線層32を覆って形成された絶縁層33が露出し、チップ20の背面20b側に形成された配線層36及びこれに接続される配線層38(パッドP2の部分を除く)を覆って形成されたソルダレジスト層40が露出した構造体が出来上がる。

【0076】

なお、この時点で当該構造体に反りが発生する可能性があるため、この後の工程で行うビルドアップ層の形成に支障がある場合には、ソルダレジスト層40が形成されている側の面に、上記の支持体51(接着剤層52)と同等のものを接着しておく。

【0077】

次の工程では(図6(a)参照)、その構造体を上下反転させて、図5(a)の工程で行った処理と同様にして、絶縁層33の所要の箇所(配線層32の一部に画定されるパッドの部分に対応する箇所)に、炭酸ガスレーザ等による穴明け加工により、当該パッドの部分に達するビアホールVH2を形成する。ビアホールVH2が形成される部分の絶縁層33の厚さは比較的薄いので、図5(a)の工程で形成したビアホールVH4と同様、このビアホールVH2の開口径を5μm~10μm程度と小さくすることができる。

10

【0078】

次の工程では(図6(b)参照)、図5(b)の工程で行った処理と同様にして、ビアホールVH2(図6(a))が形成された絶縁層33上に、セミアディティブ法などにより、ビアホールVH2を充填して(ビア34a)下層の配線層32(当該パッドの部分)に接続される配線層34を所要のパターン形状に形成する。この配線層34は、その所要の箇所にパッドP1の部分が画定されており、本実施形態では配線基板30の最外層の配線層を構成する。

20

【0079】

この場合も同様に、必要に応じて、さらに所要の層数となるまでビルドアップ層(絶縁層、配線層)を適宜積層してもよい。

30

【0080】

次の工程では(図6(c)参照)、図5(c)の工程で行った処理と同様にして、配線層34(パッドP1)が形成されている側の面に、当該パッドP1の部分を露出させてその表面(配線層34及び絶縁層33上)を覆うようにソルダレジスト層39を厚さ20μm~30μm程度に形成する。

【0081】

さらに、両面の各ソルダレジスト層39,40の開口部から露出しているパッドP1,P2上に、適当な表面処理(Ni/Auめっき等)を施す。

【0082】

最後の工程では(図6(d)参照)、その構造体の一方の側(チップ20の電極端子21が形成されている側)のソルダレジスト層39から露出するパッドP1(図6(c))上に、適宜フラックスを塗布した後、外部接続端子として用いるはんだボール41を搭載し、240~260℃前後の温度でリフローして接合する。さらに、表面を洗浄してフラックスを除去する。次いで、ダイサー等により、各デバイスの領域を画定する線(図中C-C'の一点鎖線で示す部分)に沿って当該構造体を切断し、個々のデバイス単位(半導体装置10)に分割する。

40

【0083】

本工程では、はんだボール41の接合後にダイシングを行っているが、これとは逆の順序で、ダイシングを行ってから個々のデバイスにはんだボール41を接合するようにしてもよい。また、本工程でははんだボール41を接合しているが(BGAの形態)、外部接

50

続端子の形態は必ずしもこれに限定されず、ピンを接合するようにしてもよい（P G Aの形態）。あるいは、このような外部接続端子を接合せずに、後で必要なときに外部接続端子を接合できるように当該パッドP 1を露出させた状態のままにしておいてもよい（L G Aの形態）。

【0084】

以上の工程により、本実施形態の半導体装置10（図1）が製造されたことになる。この半導体装置10の構成では、配線基板30に埋め込まれたチップ20の電極端子21側と背面20b側とにそれぞれ2層ずつの配線層32, 34、及び36, 38を積層した状態で、トータルの厚さを300μm以下にすることが可能である。

【0085】

以上説明したように、本実施形態に係る半導体装置10及びその製造方法によれば、半導体素子（チップ）20を埋め込み封止している比較的厚い絶縁層31を支持基材として利用し、チップ20の電極端子21側と共にその背面20b側にもビルドアップ層（絶縁層33, 35, 37、配線層32, 34, 36, 38）を積層している。チップ20の電極端子21側に積層された配線層32, 34は、絶縁層33に形成されたビア34aを介して電気的に接続され、同様にチップ20の背面20b側に積層された配線層36, 38も、絶縁層37に形成されたビア38aを介して電気的に接続されている。また、チップ20の電極端子21にビア32aを介して接続される配線層32と、チップ20の背面20b側（絶縁層35上）に形成された配線層36とは、絶縁層35, 31を貫通形成されたビア36aを介して電気的に接続されている。

10

【0086】

つまり、半導体チップ20と配線基板（パッケージ）30とは、従来形（図7）に見られたようなはんだバンプ62（現状技術ではバンプ径は50μm以上で比較的大きい）を介して接続されているのではなく、パッケージ30内でビア32aを介して直接接続されている。これにより、半導体装置10（チップ内蔵パッケージ）全体として薄型化を図ることができる。また、現状技術のバンプ径に対してビア径は小さいため（5μm～10μm程度）、半導体チップ20の端子21間の狭ピッチ化を図ることができる。

20

【0087】

また、チップ20を封止している絶縁層31の部分をコアとしてその両面（チップ20の電極端子21側と背面20b側）にビルドアップ層（絶縁層33, 35, 37、配線層32, 34, 36, 38）が積層されているので、この構造を上下方向に見たときに熱膨張係数（CTE）の分布が上下対称に近い状態となっている。これにより、本装置（チップ内蔵パッケージ）10をマザーボード等に実装する場合や、他のパッケージとの間でPOP構造を形成する場合等において端子接続の際のリフローによる熱が加わった時でも、基板30に反りが発生するのを抑制することができる（基板の反りの低減化）。

30

【0088】

また、本装置10をPOP構造やMCP構造に適用した場合に、半導体チップ20の背面20b側にも配線層36, 38（外部接続用のパッドP2）が形成されているので、従来技術に見られたような不都合を招くことなく、他のパッケージやSMT部品の搭載の自由度を高めることができる。つまり、POP構造等に容易に適用することができる。

40

【0089】

例えば、はんだボール41が接合されている側と反対側の露出しているパッドP2上に適量のはんだを被着させておき、このはんだに他のパッケージの外部接続端子（はんだボール）を当接させ、はんだをリフローにより溶融させて両パッケージを接合することで、2段のPOP構造を容易に実現することができる。さらに、必要に応じて3段以上のPOP構造を実現することも可能である。このようなPOP構造は、半導体装置としての更なる高性能（高機能）化に寄与する。

【0090】

また、本装置（チップ内蔵パッケージ）10を用いてPOP構造を形成した場合、現状技術のPOP構造（フリップチップ接続を要する半導体素子実装基板を積み重ねた構造）

50

よりも更なる薄型化を図ることができる。さらに、このようなPOP構造に限らず、本実施形態の半導体装置（チップ内蔵パッケージ）10には、各種の電子部品（他の半導体素子等の能動素子や、チップキャパシタ、抵抗等の受動素子など）を搭載することも可能であり、MCP構造を構築する上で極めて有用である。

【0091】

また、半導体素子（チップ20A）を絶縁層31で封止した後にチップ20Aの背面を研削しているので（図3（d）参照）、最終的にパッケージ30内に埋め込まれるチップ20の薄型化を図ることができ、ひいては半導体装置10の薄型化に寄与する。さらに、また、ダイシング用テープ上で個片化されたチップ20Aをピックアップしてから支持体51上に搭載するまでの間、チップ20Aの厚さは厚いままよいので、ハンドリングが容易であるというメリットがある。

10

【0092】

また、チップ20（20A）を封止している絶縁層31の厚さもチップ20Aの背面研削に伴って薄くなるので（図3（d）参照）、チップ20の電極端子21側の配線層32と背面20b側の配線層36とを接続するビア36a（図4（c）参照）の径を相対的に小さくすることができる。これは、半導体装置10の小型化に寄与する。

【0093】

上述した実施形態では、半導体装置10を構成するパッケージ（配線基板30）に1個の半導体素子20を埋め込んだ場合を例にとって説明したが、本発明の要旨（半導体素子を埋め込み封止している絶縁層を支持基材として利用し、半導体素子の電極端子側と共にその背面側にも絶縁層及び配線層を積層すること）からも明らかのように、パッケージに埋め込まれる半導体素子の個数が1個に限定されることはもちろんである。半導体装置として要求される機能等に応じて、適宜、2個以上の半導体素子を埋め込んだパッケージ構造としてもよい。

20

【0094】

また、上述した実施形態では、パッケージ30にCPU等の能動素子（チップ20）を埋め込んだ場合を例にとって説明したが、基板に埋め込まれる素子がこれに限定されることはもちろんである。例えば、チップキャパシタや抵抗、インダクタ等の受動素子を埋め込む場合にも、本発明は同様に適用することができる。

【符号の説明】

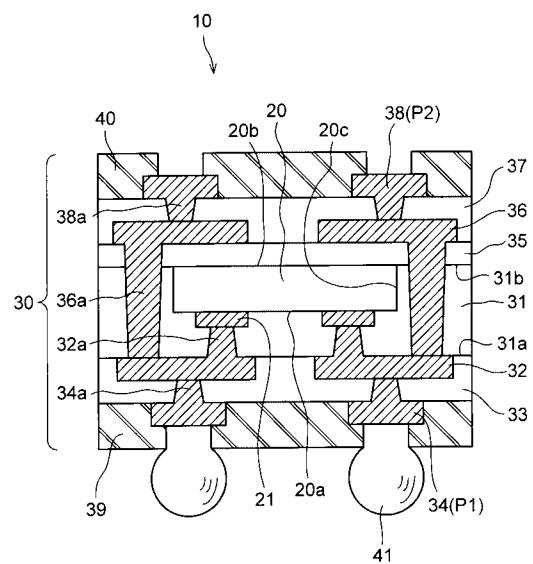
30

【0095】

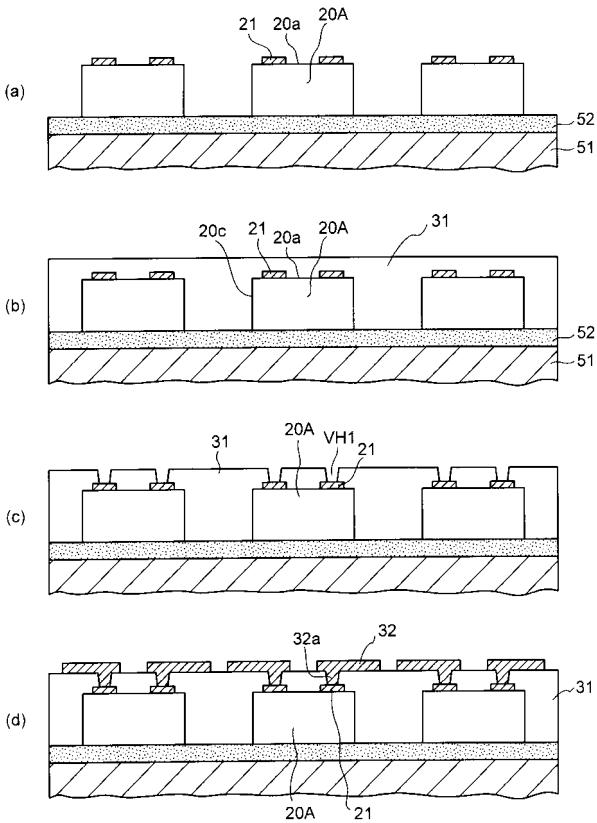
10 ... 半導体装置、
 20 ... 半導体素子（チップ）、
 20a / 20b / 20c ... フェイス面（第1の面）/背面（第2の面）/側面周囲、
 21 ... 電極端子、
 30 ... 配線基板（パッケージ）、
 31, 33, 35, 37 ... 樹脂層（絶縁層）、
 32, 34, 36, 38 ... 配線層、
 32a, 34a, 36a, 38a ... ビア、
 39, 40 ... ソルダレジスト層（保護膜）、
 41 ... はんだボール（外部接続端子）、
 51, 53 ... 支持体、
 52, 54 ... 接着剤層（剥離型接着剤）、
 P1, P2 ... パッド、
 VH1, VH2, VH3, VH4 ... ビアホール。

40

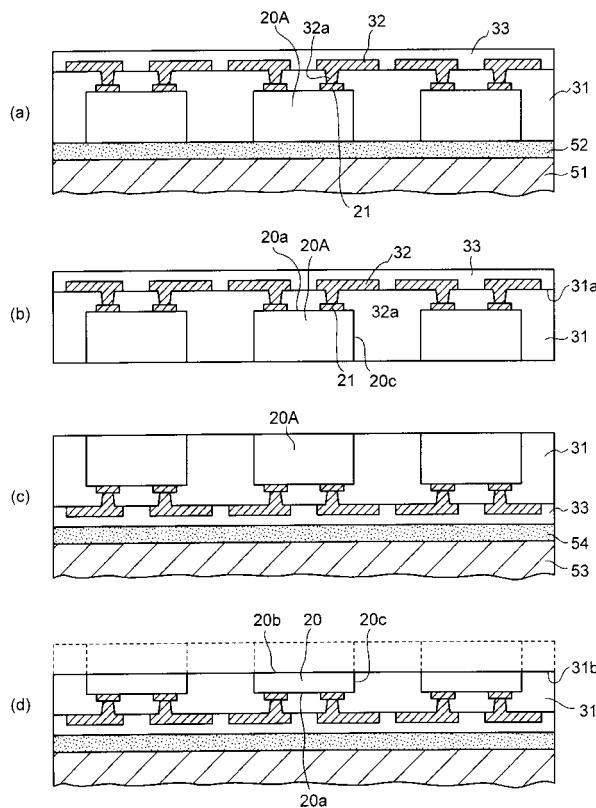
【図1】



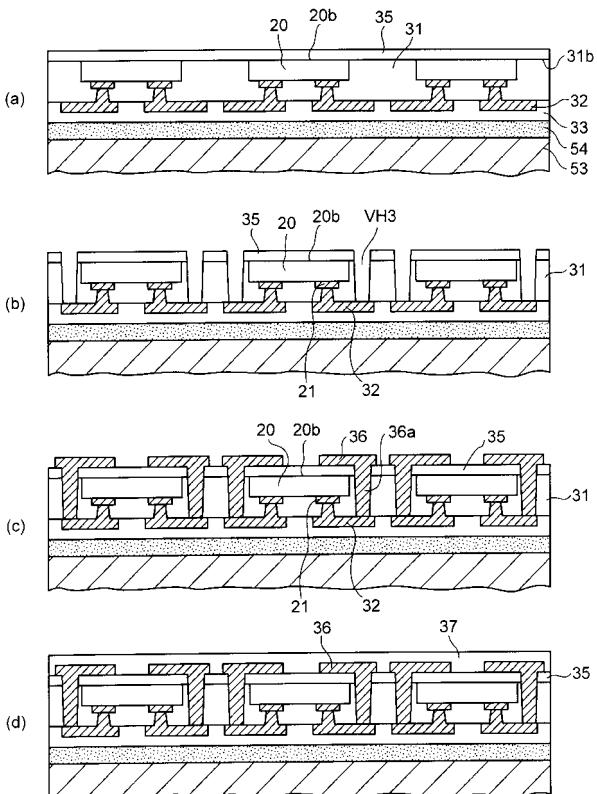
【図2】



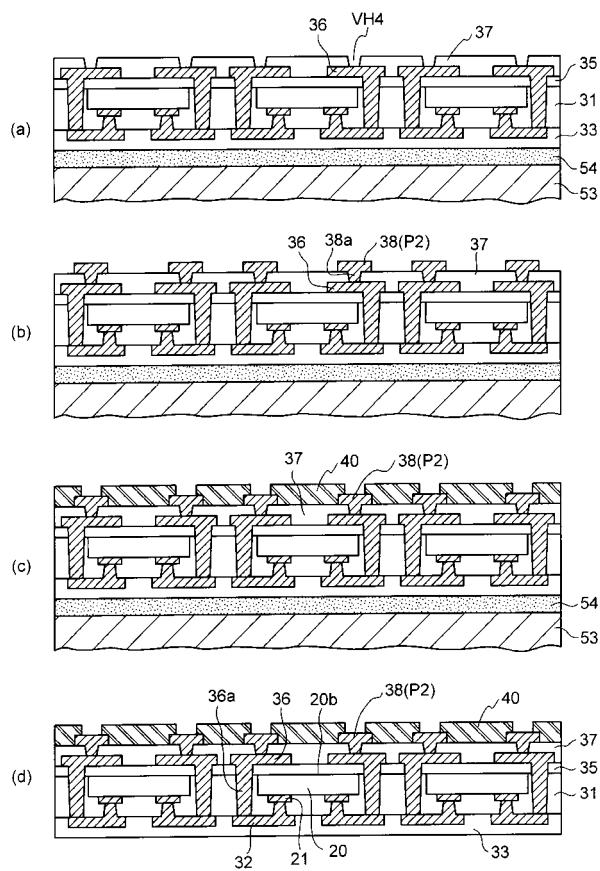
【図3】



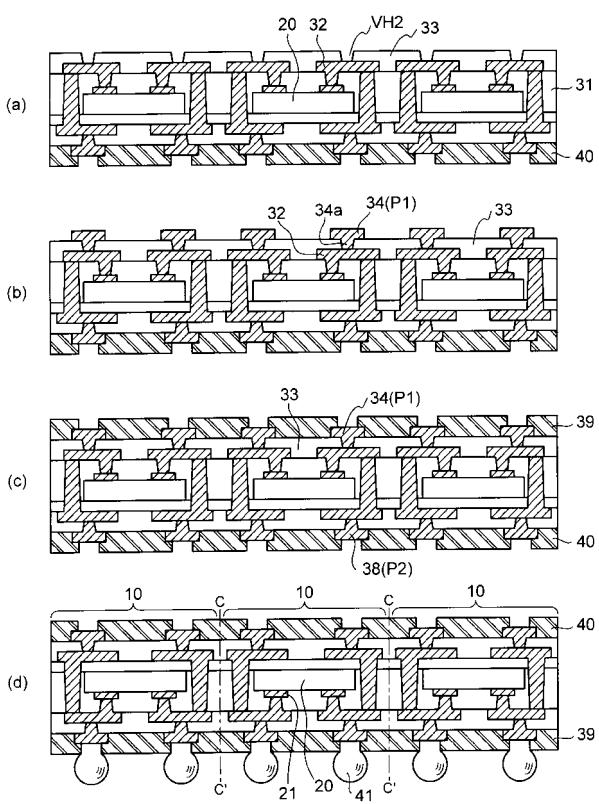
【図4】



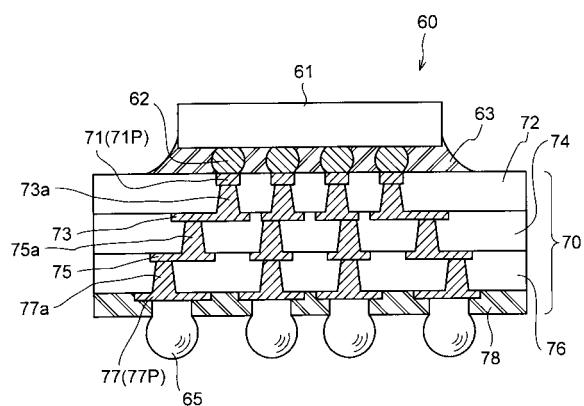
【図5】



【図6】



【図7】



フロントページの続き

(56)参考文献 特開2006-049424(JP, A)
国際公開第2007/126090(WO, A1)
特開2004-095836(JP, A)
特開2007-150002(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 05 K 3 / 4 6