

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 16 日(16.08.2012)



(10) 国際公開番号

WO 2012/108117 A1

- (51) 国際特許分類:
H01G 4/40 (2006.01) H01G 4/30 (2006.01)
H01G 4/12 (2006.01)
- (21) 国際出願番号: PCT/JP2012/000027
- (22) 国際出願日: 2012 年 1 月 5 日(05.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-024590 2011 年 2 月 8 日(08.02.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社村田製作所(Murata Manufacturing Co., Ltd.)
[JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 東 貴博(AZUMA, Takahiro) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP). 市村 崇(ICHIMURA, Takashi) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).

山長 功(YAMANAGA, Ko) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).

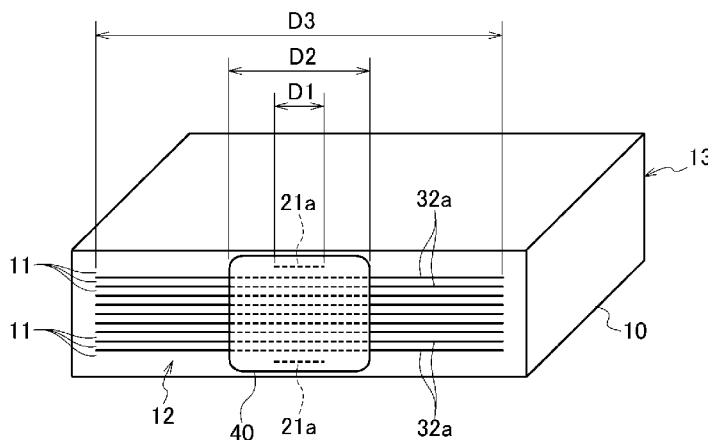
- (74) 代理人: 上田 和弘(UEDA, Kazuhiro); 〒1020074 東京都千代田区九段南 3 丁目 7 番 13 号 九段小家ビル 7 階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: MULTILAYER CAPACITOR

(54) 発明の名称: 積層コンデンサ

【図5】



(57) Abstract: A multilayer capacitor (1) is provided with a layered body (10) in which a plurality of dielectric layers (11) and a plurality of internal electrodes (21, 31, 32) are layered in an alternating manner, a resistance layer (40) formed so as to cover a narrow drawn-out section (21a) drawn out from one longitudinal side surface (12) of the layered body (10), and a pair of external electrodes (50, 51) formed so as to cover opposing longitudinal side surfaces (12, 13) of the layered body (10). The external electrode (50) is connected to the drawn-out section (21a) of the internal electrode (21), so as to be interposed by the resistance layer (40); and is directly connected to both ends of a drawn-out section (32a) of the internal electrode (32). The capacitance of a high-ESR capacitor (20) formed by the internal electrode (21) is set to be substantially the same as the capacitance between a power supply plane and a ground plane of a multilayer substrate to be installed.

(57) 要約: 積層コンデンサ(1)は、複数の誘電体層(11)と複数の内部電極(21, 31, 32)とが交互に積層された積層体(10)と、該積層

体(10)の一方の長手方向の側面(12)に引き出された幅が狭い引き出し部(21a)を覆うように形成された抵抗層(40)と、積層体(10)の長手方向の対向する側面(12, 13)を覆うように形成された一対の外部電極(50, 51)とを備える。外部電極(50)は、内部電極(21)の引き出し部(21a)と抵抗層(40)を介して接続されるとともに、内部電極(32)の引き出し部(32a)の両端部と直接的に接続されている。また、内部電極(21)によって形成される高ESRコンデンサ部(20)の静電容量は、実装される多層基板の電源プレーン—グランドプレーン間の静電容量と略同様に設定される。

WO 2012/108117 A1



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 積層コンデンサ

技術分野

[0001] 本発明は、積層コンデンサに関する。

背景技術

[0002] デジタル回路では、ＩＣやＬＳＩの動作中の負荷変動を吸収したり、ノイズを除去するため、電源－グランド間にデカップリングコンデンサが挿入されている。電圧変動を抑制する観点から、電源インピーダンスは可能な限り低い方がよく、よってデカップリングコンデンサのインピーダンスも低いことが望ましい。

[0003] ところで、現実のコンデンサには、容量成分（ESC（Equivalent Series Capacitance））の他、等価直列インダクタンス（ESL（Equivalent Series Inductance））や等価直列抵抗（ESR（Equivalent Series Resistance））が存在する。そのため、デカップリングコンデンサが実装された多層プリント基板（以下、単に「多層基板」という）では、デカップリングコンデンサの静電容量（ESC）と、多層基板の配線等のインダクタンス（L成分）及びデカップリングコンデンサのESLとによる共振（直列共振）、及び、多層基板の電源プレーン－グランドプレーン間の静電容量と、多層基板の配線等のインダクタンス（L成分）及びデカップリングコンデンサのESLとによる反共振（並列共振）が起きる。

[0004] よって、電源インピーダンスは、共振周波数を境にして、低周波側では、周波数が高くなるに従って低くなるが、高周波側では、周波数が高くなるほど高くなる傾向を示す。すなわち、電源インピーダンスは、共振周波数付近で谷型の特性を示す。一方、電源インピーダンスは、反共振周波数を境にして、低周波側では周波数が高くなるに従って高くなるが、高周波側では周波数が高くなるほど低くなる。すなわち、反共振周波数付近で山型の特性を示す。

す。ここで、共振周波数では、インピーダンスが極小となり低く保たれるため、電圧変動は小さくなるが、反共振周波数では、インピーダンスが極大となり高くなるため、電圧変動が大きくなる。このような反共振を抑制する方法としては、デカップリングコンデンサの等価直列抵抗を大きくする（Q値を低くする）ことが考えられる。

[0005] ここで、特許文献1には、単一のコンデンサ本体内に形成された2つのコンデンサ部を有し、高い等価直列抵抗（ESR）と低い等価直列インダクタンス（ESL）とを持った積層型チップコンデンサを用いてインピーダンス周波数特性をフラットにする技術が開示されている。この積層型チップコンデンサは、積層方向に沿って配列された第1コンデンサ部及び第2コンデンサ部を有するコンデンサ本体と、該コンデンサ本体の外側に形成された4つの外部電極を有している。また、この積層チップコンデンサは、第1コンデンサ部のESLが第2コンデンサ部のESLよりも小さくなるように、かつ、第1コンデンサ部のESRが第2コンデンサ部のESRより大きくなるように形成されている。そして、この積層型チップコンデンサが回路基板に実装される際に、第1コンデンサ部と第2コンデンサ部とが連結導体ラインを通じて相互並列に連結される。この連結導体ラインの抵抗の直列的付加により、第2コンデンサ部のESRが実質的に増大され、2つのコンデンサ部間の差異が実質的に減少される。これによって、広い周波数帯域で一定のインピーダンス特性が具現化される。

先行技術文献

特許文献

[0006] 特許文献1：特開2009-60114号公報

発明の概要

発明が解決しようとする課題

[0007] 上述した技術では、ESRの小さな第2コンデンサ部について、連結導体ラインを用いてESRを増大し、第1コンデンサ部のESRに近づけること

によって、広い周波数範囲でフラットなインピーダンス特性を実現している。しかしながら、フラットな特性であるがゆえに、反共振周波数でのインピーダンスは比較的低く抑えられるが、反共振周波数よりも低周波数側の領域、特に共振周波数周辺でインピーダンスが増大するという問題がある。

[0008] 本発明は、上記問題点を解消する為になされたものであり、共振周波数での電源インピーダンスを低く保ったまま反共振周波数での電源インピーダンスを下げる事が可能な積層コンデンサを提供することを目的とする。

課題を解決するための手段

[0009] 本発明に係る積層コンデンサは、複数の誘電体層と、引き出し部の幅が異なる内部電極を含んで構成される複数の内部電極とが交互に積層された積層体と、積層体の少なくとも一方の長手方向の側面に、該側面に引き出された幅が異なる引き出し部のうち幅が狭い方の引き出し部を覆うように形成された抵抗層と、積層体の長手方向の対向する側面それぞれを覆うように形成された一对の外部電極とを備え、一对の外部電極は、少なくともいずれか一方が、引き出し部の幅が狭い方の内部電極と抵抗層を介して接続されるとともに、引き出し部の幅が広い方の内部電極と一部又は全部が直接的に接続されていることを特徴とする。

[0010] 本発明に係る積層コンデンサによれば、引き出し部の幅が狭い内部電極は、抵抗層を介して外部電極に接続されているため、該内部電極により形成されるコンデンサ部は、ESR（等価直列抵抗）が高くなる。一方、引き出し部の幅が広い内部電極は、少なくとも一部分は直接的に外部電極に接続されているため、該内部電極により形成されるコンデンサ部は、ESRが低くなる。そのため、該積層コンデンサが実装された際に、電源からグラウンドに流れる電流は、反共振周波数の付近以外の周波数（共振周波数を含む）ではESRが小さい方のコンデンサ部（以下「低ESRコンデンサ部」ともいう）を通り、反共振周波数の付近の周波数ではESRが高い方のコンデンサ部（以下「高ESRコンデンサ部」ともいう）を通る。そのため、共振周波数でのインピーダンスを低く保ったまま、反共振周波数でのインピーダンスを下

げることが可能となる。

[0011] 本発明に係る積層コンデンサでは、抵抗層を介して外部電極と接続された引き出し部の幅が狭い方の内部電極によって形成されるコンデンサ部の静電容量が、実装される基板の電源プレーン—グランドプレーン間の静電容量と略同じ静電容量となるように設定されていることが好ましい。

[0012] この場合、高ESRコンデンサ部の静電容量が、基板の電源プレーン—グランドプレーン間の静電容量と略同一となるように設定されるため、反共振周波数付近でのインピーダンスをより効果的に低減することが可能となる。なお、ここで、基板には、プリント基板の他、インターポーザなどを含むものとする。

[0013] 本発明に係る積層コンデンサでは、引き出し部の幅が狭い方の内部電極が、積層体の積層方向の下端に配設されていることが好ましい。

[0014] このようにすれば、高ESRコンデンサ部が積層方向の下端に形成されるため、積層コンデンサが基板に実装される際に、基板の実装面と高ESRコンデンサ部との距離が短くなる。そのため、ESLを低減することができる。

[0015] 本発明に係る積層コンデンサでは、引き出し部の幅が狭い方の内部電極が、積層体の積層方向の両端に配設されていることが好ましい。

[0016] このようにすれば、高ESRコンデンサ部が積層方向の両端に形成されるため、積層コンデンサに上下方向の対称性を持たせることができる。そのため、積層コンデンサを基板等を実装する際に、上下の向きを区別する必要がなくなる。

[0017] 本発明に係る積層コンデンサでは、上記抵抗層の幅が、幅が狭い方の引き出し部の幅よりも広く、幅が広い方の引き出し部の幅よりも狭く、かつ、当該抵抗層が、積層体の積層方向に沿って、上端から下端まで形成されていることが好ましい。

[0018] このようにすれば、抵抗層の形成を容易に行うことができるため、積層コンデンサの製造効率を向上することが可能となる。

発明の効果

[0019] 本発明によれば、共振周波数での電源インピーダンスを低く保ったまま反共振周波数での電源インピーダンスを下げるができることが可能となる。

図面の簡単な説明

[0020] [図1]実施形態に係る積層コンデンサの斜視図である。

[図2]図1の白抜きの矢印方向から見た、積層コンデンサを構成する積層体の斜視図である。

[図3]図1のⅠⅠⅠーⅠⅠⅠ線に沿った断面図である。

[図4]実施形態に係る積層コンデンサの積層体の分解平面図である。

[図5]積層体の側面に形成された抵抗層を示す斜視図である。

[図6]実施形態に係る積層コンデンサの挿入損失特性を示すグラフである。

[図7]積層体の側面に形成された他の抵抗層を示す斜視図である。

発明を実施するための形態

[0021] 以下、図面を参照して本発明の好適な実施形態について詳細に説明する。なお、各図において、同一要素には同一符号を付して重複する説明を省略する。

[0022] まず、図1～5を併せて用いて、実施形態に係る積層コンデンサ1の構成について説明する。ここで、図1は、積層コンデンサ1の外観を示す斜視図である。また、図2は、図1の白抜きの矢印方向から見た、積層コンデンサ1を構成する積層体10の斜視図であり、図3は、図1のⅠⅠⅠーⅠⅠⅠ線に沿った断面図である。図4は、積層コンデンサ1の積層体10の分解平面図である。また、図5は、積層体10の側面12に形成された抵抗層40を示す斜視図である。

[0023] 積層コンデンサ1は、図1に示されるように、直方体形状の積層体10と、該積層体10の長手方向に延びる側面12、13に形成された一对の外部電極50、51を備えている。積層コンデンサ1は、外部電極50、51を長手方向に配置することによって、内部電極の電流経路を太く短くし、ES

Lを低減したLW逆転型積層セラミックコンデンサである。

- [0024] 積層体10は、図2乃至図5に示されるように、矩形に形成された複数の誘電体層11と、複数の内部電極21、31、32とが交互に積層されることにより構成されている。誘電体層11は、例えば、 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 などを主成分とする誘電体セラミックから形成される。なお、これらの主成分にMn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物などの副成分が添加されていてもよい。
- [0025] 複数の内部電極21、31、32は、引き出し部21aの幅（積層体10の長手方向に沿った長さ）が狭い内部電極21と、該内部電極21よりも引き出し部31a、32aの幅が広い内部電極31、32とを含んでいる。引き出し部21aの幅が狭い内部電極21は、積層体10の積層方向（厚み方向）における両端（すなわち上部及び下部）に配設されている。積層体10の積層方向における中央部には、内部電極31及び内部電極32が配設されている。
- [0026] 内部電極21、内部電極31、及び内部電極32は、図4に示されるように、矩形の薄膜状に形成されている。内部電極21又は内部電極32と、内部電極31とは、誘電体層11を介して互いに対向するように、交互に積層されている。内部電極21、31、32それぞれは、例えば、Ni、Cu、Ag、Pd、Ag-Pd合金、Auなどから形成される。なお、図4に示した例では、内部電極21の幅を、引き出し部21aの幅と同じにしたが、内部電極21の幅は、例えば所望する静電容量に応じて、引き出し部21aの幅よりも大きく形成してもよい。
- [0027] 内部電極21及び内部電極32は、積層体10の一方の側面12に引き出され、内部電極31は、積層体10の他方の側面13に引き出されている。
- [0028] 積層体10の一方の長手方向の側面12には、該側面12に引き出された内部電極21の引き出し部21aを全て覆うように、かつ、内部電極32の引き出し部32aの一部を覆うように抵抗層40が形成されている。より具体的には、図5に示されるように、抵抗層40は、内部電極21の引き出し

部 2 1 a の幅 D 1 よりも広く、かつ、内部電極 3 2 の引き出し部 3 2 a の幅 D 3 よりも狭い幅 D 2 を有し、積層体 1 0 の積層方向に沿って、上端から下端に渡って形成されている。なお、積層体 1 0 の他方の側面 1 3 には、抵抗層は形成されていない。

[0029] ここで、抵抗層 4 0 は、抵抗成分を含有する抵抗ペーストを焼き付けることによって形成される。なお、抵抗成分としては、例えば、 In-Sn 複合酸化物 (ITO)、 La-Cu 複合酸化物、 Sr-Fe 複合酸化物、 Ca-Sr-Ru 複合酸化物などの複合酸化物が用いられる。また、抵抗層 4 0 には、例えば B-Si 系ガラス、 B-Si-Zn 系ガラスなどのガラスが添加される。さらに、抵抗層 4 0 に、 Ni 、 Cu 、 Mo 、 Cr 、 Nb などの金属や、 Al_2O_3 、 TiO_2 、 ZrO_2 、 ZnO_2 などの金属酸化物を添加することにより、比抵抗等を調整してもよい。

[0030] 上述したように、積層体 1 0 の長手方向の両側面 1 2、1 3 には、該両側面 1 2、1 3 の全面を覆うように一对の外部電極 5 0、5 1 が形成されている。すなわち、一对の外部電極 5 0 と外部電極 5 1 とは、積層体 1 0 を挟んで対向するように、該積層体 1 0 の側面 1 2、1 3 に形成されている。外部電極 5 0 は、抵抗層 4 0 を介して、内部電極 2 1 の引き出し部 2 1 a と接続されている。また、外部電極 5 0 は、抵抗層 4 0 を介して内部電極 3 2 の引き出し部 3 2 a の中央部分と接続されるとともに、該内部電極 3 2 の引き出し部 3 2 a の両端部分と直接的に接続されている。一方、外部電極 5 1 は、内部電極 3 1 の引き出し部 3 1 a 全体と直接的に接続されている。

[0031] ここで、外部電極 5 0、5 1 は、複数のメッキ層から構成されることが好ましく、例えば、耐はんだ喰われ性を有するニッケルメッキ層と、該ニッケルメッキ層を覆うように形成されるスズメッキ層とを含んで構成される。また、外部電極 5 0、5 1 それぞれは、長手方向の側面 1 2、1 3 から、該側面 1 2、1 3 と直交する短手方向の側面及び上下の主面に回り込むように形成されている。

[0032] 上述したように構成されることにより、内部電極 2 1 と、該内部電極 2 1

と対向する内部電極 3 1 によって形成されるコンデンサ部 2 0 は、抵抗層 4 0 を介して外部電極 5 0 と接続されるため、該コンデンサ部 2 0 に対して抵抗成分が直列に挿入されることとなり、E S R の値が大きくなる。以下、当該コンデンサ部 2 0 を高 E S R コンデンサ部 2 0 という。一方、内部電極 3 1 と内部電極 3 2 によって形成されるコンデンサ部 3 0 は、内部電極 3 2 の引き出し部 3 2 a の両端部分が直接的に外部電極 5 0 と接続されるため、E S R の値は、高 E S R コンデンサ部 2 0 よりも小さくなる。以下、当該コンデンサ部 3 0 を低 E S R コンデンサ部 3 0 という。

[0033] 上述したように、内部電極 2 1 は、積層体 1 0 の積層方向における両端に配設されている。そのため、積層コンデンサ 1 では、積層体 1 0 の積層方向における両端、すなわち上部及び下部に、2 つの高 E S R コンデンサ部 2 0 , 2 0 が配置され、その間に低 E S R コンデンサ部 3 0 が挟まれるように配置される。

[0034] ここで、高 E S R コンデンサ部 2 0 の E S R は、1 0 0 m Ω よりも高く、例えば、所望する電源インピーダンス特性に応じて 1 Ω ~ 2 0 Ω 程度に設定される。なお、本実施形態では、高 E S R コンデンサ部 2 0 の E S R を 1 Ω に設定した。一方、低 E S R コンデンサ部 3 0 の E S R 値は、例えば、1 0 0 m Ω 以下に設定される。なお、本実施形態では、低 E S R コンデンサ部 3 0 の E S R を 1 0 m Ω に設定した。

[0035] また、抵抗層 4 0 を介して外部電極 5 0 と接続された内部電極 2 1 によって形成される高 E S R コンデンサ部 2 0 の静電容量は、積層コンデンサ 1 が実装される多層基板の電源プレーン—グランドプレーン間の静電容量と略同じ静電容量に設定される。例えば、実装される多層基板の電源プレーン—グランドプレーン間の静電容量が 1 0 0 p F 程度である場合には、高 E S R コンデンサ部 2 0 の静電容量は、1 0 0 p F 程度に設定される。なお、高 E S R コンデンサ部 2 0 の静電容量は、例えば、内部電極 2 1 の面積や積層数などを調節することにより調節される。

[0036] 以上、説明したように、積層コンデンサ 1 は、外部電極 5 0 , 5 1 を長手

方向に配置することによって縦横を逆転させたLW逆転型の積層セラミックコンデンサであるため、高ESRコンデンサ部20のESL、及び低ESRコンデンサ部30のESLは共に低く（低ESL）になっている。また、積層コンデンサ1によれば、低ESRコンデンサ部30のESRが低いため、共振周波数を含む低周波領域では、減衰量が大きくなる（インピーダンスが小さくなる）。また、静電容量が大きい低ESRコンデンサ部30の共振周波数は、高ESRコンデンサ部20の共振周波数より低周波にあるため、共振が急峻なものとなり、深い減衰量が実現される。

[0037] 一方、積層コンデンサ1では、積層体10の側面12と外部電極50との間に形成された抵抗層40によって抵抗が付加されることにより高ESRコンデンサ部20が形成されているため、多層基板のプレーン間静電容量との反共振が抑制される。

[0038] さらに、積層コンデンサ1では、高ESRコンデンサ部20の静電容量が、実装される多層基板のプレーン間（電源プレーンーグランドプレーン間）の静電容量と略同一となるように設定されているため、反共振周波数付近でのインピーダンスが効果的に低減される。

[0039] ここで、本実施形態に係る積層コンデンサ1において、高ESRコンデンサ部20の静電容量と多層基板のプレーン間容量とを一致させることによる電源インピーダンスの低減効果（すなわち電圧変動抑制効果及びノイズ低減効果）を確認するために、積層コンデンサ1の挿入損失を測定した。なお、挿入損失が大きい程、電源インピーダンスが小さく、電圧変動抑制効果及びノイズ低減効果が大きくなることを示す。

[0040] ここでは、積層コンデンサ1を実装する多層基板として、電源プレーンーグランドプレーン間容量が100 pFのものを用了。また、積層コンデンサ1として、高ESRコンデンサ部20のESRを1 Ω 、低ESRコンデンサ部30の静電容量を0.1 μ Fで固定し、高ESRコンデンサ部20の静電容量を、1 μ F、1000 pF、100 pF、47 μ F、10 pFと変化させたものを用了。

[0041] プレーン間容量が100 pFの多層基板に、高ESRコンデンサ部20の静電容量を変えた積層コンデンサ1を実装した場合の挿入損失（測定結果）を図6に示す。図6に示されたグラフの横軸は周波数（MHz）であり、縦軸は挿入損失（dB）である。また、図6のグラフでは、高ESRコンデンサ部20の静電容量を、多層基板のプレーン間容量と一致させたとき（すなわち100 pFとしたとき）の測定結果を太い実線で示した。また、高ESRコンデンサ20の静電容量を1 μ Fとしたときの挿入損失を破線で、静電容量10 pFとしたときの挿入損失を一点鎖線で示した。さらに、高ESRコンデンサ20の静電容量を47 pFとしたときの挿入損失を細い実線で、静電容量1000 pFとしたときの挿入損失を二点鎖線でそれぞれ示した。

[0042] 図6に示されるように、高ESRコンデンサ部20の静電容量を、多層基板のプレーン間容量（100 pF）より大きくした場合（1000 pF、1 μ F）も、小さくしたとき（47 pF、10 pF）も、挿入損失のピーク（最小値）が小さくなった（すなわちインピーダンスが大きくなった）。すなわち、図6に太い実線で示されるように、高ESRコンデンサ部20の静電容量を、多層基板のプレーン間容量と一致させたとき（すなわち100 pFとしたとき）に挿入損失のピーク（最小値）が最も大きくなる（すなわちインピーダンスが最も低くなる）ことが確認された。

[0043] 本実施形態によれば、内部電極21が抵抗層40を介して外部電極50に接続されているため、該内部電極21により形成されるコンデンサ部20は、ESRが高くなる。一方、内部電極31、32は、一部又は全部が直接的に外部電極50、51に接続されているため、該内部電極31、32により形成されるコンデンサ部30は、ESRが低くなる。そのため、該積層コンデンサ1が実装された際に、電源からグラウンドに流れる電流は、反共振周波数の付近以外の周波数（共振周波数を含む）ではESRの値が小さい低ESRコンデンサ部30を通る。一方、反共振周波数の付近の周波数では低ESRコンデンサ部30のインピーダンスは反共振により極めて大きくなるため、電流は相対的にインピーダンスの低くなる高ESRコンデンサ部20を通

る。そのため、共振周波数でのインピーダンスを低く保ったまま、反共振周波数でのインピーダンスを下げる事が可能となる。

[0044] また、本実施形態によれば、高ESRコンデンサ部20の静電容量が、多層基板の電源プレーン—グランドプレーン間の静電容量と略同一となるように設定されるため、反共振周波数付近でのインピーダンスをより効果的に低減することが可能となる。

[0045] 本実施形態によれば、引き出し部21aの幅が狭い内部電極21が、積層体10の積層方向の両端に配設されているため、積層コンデンサ1に上下方向の対称性を持たせることができる。そのため、積層コンデンサ1を基板等に実装する際に、上下の向きを区別する必要がなくなる。

[0046] 本実施形態によれば、抵抗層40の幅D2が、引き出し部21aの幅D1よりも広く、引き出し部31aの幅D3よりも狭く設定され、かつ、抵抗層40が、積層体10の積層方向に沿って、上端から下端まで形成されている。そのため、抵抗層40の形成を容易に行うことができ、積層コンデンサ1の製造効率を向上することが可能となる。

[0047] 以上、本発明の実施の形態について説明したが、本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、上記実施形態では、幅が狭い引き出し部21aを有する内部電極21を積層体10の両端に配設し、高ESRコンデンサ部20を積層体10の上部と下部とに形成したが、内部電極21を、積層体10の下端のみに配設し、高ESRコンデンサ部20を積層体10の下部にのみ形成する構成としてもよい。このようにすれば、積層コンデンサ1が多層基板に実装される際に、該多層基板と高ESRコンデンサ部20との距離が短くなるため、ESLを低減することができる。

[0048] 上記実施形態では、引き出し部21aの幅D1よりも広く、かつ引き出し部31aの幅D3よりも狭い抵抗層40を、積層体10の積層方向に沿って、上端から下端まで形成したが、図7に示されるように、積層体10の側面12に引き出された2つの内部電極21、21の引き出し部21a、21a

のみを覆うように抵抗層 40 を形成してもよい。

[0049] 上記実施形態では、幅が狭い引き出し部 21a を有する内部電極 21 を積層体 10 の一方の側面 12 に引き出すとともに、該側面 12 にのみ抵抗層 40 を形成する構成としたが、この内部電極 21 と対向するように新たな内部電極 21 を設け、該新たな内部電極 21 の引き出し部 21a を他方の側面 13 に引き出すとともに、該側面 13 にも同様の抵抗層 40 を形成する構成としてもよい。

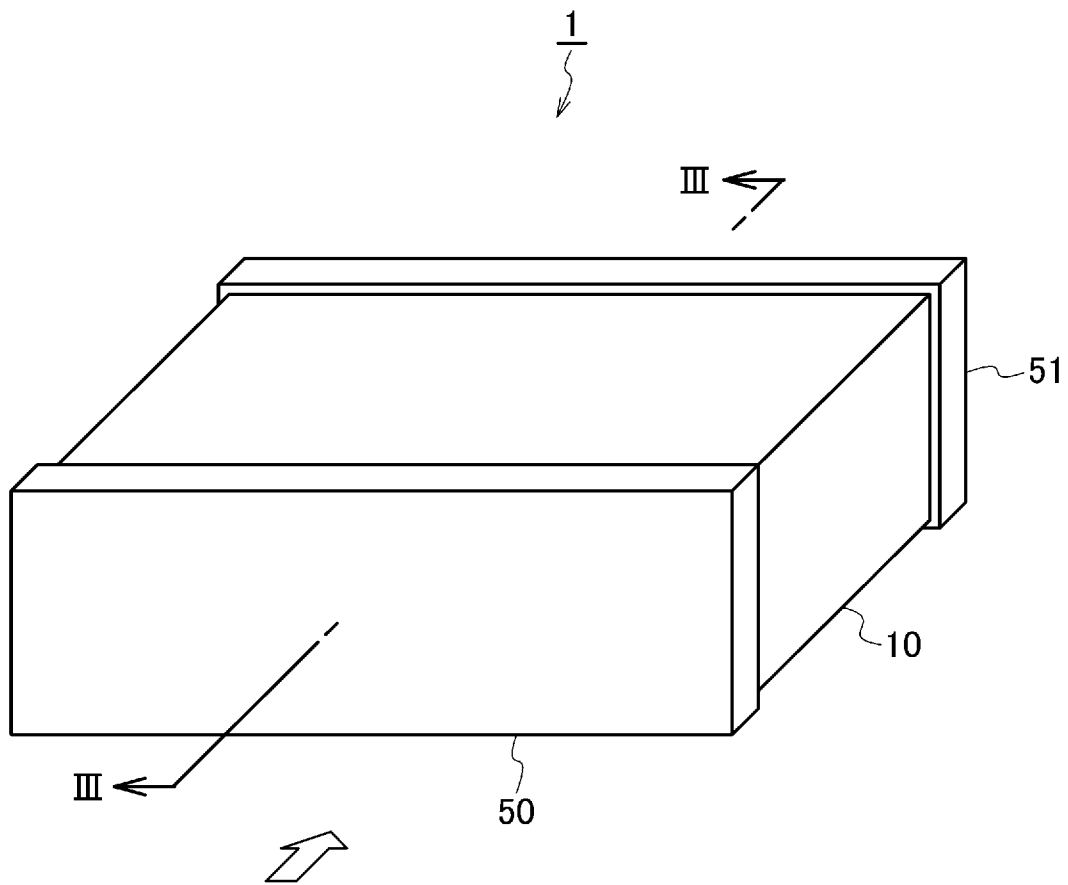
符号の説明

- [0050] 1 積層コンデンサ
- 10 積層体
- 11 誘電体層
- 20 高 ESR コンデンサ部
- 30 低 ESR コンデンサ部
- 21, 31, 32 内部電極
- 21a, 31a, 32a 引き出し部
- 40 抵抗層
- 50, 51 外部電極

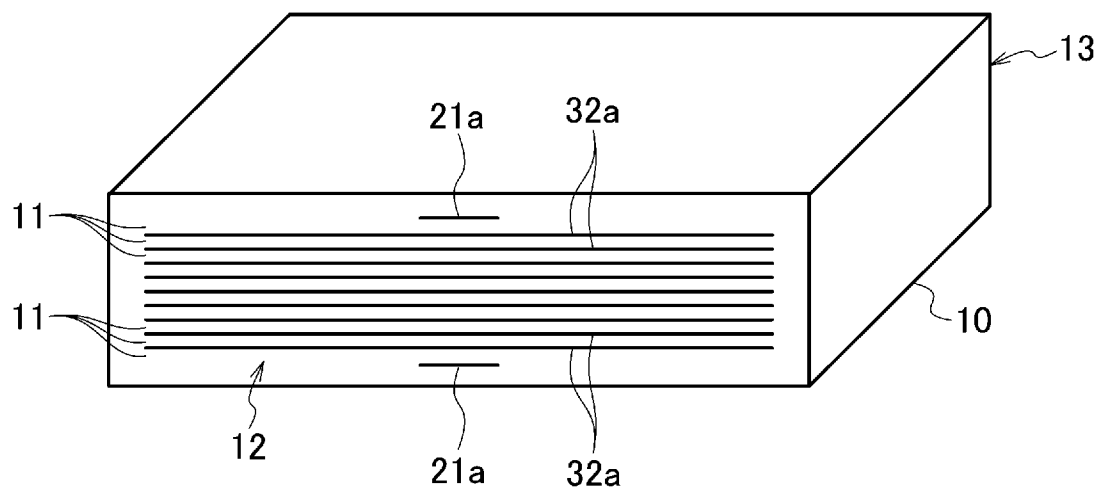
請求の範囲

- [請求項1] 複数の誘電体層と、引き出し部の幅が異なる内部電極を含んで構成される複数の内部電極とが交互に積層された積層体と、
- 前記積層体の少なくとも一方の長手方向の側面に、該側面に引き出された幅が異なる前記引き出し部のうち幅が狭い方の引き出し部を覆うように形成された抵抗層と、
- 前記積層体の長手方向の対向する側面それぞれを覆うように形成された一对の外部電極と、を備え、
- 一对の前記外部電極は、少なくともいずれか一方が、引き出し部の幅が狭い方の前記内部電極と前記抵抗層を介して接続されるとともに、引き出し部の幅が広い方の前記内部電極と一部又は全部が直接的に接続されていることを特徴とする積層コンデンサ。
- [請求項2] 前記抵抗層を介して前記外部電極と接続された、引き出し部の幅が狭い方の前記内部電極によって形成されるコンデンサ部の静電容量は、実装される基板の電源プレーン—グランドプレーン間の静電容量と略同じ静電容量となるように設定されていることを特徴とする請求項1に記載の積層コンデンサ。
- [請求項3] 引き出し部の幅が狭い方の前記内部電極は、前記積層体の積層方向の下端に配設されていることを特徴とする請求項1又は2に記載の積層コンデンサ。
- [請求項4] 引き出し部の幅が狭い方の前記内部電極は、前記積層体の積層方向の両端に配設されていることを特徴とする請求項1又は2に記載の積層コンデンサ。
- [請求項5] 前記抵抗層は、その幅が、幅が狭い方の引き出し部の幅よりも広く、幅が広い方の引き出し部の幅よりも狭く、かつ、前記積層体の積層方向に沿って、上端から下端まで形成されていることを特徴とする請求項1～4のいずれか1項に記載の積層コンデンサ。

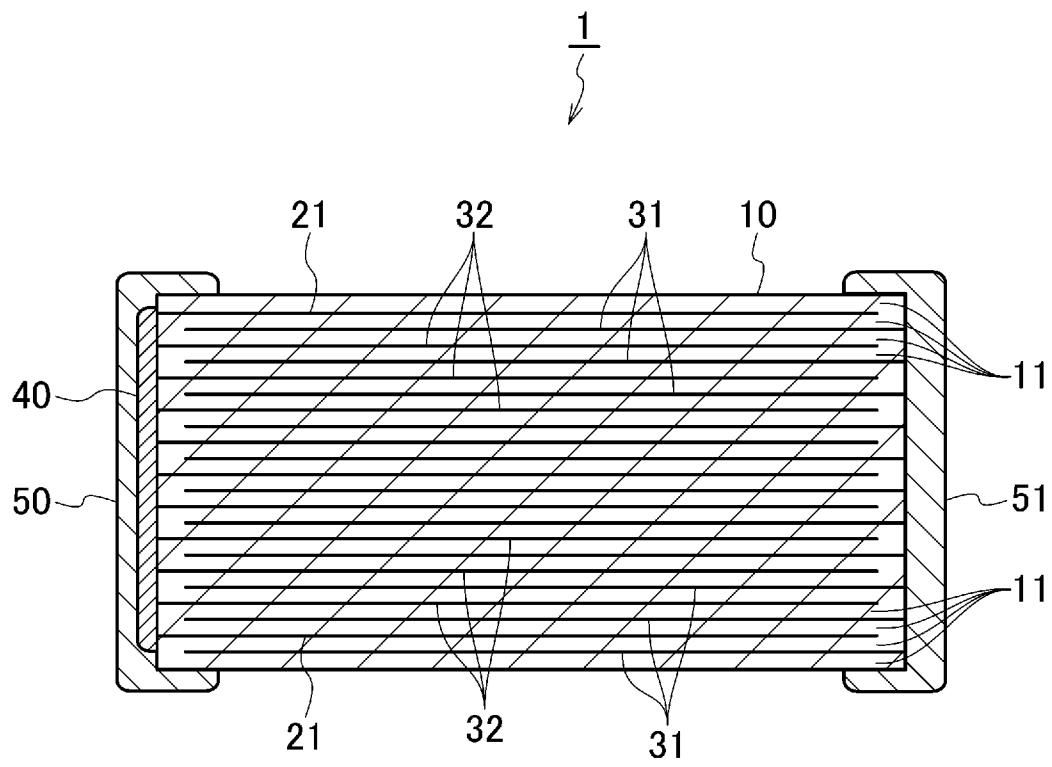
[図1]



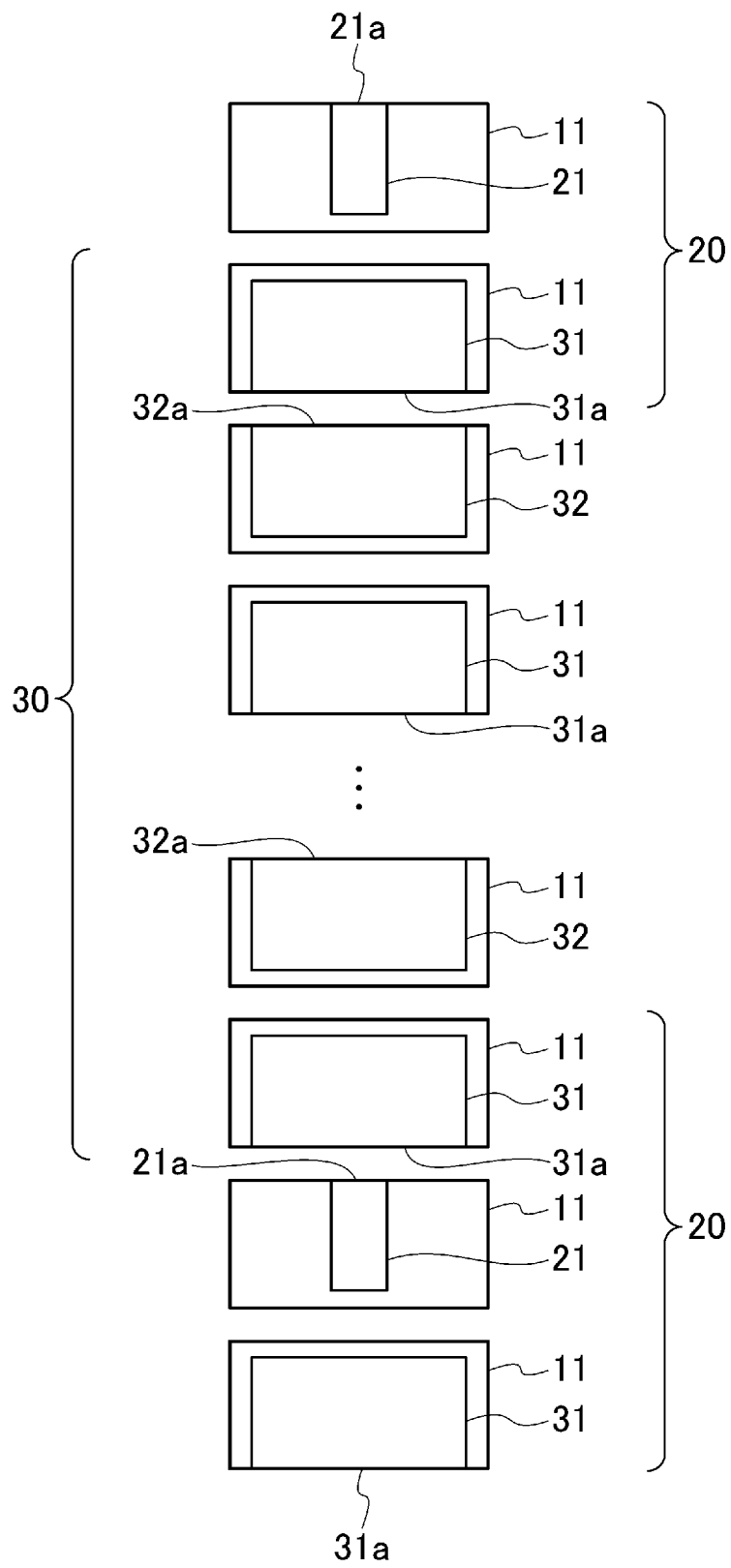
[図2]



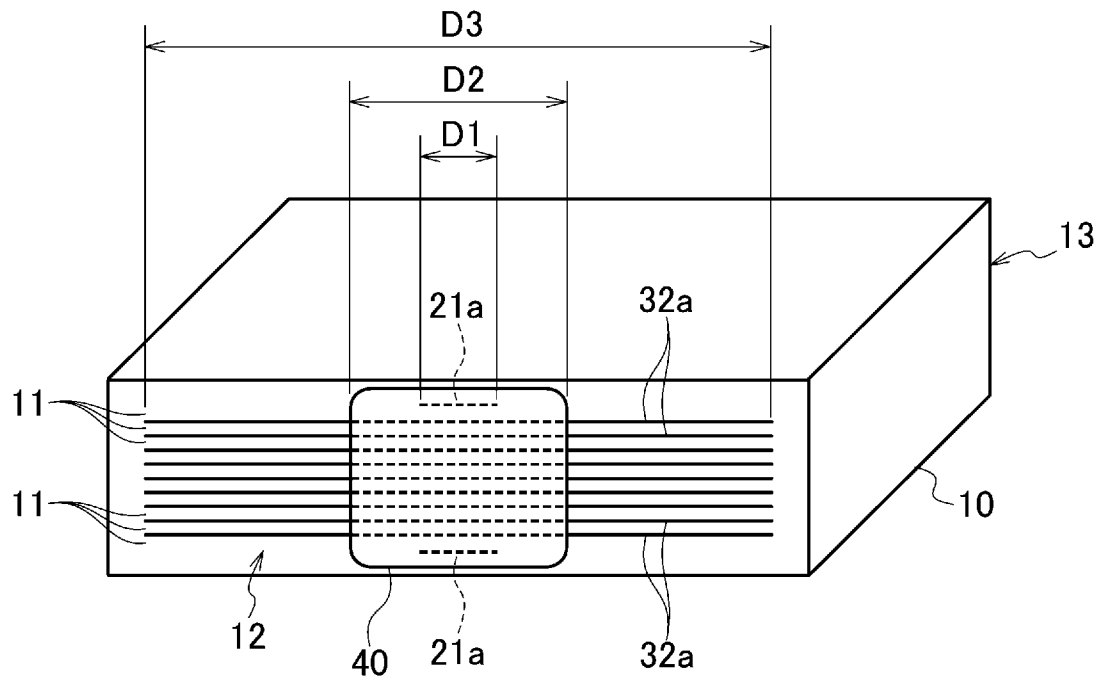
[図3]



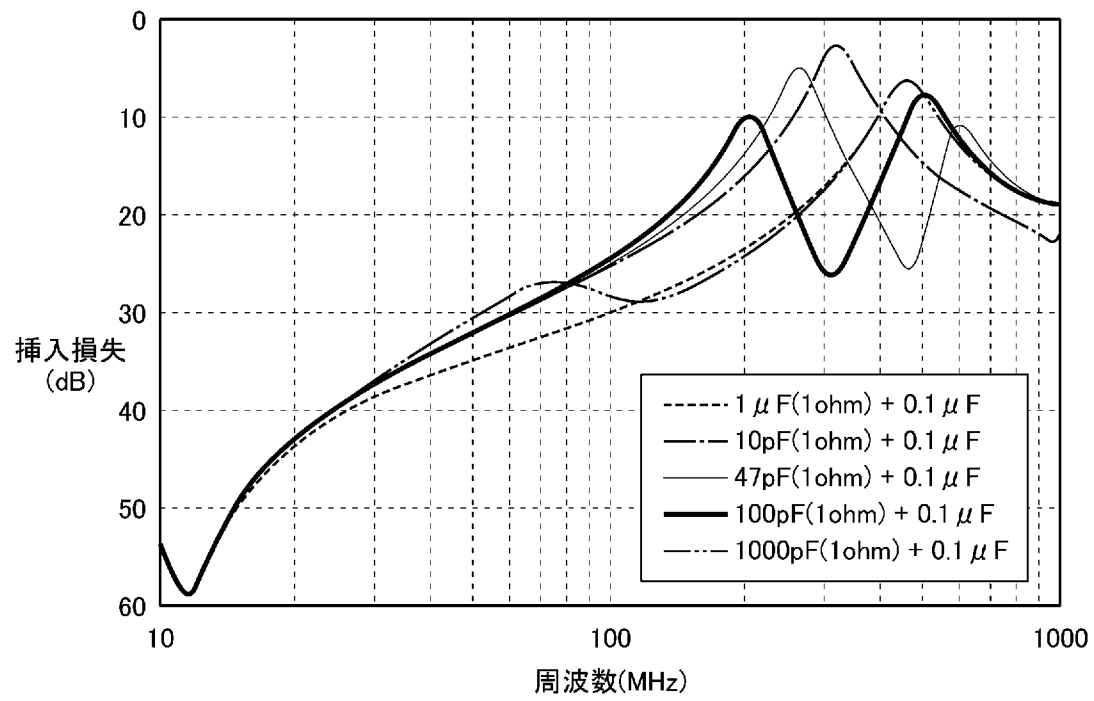
[図4]



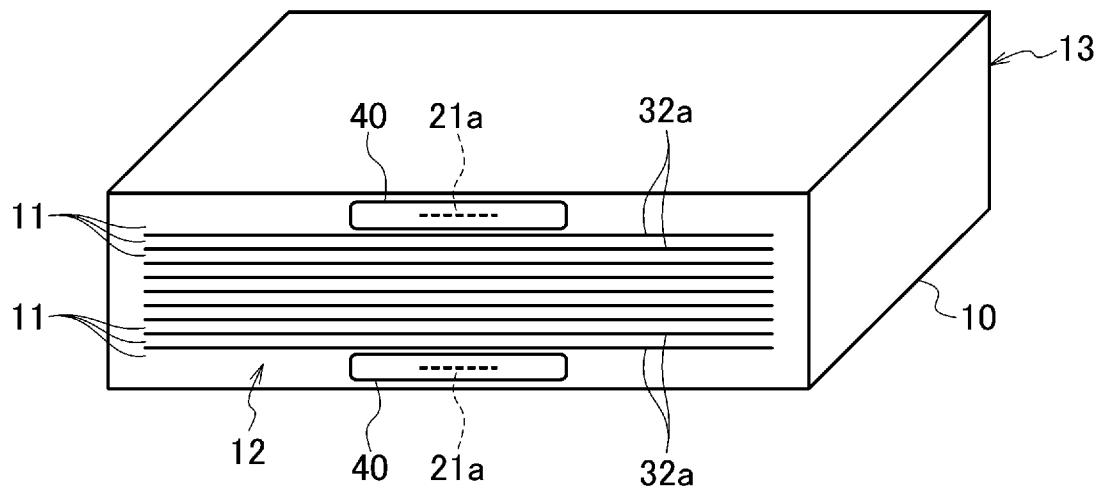
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000027

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/40(2006.01) i, H01G4/12(2006.01) i, H01G4/30(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/40, H01G4/12, H01G4/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-297566 A (Murata Mfg. Co., Ltd.), 29 October 1999 (29.10.1999), paragraphs [0008], [0014] to [0022]; fig. 1, 3 (Family: none)	1-5
A	JP 2007-234903 A (TDK Corp.), 13 September 2007 (13.09.2007), paragraphs [0019] to [0036]; fig. 4 & US 2007/0205514 A1 & KR 10-2007-0090112 A & CN 101030479 A	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
04 April, 2012 (04.04.12)

Date of mailing of the international search report
17 April, 2012 (17.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01G4/40(2006.01)i, H01G4/12(2006.01)i, H01G4/30(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01G4/40, H01G4/12, H01G4/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-297566 A（株式会社村田製作所） 1999.10.29, 段落【0008】、【0014】－【0022】、図1, 3 (ファミリーなし)	1-5
A	JP 2007-234903 A（TDK株式会社） 2007.09.13, 段落【0019】－【0036】、図4 & US 2007/0205514 A1 & KR 10-2007-0090112 A & CN 101030479 A	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 4 . 2 0 1 2

国際調査報告の発送日

1 7 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

羽鳥 友哉

5 O

4 0 6 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9