

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-352839
(P2006-352839A)

(43) 公開日 平成18年12月28日(2006. 12. 28)

(51) Int. Cl.

F I

テーマコード (参考)

H O 3 K 17/687 (2006. 01)

H O 3 K 17/687 F 5 H 7 4 0

H O 2 M 1/08 (2006. 01)

H O 2 M 1/08 A 5 J O 5 5

審査請求 有 請求項の数 18 O L 外国語出願 (全 27 頁)

(21) 出願番号	特願2006-110890 (P2006-110890)	(71) 出願人	505300623 インターナショナル・レクティファイヤ・ コーポレーション INTERNATIONAL RECTI FIER CORPORATION アメリカ合衆国 カリフォルニア州902 45 エル・セグンド, カンザス・ストリ ート, 233
(22) 出願日	平成18年4月13日 (2006. 4. 13)	(74) 代理人	110000028 特許業務法人明成国際特許事務所
(31) 優先権主張番号	60/670, 829	(72) 発明者	マウリツィオ・サラート アメリカ合衆国 カリフォルニア州905 03 トーランス, ウェスト・190番・ ストリート, 5410
(32) 優先日	平成17年4月13日 (2005. 4. 13)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	60/680, 629		
(32) 優先日	平成17年5月13日 (2005. 5. 13)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	11/402, 109		
(32) 優先日	平成18年4月11日 (2006. 4. 11)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

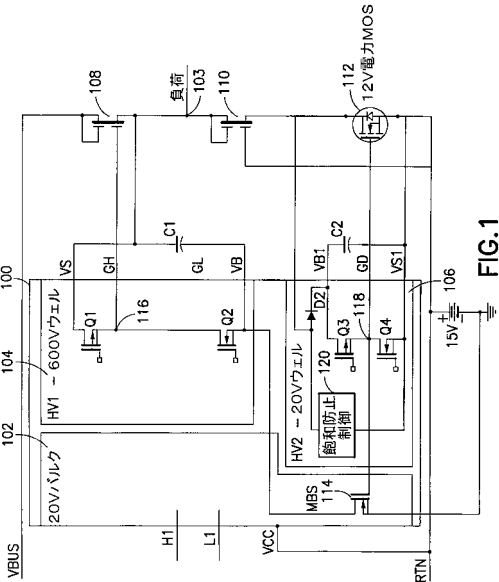
(54) 【発明の名称】 高電圧双方向半導体スイッチのための駆動回路

(57) 【要約】 (修正有)

【課題】デプレッション型素子である双方向性スイッチの独特な特徴を考慮して駆動回路および方法を改良する。

【解決手段】本願の一実施形態による双方向半導体スイッチを用いたハーフブリッジのための駆動回路は、ハイサイド双方向半導体スイッチを制御するよう動作可能なハイサイド駆動部を備え、ハイサイド駆動部は、双方向半導体スイッチに負バイアス電圧を供給して、ハイサイド双方向半導体スイッチをOFFにする。ローサイド駆動部は、ローサイド双方向半導体スイッチを制御するよう動作可能であってよい。負端子がハイサイド駆動部に接続された外部電圧源が備えられてよい。電圧源の負端子とハイサイド駆動部との間にハイサイド駆動スイッチが配置され、ローサイド駆動部がローサイド双方向半導体スイッチをONにする時に、ハイサイド駆動部を電圧源の負端子に接続するよう動作可能であってよい。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

双方向半導体スイッチを用いたハーフブリッジのための駆動回路であって、
ハイサイド双方向半導体スイッチを制御するよう動作可能なハイサイド駆動部であって、
前記ハイサイド双方向半導体スイッチに負バイアス電圧を供給して前記ハイサイド双方向半導体スイッチをOFFにするハイサイド駆動部と、

ローサイド双方向半導体スイッチを制御するよう動作可能なローサイド駆動部と、

負端子が前記ハイサイド駆動部に接続された外部電圧源と、

前記電圧源の前記負端子と前記ハイサイド駆動部との間に配置され、前記ローサイド駆動部が前記ローサイド双方向半導体スイッチをONにする時に、前記ハイサイド駆動部を前記電圧源の前記負端子に接続するよう動作可能なハイサイド駆動スイッチと、を備える、駆動回路。

10

【請求項 2】

請求項 1 に記載の駆動回路であって、

前記ハイサイド駆動部は、ハイサイド入力制御信号によって制御される、駆動回路。

【請求項 3】

請求項 1 に記載の駆動回路であって、

前記ローサイド駆動部は、ローサイド入力制御信号によって制御される、駆動回路。

【請求項 4】

請求項 3 に記載の駆動回路であって、

前記ローサイド駆動部は、さらに、

ブッシュブル構成として配置されていると共に、前記ローサイド入力制御信号に基づいてONおよびOFFに切り替えられる第1のトランジスタおよび第2のトランジスタと、

20

前記ローサイド双方向半導体スイッチと直列に配置された電力MOSFETと、

前記第1および第2のトランジスタの間に配置され、前記電力MOSFETのゲートに接続された出力ノードと、を備え、

前記出力ノードの電圧値が前記電力MOSFETをONにする時には、前記ローサイド双方向半導体スイッチがONであり、前記出力ノードの電圧値が前記電力MOSFETをOFFにする時には、前記ローサイド双方向半導体スイッチがOFFである、駆動回路。

30

【請求項 5】

請求項 4 に記載の駆動回路であって、

前記ローサイド駆動部は、さらに、前記電力MOSFETに接続された飽和防止制御素子を備えることで、前記電力MOSFETが飽和状態で動作しないことを保証する、駆動回路。

【請求項 6】

請求項 3 に記載の駆動回路であって、

前記ローサイド入力制御信号は、さらに、前記ローサイド双方向半導体スイッチがONにされた時に前記電圧源の前記負端子が前記ハイサイド駆動部に接続されるように、前記ハイサイド駆動スイッチを制御し、

40

前記負端子の負電圧は、前記ハイサイド双方向半導体スイッチをOFFにするために用いられる、駆動回路。

【請求項 7】

双方向半導体スイッチを用いたハーフブリッジのための駆動回路であって、

ハイサイド双方向半導体スイッチを制御するよう動作可能なハイサイド駆動部であって、前記ハイサイド駆動部を前記ハーフブリッジの下位レールに選択的に接続する線形レギュレータ制御装置を含むハイサイド駆動部と、

ローサイド双方向半導体スイッチを制御するよう動作可能なローサイド駆動部と、を備える、駆動回路。

【請求項 8】

50

請求項 7 に記載の駆動回路であって、

前記線形レギュレータ制御装置は、前記ハイサイド双方向スイッチが ON であり、かつ、前記ハイサイド駆動部を横切るコンデンサの電圧が閾値電圧よりも高くなった時に、前記ハイサイド駆動部を前記ハーフブリッジの前記下位レールに接続し、それにより、前記ハイサイド駆動部は、前記ハイサイド双方向半導体素子のゲートに負バイアス電圧を印可して、前記ハイサイド双方向半導体素子を OFF にする、駆動回路。

【請求項 9】

請求項 8 に記載の駆動回路であって、

前記線形レギュレータ制御装置は、前記コンデンサの前記電圧が前記閾値よりも低くなった時に、前記ハイサイド駆動部を前記ハーフブリッジの前記下位レールに接続する、駆動回路。 10

【請求項 10】

請求項 7 に記載の駆動回路であって、

前記ローサイド駆動部は、さらに、

ブッシュプル構成として配置されていると共に、前記ローサイド入力制御信号に基づいて ON および OFF に切り替えられる第 1 のトランジスタおよび第 2 のトランジスタと、

前記ローサイド双方向半導体スイッチと直列に配置された電力 MOSFET と、

前記第 1 および第 2 のトランジスタの間に配置され、前記電力 MOSFET のゲートに接続された出力ノードと、を備え、 20

前記出力ノードの電圧値が前記電力 MOSFET を ON にする時には、前記ローサイド双方向半導体スイッチが ON であり、前記出力ノードの電圧値が前記電力 MOSFET を OFF にする時には、前記ローサイド双方向半導体スイッチが OFF である、駆動回路。

【請求項 11】

請求項 10 に記載の駆動回路であって、

前記ローサイド駆動部は、さらに、前記電力 MOSFET に接続された飽和防止制御素子を備えることで、前記電力 MOSFET が飽和状態で動作しないことを保証する、駆動回路。

【請求項 12】

双方向スイッチング回路であって、 30

ハイサイド双方向半導体スイッチと、

前記ハイサイド双方向半導体スイッチと直列に接続されたローサイド双方向半導体スイッチと、

請求項 7 に記載の駆動回路と、を備える、双方向スイッチング回路。

【請求項 13】

双方向スイッチング回路であって、

ハイサイド双方向半導体スイッチと、

前記ハイサイド双方向半導体スイッチと直列に接続されたローサイド双方向半導体スイッチと、

前記ハイサイド双方向半導体スイッチを制御するよう動作可能なハイサイド駆動部であって、前記ハイサイド双方向半導体スイッチに負バイアス電圧を供給して前記ハイサイド双方向半導体スイッチを OFF にするハイサイド駆動部と、 40

前記ローサイド双方向半導体スイッチを制御するよう動作可能なローサイド駆動部と、

負端子が前記ハイサイド駆動部に接続された外部電圧源と、

前記電圧源の前記負端子と前記ハイサイド駆動部との間に配置され、前記ローサイド駆動部が前記ローサイド双方向半導体スイッチを ON にする時に、前記ハイサイド駆動部を前記電圧源の前記負端子に接続するよう動作可能なハイサイド駆動スイッチと、を備える、双方向スイッチング回路。

【請求項 14】

請求項 13 に記載の双方向スイッチング回路であって、 50

前記ハイサイド駆動部は、ハイサイド入力制御信号によって制御される、双方向スイッチング回路。

【請求項 15】

請求項 13 に記載の双方向スイッチング回路であって、

前記ローサイド駆動部は、ローサイド入力制御信号によって制御される、双方向スイッチング回路。

【請求項 16】

請求項 15 に記載の双方向スイッチング回路であって、

前記ローサイド駆動部は、さらに、

ブッシュブル構成として配置されていると共に、前記ローサイド入力制御信号に基づいて ON および OFF に切り替えられる第 1 のトランジスタおよび第 2 のトランジスタと、

前記ローサイド双方向半導体スイッチと直列に配置された電力 MOSFET と、

前記第 1 および第 2 のトランジスタの間に配置され、前記電力 MOSFET のゲートに接続された出力ノードと、を備え、

前記出力ノードの電圧値が前記電力 MOSFET を ON にする時には、前記ローサイド双方向半導体スイッチが ON であり、前記出力ノードの電圧値が前記電力 MOSFET を OFF にする時には、前記ローサイド双方向半導体スイッチが OFF である、双方向スイッチング回路。

【請求項 17】

請求項 16 に記載の双方向スイッチング回路であって、

前記ローサイド駆動部は、さらに、前記電力 MOSFET に接続された飽和防止制御素子を備えることで、前記電力 MOSFET が飽和状態で動作しないことを保証する、双方向スイッチング回路。

【請求項 18】

請求項 17 に記載の双方向スイッチング素子であって、

前記ローサイド入力制御信号は、さらに、前記ローサイド双方向半導体スイッチが ON にされた時に前記電圧源の前記負端子が前記ハイサイド駆動部に接続されるように、前記ハイサイド駆動スイッチを制御し、

前記負端子の負電圧は、前記ハイサイド双方向半導体スイッチを OFF にするために用いられる、双方向スイッチング素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高電圧双方向半導体スイッチのための駆動回路および方法に関する。特に、本発明は、ブートストラップコンデンサを用いる駆動回路と、DC バスからの自給を備えた駆動回路とを提供する。

【背景技術】

【0002】

近年開発された双方向 III 族窒化物スイッチは、高電圧および高周波数の電子技術の分野で特に有用である。双方向 III 族窒化物スイッチは、通例、Si、SiC、サファイアなどで構成してよい基板と、基板の上に形成され窒化ガリウム (GaN) から成る第 1 の半導体と、第 1 の半導体の上に形成され AlGaN から成る第 2 の半導体とを備える。GaN および AlGaN のヘテロ接合は、ヘテロ接合において、または、ヘテロ接合の近傍で、導電性の高い二次元電子ガス (2DEG) を生成する。2DEG は、当業者に周知のように、自発的な分極効果によって形成される。第 2 の半導体 (AlGaN) には、2 つのオーミック電源電極が、オーミック接続されている。2 つのオーミック抵抗器のそれぞれから所定の距離に、2 つのゲート電極が配置されてよい。上述の双方向 III 族窒化物スイッチは、通常は ON であることから、デプレッション型素子である。しかしながら、ゲートのいずれかに適切な電圧を印加すると、2DEG の中断が起き、スイッチが O

FFとなる。一般に、スイッチをOFFにするために1または複数のゲートに印加される電圧は、オーミック電極のいずれにおける電位に対しても負となる電圧である。

【0003】

上述の双方向スイッチは、高電圧、高周波数のシステムでの利用で特に有用であるため、幅広いトポロジにわたるほとんどすべての電力電子技術の用途に有用である。

【0004】

しかしながら、デプレッション型素子であるこれらのスイッチのいくぶん独特な特徴を考慮すると、これらのスイッチを制御するための駆動回路および方法を改良することが望ましい。

【発明の開示】

10

【0005】

本願の一実施形態による双方向半導体スイッチを用いたハーフブリッジのための駆動回路は、ハイサイド双方向半導体スイッチを制御するよう動作可能なハイサイド駆動部であって、双方向半導体スイッチに負バイアス電圧を供給してハイサイド双方向半導体スイッチをOFFにするハイサイド駆動部と、ローサイド双方向半導体スイッチを制御するよう動作可能なローサイド駆動部と、負端子がハイサイド駆動部に接続された外部電圧源と、電圧源の負端子とハイサイド駆動部との間に配置され、ローサイド駆動部がローサイド双方向半導体スイッチをONにする時に、ハイサイド駆動部を電圧源の負端子に接続するよう動作可能なハイサイド駆動スイッチと、を備える。

【0006】

20

本願の別の実施形態による双方向半導体スイッチを用いたハーフブリッジのための駆動回路は、ハイサイド双方向半導体スイッチを制御するよう動作可能なハイサイド駆動部であって、ハイサイド駆動部をハーフブリッジの下位レールに選択的に接続する線形レギュレータ制御装置を含むハイサイド駆動部と、ローサイド双方向半導体スイッチを制御するよう動作可能なローサイド駆動部と、を備える。

【0007】

本発明の他の特徴および利点は、添付の図面を参照して行う以下の説明から明らかになる。

【発明を実施するための最良の形態】

【0008】

30

上述のようなダブルゲートの双方向半導体スイッチを用いる利点の1つは、それに付随する駆動回路のトポロジに関しては、素子のソースをそれぞれ基準とする完全に等価な複数のゲートを有する可能性がある点である。例えば、図1に示す具体的な回路では、双方向半導体スイッチング素子(108または110)のゲートは、正のDCバスレール(VBUS)と、負のDCバスレール(RTN)と、ハーフブリッジ出力(ノード103)とを基準にする。

【0009】

さらに、双方向半導体スイッチは、通常はONであり、OFFにするために通例は少なくとも1つのゲートに対する負バイアスを必要とするデプレッション型素子であることを考慮すると、新しい駆動トポロジが可能である。

40

【0010】

図1の回路は、本発明の一実施形態に従って、双方向半導体スイッチ108および110を用いたハーフブリッジのための駆動回路の第1のトポロジを示す。

【0011】

図1に示すように、2つの双方向半導体素子、具体的には、ハイサイドスイッチ108およびローサイドスイッチ110が、正のDCバスレール(VBUS)と、負すなわち下位のDCバスレールすなわちリターンレール(RTN)との間に直列に配列されている。負荷(図示せず)に接続されることが好ましいハーフブリッジの出力側において、ハイサイドおよびローサイドスイッチ108および110の間に、ノード103が設けられている。

50

【 0 0 1 2 】

ハーフブリッジのスイッチ 1 0 8 および 1 1 0 を制御するための駆動回路 1 0 0 が設けられている。図 1 に示した具体的な実施形態では、駆動回路は、2つのフローティングウェル 1 0 4 および 1 0 6 を備えた 2 0 V のバルク基板 1 0 2 上に形成された集積回路 (I C) として実現される。第 1 のウェル (H V 1) 1 0 4 は、6 0 0 V の容量を有することが好ましく、ハイサイドスイッチ 1 0 8 を駆動するための構成要素を備える。第 2 のウェル (H V 2) 1 0 6 は、2 0 V の容量を有することが好ましい。

【 0 0 1 3 】

ハイサイド双方向スイッチ 1 0 8 は、第 1 のフローティングウェル 1 0 4 に配置されたトランジスタ Q 1 および Q 2 によって形成される従来の出力バッファによって駆動されることが好ましい。図に示すように、トランジスタ Q 1 と Q 2 との間には、ノード 1 1 6 が配置され、スイッチ 1 0 8 のゲートの 1 つに接続されている。トランジスタ Q 1 および Q 2 の O N / O F F 状態は、バルクを介して回路 1 0 0 に接続されたハイサイド入力論理制御信号 H I に基づいて決定されることが好ましい。I C 回路は、従来の駆動回路に共通する適切なレベルシフトおよび遅延の機能をさらに備えることで、ハイサイド入力論理制御信号 H I が適切な制御を提供することを保証してもよいことに注意されたい。

【 0 0 1 4 】

動作中、ハイサイドスイッチ 1 0 8 は、通常は O N であるため、ハーフブリッジの出力ノード 1 0 3 を介して負荷に電圧を供給するよう導電する。この時に、トランジスタ Q 2 は O F F であることが好ましく、トランジスタ Q 1 は O N であることが好ましい。したがって、スイッチ 1 0 8 のゲートには、電圧が供給されない。スイッチ 1 0 8 は、ノード 1 1 6 に接続されたゲートに電圧が印加されないため、O N のままであり、スイッチ 1 0 8 の他方のゲートにおける電圧は、正の D C バスレールの電圧と同じであることから、いずれのゲートにも負バイアス電圧は掛からない。必要に応じて、スイッチ 1 0 8 は、ハイサイド論理信号 H I に基づいて O F F にされてよい。具体的には、スイッチ Q 2 が O N にされると共に、スイッチ Q 1 が O F F にされることにより、電圧源 1 0 9 の負端子からトランジスタ Q 2 および高電圧 M O S F E T 1 1 4 (M b s) を介して、ノード 1 1 6 に負電圧が供給される。この負電圧は、スイッチ 1 0 8 の下位ゲートに印加されてよく、それにより、このスイッチを O F F にする負バイアスが提供される。

【 0 0 1 5 】

従来のハーフブリッジ用の従来の駆動回路と同様に、ハイサイドスイッチ 1 0 8 およびローサイドスイッチ 1 1 0 は、同時に O N にならないことが好ましい。したがって、ハイサイドスイッチ 1 0 8 が O N である時には、ローサイドスイッチ 1 1 0 は O F F であることが好ましい。同様に、ローサイドスイッチ 1 1 0 が O N である時には、ハイサイドスイッチ 1 0 8 は O F F である。したがって、ハイサイド論理入力 H I およびローサイド論理入力 L I は、スイッチ 1 0 8 および 1 1 0 が同時に O N にならないように供給される。

【 0 0 1 6 】

このように、ハイサイド論理入力 H I がスイッチ 1 0 8 を O F F に駆動した時に、ローサイド論理入力 L I は、ローサイドスイッチ 1 1 0 を O N にするよう利用されることが好ましい。しかしながら、I C 1 0 0 は、ハイサイドおよびローサイドスイッチ 1 0 8 および 1 1 0 が移行中に同時に O N にならないことを保証するために、適切な不感時間 (D T) を備えられてもよいことに注意されたい。このように事前に設定された不感時間を利用することは、駆動回路では一般的なことである。ローサイドスイッチ 1 1 0 は、カスコードスイッチングによって制御されることが好ましい。すなわち、電力 M O S F E T 1 1 2 は、スイッチ 1 1 0 と D C バスの下位レールとの間に直列で配置される。スイッチ 1 1 0 の上部ゲートは、上部電極に接続されているため、上部電極に対する負バイアスを供給しない。スイッチ 1 1 0 の下部ゲートは、下位の D C バスレールすなわちリターンレール R T N に接続されている。したがって、下位ゲートに印加される電位は、ほぼ一定である。しかしながら、ローサイド入力論理 L I は、第 2 のウェル 1 0 6 のトランジスタ Q 3 および Q 4 によって形成された出力バッファを制御するために利用されることが好ましい。こ

10

20

30

40

50

の場合にも、ローサイド入力論理 L I が適切な制御を提供することを保証するために、適切なレベルシフトおよび遅延が、I C 100 に組み込まれてよい。トランジスタ Q 3 および Q 4 の間には、ノード 118 が設けられ、電力 MOS F E T 11 を O N / O F F するための電圧を供給する。電力 MOS F E T が O N の時、スイッチのゲートに印加される電位の関係は、スイッチ 110 が O N の状態を保つような関係である。しかしながら、電力 MOS F E T 110 が O F F にされると、スイッチ 110 のローサイド電極における電圧は、スイッチ 110 が O F F になるように変化する。

【0017】

図に示すように、ノード 118 は、さらに、高電圧 MOS F E T 114 を同様に制御し、それによって、電力 MOS F E T 112 が O N である場合には、高電圧 MOS F E T 10 は O N のみである。特に、電力 MOS F E T 112 を O N にする動作と高電圧 MOS F E T を O N にする動作との間にわずかな遅延があることで、電力 MOS F E T 112 がすでに O N になった後にのみ、高電圧 MOS F E T 114 が O N になることが好ましい。同様に、電力 MOS F E T 112 が O F F になる前に、高電圧 MOS F E T 114 が O F F になることが好ましい。

【0018】

さらに、電力 MOS F E T 112 が飽和しないことを保証するために、飽和防止制御素子 120 が設けられる。この特徴は、電力 MOS F E T の制御の結果として下位のスイッチ 110 が制御されることを保証するのに望ましい。

【0019】

I C 100 が用いる唯一の外部構成要素は、2つのコンデンサ C 1 および C 2 と1つのダイオード D 2 である。ダイオード D 2 は、必要に応じて I C に組み込まれてもよいことに注意されたい。これは、短絡保護、電流検出、および温度検出を、より容易に提供するために好ましい。

【0020】

さらに、図 1 に示した構成を用いると、コンデンサ C 1 は、ハイサイドスイッチ 108 が O F F にされた時に、ローサイドスイッチ 110、電力 MOS F E T 112、および高電圧 MOS F E T 116 を介して充電されることが可能であることにも注意されたい。

【0021】

図 2 は、図 1 に示した回路をシミュレートするために用いられる回路を示す図である。図 2 の回路は、I n t e r n a t i o n a l R e c t i f i e r 社が製造する I R 2 1 0 9 (4) などのハーフブリッジ駆動チップを用いて、上述の集積回路 100 の構成要素を実質的に提供する。I R 2 1 0 9 (4) の機能およびレイアウトについては、周知であり公開されているため、本明細書では詳細に説明しない。ただし、機能的に等価な他の駆動チップを用いてもよいことを理解されたい。

【0022】

図 2 に示すように、外部コンデンサ C 1 および C 2 は、チップの適切なピンの間に接続されている。図 2 に示したトランジスタ M 1 と、ラベルを付けた高電圧 MOS F E T は、図 1 の高電圧 MOS F E T 114 に相当する。双方向半導体スイッチ H E M T 2 および H E M T 1 は、図 2 の双方向スイッチ 108 および 110 に相当する。図 2 に示すさらなる構成要素は、試験に必要な変形および適合を含む。

【0023】

図 3 は、図 2 のハイサイドおよびローサイドスイッチ H E M T 2 および H E M T 1 についてのゲート・ソース電圧 (V G S) の測定値を示すグラフである。図に示すように、両方のスイッチのゲート・ソース電圧は、必要に応じて双方向スイッチを O N / O F F できるように、正の値と負の値との間を移行する。

【0024】

図 4 は、図 2 のハイサイドおよびローサイドスイッチ H E M T 2 および H E M T 1 についてのゲート・ソース電圧 (V G S) の測定値を示す別のグラフである。図 4 は、さらに

、両方のスイッチがOFFになる図2のスイッチにおけるゲート・ソース電圧の変化の間に提供された不感時間を強調している。さらに、SWNも図示されている。

【0025】

図5は、基準SWNと共に、図2のローサイドスイッチHEMT1の負荷電流(Iload)、負荷電圧(Vload)、およびゲート・ソース電圧を示すグラフである。

【0026】

図6は、本発明の別の実施形態に従って、双方向半導体スイッチを用いたハーフブリッジのための駆動回路の第2のトポロジを示す。

【0027】

図6の回路では、多くの要素が図1の回路と共通しており、共通する要素については、共通の符号を用いている。 10

【0028】

図1のように、図6は、2つの双方向半導体素子、具体的には、ハイスサイドスイッチ108およびローサイドスイッチ110が、正のDCバスレール(VBUS)と、負すなわち下位のDCバスレールすなわちリターンレール(RTN)との間に直列に配列されている様子を示している。ノード103は、負荷(図示せず)に接続されることが好ましいハーフブリッジの出力側において、ハイスサイドおよびローサイドスイッチ108および110の間に設けられている。

【0029】

ハーフブリッジのスイッチ108および110を制御するための駆動回路600が設けられている。図6に示した具体的な実施形態では、駆動回路は、20Vのバルク基板102上に形成された集積回路(IC)と、好ましくは600Vの容量を有すると共にハイスサイドスイッチ108を駆動するための構成要素を備える1つのフローティングウェル(HV1)602と、によって実現される。 20

【0030】

ハイスサイド双方向スイッチ108は、第1のフローティングウェル602に配置されたトランジスタQ1およびQ2によって形成される従来の出力バッファによって駆動されることが好ましい。図に示すように、ノード116は、トランジスタQ1とQ2との間に配置され、スイッチ108のゲートの1つに接続されている。トランジスタQ1およびQ2のON/OFF状態は、バルクを介して回路100に接続されたハイスサイド入力論理制御信号HIに基づいて決定されることが好ましい。IC回路は、従来の駆動回路に共通する適切なレベルシフトおよび遅延の機能をさらに備えることで、ハイスサイド入力論理制御信号HIが適切な制御を提供することを保証してもよいことに注意されたい。 30

【0031】

動作中、ハイスサイドスイッチ108は、通常はONであるため、ハーフブリッジの出力ノード103を介して負荷に電圧を供給するよう導電する。この時に、トランジスタQ2はOFFであることが好ましく、トランジスタQ1はONであることが好ましい。したがって、スイッチ108のゲートには、電圧が供給されない。スイッチ108は、ノード116に接続されたゲートに電圧が印加されないため、ONのままであり、スイッチ108の他方のゲートにおける電圧は、正のDCバスレールの電圧と同じであることから、いずれのゲートにも負バイアス電圧は掛からない。 40

【0032】

さらに、線形レギュレータ制御素子604が、ウェル602に設けられ、コンデンサC23の電圧とスイッチ108の状態とを監視することが好ましい。線形レギュレータ制御素子604は、高電圧トランジスタ606(Mlin)を制御して、トランジスタQ1およびQ2によって形成される出力バッファに電力を供給する。図6に示すように、高電圧トランジスタ606(Mlin)は、p型素子であることが好ましい。コンデンサC23の電圧が、閾値よりも小さくなると(例えば、図6に示した具体的な回路で12ボルトになると)、トランジスタ606は、ONに切り替えられ、それにより、スイッチ108がONであるか否かに関わらず、コンデンサC23を充電するための電流路が確保される。 50

スイッチ 108 が ON の場合、コンデンサ C23 の電圧が閾値電圧よりも大きければ、トランジスタ 606 は ON にされる。コンデンサ C23 の電圧が閾値よりも大きい場合には、ノード 103 における負荷電圧があまりに高く上昇している可能性があり、その場合、スイッチ 108 を OFF にすることが好ましい。ハイサイド入力論理 HI と共に、リターンレール (RTN) の低電圧が、トランジスタ 606 とトランジスタ Q2 とを介してノード 116 に供給され、トランジスタ Q2 は、論理信号 HI によって ON にされることが好ましい。ノード 116 における電圧は、ハイサイドレールおよび出力電圧に対して負となるため、当該電圧はスイッチ 108 を OFF にする。上述のように、トランジスタ Q1 が ON でトランジスタ Q2 が OFF である場合には、スイッチ 108 のゲートには電圧が印加されず、スイッチは ON のままである。ハイサイドスイッチ 108 が OFF でありローサイドスイッチ 110 および 112 が ON である場合に、コンデンサ C23 の放電を防止する助けとして、線形レギュレターループ内に低電圧ダイオード D3 が設けられてもよい。

【0033】

図 1 に関して上述したように、ローサイド論理入力 LI は、必要に応じてローサイドスイッチ 110 を ON / OFF するために用いられることが好ましい。電力 MOSFET 112 は、スイッチ 110 と DC バスの下位のレールとの間に直列で配置されてよい。スイッチ 110 の上部ゲートは、上部電極に接続されているため、上部電極に対する負バイアスを供給しない。スイッチ 110 の下部ゲートは、下位の DC バスレールすなわちリターンレール RTN に接続されている。したがって、下位のゲートに印加される電位は、ほぼ一定である。しかしながら、ローサイド入力論理 LI は、トランジスタ Q3 および Q4 によって形成された出力バッファを制御するために用いられることが好ましい。ローサイド入力論理 LI が適切な制御を提供することを保証するために、適切なレベルシフトおよび遅延が、IC 600 に組み込まれてよい。トランジスタ Q3 および Q4 の間には、ノード 118 が設けられ、電力 MOSFET 112 を ON / OFF するための電圧を供給する。電力 MOSFET が ON の時、スイッチのゲートに印加される電位の関係は、スイッチ 110 が ON の状態を保つような関係である。しかしながら、電力 MOSFET 110 が OFF にされると、スイッチ 110 のローサイド電極における電圧は、スイッチ 110 が OFF になるように変化する。

【0034】

電力 MOSFET 112 が飽和しないことを保証するために、飽和防止制御素子 120 が設けられてよい。この特徴は、電力 MOSFET を制御することにより、下位のスイッチ 110 が制御されることを保証するのに望ましい。

【0035】

図 6 の集積回路 600 は、図 1 から外部電力供給 109 の必要性を排除し、さらに、線形回路への過渡効果を回避することにより、安全な始動と効率的な電圧制御を実現する。

【0036】

図 7 は、図 6 の回路を試験するために用いられるシミュレーション回路を示す図である。図 8 A から 8 C は、図 7 の回路の様々なパラメータの測定値を示すグラフである。例えば、出力電圧 V4 のグラフである図 8 A に示すように、始動から、出力電圧 V4 は、滑らかに所望の値まで上昇した後に、所望の値を維持する。

【0037】

図 9 は、図 7 のハイサイドおよびローサイドスイッチについてのゲート・ソース電圧 (VGS) の測定値を示すグラフである。図からわかるように、ゲート・ソース電圧は、正と負の値を交互に取るため、必要な時にスイッチを OFF にするのに十分である。さらに、図 7 の回路の SWN が図示されている。

【0038】

本発明は、具体的な実施形態に関連して説明されているが、多くの他の変更例および変形例、他の用途が存在することは、当業者にとって明らかなことである。したがって、本発明は、本明細書の具体的な開示によって限定されず、添付の特許請求の範囲によつての

み限定されることが好ましい。

【図面の簡単な説明】

【0039】

【図1】本願の一実施形態に従って、双方向スイッチング素子を用いたハーフブリッジのための駆動回路を示す図。

【図2】図1の回路をシミュレートするために用いられるシミュレーション回路を示す説明図。

【図3】図2のシミュレーション回路に示したスイッチング素子のゲート・ソース電圧の測定値を示すグラフ。

【図4】図2の回路について、スイッチング素子のゲート・ソース電圧の測定値と、両方のスイッチがOFFになる不感時間とを示すグラフ。 10

【図5】図2のスイッチのゲート・ソース電圧と、負荷電圧および負荷電流とを示すグラフ。

【図6】本願の一実施形態に従って、双方向スイッチング素子を用いたハーフブリッジのための駆動回路を示す図。

【図7】図6の回路をシミュレートするために用いられるシミュレーション回路を示す図。

【図8A】図7の回路の様々なパラメータのシミュレーション値を示すグラフ。

【図8B】図7の回路の様々なパラメータのシミュレーション値を示すグラフ。

【図8C】図7の回路の様々なパラメータのシミュレーション値を示すグラフ。 20

【図9】図7のシミュレーション回路のスイッチング素子のゲート・ソース電圧の測定値を示すグラフ。

【図1】

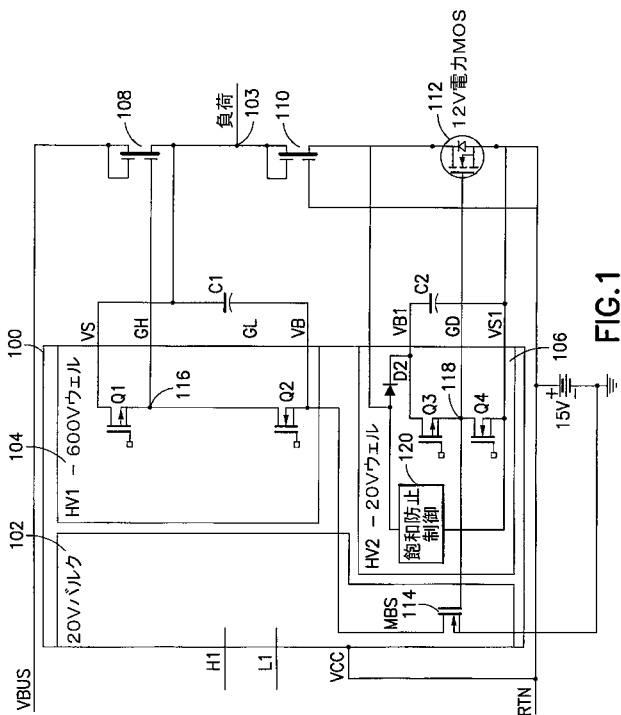


FIG.1

【図2】

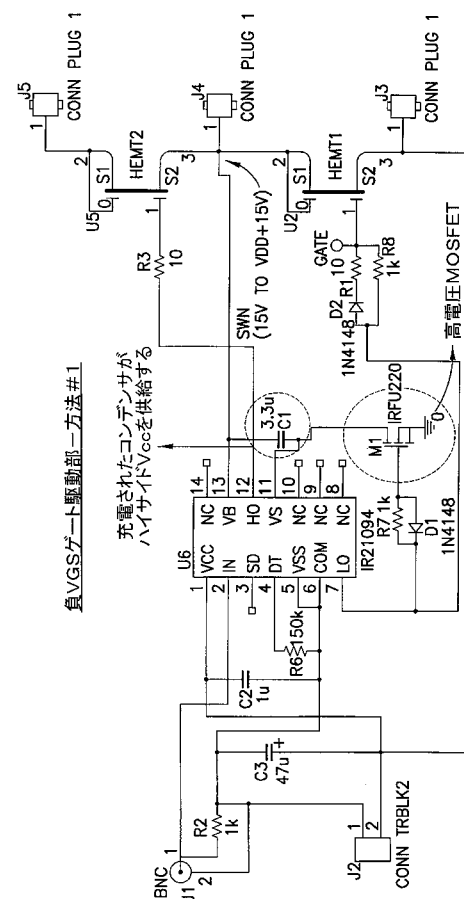
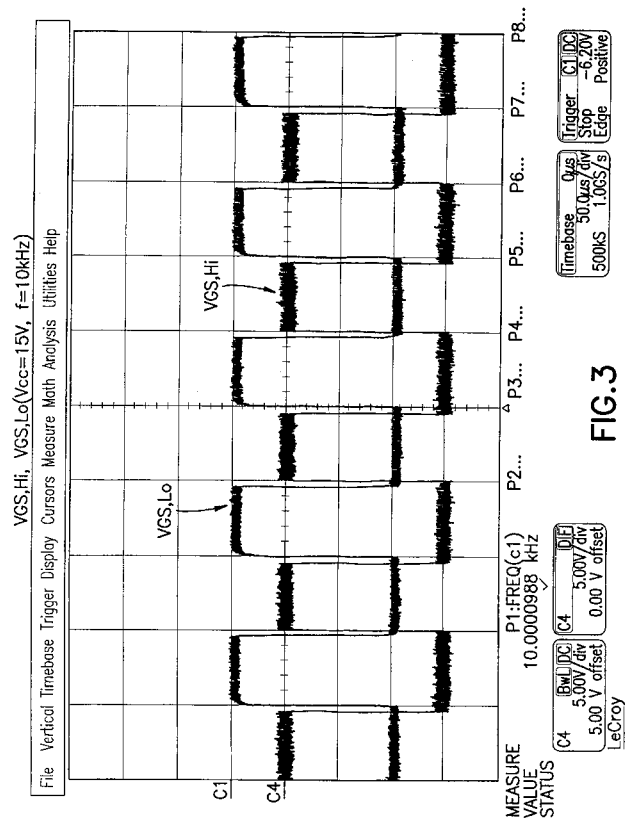
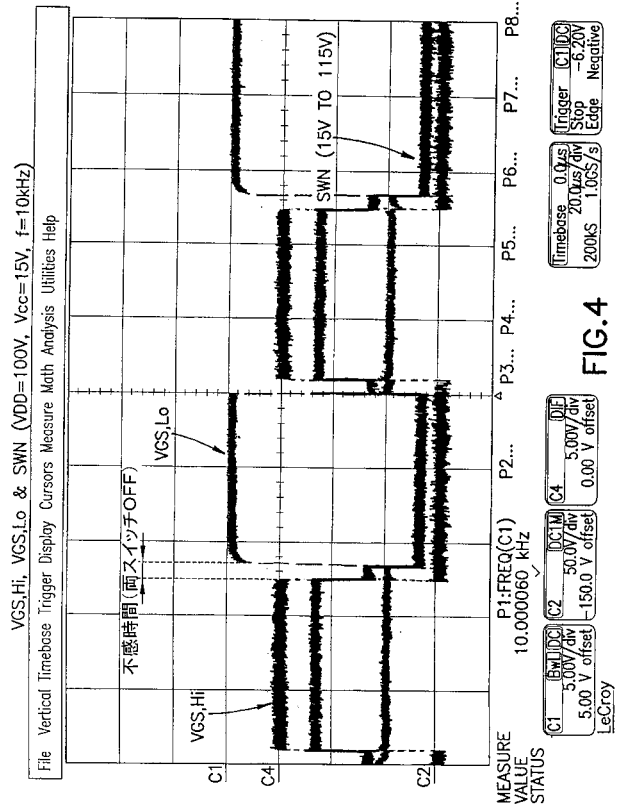


FIG.2

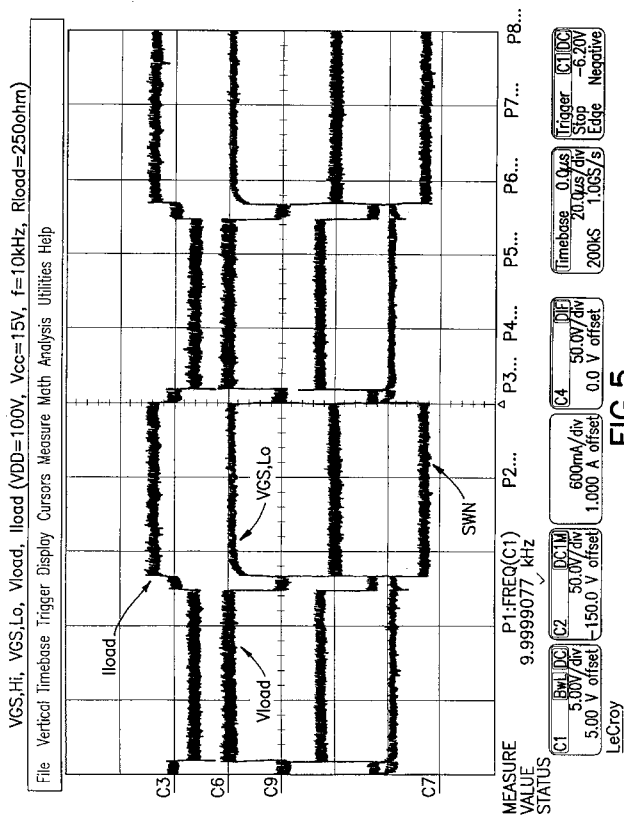
【 図 3 】



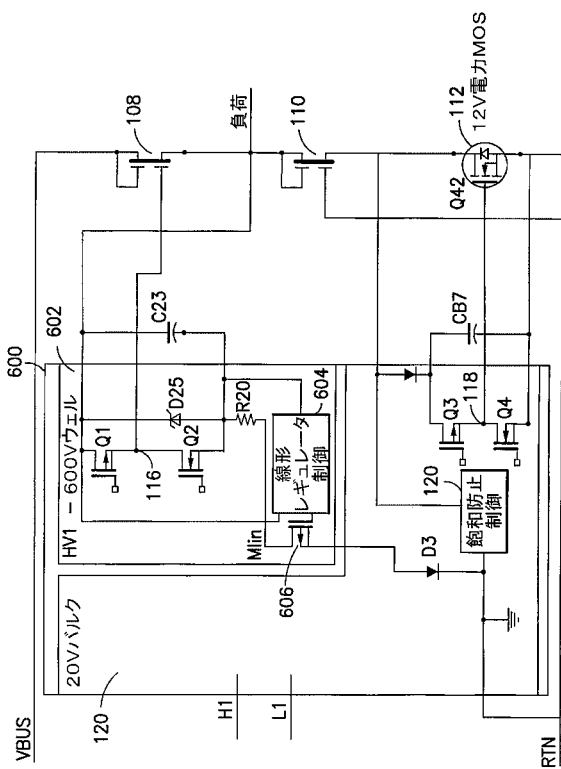
【 図 4 】



【 図 5 】



【 図 6 】



【 9 】

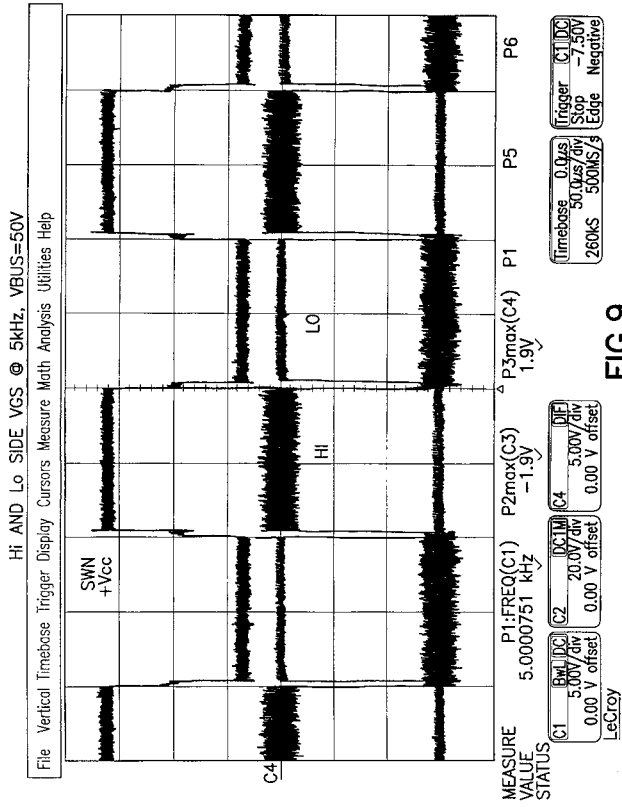


FIG.9

フロントページの続き

(72)発明者 マルコ・ソルダノ

アメリカ合衆国 カリフォルニア州 9 0 2 4 5 エル・セグンド, メイン・ストリート, 7 0 3

F ターム(参考) 5H740 BA12 BA15 BA18 BB05 BB08 HH05 KK01 MM08 MM11

5J055 AX37 BX16 CX07 DX16 DX22 DX26 DX56 DX72 DX73 DX82

DX83 EX02 EX07 EY01 EY10 EY12 EY21 EY24 EZ07 EZ12

EZ18 FX05 FX12 FX18 FX37 GX01 GX02 GX04 GX05 GX06

【 外国語明細書 】

1. TITLE OF THE INVENTION

DRIVING CIRCUIT FOR USE WITH HIGH VOLTAGE BIDIRECTIONAL SEMICONDUCTOR SWITCHES

2. DETAILED DESCRIPTION OF THE INVENTION

BACKGROUND OF THE INVENTION

Field of the Invention

The present invention relates to driving circuits and methods for use with high voltage bidirectional semiconductor switches. In particular, the present invention provides for a driving circuit that utilizes a bootstrap capacitor and a driving circuit with self supply from a DC bus.

Related Art

Recently developed bidirectional III-nitride switches are particularly useful in the field of high power and high frequency electronics. A bidirectional III-nitride switch typically includes a substrate which may be composed of Si, SiC, Sapphire, or the like, a first semiconductor body formed over the substrate comprised of gallium Nitride (GaN), and a second semiconductor body formed over first semiconductor body and composed of AlGaN. The heterojunction of GaN and AlGaN produces a highly conductive two-dimensional electron gas (2DEG) at or near the heterojunction. The 2DEG is formed due to the spontaneous polarization effect as is known in the art. Two Ohmic power electrodes are ohmically connected to the second semiconductor body (AlGaN). Two gate electrodes may be positioned a predetermined distance from each of the two ohmic resistors. The bidirectional III-nitride switch described above is a depletion mode device in that it is normally ON. The application of an appropriate voltage to either of the gates, however, causes an interruption of the 2DEG which turns the switch OFF. Generally, the voltage that is applied to the gate or gates to turn the switch OFF is a voltage that is more negative than the potential at either of the ohmic electrodes.

The bidirectional switches discussed above are particularly useful for use in high voltage, high frequency systems and as such are useful for most any power electronics application over a wide range of topologies.

However, given the somewhat unique characteristics of these switches as depletion mode devices, it is desirable to provide improved driving circuits and methods to control these switches.

SUMMARY OF THE INVENTION

A driving circuit for a half bridge utilizing bidirectional semiconductor switches in accordance with an embodiment of the present application includes a high side driver operable to control a high side bidirectional semiconductor switch, wherein the high side driver provides a negative bias voltage to the bidirectional semiconductor switch to turn the high side bidirectional semiconductor switch OFF, a low side driver operable to control a low side bidirectional semiconductor switch, an external voltage source wherein the a negative terminal of the voltage source is connected to the high side driver; and a high side driving switch, positioned between the negative terminal of the voltage source and the high side driver and operable to connect the high side driver to the negative terminal of the voltage source when the low side driver turns the low side bidirectional

I semiconductor switch ON.

A driving circuit for a half bridge utilizing bidirectional semiconductor switches in accordance with another embodiment of the present application includes a high side driver operable to control a high side bidirectional semiconductor switch, wherein the high side driver includes a linear regulator control device that selectively connects the high side driver to a lower rail of the half bridge and a low side driver operable to control a low side bidirectional semiconductor switch.

Other features and advantages of the present invention will become apparent from the following description of the invention which refers to the accompanying drawings.

DETAILED DESCRIPTION OF EMBODIMENTS OF THE INVENTION

One of the advantages of using double gated bidirectional semiconductor switches such as those described above, with regard to the topology of accompanying driving circuits is the possibility of having fully equivalent gates each referred to a device source. For example, in the specific circuit illustrated in Fig. 1, a gate of a bidirectional semiconductor switching device (108 or 110) is referenced to the positive DC bus rail (VBUS), the negative DC bus rail (RTN) and the half bridge output (node 103).

Further, given the fact that bidirectional semiconductor switches are depletion mode devices which are normally ON and typically require a negative bias on at least one gate in order to be turned OFF, new driving topologies are possible.

The circuit of Fig. 1 illustrates a first topology of a driving circuit for a half bridge utilizing bidirectional semiconductor switches 108, 110 in accordance with an embodiment of the present invention.

As illustrated in Fig. 1, two bidirectional semiconductor devices, specifically a high side switch 108 and a low side switch 110 are arranged in series between the positive DC bus rail (VBUS) and negative, or lower, DC bus rail, or return rail (RTN). A node 103 is provided between the high side and low side switches 108, 110 at the output of the half bridge which is preferably coupled to a load (not shown).

A driving circuit 100 is provided to control the switches 108 and 110 of the half bridge. In the particular embodiment illustrated in Fig. 1, the driving circuit is implemented as an integrated circuit (IC) formed on a 20V bulk substrate 102 with 2 floating wells 104, 106. The first well (HV1) 104 preferably has a 600V capacity and includes components for driving the high side switch 108. The second well (HV2) 106 preferably has a 20V capacity.

The high side bidirectional switch 108 is preferably driven by a conventional output buffer formed by transistors Q1 and Q2 positioned in the first floating well 104. As illustrated, a node 116 is positioned between transistors Q1 and Q2 and is coupled to one of the gates of switch 108. The ON/OFF status of the transistors Q1 and Q2 is preferably determined based upon a high side input logic c

ontrol signal HI which is connected to the circuit 100 via the bulk. It is noted that the IC circuit may also include appropriate level shifting and delay functions common to conventional driving circuits to ensure that the high side input logic control signal HI provide proper control.

In operation, the high side switch 108 is nominally ON and thus conducts to provide a voltage to the load via the output node 103 of the half bridge. During this time, the transistor Q2 is preferably OFF, and transistor Q1 is preferably ON. Thus no voltage is provided to the gate of the switch 108. The switch 108 remains ON since no voltage is applied to the gate connected to node 116 and the voltage at the other gate of the switch 108 is the same as that of the positive DC bus rail and thus no negative bias voltage applied either gate. When desired, the switch 108 may be turned OFF based on the high side logic signal HI. In particular, the switch Q2 is turned ON, and switch Q1 is turned off, such that a negative voltage is provided to the node 116 via the transistor Q2 and the high voltage MOSFET 114 (Mbs) from the negative terminal of voltage source 109. This negative voltage can then be applied to the lower gate of the switch 108, thus providing the negative bias to turn this switch OFF.

Just as in a conventional drive circuit for use with a conventional half bridge, the high side switch 108 and the low side switch 110 should not be ON at the same time. Thus, when the high side switch 108 is ON, the low side switch 110 should be OFF. Similarly, when the low side switch 110 is ON, the high side switch 108 is OFF. The high side logic input HI and low side logic input LI thus are provided to ensure that the switches 108 and 110 are never ON at the same time.

Thus, when the high side logic input HI drives the switch 108 OFF, the low side logic input LI preferably is used to turn the low side switch 110 ON. It is noted however, that the IC 100 may also be provided with an appropriate dead time (DT) to ensure that the high side and low side switches 108 and 110 are not ON at the same time during the transition. The use of such a preset dead time is common in driving circuits. The low side switch 110 is preferably controlled by cascoded switching. That is, power MOSFET 112 is placed in series between the switch 110 and the lower rail of the DC bus. The top gate of the switch 110 is coupled to the top electrode thereof, and thus will not provide a negative bias relative to the top electrode. The bottom gate of the switch 110 is coupled to the lower DC BUS rail, or return rail RTN. Thus, the potential applied to the lower gate will be substantially constant. However, the low side input logic LI is preferably used to control the output buffer formed by transistors Q3 and Q4 in the second well 106. Again, appropriate level shifting and delays may be incorporated into the IC 100 to ensure that the low side input logic LI provides appropriate control. A node 118 is provided between the transistors Q3 and Q4 to provide a voltage to turn the power MOSFET 11 ON and OFF. When the power MOSFET is ON, the relationship of the potential applied to the gates of switch 110 is such that the switch 110 stays on. When the power MOSFET 110 is turned OFF however, the voltage at the low side electrode of the switch 110 will change such that the switch 110 is turned OFF.

As illustrated, the node 118 also controls the high voltage MOSFET 114 as well

, such that the High voltage MOSFET is only ON when the power MOSFET 112 is ON.

In particular, it is preferable if there is a slight delay between the turning ON of the power MOSFET 112 and the turning ON of the high voltage MOSFET such that the high voltage MOSFET 114 turns on only after the power MOSFET 112 is already ON. Similarly, it is preferable that the high voltage MOSFET 114 turn OFF before the power MOSFET 112 turns OFF.

In addition, a desaturation control device 120 is provided to ensure that the power MOSFET 112 remains unsaturated. This feature is desirable in order to ensure that control of the power MOSFET will result in control of the lower switch 110.

The only external components used by the IC 100 are the two capacitors C1 and C2 and the single Diode D2. It is noted that the Diode D2 may also be incorporated into the IC if desired. This may be preferable in order to more easily provide short circuit protection, current sensing or temperature sensing.

In addition, it is noted also that using the configuration illustrated in Fig. 1, the capacitor C1 can be charged via the low side switch 110, the power MOSFET 112 and the high voltage MOSFET 116 when the high side switch 108 is turned OFF.

Fig. 2 is an illustration of a circuit used to simulate the circuit illustrated in Fig. 1. The circuit of Fig. 2 utilizes a half bridge driver chip such as the IR2109(4) manufactured by International Rectifier Corporation to substantially provide the components of the integrated circuit 100 described above. The function and layout of the IR2109(4) is well known and publicly documented and thus will not be described in detail herein. It will be understood, however, that other functionally equivalent driver chips may also be used.

As illustrated in Fig. 2 the external capacitors C1 and C2 are connected between appropriate pins of the chip. The transistor M1 illustrated in Fig. 2 and labeled HV MOSFET corresponds to the high voltage MOSFET 114 of Fig. 1. Bidirectional semiconductor switches HEMT2 and HEMT1 correspond to the bidirectional switches 108 and 110 of Fig. 2. The additional components illustrated in Fig. 2 include modifications and adaptations necessary for testing.

Fig. 3 is a chart illustrating measured values of the gate-source voltages (V_{GS}) for the high side and low side switches HEMT2, HEMT1 in Fig. 2. As illustrated the gate-source voltages for both switched transition between positive and negative values such that they would be capable of turning the bidirectional switches ON and OFF as necessary.

Fig. 4 is another chart illustrating measured values of the gate-source voltages (V_{GS}) for the high side and low side switches HEMT2, HEMT1 in Fig. 2. Fig. 4 further highlights the dead time provided between changes in gate-source voltage in switches of Fig. 2 during which both switches are OFF. In addition the SWN is also illustrated.

Fig. 5 is a chart illustrating the measured values for the load current (I_{load})

, the load voltage (V_{load}) and the gate source voltage of the low side switch (H EMT1) of Fig. 2) along with the measure SWN.

Fig. 6 illustrates a second topology of a driving circuit for a half bridge utilizing bidirectional semiconductor switches in accordance with another embodiment of the present invention.

The circuit of Fig. 6 includes many common elements as that of Fig. 1 and thus common element will be referred to with common reference numerals.

As in Fig. 1, Fig. 6 illustrates two bidirectional semiconductor devices, specifically a high side switch 108 and a low side switch 110 are arranged in series between the positive DC bus rail (V_{BUS}) and negative, or lower, DC bus rail, or return rail (RTN). The node 103 is provided between the high side and low side switches 108, 110 at the output of the half bridge which is preferably coupled to a load (not shown).

A driving circuit 600 is provided to control the switches 108 and 110 of the half bridge. In the particular embodiment illustrated in Fig. 6, the driving circuit is implemented as an integrated circuit (IC) formed on a 20V bulk substrate 102 and a single floating well (HV1) 602 which preferably has a 600V capacity and includes components for driving the high side switch 108.

The high side bidirectional switch 108 is preferably driven by a conventional output buffer formed by transistors Q1 and Q2 positioned in the first floating well 602. As illustrated, the node 116 is positioned between transistors Q1 and Q2 and is coupled to one of the gates of switch 108. The ON/OFF status of the transistors Q1 and Q2 is preferably determined based upon a high side input logic control signal HI which is connected to the circuit 100 via the bulk. It is noted that the IC circuit may also include appropriate level shifting and delay functions common to conventional driving circuits to ensure that the high side input logic control signal HI provide proper control.

In operation, the high side switch 108 is nominally ON and thus conducts to provide a voltage to the load via the output node 103 of the half bridge. During this time, the transistor Q2 is preferably OFF, and transistor Q1 is preferably ON. Thus no voltage is provided to the gate of the switch 108. The switch 108 remains ON since no voltage is applied to the gate connected to node 116 and the voltage at the other gate of the switch 108 is the same as that of the positive DC bus rail and thus no negative bias voltage applied either gate.

The linear regulator control device 604 is also preferably provided in the well 602 and monitors the voltage across the capacitor C23 and the status of the switch 108. The linear regulator control device 604 controls high voltage transistor 606 (Mlin) to power the output buffer formed by the transistors Q1 and Q2.

As noted in Fig. 6, the high voltage transistor 606 (Mlin) is preferably a p-channel device. If the voltage across the capacitor C23 falls below a threshold level, for example, 12 volts in the specific circuit illustrated in Fig. 6, the transistor 606 is switched ON to ensure that there is a path to charge the capacitor C23 whether or not the switch 108 is ON. If the switch 108 is ON the transi

stor 606 is turned ON if the voltage across capacitor C23 is above the threshold voltage. If the voltage across capacitor C23 is above the threshold level, it may be an indication that the load voltage at node 103 is rising too high in which case it is preferable to turn switch 108 OFF. In conjunction with the high side input logic HI the low voltage of the return rail (RTN) is provided to the node 116 is provide via the transistor 606 and the transistor Q2, which is preferably turned ON by the logic signal HI. The voltage at node 116 will be negative with respect to the high side rail and the output voltage, and thus will shut switch 108 OFF. As noted above when transistor Q1 is ON and transistor Q2 is OFF, no voltage is applied to the gate of switch 108 and the switch remains ON. Low voltage diode D3 may be provided in the linear regulator loop to help prevent the capacitor C23 from discharging when the high side switch 108 is OFF and low side switches 110 and 112 are ON.

As noted above with respect to Fig. 1 the low side logic input LI preferably is used to turn the low side switch 110 ON and OFF as desired. The power MOSFET 112 may be placed in series between the switch 110 and the lower rail of the DC bus. The top gate of the switch 110 is coupled to the top electrode thereof, and thus will not provide a negative bias relative to the top electrode. The bottom gate of the switch 110 is coupled to the lower DC BUS rail, or return rail RTN. Thus, the potential applied to the lower gate will be substantially constant. However, the low side input logic LI is preferably used to control the output buffer formed by transistors Q3 and Q4. Appropriate level shifting and delays may be incorporated into the IC 600 to ensure that the low side input logic LI provides appropriate control. A node 118 is provided between the transistors Q3 and Q4 to provide a voltage to turn the power MOSFET 112 ON and OFF. When the power MOSFET is ON, the relationship of the potential applied to the gates of switch 110 is such that the switch 110 stays on. When the power MOSFET 110 is turned OFF however, the voltage at the low side electrode of the switch 110 will change such that the switch 110 is turned OFF.

The desaturation control device 120 may also be provided to ensure that the power MOSFET 112 remains unsaturated. This feature is desirable in order to ensure that control of the power MOSFET will result in control of the lower switch 110.

The integrated circuit 600 of Fig. 6 eliminates the need for the external power supply 109 from Fig. 1 and also ensures safe start up and efficient voltage regulation by avoiding transient effects on the linear circuitry.

Fig. 7 is a schematic of a simulation circuit used in testing the circuit of Fig. 6. Figs. 8A-8C are charts illustrating measured values of various parameters of the circuit of Fig. 7. As illustrated in Fig. 8A for example which is a graph of the output voltage V4, from start up the output voltage V4 rises smoothly to the desired value and then remains at the desired value.

Fig. 9 is a chart illustrating the measured values of the gate-source voltages (VGS) for the high and low side switches of Fig. 7. As can be seen the gate-source voltages alternate between positive and negative values and thus are sufficient to turn the switches OFF when desired. In addition, the SWN of the circuit

of Fig. 7 is illustrated.

Although the present invention has been described in relation to particular embodiments thereof, many other variations and modifications and other uses will become apparent to those skilled in the art. It is preferred, therefore, that the present invention be limited not by the specific disclosure herein, but only by the appended claims.

3. BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 illustrates a driving circuit for use with a half bridge circuit utilizing bidirectional switching devices in accordance with an embodiment of the present application.

Fig. 2 is a schematic illustration of a simulation circuit used to simulate the circuit of Fig. 1.

Fig. 3 is a chart illustrating measured gate-source voltages of the switching devices illustrated in the simulation circuit of Fig. 2.

Fig. 4. Is a chart illustrating measure gate-source voltages of the switching devices and illustrating the dead time during which both switched are off of the circuit of Fig. 2.

Fig. 5 is a chart illustrating the gate-source voltage of the switches of Fig. 2 and the load voltage and current.

Fig. 6 illustrates a driving circuit for use with a half bridge circuit utilizing bidirectional switching devices in accordance with an embodiment of the present application.

Fig. 7 illustrates a schematic of a simulation circuit used to simulate the circuit of Fig. 6.

Figs. 8A-8C are charts illustrating simulated values of various parameters in the circuit of Fig. 7.

Fig. 9 is a chart illustrating measured values of the gate-source voltages of the switching devices in the simulation circuit of Fig. 7.

1. A driving circuit for a half bridge utilizing bidirectional semiconductor switches comprises:

- a high side driver operable to control a high side bidirectional semiconductor switch, wherein the high side driver provides a negative bias voltage to the high side bidirectional semiconductor switch to turn the high side bidirectional semiconductor switch OFF;

- a low side driver operable to control a low side bidirectional semiconductor switch;

- an external voltage source wherein the a negative terminal of the voltage source is connected to the high side driver; and

- a high side driving switch, positioned between the negative terminal of the voltage source and the high side driver and operable to connect the high side driver to the negative terminal of the voltage source when the low side driver turns the low side bidirectional semiconductor switch ON.

2. The driving circuit of claim 1, wherein the high side driver is controlled by a high side input control signal.

3. The driving circuit of claim 1, wherein the low side driver is controlled by a low side input control signal.

4. The driving circuit of claim 3, wherein the low side driver further comprises:

a first transistor;

a second transistor, wherein the first transistor and a second transistor are positioned as a push-pull pair and wherein the first and second transistors are turned ON and OFF based on the low side input control signal;

a power MOSFET placed in series with the low side bidirectional semiconductor switch; and

an output node positioned between the first and second transistors and connected to a gate of the power MOSFET, wherein when the voltage value of the output node turns the power MOSFET ON, the low side bidirectional semiconductor switch is ON and when the voltage value of the output node turns the power MOSFET OFF, the low side bidirectional semiconductor switch is OFF.

5. The driving circuit of claim 4, wherein the low side driver further comprises a desaturation control device coupled to the power MOSFET to ensure that the power MOSFET does not operate in saturation.

6. The driving circuit of claim 3, wherein the low side input control signal further controls the a high side driving switch, such that the negative terminal of the voltage source is connected to the high side driver when the low side bidirectional semiconductor switch is turned ON and wherein the negative voltage of the negative terminal is utilized to turn the high side bidirectional semiconductor switch OFF.

7. A driving circuit for a half bridge utilizing bidirectional semiconductor switches comprises:

a high side driver operable to control a high side bidirectional semiconductor switch, wherein the high side driver includes a linear regulator control device that selectively connects the high side driver to a lower rail of the half bridge; and

a low side driver operable to control a low side bidirectional semiconductor switch.

8. The driving circuit of claim 7, wherein the linear regulator control device connects the high side driver to the bottom rail of the half bridge when the high side bidirectional switch is ON and when a voltage across a capacitor across the high side driver rises above a threshold voltage, such that the high side driver applies a negative bias voltage to a gate of the high side bidirectional semiconductor device to turn it OFF.

9. The driving circuit of claim 8, wherein the linear regulator control device connects the high side driver to the bottom rail of the half bridge when the voltage across the capacitor drops below the threshold value.

10. The driving circuit of claim 7, wherein the low side driver further comprises:

a first transistor;

a second transistor, wherein the first transistor and a second transistor are

positioned as a push-pull pair and wherein the first and second transistors are turned ON and OFF based on the low side input control signal;

a power MOSFET placed in series with the low side bidirectional semiconductor switch; and

an output node positioned between the first and second transistors and connected to a gate of the power MOSFET, wherein when the voltage value of the output node turns the power MOSFET ON, the low side bidirectional semiconductor switch is ON and when the voltage value of the output node turns the power MOSFET OFF, the low side bidirectional semiconductor switch is OFF.

11. The driving circuit of claim 10, wherein the low side driver further comprises a desaturation control device coupled to the power MOSFET to ensure that the power MOSFET does not operate in saturation.

12. A bidirectional switching circuit comprising:

a high side bidirectional semiconductor switch;

a low side bidirectional semiconductor switch connected in series with the high side bidirectional semiconductor switch; and

a driving circuit in accordance with claim 7.

13. A bidirectional switching circuit comprising:

a high side bidirectional semiconductor switch;

a low side bidirectional semiconductor switch connected in series with the high side bidirectional semiconductor switch;

a high side driver operable to control the high side bidirectional semiconductor switch, wherein the high side driver provides a negative bias voltage to the high side bidirectional semiconductor switch to turn the high side bidirectional semiconductor switch OFF;

a low side driver operable to control the low side bidirectional semiconductor switch;

an external voltage source wherein a negative terminal of the voltage source is connected to the high side driver; and

a high side driving switch, positioned between the negative terminal of the voltage source and the high side driver and operable to connect the high side driver to the negative terminal of the voltage source when the low side driver turns the low side bidirectional semiconductor switch ON.

14. The bidirectional switching circuit of claim 13, wherein the high side driver is controlled by a high side input control signal.

15. The bidirectional switching circuit of claim 13, wherein the low side driver is controlled by a low side input control signal.

16. The bidirectional switching circuit of claim 15, wherein the low side driver further comprises:

a first transistor;

a second transistor, wherein the first transistor and a second transistor are positioned as a push-pull pair and wherein the first and second transistors are turned ON and OFF based on the low side input control signal;

a power MOSFET placed in series with the low side bidirectional semiconductor

switch; and

an output node positioned between the first and second transistors and connected to a gate of the power MOSFET, wherein when the voltage value of the output node turns the power MOSFET ON, the low side bidirectional semiconductor switch is ON and when the voltage value of the output node turns the power MOSFET OFF, the low side bidirectional semiconductor switch is OFF.

17. The bidirectional switching circuit of claim 16, wherein the low side driver further comprises a desaturation control device coupled to the power MOSFET to ensure that the power MOSFET does not operate in saturation.

18. The bidirectional switching device of claim 17, wherein the low side input control signal further controls the high side driving switch, such that the negative terminal of the voltage source is connected to the high side driver when the low side bidirectional semiconductor switch is turned ON and wherein the negative voltage of the negative terminal is utilized to turn the high side bidirectional semiconductor switch OFF.

1. ABSTRACT

A driving circuit for a half bridge utilizing bidirectional semiconductor switches in accordance with an embodiment of the present application includes a high side driver operable to control a high side bidirectional semiconductor switch, wherein the high side driver provides a negative bias voltage to the bidirectional semiconductor switch to turn the high side bidirectional semiconductor switch OFF. A low side driver may be operable to control a low side bidirectional semiconductor switch. An external voltage source with a negative terminal of the voltage source connected to the high side driver may be provided. A high side driving switch may be positioned between the negative terminal of the voltage source and the high side driver and operable to connect the high side driver to the negative terminal of the voltage source when the low side driver turns the low side bidirectional semiconductor switch ON.

2. REPRESENTATIVE DRAWING

Fig. 1

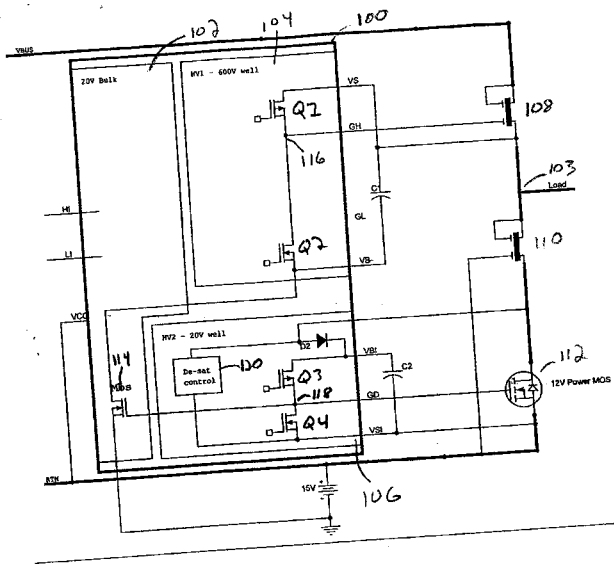


Fig. 1

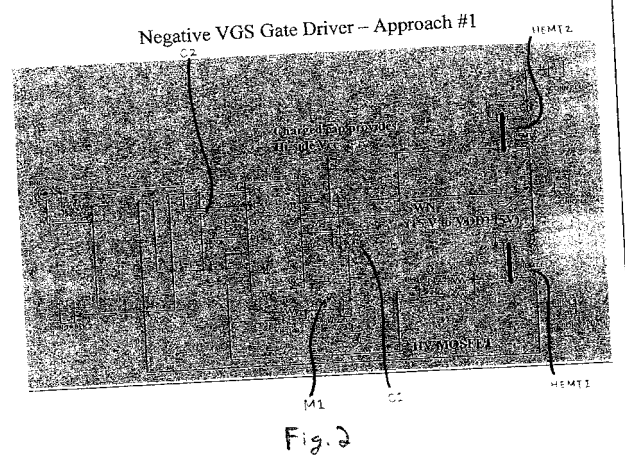


Fig. 2

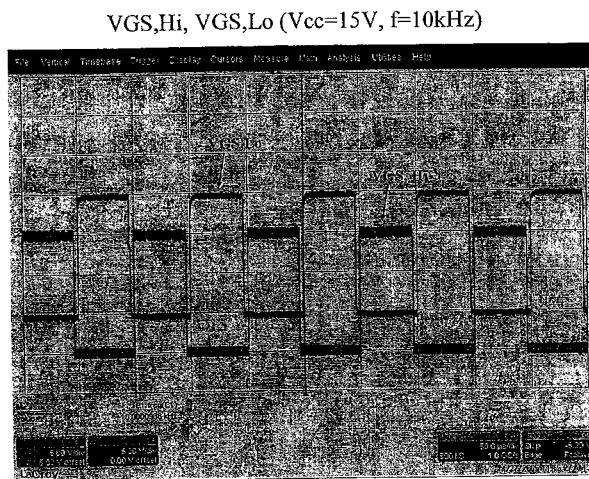


Fig 3

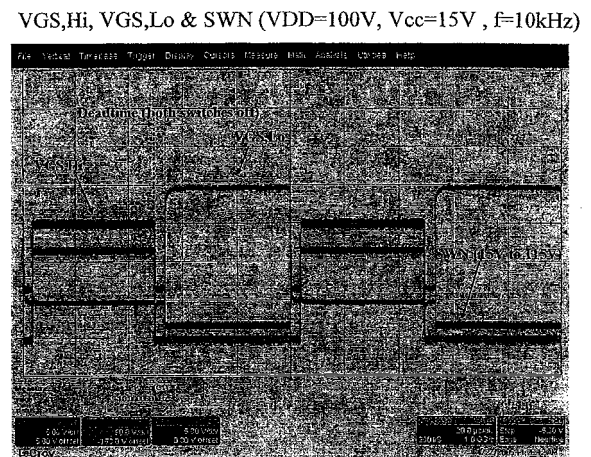


Fig. 4

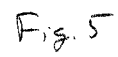


Fig. 8

[illegible]

Fig. 9