

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-104197
(P2012-104197A)

(43) 公開日 平成24年5月31日(2012.5.31)

(5) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C	5 J 1 0 6
H 0 3 L 7/081 (2006.01)	H 0 3 L 7/08 J	5 M 0 2 4
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 K	

審査請求 未請求 請求項の数 13 O L (全 16 頁)

(21) 出願番号 特願2010-252680 (P2010-252680)
(22) 出願日 平成22年11月11日 (2010.11.11)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100115738
弁理士 鷲頭 光宏
(74) 代理人 100121681
弁理士 緒方 和文
(74) 代理人 100130982
弁理士 黒瀬 泰之
(74) 代理人 100127199
弁理士 三谷 拓也
(72) 発明者 官野 和孝
東京都中央区八重洲二丁目2番1号エルピー
ダメモリ株式会社内

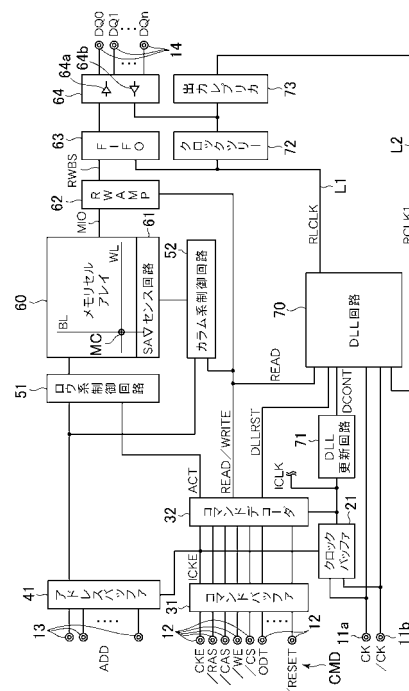
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】レプリカ回路の精度を抜本的に向上する。
【解決手段】半導体装置10は、少なくともフィードバッククロック信号RCLK1に基づいて外部クロック信号CK、/CKを遅延させてなる内部クロック信号RCLKを出力するDLL回路70と、内部クロック信号RCLKに同期してデータを出力する複数の出力バッファ64aと、出力バッファ64aのレプリカであり、内部クロック信号RCLKに同期してフィードバッククロック信号RCLK1を生成し、DLL回路70に供給する出力レプリカ73と、DLL回路70から内部クロック信号RCLKを受け、複数の出力バッファ64a及び出力レプリカ73に伝送するクロックツリー72とを備え、クロックツリー72は、それぞれDLL回路70から複数の出力バッファ64a及び出力レプリカ73に至る内部クロック信号RCLKの複数の伝送経路の信号線負荷が互いに実質的に等しくなるよう構成される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

少なくとも第 1 のフィードバッククロック信号に基づいて外部クロック信号を遅延させてなる内部クロック信号を出力する D L L 回路と、

複数のデータ入出力端子と、

前記複数のデータ入出力端子のそれぞれに、前記内部クロック信号に同期してデータを出力する複数の出力バッファと、

前記出力バッファのレプリカであり、前記内部クロック信号に同期して前記第 1 のフィードバッククロック信号を生成し、前記 D L L 回路に供給する第 1 のレプリカ回路と、

前記 D L L 回路から前記内部クロック信号を受け、前記複数の出力バッファ及び前記レプリカ回路に伝送するクロック伝送回路とを備え、

前記クロック伝送回路は、それぞれ前記 D L L 回路から前記複数の出力バッファ及び前記第 1 のレプリカ回路に至る前記内部クロック信号の複数の伝送経路の信号線負荷が互いに実質的に等しくなるよう構成される

ことを特徴とする半導体装置。

【請求項 2】

前記複数の出力バッファ及び前記第 1 のレプリカ回路は、前記第 1 のレプリカ回路を端として第 1 の方向に沿って一列に並んで配置され、

前記 D L L 回路は、前記第 1 のレプリカ回路の前記第 1 の方向の両側のうち、前記複数の出力バッファとは異なる側に配置される

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記クロック伝送回路は、前記複数の伝送経路に含まれるバッファの数が互いに等しくなるよう構成される

ことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記クロック伝送回路は、前記複数の伝送経路の経路長が互いに等しくなるよう構成される

ことを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記 D L L 回路は、

前記外部クロック信号を遅延させて前記内部クロック信号を生成する遅延回路と、

前記第 1 のフィードバッククロック信号のデューティ比を検出するデューティ比検出回路と、

前記外部クロック信号と前記第 1 のフィードバッククロック信号の位相差を検出する位相検出回路と、

前記デューティ比検出回路により検出された前記デューティ比及び前記位相検出回路により検出された位相差に基づいて前記遅延回路の遅延量を制御する遅延制御回路と

を有することを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記 D L L 回路は、

当該 D L L 回路から前記複数のデータ入出力端子のうちのひとつに至る前記内部クロック信号の伝送経路のレプリカであり、該内部クロック信号に同期して前記第 2 のフィードバッククロック信号を生成する第 2 のレプリカ回路と

前記外部クロック信号を遅延させて前記内部クロック信号を生成する遅延回路と、

前記第 1 のフィードバッククロック信号のデューティ比を検出するデューティ比検出回路と、

前記外部クロック信号と前記第 2 のフィードバッククロック信号の位相差を検出する位相検出回路と、

前記デューティ比検出回路により検出された前記デューティ比及び前記位相検出回

10

20

30

40

50

路により検出された位相差に基づいて前記遅延回路の遅延量を制御する遅延制御回路とを有することを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

【請求項 7】

第 1 のフィードバッククロック信号のデューティ比が所定値となるよう外部クロック信号を遅延させてなる内部クロック信号を出力する D L L 回路と、

複数のデータ入出力端子と、

前記複数のデータ入出力端子のそれぞれに、前記内部クロック信号に同期してデータを出力する複数の出力バッファと、

前記出力バッファのレプリカであり、前記内部クロック信号に同期して前記第 1 のフィードバッククロック信号を生成し、前記 D L L 回路に供給する第 1 のレプリカ回路と、

前記複数の出力バッファ及び前記レプリカ回路のそれぞれへ向けて分岐した伝送経路を有し、前記 D L L 回路から前記内部クロック信号を受け、前記伝送経路を用いて前記複数の出力バッファ及び前記レプリカ回路に伝送するクロック伝送回路と

を備えることを特徴とする半導体装置。

10

【請求項 8】

前記 D L L 回路は、前記外部クロック信号と前記第 1 のフィードバッククロック信号の位相が一致するよう、かつ前記第 1 のフィードバッククロック信号のデューティ比が前記所定値となるよう前記外部クロック信号を遅延させることにより、前記内部クロック信号を生成する

ことを特徴とする請求項 7 に記載の半導体装置。

20

【請求項 9】

前記 D L L 回路は、当該 D L L 回路から前記複数のデータ入出力端子のうちのひとつに至る前記内部クロック信号の伝送経路のレプリカであり、該内部クロック信号に同期して前記第 2 のフィードバッククロック信号を生成する第 2 のレプリカ回路を有し、

前記 D L L 回路は、前記外部クロック信号と前記第 2 のフィードバッククロック信号の位相が一致するよう、かつ前記第 1 のフィードバッククロック信号のデューティ比が前記所定値となるよう前記外部クロック信号を遅延させることにより、前記内部クロック信号を生成する

ことを特徴とする請求項 7 に記載の半導体装置。

30

【請求項 10】

前記クロック伝送回路は、前記複数の伝送経路に含まれるバッファの数が互いに等しくなるよう構成される

ことを特徴とする請求項 7 乃至 9 のいずれか一項に記載の半導体装置。

40

【請求項 11】

前記クロック伝送回路は、前記複数の伝送経路の経路長が互いに等しくなるよう構成される

ことを特徴とする請求項 7 乃至 10 のいずれか一項に記載の半導体装置。

【請求項 12】

前記クロック伝送回路は、それぞれ前記 D L L 回路から前記複数の出力バッファ及び前記第 1 のレプリカ回路に至る前記内部クロック信号の複数の伝送経路の信号線負荷が互いに実質的に等しくなるよう構成される

ことを特徴とする請求項 7 乃至 11 のいずれか一項に記載の半導体装置。

50

【請求項 13】

前記複数の出力バッファ及び前記第 1 のレプリカ回路は、前記第 1 のレプリカ回路を端として第 1 の方向に沿って一列に並んで配置され、

前記 D L L 回路は、前記第 1 のレプリカ回路の前記第 1 の方向の両側のうち、前記複数の出力バッファとは異なる側に配置される

ことを特徴とする請求項 7 乃至 12 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

50

【技術分野】**【0001】**

本発明は、半導体装置に関し、特にD L L (Delay-Locked Loop)回路を用いてクロック信号を生成する半導体装置に関する。

【背景技術】**【0002】**

近年、クロックに同期した動作を行う半導体装置が広く使用されている。例えば、パーソナルコンピュータなどのメインメモリとして用いられるD D R (Double Data Rate)型のシンクロナスメモリなどである。このような半導体装置では、リードデータの出力タイミングを外部クロック信号に対して同期させる必要があることから、外部クロック信号に同期した内部クロック信号を生成するためのD L L回路が用いられる。特許文献1には、このようなD L L回路の例が開示されている。

10

【0003】

D L L回路は、遅延回路を備えて構成されており、この遅延回路で外部クロック信号を遅延させることによって、内部クロック信号を生成する。生成された内部クロック信号は、クロック伝送回路を経て、リードデータの出力バッファに伝送される。出力バッファは、こうして供給される内部クロック信号に同期したタイミングで、リードデータの出力を行う。

【0004】

ここで、内部クロック信号は、D L L回路から出力バッファまでの伝送中に遅延し、さらに出力バッファ内部でも遅延することから、リードデータの出力タイミングを外部クロック信号に対して正確に同期させるためには、D L L回路において、これらの遅延分も考慮して内部クロック信号を生成する必要がある。そのために、D L L回路では、D L L回路から出力バッファまでの伝送経路と出力バッファとを擬したレプリカ回路が用いられる。

20

【0005】

レプリカ回路は、内部クロック信号に、実際の回路(D L L回路から出力バッファまでの伝送経路及び出力バッファ)と同量の遅延を与え、フィードバッククロック信号として出力する。D L L回路は、フィードバッククロック信号の立ち上がり位相が外部クロック信号の立ち上がり位相と一致し、かつフィードバッククロック信号のデューティー比が所定値(通常は50%)となるよう、遅延回路の遅延量を調節する。これにより、リードデータの出力タイミングと外部クロック信号との同期が実現されている。

30

【先行技術文献】**【特許文献】****【0006】**

【特許文献1】特開2001-332086号公報

【発明の概要】**【発明が解決しようとする課題】****【0007】**

ところで、近年、半導体装置の高速化がますます進み、リードデータの出力タイミングのずれに対する許容量が小さくなってきている。特にデューティー比については、わずか10 p s e c ~ 20 p s e c分のずれでも許容できなくなっている。

40

【0008】

しかしながら、D L L回路の精度には限界があり、上記のような高速化への対応は年々難しくなっている。D L L回路の精度限界の原因のひとつには、レプリカ回路の精度限界が挙げられる。レプリカ回路は、上述したようにD L L回路から出力バッファまでの伝送経路と出力バッファとを擬した回路であるが、あくまで擬しただけであって同じ回路ではないため、リードデータの出力タイミングと完全に同期したフィードバッククロック信号を生成することはできない。従来、テスト段階でのレプリカ回路の微調整によって何とかレプリカ回路の精度の向上が図られてきたが、微調整による精度向上は最早限界に近づい

50

ており、抜本的な改善が求められている。

【課題を解決するための手段】

【0009】

本発明による半導体装置は、少なくとも第1のフィードバッククロック信号に基づいて外部クロック信号を遅延させてなる内部クロック信号を出力するDLL回路と、複数のデータ入出力端子と、前記複数のデータ入出力端子のそれぞれに、前記内部クロック信号に同期してデータを出力する複数の出力バッファと、前記出力バッファのレプリカであり、前記内部クロック信号に同期して前記第1のフィードバッククロック信号を生成し、前記DLL回路に供給する第1のレプリカ回路と、前記DLL回路から前記内部クロック信号を受け、前記複数の出力バッファ及び前記レプリカ回路に伝送するクロック伝送回路とを備え、前記クロック伝送回路は、それぞれ前記DLL回路から前記複数の出力バッファ及び前記第1のレプリカ回路に至る前記内部クロック信号の複数の伝送経路の信号線負荷が互いに実質的に等しくなるよう構成されることを特徴とする。

10

【0010】

本発明の他の一側面による半導体装置は、第1のフィードバッククロック信号のデューティ比が所定値となるよう外部クロック信号を遅延させてなる内部クロック信号を出力するDLL回路と、複数のデータ入出力端子と、前記複数のデータ入出力端子のそれぞれに、前記内部クロック信号に同期してデータを出力する複数の出力バッファと、前記出力バッファのレプリカであり、前記内部クロック信号に同期して前記第1のフィードバッククロック信号を生成し、前記DLL回路に供給する第1のレプリカ回路と、前記複数の出力バッファ及び前記レプリカ回路のそれぞれへ向けて分岐した伝送経路を有し、前記DLL回路から前記内部クロック信号を受け、前記伝送経路を用いて前記複数の出力バッファ及び前記レプリカ回路に伝送するクロック伝送回路とを備えることを特徴とする。

20

【発明の効果】

【0011】

本発明によれば、内部クロック信号の伝送経路のうち、DLL回路からクロック伝送回路に至るまでの部分については、実際の回路を用いて第1のフィードバッククロック信号を生成することになる。したがって、背景技術に比べ、レプリカ回路の精度を抜本的に向上することが可能になっている。

【0012】

また、クロック伝送回路内においては、出力バッファと第1のレプリカ回路とで、内部クロック信号の伝送経路の信号線負荷が互いに実質的に等しくなる。これにより、レプリカ回路の精度をさらに向上することが可能になっている。

30

【図面の簡単な説明】

【0013】

【図1】本発明の好ましい第1の実施の形態による半導体装置の全体構成を示すブロック図である。

【図2】本発明の好ましい第1の実施の形態によるDLL回路の回路構成を示す図である。

【図3】本発明の好ましい第1の実施の形態によるDLLリセットコマンドDLLRST、DLL更新信号DCONT、リードコマンドREAD、停止指示信号STP、及び内部クロック信号RLCLKのタイミングチャートである。

40

【図4】本発明の好ましい第1の実施の形態による半導体装置の平面図である。

【図5】本発明の好ましい第1の実施の形態によるクロックツリーの回路構成を示す回路図である。

【図6】本発明の好ましい第2の実施の形態によるDLL回路の回路構成を示す図である。

【発明を実施するための形態】

【0014】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する

50

。

【 0 0 1 5 】

図 1 は、本発明の好ましい第 1 の実施の形態による半導体装置 1 0 の全体構成を示すブロック図である。

【 0 0 1 6 】

本実施形態による半導体装置 1 0 は D D R 型の S D R A M (Synchronous Dynamic Random Access Memory) であり、外部端子として、クロック端子 1 1 a , 1 1 b、コマンド端子 1 2、アドレス端子 1 3、及びデータ入出力端子 1 4 を備えている。その他、電源端子やデータストロープ端子なども備えられているが、これらについては図示を省略してある。

【 0 0 1 7 】

クロック端子 1 1 a , 1 1 b は、それぞれ外部クロック信号 C K , / C K が供給される端子であり、供給された外部クロック信号 C K , / C K は、クロックバッファ 2 1 及び D L L 回路 7 0 に供給される。本明細書において信号名の先頭に「 / 」が付されている信号は、対応する信号の反転信号又はローアクティブな信号であることを意味する。したがって、外部クロック信号 C K , / C K は互いに相補の信号である。クロックバッファ 2 1 は、外部クロック信号 C K , / C K に基づいて単相の内部クロック信号 I C L K を生成し、これを D L L 更新回路 7 1 や図示しないその他の回路に供給する。

【 0 0 1 8 】

D L L 回路 7 0 は、外部クロック信号 C K , / C K を受けて、外部クロック信号 C K , / C K に対して位相制御され、かつデューティ制御された内部クロック信号 R L C L K を生成するクロック生成回路である。生成された内部クロック信号 R L C L K は、伝送経路 L 1 を通って、 F I F O 6 3 及びクロックツリー 7 2 (クロック伝送回路) に供給される。このうちクロックツリー 7 2 は、供給された内部クロック信号 R L C L K を入出力バッファ 6 4 及び出力レプリカ 7 3 に分配する回路である。D L L 回路 7 0 及びクロックツリー 7 2 の詳細については後述する。

【 0 0 1 9 】

D L L 更新回路 7 1 は、内部クロック信号 I C L K の所定クロック数ごとに D L L 更新信号 D C O N T を生成し、D L L 回路 7 0 に供給する回路である。したがって、D L L 更新信号 D C O N T は、一定周期で活性化される周期信号である。D L L 更新信号 D C O N T の詳細についても後述する。

【 0 0 2 0 】

コマンド端子 1 2 は、クロックイネーブル信号 C K E、ロウアドレスストロープ信号 / R A S、カラムアドレスストロープ信号 / C A S、ライトイネーブル信号 / W E、チップセレクト信号 / C S、オンダイターミネーション信号 O D T、リセット信号 / R E S E T などの各種コマンド信号 C M D が供給される端子である。これらのコマンド信号 C M D は、コマンドバッファ 3 1 に供給される。コマンドバッファ 3 1 に供給されたこれらコマンド信号 C M D は、整形されてコマンドデコーダ 3 2 に供給される。クロックイネーブル信号 C K E については、内部クロッククロックイネーブル信号 I C K E として、クロックバッファ 2 1 及びアドレスバッファ 4 1 にも供給される。クロックバッファ 2 1 及びアドレスバッファ 4 1 は、内部クロッククロックイネーブル信号 I C K E が活性化されている場合にのみ動作する。

【 0 0 2 1 】

コマンドデコーダ 3 2 は、コマンド信号 C M D の保持、デコード及びカウントなどを行うことによって各種内部コマンドを生成する回路である。これら内部コマンドには、アクティブコマンド A C T、リードコマンド R E A D、ライトコマンド W R I T E などメモリのリード/ライトに関わる各種コマンドに加え、リセット信号 / R E S E T が入力されたことに応じて生成される D L L リセットコマンド D L L R S T が含まれる。生成された内部コマンドのうち、アクティブコマンド A C T はロウ系制御回路 5 1 に、リードコマンド R E A D 及びライトコマンド W R I T E はカラム系制御回路 5 2 及びリードライトアンプ (R W A M P) 6 2 に、D L L リセットコマンド D L L R S T は D L L 回路 7 0 に、

10

20

30

40

50

それぞれ供給される。リードコマンド READ は、リード動作開始時に一時的に活性化されるワンショットのものと、リード動作中継続して活性化されるものを含んでおり、後者は D L L 回路 7 0 にも供給される。

【 0 0 2 2 】

アドレス端子 1 3 は、アドレス信号 A D D が供給される端子であり、供給されたアドレス信号 A D D は、アドレスバッファ 4 1 に供給される。アドレスバッファ 4 1 に供給されたアドレス信号 A D D はラッチされ、さらに、ロウアドレスについてはロウ系制御回路 5 1 に供給され、カラムアドレスについてはカラム系制御回路 5 2 に供給される。また、モードレジスタセットにエントリしている場合には、アドレス信号 A D D は図示しないモードレジスタに供給され、これによってモードレジスタの内容が更新される。

10

【 0 0 2 3 】

ロウ系制御回路 5 1 は、アドレスバッファ 4 1 より供給されるロウアドレスに基づいて、メモリセルアレイ 6 0 に含まれるいずれかのワード線 W L を選択する回路である。メモリセルアレイ 6 0 内においては、複数のワード線 W L と複数のビット線 B L が交差しており、その交点にはメモリセル M C が配置されている（図 1 では、1 本のワード線 W L 、1 本のビット線 B L 及び 1 個のメモリセル M C のみを示している）。ビット線 B L は、センス回路 6 1 内の対応するセンスアンプ S A に接続されている。

【 0 0 2 4 】

カラム系制御回路 5 2 は、センス回路 6 1 に含まれるいずれかのセンスアンプ S A を選択する回路である。カラム系制御回路 5 2 によって選択されたセンスアンプ S A は、メイン I / O 線 M I O を介してリードライトアンプ 6 2 に接続される。

20

【 0 0 2 5 】

リード動作時においては、センスアンプ S A によって増幅されたリードデータ D Q はリードライトアンプ 6 2 でさらに増幅され、F I F O 6 3 及び入出力バッファ 6 4 を経て、データ入出力端子 1 4 から外部に出力される。一方、ライト動作時においては、データ入出力端子 1 4 を通じて外部から入力されたライトデータ D Q は、F I F O 6 3 及び入出力バッファ 6 4 を経てリードライトアンプ 6 2 に入力され、増幅されたうえでセンスアンプ S A に供給される。

【 0 0 2 6 】

データ入出力端子 1 4 は、リードデータ D Q の出力及びライトデータ D Q の入力を行うための端子である。半導体装置 1 0 には $n + 1$ 個 ($n = 0$) のデータ入出力端子 1 4 が設けられ、 $n + 1$ ビットのデータを同時に入力又は出力可能とされている。 n は 7 又は 1 5 である場合が多く、本明細書では $n = 7$ を前提として説明を続ける。

30

【 0 0 2 7 】

F I F O 6 3 はリードデータ D Q 又はライトデータ D Q のキューイングを行う先入れ先出しの回路であり、データ入出力端子 1 4 ごとに設けられる。リード動作時に着目して説明すると、リードライトアンプ 6 2 から出力されたリードデータは、図示しないマルチプレクサによってデータ入出力端子 1 4 ごとに振り分けられ、対応する F I F O 6 3 にキューイングされる。F I F O 6 3 は、キューイングしたデータを内部クロック信号 R L C L K に同期したタイミングで、入出力バッファ 6 4 に出力する。

40

【 0 0 2 8 】

入出力バッファ 6 4 は、それぞれデータ入出力端子 1 4 ごとに設けられた出力バッファ 6 4 a 及び入力バッファ 6 4 b を有して構成される。リード動作時に着目して説明すると、出力バッファ 6 4 a は、対応する F I F O 6 3 から出力されたリードデータを整形し、内部クロック信号 R L C L K に同期したタイミングで、対応するデータ入出力端子 1 4 から外部に出力する。

【 0 0 2 9 】

半導体装置 1 0 では、入出力バッファ 6 4 に隣接する位置に、出力バッファ 6 4 a のレプリカである出力レプリカ 7 3 (第 1 のレプリカ回路) が設けられる。レプリカとは、対象回路と実質的に等しい信号線負荷を有する回路をいう。信号線負荷は、信号線を通す

50

る信号に与えられる負荷であり、信号線上に設けられるバッファ（トランジスタ）の数や、各トランジスタのプロファイル、信号線の長さ及び幅などによって決まる。信号線負荷が実質的に等しい2つの回路に同一のクロック信号を入力した場合、それぞれから出力されるクロック信号の遅延量の差は、DLL回路70の要求精度から見て無視できる程度に小さくなる。出力レプリカ73は、クロックツリー72から供給される内部クロック信号RCLKに同期してフィードバッククロック信号RCLK1（第1のフィードバッククロック信号）を生成し、伝送経路L2を介して、DLL回路70に出力する。

【0030】

以上が本実施の形態による半導体装置10の全体構成である。次に、DLL回路70及びこれに係わる各種の構成について、詳細に説明する。

10

【0031】

図2は、本実施の形態によるDLL回路70の回路構成を示す図である。本実施の形態によるDLL回路70は、同図に示すように、遅延回路80、遅延制御カウンタ81（遅延制御回路）、位相検知回路82（位相検出回路）、DCC(Duty Correction Circuit)83（デューティ比検出回路）、及びDLL制御回路84を有して構成される。DLL回路70の内部には、フィードバッククロック信号RCLK1を生成するためのレプリカ回路は設けられていない。その代わりに、上述したように、図1に示した出力レプリカ73によってフィードバッククロック信号RCLK1が生成される。DLL回路70は、出力レプリカ73からフィードバッククロック信号RCLK1の供給を受け、これに基づいて外部クロック信号CK、/CKを遅延させることにより、内部クロック信号RCLKを生成する。以下、回路ごとに詳しく説明する。

20

【0032】

遅延回路80は、外部クロック信号CK、/CKを遅延させることによって単相の内部クロック信号RCLKを生成するディレイラインによって構成され、その遅延量は遅延制御カウンタ81によって調整される。特に限定されるものではないが、遅延回路80には、相対的に粗い調整ピッチで外部クロック信号CK、/CKを遅延させるコースディレイラインと、相対的に細かい調整ピッチで外部クロック信号CK、/CKを遅延させるファインディレイラインを含んでいることが好ましい。

【0033】

位相検知回路82は、外部クロック信号CK、/CK及びフィードバッククロック信号RCLK1を受けてこれらの位相差を検出し、外部クロック信号CK、/CKに対してフィードバッククロック信号RCLK1の位相が進んでいるか或いは遅れているかを判定する回路である。判定結果は、判定結果信号D1として遅延制御カウンタ81に出力される。

30

【0034】

DCC83は、フィードバッククロック信号RCLK1を受けてそのデューティ比を検出し、検出したデューティ比が所定値（例えば50%）に比べて大きい小さいかを判定する回路である。判定結果は、判定結果信号D2として遅延制御カウンタ81に出力される。

【0035】

遅延制御カウンタ81は、判定結果信号D1、D2に基づいて、遅延回路80の遅延量を制御する回路である。具体的には、遅延制御カウンタ81は第1及び第2のカウンタ（不図示）を有しており、判定結果信号D1に基づいて第1のカウンタのカウントアップ又はカウントダウンを行うとともに、判定結果信号D2に基づいて第2のカウンタのカウントアップ又はカウントダウンを行う。なお、遅延制御カウンタ81によるカウントアップ及びカウントダウンは、外部クロック信号CK、/CKに同期して行うこととしてもよいし、外部クロック信号CK、/CKの分周クロックを生成し、この分周クロックに同期して行うこととしてもよい。

40

【0036】

第1のカウンタのカウント値COUNT1、第2のカウンタのカウント値COUNT2

50

は、それぞれ遅延回路 80 に供給される。遅延回路 80 は、これらのカウント値 C O U N T 1 , C O U N T 2 に基づく遅延量で、外部クロック信号 C K , / C K を遅延させる。具体的には、遅延回路 80 は、カウント値 C O U N T 1 に基づいて内部クロック信号 R L C L K の立ち上がり位相の遅延量を選択するとともに、カウント値 C O U N T 2 に基づいて内部クロック信号 R L C L K の立ち下がり位相の遅延量を選択する。前者によって、リードデータの立ち上がり位相が外部クロック信号 C K , / C K と同期し、後者によって、リードデータのデューティ比が上記所定値となる。

【 0 0 3 7 】

遅延制御カウンタ 81 は、カウント値 C O U N T 1 , C O U N T 2 に基づいて当該 D L L 回路 70 がロックしたか否かを判定する機能も有している。ロックしたと判定した場合、遅延制御カウンタ 81 は停止指示信号 S T P を所定時間だけ活性化する。

10

【 0 0 3 8 】

ロックしたか否かの判定動作について詳しく説明する。D L L 回路 70 がロック状態になると、フィードバッククロック信号 R C L K 1 の立ち上がり位相と外部クロック信号 C K , / C K の立ち上がり位相とが実質的に一致し、かつフィードバッククロック信号 R C L K 1 のデューティ比が予め定められた目標値と実質的に一致することになる。「実質的に一致する」とは、完全に一致している場合の値を挟んで揺らいでいる場合を含むという意味である。この場合、カウント値 C O U N T 1 , C O U N T 2 はそれぞれ、隣接する 2 つの値の間を行ったり来たりするようになる。遅延制御カウンタ 81 は、カウント値 C O U N T 1 , C O U N T 2 の変化パターンを検出できるように構成されており、カウント動作を開始した後、2 つのカウント値 C O U N T 1 , C O U N T 2 がともに上記のように 2 つの値の間を行ったり来たりする変化パターンを呈した場合に、D L L 回路 70 がロックしたと判定する。

20

【 0 0 3 9 】

D L L 制御回路 84 は、上述した D L L リセットコマンド D L L R S T , D L L 更新信号 D C O N T , リードコマンド R E A D , 及び停止指示信号 S T P を受け、これらに基づいて遅延回路 80 を動作させる。

【 0 0 4 0 】

図 3 は、D L L リセットコマンド D L L R S T , D L L 更新信号 D C O N T , リードコマンド R E A D , 停止指示信号 S T P , 及び内部クロック信号 R L C L K のタイミングチャートである。同図に示すように、D L L リセットコマンド D L L R S T , D L L 更新信号 D C O N T , 及び停止指示信号 S T P は、所定時間だけ一時的に活性化されるワンショット信号である。D L L 制御回路 84 は、D L L リセットコマンド D L L R S T 及び D L L 更新信号 D C O N T が活性化すると、その後停止指示信号 S T P が活性化されるまでの間、つまり、D L L 回路 70 がロックされるまでの間、遅延回路 80 を動作させる。このような D L L リセットコマンド D L L R S T 及び D L L 更新信号 D C O N T に基づく D L L 回路 70 の動作は、内部クロック信号 R L C L K の位相及びデューティ比が、好ましい値から極端にずれてしまうことのないよう行われるものである。

30

【 0 0 4 1 】

一方、リードコマンド R E A D は、上述したようにリード動作中継続して活性化される信号である。D L L 制御回路 84 は、リードコマンド R E A D が活性化されている間、遅延回路 80 を動作させる。これにより、D L L 回路 70 は、リード動作中継続してロック状態に維持される。

40

【 0 0 4 2 】

次に、本発明の特徴である、レプリカ回路の精度を抜本的に向上するための構成について、詳細に説明する。

【 0 0 4 3 】

図 1 に示したように、半導体装置 10 においてフィードバッククロック信号 R C L K 1 を生成するための回路は、D L L 回路 70 からクロックツリー 72 に至る伝送経路 L 1 , クロックツリー 72 , 出力レプリカ 73 , 及び出力レプリカ 73 から D L L 回路 70 に至

50

る伝送経路 L 2 によって構成される。

【 0 0 4 4 】

このうち、伝送経路 L 1 はレプリカ回路と実際の回路とで共通である。したがって、ここではフィードバッククロック信号 R C L K 1 と内部クロック信号 R L C L K との間に遅延量の差は生じない。

【 0 0 4 5 】

クロックツリー 7 2 内での遅延については、クロックツリー 7 2 内の回路構成を工夫することにより、遅延量の差が出ないようにしている。この点については、後に詳しく説明する。

【 0 0 4 6 】

出力レプリカ 7 3 内での遅延については、上述したように出力バッファ 6 4 a と実質的に等しい信号線負荷を有するように出力レプリカ 7 3 を構成していることから、遅延量の差は問題とならないレベルである。なお、出力レプリカ 7 3 は出力バッファ 6 4 a のみのレプリカであることから、伝送経路も含めたレプリカである背景技術のレプリカ回路に比べ、遅延量の差を低減することは容易である。また、後述するように、出力レプリカ 7 3 は出力バッファ 6 4 a に隣接して配置されており、このことによっても出力レプリカ 7 3 と出力バッファ 6 4 a との差は最小化されている。

【 0 0 4 7 】

伝送経路 L 2 での遅延については、伝送経路 L 2 が可能な限り短くなるよう各回路の配置を工夫することにより、遅延量の差を問題とならないレベルまで減らしている。この点についても、後に詳しく説明する。

【 0 0 4 8 】

さて、まず初めに、伝送経路 L 2 について説明する。図 4 は、半導体装置 1 0 の平面図である。同図に示すように、半導体装置 1 0 では、4 つのメモリセルアレイ 6 0 がマトリクス状に配置されており、図示した y 方向に並ぶ 2 つのメモリセルアレイ 6 0 の間の領域に、クロック端子 1 1 a , 1 1 b 、コマンド端子 1 2 、アドレス端子 1 3 、及びデータ入出力端子 1 4 が一列に配置される。

【 0 0 4 9 】

出力バッファ 6 4 a 及び出力レプリカ 7 3 は、図 2 に示すように、出力レプリカ 7 3 を端として x 方向に沿って一列に並んで配置される。このような配置を採用することで、出力バッファ 6 4 a と出力レプリカ 7 3 とを、同一基板表面の狭い領域内に同時に形成することが可能になる。したがって、出力バッファ 6 4 a と出力レプリカ 7 3 をほぼ同一の条件で形成できるので、これらの信号線負荷を高い精度で一致させることが可能になる。

【 0 0 5 0 】

D L L 回路 7 0 は、出力レプリカ 7 3 の x 方向の両側のうち、出力バッファ 6 4 a とは異なる側に配置される。さらに、D L L 回路 7 0 は、できるだけ出力レプリカ 7 3 に近づけて、別の言葉でいえば出力レプリカ 7 3 と隣接して、配置される。このような配置を採用したことにより、半導体装置 1 0 では、伝送経路 L 2 が図 4 に示すように極めて短くなっている。したがって、伝送経路 L 2 での遅延を、D L L 回路 7 0 の精度の観点から見て無視してよいレベルまで減らすことが実現されている。

【 0 0 5 1 】

図 5 に示すクロックツリー 7 2 の内部構造（バッファの配置）は、発明の主旨に合うように想像してこちらで作成したものです。不適當であればご指摘ください。

次に、クロックツリー 7 2 について説明する。図 5 は、クロックツリー 7 2 の回路構成を示す回路図である。同図に示すように、クロックツリー 7 2 は、分岐点 N 1 を D L L 回路 7 0 との接続点とし、そこから 2 段目の分岐点 N 2 , N 3 及び 3 段目の分岐点 N 4 ~ N 7 を経て各出力バッファ 6 4 a まで、各分岐点で互いに等距離の 2 本の経路に分岐することによって延設された伝送経路を有している。これにより、一列に並べて配置された 8 個の出力バッファ 6 4 a それぞれに対し、互いに等しい経路長で内部クロック信号 R L C L K を伝送することが実現されている。分岐点間には、信号波形を整形するためのバッファ

10

20

30

40

50

が設けられる。

【0052】

出力レプリカ73への伝送経路は、出力レプリカ73に隣接する出力バッファ64aへの伝送経路を図示した分岐点N8で分岐させることにより、確保している。分岐点N8は、分岐点N4と、分岐点N4と出力バッファ64aの間に設けられるバッファとの間に設けられており、分岐点N8と出力レプリカ73の間にも、信号波形を整形するためのバッファが設けられる。

【0053】

クロックツリー72を以上のように構成したことにより、それぞれDLL回路70から各出力バッファ64a及び出力レプリカ73に至る内部クロック信号RLCLKの複数の伝送経路の信号線負荷が、互いに実質的に等しくなっている。つまり、配線長は若干異なるものの、信号線負荷に大きな影響を与えるバッファの数が各出力バッファ64aと出力レプリカ73とで等しくなっているため、各伝送経路の信号線負荷は実質的に等しいと言える。

10

【0054】

なお、伝送経路の経路長を、複数の出力バッファ64a及び出力レプリカ73の間で互いに等しくしてもよいことはもちろんである。これは、例えば各伝送経路に経路長を調整するための迂回部分を設けることなどによって実現できる。

【0055】

以上説明したように、本実施の形態による半導体装置10によれば、内部クロック信号RLCLKの伝送経路のうち、DLL回路70からクロックツリー72に至るまでの伝送経路L1については、実際の回路を用いてフィードバッククロック信号RCLK1を生成することになる。したがって、背景技術に比べ、レプリカ回路の精度を抜本的に向上することが可能になっている。

20

【0056】

また、クロックツリー72内においては、出力バッファ64aと出力レプリカ73とで、内部クロック信号RLCLKの伝送経路の信号線負荷が互いに実質的に等しくなる。これにより、レプリカ回路の精度をさらに向上することが可能になっている。

【0057】

さらに、出力バッファ64a、出力レプリカ73、DLL回路70をこの順で一列に並べて配置したことで、出力レプリカ73の信号性負荷と出力バッファ64aの信号性負荷とを高い精度で一致させることが可能になっているとともに、伝送経路L2での遅延を、DLL回路70の精度の観点から見て無視してよいレベルに抑えることが可能になっている。

30

【0058】

図6は、本発明の好ましい第2の実施の形態による半導体装置10に含まれるDLL回路70の回路構成を示すブロック図である。同図に示すように、本実施の形態による半導体装置10は、DLL回路70の内部構成の点で、第1の実施の形態による半導体装置10と相違している。具体的には、第1の実施の形態で説明したフィードバッククロック信号RCLK1（第1のフィードバッククロック信号）はデューティ比の検出のみに用い、位相差の検出には背景技術と同様のレプリカ回路（DLL回路70の内部に設置されるレプリカ回路）を用いる。その他の点は第1の実施の形態で説明したとおりであるため、第1の実施の形態と同一の構成には同一の符号を付し、以下では相違点を中心に詳しく説明する。

40

【0059】

本実施の形態によるDLL回路70は、図6に示すように、第1の実施の形態で説明した各回路に加え、レプリカクロックツリー85と、出力レプリカ86とを有する。レプリカクロックツリー85は、図1に示した伝送経路L1及びクロックツリー72のレプリカであり、出力レプリカ86は、図1に示した出力レプリカ73と同様の出力バッファ64aのレプリカである。レプリカクロックツリー85及び出力レプリカ86により、DLL

50

70から複数のデータ入出力端子14のうちの一つに至る内部クロック信号RCLKの伝送経路のレプリカ回路(第2のレプリカ回路)が構成される。レプリカクロックツリー85及び出力レプリカ86は、遅延回路80の出力端子近傍から内部クロック信号RCLKを取り出し、この内部クロック信号RCLKに同期してフィードバッククロック信号RCLK2(第2のフィードバッククロック信号)を生成する。

【0060】

位相検知回路82には、フィードバッククロック信号RCLK1に代えてフィードバッククロック信号RCLK2が入力される。したがって、位相検知回路82は、外部クロック信号CK、/CKとフィードバッククロック信号RCLK2の位相差を検出し、外部クロック信号CK、/CKに対してフィードバッククロック信号RCLK2の位相が進んでいるか或いは遅れているかを判定する。判定結果信号D1は、この判定結果を示す信号となる。

10

【0061】

以上説明したように、本実施の形態では、位相差の検出にはフィードバッククロック信号RCLK2が用いられる。これにより、位相差の検出精度が伝送経路L2での遅延によって左右されることを防止できる。軽減される。以下、詳しく説明する。

【0062】

デューティ比は、立ち上がり位相と立ち下がり位相の時間差により決まるので、伝送経路L2での伝送中にデューティ比が変化することは通常ない。したがって、フィードバッククロック信号RCLK1が伝送経路L2を通過したからといって、DCC83によるデューティ比の検出結果が影響を受けることはない。

20

【0063】

一方、位相差は、フィードバッククロック信号RCLK1の立ち上がり位相の絶対時間により決まるので、伝送経路L2での伝送中に多少なりとも変化する。したがって、第1の実施の形態では、フィードバッククロック信号RCLK1が伝送経路L2を通過することが、位相検知回路82による位相差の検出精度に影響を及ぼす。

【0064】

これに対し、本実施の形態では、フィードバッククロック信号RCLK1はDCC83によるデューティ比の検出用としてのみ用いられ、位相検知回路82による位相差の検出には、DLL回路70に閉じて生成されたフィードバッククロック信号RCLK2が用いられる。したがって、位相差の検出精度が伝送経路L2での遅延によって左右されることが防止される。

30

【0065】

なお、本実施の形態では、位相差の検出用に背景技術と同様のレプリカ回路を用いていることから、第1の実施の形態で説明したようなレプリカ回路の精度の抜本的な向上は、デューティ比のみについて適用され、位相差には適用されない。しかしながら、上述したように、少なくとも現時点では、半導体装置の高速化の影響を受けて特に要求精度が厳しくなっているのはデューティ比である。したがって、デューティ比についてレプリカ回路の精度を抜本的に改善できれば、発明の効果は十分に得られると言える。

【0066】

位相差に関して第1の実施の形態と第2の実施の形態のいずれを選択するのかについては、伝送経路L2での遅延による精度悪化分と、DLL回路70内に設置したレプリカ回路と実際の回路とでの遅延量の差による精度悪化分とを、実際の測定結果などに基づいて比較衡量し、位相差検出の精度がよりよくなる方を選択すればよい。

40

【0067】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0068】

例えば、上記実施の形態では、位相とデューティ比の両方を制御するDLL回路に本発

50

明を適用した例を取り上げて説明したが、いずれか一方のみを制御するD L L回路にも本発明は適用可能である。なお、本発明は、デューティ比を制御するD L L回路に特に好適である。

【0069】

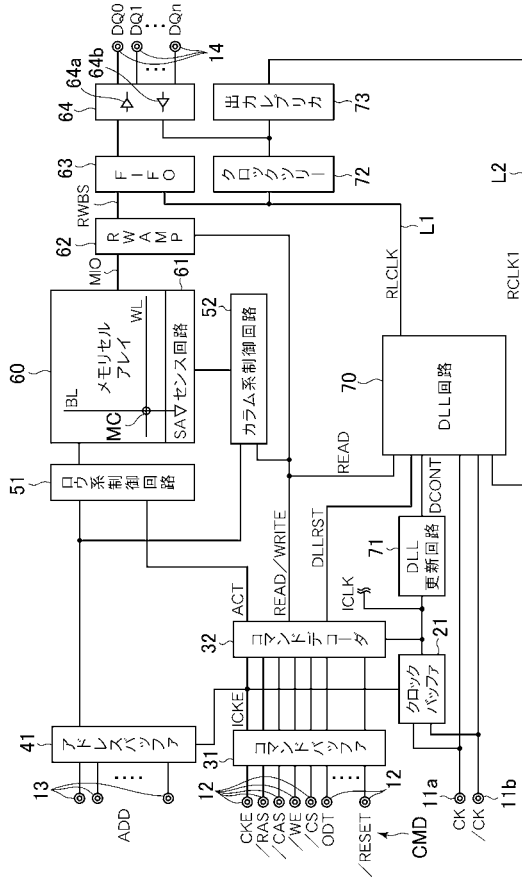
また、上記実施の形態では、S D R A Mに本発明を適用した例を取り上げたが、本発明は、外部クロック信号に同期したリードデータ出力を行う半導体装置であれば、メモリ用、ロジック用を問わず広く適用可能である。

【符号の説明】

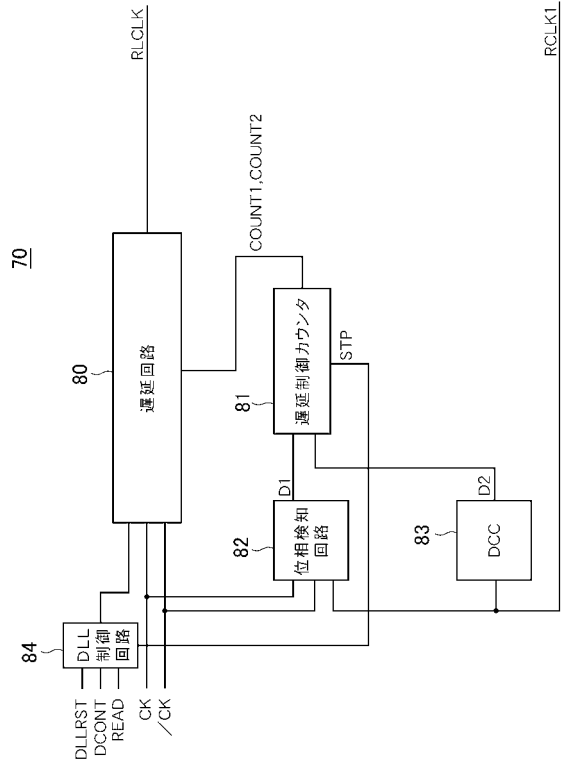
【0070】

10	半導体装置	10
11 a , 11 b	クロック端子	
12	コマンド端子	
13	アドレス端子	
14	データ入出力端子	
21	クロックバッファ	
31	コマンドバッファ	
32	コマンドデコーダ	
41	アドレスバッファ	
51	ロウ系制御回路	
52	カラム系制御回路	20
60	メモリセルアレイ	
61	センス回路	
62	リードライトアンプ	
64	入出力バッファ	
64 a	出力バッファ	
64 b	入力バッファ	
70	D L L回路	
71	D L L更新回路	
72	クロックツリー(クロック伝送回路)	
73	出力レプリカ(第1のレプリカ回路)	30
80	遅延回路	
81	遅延制御カウンタ(遅延制御回路)	
82	位相検知回路(位相検出回路)	
83	D C C(デューティ比検出回路)	
84	D L L制御回路	
85	レプリカクロックツリー(第2のレプリカ回路)	
86	出力レプリカ(第2のレプリカ回路)	
C K , / C K	外部クロック信号	
C O U N T 1 , C O U N T 2	カウント値	
D 1 , D 2	判定結果信号	40
D C O N T	更新信号	
D L L R S T	リセットコマンド	
L 1	伝送経路	
L 2	伝送経路	
R C L K 1	第1のフィードバッククロック信号	
R C L K 2	第2のフィードバッククロック信号	
R E A D	リードコマンド	
R L C L K	内部クロック信号	
S T P	停止指示信号	

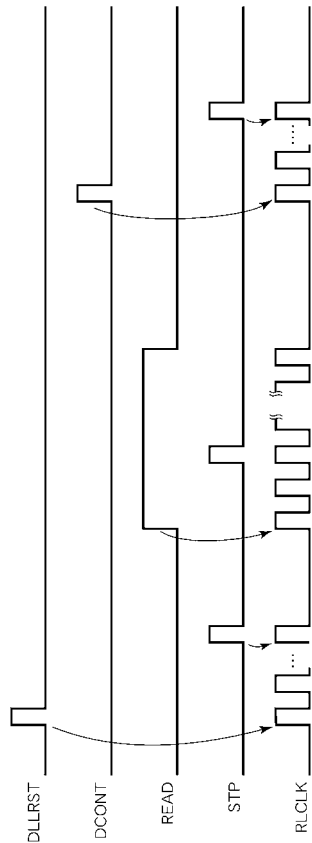
【図 1】



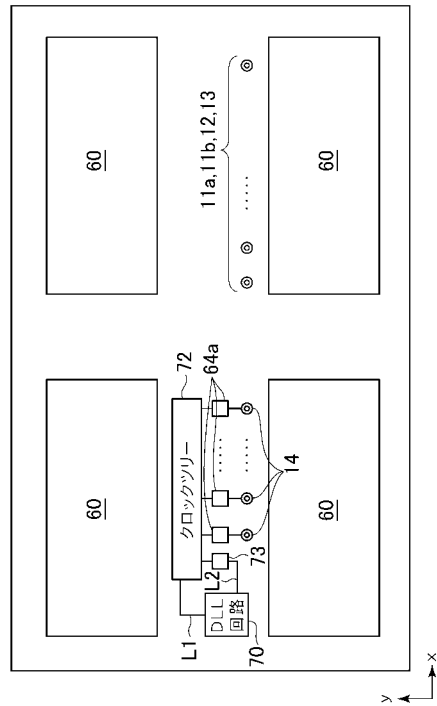
【図 2】



【図 3】



【図 4】



フロントページの続き

Fターム(参考) 5J106 CC21 CC48 CC59 DD19 DD24 FF07 FF08 GG10 GG13 HH02
KK05 KK37
5M024 AA36 BB33 BB35 DD89 JJ02 JJ03 JJ32 JJ34 JJ38 JJ58
LL06 LL15 PP01 PP02