



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I727684 B

(45)公告日：中華民國 110 (2021) 年 05 月 11 日

(21)申請案號：109106681

(22)申請日：中華民國 99 (2010) 年 11 月 25 日

(51)Int. Cl. : **H01L21/768 (2006.01)****H01L21/28 (2006.01)**

(30)優先權：2009/12/04 日本

2009-276004

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：須澤英臣 SUZAWA, HIDEOMI (JP)；倉田求 KURATA, MOTOMU (JP)；三上真
弓 MIKAMI, MAYUMI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200941724A

US 2007/0102818A1

審查人員：湯欽全

申請專利範圍項數：9 項 圖式數：28 共 116 頁

(54)名稱

半導體元件、半導體裝置、及其製造方法

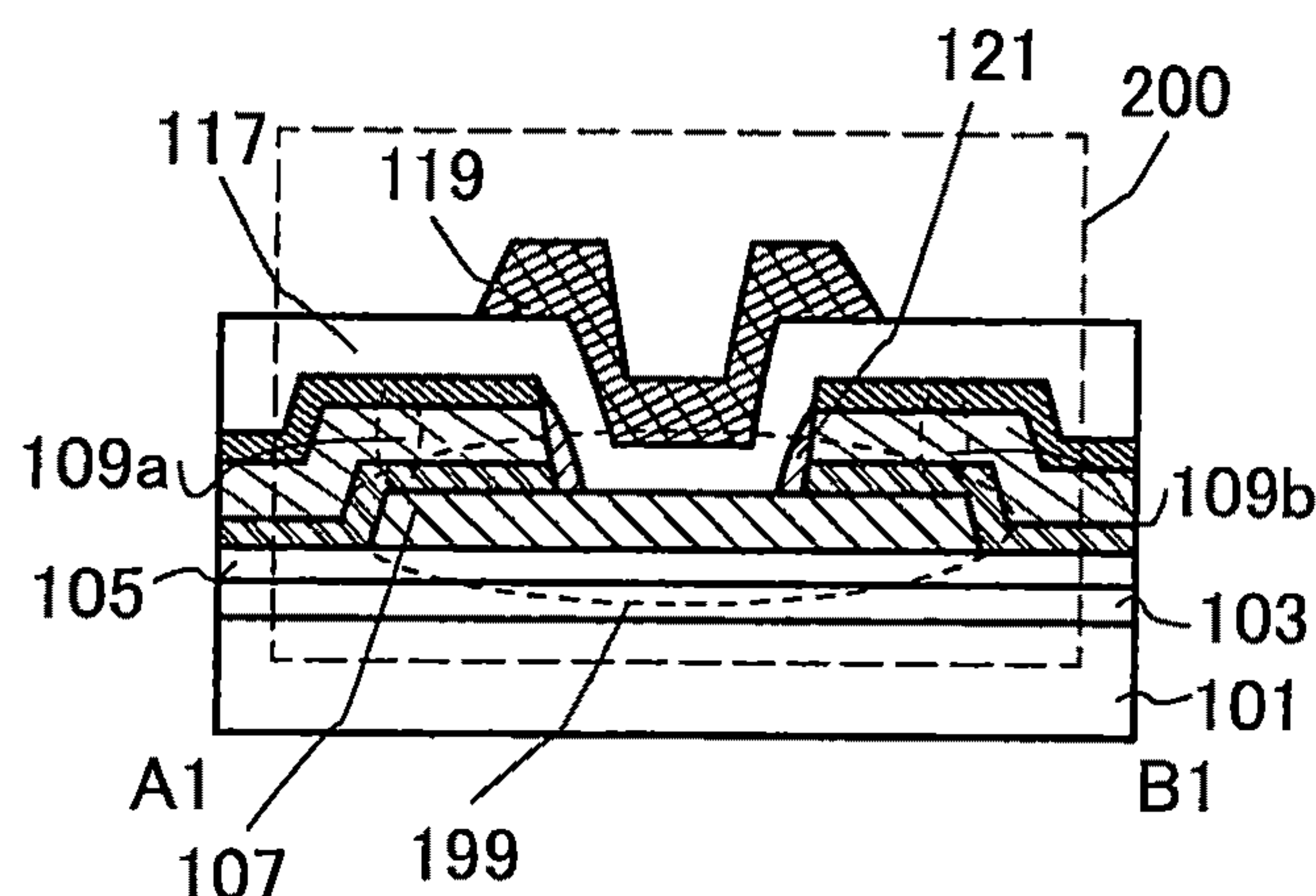
(57)摘要

該半導體元件包括絕緣表面上之氧化物半導體層；該氧化物半導體層上之源極電極層及汲極電極層；該氧化物半導體層、該源極電極層及該汲極電極層上之閘極絕緣層；及該閘極絕緣層上之閘極電極層。該源極電極層及該汲極電極層具有與該氧化物半導體層之頂面接觸的側壁。

The semiconductor element includes an oxide semiconductor layer on an insulating surface; a source electrode layer and a drain electrode layer over the oxide semiconductor layer; a gate insulating layer over the oxide semiconductor layer, the source electrode layer, and the drain electrode layer; and a gate electrode layer over the gate insulating layer. The source electrode layer and the drain electrode layer have sidewalls which are in contact with a top surface of the oxide semiconductor layer.

指定代表圖：

圖 1B



符號簡單說明：

101:基板

103:第一絕緣層

105:第二絕緣層

107:氧化物半導體層

109a:源極電極層

109b:汲極電極層

117:閘極絕緣層

119:閘極電極層

121:側壁

I727684

TW I727684 B

199:虛線部分

200:電晶體

I727684

發明摘要

【發明名稱】(中文/英文)

半導體元件、半導體裝置、及其製造方法

SEMICONDUCTOR ELEMENT, SEMICONDUCTOR DEVICE, AND
METHOD FOR MANUFACTURING THE SAME

【中文】

該半導體元件包括絕緣表面上之氧化物半導體層；該氧化物半導體層上之源極電極層及汲極電極層；該氧化物半導體層、該源極電極層及該汲極電極層上之閘極絕緣層；及該閘極絕緣層上之閘極電極層。該源極電極層及該汲極電極層具有與該氧化物半導體層之頂面接觸的側壁。

【英文】

The semiconductor element includes an oxide semiconductor layer on an insulating surface; a source electrode layer and a drain electrode layer over the oxide semiconductor layer; a gate insulating layer over the oxide semiconductor layer, the source electrode layer, and the drain electrode layer; and a gate electrode layer over the gate insulating layer. The source electrode layer and the drain electrode layer have sidewalls which are in contact with a top surface of the oxide semiconductor layer.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

101：基板

103：第一絕緣層

105：第二絕緣層

107：氧化物半導體層

109a：源極電極層

109b：汲極電極層

117：閘極絕緣層

119：閘極電極層

121：側壁

199：虛線部分

200：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體元件、半導體裝置、及其製造方法

SEMICONDUCTOR ELEMENT, SEMICONDUCTOR DEVICE, AND
METHOD FOR MANUFACTURING THE SAME

【技術領域】

本發明關於包括氧化物半導體之半導體元件，及包括該半導體元件之半導體裝置。本發明關於例如包括半導體積體電路做為元件之電子裝置。此外，本發明關於半導體元件及半導體裝置之製造方法。

在本說明書中，「半導體裝置」係指藉由利用半導體特性而可運作之所有類型裝置，且電光裝置、半導體電路、電子元件及電子裝置均包括於半導體裝置之種類中。

【先前技術】

近年來，半導體裝置已發展而做為 LSI、CPU 或記憶體。CPU 為半導體元件之集合，各具為連接端子之電極，並包括與半導體晶圓區隔之半導體積體電路（包括至少電晶體及記憶體）。

諸如 LSI、CPU 或記憶體之半導體電路（IC 晶片）安裝於電路板上，例如印刷佈線板，做為各類電子裝置之一元件。

此外，已發展出可傳輸及接收資料之半導體裝置。該等半導體裝置稱為無線標籤、RFID 標籤等。該些實務上在許多情況下包括使用天線及半導體基板形成之半導體電路（IC 晶片）。

矽基半導體材料已知做為可用於電晶體之半導體材料；然而，氧化物半導體則以做為其他材料引起注意。有關用於氧化物半導體之材料，已知氧化鋅及包含氧化鋅做為成分之材料。此外，揭露包括具有低於 $10^{18}/\text{cm}^3$ 之電子載子濃度的非結晶氧化物（氧化物半導體）之電晶體（專利文獻 1 至 3）。

[參考]

[專利文獻 1] 日本公開專利申請案 No. 2006-165527

[專利文獻 2] 日本公開專利申請案 No. 2006-165528

[專利文獻 3] 日本公開專利申請案 No. 2006-165529

【發明內容】

藉由減少半導體元件之通道長度 L 而微型化半導體元件，提供做為一種方式以提升電路操作速度，及降低使用包括氧化物半導體之半導體元件而製造之半導體積體電路的電力消耗。

形成於氧化物半導體層上之源極電極層與汲極電極層之間的空間需減少，以減少包括氧化物半導體之頂閘半導體元件的通道長度 L ，而使半導體元件微型化。然而，經

由光學處理所減少源極電極層與汲極電極層之間的空間有限。為此原因，難以製造小型半導體元件。

鑑於前述，本發明之一實施例之目標為提供包括氧化物半導體之頂閘半導體元件，其具有短通道長度 L ，並可微型化。此外，本發明之一實施例之目標為提供該半導體元件之製造方法。

此外，本發明之一實施例之目標為提升電路操作速度，此外藉由使用具有諸如 LSI、CPU 或記憶體之半導體積體電路中短通道長度 L 的小型半導體元件，而降低電力消耗。

此外，本發明之一實施例之目標為提供高度可靠半導體元件及包括該半導體元件之半導體裝置，藉由改進閘極絕緣層對於源極電極層及汲極電極層之覆蓋，以避免閘極電極層與源極電極層或汲極電極層之間短路。

在包括氧化物半導體之頂閘半導體元件中，提供用於源極電極層及汲極電極層之側壁，藉此半導體元件可具有短通道長度 L ，並可小巧。此外，具有短通道長度 L 之小型半導體元件用於諸如 LSI、CPU 或記憶體之半導體積體電路中，藉此可提升電路操作速度，此外可降低電力消耗。

此外，提供用於包括氧化物半導體之頂閘半導體元件中源極電極層及汲極電極層之側壁，使得源極電極層及汲極電極層之側面成錐形；因而，可改進閘極絕緣層之覆蓋，及可避免閘極電極層與源極電極層或汲極電極層之間

短路。因此，可製造高度可靠半導體元件。

藉由使用氧化物半導體層，其具有大能隙，且其中藉由移除諸如氫及濕氣之雜質而充分降低氫濃度並提升純度，可製造關閉狀態電流小之正常關半導體元件。使用半導體元件，使其可體現半導體裝置，其因洩漏電流之電力消耗小。

本發明之一實施例為半導體元件。該半導體元件包括絕緣表面上之氧化物半導體層；氧化物半導體層上之源極電極層及汲極電極層；氧化物半導體層、源極電極層及汲極電極層上之閘極絕緣層；及閘極絕緣層上之閘極電極層。源極電極層及汲極電極層具有側壁，接觸氧化物半導體層之頂面。

本發明之一實施例為半導體元件。該半導體元件包括絕緣表面上之氧化物半導體層，及氧化物半導體層上之源極電極層及汲極電極層。源極電極層包括第一源極電極層上之第一源極電極層及第二源極電極層。汲極電極層包括第一汲極電極層上之第一汲極電極層及第二汲極電極層。提供用於第二源極電極層之側壁接觸第一源極電極層之頂面。提供用於第二汲極電極層之側壁接觸第一汲極電極層之頂面。該半導體元件亦包括氧化物半導體層、源極電極層、汲極電極層及側壁上之閘極絕緣層，及閘極絕緣層上之閘極電極層。第一源極電極層延伸超出第二源極電極層邊緣，及第一汲極電極層延伸超出第二汲極電極層邊緣。

基於任一上述結構，可達成至少一項上述目標。

導電層可形成於氧化物半導體層之下。本發明之半導體元件具有另一結構，其中導電層係提供於絕緣表面之上，及覆蓋導電層之第一絕緣層係提供於每一上述結構中，導電層與氧化物半導體層重疊，且第一絕緣層插於其間。

為降低寄生電容，本發明之半導體元件具有另一結構，其中在每一上述結構中，閘極絕緣層及第二絕緣層係提供於閘極電極層與源極電極層或汲極電極層之間。換言之，在半導體元件中，源極電極層或汲極電極層與閘極電極層之一部分重疊，且閘極絕緣層及第二絕緣層插於其間。藉由於閘極電極層與源極電極層或汲極電極層之間提供閘極絕緣層及第二絕緣層，閘極電極層與源極電極層之間空間，或閘極電極層與汲極電極層之間空間提升，藉此可降低寄生電容。

當提供第二絕緣層以便源極電極層及汲極電極層具有錐形形狀時，諸如第二絕緣層相對於源極電極層或汲極電極層之選擇比等蝕刻狀況需予以控制，此造成藉由蝕刻之處理困難。除非源極電極層及汲極電極層為錐形，否則將產生堆疊於上之閘極絕緣層覆蓋減少之問題。然而，在依據本發明之一實施例的半導體元件中，側壁提供於源極電極層及汲極電極層之側面，此提供源極電極層及汲極電極層錐形形狀；因而，源極電極層及汲極電極層之邊緣不需處理而具有錐形形狀。因此，半導體元件可易於製造。

在每一上述結構中，氧化物半導體層中載子濃度較佳

地低於 $1 \times 10^{12}/\text{cm}^3$ 。此外，在每一上述結構中，半導體元件之關閉狀態電流較佳地低於 $1 \times 10^{-13} \text{ A}$ 。

本發明之一實施例為包括具有每一上述結構之半導體元件的半導體裝置。

此外，可藉由組合各包括氫濃度充分降低之氧化物半導體層的複數半導體元件，而製造半導體電路。有關半導體電路，例如可形成 EDMOS 電路。半導體裝置包括 EDMOS 電路，其於絕緣表面上包括具第一氧化物半導體層之第一半導體元件，及具第二氧化物半導體層之第二半導體元件。第一氧化物半導體層及第二氧化物半導體層具有低於 $1 \times 10^{12}/\text{cm}^3$ 之載子濃度。

此處，EDMOS 電路係指包括增強型電晶體及空乏型電晶體組合之反相器電路。

除了 LSI、CPU 或記憶體以外，可使用具有每一上述結構之半導體元件，而製造電源電路、傳輸及接收電路、音頻處理電路之放大器、顯示部之驅動電路、控制器、音頻處理電路之轉換器等。

複數半導體積體電路可安裝於一組件上，以提升半導體裝置之密度，其係所謂 MCP（多晶片組件）。

此外，若半導體積體電路安裝於電路板上，半導體積體電路可以面朝上狀態或倒裝晶片狀態（面朝下狀態）安裝。

本發明之一實施例為半導體元件之製造方法。此方法包括以下步驟：於絕緣表面上形成氧化物半導體層；於氧

化物半導體層上形成源極電極層及汲極電極層；形成膜，做為氧化物半導體層、源極電極層及汲極電極層上之側壁；藉由蝕刻該膜做為側壁，而形成源極電極層及汲極電極層之側壁，並與氧化物半導體層之頂面接觸；於氧化物半導體層、源極電極層、汲極電極層及側壁之上形成閘極絕緣層；及於閘極絕緣層之上形成閘極電極層。

本發明之一實施例為半導體元件之製造方法。此方法包括以下步驟：於絕緣表面上形成氧化物半導體層；於氧化物半導體層上形成第一導電膜及第二導電膜；藉由蝕刻第二導電膜而形成第二源極電極層及第二汲極電極層；形成膜，做為第一導電膜、第二源極電極層及第二汲極電極層上之側壁；藉由蝕刻該膜做為側壁，而形成第二源極電極層及第二汲極電極層之側壁；藉由使用側壁做為遮罩，蝕刻第一導電膜，而形成第一源極電極層及第一汲極電極層；於氧化物半導體層、第一源極電極層、第二源極電極層、第一汲極電極層、第二汲極電極層及側壁之上形成閘極絕緣層；及於閘極絕緣層之上形成閘極電極層。第一源極電極層延伸超出第二源極電極層邊緣。第一汲極電極層延伸超出第二汲極電極層邊緣。側壁接觸第一源極電極層或第一汲極電極層頂面。

本發明之一實施例為在每一上述結構中半導體元件之製造方法，包括以下步驟：於絕緣表面上形成導電層；形成覆蓋導電層之絕緣層；及形成與導電層重疊之氧化物半導體層，且絕緣層插於其間。

請注意，在本說明書中，「通道長度 L 」係指閘極電極層之底面與氧化物半導體層重疊之區域中，連接源極電極層及汲極電極層之方向的長度。

在本說明書等中，在元件之間的位置關係說明中，「之上」與「之下」用詞並不一定分別表示「直接之上」及「直接之下」。例如，「閘極絕緣層上之閘極電極層」的表示並未排除另一元件插於閘極絕緣層與閘極電極層之間的狀況。此外，「之上」與「之下」用詞僅為說明方便而使用。除非特別指明，包括其位置交換之狀況。

此外，在本說明書等中，諸如「電極」或「佈線」用詞並不侷限元件之功能。例如，「電極」有時用做「佈線」之一部分，反之亦然。此外，名詞「電極」或「佈線」可包括以積體方式形成複數「電極」或「佈線」之狀況。

例如，當使用相反極性之電晶體，或當電路操作中電流流動方向改變，「源極」與「汲極」之功能有時彼此替代。因此，「源極」與「汲極」用詞在本說明書中可彼此替代。

依據本發明之一實施例，可藉由提供用於源極電極層及汲極電極層之側壁，而可提供包括氧化物半導體層之頂閘半導體元件，其具有短通道長度 L 並可微型化。此外，依據本發明之一實施例，可提供半導體元件之製造方法。

此外，依據本發明之一實施例之具有短通道長度 L 的小型半導體元件，用於諸如 LSI、CPU 或記憶體之半導體

積體電路，藉此可提升電路操作速度，此外可降低電力消耗。

此外，在依據本發明一實施例之半導體元件中，於源極電極層及汲極電極層側面上提供側壁，其提供源極電極層及汲極電極層錐形形狀；因而，可改進閘極絕緣層之覆蓋，及可避免閘極電極層與源極電極層或汲極電極層之間短路。因此，可製造高度可靠半導體元件。

【圖式簡單說明】

圖 1A 至 1D 為俯視圖及截面圖，描繪本發明之一實施例。

圖 2A 至 2D 為截面圖，描繪本發明之一實施例之製造方法。

圖 3A 至 3F 為截面圖，描繪本發明之一實施例之製造方法。

圖 4 為等效電路圖，描繪本發明之一實施例。

圖 5A 及 5B 為截面圖，描繪本發明之一實施例。

圖 6A 及 6B 為截面圖及俯視圖，描繪本發明之一實施例。

圖 7 為包括氧化物半導體之頂閘電晶體的截面圖。

圖 8 為能帶圖（示意圖），描繪沿圖 7 中線 A-A'之截面。

圖 9A 及 9B 為沿圖 7 中線 B-B'之能帶圖。

圖 10 顯示真空位準與金屬之功函數（ ϕ_M ）之間關

係，及真空位準與氧化物半導體之電子親和性 (χ) 之間關係。

圖 11 描繪熱載子注入矽 (Si) 所需能量。

圖 12 描繪熱載子注入 In-Ga-Zn-O 基氧化物半導體 (IGZO) 所需能量。

圖 13 描繪熱載子注入碳化矽 (4H-SiC) 所需能量。

圖 14 顯示短通道效應之計算結果 (裝置模擬)。

圖 15 顯示短通道效應之計算結果 (裝置模擬)。

圖 16 顯示 C-V 特性。

圖 17 顯示 V_g 與 $(1/C)^2$ 之間關係。

圖 18 為方塊圖，描繪本發明之一實施例。

圖 19 描繪半導體裝置。

圖 20A 及 20B 各描繪半導體裝置。

圖 21A 至 21C 描繪半導體裝置。

圖 22 描繪半導體裝置。

圖 23A 至 23C 描繪半導體裝置。

圖 24A 及 24B 為等效電路圖，描繪本發明之一實施例。

圖 25A 及 25B 為等效電路圖，描繪本發明之一實施例。

圖 26 為等效電路圖，描繪本發明之一實施例。

圖 27A 至 27E 描繪電子裝置之範例。

圖 28A 及 28B 為截面圖，各描繪本發明之一實施例。

【實施方式】

以下，將參照圖式詳細說明本發明之實施例。然而，本發明不侷限於以下說明，且熟悉本技藝之人士易於理解到在不偏離本發明之精神及範圍下，此間所揭露之模式及細節可以各式方式修改。此外，本發明不解譯為侷限於實施例之說明。

請注意，圖式等中所描繪之每一元件的位置、尺寸、範圍等，有時為求易於理解並非精準表示。因此，本發明所揭露者不必要侷限於圖式等中所描繪之每一元件的位置、尺寸、範圍等。

在本說明書等中，諸如「第一」、「第二」及「第三」之序數，係用於避免元件間混淆，且此用詞並非表示元件數量之限制。

（實施例 1）

在本實施例中，將說明依據本發明之一實施例之半導體元件的截面結構範例。

將參照圖 1A 至 1D 及圖 28A 及 28B 說明本實施例之半導體元件。圖 1A 為本發明之一實施例之半導體元件的俯視圖。圖 1B 為沿圖 1A 中線 A1-B1 之截面圖。圖 1C 及 1D 為圖 1B 中虛線部分 199 之放大圖。此外，圖 28A 及 28B 各描繪本發明之一實施例之半導體元件的截面結構範例。圖 1A 至 1D 中所描繪之電晶體 200、圖 28A 中所描

繪之電晶體 201、及圖 28B 中所描繪之電晶體 300，為頂閘電晶體。

圖 1A 及 1B 中所描繪之電晶體 200 包括具有絕緣表面之基板 101 上之第一絕緣層 103、第二絕緣層 105、氧化物半導體層 107、源極電極層 109a、汲極電極層 109b、側壁 121、閘極絕緣層 117 及閘極電極層 119。

電晶體 200 包括源極電極層 109a 及汲極電極層 109b 之側壁 121。側壁 121 之底面接觸氧化物半導體層 107 之頂面。經由光學處理，源極電極層 109a 與汲極電極層 109b 之間空間減少有限。然而，當側壁 121 提供於藉由各向異性蝕刻之空間時，可降低位於源極電極層 109a 與汲極電極層 109b 之間之一部分閘極電極層 119 的寬度；因而，可製造具有短通道長度 L 之小型電晶體。通道長度 L 的減少可能造成短通道效應。本實施例之後將說明包括氧化物半導體之電晶體中短通道效應。

請注意，在本說明書中「通道長度 L 」係指閘極電極層之底面與氧化物半導體層重疊之區域中，連接源極電極層及汲極電極層方向之長度（圖 1C）。

在電晶體 200 中，側壁係提供於源極電極層及汲極電極層之側面，其提供源極電極層及汲極電極層錐形形狀；因而，可改進閘極絕緣層之覆蓋，及可避免閘極電極層與源極電極層或汲極電極層之間短路。因而，電晶體 200 可為高度可靠。

當使用絕緣材料形成側壁 121 時，如圖 1C 中所描繪

提供補償區 L_{off} 。在此狀況下，補償區 L_{off} 係指通道長度 L 與源極電極層或汲極電極層邊緣與氧化物半導體層重疊之區域 A 之間的區域。補償區 L_{off} 之提供增加了閘極電極層與源極電極層或汲極電極層之間的距離，使得可進一步避免電極之間發生短路。此外，可減少閘極電極層與源極電極層或汲極電極層之間的寄生電容。

相反地，若使用導電材料形成側壁 121，側壁 121 便做為一部分源極電極層或汲極電極層；因而，可減少補償區 L_{off} （圖 1D）。在此狀況下，補償區 L_{off} 係藉由通道長度 L 與側壁 121 底面與氧化物半導體層重疊之區域 B 之間的距離定義。因而，可體現高開啟狀態電流及高移動性。

換言之，藉由改變用於側壁 121 之材料，可增加及減少補償區 L_{off} 。

此外，電晶體 200 包括純化氧化物半導體層 107 做為通道區。包括具有大能隙之純化氧化物半導體的電晶體 200，具有小關閉狀態電流，且為正常關電氣特性（即，當閘極電壓為 0 V 時，電流未流經源極電極與汲極電極之間），此外具有電晶體特性之小溫度相依性。例如，若汲極電壓 V_d 為 +1 V 或 +10 V，當閘極電壓 V_g 為正，汲極電流 I_d 為充分高，且當閘極電壓 V_g 介於 -5 V 至 -20 V，汲極電流可低於或等於 1×10^{-13} A。

請注意，氫濃度充分降低且純度提升之氧化物半導體層 107 中載子濃度為低於 $1 \times 10^{12}/\text{cm}^3$ ，較佳地為低於或等

於 $1 \times 10^{11}/\text{cm}^3$ ，更佳地為低於或等於 $1.45 \times 10^{10}/\text{cm}^3$ 。本實施例中之後將說明用於計算載子濃度之方法。

氧化物半導體層 107 之能隙為大於或等於 2.0 eV，較佳地為大於或等於 2.5 eV，更佳地為大於或等於 3.0 eV。之後將說明與具有大能隙之其他材料的比較。此外，包括被純化且具有低載子濃度之氧化物半導體的電晶體，對於熱載子惡化具有高耐受性。此將於之後具體說明。

如上述，藉由使用具有大能隙且氫濃度充分降低及純度提升之氧化物半導體層 107，製造正常關電晶體 200，使得可體現具有新穎結構之半導體裝置。

圖 28A 中所描繪之電晶體 201，於具有絕緣表面之基板 101 上，包括電極層 102、第一絕緣層 103、第二絕緣層 105、氧化物半導體層 107、源極電極層 109a、汲極電極層 109b、側壁 121、閘極絕緣層 117 及閘極電極層 119。

換言之，電晶體 201 具有一種結構，其中電極層 102 添加至電晶體 200。

電極層 102 係提供於電晶體 201 之氧化物半導體層 107 之下，可做為背閘。背閘之電位可為固定電位，例如 0 V 或接地電位，並可由從業者酌情決定。藉由於氧化物半導體層之上或之下提供閘極電極，在用於測試電晶體可靠性之偏壓溫度壓力測試（以下稱為 BT 測試）中，可降低 BT 測試之前及之後電晶體之閾值電壓的改變量。換言之，於氧化物半導體層之上或之下提供閘極電極，使得以

改進可靠性。

此外，可藉由控制應用於電極層 102 之閘極電壓，而控制閾值電壓。藉由設定閾值電壓為正，電晶體可做為增強型電晶體。另一方面，藉由設定閾值電壓為負，電晶體可做為空乏型電晶體。

例如，包括增強型電晶體及空乏型電晶體組合之反相器電路（EDMOS 反相器電路；以下簡稱為 EDMOS 電路），可用於驅動電路。驅動電路包括至少邏輯電路部及開關部或緩衝器部。邏輯電路部具有包括上述 EDMOS 電路之電路結構。此外，大開啟狀態電流可流動之電晶體較佳地用於開關部或緩衝器部。使用空乏型電晶體，或於氧化物半導體層之上及之下包括閘極電極之電晶體。

此外，可在未顯著增加製造步驟數量下，於一基板上製造具有不同結構之電晶體。例如，於高速驅動之積體電路中，如圖 28A 及 28B 中所描繪，可使用於氧化物半導體層之上及之下包括閘極電極之電晶體，形成 EDMOS 電路，及可於另一區域中，如圖 1A 至 1D 中所描繪，形成僅於氧化物半導體層之上包括閘極電極之電晶體。

請注意，在本說明書中，閾值電壓為正之 n 通道電晶體定義為增強型電晶體，同時閾值電壓為負之 n 通道電晶體定義為空乏型電晶體。

圖 28B 中所描繪之電晶體 300，於具有絕緣表面之基板 301 之上，包括第一絕緣層 303、第二絕緣層 305、氧化物半導體層 307、源極電極層（第一源極電極層 309a

及第二源極電極層 311a)、汲極電極層(第一汲極電極層 309b 及第二汲極電極層 311b)、第三絕緣層 315、側壁 321、閘極絕緣層 317 及閘極電極層 319。

電晶體 300 包括第二源極電極層 311a 及第二汲極電極層 311b 之側壁 321。側壁 321 之底面接觸第一源極電極層 309a 及第一汲極電極層 309b 之頂面。電晶體 300 包括側壁 321，使得電晶體具有短通道長度 L 。通道長度 L 減少可能造成短通道效應。本實施例之後將說明包括氧化物半導體之電晶體中短通道效應。

電晶體 300 包括第三絕緣層 315。第三絕緣層 315 之提供，允許閘極電極層 319 與第二源極電極層 311a 之間，或閘極電極層 319 與第二汲極電極層 311b 之間，寄生電容減少。同時，當提供第三絕緣層 315 時，為使第二源極電極層 311a 及第二汲極電極層 311b 具有錐形形狀，需控制蝕刻狀況，諸如第三絕緣層 315 相對於第二源極電極層 311a 或第二汲極電極層 311b 之選擇比，此使得藉由蝕刻之處理困難。除非第二源極電極層 311a 及第二汲極電極層 311b 為錐形，堆疊於上之閘極絕緣層 317 之覆蓋降低的問題將產生。然而，在依據本發明之一實施例的電晶體中，於第二源極電極層 311a 及第二汲極電極層 311b 之側面提供側壁 321，此提供源極電極層 311a 及汲極電極層 311b 錐形形狀；因而，第二源極電極層 311a 及第二汲極電極層 311b 之邊緣不需處理而具有錐形形狀。因此，可輕易地製造電晶體。

電晶體 300 與電晶體 200 及 201 不同，其中補償區 L_{off} 並非取決於用於側壁之材料，而是由閘極絕緣層之厚度決定。

如上述，藉由移除氧化物半導體中雜質至極低程度，其可為載子供體（供體或受體），被製成本質或實質上本質之氧化物半導體用於本實施例之電晶體中。

以下將簡要說明純化氧化物半導體及製造本質氧化物半導體（i 型）之重要性、使用氧化物半導體製造半導體裝置之優點等。

<製造本質氧化物半導體>

請注意，儘管已實施氧化物半導體屬性之大量研究，諸如狀態之密度（DOS），但並不包括充分降低本身定域態之觀念。依據本發明所揭露之一實施例，純化氧化物半導體係藉由移除氧化物半導體之水或氫而予形成，此可能造成定域態。此係基於充分降低本身定域態之觀念，並使其可製造卓越的產業產品。

請注意，移除氫、水等，有時亦移除氧。因此，較佳的是藉由供應氧至因缺氧而形成之金屬懸鍵，氧化物半導體進一步純化（製成 i 型），使得以降低由缺氧造成之定域態。例如，由缺氧造成之定域態可以下列方式降低：形成與通道形成區緊密接觸之具有過量氧之氧化物膜；以 200°C 至 400°C ，典型約 250°C ，執行熱處理，使得從氧化物膜供應氧予氧化物半導體。於之後說明之第二熱處理期

間，將惰性氣體切換為包含氧之氣體。此外，在第二熱處理之後，經由在氧氣或氫、水等充分降低之氣體中之降溫程序，氧可供應予氧化物半導體。

氧化物半導體之特性惡化的一個因子，咸信為因過量氫之傳導帶以下 0.1 eV 至 0.2 eV 之淺能級、因缺氧之深能級等。因此，儘量減少氫及充分供應氧以排除缺點之技術觀念是正確的。

氧化物半導體通常被認為是 n 型半導體；然而，依據本發明所揭露之一實施例，藉由移除諸如水或氫之雜質及供應氧化物半導體之組成元素的氧，可體現 i 型氧化物半導體。以此觀點，可以說此間所揭露之本發明之一實施例包括新穎技術觀念，因為依據本發明之一實施例的氧化物半導體，係以不同於矽等藉由添加雜質而製成 i 型的方式，而製成 i 型。

此外，氧化物半導體被製成 i 型，使得電晶體具有有利的溫度特性；典型地，有關電晶體之電流-電壓特性，在 -25°C 至 150°C 之溫度範圍中，開啟狀態電流、關閉狀態電流、場效移動性、S 值及閾值電壓的變化不大，且因溫度之電流-電壓特性惡化少。

本實施例之技術觀念為雜質並未進一步添加至氧化物半導體，相反地，藉由移除諸如水及氫之不希望存在其間之雜質，而純化氧化物半導體本身。換言之，藉由刻意移除形成供體位準之水或氫，以進一步降低缺氧並充分供應氧化物半導體之主要元素之氧，而純化氧化物半導體。

如沉積之氧化物半導體中氫的濃度係藉由二次離子質譜（SIMS）測量而達 $10^{20}/\text{cm}^3$ 等級。藉由刻意移除造成供體位準之水或氫，及進一步添加氧（氧化物半導體之元素之一），其於水或氫移除的同時減少，氧化物半導體被製成具有較高純度而成為電氣 i 型（本質）半導體。

在本實施例中，氧化物半導體中水及氫之量較佳地較小，且載子量亦較佳地較小。換言之，載子濃度較佳地低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳地低於 $1.45 \times 10^{10}/\text{cm}^3$ 。此外，依據本實施例之技術觀念，理想載子濃度為接近零或為零。尤其，藉由以高於或等於 450°C 及低於或等於 850°C 之溫度，較佳地為高於或等於 550°C 及低於或等於 750°C ，在氧氣、氮氣或極乾燥氣體（包含 20 ppm 或更低之水的空氣，較佳地為 1 ppm 或更低，更佳地為 10ppb 或更低）中，藉由移除做為 n 型雜質之水或氫之熱處理，可純化氧化物半導體。氧化物半導體藉由移除諸如水或氫之雜質而予純化，藉此載子濃度可低於 $1 \times 10^{12}/\text{cm}^3$ ，較佳地為低於 $1.45 \times 10^{10}/\text{cm}^3$ 。氧化物半導體中載子減少或較佳排除，使得氧化物半導體做為電晶體載子通過之路徑。

如上述，純化氧化物半導體，使得並非氧化物半導體膜主要元素之雜質，典型地為氫、水、羥基或氫化物，盡可能少包含於內，藉此可獲得電晶體之有利操作。此外，可抑制 BT 測試之前和之後電晶體之閾值電壓的改變量，藉此可體現高可靠性。再者，可抑制電氣特性之溫度相依性。

<比較其他半導體材料>

碳化矽（例如 4H-SiC）提供做為可與氧化物半導體相比之半導體材料的範例。氧化物半導體與 4H-SiC 有共同點。載子濃度為其一範例。依據正常溫度之費米-狄拉克（Fermi-Dirac）分佈，氧化物半導體中少數載子之濃度經估計為約 $10^{-7}/\text{cm}^3$ ，此為一極低值，類似於 4H-SiC 中載子濃度，即 $6.7 \times 10^{-11}/\text{cm}^3$ 。當氧化物半導體中少數載子之濃度與矽中本質載子密度（約 $1.45 \times 10^{10}/\text{cm}^3$ ）相比，可以很清楚地知道，氧化物半導體中少數載子之濃度顯然較低。

此外，氧化物半導體之能帶間隙為 3.0 eV 至 3.5 eV，而 4H-SiC 之能帶間隙為 3.26 eV，表示氧化物半導體及碳化矽均共同為寬間隙半導體。

另一方面，氧化物半導體與碳化矽之間存在顯著差異。即處理溫度。由於碳化矽通常需要歷經 1500°C 至 2000°C 之熱處理，難以形成碳化矽與使用並非碳化矽之半導體材料而形成之半導體元件的堆疊結構。這是因為此等高溫會破壞半導體基板、半導體元件等。相反地，藉由 300°C 至 800°C 之熱處理，可形成氧化物半導體；因此，使用並非氧化物半導體之半導體材料，接著使用氧化物半導體形成半導體元件，可形成積體電路。

相對於使用碳化矽之狀況，若使用氧化物半導體，存在一個優點，即可使用諸如玻璃基板之低耐熱性基板。此

外，若使用氧化物半導體，不需要高溫熱處理，使得相較於使用碳化矽之狀況，可充分地降低能量消耗。在碳化矽中，晶體缺點或不自覺混入少量雜質造成載子。因此，雖然理論上碳化矽中可獲得低載子濃度，與本發明之一實施例之氧化物半導體中相等，但由於上述理由，實際上難以獲得低於或等於 $10^{12}/\text{cm}^3$ 之載子濃度。對於氧化物半導體與同樣已知之寬間隙半導體之氮化鎵相比，結果相同。

<包括氧化物半導體之電晶體的導電機構>

此處，參照圖 7、圖 8、圖 9A、9B 及圖 10 說明包括氧化物半導體之電晶體的導電機構。請注意，下列說明係基於易於理解之理想情況的假設，且不必然反映真實情況。亦請注意，下列說明僅為考量，並不影響本發明之有效性。

圖 7 為包括氧化物半導體之反相交錯電晶體（薄膜電晶體）的截面圖。源極電極層（S）與汲極電極層（D）提供於氧化物半導體層（OS）之上，閘極電極層（GE）提供於氧化物半導體層（OS）、源極電極層（S）及汲極電極層（D）之上，且閘極絕緣層（GI）插於其間。

圖 8 為沿圖 7 中線 A-A' 之截面中電晶體層的能帶圖（示意圖）。在圖 8 中，黑圈（●）及白圈（○）分別代表電子及電洞，並具有電荷（ $-q$ ， $+q$ ）。基於正電壓（ $V_D > 0$ ）應用於汲極電極，虛線顯示無電壓應用於閘極電極（ $V_G = 0$ ）之狀況，及基於正電壓（ $V_D > 0$ ）應用於汲極電極，實線顯示正電壓應用於閘極電極（ $V_G > 0$ ）之狀況。

若無電壓應用於閘極電極，載子（電子）因高電位障壁而未從電極注入氧化物半導體側，使得電流未流動，此表示關閉狀態。另一方面，當正電壓應用於閘極電極，電位障壁降低，因而電流流動，此表示開啟狀態。

圖 9A 及 9B 為沿圖 7 中線 B-B' 之能帶圖（示意圖）。圖 9A 顯示一種狀態，其中正電壓（ $V_G > 0$ ）應用於閘極電極層（GE），即開啟狀態，其中載子（電子）於源極與汲極之間流動。圖 9B 顯示一種狀態，其中負電壓（ $V_G < 0$ ）應用於閘極電極層（GE），即關閉狀態（少數載子未流動）。

圖 10 顯示真空能級與金屬之功函數（ ϕ_M ）之間及真空能級與氧化物半導體之電子親和性（ χ ）之間的關係。

在正常溫度，金屬中電子衰退且費米能級位於傳導帶中。相反地，習知氧化物半導體一般為 n 型半導體，且費米能級（ E_F ）遠離位於帶隙中間之本質費米能級（ E_i ），並較接近傳導帶。請注意，已知氧化物半導體中氫做為供體，並為造成氧化物半導體成為 n 型半導體之一因子。

相反地，依據本發明揭露之一實施例之氧化物半導體，被製成本質（i 型）或實質上本質氧化物半導體，其係藉由移除氧化物半導體中氫（其造成 n 型氧化物半導體），而予純化，使得盡可能避免並非氧化物半導體之主要元素之雜質元素包含於其中。換言之，依據本發明之一實施例之氧化物半導體具有一特性，其中其被製成 i 型（本質）半導體或接近之半導體，並非藉由添加雜質元

素，而係藉由盡可能移除諸如氫或水之雜質，而予純化。此使得費米能級（ E_F ）實質上與本質費米能級（ E_i ）相同。

據說若氧化物半導體之帶隙（ E_g ）為 3.15 eV，其電子親和性（ χ ）為 4.3 eV。用於形成源極電極及汲極電極之鈦（Ti）的功函數實質上等於氧化物半導體之電子親和性（ χ ）。在此狀況下，於金屬與氧化物半導體之間之介面未形成電子之蕭特基障壁。

此時，如圖 9A 中所示，電子於閘極絕緣層與純化氧化物半導體之間的介面附近移動（能量穩定之氧化物半導體的最低部分）。

如圖 9B 中所示，當負電位應用於閘極電極層（GE）時，少數載子之電洞數量實質上為零；因而，電流之值極接近零。

如上述，藉由純化，使得盡可能少包含並非主要元素之元素（即雜質元素），而將氧化物半導體製成本質（i 型）或實質上本質。因而，氧化物半導體與閘極絕緣層之間介面的特性成為明顯。為此原因，閘極絕緣層需形成與氧化物半導體之有利介面。具體地，較佳的是使用下列絕緣層，例如：藉由 CVD 法並使用以 VHF 頻帶至微波頻帶之範圍的電源頻率產生之高密度電漿而形成之絕緣層，或藉由濺鍍法而形成之絕緣層。

氧化物半導體與閘極絕緣層之間介面被製成有利，同時氧化物半導體被純化，藉此，若例如電晶體具有 1×10^4

μm 通道寬度 W 及 $3\ \mu\text{m}$ 通道長度 L ，便可體現小於或等於 $1 \times 10^{-13}\ \text{A}$ 之關閉狀態電流及 $0.1\ \text{V/dec}$ 之子閾值擺幅（ S 值）（閘極絕緣層之厚度： $100\ \text{nm}$ ）。

如上述，氧化物半導體被純化以便盡可能少包含並非氧化物半導體主要元素之元素（即雜質元素），藉此可獲得電晶體之有利操作。

<包括氧化物半導體之電晶體相對於熱載子惡化之耐受性>

其次，將參照圖 11、圖 12 及圖 13 說明包括氧化物半導體之電晶體相對於熱載子惡化之耐受性。請注意，下列說明係基於易於理解之理想情況之假設，並非反映真實情況。亦請注意的是，下列說明僅為考量。

熱載子惡化之主要原因為通道熱電子注入（CHE 注入）及汲極突崩熱載子注入（DAHC 注入）。請注意，以下為求簡化，僅考量電子。

CHE 注入係指一種現象，其中得到高於半導體層中閘極絕緣層障壁之能量的電子被注入閘極絕緣層等。電子藉由低電場加速而得到能量。

DAHC 注入係指一種現象，其中藉由高電場加速之電子碰撞所產生之電子被注入閘極絕緣層等。DAHC 注入與 CHE 注入之間的差異為是否包括衝擊電離造成之突崩潰。請注意，DAHC 注入需要電子具有高於半導體之帶隙的動能。

圖 11 顯示從矽 (Si) 之帶結構估計之每一熱載子注入所需能量，圖 12 顯示從 In-Ga-Zn-O 基氧化物半導體 (IGZO) 之帶結構估計之每一熱載子注入所需能量。在每一圖 11 及圖 12 中，CHE 注入顯示於左側，及 DAHC 注入顯示於右側。

有關矽，DAHC 注入造成之惡化較 CHE 注入造成者嚴重。這是因為矽中載子（例如電子）加速極少沒有碰撞，儘管矽具有窄帶隙，且其中易於發生突崩潰。突崩潰使可移動超越閘極絕緣層障壁之電子數量增加，且在此狀況下熱電子的可能性高於未發生突崩潰之熱電子的可能性。

有關 In-Ga-Zn-O 基氧化物半導體，CHE 注入所需能量並未與矽之狀況有顯著不同，且 CHE 注入的可能性仍類似於矽般地低。然而，由於寬帶隙，DAHC 注入所需能量本質上等於 CHE 注入所需能量，且高於矽之狀況；因而，DAHC 注入極不可能首先發生。

換言之，CHE 注入及 DAHC 注入二者的可能性低，且對於熱載子惡化之耐受性高於矽。

In-Ga-Zn-O 基氧化物半導體之帶隙比得上以具有高耐受電壓之材料引人注意之碳化矽 (SiC)。圖 13 顯示有關 4H-SiC 之每一熱載子注入所需之能量。有關 CHE 注入，In-Ga-Zn-O 基氧化物半導體具有略高之閾值，可以說具有一項優點。

如上述，可以看出 In-Ga-Zn-O 基氧化物半導體相較

於矽，具有顯著較高的熱載子惡化耐受性，及較高的源極-汲極崩潰耐受性。亦可以說可獲得比得上碳化矽之耐受電壓。

<包括氧化物半導體之電晶體中短通道效應>

其次，將參照圖 14 及圖 15 說明包括氧化物半導體之電晶體中短通道效應。請注意，下列說明係基於易於理解之理想情況的假設，且不必然反映真實情況。亦請注意，下列說明僅為考量。

短通道效應係指電氣特性惡化，其隨著電晶體微型化（通道長度（ L ）減少）而變得顯著。短通道效應源於源極上汲極附近之電場分佈的影響。短通道效應的具體範例為閾值電壓下降，子閾值擺幅（ S 值）提升，洩漏電流增加等。

此處，使用計算結果（藉由裝置模擬）檢測可抑制短通道效應之結構。具體地，準備四種具有氧化物半導體層之不同載子濃度及不同厚度之模型，並檢測通道長度（ L ）與閾值電壓（ V_{th} ）之間關係。有關模型，使用底閘電晶體，各具有 $1.7 \times 10^{-8}/\text{cm}^3$ 或 $1.0 \times 10^{15}/\text{cm}^3$ 之載子濃度，且氧化物半導體層具 $1 \mu\text{m}$ 或 30 nm 之厚度。請注意，In-Ga-Zn-O 基氧化物半導體被用做氧化物半導體，且具 100 nm 厚度之氧氮化矽膜被用做閘極絕緣層。氧化物半導體之帶隙、電子親和性、相對介電常數及電子移動性分別假設為 3.15 eV 、 4.3 eV 、 15 及 $10 \text{ cm}^2/\text{Vs}$ 。氧氮化矽

膜之相對介電常數假設為 4.0。計算係使用 SILVACO, Inc. 製造之裝置模擬軟體「ATLAS」予以執行。

請注意，頂閘電晶體與底閘電晶體之間的計算結果並無顯著差異。

圖 14 及圖 15 各顯示計算結果。圖 14 顯示載子濃度為 $1.7 \times 10^{-8} / \text{cm}^3$ 之狀況。圖 15 顯示載子濃度為 $1.0 \times 10^{15} / \text{cm}^3$ 之狀況。圖 14 及圖 15 各顯示當電晶體中 $10 \mu\text{m}$ 通道長度 (L) 用做參考，且通道長度 (L) 是從 $10 \mu\text{m}$ 至 $1 \mu\text{m}$ 改變時，閾值電壓 (V_{th}) 之改變量 (ΔV_{th})。如圖 14 中所示，若氧化物半導體中載子濃度為 $1.7 \times 10^{-8} / \text{cm}^3$ ，且氧化物半導體層厚度為 $1 \mu\text{m}$ ，閾值電壓之改變量 (ΔV_{th}) 為 -3.6 V (即 $\Delta V_{\text{th}} = -3.6 \text{ V}$)。此外，如圖 14 中所示，若氧化物半導體中載子濃度為 $1.7 \times 10^{-8} / \text{cm}^3$ ，且氧化物半導體層厚度為 30 nm ，閾值電壓之改變量 (ΔV_{th}) 為 -0.2 V (即 $\Delta V_{\text{th}} = -0.2 \text{ V}$)。再者，如圖 15 中所示，若氧化物半導體中載子濃度為 $1.0 \times 10^{15} / \text{cm}^3$ ，且氧化物半導體層厚度為 $1 \mu\text{m}$ ，閾值電壓之改變量 (ΔV_{th}) 為 -3.6 V (即 $\Delta V_{\text{th}} = -3.6 \text{ V}$)。此外，如圖 15 中所示，若氧化物半導體中載子濃度為 $1.0 \times 10^{15} / \text{cm}^3$ ，且氧化物半導體層厚度為 30 nm ，閾值電壓之改變量 (ΔV_{th}) 為 -0.2 V (即 $\Delta V_{\text{th}} = -0.2 \text{ V}$)。結果顯示藉由減少氧化物半導體層之厚度，可抑制包括氧化物半導體之電晶體中短通道效應。例如，可理解的是若通道長度 (L) 約 $1 \mu\text{m}$ ，當具有充分低載子濃度之氧化物半導體厚度約 30 nm 時，可充分抑制短

通道效應。

<載子濃度>

依據本發明所揭露之技術觀念，藉由充分降低載子濃度，可將氧化物半導體層製成盡可能接近本質（i 型）半導體層。以下將參照圖 16 及圖 17 說明載子濃度之計算方法，及實際測量之載子濃度。

首先，簡要說明載子濃度之計算方法。可以下列方式計算載子濃度，其中製造 MOS 電容器，並評估 MOS 電容器之 C-V 測量（電容電壓測量）結果（即 C-V 特性）。

具體地，載子濃度 N_d 係以下列方式計算：藉由測繪 MOS 電容器之閘極電壓（ V_g ）與電容（ C ）之間關係而獲得 C-V 特性；使用 C-V 特性獲得閘極電壓 V_g 與 $(1/C)^2$ 之間關係圖；計算該圖之弱反轉區中 $(1/C)^2$ 之微分值；並將微分值帶入方程式 1。請注意，方程式 1 中 q 、 ϵ_0 及 ϵ 分別代表氧化物半導體之基本電荷、真空介電常數及相對介電常數。

[方程式 1]

$$N_d = -\left(\frac{2}{q\epsilon_0\epsilon}\right) \left/ \frac{d(1/C)^2}{dV} \right. \quad (1)$$

其次，將說明藉由上述方法實際測量之載子濃度。為進行測量，使用形成如下之樣本（MOS 電容器）：於玻璃基板之上形成厚度 300 nm 之鈦膜；於鈦膜之上形成厚度 100 nm 之氮化鈦膜；於氮化鈦膜之上使用 In-Ga-Zn-O 基氧化物半導體形成厚度 2 μm 之氧化物半導體層；及於

氧化物半導體層之上形成厚度 300 nm 之銀膜。請注意，使用用於膜形成之氧化物半導體靶材，其包含 In、Ga 及 Zn（例如具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ （摩爾比）之成分比、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ （摩爾比）之成分比、或 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ （摩爾比）之靶材）等，藉由濺鍍法而形成氧化物半導體層。此外，氧化物半導體層係於氬及氧（Ar 及 O_2 之流率分別為 30 sccm 及 15 sccm）之混合氣體中形成。

圖 16 顯示 C-V 特性。圖 17 顯示 V_g 與 $(I/C)^2$ 之間關係。從圖 17 之圖的弱反轉區中 $(I/C)^2$ 之微分值，使用方程式 1 計算之載子濃度為 $6.0 \times 10^{10} / \text{cm}^3$ 。

以此方式，藉由使用具有大能隙（例如具低於 $1 \times 10^{12} / \text{cm}^3$ 之載子濃度，較佳地為低於 $1.45 \times 10^{10} / \text{cm}^3$ ）之 i 型或實質上 i 型氧化物半導體，可獲得具卓越關閉狀態電流特性之正常關電晶體。

因此，本發明之一實施例之半導體元件為藉由移除氧化物半導體中做為電子供體（供體）之雜質，並使用具有較矽半導體更大能隙之氧化物半導體而較佳地形成通道區域，而被製成本質或實質上本質半導體。製造包括具有大能隙且氬濃度充分降低及純度提升之氧化物半導體的半導體元件，藉此可體現正常關半導體裝置，其中關閉狀態電流小，且電晶體特性之溫度相依性小。此外，使用半導體元件使其可體現因洩漏電流之電力消耗小的半導體裝置。

依據本發明之一實施例之半導體元件，藉由提供用於

源極電極層及汲極電極層之側壁，可體現包括具有短通道長度 L 並可微型化之氧化物半導體的頂閘半導體元件。

此外，本發明之一實施例之半導體元件具有短通道長度 L 並可微型化；因而，當半導體元件用於諸如 LSI、CPU 或記憶體之半導體積體電路中時，電路之操作速度提升，此外可降低電力消耗。

此外，本發明之一實施例之半導體元件，側壁係提供於源極電極層及汲極電極層之側面，此提供源極電極層及汲極電極層錐形形狀；因而，可提升閘極絕緣層之覆蓋，並可避免閘極電極層與源極電極層或汲極電極層之間短路。結果，可體現高度可靠半導體元件及包括該半導體元件之高度可靠半導體裝置。

本實施例可自由地與任一其他實施例相組合。

（實施例 2）

在本實施例中，將說明半導體元件之製造方法範例。將參照圖 2A 至 2D 說明本實施例之半導體元件的製造方法之一實施例。

以下將說明於具有絕緣表面之基板 101 上，於實施例 1 中所說明之電晶體 200 及 201 的製造程序。

儘管對於可用做具有絕緣表面之基板 101 的基板無特別限制，但該基板需具有夠高之耐熱性以支撐至少之後執行之熱處理。例如，可使用鋁矽酸鹽玻璃、鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等製成之玻璃基板。

請注意，可使用諸如陶瓷基板、石英基板或藍寶石基板之絕緣體形成之基板取代玻璃基板。另一方面，可使用結晶玻璃基板等。另一方面，可酌情使用其表面包括絕緣層之半導體基板、塑料基板等。

首先，於具有絕緣表面之基板 101 上形成第一絕緣層 103。使用氧化矽層、氮化矽層、氧氮化矽層或氮氧化矽層，並藉由電漿 CVD 法、濺鍍法等，可形成具有單層或堆疊層結構之第一絕緣層 103。

若製造實施例 1 中所說明之電晶體 201，便於導電膜形成於具有絕緣表面之基板 101 上之後，於光刻步驟中形成電極層 102，之後形成用於覆蓋電極層 102 之第一絕緣層 103。使用選自 Al、Cr、Cu、Ta、Ti、Mo 及 W 之元素，包含任一該些元素之合金，包含任一該些元素組合之合金等，可形成電極層 102。在本實施例中，電極層 102 具有氮化鎢層與鎢層堆疊之結構。

其次，於第一絕緣層 103 之上形成第二絕緣層 105。有關與氧化物半導體層接觸之第二絕緣層 105，較佳地使用氧化物絕緣層，諸如氧化矽層、氧氮化矽層、氧化鋁層或氧氮化鋁層。有關形成第二絕緣層 105 之方法，可使用電漿 CVD 法、濺鍍法等；然而，較佳的是藉由濺鍍法形成第二絕緣層 105，以避免第二絕緣層 105 中包含大量氫。

在本實施例中，有關第二絕緣層 105，係藉由濺鍍法形成氧化矽層。基板 101 被轉移至處理室，導入包含高純

度氧且移除氫及濕氣之濺鍍氣體，並使用矽靶材於基板 101 之上形成氧化矽層做為第二絕緣層 105。基板 101 可為室溫，或可加熱。

例如，藉由 RF 濺鍍法及以下列狀況形成氧化矽層：使用石英（較佳地為人造石英）；基板溫度為 108°C ；基板與靶材之間距離（T-S 距離）為 60 mm；壓力為 0.4 Pa；高頻電力為 1.5 kW；氣體為氧及氫（氧相對於氫之流率為 1：1（每一流率為 25 sccm））。氧化矽層之厚度為 100 nm。矽靶材可用做形成氧化矽層之靶材，取代石英（較佳地為人造石英）。有關濺鍍氣體，使用氧或氧及氫之混合氣體。

在此狀況下，較佳的是形成第二絕緣層 105，同時移除處理室中剩餘濕氣，使得以避免第二絕緣層 105 中包含氫、羥基或濕氣。

為移除處理室中剩餘濕氣，較佳地使用吸附型真空泵。例如較佳地使用低溫泵、離子泵或鈦昇華泵。此外，排氣單元可為附加冷阱之渦輪泵。自使用低溫泵而排氣之處理室，移除例如氫原子、諸如水（ H_2O ）之包括氫原子之化合物等；因而，可減少於處理室中形成之第二絕緣層 105 中所包括之雜質濃度。

第二絕緣層 105 可具有堆疊層結構。例如，第二絕緣層 105 可具有一種結構，其中氮化物絕緣層，諸如氮化矽層、氮氧化矽層或氮化鋁層，及上述氧化物絕緣層依此順序堆疊於基板 101 之上。

例如，藉由導入包含高純度氮且氫及濕氣移除之濺鍍氣體，並使用矽靶材，可於氧化矽層與基板之間形成氮化矽層。亦在此狀況下，較佳的是形成氮化矽層同時以類似於氧化矽層之方式移除處理室中剩餘濕氣。

基板亦可於氮化矽層形成時加熱。

若氮化矽層與氧化矽層堆疊以形成第二絕緣層 105，可以相同處理室並使用相同矽靶材，而形成氮化矽層與氧化矽層。首先，導入包含氮之濺鍍氣體，使用置於處理室內之矽靶材而形成氮化矽層，之後濺鍍氣體被切換為包含氧之濺鍍氣體，並使用相同矽靶材而形成氧化矽層。由於氮化矽層及氧化矽層可連續形成而未暴露於空氣，可避免諸如氫或濕氣之雜質吸附於氮化矽層之表面。

其次，於第二絕緣層 105 之上形成氧化物半導體膜，厚度為大於或等於 3 nm 及小於或等於 50 nm。特別較佳的是形成具大於或等於 3 nm 及小於或等於 20 nm 厚度之氧化物半導體膜，以充分抑制短通道效應。

使用具有大能隙並藉由充分移除雜質予以純化之氧化物半導體，諸如做為氧化物半導體中電子供體（供體）之氮，而形成氧化物半導體膜。

載子濃度可藉由霍爾效應測量予以測量。藉由霍爾效應測量所測量之氧化物半導體中載子濃度等於 $1.45 \times 10^{10} / \text{cm}^3$ ，其為矽中本質載子濃度或更低。依據正常溫度下費米狄拉克分佈，氧化物半導體中具有 3 eV 或更高能隙之本質載子濃度為 $10^{-7} / \text{cm}^3$ ，同時矽中本質載子濃度為

$10^{10}/\text{cm}^3$ 。換言之，氧化物半導體中本質載子濃度極接近零。

本實施例中所使用之氧化物半導體層 107 中載子濃度為低於 $1 \times 10^{12}/\text{cm}^3$ ，較佳地為低於 $1 \times 10^{11}/\text{cm}^3$ ，且其中載子濃度可製成極接近零。

為使氧化物半導體膜包含盡可能少量的氫、羥基及濕氣，有關用於形成氧化物半導體膜之預處理，較佳地於濺鍍設備的預熱室中，預熱其上形成第二絕緣層 105 之基板 101，藉此排除及移除吸附於基板 101 之雜質，諸如氫或濕氣。有關提供於預熱室中之排氣單元，較佳地使用低溫泵。請注意，本預熱處理可予以省略。

請注意，在藉由濺鍍法形成氧化物半導體膜之前，較佳地藉由反向濺鍍，其中導入氬氣並產生電漿，使得以移除第二絕緣層 105 表面之灰塵。反向濺鍍為一種方法，其中於氬氣中以高頻電源將電壓應用於基板側，且未將電壓應用於靶材側，並於基板附近產生電漿，使得以修改基板表面。請注意，可使用氮氣、氦氣、氧氣等，取代氬氣。

藉由濺鍍法形成氧化物半導體膜。有關氧化物半導體膜，可使用下列：四元素金屬氧化物膜，諸如 In-Sn-Ga-Zn-O 基膜；三元素金屬氧化物膜，諸如 In-Ga-Zn-O 基膜、In-Sn-Zn-O 基膜、In-Al-Zn-O 基膜、Sn-Ga-Zn-O 基膜、Al-Ga-Zn-O 基膜或 Sn-Al-Zn-O 基膜；或二元素金屬氧化物膜，諸如 In-Zn-O 基膜、Sn-Zn-O 基膜、Al-Zn-O 基膜、Zn-Mg-O 基膜、Sn-Mg-O 基膜或 In-Mg-O 基膜；或

單元素金屬氧化物膜，諸如 In-O 基膜、Sn-O 基膜或 Zn-O 基膜。此外，上述氧化物半導體膜可包含 SiO_2 。

有關氧化物半導體膜，可使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 代表之薄膜。此處，M 代表一或多項選自 Ga、Al、Mn 及 Co 之金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等。

在本實施例中，藉由濺鍍法並使用用於膜形成之 In-Ga-Zn-O 基氧化物半導體靶材，而形成氧化物半導體膜。氧化物半導體膜可藉由濺鍍法，於稀有氣體（典型為氬）氣、氧氣、或稀有氣體（典型為氬）及氧之混合氣體中形成。若使用濺鍍法，可使用包含大於或等於 2 重量%及小於或等於 10 重量%之 SiO_2 靶材而形成氧化物半導體膜。

有關用於膜形成之 In-Ga-Zn-O 基氧化物半導體靶材之另一範例，可使用用於膜形成之包括 In、Ga 及 Zn 之氧化物半導體靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}$ 之成分比=1 : 1 : 1（摩爾比））等。有關用於膜形成之包括 In、Ga 及 Zn 之氧化物半導體靶材，亦可使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}$ 之成分比=1 : 1 : 2（摩爾比）之靶材，或具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}$ 之成分比=1 : 1 : 4（摩爾比）之靶材。用於膜形成之氧化物半導體靶材之填充率為大於或等於 90%及小於或等於 100%，較佳地為大於或等於 95%及小於或等於 99.9%。使用具有高填充率之用於膜形成之氧化物半導體靶材，形成密集氧化物半導體膜。

氧化物半導體膜形成於基板 101 之上，以下列方式：

基板保持於減壓狀態之處理室內，將氫及濕氣移除之濺鍍氣體導入處理室，同時移除處理室中剩餘濕氣，並使用上述靶材。為移除處理室中剩餘濕氣，較佳地使用吸附型真空泵。例如，較佳地使用低溫泵、離子泵或鈦昇華泵。此外，排氣單元可為具冷阱之渦輪泵。自使用低溫泵而排氣之處理室，移除例如氫原子、諸如水（ H_2O ）之包括氫原子之化合物（較佳地連同包括碳原子之化合物）等；因此，可減少於處理室中形成之氧化物半導體膜中雜質的濃度。當氧化物半導體膜形成時，基板可加熱。

有關膜形成狀況之範例，使用下列狀況：溫度為室溫；基板與靶材之間之距離為 60 mm；壓力為 0.4 Pa；直流（DC）電力為 0.5 kW；及使用包含氧及氫之氣體（氧之流率為 15 sccm 及氫之流率為 30 sccm）。較佳地使用脈衝直流（DC）電源，其中可減少粉狀物質（亦稱為粒子或灰塵）並可使膜厚度均勻。

其次，氧化物半導體膜於第一光刻步驟中經處理為島形氧化物半導體層 107。用於形成島形氧化物半導體層 107 之抗蝕罩可藉由噴墨法而予形成。藉由噴墨法形成抗蝕罩不需光罩；因而，可減少製造成本。

請注意，氧化物半導體膜之蝕刻可為乾式蝕刻、濕式蝕刻、或乾式蝕刻及濕式蝕刻二者。

有關用於乾式蝕刻之蝕刻氣體，較佳地使用包含氯之氣體（氯基氣體，諸如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）或四氯化碳（ CCl_4 ））。

另一方面，可使用包含氟之氣體（氟基氣體，諸如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）或三氟甲烷（ CHF_3 ））；溴化氫（ HBr ）；氧（ O_2 ）；任一該些氣體附加諸如氦（ He ）或氬（ Ar ）之稀有氣體等。

有關乾式蝕刻法，可使用平行板 RIE（反應離子蝕刻）法或 ICP（電感耦合電漿）蝕刻法。

有關用於濕式蝕刻之蝕刻劑，可使用磷酸、乙酸及硝酸之混合溶液等。另一方面，可使用 ITO07N（KANTO CHEMICAL CO., INC.製造）。

藉由清潔連同蝕刻之材料而移除濕式蝕刻中使用之蝕刻劑。包含蝕刻劑及蝕刻掉之材料的廢液可純化，且材料可再使用。諸如氧化物半導體層中所包含之銦之材料，從蝕刻後廢液匯集及再使用，使得資源可有效地使用，並可降低成本。

依據材料而適當調整蝕刻狀況（諸如蝕刻劑、蝕刻時間或溫度），使氧化物半導體膜可蝕刻為所需形狀。

在本實施例中，藉由使用混合磷酸、乙酸及硝酸之溶液做為蝕刻劑之濕式蝕刻法，氧化物半導體膜被處理為島形氧化物半導體層 107。

在本實施例中，於氧化物半導體層 107 上執行第一熱處理。第一熱處理之溫度為高於或等於 300°C 及低於或等於 800°C ，較佳地為高於或等於 400°C 及低於或等於 700°C 。此處，基板被置於一種熱處理設備之電熔爐中，並於氮氣中，在氧化物半導體層 107 上以 450°C 執行熱處

理達 1 小時，之後氧化物半導體層未暴露於空氣，而避免水或氫進入氧化物半導體層；因而，獲得氧化物半導體層 107。氧化物半導體層 107 可經由第一熱處理而執行脫水或脫氫。

請注意，熱處理設備不侷限於電熔爐，而是可具有一種裝置，藉由來自諸如電阻加熱元件等之加熱元件的熱傳導或熱輻射而加熱目標。例如，可使用 RTA（快速熱降火）設備，諸如 GRTA（氣體快速熱降火）設備或 LRTA（燈快速熱降火）設備。LRTA 設備為一種設備，藉由自諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓水銀燈之燈所發射光的輻射（電磁波）而加熱將處理之目標。GRTA 設備為用於使用高溫氣體而熱處理之設備。有關該氣體，係使用未藉由熱處理而與將處理之目標反應之惰性氣體，諸如氮，或諸如氫之稀有氣體。

例如，有關第一熱處理，可以下列方式執行 GRTA：基板被轉移進入加熱至 650°C 至 700°C 高溫之惰性氣體，加熱達若干分鐘，並轉移及取出加熱至高溫之惰性氣體。GRTA 可於短時間實施高溫熱處理。

請注意，在第一熱處理中，較佳的是氮或諸如氮、氬或氫之稀有氣體中未包含水、氫等。另一方面，較佳的是被導入熱處理設備之氮或諸如氮、氬或氫之稀有氣體具有大於或等於 6N（99.9999%）之純度，更佳地為大於或等於 7N（99.99999%）（即，雜質濃度較佳地為低於或等於 1 ppm，更佳地為低於或等於 0.1 ppm）。

氧化物半導體層之第一熱處理可於氧化物半導體膜被處理成島形氧化物半導體層之前執行。在此狀況下，基板於第一熱處理之後從加熱設備被取出，之後執行光刻步驟。

具有脫水或脫氫氧化物半導體層效果之熱處理可於下列任一時機執行：在氧化物半導體層形成之後；在源極電極層及汲極電極層形成於氧化物半導體層上之後；在做為側壁之膜提供用於源極電極層及汲極電極層之後；及在閘極絕緣層形成於源極電極層及汲極電極層上之後。

然而，只要可獲得於形成時氫及水充分降低之純化氧化物半導體層，第一熱處理便不必要執行。若形成於形成時氫濃度充分降低之純化氧化物半導體層，基板保持在保持減壓之處理室中，且基板加熱至高於或等於室溫及低於 400°C 之溫度。之後，將氫及濕氣移除之濺鍍氣體導入處理室，同時移除其中剩餘濕氣，並將金屬氧化物用做靶材。以上述方式，氧化物半導體層形成於基板之上。自使用低溫泵執行排氣之處理室，移除例如氫原子、諸如水 (H_2O) 之包括氫原子之化合物（較佳地連同包括碳原子之化合物）等；因而，可減少於處理室中形成之氧化物半導體層中雜質的濃度。當執行濺鍍膜形成時，同時使用低溫泵移除處理室中剩餘濕氣，氧化物半導體層形成中基板溫度可介於室溫至低於 400°C 之溫度範圍。

其次，於第二絕緣層 105 及氧化物半導體層 107 之上形成導電膜。導電膜可藉由濺鍍法或真空蒸發法而予形

成。有關導電膜之材料的範例可提供選自 Al、Cr、Cu、Ta、Ti、Mo 或 W 之元素；包含任一該些元素做為成分之合金；包含任一該些元素組合之合金膜等。此外，可使用一或多項選自錳、鎂、鋅及鈹之材料。此外，金屬導電膜可具有單層結構或二或更多層之堆疊層結構。例如，可提供包括矽之鋁膜的單層結構；鋁膜及堆疊於其上之鈦膜的雙層結構；鈦膜、堆疊於其上之鋁膜及堆疊於其上之鈦膜的三層結構等。另一方面，可使用包含 Al 及一或多項選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）及釷（Sc）之元素的膜、合金膜或氮化物膜。在本實施例中，形成鈦膜（具大於或等於 10 nm 及小於或等於 100 nm 之厚度）、鋁膜（具大於或等於 20 nm 及小於或等於 500 nm 之厚度）及鈦膜（具大於或等於 10 nm 及小於或等於 100 nm 之厚度）之堆疊膜，做為導電膜。

其次，在第二光刻步驟中，於導電膜之上形成抗蝕罩，並選擇性蝕刻導電膜，使得以形成源極電極層 109a 及汲極電極層 109b（圖 2A）。

請注意，適當調整材料及蝕刻狀況，以避免蝕刻導電膜時氧化物半導體層 107 被移除，及其下方之第二絕緣層 105 暴露。

在本實施例中，In-Ga-Zn-O 基氧化物可用於氧化物半導體層 107，且諸如檸檬酸或草酸之有機酸、ITO07N（KANTO CHEMICAL CO., INC.製造）等可用做蝕刻劑。

請注意，在第二光刻步驟中，有時氧化物半導體層 107 可局部蝕刻，使得以形成具有槽（凹部）之氧化物半導體層。可藉由噴墨法而形成用於形成源極電極層 109a 及汲極電極層 109b 之抗蝕罩。藉由噴墨法而形成抗蝕罩不需光罩；因而，可減少製造成本。

對於第二光刻步驟中形成抗蝕罩之曝光，使用紫外光、KrF 雷射光或 ArF 雷射光。

其次，於氧化物半導體層 107、源極電極層 109a 及汲極電極層 109b 之上形成絕緣層 120（圖 2B）。

有關絕緣層 120，藉由濺鍍法而形成氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鈦膜、氧化鋁膜等。

其次，藉由整體蝕刻而移除大部分絕緣層 120，使得與氧化物半導體層 107 之頂面接觸的側壁 121，提供於源極電極層 109a 及汲極電極層 109b 之側面，及氧化物半導體層 107 之頂面（圖 2C）。此時，與氧化物半導體層 107 接觸之絕緣層 120 的底部邊緣部，較與源極電極層 109a 及汲極電極層 109b 接觸之絕緣層 120 的平面部厚；因而，藉由酌情選擇蝕刻狀況，可留下具所需形狀之側壁 121。有關蝕刻狀況，使用可執行反應離子垂直進入基板之各向異性蝕刻的狀況。當側壁 121 係由絕緣層形成時，側壁 121 具有絕緣屬性。

側壁 121 可使用例如金屬材料之導電材料予以形成。具體地，於源極電極層 109a 及汲極電極層 109b 之上形成

金屬膜，取代絕緣層 120。金屬膜可使用諸如金屬元素之金屬材料，諸如鈦、鋁或鎢，包含金屬元素做為成分之合金，或包含上述金屬元素組合之合金，予以形成。

其次，藉由蝕刻而移除大部分金屬膜，使得以形成與氧化物半導體層 107 之頂面接觸之源極電極層 109a 及汲極電極層 109b 的側壁 121。使用導電材料形成之側壁 121 成為導電側壁，使得側壁電性連接源極電極層 109a 或汲極電極層 109b 之側面。此外，每一源極電極層 109a 及汲極電極層 109b 之側壁底面接觸與其電性連接之氧化物半導體層 107。

其次，於源極電極層 109a、汲極電極層 109b、側壁 121 及氧化物半導體層 107 之上形成閘極絕緣層 117。

可藉由濺鍍法等使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鉛層、氧化鉭層及／或氧化鋁層而形成具有單層結構或堆疊層結構之閘極絕緣層 117。請注意，閘極絕緣層 117 較佳地藉由濺鍍法形成，使得以避免閘極絕緣層 117 中包含大量氫。若藉由濺鍍法形成氧化矽膜，可使用矽靶材或石英靶材做為靶材，及使用氧或氧及氫之混合氣體做為濺鍍氣體。

閘極絕緣層 117 可具有一種結構，其中氧化矽層及氮化矽層依此順序堆疊於源極電極層 109a 及汲極電極層 109b 之上。例如，可以下列方式形成具 100 nm 厚度之閘極絕緣層：藉由濺鍍法形成具大於或等於 5 nm 及小於或等於 300 nm 厚度之氧化矽層（ SiO_x （ $x>0$ ）），做為第一

閘極絕緣層，及於第一閘極絕緣層之上堆疊具大於或等於 50 nm 及小於或等於 200 nm 厚度之氮化矽層（ SiN_y （ $y>0$ ）），做為第二閘極絕緣層。在本實施例中，藉由 RF 濺鍍法，在包含氧及氬（氧相對於氬之流率為 1：1（每一流率為 25 sccm））之氣體中，於壓力為 0.4 Pa 及高頻電力為 1.5 kW 之狀況下，形成具 100 nm 厚度之氧化矽層。

其次，於閘極絕緣層 117 之上形成導電膜，之後於第三光刻步驟中形成閘極電極層 119。請注意，可藉由噴墨法形成抗蝕罩。藉由噴墨法形成抗蝕罩不需光罩；因而，可降低製造成本。

可使用金屬材料，諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹或鈳，或包含任一該些材料做為主要元素之合金材料，形成具有單層結構或堆疊層結構之閘極電極層 119。

例如，有關閘極電極層 119 之雙層結構，任一下列結構較佳：鋁層及堆疊於上之鉬層的雙層結構、銅層及堆疊於上之鉬層的雙層結構、銅層及堆疊於上之氮化鈦層或氮化鉭層的雙層結構、及氮化鈦層及鉬層的雙層結構。有關三層結構，鎢層或氮化鎢層、鋁及矽合金或鋁及鈦合金之層、及氮化鈦層或鈦層之堆疊結構較佳。請注意，可使用透光導電膜形成閘極電極層。有關用於透光導電膜之材料範例，可提供透光導電氧化物等。

在本實施例中，形成具 150 nm 厚度之鎢膜，做為閘極電極層 119。

其次，於惰性氣體或氧氣中執行第二熱處理（較佳地為高於或等於 200°C 及低於或等於 400°C 之溫度，例如高於或等於 250°C 及低於或等於 350°C ）。在本實施例中，係於氮氣中以 250°C 執行第二熱處理達一小時。可於保護絕緣層或平面化絕緣層形成於電晶體 200 之上後，執行第二熱處理。

此外，可於空氣中以高於或等於 100°C 及低於或等於 200°C 之溫度執行熱處理達大於或等於 1 小時及小於或等於 30 小時。本熱處理可以固定加熱溫度予以執行。另一方面，下列加熱溫度改變可重複實施複數次：加熱溫度從室溫上升至高於或等於 100°C 及低於或等於 200°C 之溫度，及接著降至室溫。本熱處理可於氧化物絕緣層形成之前在減壓下執行。當在減壓下執行熱處理時，熱處理時間可縮短。

經由上述步驟，可製造包括氧化物半導體層之頂閘電晶體 200 及 201，其中側壁係提供用於源極電極層及汲極電極層，並具短通道長度 L 並可微型化（圖 2D）。具體地，通道長度 L 可為 10 nm 至 $1\text{ }\mu\text{m}$ 。

進行平面化之保護絕緣層或平面化絕緣層可提供於每一薄膜電晶體 200 及 201 之上。例如，可使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層及／或氧化鋁層而形成具有單層結構或堆疊層結構之保護絕緣層。

平面化絕緣層可使用耐熱性之有機材料予以形成，諸如聚醯亞胺、丙烯酸、苯並環丁烯、聚醯胺或環氧樹脂。

除了該等有機材料外，亦可使用低介電常數材料（低 k 材料）、矽氧烷基樹脂、磷矽酸玻璃（PSG）、摻雜硼磷的矽玻璃（BPSG）等。請注意，平面化絕緣層可藉由堆疊使用任一該些材料形成之複數絕緣膜予以形成。

形成平面化絕緣層之方法並無特別限制，且平面化絕緣層可依據材料，藉由下列方法而予形成，諸如濺鍍法、SOG 法、旋塗法、浸塗法、噴塗法或液低釋放法（例如噴墨法、網印或膠印），或使用工具（裝備）諸如刮膠刀、擠膠滾筒、簾式塗料器或刮刀塗布機。

請注意，矽氧烷基樹脂相應於包括使用矽氧烷基材料做為啟動材料所形成 Si-O-Si 鍵之樹脂。矽氧烷基樹脂可包括有機基（例如烷基或芳基）或氟基，做為取代基。有機基可包括氟基。

當使用氮化矽膜而於電晶體 200 及 201 中形成閘極絕緣層 117 及第一絕緣層 103 時，氧化物半導體層 107 可插於氮化矽膜之間，藉此可有效阻擋氫或濕氣進入。該等結構使其可將氧化物半導體層 107 中水或氫之濃度降至最低，以避免水或氫進入。

儘管使用單閘極薄膜電晶體說明電晶體 200 及 201，但當需要時可形成包括複數通道形成區之多閘極薄膜電晶體而製造電晶體 200 及 201。

如上述，側壁提供用於源極電極層及汲極電極層，使其可體現包括氧化物半導體層之頂閘半導體元件，其具有短通道長度 L 並可微型化。此外，本發明之一實施例的半

導體元件具有短通道長度 L 並可微型化；因而，當半導體元件用於半導體積體電路中時，諸如 LSI、CPU 或記憶體，電路之操作速度提升，此外可降低電力消耗。

此外，在本發明之一實施例的半導體元件中，側壁係提供於源極電極層及汲極電極層之側面，其提供源極電極層及汲極電極層錐形形狀；因而，可提升閘極絕緣層之覆蓋，並可避免閘極電極層與源極電極層或汲極電極層之間短路。結果，可體現高度可靠半導體元件，及包括該半導體元件之高度可靠半導體裝置。

此外，藉由使用氧化物半導體層，其具有大能隙，且其中藉由移除諸如氫及濕氣之雜質而充分降低氫濃度並提升純度，可製造關閉狀態電流小之正常關半導體元件。使用半導體元件，使其可體現半導體裝置，其因洩漏電流之電力消耗小。

本實施例中所說明之結構、方法等，可酌情與任一其他實施例中所說明之結構、方法等組合。

（實施例 3）

在本實施例中，將參照圖式說明與上述實施例中所說明者不同之電晶體的製造方法。請注意，本實施例中所說明之製造程序（可使用之材料等）與實施例 2 中所說明者具有大量共通處。因此，在下列說明中，將不提供相同部分之說明，並將詳細說明不同點。

圖 28B 中所描繪之電晶體 300，於具有絕緣表面之基

板 301 上，包括第一絕緣層 303、第二絕緣層 305、氧化物半導體層 307、第一源極電極層 309a、第二源極電極層 311a、第一汲極電極層 309b、第二汲極電極層 311b、第三絕緣層 315、側壁 321、閘極絕緣層 317 及閘極電極層 319。

將參照圖 3A 至 3F 說明圖 28B 中所描繪之電晶體 300 的製造方法範例。

首先，於具有絕緣表面之基板 301 上形成第一絕緣層 303。之後，於第一絕緣層 303 上形成第二絕緣層 305。之後，於第二絕緣層 305 上形成具大於或等於 3 nm 及小於或等於 50 nm 厚度之氧化物半導體膜，較佳地為大於或等於 3 nm 及小於或等於 30 nm，且氧化物半導體膜於第一光刻步驟中被處理成島形氧化物半導體層 307。在本實施例中，第一熱處理係於氧化物半導體層 307 上執行。

其次，於第二絕緣層 305 及氧化物半導體層 307 上形成第一導電膜 306 及第二導電膜 308。可使用與實施例 2 中所說明之源極電極層 109a 及汲極電極層 109b 相同材料，形成具有單層結構或堆疊層結構之第一導電膜 306 及第二導電膜 308。

在本實施例中，形成鈦膜（具大於或等於 10 nm 及小於或等於 100 nm 之厚度）及其上之鎢膜（具大於或等於 10 nm 及小於或等於 100 nm 之厚度）的堆疊膜做為第一導電膜 306，及形成鋁膜（具大於或等於 20 nm 及小於或等於 500 nm 之厚度）及其上之鈦膜（具大於或等於 10

nm 及小於或等於 100 nm 之厚度) 的堆疊膜做為第二導電膜 308。當不可能傳輸污染氧化物半導體物質(具體地為氫等)之材料用於第一導電膜 306 時，導電膜 306 做為障壁膜。例如，使用不可能傳輸氫之鎢膜形成第一導電膜 306 時，可藉由可能污染氧化物半導體層 307 之沉積法(具體地為 CVD 法)，形成第二導電膜 308 及做為側壁之絕緣層 320。

其次，可藉由電漿 CVD 法、濺鍍法等使用氧化矽層、氮化矽層、氧氮化矽層及／或氮氧化矽層而於第二導電膜 308 之上，形成單層或堆疊層之絕緣層 310，厚度大於或等於 200nm 及小於或等於 2000 nm (圖 3A)。可將耐熱性之有機材料用於絕緣層，諸如聚醯亞胺、丙烯酸、苯並環丁烯、聚醯胺或環氧樹脂。除了該等有機材料外，可使用低介電常數材料(低 k 材料)、矽氧烷基樹脂、磷矽酸玻璃 (PSG)、摻雜硼磷的矽玻璃 (BPSG) 等。

形成絕緣層之方法並無特別限制，且絕緣層可依據材料，藉由下列方法而予形成，諸如濺鍍法、SOG 法、旋塗法、浸塗法、噴塗法或液低釋放法(例如噴墨法、網印或膠印)，或使用工具(裝備)諸如刮膠刀、擠膠滾筒、簾式塗料器或刮刀塗布機。

其次，在第二光刻步驟中，於絕緣層 310 上形成抗蝕罩，並執行選擇性蝕刻，使得以形成第二源極電極層 311a、第二汲極電極層 311b 及第三絕緣層 315 (圖 3B)。

提供第三絕緣層 315 以便降低之後形成之閘極電極層 319 與第二源極電極層 311a 或第二汲極電極層 311b 之間的寄生電容。同時，當提供第三絕緣層 315 以便第二源極電極層 311a 及第二汲極電極層 311b 具有錐形形狀時，蝕刻狀況需加以控制，諸如第三絕緣層 315 相對於第二源極電極層 311a 或第二汲極電極層 311b 之選擇比，此使得藉由蝕刻之處理困難。除非第二源極電極層 311a 及第二汲極電極層 311b 為錐形，將產生堆疊於上之閘極絕緣層 317 的覆蓋降低之問題。然而，在依據本發明之一實施例的電晶體中，側壁 321 係提供於第二源極電極層 311a 及第二汲極電極層 311b 之側面，其提供源極電極層 311a 及汲極電極層 311b 錐形形狀；因而，第二源極電極層 311a 及第二汲極電極層 311b 之邊緣不需被處理為具有錐形形狀。因此，可輕易地製造電晶體。

其次，於第一導電膜 306、第二源極電極層 311a、第二汲極電極層 311b 及第三絕緣層 315 之上形成絕緣層 320（圖 3C）。

有關絕緣層 320，可藉由濺鍍法而形成氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鈦膜、氧化鋁膜等。可使用金屬膜取代絕緣層 320。若第一導電膜 306 係使用不可能傳輸污染氧化物半導體物質（具體地為氫等）之材料予以形成，可藉由 CVD 法形成絕緣層 320。做為側壁之絕緣層 320 較佳地藉由 CVD 法形成，在此狀況下絕緣層 320 可經形成而具有均勻厚度。

其次，藉由整體蝕刻而移除大部分絕緣層 320，使得於第二源極電極層 311a 及第二汲極電極層 311b 之側面形成側壁 321。此時，側壁 321 之底面接觸第一導電膜 306 之頂面（圖 3D）。此時，與第一導電膜 306 接觸之絕緣層 320 的底部邊緣部，較與第三絕緣層 315 接觸之絕緣層 320 的平面部厚；因而，藉由適當選擇蝕刻狀況，可留下具所需形狀之絕緣層 320 做為側壁 321。有關蝕刻狀況，使用可執行反應離子垂直進入基板之各向異性蝕刻的狀況。側壁 321 可進一步接觸第三絕緣層 315 之側面。

其次，使用第三絕緣層 315 及側壁 321 做為硬遮罩，蝕刻第一導電膜 306，使得以形成第一源極電極層 309a 及第一汲極電極層 309b（圖 3E）。使用側壁 321 做為遮罩而執行蝕刻，藉此可縮短通道長度 L。

其次，於第三絕緣層 315、側壁 321、第一源極電極層 309a、第一汲極電極層 309b 及氧化物半導體層 307 之上形成閘極絕緣層 317。之後，於閘極絕緣層 317 之上形成導電膜，接著於第三光刻步驟中形成閘極電極層 319。

其次，於惰性氣體或氧氣中執行第二熱處理（較佳地為高於或等於 200℃ 及低於或等於 400℃ 之溫度，例如高於或等於 250℃ 及低於或等於 350℃）。經由上述步驟，可製造包括源極電極層及汲極電極層上側壁之電晶體 300（圖 3F）。

如上述，側壁係提供用於本發明之一實施例的半導體元件中源極電極層及汲極電極層，藉此可體現包括氧化物

半導體層之頂閘半導體元件，其具有短通道長度 L ，並可微型化。

此外，本發明之一實施例之半導體元件具有短通道長度 L 並可微型化；因而，當半導體元件用於諸如 LSI、CPU 或記憶體之半導體積體電路中時，電路之操作速度提升，此外可降低電力消耗。

此外，在本發明之一實施例之半導體元件中，側壁係提供於源極電極層及汲極電極層之側面，此提供源極電極層及汲極電極層錐形形狀；因而，可提升閘極絕緣層之覆蓋，並可避免閘極電極層與源極電極層或汲極電極層之間短路。結果，可體現高度可靠半導體元件及包括該半導體元件之高度可靠半導體裝置。

此外，在本發明之一實施例之半導體元件中，使用氧化物半導體層，其具有大能隙，且其中藉由移除諸如氫及濕氣之雜質而充分降低氫濃度並提升純度，藉此可製造關閉狀態電流小之正常關半導體元件。使用半導體元件，使其可體現半導體裝置，其因洩漏電流之電力消耗小。

本實施例中所說明之結構、方法等，可酌情與任一其他實施例中所說明之結構、方法等組合。

（實施例 4）

在本實施例中，將說明使用二 n 通道電晶體而形成積體電路之反相器電路的範例。電晶體之製造程序幾乎與實施例 2 中相同；因此，將僅詳細說明不同部分。

積體電路係使用反相器電路、電容器電阻器等而予形成；因此，除了反相器電路之外，亦將說明相同基板上電容器及兩種電阻器之形成程序。

若反相器電路包括二 n 通道電晶體之組合，下列提供反相器電路之範例：包括增強型電晶體及空乏型電晶體組合之 EDMOS 電路，及包括二增強型電晶體組合之 EEMOS 電路。

在本實施例中，將說明 EDMOS 電路之範例。圖 4 描繪 EDMOS 電路之等效電路。圖 5B 描繪反相器電路之截面結構。

圖 5B 描繪圖 4 中所描繪之連接之電路的截面結構。描繪一範例，其中第一電晶體 400 為增強型 n 通道電晶體，及第二電晶體 401 為空乏型 n 通道電晶體。

在圖 5B 中，電極層 412b、412c、412d 及 412e 係形成於基板 411 之上。電極層 412b、412c、412d 及 412e 係以與實施例 2 中電極層 102 相同步驟及材料而予形成。

電壓應用於電極層 412b，且閾值電壓設定為負，藉此第二電晶體 401 做為空乏型電晶體。電極層 412c 為電容器中所包括之一電極。電極層 412d 為連接第一電阻器之一電極。電極層 412e 為連接第二電阻器之一電極。

此外，形成用於覆蓋電極層 412b、412c、412d 及 412e 之第一絕緣層 413 及第二絕緣層 415。在電容器部中，部分第一絕緣層 413 及第二絕緣層 415 與電極層 412c 重疊，做為電介質。

第二氧化物半導體層 417b 可較第一氧化物半導體層 417a 厚。沉積及定型各執行兩次，以便使第二氧化物半導體層 417b 之厚度大於第一氧化物半導體層 417a 之厚度。第二氧化物半導體層 417b 之厚度提升，藉此第二電晶體 401 可做為空乏型電晶體，且使閾值電壓為負之電壓不需應用於電極層 412b；因而，電極層 412b 可省略。

第三氧化物半導體層 417c 做為第一電阻器。開口形成於與電極層 412d 重疊之部分第一絕緣層 413 及第二絕緣層 415 中，且第三氧化物半導體層 417c 及電極層 412d 經由該開口而彼此電性連接。此外，第四氧化物半導體層 417d 做為第二電阻器。開口形成於第一絕緣層 413 及第二絕緣層 415 對中，該絕緣層對與電極層 412e 重疊，且第四氧化物半導體層 417d 及電極層 412e 經由該開口而彼此電性連接。

第四氧化物半導體層 417d 可較第三氧化物半導體層 417c 厚。當第三氧化物半導體層 417c 及第四氧化物半導體層 417d 具有不同厚度時，第一電阻器之電阻係數值可與第二電阻器不同。

第一電晶體 400 包括第一閘極電極層 419a 及第一氧化物半導體層 417a，其與第一閘極電極層 419a 重疊，且閘極絕緣層 427 插於其間。與部分第一氧化物半導體層 417a 接觸之第一電極層 422a 電性連接第一佈線 429a。第一佈線 429a 為應用負電壓 V_{DL} 之電源線（負電源線）。此電源線可為具接地電位之電源線（接地電位電源線）。

在本實施例中，第一電極層 422a 包括三層，並使用與實施例 2 中源極電極層 109a 及汲極電極層 109b 相同材料予以形成。在本實施例中，於導電膜定型之後，形成絕緣膜（詳圖 5A），此外選擇性蝕刻導電層及絕緣膜，使得以形成第一電極層 422a、第二電極層 422b、第三電極層 422c 及第三絕緣層 416（詳圖 5B）。提供第三絕緣層 416 以便降低之後形成之第二閘極電極層 419b 與第二電極層 422b 之間寄生電容。

在電容器部中，第四電極層 422d 為電容器電極層，係以與第一電極層 422a 相同步驟及材料而予形成。第四電極層 422d 與電極層 412c 重疊。

第五電極層 422e 係以與第一電極層 422a 相同步驟及材料，形成於第二電阻器之第四氧化物半導體層 417d 之上並與其接觸。

此外，第一電晶體 400 包括第一電極層 422a 及第二電極層 422b 之側壁 421。側壁 421 之底面接觸第一氧化物半導體層 417a 之頂面。類似地，第二電晶體 401 包括第二電極層 422b 及第三電極層 422c 之側壁 431。側壁 431 之底面接觸第二氧化物半導體層 417b 之頂面。側壁之提供使其可製造具有短通道長度 L 之小型電晶體；因而，可提升電路之操作速度，此外可降低電力消耗。

第二電晶體 401 包括做為第二佈線之第二閘極電極層 419b，及與第二閘極電極層 419b 重疊之第二氧化物半導體層 417b，且閘極絕緣層 427 插於其間。第三佈線 429b

為應用正電壓 V_{DH} 之電源線（正電源線）。

此外，第二電晶體 401 包括與第二氧化物半導體層 417b 局部接觸並與其重疊之第二電極層 422b 及第三電極層 422c。請注意，第二電極層 422b 及第三電極層 422c 係以與第一電極層 422a 相同步驟及材料而予形成。

抵達第二電極層 422b 之開口，係形成於第三絕緣層 416 及閘極絕緣層 427 中。第二電極層 422b 電性連接做為第二佈線之第二閘極電極層 419b，藉此第一電晶體 400 及第二電晶體 401 連接而形成 EDMOS 電路。

做為電容器佈線之第四佈線 429c，經由形成於與電極層 412c 重疊之部分第三絕緣層 416 及閘極絕緣層 427 中之開口，而連接第四電極層 422d。

第五佈線 429d 經由形成於與電極層 412d 重疊之部分第三絕緣層 416 及閘極絕緣層 427 中之開口，而接觸做為第一電阻器之第三氧化物半導體層 417c。

在本實施例中，說明一範例，其中 EDMOS 電路、電容器部、第一電阻器及第二電阻器係使用實施例 2 中所說明之電晶體而形成於一基板之上；然而，本發明並不特別侷限於此，且實施例 3 中所說明之電晶體亦可形成於相同基板。

圖 6A 描繪本實施例中可形成於相同基板上之佈線端子部的截面結構。圖 6A 為沿圖 6B 中線 C1-C2 之截面圖。

在圖 6A 中，形成於第三絕緣層 416 及閘極絕緣層

427 之堆疊上的導電層 439，為做為輸入端子之連接終端電極。此外，在圖 6A 中，於端子部中，使用與電極層 412b、412c、412d 及 412e 相同材料而予形成之電極層 412f，係提供於做為終端電極層並電性連接第一電極層 422a 之第六電極層 422f 之下，並與其重疊，且第一絕緣層 413 及第二絕緣層 415 插於其間。電極層 412f 並未與第六電極層 422f 電性連接。當電極層 412f 設定為具有與第六電極層 422f 不同電位時，例如浮動電位、GND 或 0 V，可形成避免雜訊或靜電之電容。此外，第六電極層 422f 電性連接導電層 439，且第三絕緣層 416 及閘極絕緣層 427 插於第六電極層 422f 與導電層 439 之間。

此外，第六電極層 422f 可以與第一電極層 422a 相同之材料及步驟而予形成。此外，導電層 439 可以與第一閘極電極層 419a 及第二閘極電極層 419b 相同之材料及步驟而予形成。

本實施例可自由地與任一其他實施例組合。

（實施例 5）

在本實施例中，將說明使用實施例 4 中所說明之 EDMOS 電路製造中央處理單元（CPU）之範例。

圖 18 為 CPU 之方塊圖範例。圖 18 中所描繪之 CPU 1001 包括時序控制電路 1002、指令解碼器 1003、暫存器陣列 1004、位址邏輯及緩衝器電路 1005、資料匯流排介面 1006、ALU 1007、指令暫存器 1008 等。

該些電路係使用實施例 1 至 4 中所說明之任一電晶體、反相器電路、電阻器、電容器等予以製造。實施例 1 至 4 中所說明之電晶體各包括具有大能隙且氫濃度充分降低之氧化物半導體層；因而，電晶體可為具極小關閉狀態電流之正常關電晶體。此外，在實施例 1 至 4 中所說明之每一電晶體中，側壁提供用於源極電極層及汲極電極層；因而，電晶體具有短通道長度 L 並可微型化，及可提升電路之操作速度。因而，至少部分 CPU 1001 係使用本發明之一實施例之電晶體予以形成，藉此可體現低電力消耗。

此處，簡要說明每一電路。時序控制電路 1002 接收來自外部之指令，將其轉換為內部資訊，並將該資訊傳輸予其他方塊。此外，時序控制電路 1002 依據內部操作而提供方向，諸如相對於外部讀取及寫入記憶體資料。指令解碼器 1003 具有將來自外部之指令轉換為內部資訊之功能。暫存器陣列 1004 為用於暫時儲存資料之揮發性記憶體。位址邏輯及緩衝器電路 1005 為用於指明外部記憶體位址之電路。資料匯流排介面 1006 為用於擷取資料進出外部記憶體或諸如印表機之裝置的電路。ALU 1007 為用於執行操作之電路。指令暫存器 1008 為用於暫時儲存指令之電路。CPU 包括該些電路之組合。

本實施例可自由地與任一其他實施例組合。

（實施例 6）

在本實施例中，將說明上述實施例中所說明之半導體

裝置的使用範例。具體地，以下將參照圖式說明可未接觸地輸入及輸出資料之半導體裝置的應用範例。可未接觸地輸入及輸出資料之半導體裝置依據用途，亦稱為 RFID 標籤、ID 標籤、IC 標籤、RF 標籤、無線標籤、電子標籤或無線晶片。

將參照圖 21A 至 21C 說明本實施例中所說明之半導體裝置的俯視結構範例。圖 21A 中所描繪之半導體裝置包括具天線（亦稱為晶片上天線）之半導體積體電路晶片 500，及具天線 505（亦稱為升壓器天線）之支撐基板 506。半導體積體電路晶片 500 係提供於絕緣層 510 之上，而絕緣層 510 係形成支撐基板 506 及天線 505 之上。藉由使用絕緣層 510，可將半導體積體電路晶片 500 固定於支撐基板 506 及天線 505。圖 21B 為圖 21A 中所描繪之半導體裝置的透視圖，其中半導體積體電路晶片 500 及天線 505 係堆疊形成於支撐基板 506 之上。圖 21C 為沿圖 21B 中虛線 X-Y 之截面圖。

請注意，導電屏蔽係提供於半導體積體電路晶片 500 之表面，以避免因靜電放電之半導體積體電路的靜電崩潰（例如電路故障或半導體元件損壞）。若導電屏蔽具有高電阻且電流無法通過天線 505 之型樣，提供於半導體積體電路晶片 500 之天線 505 與導電屏蔽可經提供而彼此接觸。

提供於半導體積體電路晶片 500 中之半導體積體電路包括複數元件，諸如構成記憶體部或邏輯部之電晶體。有

關構成記憶體部或邏輯部之電晶體，使用本發明之一實施例之電晶體。有關依據本實施例之半導體裝置中半導體元件，不僅可使用場效電晶體，亦可使用包括半導體層之記憶體元件；因而，可製造及提供符合各式應用所需功能之半導體裝置。

圖 20A 為圖 21A 中所描繪之半導體積體電路晶片 500 中所包括之天線及半導體積體電路之放大圖。在圖 20A 中，天線 501 為具一繞組之矩形迴路天線；然而，本發明之一實施例不侷限於此結構。迴路天線之形狀不侷限於矩形，而是可為具曲線之形狀，例如圓形。此外，繞組之數量不侷限於一，而是可為複數。請注意，若天線 501 具有一繞組，可降低半導體積體電路 503 與天線 501 之間寄生電容。

在圖 20A 及圖 21C 中，天線 501 經配置而環繞半導體積體電路 503 之周邊，除了由虛線表示之相應於饋電點 508 之部分外，天線 501 係配置於未與半導體積體電路 503 重疊之區域中。然而，本發明之一實施例不侷限於此結構。如圖 20B 中所描繪，除了由虛線表示之相應於饋電點 508 之部分外，天線 501 可經配置而與半導體積體電路 503 局部重疊。然而，如圖 20A 及圖 21C 中所描繪，天線 501 係配置於未與半導體積體電路 503 重疊之區域中；因而，可降低半導體積體電路 503 與天線 501 之間的寄生電容。

在圖 21A 中，藉由使用天線 501 及主要在虛線 507 所

環繞之迴路狀部分中的電磁感應，天線 505 可傳輸及接收信號或供應電力。此外，藉由主要在虛線 507 所環繞部分以外區域中的無線電波，天線 505 可傳輸及接收信號或供應電力至／自詢問器。用做詢問器與半導體裝置之間載子（載子波）之無線電波，較佳地具有約 30 MHz 至 5 GHz 之頻率，例如可具有 950 MHz 或 2.45 GHz 之頻帶。

儘管在虛線 507 所環繞之區域中，天線 505 為具一繞組之矩形及迴路狀天線，但本發明之一實施例不侷限於此結構。迴路天線之形狀不侷限於矩形，而是可為具曲線之形狀，例如圓形。此外，繞組之數量不侷限於一，而是可為複數。

對於本實施例中所說明之半導體裝置，可使用電磁感應法、電磁耦合法或微波法。若使用微波法，天線 501 及天線 505 之形狀可依據電磁波之波長而適當地決定。

若微波法（例如 UHF 頻帶（860 MHz 頻帶至 960 MHz 頻帶）或 2.45 GHz 頻帶）用做半導體裝置中信號傳輸方法，可考量用於信號傳輸之電磁波之波長而適當地決定天線之長度、形狀等。例如，天線可形成為線狀（例如偶極天線）或平板狀（例如平板天線或具有扁帶形狀之天線）。此外，天線之形狀不侷限於線狀，而是考量電磁波之波長，天線可具有曲線形狀，蜿蜒曲線形狀，或其組合形狀。

圖 22 描繪應用電磁感應法或電磁耦合法之具線圈天線 501 及線圈天線 505 的半導體裝置範例。

在圖 22 中，具線圈天線 501 之半導體積體電路晶片 500 係形成於具線圈天線 505 之支撐基板 506 之上，做為升壓器天線。

其次，將說明半導體積體電路晶片 500 及升壓器天線之結構及其配置。包括本發明之一實施例之電晶體的半導體裝置可用於圖 21C 中所描繪之半導體積體電路晶片 500，此處，藉由將半導體裝置區分為個別晶片而獲得之晶片稱為半導體積體電路晶片。

圖 21C 中所描繪之半導體積體電路 503 夾於第一絕緣體 512 與第二絕緣體 502 之間，且半導體積體電路 503 之側面被密封。在本實施例中，附著複數半導體積體電路夾於其間之第一絕緣體與第二絕緣體，之後半導體積體電路個別被劃分為堆疊。形成用於分割堆疊之導電屏蔽，並形成半導體積體電路晶片 500。對於分割裝置並無特別限制，只要該裝置可實體分割，並藉由本實施例中輻照之雷射光束執行分割即可。

在圖 21C 中，半導體積體電路 503 較天線 501 更接近天線 505；然而本發明之一實施例不侷限於此結構。天線 501 可經配置而較半導體積體電路 503 更接近天線 505。半導體積體電路 503 及天線 501 可直接附著至第一絕緣體 512 及第二絕緣體 502，或可藉由做為黏合劑之黏結層而予附著。

其次，將說明本實施例之半導體裝置的操作。圖 19 為方塊圖，描繪本實施例之半導體裝置的結構範例。圖

19 中所描繪之半導體裝置 520 包括升壓器天線 522、半導體積體電路 523 及晶片上天線 524。當電磁波從詢問器 521 傳輸時，升壓器天線 522 接收電磁波而產生交流電，藉此產生圍繞升壓器天線 522 之磁場。之後，升壓器天線 522 中所包括之迴路狀部分及具有迴路形狀之晶片上天線 524 彼此電磁耦合，使得以於晶片上天線 524 中產生感應電動勢。半導體積體電路 523 藉由使用感應電動勢而接收來自詢問器 521 之信號或電力。相反地，當電流依據半導體積體電路 523 中產生之信號而經由晶片上天線 524 時，使得以於升壓器天線 522 中產生感應電動勢，信號可於自詢問器 521 傳輸之電波的反射波上，傳輸至詢問器 521。

請注意，升壓器天線 522 可劃分為迴路狀部分，其主要電磁耦合晶片上天線 524，及主要接收來自詢問器 521 之電波的部分。升壓器天線 522 之主要接收來自詢問器 521 之無線電波的部分之形狀，並無特別限制，只要升壓器天線 522 可接收無線電波即可。例如，偶極天線之形狀可使用折疊偶極天線、槽天線、曲折線天線、微帶天線等。

儘管圖 21A 至 21C 描繪僅具有一天線之半導體裝置的結構，本發明之一實施例不侷限於此結構。半導體裝置可具有二天線：一用於接收電力，另一則用於接收信號。當包括二天線時，用於供應電力之無線電波的頻率，及用於傳輸信號之無線電波的頻率，可分別使用。

在本實施例之半導體裝置中，使用晶片上天線，並可

於升壓器天線與晶片上天線之間無接觸地傳輸及接收信號或電力；因此，不同於外部天線連接半導體積體電路之狀況，半導體積體電路與天線極不可能因外部力量而脫離，且亦可抑制連接中初始故障的產生。此外，由於在本實施例中使用升壓器天線，不同於僅使用晶片上天線之狀況，亦可提供外部天線之優點。換言之，半導體積體電路之區域並不顯著地侷限晶片上天線之尺寸或形狀，不侷限於可接收無線電波之頻帶，並可提升通訊距離。

半導體積體電路可直接形成於軟性基板上。另一方面，半導體積體電路可從形成基板（例如玻璃基板）轉移至其他基板（例如塑料基板）。

對於半導體積體電路從形成基板轉移至其他基板之方法並無特別限制，並可使用各式方法。例如，形成基板與半導體積體電路之間可形成分離層。

例如，若形成金屬氧化物膜做為分離層，金屬氧化物膜便藉由結晶而變弱，而包括半導體積體電路之元件層，其為將分離之層，可從形成基板分離。在金屬氧化物膜藉由結晶變弱之後，可藉由蝕刻，使用諸如 NF_3 、 BrF_3 或 ClF_3 之鹵素氟化物氣體，而移除部分分離層，且之後可於變弱之金屬氧化物膜中執行分離。

此外，若具有透光屬性之基板用做形成基板，及包含氮、氧、氫等之膜（例如包含氮之非結晶矽膜、包含氮之合金膜、包含氧之合金膜等）用做分離層，經由形成基板以雷射光輻照分離層，分離層中所包含之氮、氧或氫蒸

發，使得形成基板與分離層之間可發生分離。

另一方面，將分離之層可藉由蝕刻移除分離層而從形成基板分離。

另一方面，可使用藉由機械研磨而移除形成基板之方法，或使用諸如 NF_3 、 BrF_3 、 ClF_3 或 HF 之鹵素氟化物氣體，並藉由蝕刻而移除形成基板之方法。在此狀況下，分離層可省略。

另一方面，可使用雷射輻照、使用氣體、溶液等之蝕刻、或尖刀或手術刀，以形成槽而暴露分離層。槽可觸發將從形成基板分離之層與分離層分離。

有關分離方法，亦可使用例如機械力量（以人手或夾具之分離處理、藉由滾筒旋轉之分離處理等）。另一方面，將分離之層可以液體滴入槽之方式，使得液體滲入分離層與將分離之層之間介面，而與分離層分離。另一方面，可使用一種方法，其中將諸如 NF_3 、 BrF_3 或 ClF_3 之氟化物氣體導入槽，藉由使用氟化物氣體蝕刻而移除分離層，使得將分離之層與形成基板分離。再另一方面，可於分離期間同時灌注諸如水之液體，而執行分離。

有關其他分離方法，若使用鎢形成分離層，便可藉由氨水與過氧化氫水之混合溶液蝕刻分離層，而執行分離。

如上述，藉由使用本發明之一實施例之電晶體，可製造半導體裝置。本發明之一實施例之電晶體具有短通道長度 L 並可微型化；因而，可提升電路之操作速度，此外可降低半導體裝置之電力消耗。

本實施例可自由地與任一其他實施例組合。

（實施例 7）

在本實施例中，將參照圖式說明使用實施例 6 中所說明之裝置形成可無接觸地輸入及輸出資料之半導體裝置的應用範例。依據用途，可無接觸地輸入及輸出資料之半導體裝置亦稱為 RFID 標籤、ID 標籤、IC 標籤、IC 晶片、RF 標籤、無線標籤、電子標籤或無線晶片。

半導體裝置 800 具有無接觸地交換資料之功能，並包括高頻電路 810、電源電路 820、重置電路 830、時脈產生電路 840、資料解調電路 850、資料調變電路 860、用於控制其他電路之控制電路 870、記憶體電路 880 及天線 890（圖 23A）。高頻電路 810 接收來自天線 890 之信號，並經由天線 890 將接收來自資料解調電路 860 之信號輸出。電源電路 820 從所接收之信號產生電源電位。重置電路 830 產生重置信號。時脈產生電路 840 依據從天線 890 輸入之信號，產生各式時脈信號。資料解調電路 850 解調所接收之信號，並將信號輸出至控制電路 870。資料調變電路 860 調變所接收來自控制電路 870 之信號。控制電路 870 包括例如代碼提取電路 910、代碼決定電路 920、CRC 決定電路 930 及輸出單元電路 940。代碼提取電路 910 提取傳輸至控制電路 870 之指令中所包括之每一複數代碼。代碼決定電路 920 藉由比較所提取之代碼與相應於參考之代碼，而決定指令之內容。CRC 決定電路 930

依據所決定之代碼，檢測是否存在傳輸錯誤等。

其次，將說明上述半導體裝置之操作範例。首先，藉由天線 890 接收無線電信號。無線電信號經由高頻電路 810 而傳輸至電源電路 820，藉此產生高電源電位（以下稱為 V_{DD} ）。 V_{DD} 供應予半導體裝置 800 中所包括之每一電路。經由高頻電路 810 而傳輸至資料解調電路 850 之信號被解調（以下，該信號稱為解調的信號）。再者，信號經由高頻電路 810 而通過重置電路 830 及時脈產生電路 840，而解調的信號則傳輸至控制電路 870。傳輸至控制電路 870 之信號藉由代碼提取電路 910、代碼決定電路 920、CRC 決定電路 930 等予以分析。之後，依據所分析之信號，輸出儲存於記憶體電路 880 中半導體裝置之資訊。半導體裝置之輸出資料經由輸出單元電路 940 予以編碼。此外，半導體裝置 800 之編碼資料通過資料調變電路 860，將經由天線 890 以無線電信號傳輸。請注意，低電源電位（以下稱為 V_{SS} ）在半導體裝置 800 中所包括之複數電路中為共通的，且 GND 可用做 V_{SS} 。

以此方式，半導體裝置 800 之資料可藉由從通訊裝置傳輸信號至半導體裝置 800，及通訊裝置接收來自半導體裝置 800 之信號，而予讀取。

此外，半導體裝置 800 可為一種裝置，其中不包括電源（例如電池），且電源電壓藉由使用電磁波而供應予電路。半導體裝置 800 亦可為一種裝置，其中包括電源（例如電池），且電源電壓藉由使用電磁波及電源（電池）而

供應予電路。

其次，將說明可無接觸地輸入及輸出資料之半導體裝置的使用範例。包括顯示部 3210 之行動終端機的側面具通訊裝置 3200。產品 3220 的側面具半導體裝置 3230（圖 23B）。當通訊裝置 3200 置放接近產品 3220 上半導體裝置 3230 時，產品 3220 上資訊，諸如原料或產品來源、每一生產步驟之檢查結果、流通過程之歷史、及產品說明，顯示於顯示部 3210。此外，當產品 3260 藉由輸送帶運輸時，產品 3260 可藉由使用提供予產品 3260 之通訊裝置 3240 及半導體裝置 3250 予以檢查（圖 23C）。當半導體裝置以此方式用於一系統中時，可輕易地獲得資訊，並達成較高的性能及較高的附加價值。

如上述，本發明之半導體裝置具有極寬的應用範圍，可用於所有領域的電子裝置中。

（實施例 8）

在本實施例中，將說明可使用實施例 1 至 4 中所說明之電晶體而形成之記憶體電路範例。

圖 24A 為記憶體電路之範例方塊圖。圖 24A 所描繪之記憶體電路包括列解碼器、寫入及刷新電路、行解碼器及以矩陣排列之記憶體元件 1100。連接以矩陣排列之記憶體元件 1100 的信號線，經由寫入及刷新電路而連接列解碼器。連接以矩陣排列之記憶體元件 1100 的掃描線，連接行解碼器。位元信號被輸入至列解碼器。讀取致能信

號及寫入致能信號（RE/WE）及資料信號（data）被輸入至寫入及刷新電路，及輸出信號（OUT）係從寫入及刷新電路輸出。

每一記憶體元件 1100 包括電容器及電晶體。電晶體之源極及汲極之一連接信號線，電晶體之源極及汲極之另一連接電容器之一電極，電容器之另一電極連接低電位側（較佳地為參考電位 V_{ss} ）。

圖 24B 描繪提供於圖 24A 中所描繪之寫入及刷新電路中之刷新電路結構的具體範例。

圖 24B 中所描繪之寫入及刷新電路包括 AND 電路及感應放大器。信號從列解碼器輸入至每一第一 AND 電路 1101、第二 AND 電路 1102 及第三 AND 電路 1103 之一輸入。PRC 信號輸入至第一 AND 電路 1101 之另一輸入，寫入致能信號（WE）輸入至第二 AND 電路 1102 之另一輸入，及讀取致能信號（RE）輸入至第三 AND 電路 1103 之另一輸入。第一 AND 電路 1101 之輸出控制第一開關 1104 之開啟／關閉，第二 AND 電路 1102 之輸出控制第二開關 1105 之開啟／關閉，及第三 AND 電路 1103 之輸出控制第三開關 1106 之開啟／關閉。預充電信號線 V_{prc} 經由第一開關 1104 連接信號線，資料信號線（data）經由第二開關 1105 連接信號線。

經由第一開關 1104 及第二開關 1105 而連接之信號線，經由第三開關 1106 連接感應放大器。信號從感應放大器輸出至輸出信號線（OUT）。

上述 AND 電路可具有一般結構，較佳地具有簡單結構。

感應放大器為具有放大輸入信號之功能的電路。

請注意，有關信號，此處使用類比信號或數位信號，例如可使用電壓、電流、電阻、頻率等。例如，至少設定第一電位及第二電位，即，高位準（亦稱為高電位或 V_H ）電位用做第一電位，及低位準（亦稱為低電位或 V_L ）電位用做第二電位，藉此可設定二進位數位信號。儘管 V_H 及 V_L 較佳地為固定值，但 V_H 及 V_L 可考量雜訊影響而採取一範圍值。

如上述，可使用上述實施例中所說明之電晶體及電容器，製造記憶體電路。

依據預先評估之記憶體元件的洩漏電流，記憶體電路之刷新時序於設計階段可設定為某時間間隔。換言之，在晶片完成後，考量洩漏電流之溫度相依性及製造程序之波動，而設定刷新時序。

在本發明之一實施例的電晶體中，側壁係提供用於源極電極層及汲極電極層；因而，電晶體具有短通道長度 L 並可微型化。當使用該電晶體形成電路時，可體現低電力消耗，且記憶體電路可穩定操作。

本發明之一實施例之電晶體包括具有大能隙且氫濃度充分降低之氧化物半導體層；因而，電晶體之關閉狀態電流可極小，且溫度範圍介於 -30°C 至 120°C 之關閉狀態電流溫度特性難以改變，並可維持極小關閉狀態電流。因此，

可體現正常關電晶體。

因而，藉由使用本發明之一實施例之電晶體，相較於包括矽之電晶體，刷新間隔可設定較長，並可降低待機期間電力消耗。

此外，由於關閉狀態電流具有小的溫度相依性，本實施例中記憶體電路適於車廂內電子裝置。由於待機期間洩漏電流極小，若於電車中使用記憶體電路，待機期間每充電量之行進距離難以改變。

本實施例可自由地與任一其他實施例組合。

（實施例 9）

在本實施例中，將說明可使用任一上述實施例中所說明之電晶體，形成之移位暫存器範例。

圖 25A 為方塊圖，描繪移位暫存器範例。圖 25A 中所描繪之移位暫存器包括兩時脈信號線及各電性連接該些時脈信號線之兩級正反器。請注意，可進一步提供時脈信號線，即可提供更多級之正反器。

在該兩時脈信號線中，每一時脈信號輸入如下：當一時脈信號線切換為高位準（ V_H ）時，另一則切換為低位準（ V_L ）。

參照圖 25A 中所描繪之移位暫存器，描繪移位暫存器之範例，其包括正反器，從電性連接第一時脈信號線 CLK 之第一極正反器，電性連接第二時脈信號線 CLKB 之第二極正反器，至第（ $n-1$ ）極正反器及第 n 極正反器。然

而，本發明之一實施例不侷限於此，且移位暫存器包括至少第一正反器及第二正反器。

時脈信號線 CLK 為輸入時脈信號 CK 之佈線。

時脈信號線 CLKB 為輸入時脈信號 CKB 之佈線。

可使用例如 NOT 電路（反相器電路）產生時脈信號 CK 及時脈信號 CKB。

起始信號 SP 及起始信號 SPB 輸入至第一正反器，時脈信號 CK 輸入至第一正反器做為時脈信號，及第一正反器依據已輸入之信號 SP、信號 SPB 及時脈信號 CK 之狀態而輸出輸出信號 OUT1。在本說明書中，信號之狀態係指例如信號之電位、電流或頻率。

可使用例如 NOT 電路（反相器電路）產生起始信號 SP 及起始信號 SPB。

在本說明書中，有關信號，例如可使用其使用電壓、電流、電阻、頻率等之類比信號或數位信號。例如，至少設定第一電位及第二電位，即，高位準（亦稱為高電位或 V_H ）電位用做第一電位，及低位準（亦稱為低電位或 V_L ）電位用做第二電位，藉此可設定二進位數位信號。儘管 V_H 及 V_L 較佳地為固定值，但 V_H 及 V_L 可考量雜訊影響而採取一範圍值。

第二正反器具有下列功能：第一正反器之輸出信號 OUT1 輸入第二正反器做為起始信號 SP，時脈信號 CKB 輸入第二正反器做為時脈信號，及第二正反器輸出信號 OUT2 做為輸出信號，其係依據輸出信號及已輸入之時脈

信號 CKB 的狀態加以設定。

圖 25B 描繪圖 25A 中所描繪之第一正反器結構的具體範例。

起始信號 SP 輸入至第一電晶體 1111 之源極及汲極之一，及第四電晶體 1114 之源極或汲極之一。

起始信號 SPB 輸入至第二電晶體 1112 之源極及汲極之一，及第三電晶體 1113 之源極或汲極之一。

時脈信號 CK 輸入至第一電晶體 1111、第二電晶體 1112、第三電晶體 1113 及第四電晶體 1114 之每一閘極。

第一電晶體 1111 之源極及汲極之另一，連接第五電晶體 1115 之閘極及第一電容器 1119 之一電極。

第二電晶體 1112 之源極及汲極之另一，連接第六電晶體 1116 之閘極及第二電容器 1120 之一電極。

第三電晶體 1113 之源極及汲極之另一，連接第七電晶體 1117 之閘極及第三電容器 1121 之一電極。

第四電晶體 1114 之源極及汲極之另一，連接第八電晶體 1118 之閘極及第四電容器 1122 之一電極。

第五電晶體 1115 之汲極連接高電位側（較佳地為電源電位 V_{dd} ）。第五電晶體 1115 之源極連接第一電容器 1119 之另一電極及第六電晶體 1116 之汲極，並輸出輸出信號 OUT。第二電容器 1120 之另一電極及第六電晶體 1116 之源極連接低電位側（較佳地為參考電位 V_{ss} ）。

第七電晶體 1117 之汲極連接高電位側（較佳地為電源電位 V_{dd} ）。第七電晶體 1117 之源極連接第三電容器

1121 之另一電極及第八電晶體 1118 之汲極，並輸出輸出信號 OUTB。第四電容器 1122 之另一電極及第八電晶體 1118 之源極連接低電位側（較佳地為參考電位 V_{ss} ）。

第一電容器 1119、第二電容器 1120、第三電容器 1121 及第四電容器 1122 可形成於與使用上述實施例中所說明之電容器的電晶體相同基板之上。

如上述，可使用本發明之一實施例的電晶體，其包括純化氧化物半導體層，製造正反器電路。本發明之一實施例的電晶體，其中側壁係提供用於源極電極層及汲極電極層，具有短通道長度 L 並可微型化；因而，可提升電路之操作速度，及可降低電力消耗。

本實施例可自由地與任一其他實施例組合。

（實施例 10）

在本實施例中，將說明可使用任一上述實施例中所說明之電晶體形成升壓器電路（電荷泵電路）之範例。

圖 26 描繪升壓器電路結構之具體範例。圖 26 中所描繪之升壓器電路包括兩時脈信號線 CLK 及 CLKB。每一複數電容器 1124 之一電極連接時脈信號線 CLK 或時脈信號線 CLKB。每一複數電容器 1124 之另一電極連接佈線，其係與各為前向偏壓方向二極體連接之複數電晶體 1123 之一之汲極電極，及鄰近該電晶體之電晶體的源極電極及閘極電極連接。再者，包括儲存電容器，其電極之一連接最後列之電晶體的汲極電極，另一電極則保持固定電位。

請注意，可進一步提供時脈信號線。

依據將輸出之電位，可附加提供電晶體及電容器。

在兩時脈信號線中，每一時脈信號輸入如下：當一時脈信號線切換為高位準（ V_H ）時，另一則切換為低位準（ V_L ）。

可使用例如 NOT 電路（反相器電路）產生時脈信號 CK 及時脈信號 CKB。可使用實施例 4 中所說明之 EDMOS 電路製造 NOT 電路。

藉由使用圖 26 中所描繪之升壓器電路，從 V_{in} 輸入之電位可上升至 V_{out} 。例如，當從 V_{in} 輸入電源電位 V_{dd} 時，可從 V_{out} 輸出高於 V_{dd} 之電位，並上升至預定電位。因而，具上升至預定電位之電位的信號輸入至例如電源線，並用於每一安裝於與升壓器電路相同基板上之電路。

請注意，此處儲存電容器之另一電極所處之固定電位可為例如電源電位 V_{dd} 或參考電位 V_{ss} 。

在本說明書中，有關信號，例如可使用其使用電壓、電流、電阻、頻率等之類比信號或數位信號。例如，至少設定第一電位及第二電位，即，高位準（亦稱為高電位或 V_H ）電位用做第一電位，及低位準（亦稱為低電位或 V_L ）電位用做第二電位，藉此可設定二進位數位信號。儘管 V_H 及 V_L 較佳地為固定值，但 V_H 及 V_L 可考量雜訊影響而採取一範圍值。

如上述，可使用任一上述實施例中所說明之電晶體製造升壓器電路。在本發明之一實施例的電晶體中，側壁係

提供用於源極電極層及汲極電極層，電晶體具有短通道長度 L 並可微型化；因而，可提升電路之操作速度，及可降低電力消耗。

本實施例可自由地與任一其他實施例組合。

（實施例 11）

在本實施例中，將參照圖 27A 至 27E 說明依據任一實施例 1 至 10 可獲得安裝而具半導體積體電路之電子裝置的範例。請注意，半導體積體電路係安裝於電路板等之上，之後併入每一電子裝置主體內部。

包括任一上述實施例中所說明之電晶體的半導體積體電路係安裝於主機板上。半導體積體電路係藉由安裝邏輯電路、快閃記憶體電路、SRAM 電路、DRAM 電路等予以製造。此外，亦可安裝上述實施例中所說明之 CPU 或邏輯電路。半導體積體電路可藉由引線接合法予以安裝。亦在此狀況下，可安裝具有各式形狀之積體電路膜。

此外，軟性印刷電路（FPC）附著至電路板，且電路板經由 FPC 而連接顯示裝置等。可形成顯示部之驅動器及控制器。顯示部之驅動器包括上述實施例中所說明之移位暫存器或 EDMOS 電路。

圖 27A 描繪藉由安裝至少半導體積體電路做為元件而製造之膝上型個人電腦，其包括主體 3001、外殼 3002、顯示部 3003、鍵盤 3004 等。膝上型個人電腦包括上述實施例中所說明之 CPU、DRAM 電路等。

圖 27B 描繪藉由安裝至少半導體積體電路做為元件而製造之可攜式資訊終端機（PDA），其包括主體 3021 中顯示部 3023、外部介面 3025、操作按鈕 3024 等。此外，可攜式資訊終端裝置具有手寫筆 3022 做為操作配件。

圖 27C 描繪藉由安裝至少半導體積體電路做為元件而製造之配備電子紙之電子書閱讀器。電子紙可用於各領域之電子裝置，只要其可顯示資料。例如，電子紙可應用於電子書閱讀器（電子書）、海報、諸如火車之車廂廣告、或諸如信用卡之各類卡之顯示裝置。圖 27C 描繪電子書閱讀器之範例。例如，電子書閱讀器 2700 包括兩外殼：外殼 2701 及外殼 2703。外殼 2701 及外殼 2703 係以絞鏈 2711 結合，使得電子書閱讀器 2700 可以絞鏈 2711 做為軸而開啟或關閉。基於該等結構，電子書閱讀器 2700 可如同紙本書籍般操作。

顯示部 2705 及顯示部 2707 分別併入外殼 2701 及外殼 2703。顯示部 2705 及顯示部 2707 可顯示一影像或不同影像。若顯示部 2705 及顯示部 2707 顯示不同影像，例如，在右側之顯示部（圖 27C 中顯示部 2705）可顯示正文，及左側之顯示部（圖 27C 中顯示部 2707）可顯示影像。

圖 27C 描繪一範例，其中外殼 2701 經提供而具操作部等。例如，外殼 2701 經提供而具電源開關 2721、操作鍵 2723、揚聲器 2725 等。基於操作鍵 2723，頁面可以翻轉。請注意，鍵盤、指向裝置等可提供於外殼之表面上，

其上提供顯示部。此外，外部連接端子（耳機端子、USB 端子、可連接諸如 AC 轉接器及 USB 纜線之各類纜線的端子）、記錄媒體嵌入部等可提供於外殼之背面或側面。再者，電子書閱讀器 2700 可具有電子字典之功能。

電子書閱讀器 2700 具有組態，可無線發送及接收資料。經由無線通訊，可從電子書伺服器採購及下載所需書籍資料等。

圖 27D 為藉由安裝至少半導體積體電路做為元件而製造之行動電話，其包括兩外殼：外殼 2800 及外殼 2801。外殼 2801 包括顯示面板 2802、揚聲器 2803、麥克風 2804、指向裝置 2806、相機鏡頭 2807、外部連接端子 2808 等。外殼 2800 包括太陽能電池 2810，用於充電可攜式資訊終端機、外部記憶體槽 2811 等。此外，天線併入外殼 2801。

此外，顯示面板 2802 經提供而具觸控面板。以影像顯示之複數操作鍵 1805 於圖 27D 中以虛線描繪。顯示面板 2802 經安裝而具升壓器電路（上述實施例中所說明之升壓器電路），用於將電壓輸出從太陽能電池 2810 上升至每一電路所需電壓。

此外，除了上述結構，可結合上述實施例中所說明之無接觸 IC 晶片或小型記憶體裝置等。

在顯示面板 2802 中，顯示方向依據使用型樣而酌情改變。此外，相機鏡頭 2807 提供於與顯示面板 2802 相同表面上；因而可用做視訊電話。揚聲器 2803 及麥克風

2804 可用於視訊電話、記錄、播放等，不侷限於語言通訊。再者，外殼 2800 及 2801 處於圖 27D 中所描繪之展開狀態，而藉由滑動而使得彼此重疊；因此，行動電話之尺寸可降低，此使得行動電話適於攜帶。

外部連接端子 2808 可連接 AC 轉接器及諸如 USB 纜線之各類纜線，並可與個人電腦充電及資料通訊。再者，藉由將儲存媒體嵌入外部記憶體槽 2811，大量資料可儲存及移動。

此外，除了上述功能外，可提供紅外線通訊功能、電視接收功能等。

圖 27E 描繪藉由安裝至少半導體積體電路做為元件而製造之數位相機，其包括主體 3051、顯示部 A 3057、目鏡 3053、操作開關 3054、顯示部 B 3055、電池 3056 等。

如上述，包括上述實施例中所說明之電晶體的半導體裝置具有極寬的應用範圍，可用於所有領域的電子裝置中。本發明之一實施例的電晶體具有短通道長度 L 並可微型化，其中側壁提供用於源極電極層及汲極電極層。因而，藉由使用本發明之一實施例之電晶體，可提升電路之操作速度，及可降低電子裝置的電力消耗。

本實施例可自由地與任一實施例 1 至 10 組合。

本應用係依據 2009 年 12 月 4 日向日本專利局提出申請之序號 2009-276004 日本專利申請案，其整個內容係以提及方式併入本文。

【符號說明】

101、301、411：基板

102、412b、412c、412d、412e、412f：電極層

103、303、413：第一絕緣層

105、305、415：第二絕緣層

107、307：氧化物半導體層

109a：源極電極層

109b：汲極電極層

117、317、427：閘極絕緣層

119、319：閘極電極層

120、310、320、510：絕緣層

121、321、421、431：側壁

199：虛線部分

200、201、300、1123：電晶體

306、308：導電膜

309a：第一源極電極層

309b：第一汲極電極層

311a：第二源極電極層

311b：第二汲極電極層

315、416：第三絕緣層

400、1111：第一電晶體

401、1112：第二電晶體

417a：第一氧化物半導體層

417b：第二氧化物半導體層

417c：第三氧化物半導體層

417d：第四氧化物半導體層

419a：第一閘極電極層

419b：第二閘極電極層

422a：第一電極層

422b：第二電極層

422c：第三電極層

422d：第四電極層

422e：第五電極層

422f：第六電極層

429a：第一佈線

429b：第三佈線

429c：第四佈線

429d：第五佈線

439：導電層

500：半導體積體電路晶片

501、505、522、524、890：天線

502、512：絕緣體

503、523：半導體積體電路

506：支撐基板

507：虛線

508：饋電點

520、800、3230、3250：半導體裝置

521：詢問器

- 810：高頻電路
- 820：電源電路
- 830：重置電路
- 840：時脈產生電路
- 850：資料解調電路
- 860：資料調變電路
- 870：控制電路
- 880：記憶體電路
- 910：代碼提取電路
- 920：代碼決定電路
- 930：CRC 決定電路
- 940：輸出單元電路
- 1001：中央處理單元（CPU）
- 1002：時序控制電路
- 1003：指令解碼器
- 1004：暫存器陣列
- 1005：位址邏輯及緩衝器電路
- 1006：資料匯流排介面
- 1007：算術邏輯單元（ALU）
- 1008：指令暫存器
- 1100：記憶體元件
- 1101：第一邏輯積體電路
- 1102：第二邏輯積體電路
- 1103：第三邏輯積體電路

1104：第一開關

1105：第二開關

1106：第三開關

1113：第三電晶體

1114：第四電晶體

1115：第五電晶體

1116：第六電晶體

1117：第七電晶體

1118：第八電晶體

1119：第一電容器

1120：第二電容器

1121：第三電容器

1122：第四電容器

1124：電容器

2700：電子書閱讀器

2701、2703、2800、2801、3002：外殼

2705、2707、3003、3023、3210：顯示部

2711：絞鏈

2721：電源開關

2723、2805：操作鍵

2725、2803：揚聲器

2802：顯示面板

2804：麥克風

2806：指向裝置

2807：相機鏡頭
2808：外部連接端子
2810：太陽能電池
2811：外部記憶體槽
3001、3021、3051：主體
3004：鍵盤
3022：手寫筆
3024：操作按鈕
3025：外部介面
3053：目鏡
3054：操作開關
3055：顯示部 B
3056：電池
3057：顯示部 A
3200、3240：通訊裝置
3220、3260：產品

申請專利範圍

【請求項 1】一種半導體裝置，包括：

包括矽和氮的第一絕緣層；

該第一絕緣層之上的第二絕緣層，該第二絕緣層包括矽和氧；

該第二絕緣層之上的氧化物半導體層，該氧化物半導體層包括銦、鎵和鋅；以及

該氧化物半導體層之上的源極電極和汲極電極，

其中，該源極電極和該汲極電極各自包括第一導電層、該第一導電層之上的第二導電層、和該第二導電層之上的第三導電層，

其中，該第二導電層包括銅，

其中，該第一導電層包括自該第二導電層之端部延伸出的區域，並且

其中，包括金屬材料且為側壁的層與該第二導電層的側面相接觸而且在該區域之上。

【請求項 2】一種半導體裝置，包括：

包括矽和氮的第一絕緣層；

該第一絕緣層之上的第二絕緣層，該第二絕緣層包括矽和氧；

該第二絕緣層之上的氧化物半導體層，該氧化物半導體層包括銦、鎵和鋅；以及

該氧化物半導體層之上的源極電極和汲極電極，

其中，該源極電極和該汲極電極各自包括第一導電

層、該第一導電層之上的第二導電層、和該第二導電層之上的第三導電層，

其中，該第二導電層包括銅，

其中，該第一導電層包括自該第二導電層之端部延伸出的區域，

其中，包括金屬材料且為側壁的層與該第二導電層的側面相接觸而且在該區域之上，並且

其中，該第二導電層的該側面成錐形。

【請求項 3】如請求項 1 或 2 之半導體裝置，還包括與為該側壁的該層和該氧化物半導體層相接觸之第三絕緣層，該第三絕緣層包括矽和氧。

【請求項 4】如請求項 1 或 2 之半導體裝置，還包括與為該側壁的該層重疊之閘極電極，

其中，該閘極電極包括銅。

【請求項 5】如請求項 1 或 2 之半導體裝置，還包括與為該側壁的該層重疊之閘極電極，

其中，該閘極電極包括包含銅的第四導電層和包含鈦的第五導電層。

【請求項 6】如請求項 1 或 2 之半導體裝置，還包括在該第一絕緣層下方之閘極電極。

【請求項 7】如請求項 1 或 2 之半導體裝置，其中，為該側壁的該層不與該氧化物半導體層相接觸。

【請求項 8】如請求項 1 或 2 之半導體裝置，其中，為該側壁的該層與該第三導電層的側面相接觸。

【請求項 9】一種電氣設備，包括如請求項 1 或 2 之半導體裝置。

圖式

圖1A

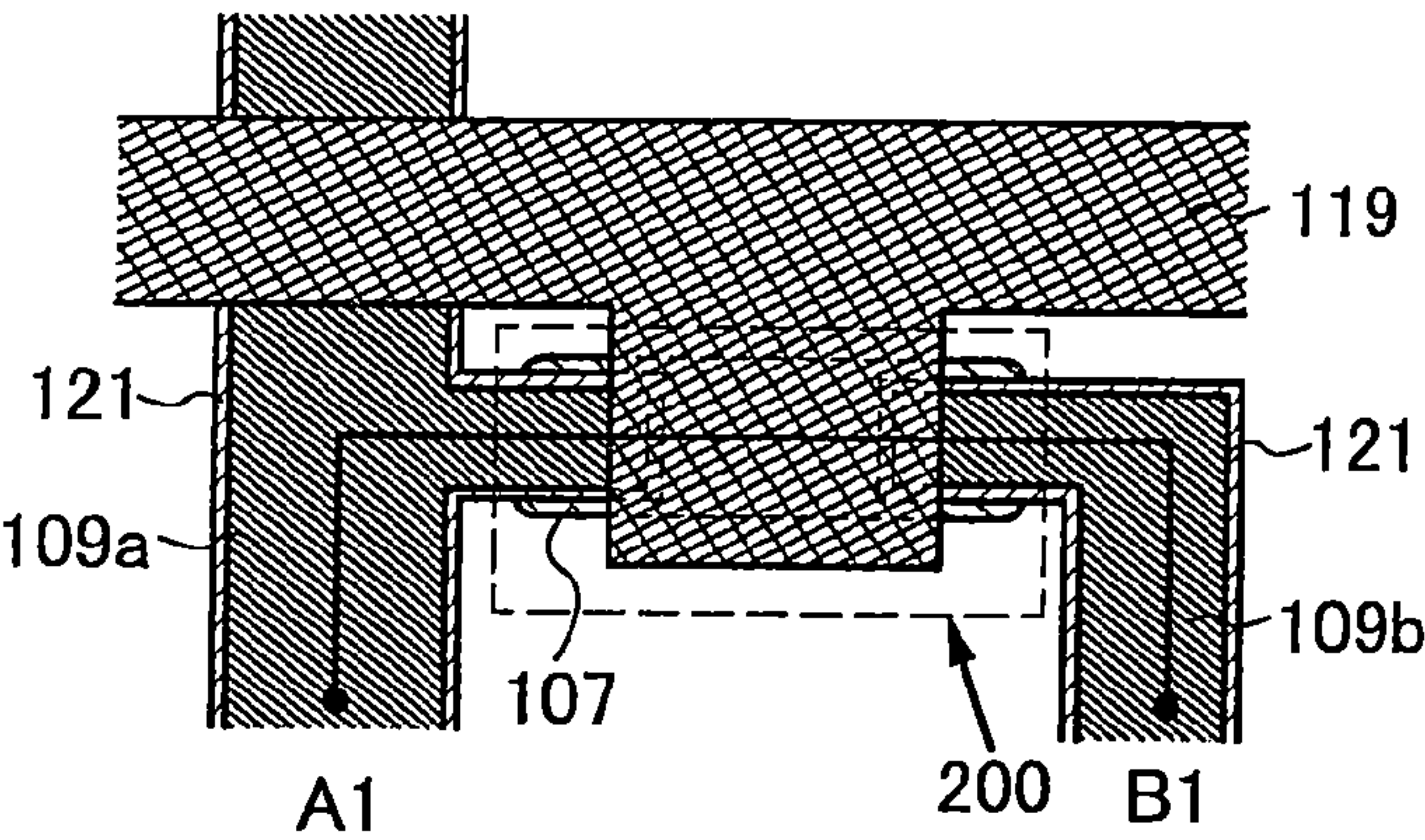


圖1B

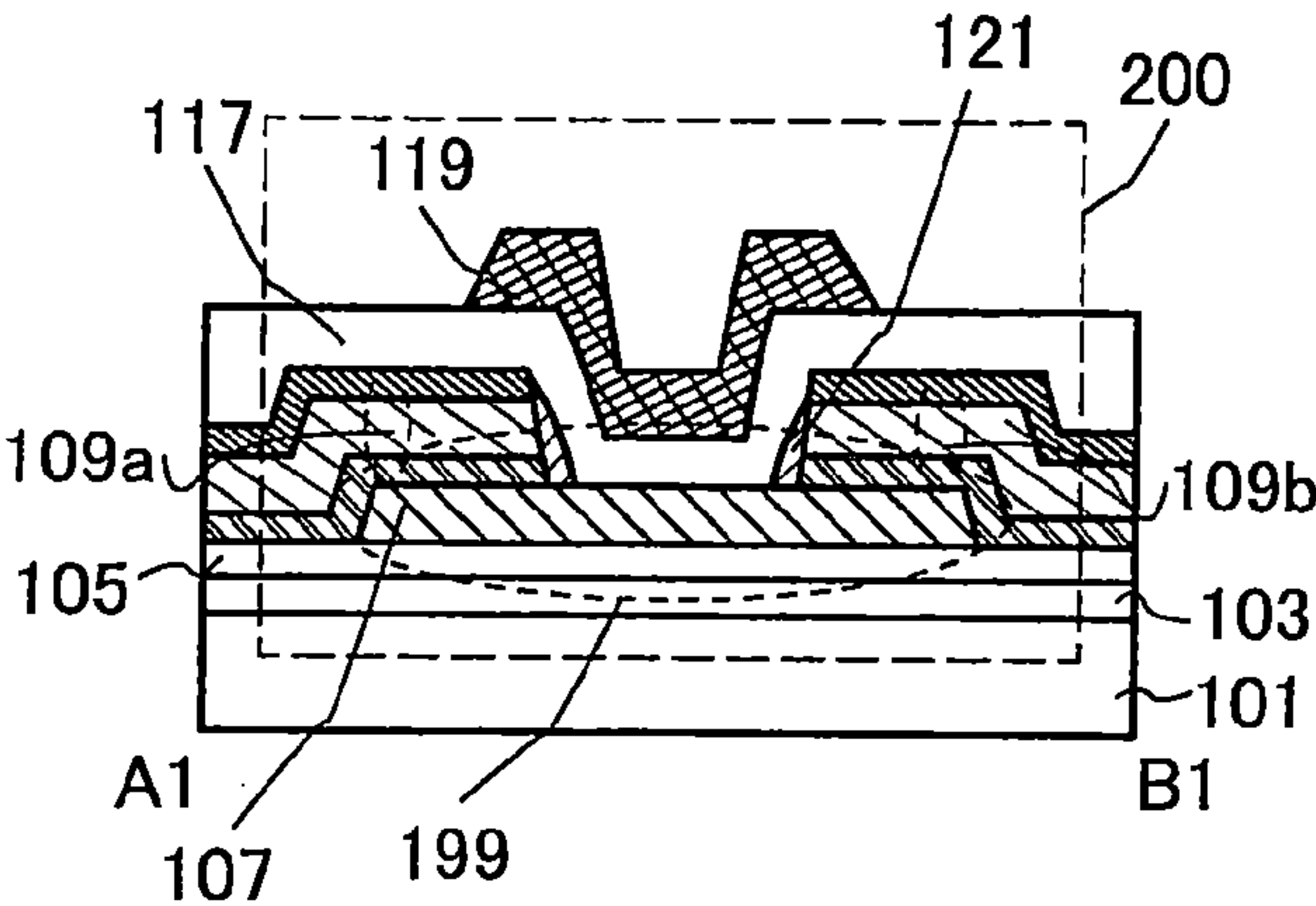


圖1C

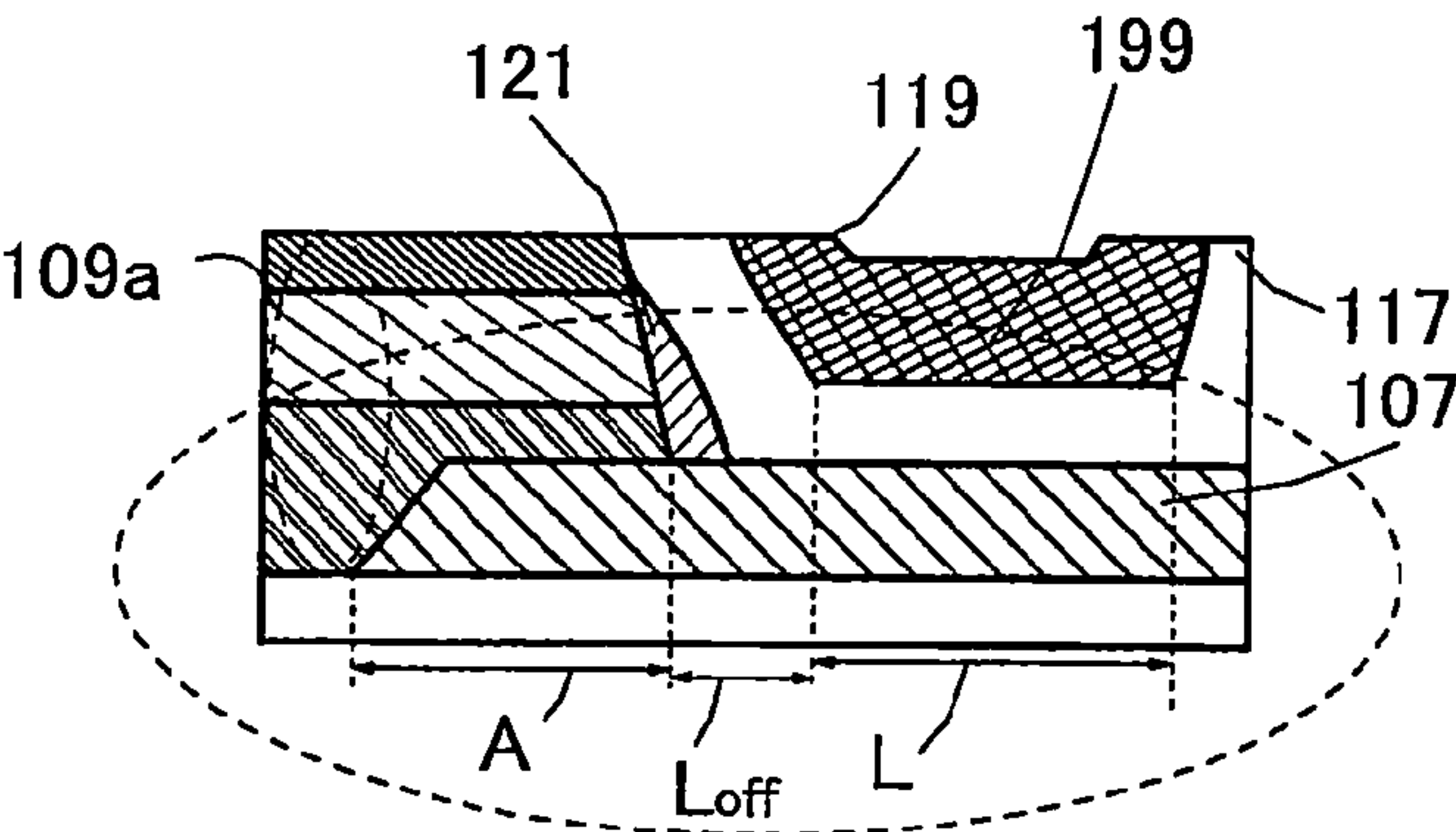


圖1D

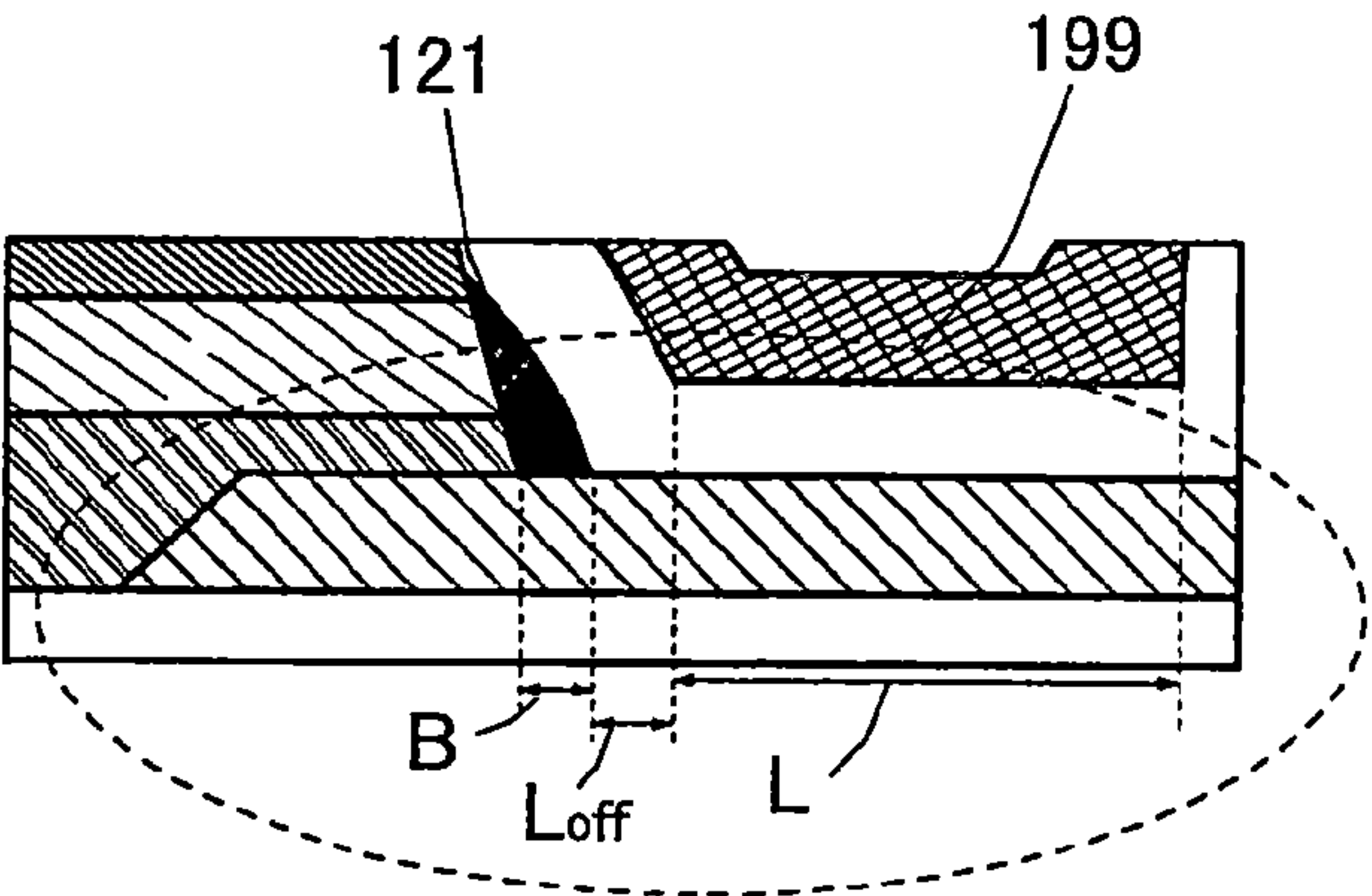


圖 2A

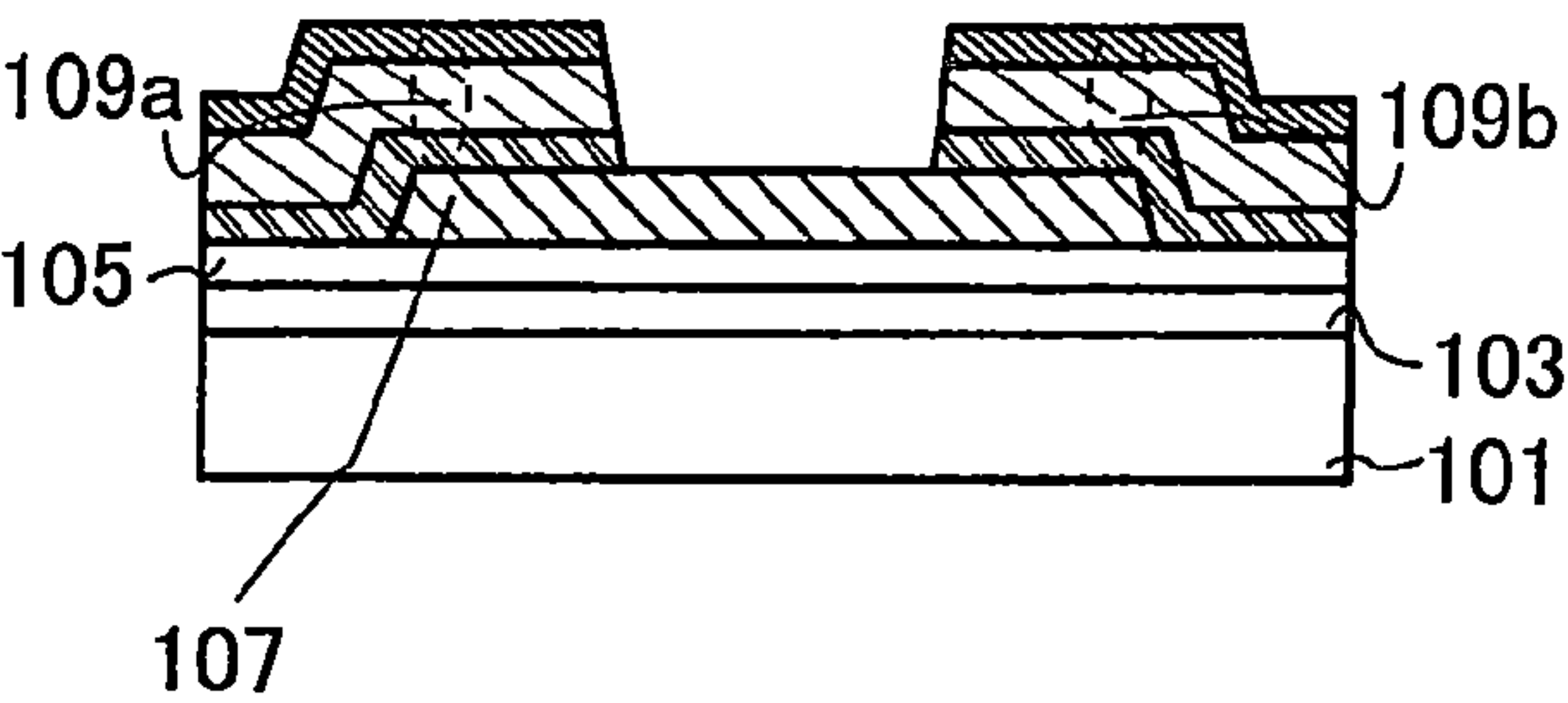


圖 2B

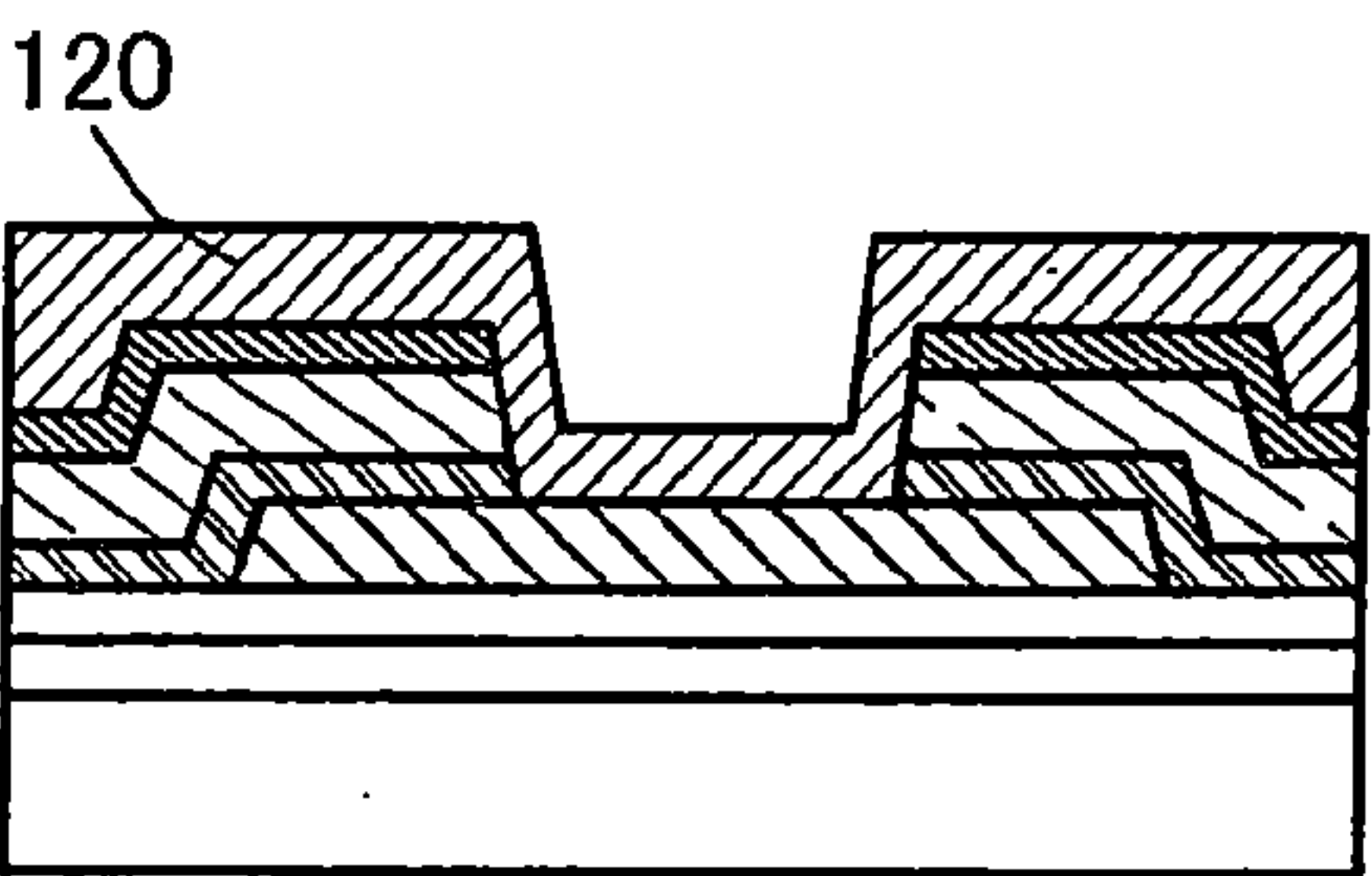


圖 2C

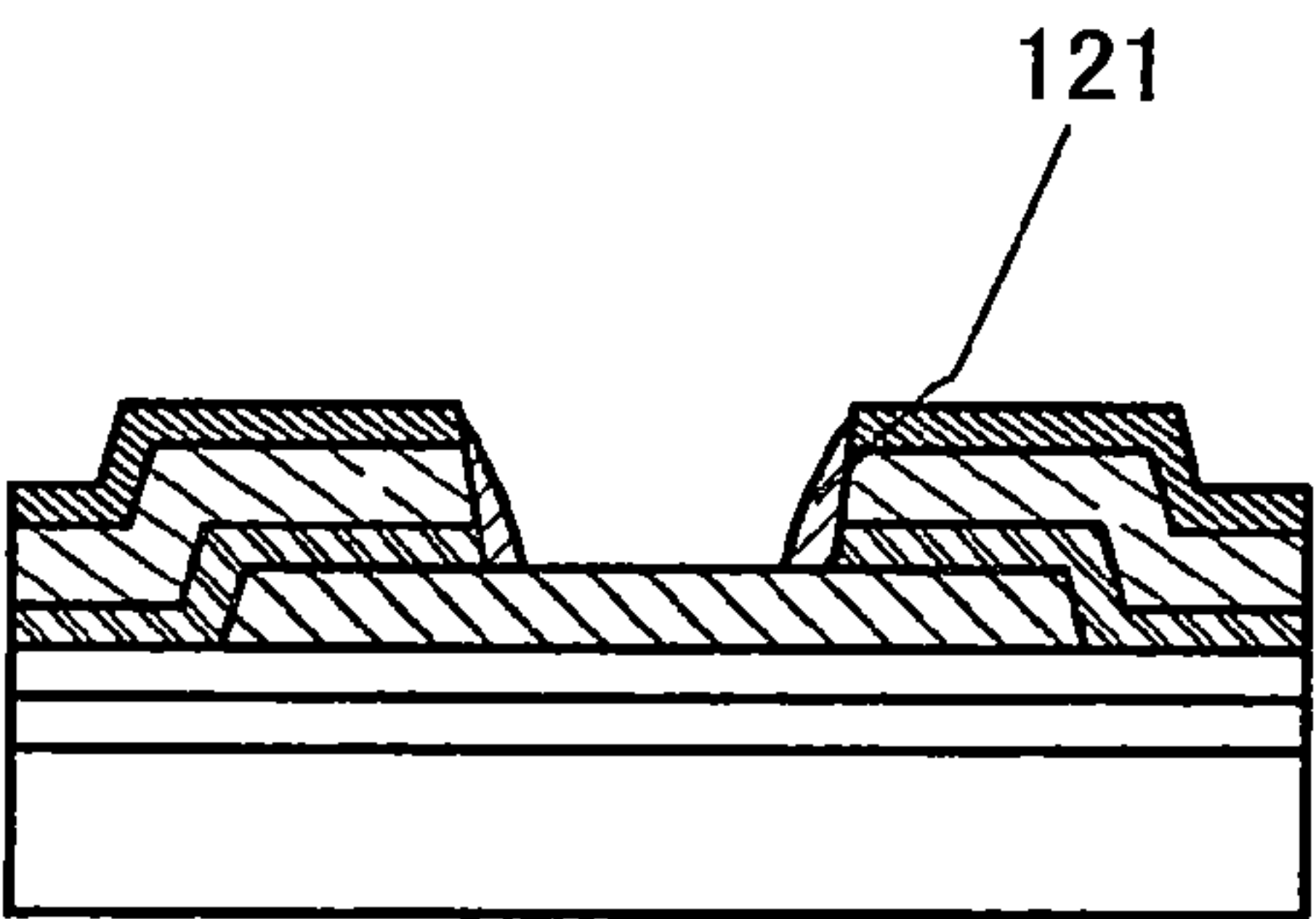


圖 2D

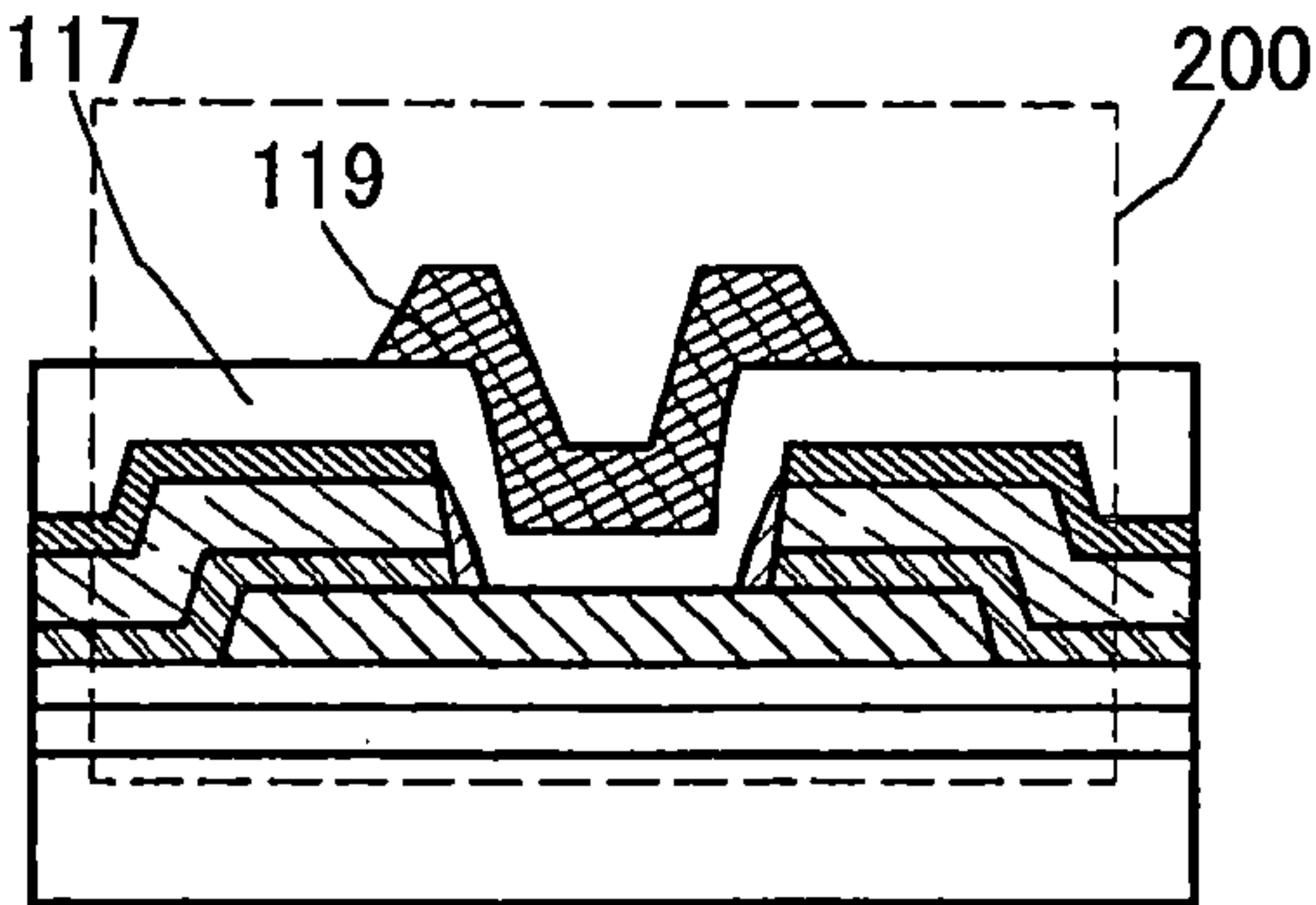


圖 3A

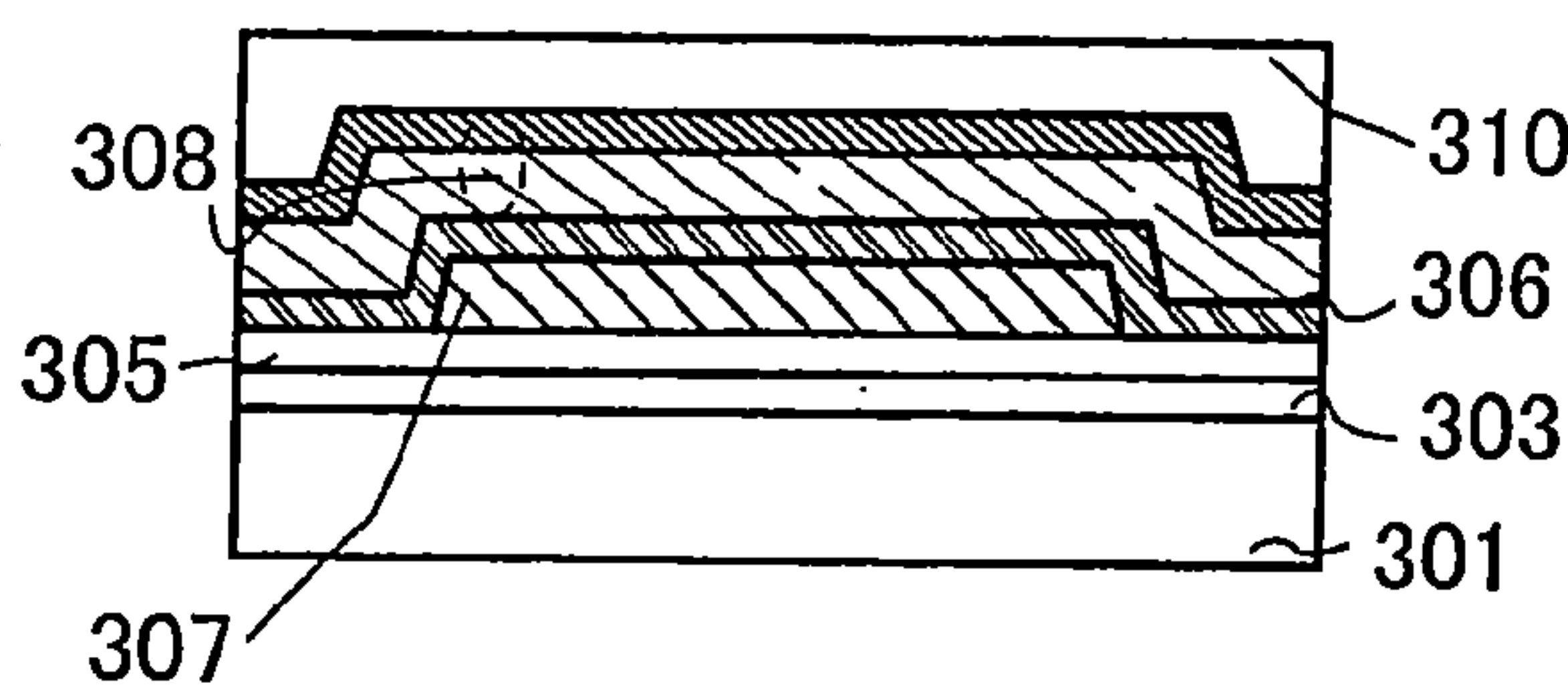


圖 3B

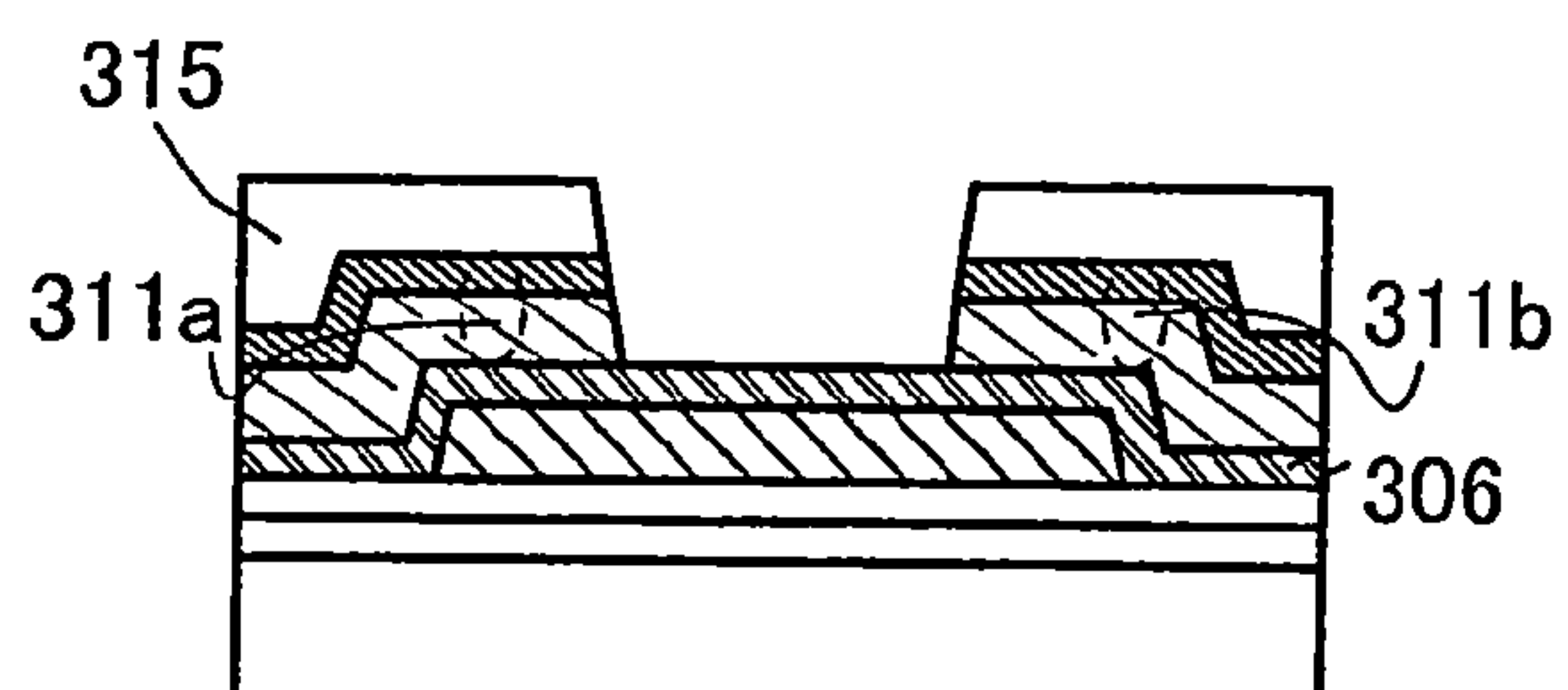


圖 3C

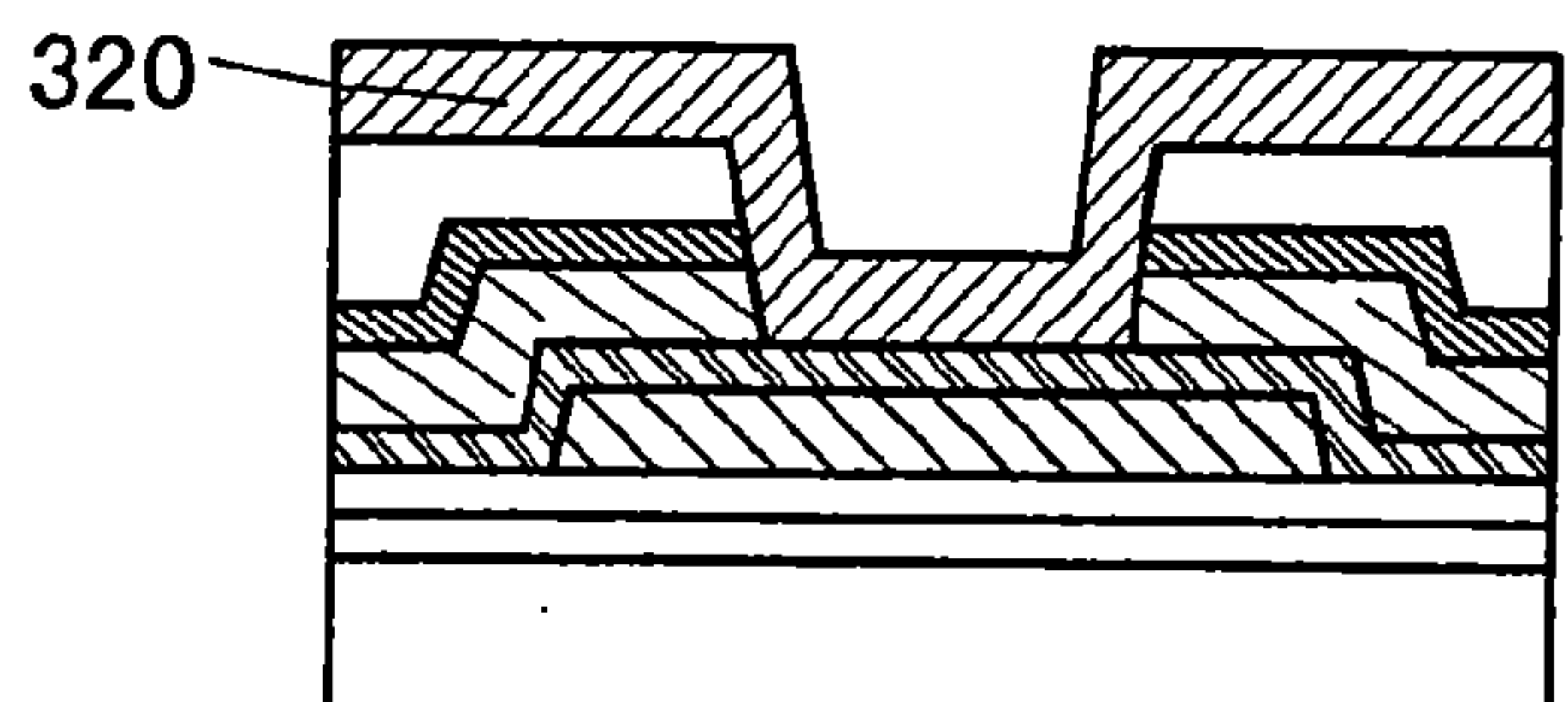


圖 3D

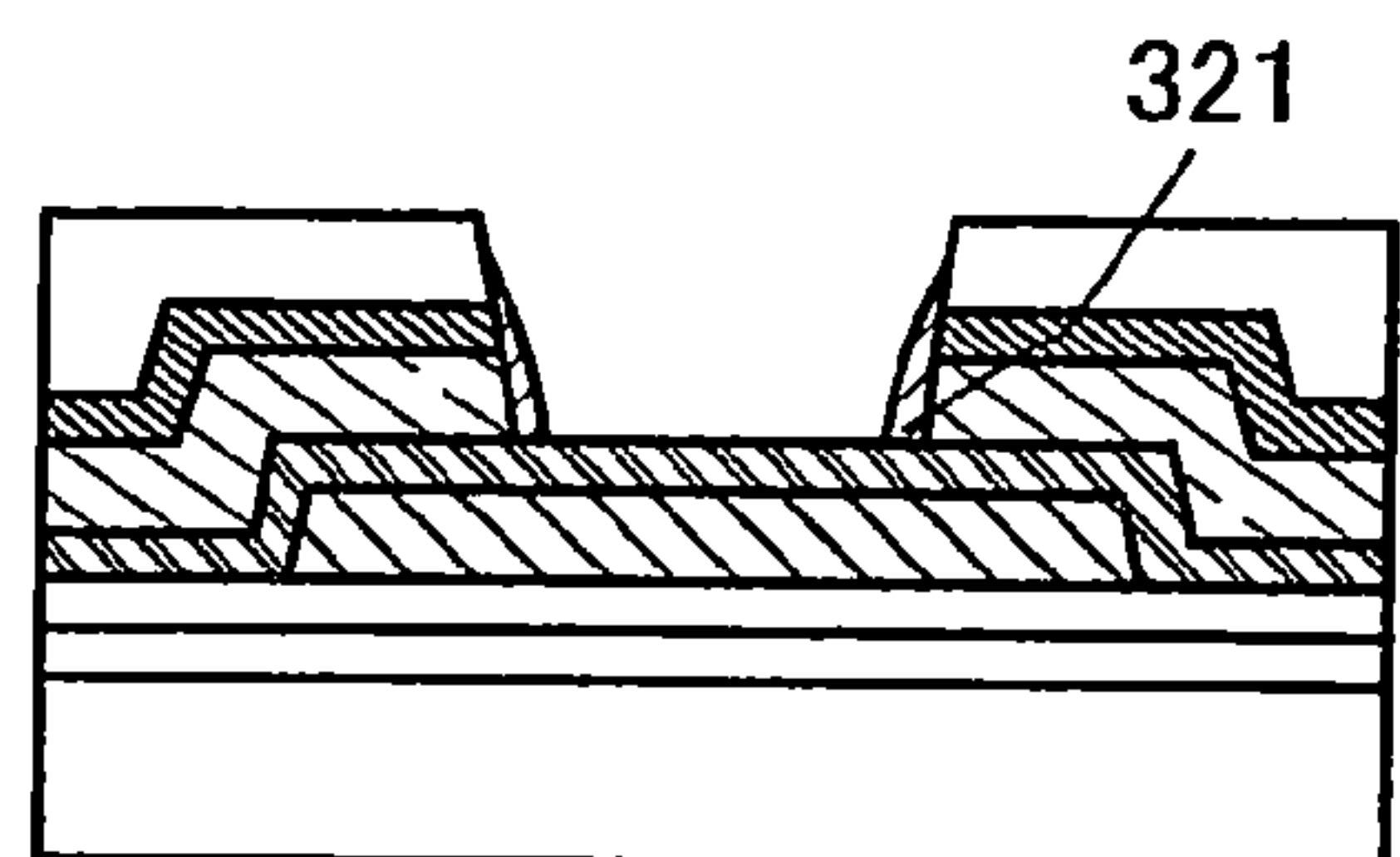


圖 3E

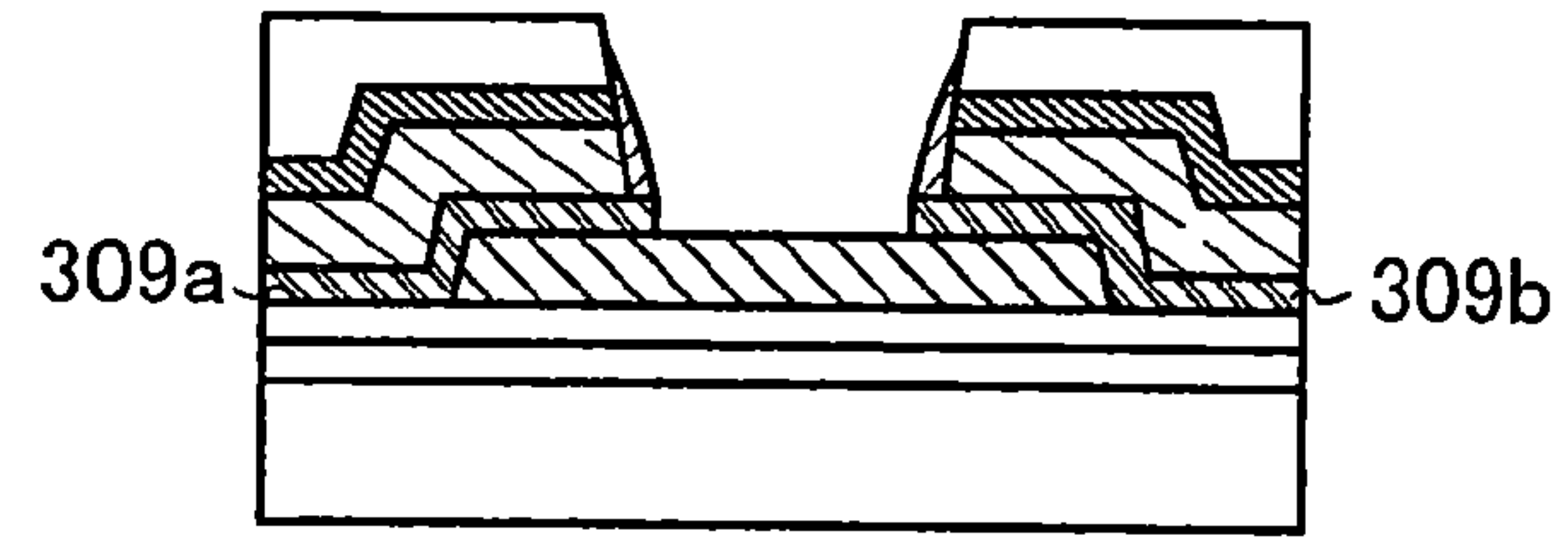


圖 3F

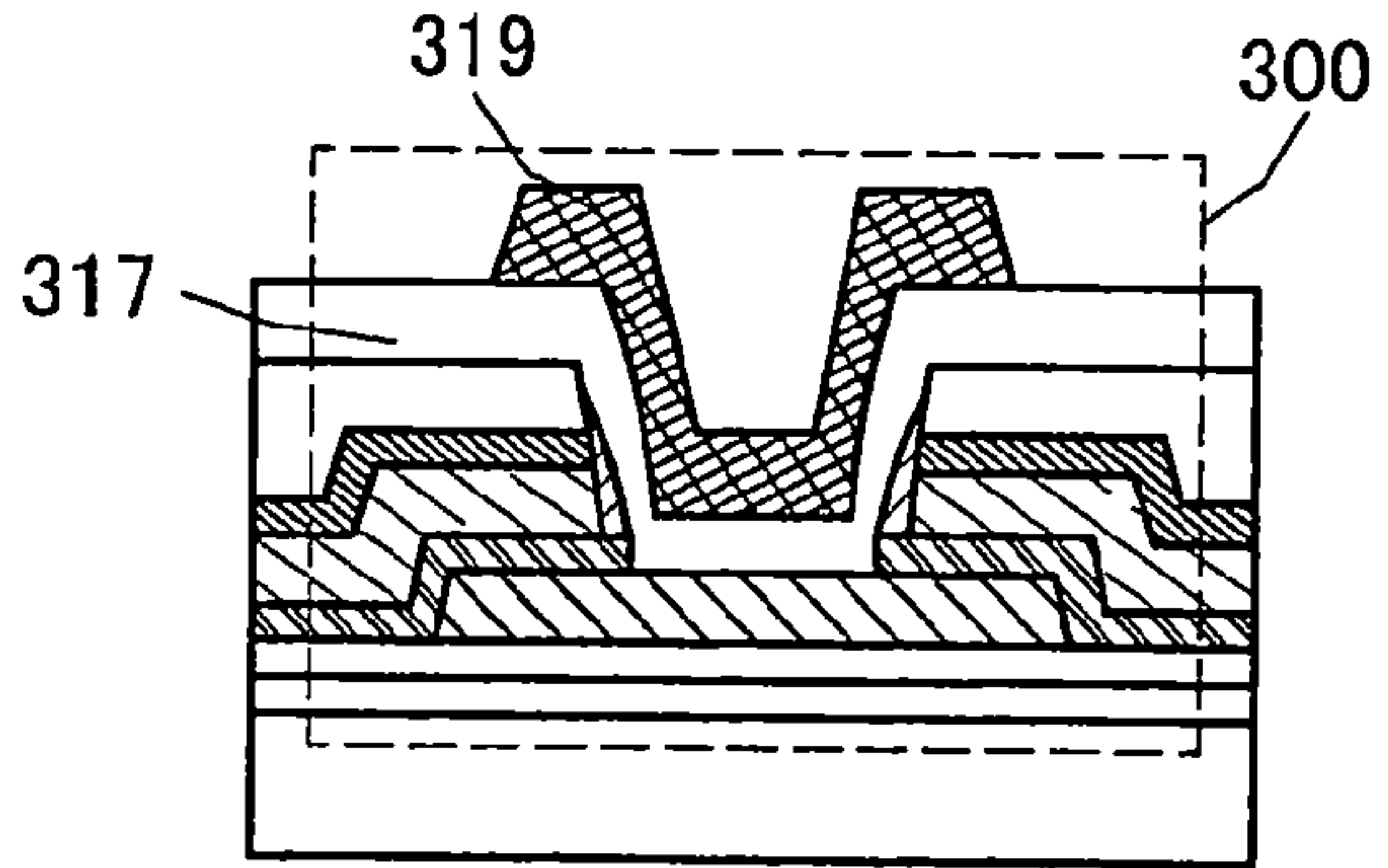


圖4

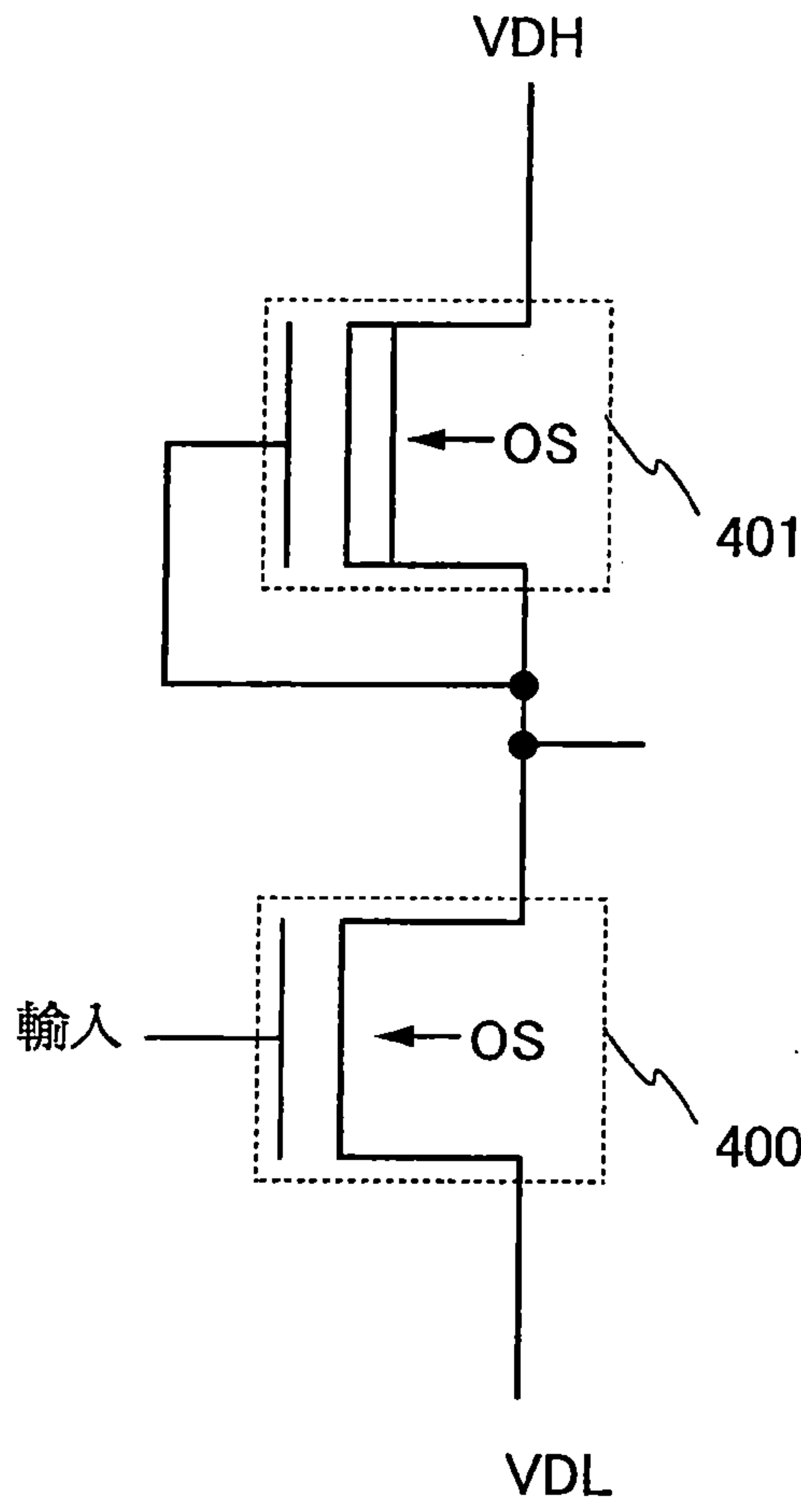


圖 5A

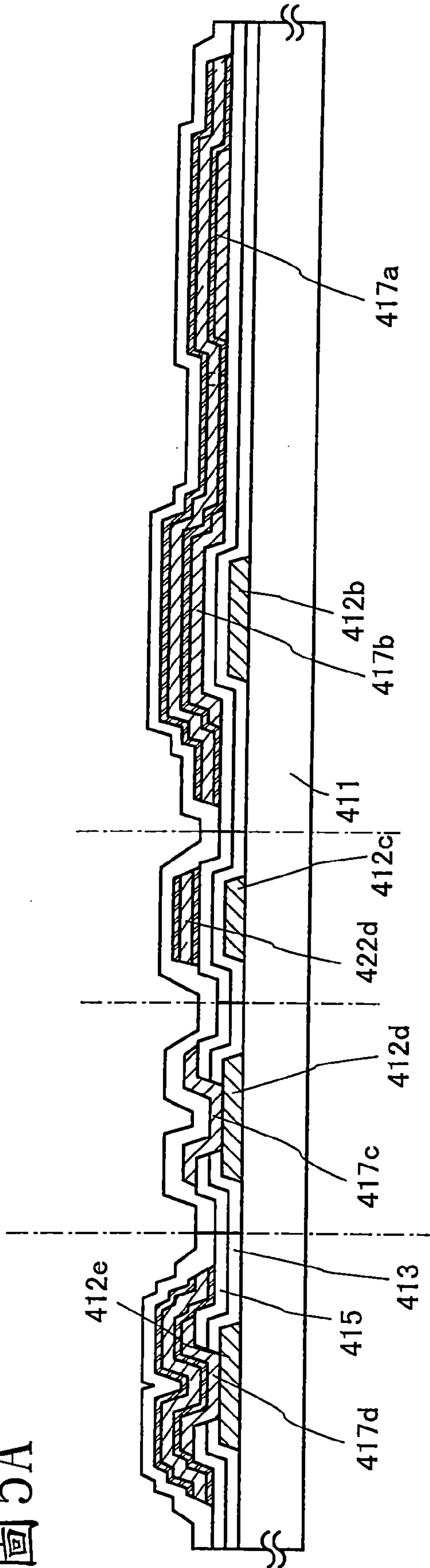


圖 5B

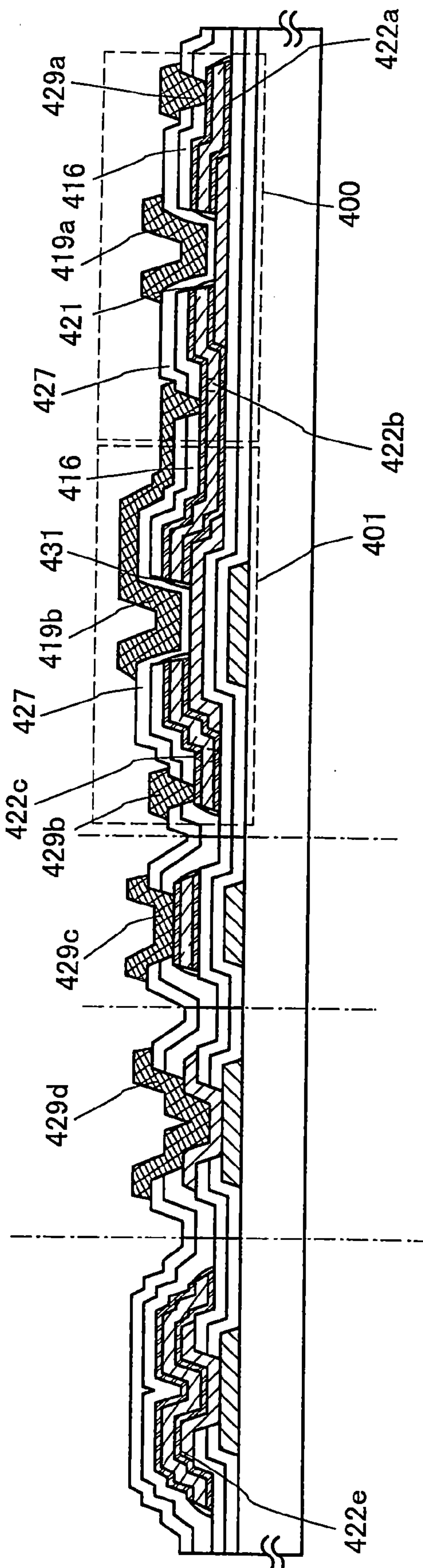


圖 6A

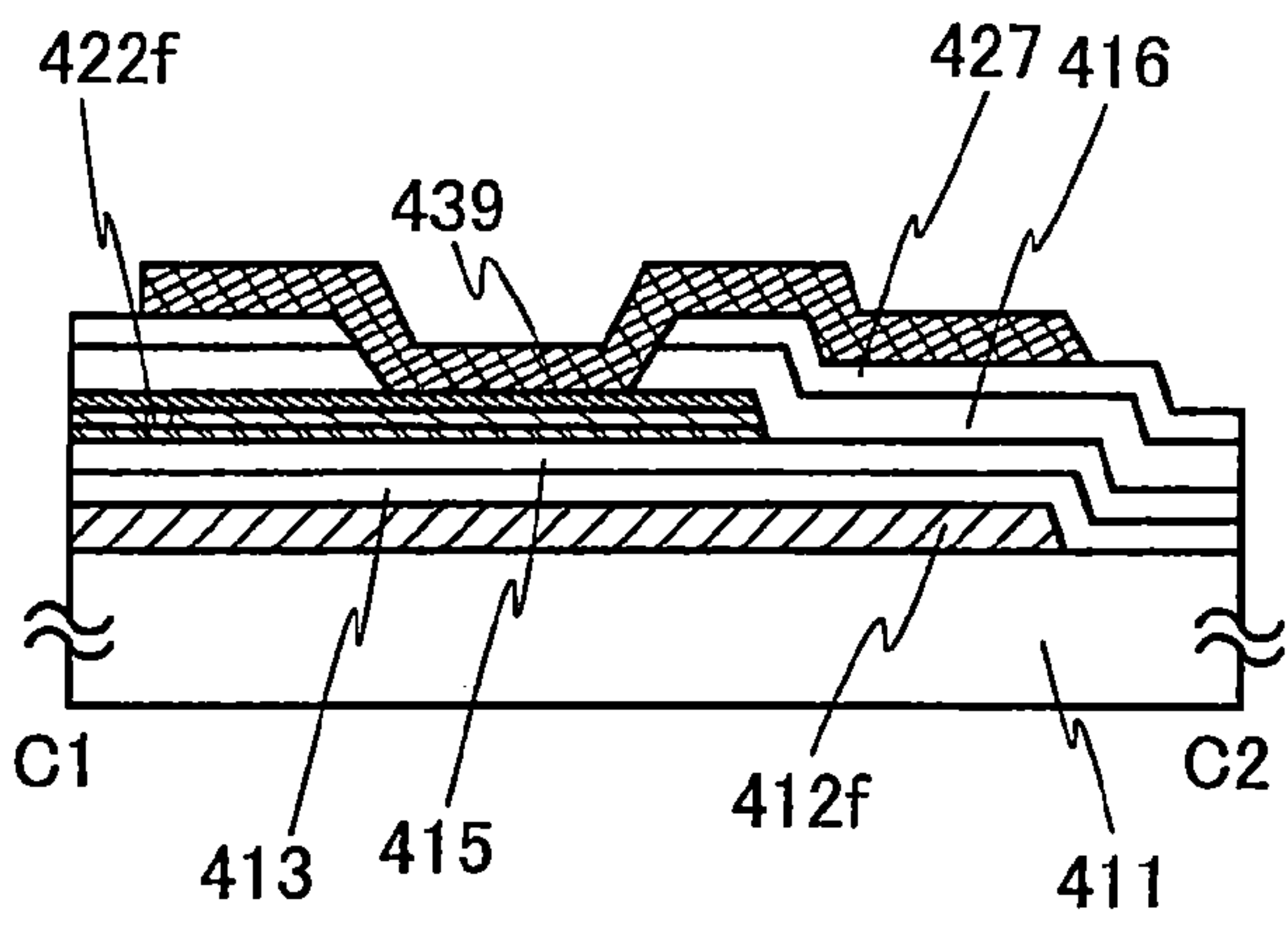


圖 6B

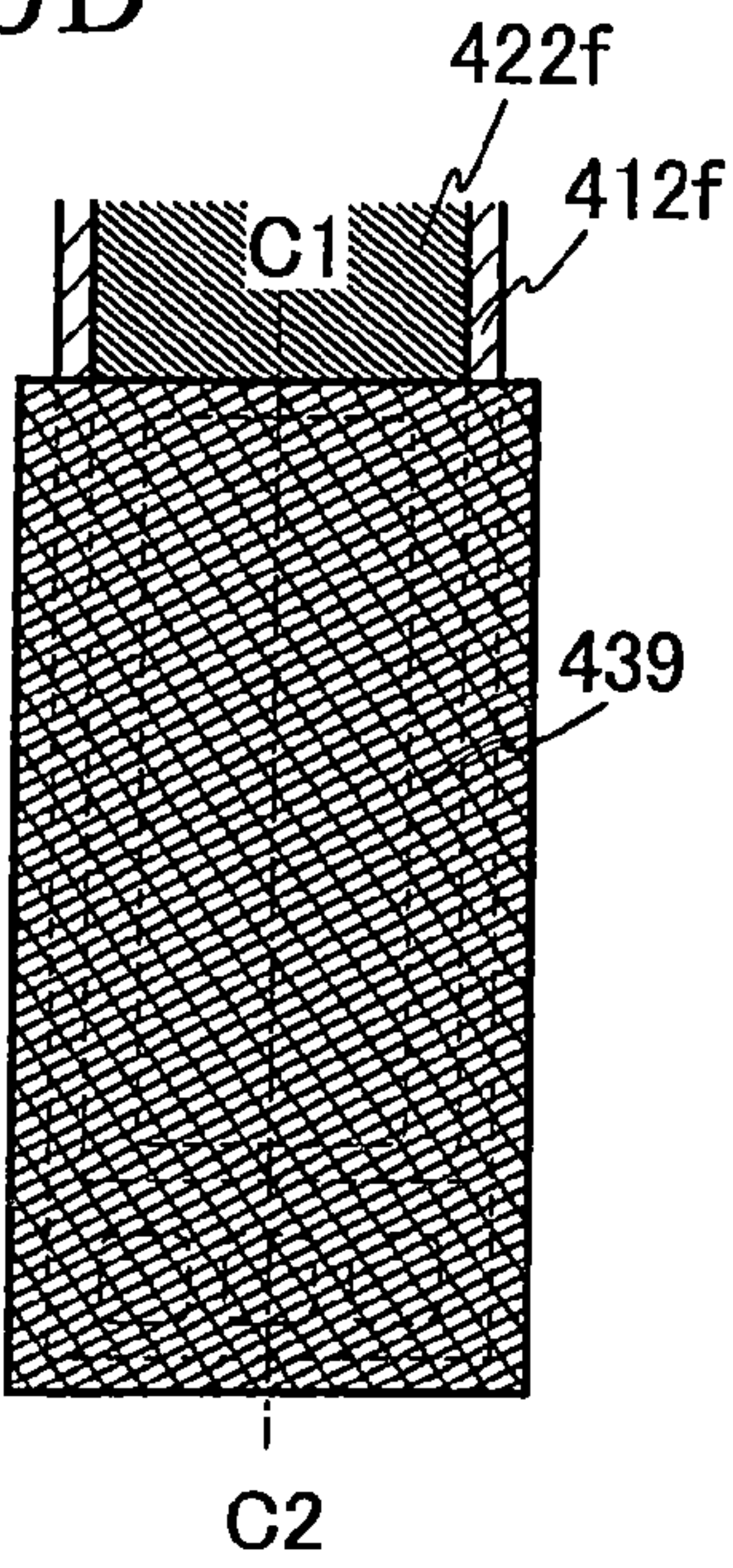


圖7

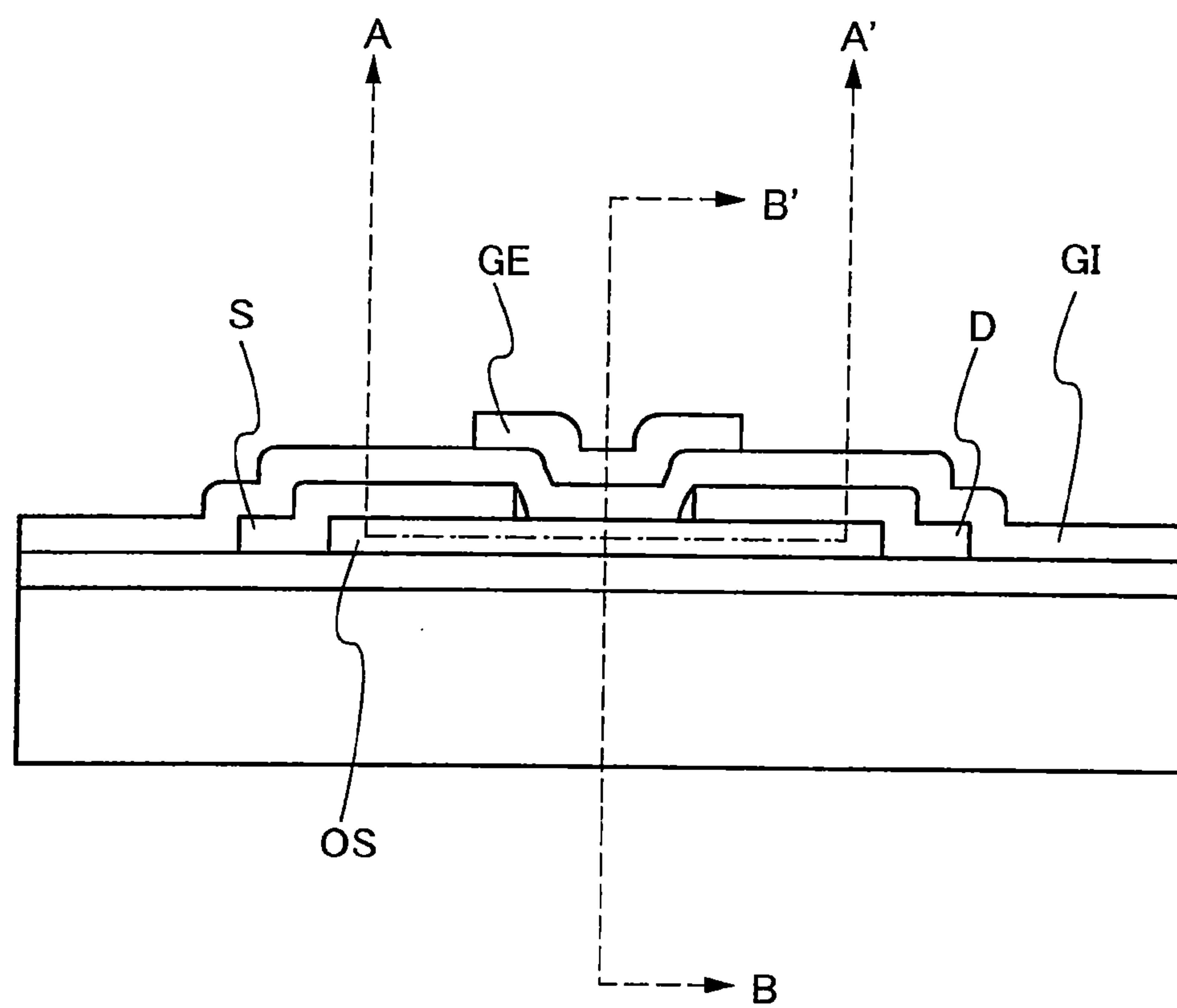


圖 8

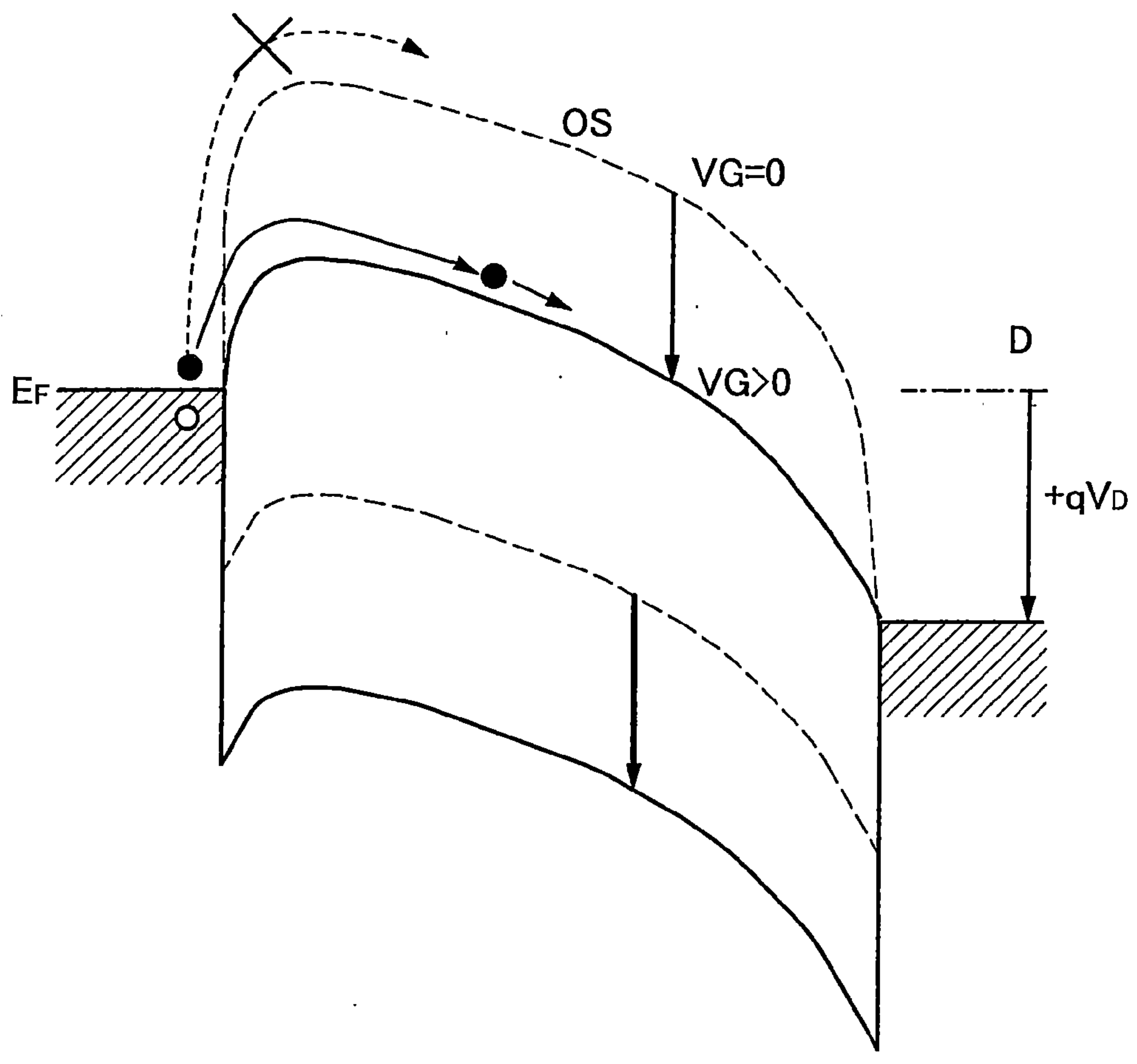


圖 9A

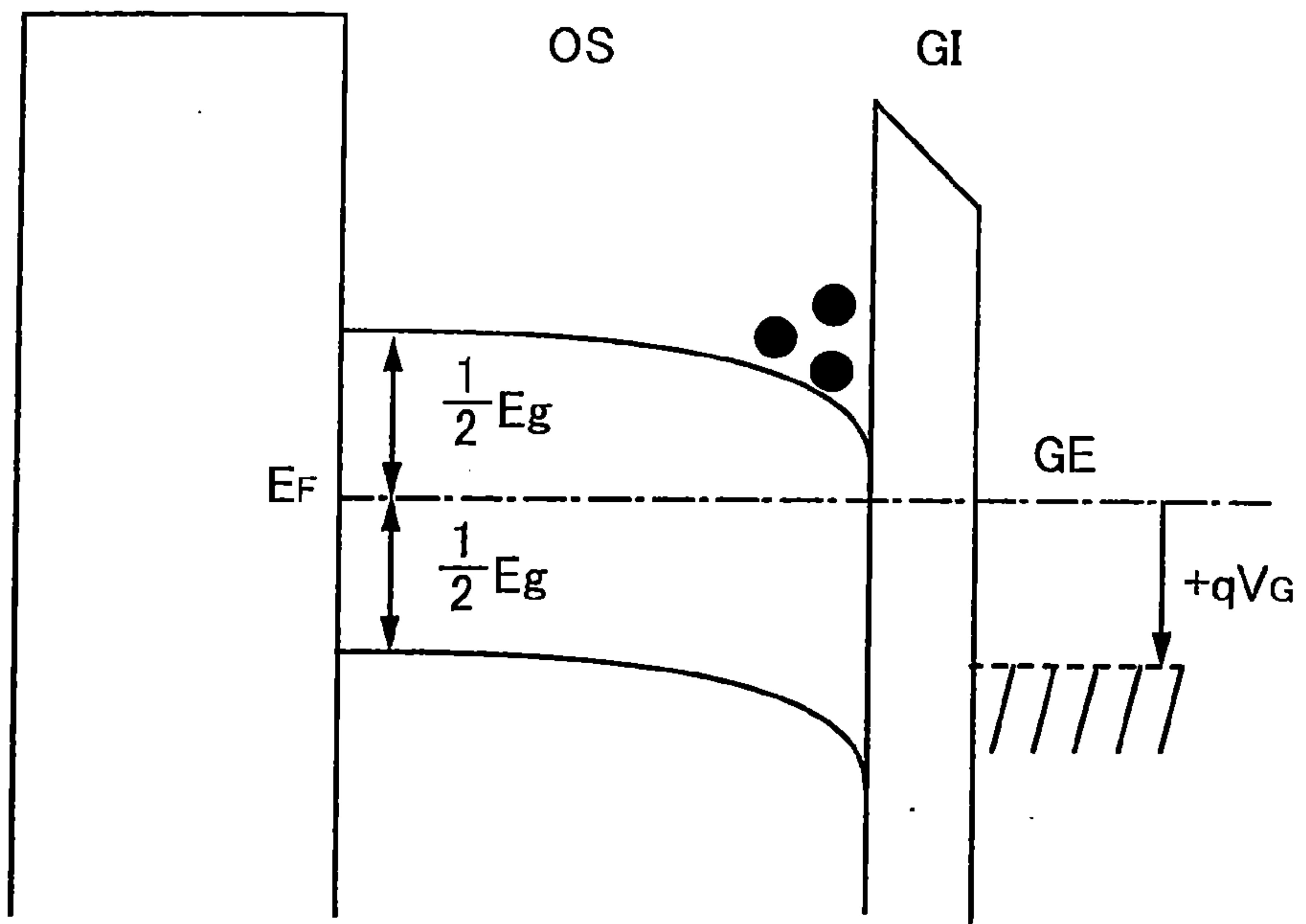


圖 9B

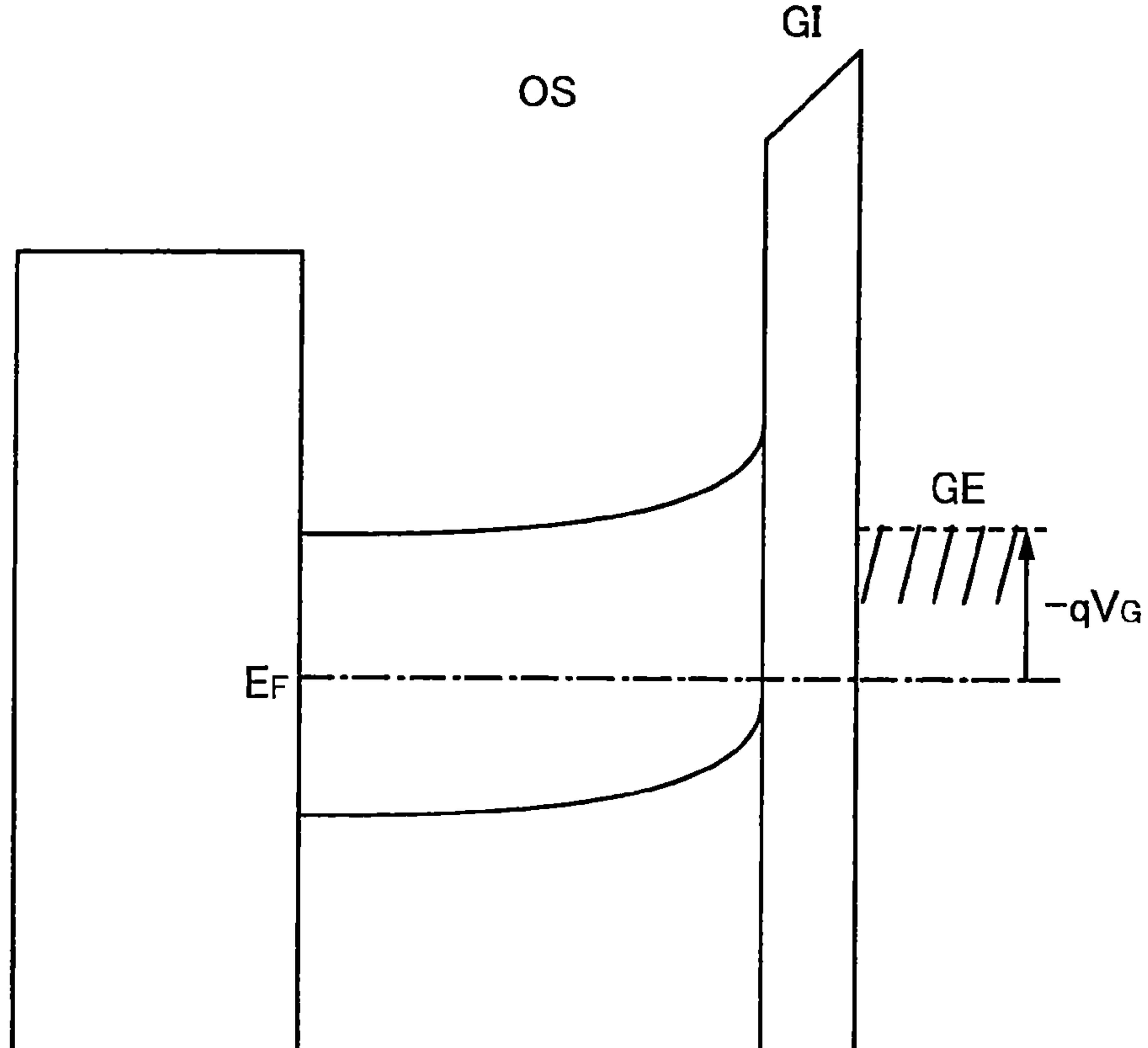


圖 10

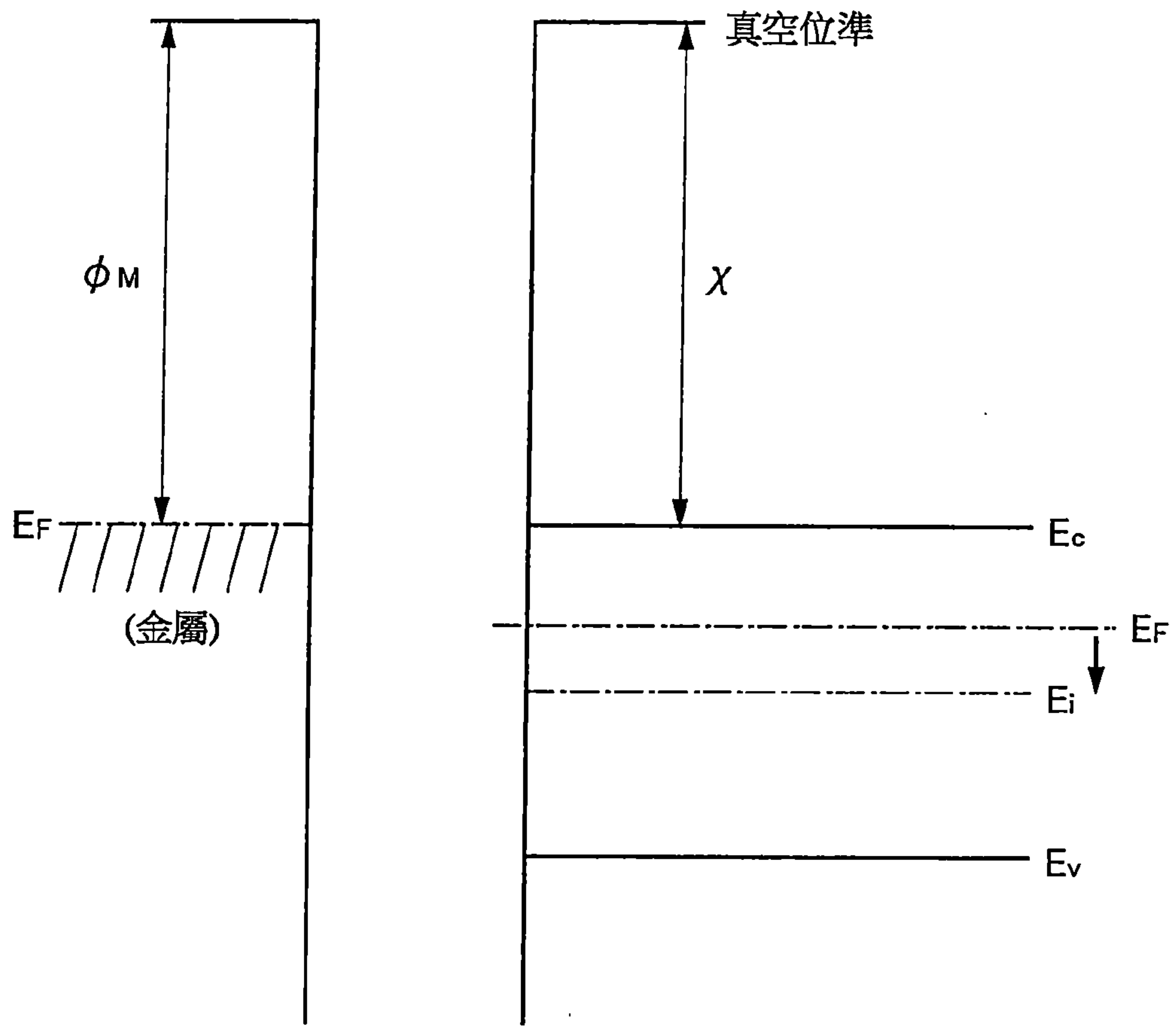


圖 11

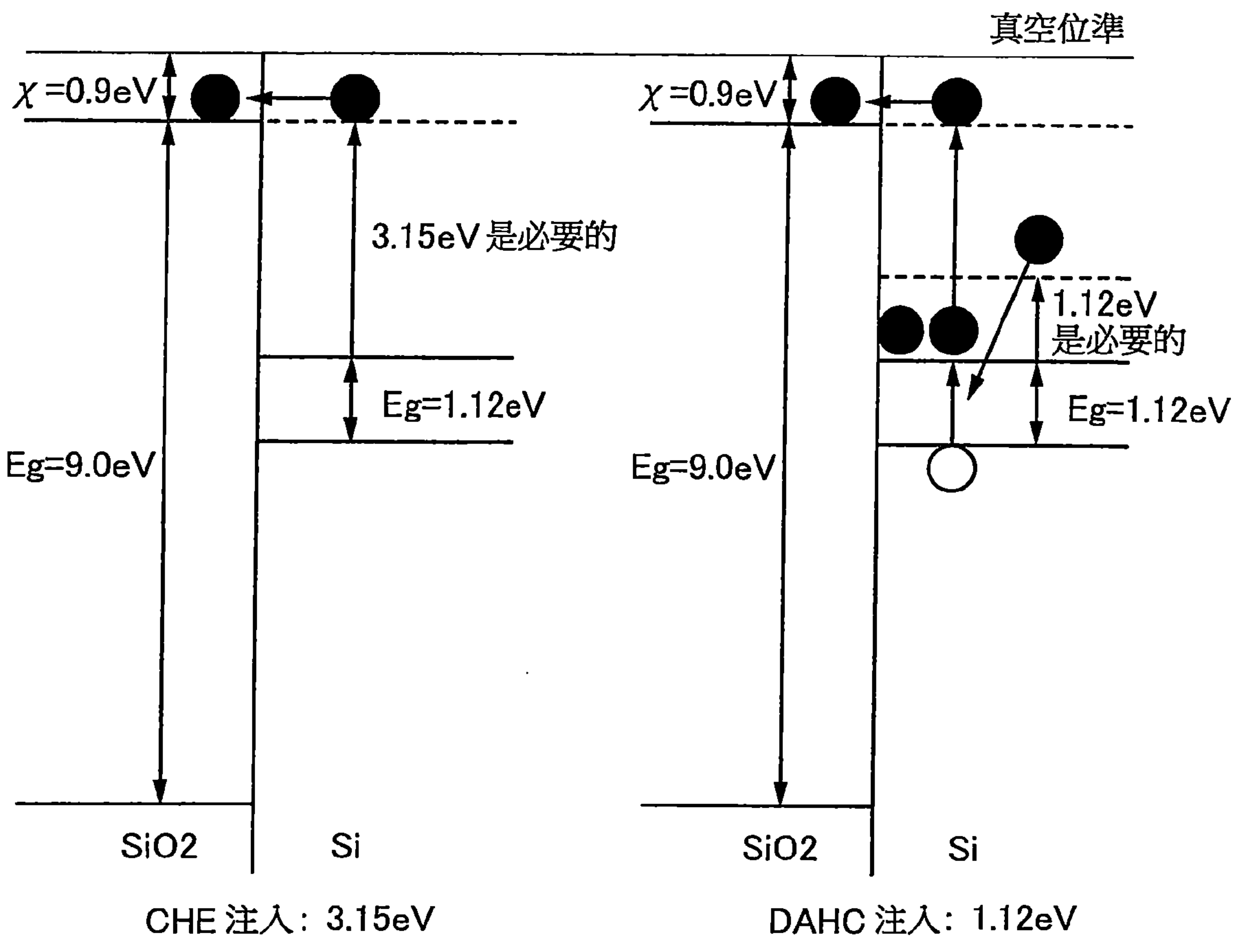


圖 12

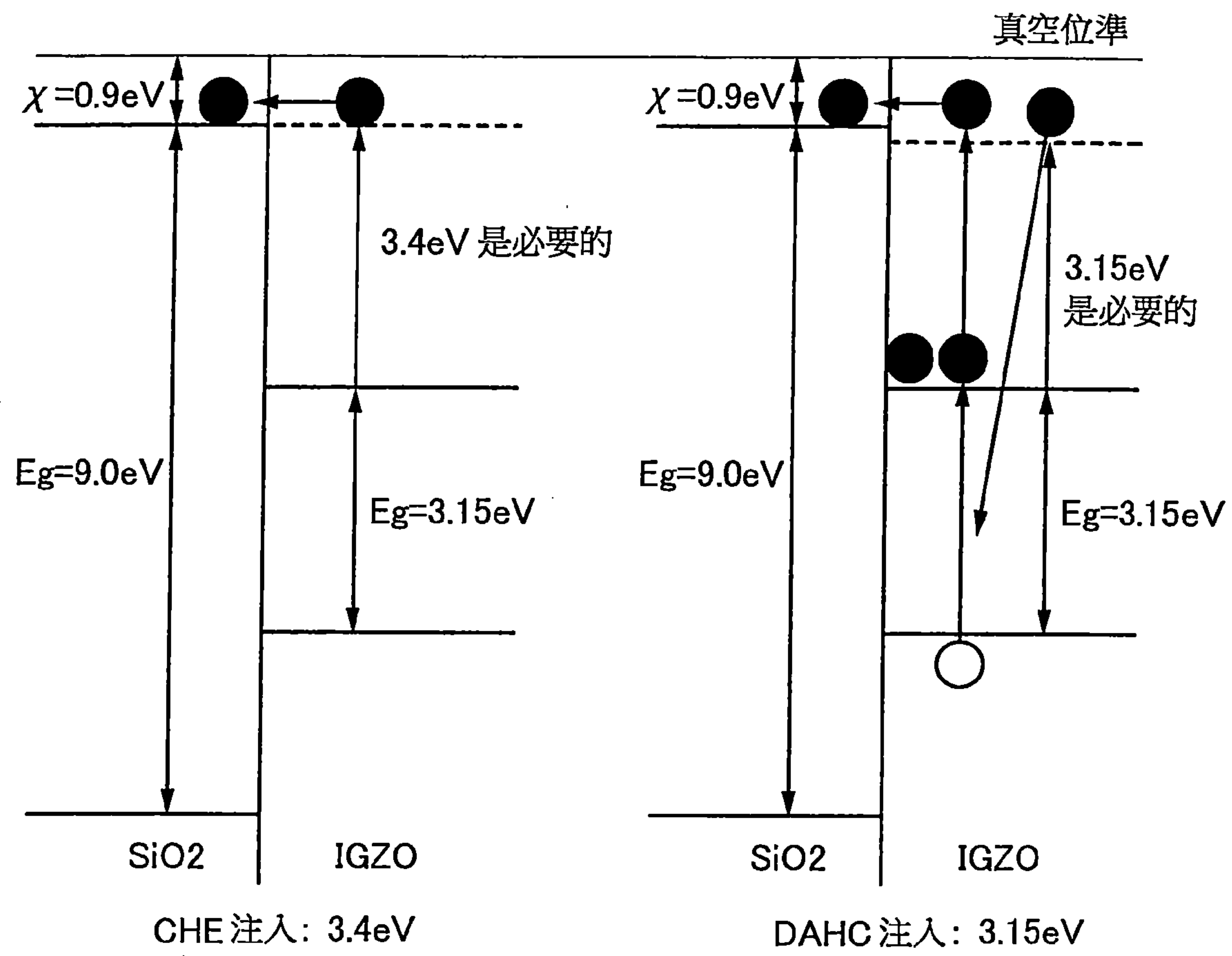


圖 13

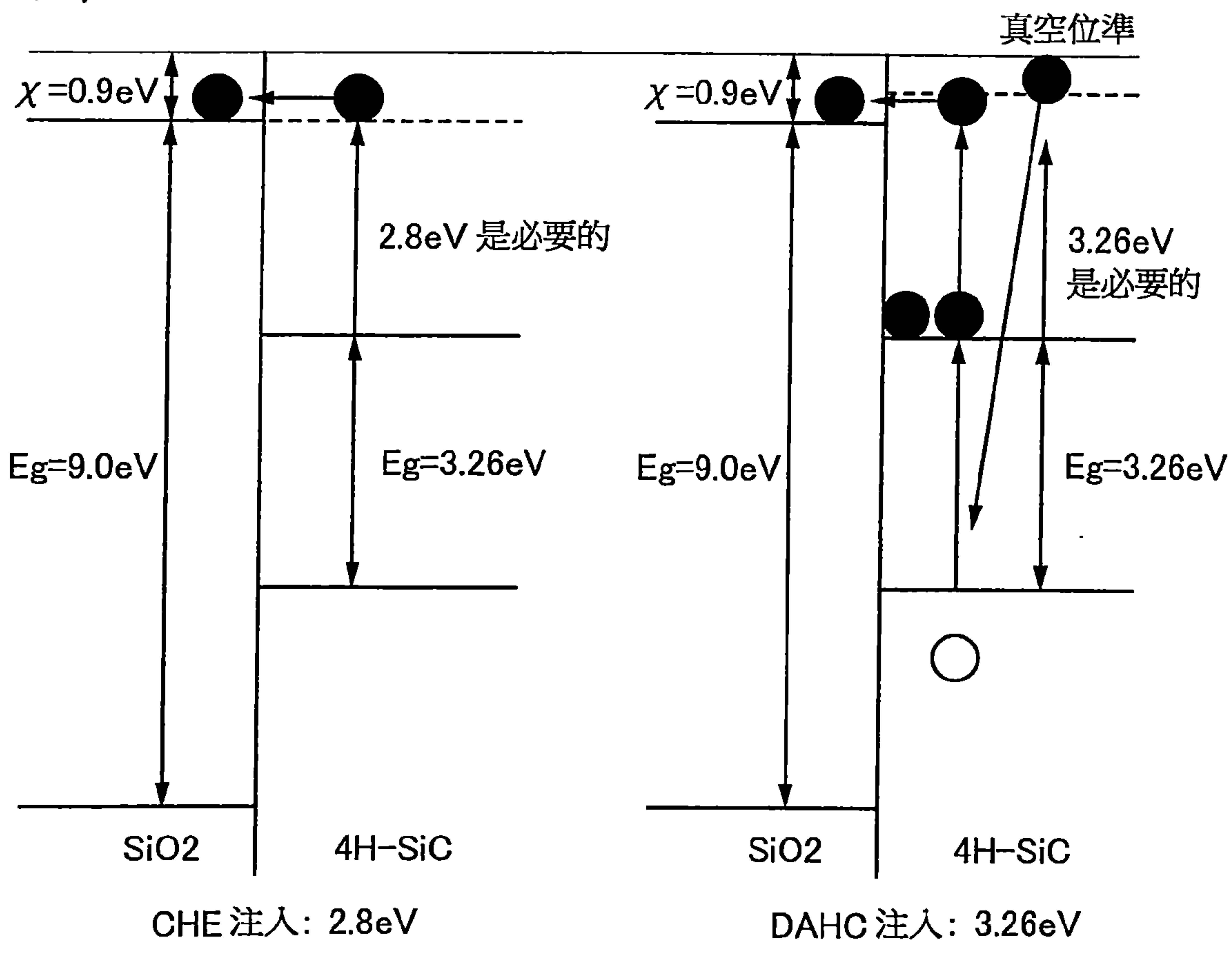


圖 14

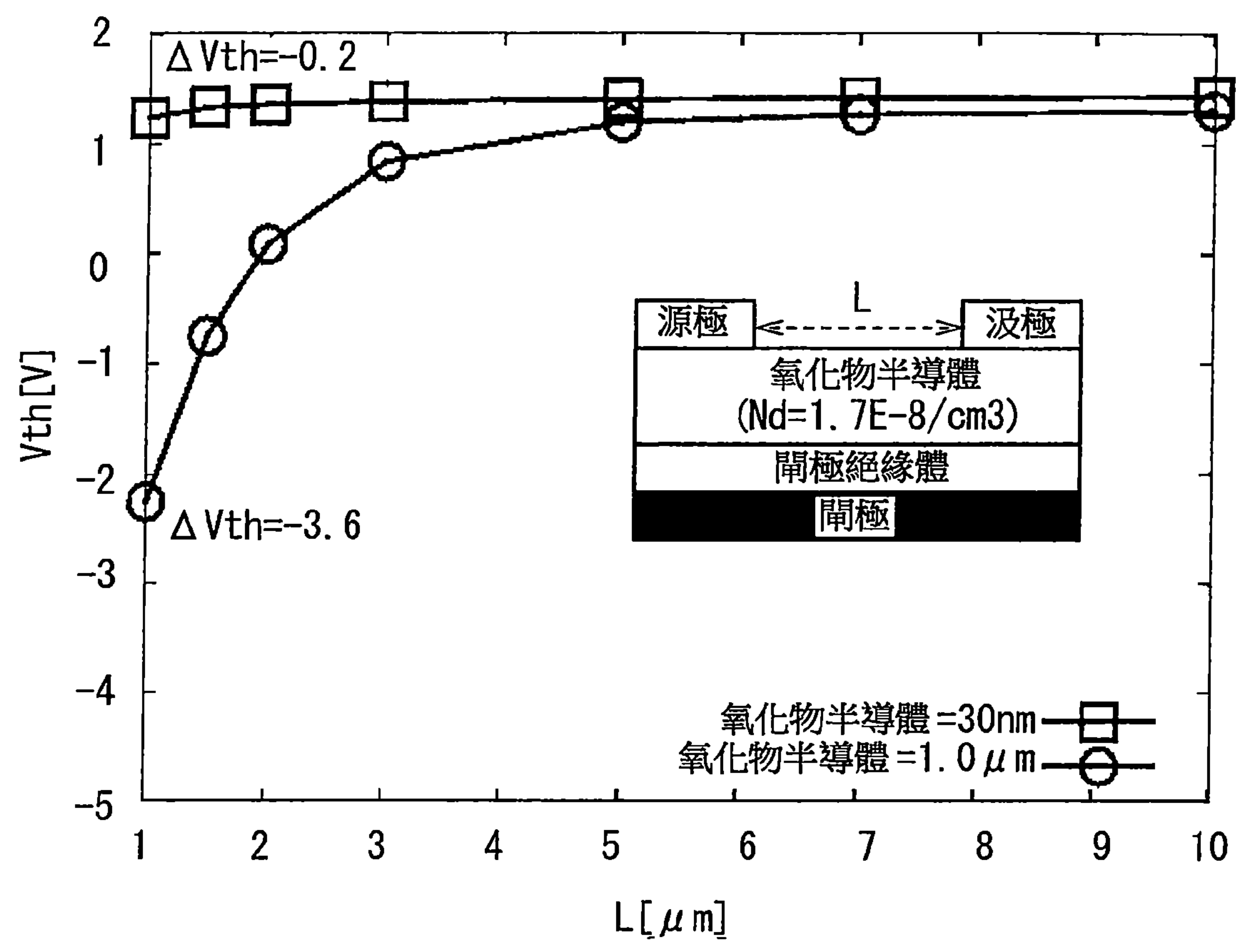


圖 15

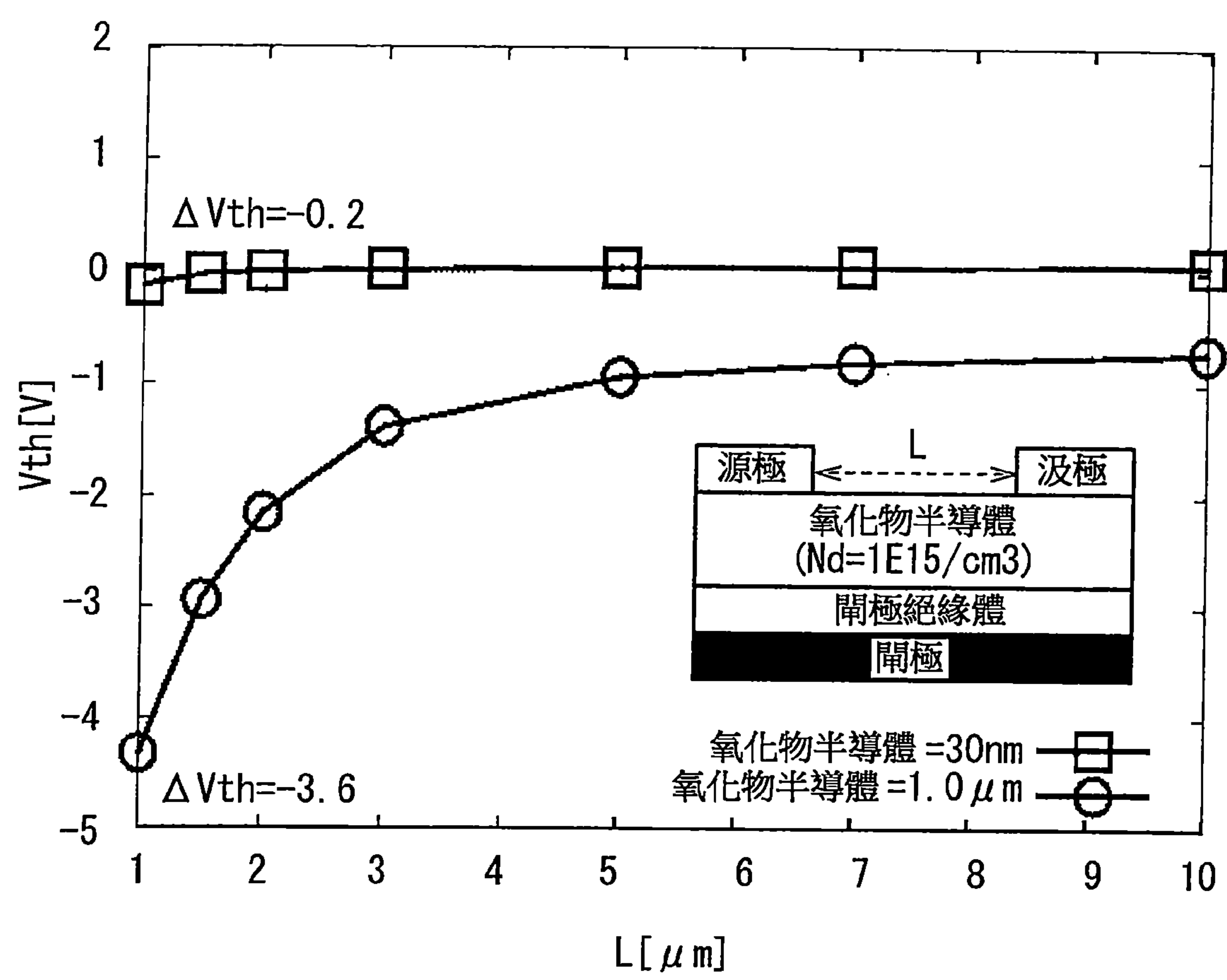


圖 16

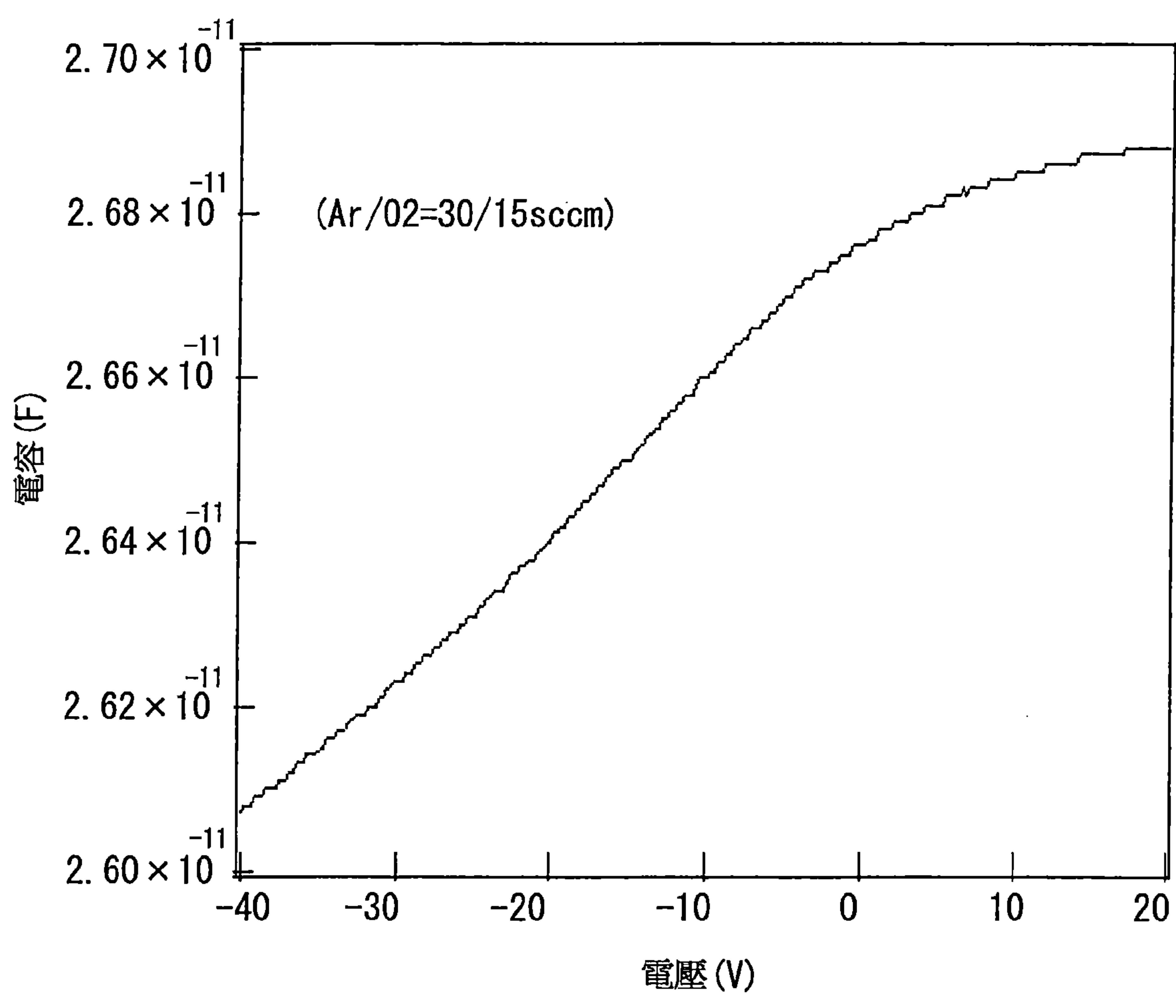


圖17

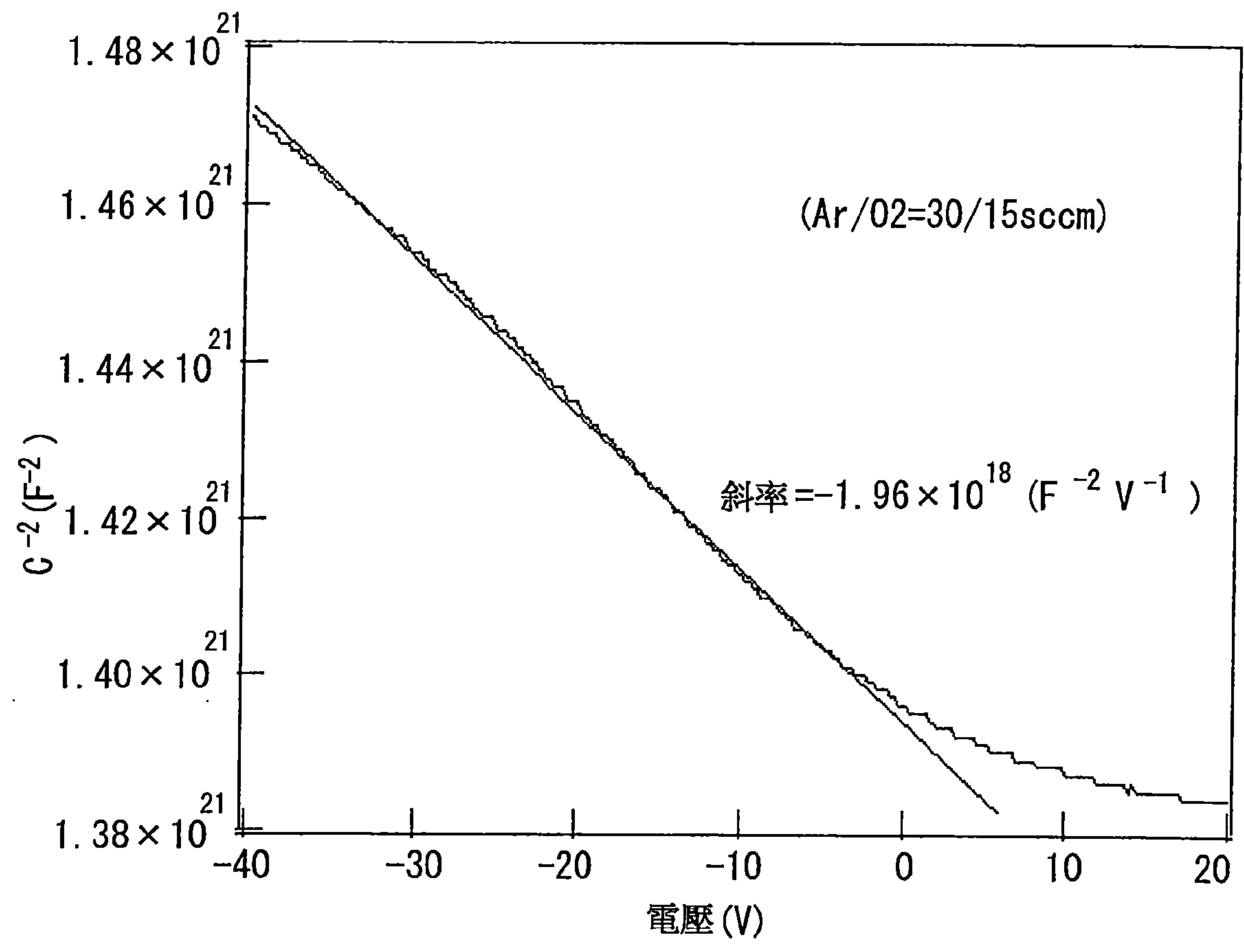


圖18

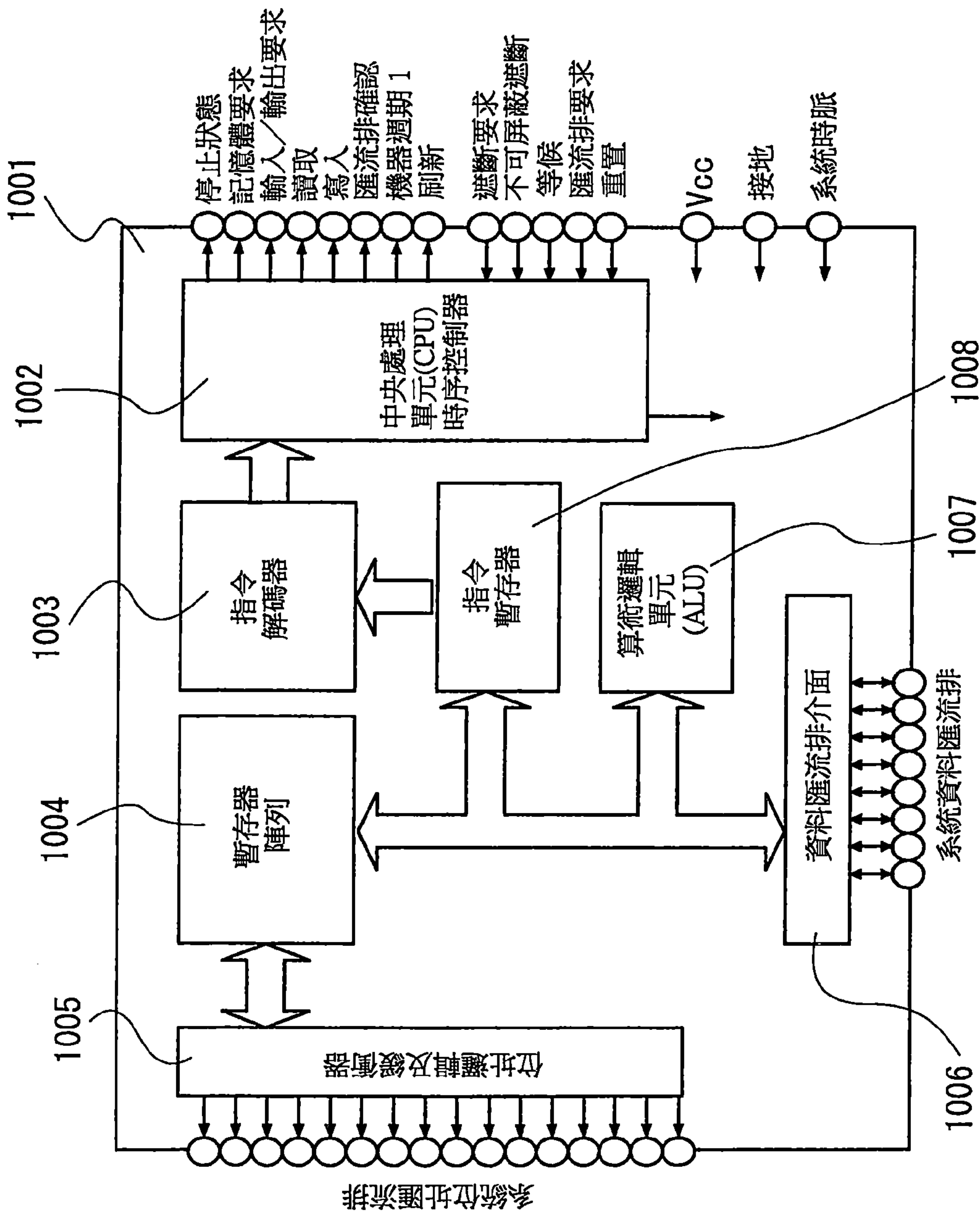


圖 19

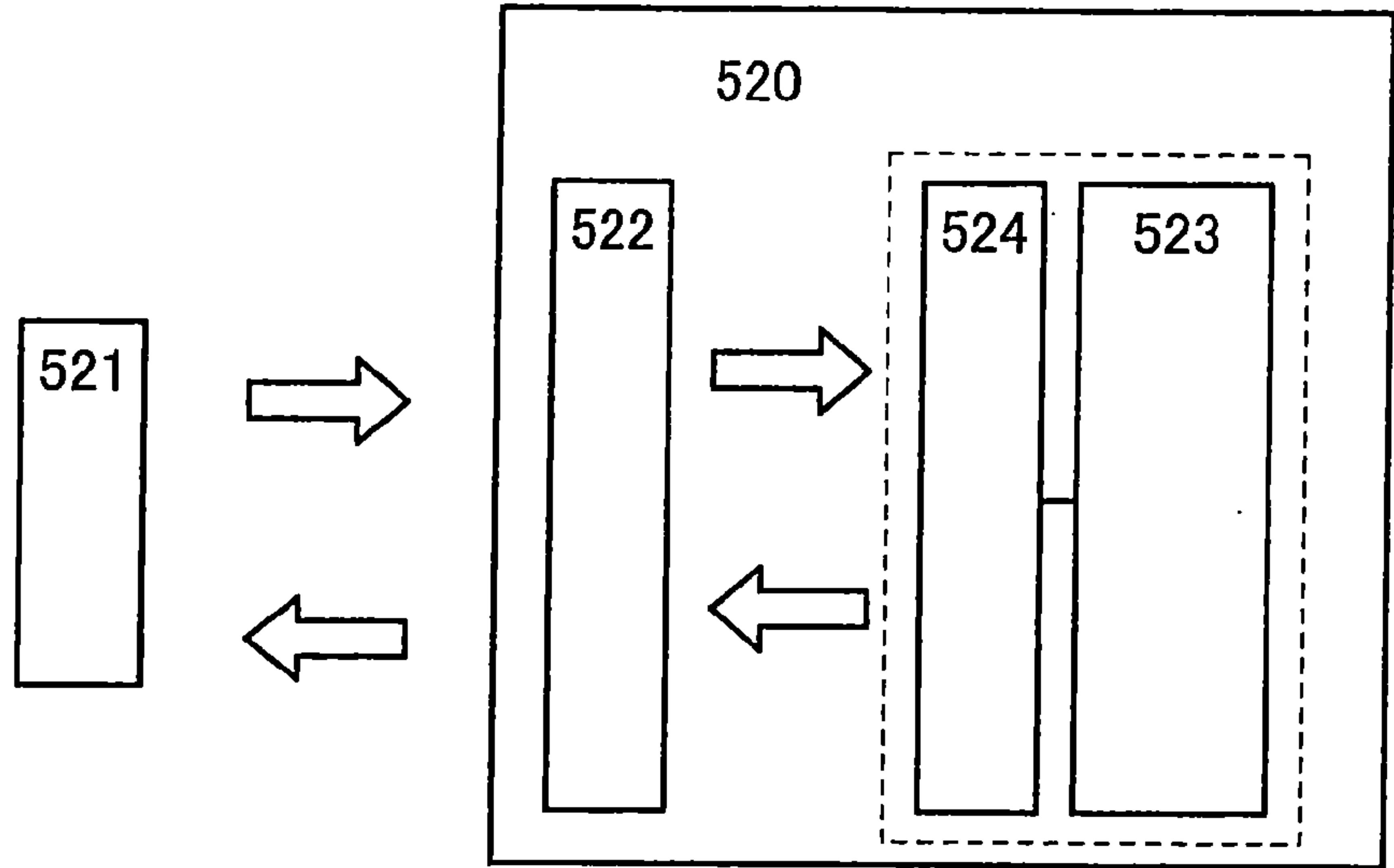


圖 20A

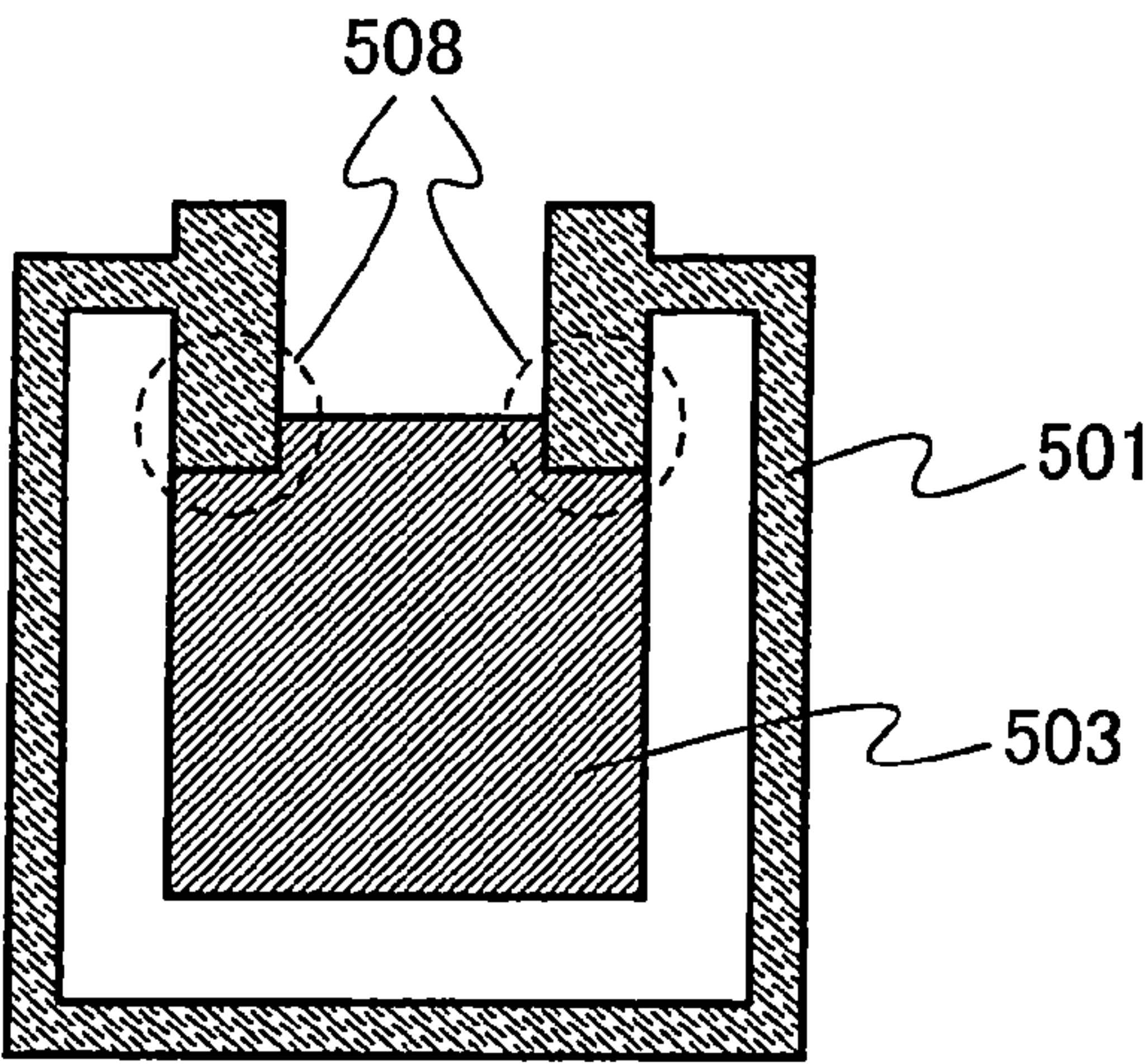


圖 20B

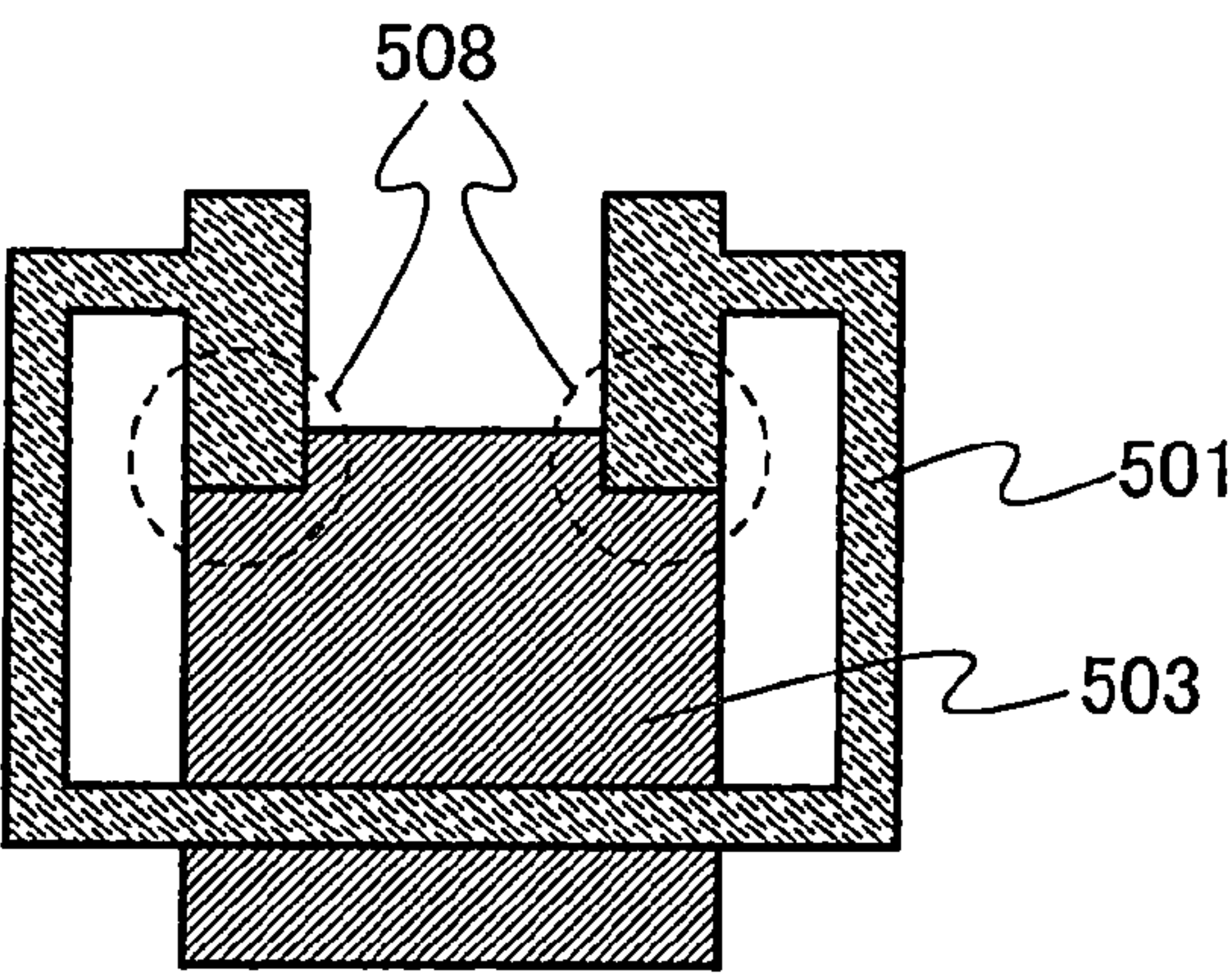


圖 21A

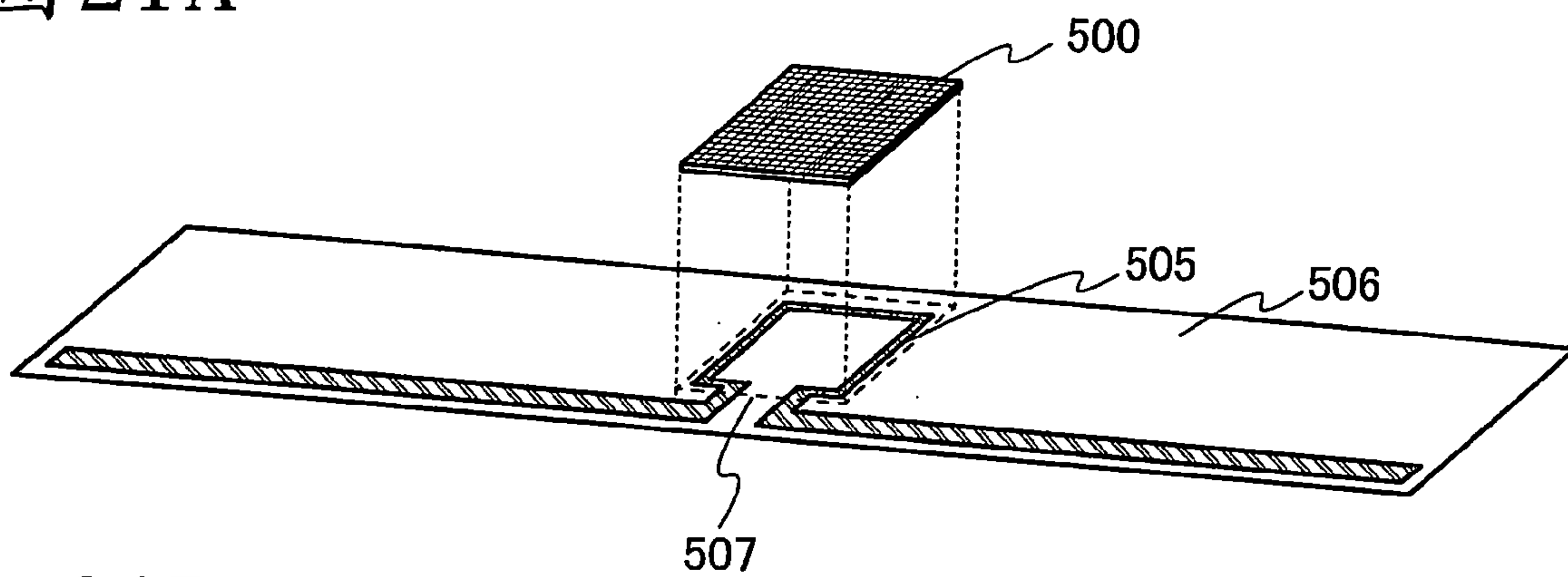


圖 21B

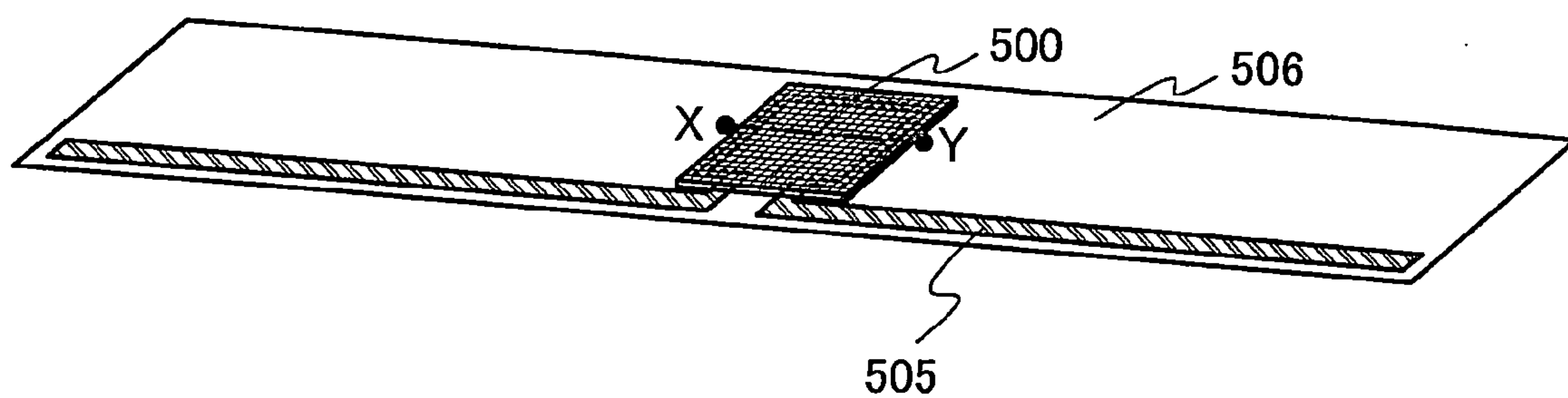


圖 21C

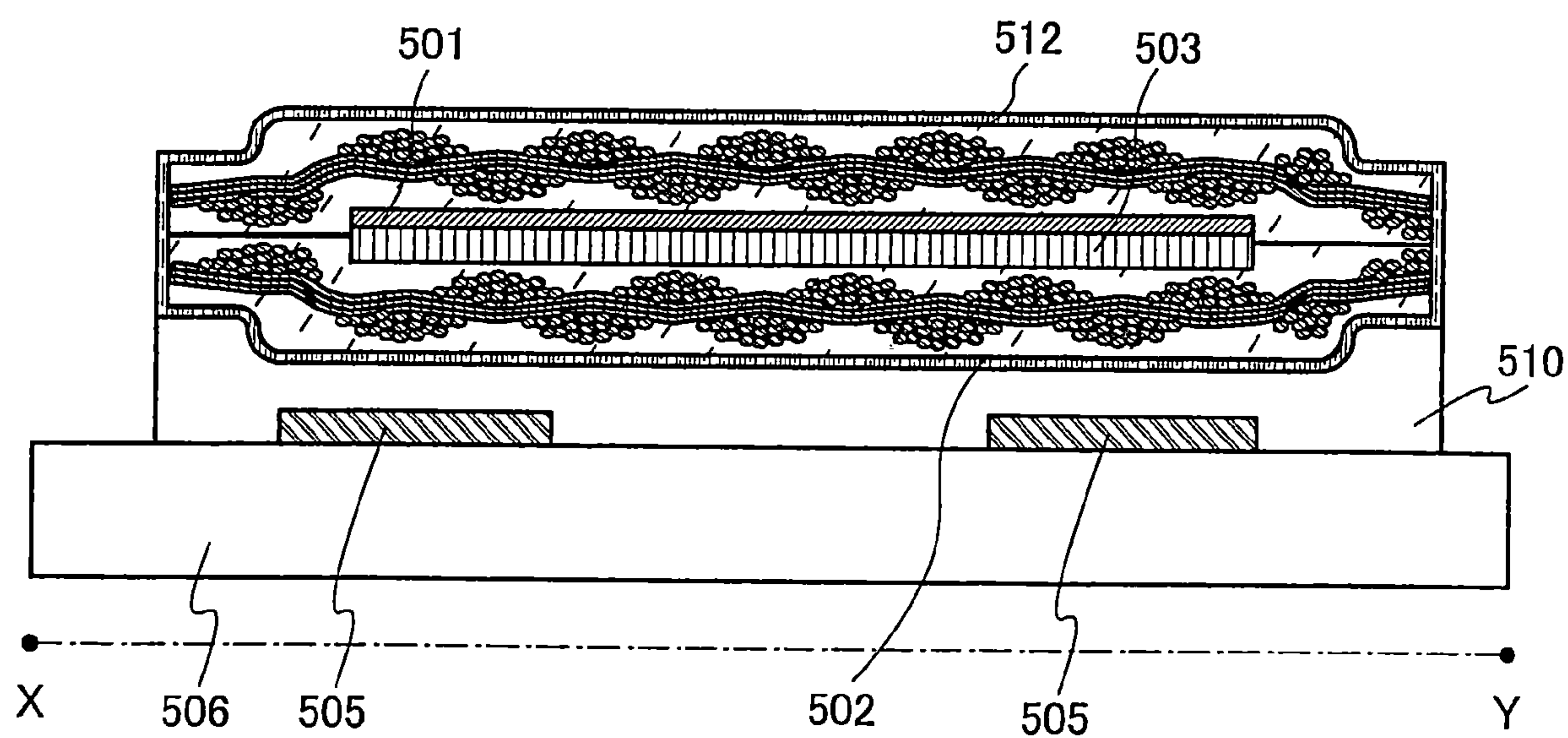


圖 22

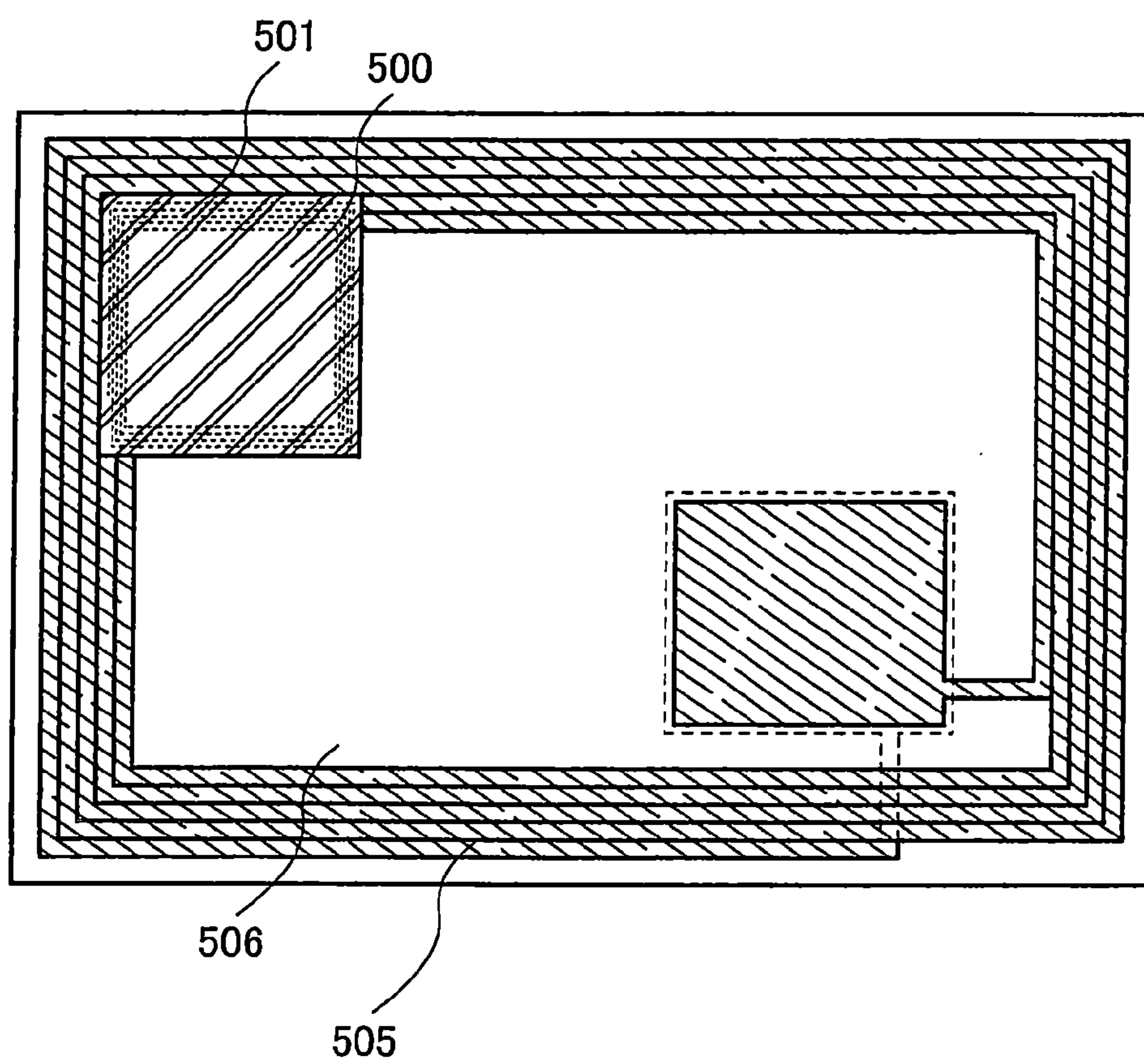


圖 23A

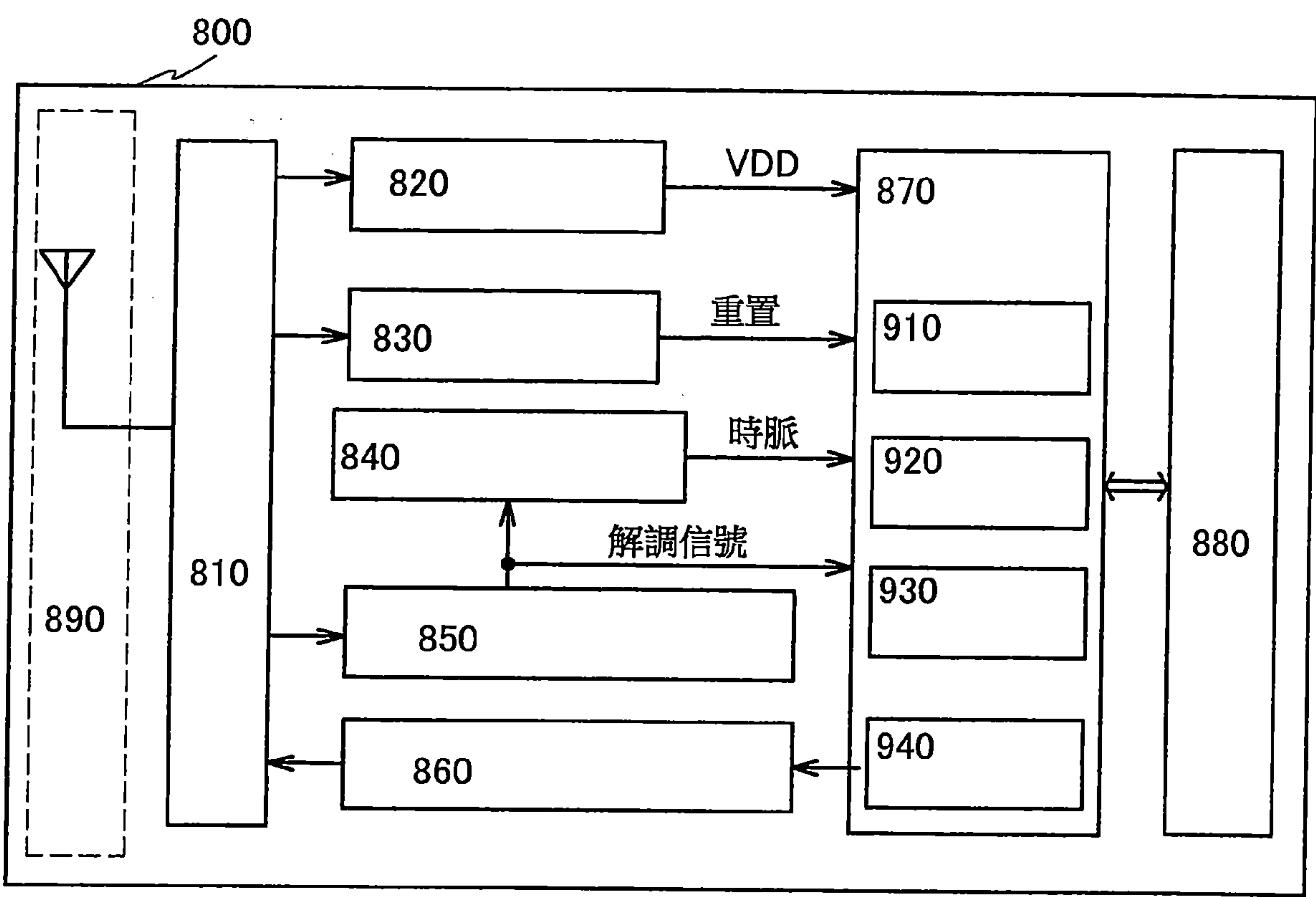


圖 23B

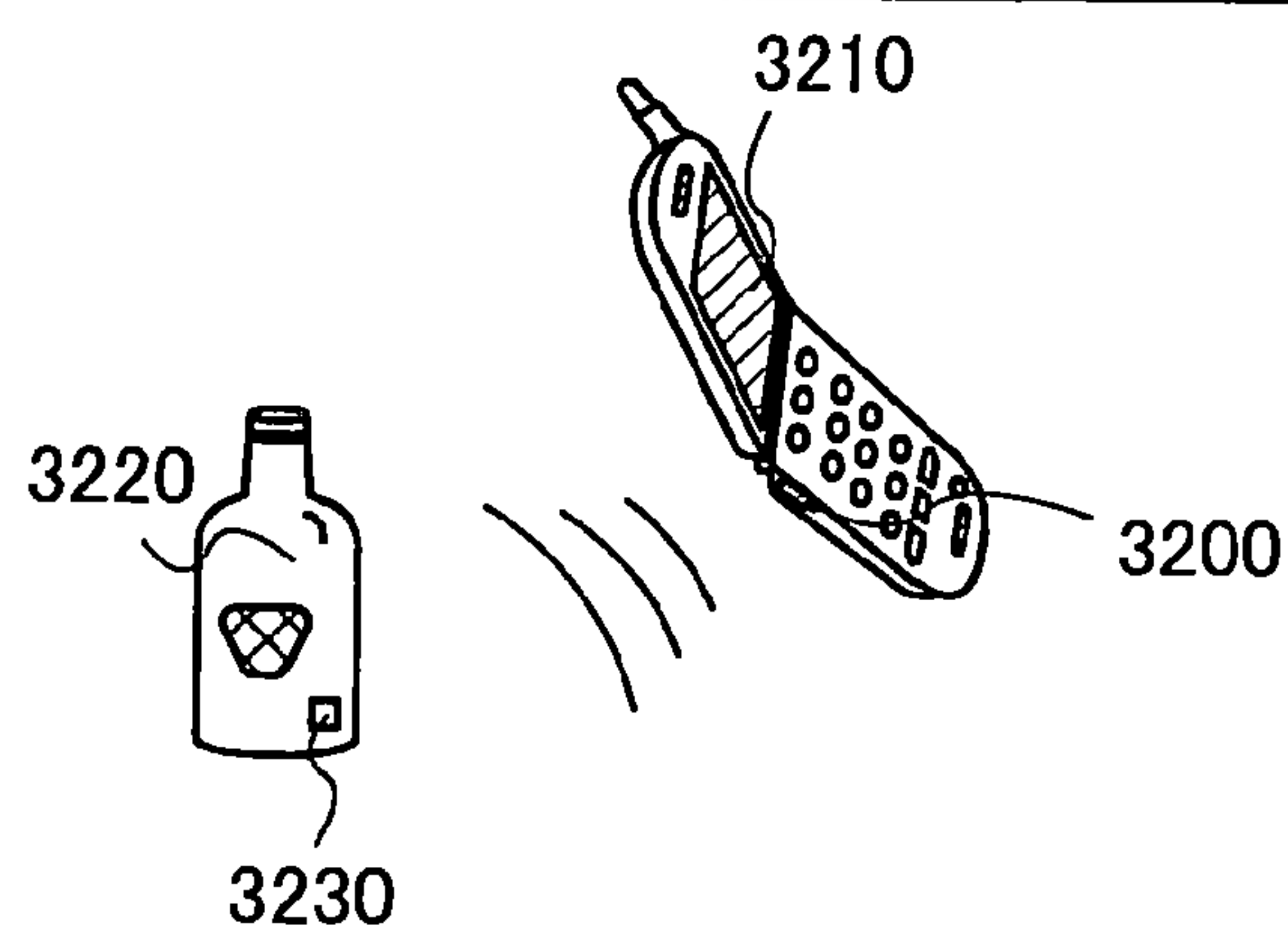
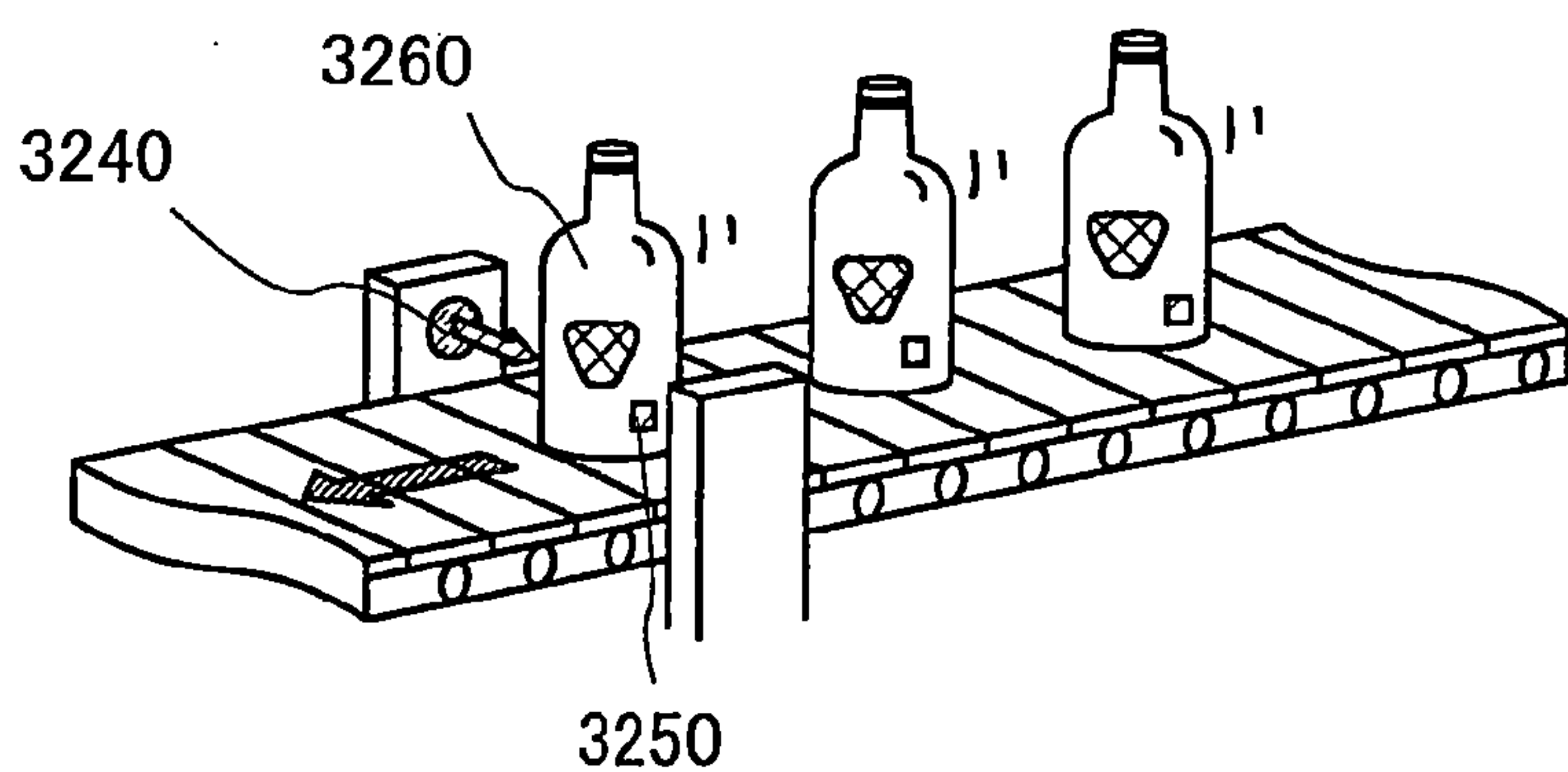


圖 23C



The diagram illustrates a memory array architecture. At the top, a **列解碼器** (Column Decoder) receives a **位元** (Bit) input. Below it, a **寫入及刷新電路** (Write and Refresh Circuit) receives **讀取致能/寫入致能** (Read Enable/Write Enable) and **資料輸出** (Data Output) signals. To the left, a **行解碼器** (Row Decoder) receives a **位元** (Bit) input. The central part of the diagram shows a grid of memory cells. Each cell is represented by a 2T1C1D structure: two access transistors (top and bottom), one storage capacitor (middle), and one data line (right). The top access transistor is connected to a word line, and the bottom access transistor is connected to a bit line. The storage capacitor is connected to the word line, and the data line is connected to the bit line. A dashed box highlights one cell, with a label **1100** pointing to it. The bottom of the grid is connected to **Vss**.

圖 25A

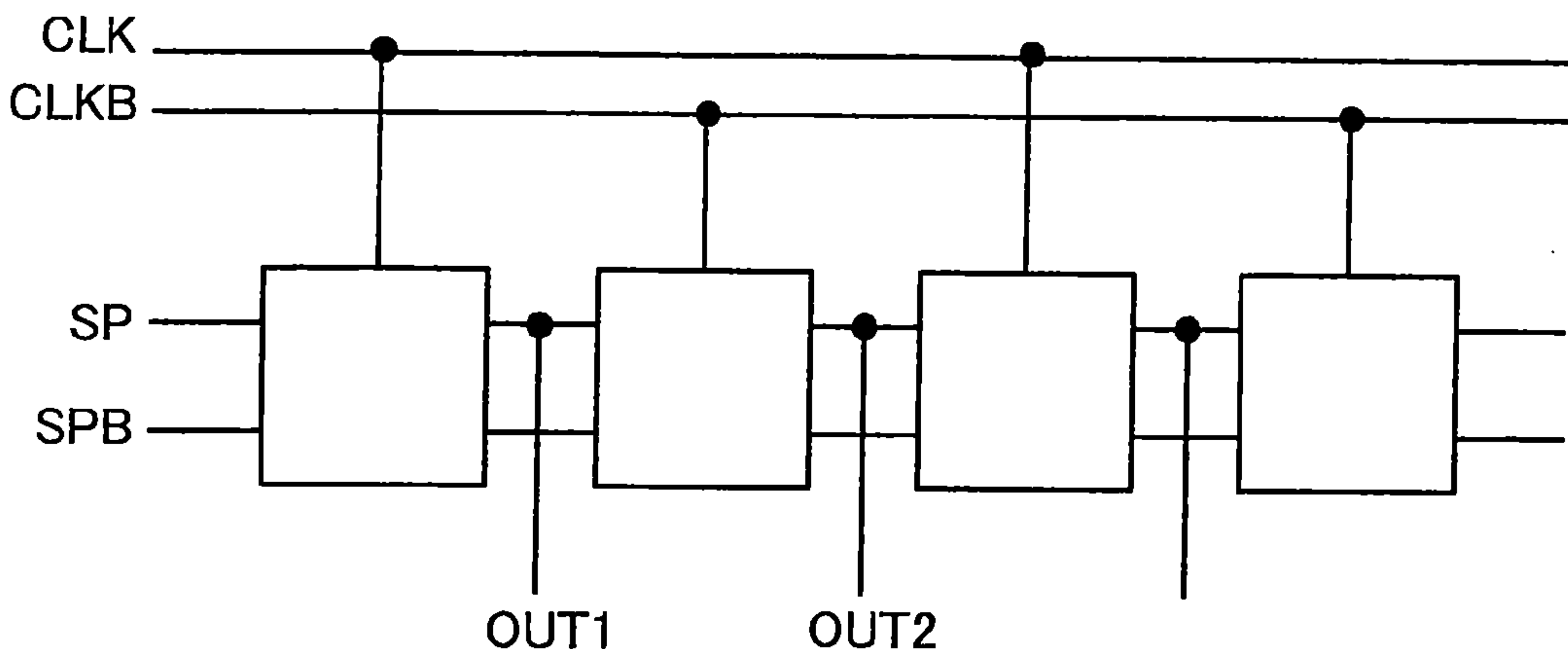


圖 25B

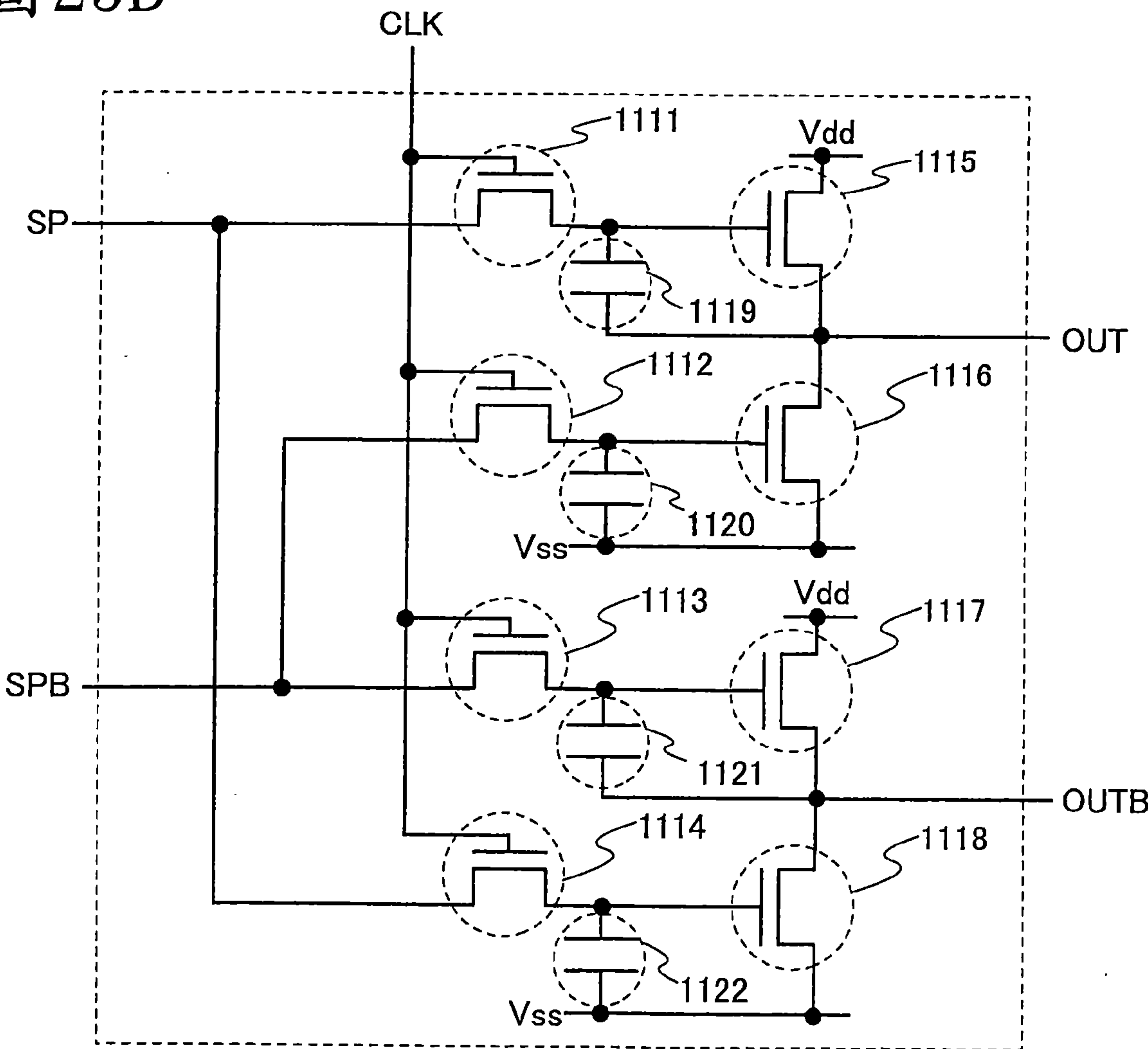


圖26

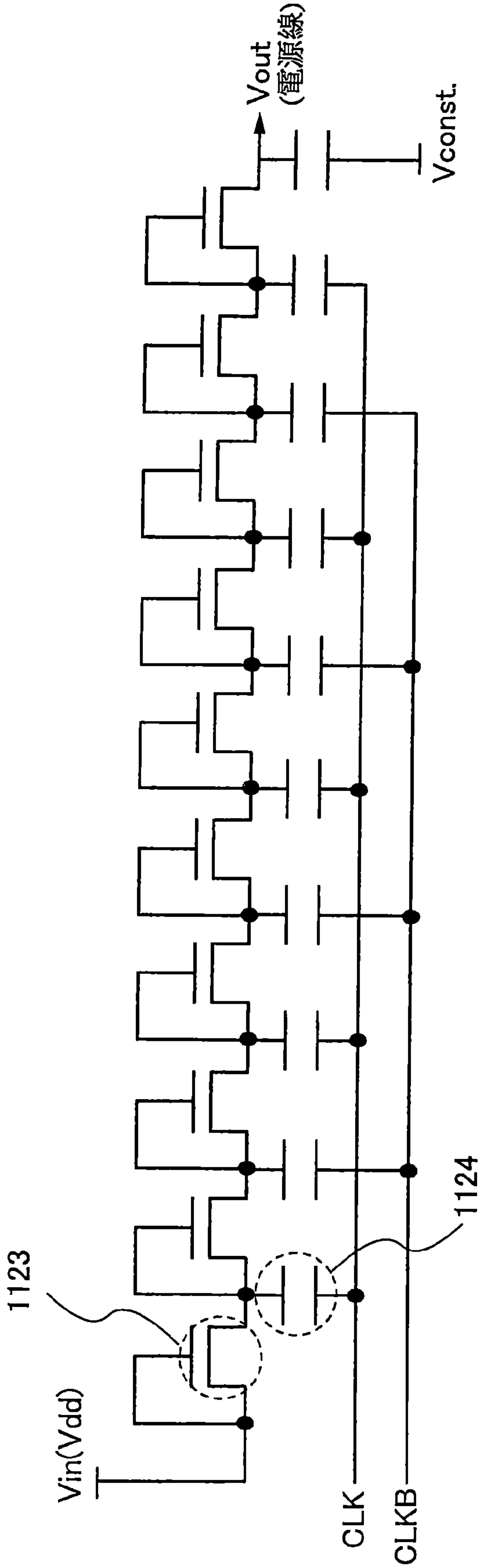


圖 27A

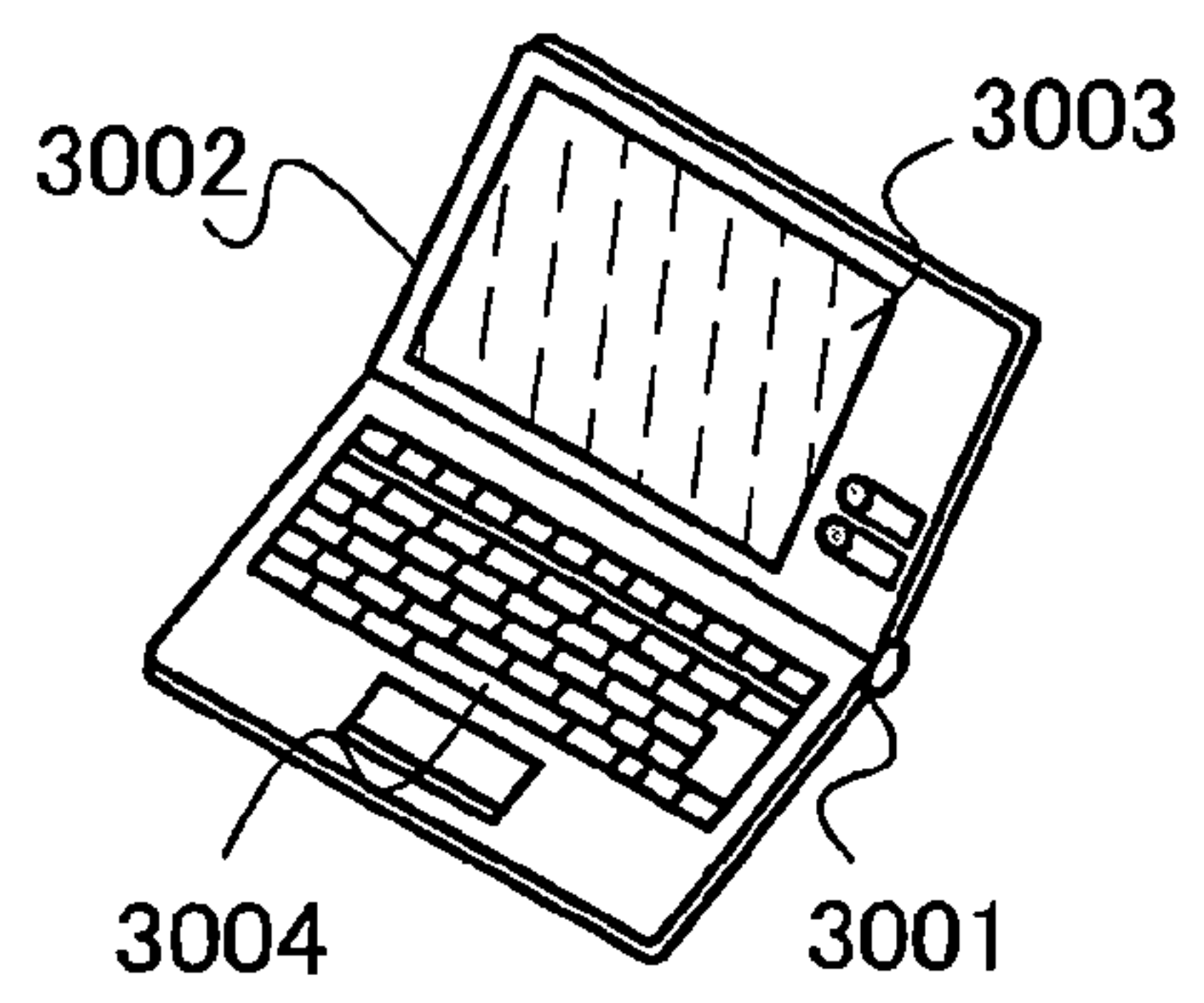


圖 27D

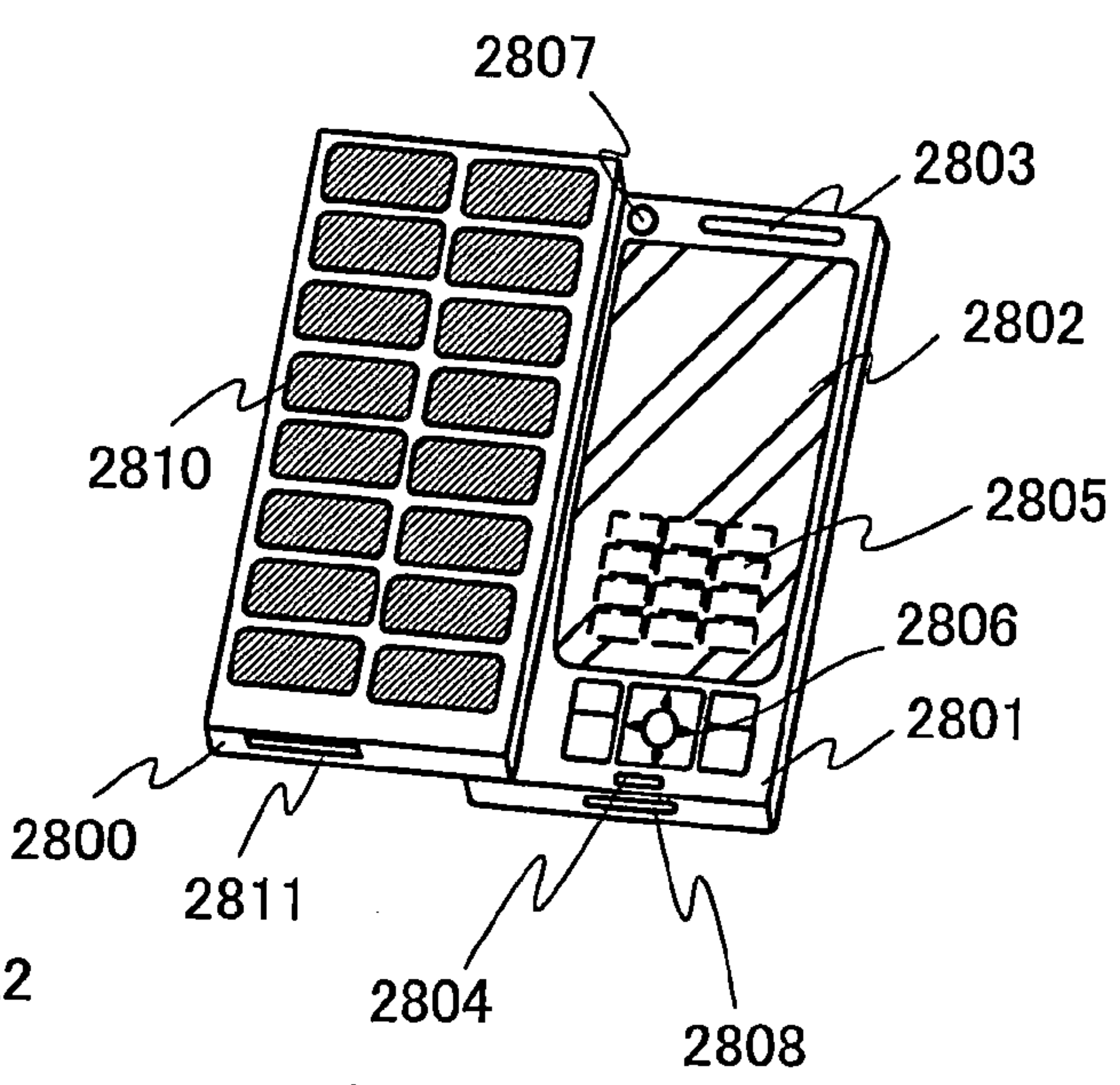


圖 27B

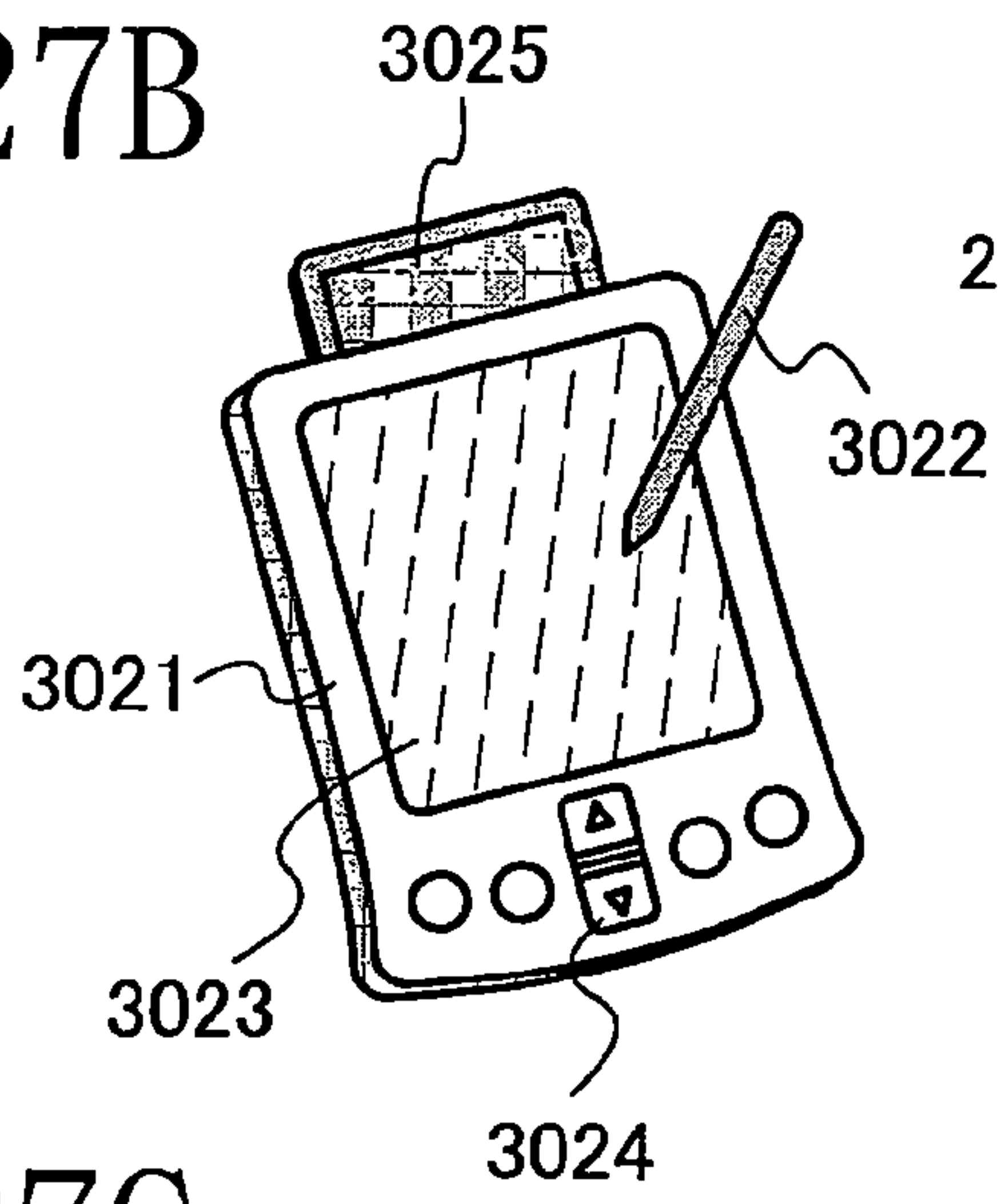


圖 27E

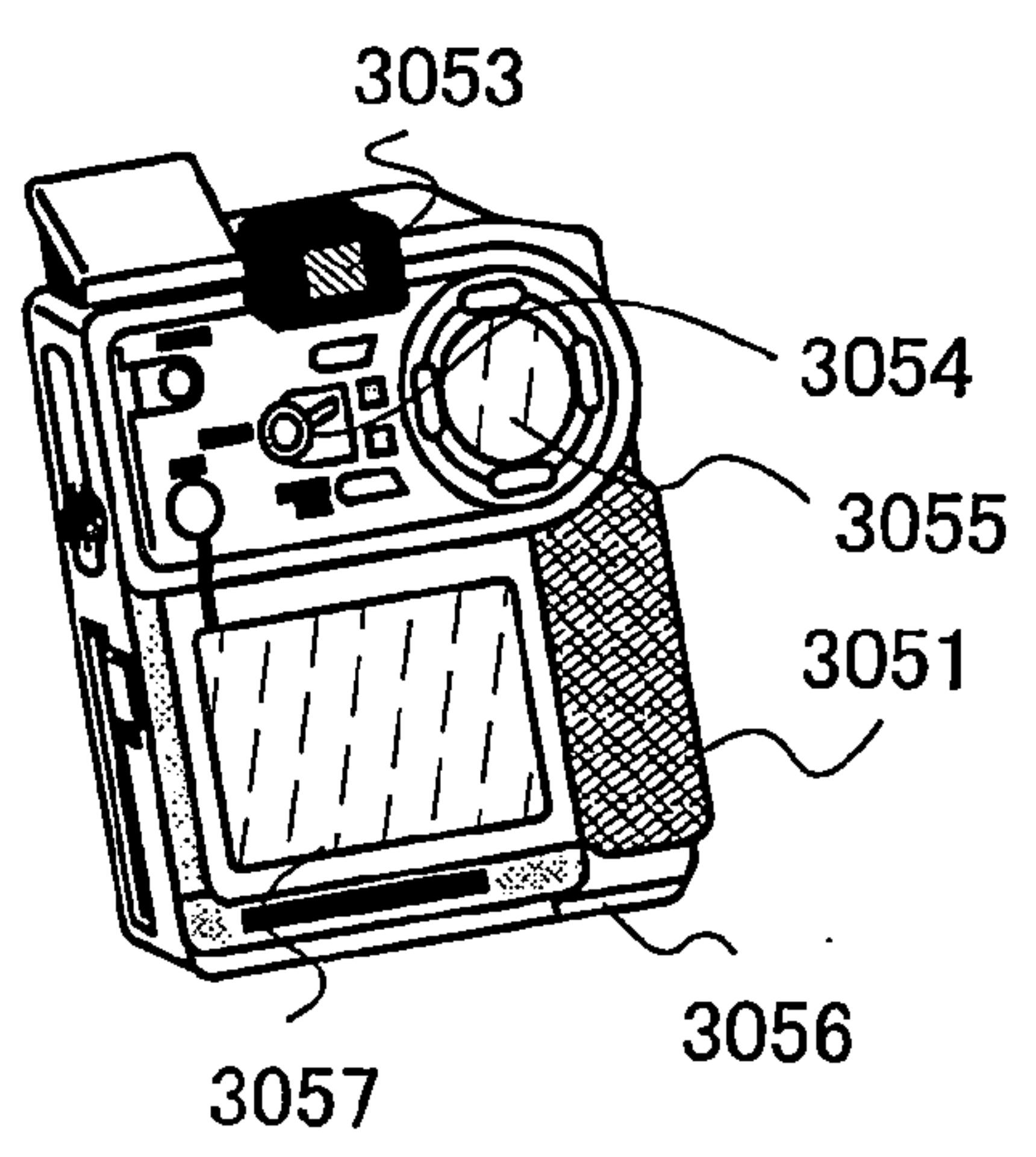


圖 27C

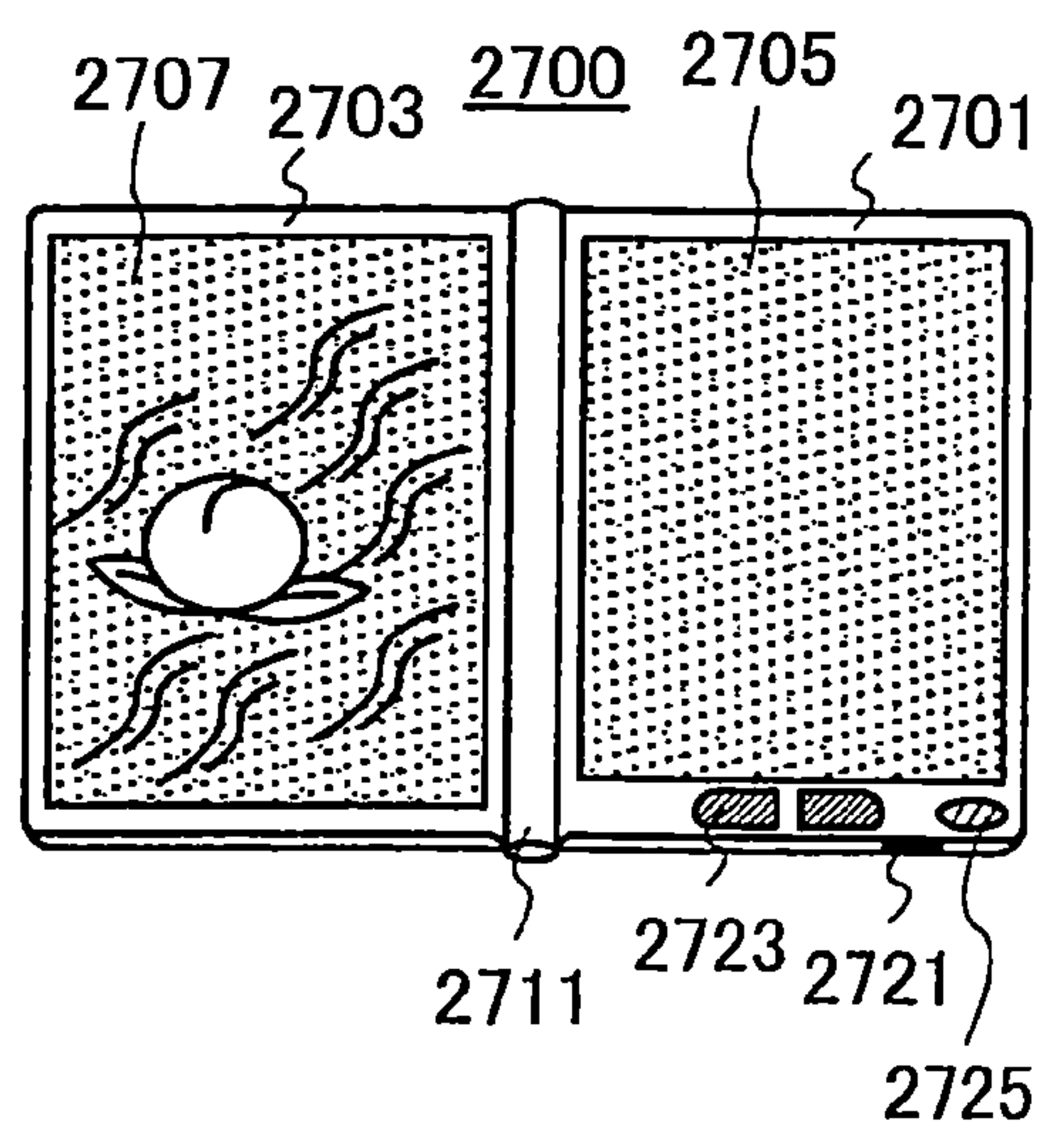


圖 28A

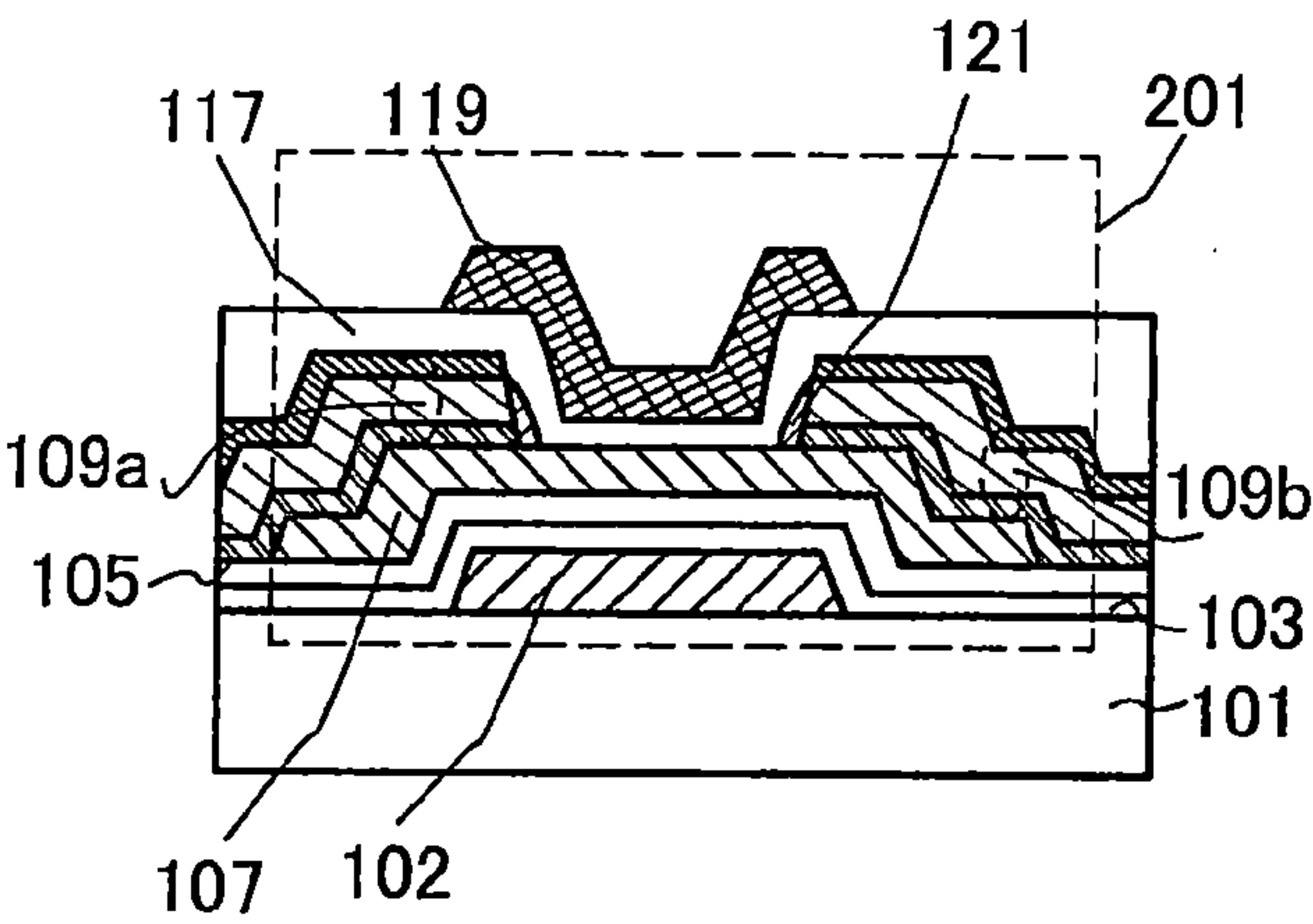


圖 28B

