

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/06 (2006.01)

H01L 29/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 200710161278.7

[45] 授权公告日 2010年1月6日

[11] 授权公告号 CN 100578789C

[22] 申请日 2007.9.25

[21] 申请号 200710161278.7

[30] 优先权

[32] 2006.9.28 [33] JP [31] 265387/06

[73] 专利权人 三洋电机株式会社

地址 日本大阪府

共同专利权人 三洋半导体株式会社

[72] 发明人 野口康成 小野寺荣男 石田裕康

[56] 参考文献

CN1794451A 2006.6.28

审查员 闫 东

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波

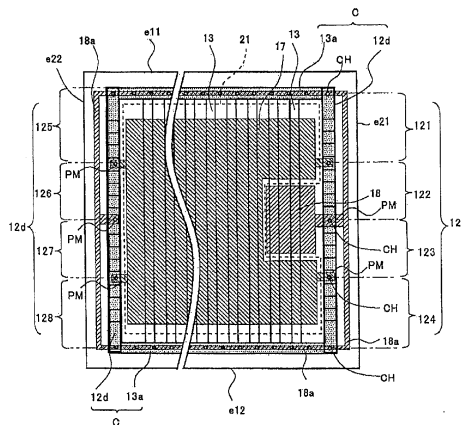
权利要求书 2 页 说明书 14 页 附图 12 页

[54] 发明名称

绝缘栅型半导体装置

[57] 摘要

本发明涉及绝缘栅型半导体装置。在栅焊盘电极下方设置 p^+ 型杂质区域的情况下， p^+ 型杂质区域的端部具有球面状的曲率。当漏-源间反向耐压达到数百伏时，在球面端部就会电场集中，无法得到足够的漏-源间反向耐压。在平面图形中，当增大 p^+ 型杂质区域的角部曲率时，则牺牲能够在动作区域配置的晶体管单元的数量。在栅焊盘电极的下方也配置与晶体管单元连续的沟道区域。将位于栅焊盘电极下方的沟道区域固定为源电位。由此，即使不在栅焊盘电极下方整个面设置 p^+ 型杂质区域，也能够确保规定的漏-源间反向耐压。此外，在配置于动作区域外周的导电层形成保护二极管。



1、一种绝缘栅型半导体装置，其在一导电型半导体衬底上条状设置有栅电极，其特征在于，包括：

多晶硅，其围绕所述栅电极外周，设置在所述衬底上，并沿着所述衬底的边延伸；以及

条状的pn结二极管，其设置在所述多晶硅的一部分。

2、一种绝缘栅型半导体装置，其特征在于，包括：

一导电型半导体衬底；

栅电极，其在所述一导电型半导体衬底的一主面条状设置；

反向导电型的沟道区域，其沿着所述栅电极在所述一主面条状设置；

第一绝缘膜，其设置在所述栅电极与所述沟道区域之间；

一导电型的源区域，其沿着所述栅电极在所述一主面的所述沟道区域条状设置；

第二绝缘膜，其设置在所述栅电极上；

栅焊盘电极，其经由所述第二绝缘膜设置在一部分的所述沟道区域上；

多晶硅，其在所述衬底的周边部沿着该衬底的一边设置在所述衬底上；

以及

条状的pn结二极管，其设置在所述多晶硅的一部分。

3、如权利要求2所述的绝缘栅型半导体装置，其特征在于，包括：

接触孔，其设置在所述第二绝缘膜；以及

源电极，其设置在所述第二绝缘膜上，经由所述接触孔与所述源区域及所述沟道区域接触。

4、如权利要求2所述的绝缘栅型半导体装置，其特征在于，包括：

栅引出电极，其设置在所述一导电型半导体衬底的周围，与所述栅电极及所述栅焊盘电极连接；以及

高浓度反向导电型区域，其设置在所述栅引出电极下方的所述衬底表面，与所述沟道区域连接。

5、如权利要求3所述的绝缘栅型半导体装置，其特征在于，

配置在所述栅焊盘电极下方的所述沟道区域与所述源电极电连接，所述源电极与所述栅焊盘电极邻接设置。

6、如权利要求 1 或权利要求 2 所述的绝缘栅型半导体装置，其特征在于，

所述栅电极及所述 pn 结二极管向同一方向延伸。

7、如权利要求 1 或权利要求 2 所述的绝缘栅型半导体装置，其特征在于，

所述 pn 结二极管的宽度比所述栅电极的宽度大。

8、如权利要求 1 或权利要求 2 所述的绝缘栅型半导体装置，其特征在于，

在所述 pn 结二极管的一端施加栅电位，在该 pn 结二极管的另一端施加源电位。

9、如权利要求 1 或权利要求 2 所述的绝缘栅型半导体装置，其特征在于，

并联连接多个所述 pn 结二极管，构成栅-源间的保护二极管。

绝缘栅型半导体装置

技术领域

本发明涉及绝缘栅型半导体装置，特别涉及能够充分地确保动作区域面积并维持高的反向耐压的绝缘栅型半导体装置。

背景技术

在现有的绝缘栅型半导体装置中，没有在栅焊盘电极下方配置晶体管单元（例如参照专利文献1）。

此外，存在例如在栅焊盘电极下方配置串联连接多个pn结的保护二极管的情况。此外，也具有为了确保漏-源间反向耐压而在栅焊盘电极下方的衬底形成高浓度杂质的扩散区域的情况。

图11(A)、(B)表示作为现有的绝缘栅型半导体装置在栅焊盘电极下方设置了P⁺型杂质区域的n沟道型MOSFET的一个例子。

图11(A)是MOSFET的平面图。此外，在图11(A)中，衬底表面的层间绝缘膜省略，金属电极层（源电极47、栅焊盘电极48、栅布线48a）用虚线表示。

栅电极43在半导体衬底31的表面经由栅氧化膜41被设置成条状。栅电极43在淀积多晶硅后，注入杂质，实现低电阻化，形成图形。源区域45沿着栅电极43在衬底31的表面设置。源区域45沿着栅电极43被设置形成条状。

在配置了晶体管单元的动作区域51上设置源电极47，在芯片的端部配置栅焊盘电极48。在芯片的周边设置与栅焊盘电极48连接的栅布线48a。

图11(B)是图11(A)的f-f线剖面图。

半导体衬底31是在n⁺型硅半导体衬底31a上层叠n⁻型外延层31b等，设置了漏区域的衬底，在其表面条状设置多个p型沟道区域34。在沟道区域34之间的衬底31的表面经由栅绝缘膜41条状配置多个栅电极43。在与栅电极43邻接的沟道区域34的表面形成n⁺型的源区域45。在栅电极43上以层间绝缘膜46覆盖，设置与源区域45接触的源电极47。栅电极43围绕的区域构成

一个晶体管单元，配置多个这样的晶体管单元构成动作区域 51。

栅焊盘电极 48 设置在动作区域 51 以外的 n 型半导体层 31b 的上方，与动作区域 51 的栅电极 43 连接。此外，在栅焊盘电极 48 下方配置在多晶硅中掺杂了杂质的保护二极管 43d。p⁺型杂质区域 49 以与保护二极管 43d 相同的图形设置。

专利文献 1: (日本国) 特开 2002-368218 号公报 (图 6~图 8)。

当施加源-漏间反向电压时，在动作区域 51 中，在沟道区域 34 和 n 型半导体层 31b 的 pn 结中耗尽层扩展，确保源-漏间反向耐压。另一方面，在芯片的端部设置保护二极管 43d，没有在其下方的衬底表面配置晶体管单元 (沟道区域 34)。因此，在保护二极管 43d 下方的衬底表面设置 p⁺型杂质区域 49。例如，在动作区域 51 的端部 pn 结终结，则在这里扩展的耗尽层的曲率变大，由于电场集中，存在源-漏间反向耐压下降的问题。然而，通过设置 p⁺型杂质区域 49，能够使在动作区域 51 端部的耗尽层的扩展缓慢扩展到芯片端部。即，因为在动作区域 51 端部的曲率变小，能够减缓电场集中，所以能够确保规定的源-漏间反向耐压。

如图 11 (A)、(B)，保护二极管 43d 例如将多晶硅形成矩形形状，在其中如点划线的同心圆状地形成多个 pn 结。即，在以往，在栅焊盘电极 48 下方的整个面上配置与其重叠的图形的面积大的保护二极管 43d。因此，从没有配置晶体管单元的动作区域 51 的外侧到芯片端部，需要大面积的 p⁺型杂质区域 49。

图 12 (A)、(B) 是说明 p⁺型杂质区域 49 的图，图 12 (A) 是从配置了晶体管单元 (MOSFET) 的动作区域 51 侧观察图 11 (A) 的圆圈部分的 p⁺型杂质区域的立体图。图 12 (B) 是表示 p⁺型杂质区域 49 的另一图形的平面图，表面的层间绝缘膜省略，金属电极层用虚线表示。

p⁺型杂质区域 49 是扩散区域，在图 11 (A) 的圆圈所示的端部 (与 n 型外延层 31b 的接合面) 具有球面状的曲率 (图 12 (A))。这里，在图 11 (A)、(B) 的图形中，在需要更高 (例如数百伏) 的漏-源间反向耐压的情况下，即使配置 p⁺型杂质区域 49，也存在在其端部 (具有球面状的曲率的部分 (图 12 (A) 的箭头部分)) 集中强电场而得不到希望的漏-源间反向耐压的问题。

此外，欲降低装置的导通电阻，就需要降低例如 n 型外延层 31b 的电阻率。这种情况，存在图 11 (A)、(B) 所示的 p⁺型杂质区域 49 的图形中漏-

源间反向耐压降低的问题。

即，在动作区域 51 要求的特性变化的情况，为了得到规定的漏-源间反向耐压，需要将 p^+ 型杂质区域 49 的图形变更为与动作区域 51 不同的图形。

具体的，通过减缓球面状的曲率，能够确保足够的漏-源间反向耐压。即，如图 12 (B)，通过减小 p^+ 型杂质区域 49 的角部的平面图形的曲率，也能够减缓图 12 (A) 所示的球面状的曲率，能够确保规定的反向耐压。

然而，在保护二极管 43d 在栅焊盘电极 48 的下方以与其大致重叠的图形设置的情况下，需要按照覆盖保护二极管 43d 下方的衬底表面的方式设置 p^+ 型杂质区域 49。即，因为以与保护二极管 43d 相同的图形形成 p^+ 型杂质区域 49，所以减小了角部的弯曲。因此，存在图 12 (A)、(B) 的图形无法配置栅焊盘电极 48 附近的晶体管单元的一部分，而无法进行 p^+ 型杂质区域 49 的控制（设计变更），以及必须缩小动作区域（晶体管单元的配置面积）的问题。

发明内容

本发明是鉴于所述课题而形成的，其第一方面提供一种绝缘栅型半导体装置，其在一导电型半导体衬底上条状设置有栅电极，其中，包括：导电层，其围绕所述栅电极外周并沿着所述衬底的边延伸；以及条状的 pn 结二极管，其设置在所述导电层的一部分。

本发明的第二方面提供一种绝缘栅型半导体装置，其中，包括：一导电型半导体衬底；栅电极，其在所述一导电型半导体衬底的一主面条状设置；反向导电型的沟道区域，其沿着所述栅电极在所述一主面条状设置；第一绝缘膜，其设置在所述栅电极与所述沟道区域之间；一导电型的源区域，其沿着所述栅电极在所述一主面的所述沟道区域条状设置；第二绝缘膜，其设置在所述栅电极上；栅焊盘电极，其经由所述第二绝缘膜设置在一部分的所述沟道区域上；以及条状的 pn 结二极管，其在所述衬底的周边部沿着该衬底的一边设置。

根据本发明，能够提供一种不减小动作区域面积而能够确保高的漏-源间反向耐压的 MOSFET。即，其结构是，将晶体管单元形成条状，在栅焊盘电极下方配置沟道区域的一部分，对沟道区域施加源电位。栅焊盘电极下方的沟道区域以与 MOSFET 的动作区域相同的图形形成，所以在栅焊盘电极下方也能够确保与动作区域同等的漏-源间反向耐压。

因而，即使在改变漏-源间反向耐压的情况下，不必进行 p^+ 型杂质区域的图形（角部的曲率）变更，也能够确保规定的耐压。例如在现有情况下，在确保更大的耐压的情况下，存在动作区域（晶体管单元的配置面积数）随着 p^+ 型杂质区域的图形的改变而缩小的问题。然而，根据本实施方式，代替现有的大面积 p^+ 型杂质区域，用栅焊盘电极下方的沟道区域能够确保漏-源间反向耐压，能够如现有那样确保动作区域的面积。

此外，围绕所有的栅电极的外周设置沿着芯片的一边延伸的条状的pn结二极管，在pn结二极管的一端施加栅电位，在该pn结二极管的另一端施加源电位，构成栅-源间保护二极管。在栅焊盘电极下方设置沟道区域的本实施方式中，在栅-源间连接保护二极管的情况下，可以考虑利用栅焊盘电极下方的条状的多晶硅形成pn结二极管，作为保护二极管。

但是，在栅焊盘电极的下方构成条状的保护二极管的情况下，伴随着栅电极的精细化，以相同图形形成的保护二极管也被精细化，接触孔的形成困难。

另一方面，在本实施方式中，在配置于动作区域外的比栅电极的宽度宽的多晶硅（栅引出电极）的一部分形成pn结二极管，构成保护二极管。由此，能够不受栅电极精细化的影响，配置保护二极管。

此外，通过适当选择栅焊盘电极及源电极与条状的pn结二极管的接触孔的位置，能够任意设定保护二极管的击穿电压。

附图说明

图1(A)、(B)是本发明半导体装置的平面图；

图2是本发明半导体装置的剖面图；

图3是本发明半导体装置的剖面图；

图4是本发明半导体装置的平面概略图；

图5是本发明半导体装置的放大平面图；

图6(A)是本发明半导体装置的剖面图，图6(B)是电路图；

图7是说明现有的及本发明的保护二极管的平面图；

图8是说明本发明半导体装置的平面图；

图9是说明本发明半导体装置的剖面图；

图10是说明本发明半导体装置的剖面图；

图 11 (A) 是说明现有的半导体装置的平面图, 图 11 (B) 是剖面图;
图 12 (A) 是说明现有的半导体装置的立体图, 图 12 (B) 是平面图。

标记说明

1—半导体衬底; 1a— n^+ 型硅半导体衬底; 1b— n^- 型外延层; 4—沟道区域;
7—沟槽; 11—栅绝缘膜; 12d—保护二极管; 121、122、123、124—pn 结二
极管; 125、126、127、128—pn 结二极管; 13—栅电极; 13a—栅引出电极;
14—主体区域; 15—源区域; 16—层间绝缘膜; 17—源电极; 18—栅焊盘电
极; 18a—栅布线; 21—动作区域; 22—保护环; 29— p^+ 型杂质区域; 31—半
导体衬底; 31a— n^+ 型硅半导体衬底; 31b— n^- 型外延层; 34—沟道区域; 41—
栅绝缘膜; 43—栅电极; 45—源区域; 46—层间绝缘膜; 47—源电极; 48—
栅焊盘电极; 49— p^+ 型杂质区域; 51—动作区域; C—导电层; CH—接触孔;
PM—突起部。

具体实施方式

作为绝缘栅型半导体装置的一例以 n 沟道型 MOSFET 为例参照图 1 (A)、
(B) 至图 10 详细说明本发明的实施方式。

参照图 1 (A)、(B) 至图 7, 表示本发明的第一实施方式。

图 1 (A)、(B) 表示本发明的第一实施方式的 MOSFET 芯片的平面图。
图 1 (A) 是省略了层间绝缘膜、用虚线表示金属电极层 (源电极、栅焊盘电
极、栅布线) 的平面图, 图 1 (B) 是表示源电极及栅焊盘电极、栅布线的图
形的平面图。

本发明的 MOSFET100 包括: n 型半导体衬底 1、沟道区域 4、第一绝缘
膜 11、栅电极 13、源区域 15、主体区域 14、第二绝缘膜 16、栅焊盘电极 18、
源电极 17、保护二极管 12d。

如图 1 (A), 栅电极 13 在 n 型半导体衬底 1 的表面经由构成第一绝缘膜
的栅氧化膜 (这里没有图示) 设置成条状。栅电极 13 在淀积多晶硅后, 注入
杂质, 实现低电阻化, 形成图形。

沟道区域 4 是沿着栅电极 13 在 n 型半导体衬底 1 的表面设置成条状的 p
型杂质区域。

源区域 15 是沿着栅电极 13 在沟道区域 4 的表面设置的 n^+ 型杂质区域,
主体区域 14 是为了衬底电位的稳定化而在邻接的源区域 15 之间的沟道区域 4

的表面沿着栅电极 13 设置的 p^+ 型杂质区域。

由被栅电极 13 围绕的源区域 15、沟道区域 4 (主体区域 14) 构成条状的 MOSFET 晶体管单元。配置多个该晶体管单元而构成 MOSFET100 的动作区域 21。晶体管单元直至芯片端部, 所有的栅电极 13 在 n 型半导体衬底 (半导体芯片) 1 的周边部, 与围绕配置了栅电极 13 的动作区域 21 外周并沿着衬底 1 的各边延伸的导电层 C 连接。导电层 C 是在衬底 1 上经由栅氧化膜配置的多晶硅, 是环状连续的形状, 由希望的杂质掺杂在一部分构成栅引出电极 13a, 在另一部分构成保护二极管 12d。此外, 在图 1 (A) 中, 为了说明方便, 用粗线表示保护二极管 12d 的形成区域。

栅引出电极 13a 相对在半导体衬底 (半导体芯片) 1 的第一方向延伸的栅电极 13, 沿着成为第二方向的芯片边延伸。即, 栅引出电极 13a 沿着与栅电极 13 正交方向的芯片边 e11、e12 延伸, 与栅电极 13 相同由杂质掺杂实现低电阻化。栅电极 13 经由栅引出电极 13a 与栅焊盘电极 18 连接。

另一方面, 保护二极管 12d 与在第一方向延伸的栅电极 13 相同的方向延伸。即, 保护二极管 12d 沿着与栅电极 13 平行的芯片边 e21、e22 配置, 与栅焊盘电极 18 及源电极 17 连接。对保护二极管 12d 后面叙述。

栅焊盘电极 18 沿着半导体芯片 1 的一边 (例如芯片边 e21) 被配置。并且, 在图 1 中, 表示在芯片边 e21 在中央附近配置的例子, 但是也可以配置在半导体芯片 1 的角部。栅焊盘电极 18 是在 n^+ 型半导体衬底 1 上经由构成第二绝缘膜的层间绝缘膜 (这里没有图示) 设置的金属电极层。此外, 在动作区域 21 的外周的半导体衬底 1 上经由层间绝缘膜设置栅布线 18a, 栅布线 18a 与栅焊盘电极 18 连接并由与其同一金属电极层形成。栅布线 18a 在芯片边 e21、e22 在导电层 C (保护二极管 12d) 的外侧配置, 在芯片边 e11、e12, 在导电层 C (栅引出电极 13a) 上与其重叠地设置。即, 栅引出电极 13a 在芯片边 e11、e12 与栅布线 18a 接触, 由此在各晶体管单元的栅电极 13 施加栅电压。

在导电层 C 下方的 n 型半导体衬底 1 表面以与导电层 C 大致重叠的环状的图形设置 p^+ 型杂质区域 29。在保护二极管 12d 下也配置 p^+ 型杂质区域 29。围绕芯片外周的 p^+ 型杂质区域 29 与条状的沟道区域 4 连接, 被施加与沟道区域 4 相同的电位, 减缓在芯片外周端的耗尽层的曲率。

在栅焊盘电极 18 下方也配置沟道区域 4 及主体区域 14, 但栅焊盘电极

18 不与它们接触。此外，不在栅焊盘电极 18 下方的沟道区域 4 配置源区域 15。

在栅引出电极 13a 周围的 n 型半导体衬底 1 表面根据需要配置扩散了 p^+ 型杂质的保护环 22。保护环 22 是没有被施加任何电位的例如 p 型杂质区域。

如图 1 (B)，源电极 17 围绕栅焊盘电极 18，与栅焊盘电极 18 邻接设置。源电极 17 由与栅焊盘电极 18 相同的金属电极层构成，覆盖动作区域 21 的大部分区域，与各晶体管单元电连接。

本实施方式的晶体管单元是条状。因此，图 1 (A) 的 X 区域的晶体管单元也由源电极 17 施加规定的电位（参照图 1 (B)），电位被固定而进行晶体管动作。

但是，X 区域的晶体管单元在栅焊盘电极 18 的两侧被分割成源区域 15。具体的，在图 1 (A) 的平面图中，在源电极 17 下方的动作区域 21 中，在沟道区域 4 的表面配置主体区域 14 及源区域 15，因此没有露出沟道区域 4。另一方面，在栅焊盘电极 18 的下方露出沟道区域 4（及主体区域 14）。

因此，在条状的栅电极 13 及沟道区域 4 施加规定的电位（栅电位、源电位），只有源电极 17 下方的晶体管单元进行晶体管动作。另一方面，沟道区域 4 的一部分因为也在栅焊盘电极 18 下方延伸，所以在这里也施加了源电位。

此外，如图 1 (B)，在栅布线 18a 及源电极 17 上分别设置用于与导电层 C 的一部分的保护二极管 12d 连接的突起部 PM。

在图 2 及图 3 中，表示本实施方式的 MOSFET 的剖面图。图 2 是图 1 (A) 的 a-a 线剖面图，图 3 是图 1 (A) 的 b-b 线剖面图。

n 型半导体衬底 1 是在 n^+ 型硅半导体衬底 1a 上层叠 n 型半导体层 1b 等而设置了漏区域的结构。n 型半导体层 1b 例如是外延层。在 n 型半导体层的表面条状设置多个沟道区域 4。

在源电极 17 下方的沟道区域 4 表面设置 n^+ 型杂质区域的源区域 15 和 p^+ 型杂质区域的主体区域 14。在邻接的沟道区域 4 之间的衬底表面经由栅氧化膜 11 条状配置多晶硅形成的栅电极 13。源区域 15 与栅电极 13 部分重叠，设置在栅电极 13 的两侧，在邻接的源区域 15 间的沟道区域 4 表面配置主体区域 14。

即，沿着条状的栅电极 13 在其两侧分别条状地配置沟道区域 4、源区域 15、主体区域 14。

栅电极 13 的上面及侧面设置由 BPSG (Boron phosphorus Silicate Glass) 膜等构成的层间绝缘膜 16, 栅电极 13 由栅绝缘膜 11 及层间绝缘膜 16 覆盖其周围。

源电极 17 在层间绝缘膜 16 上形成希望形状的金属电极层而设置 (参照图 1 (B))。

如图 2, 在源电极 17 下方, 在层间绝缘膜 16 上设置接触孔 CH, 源电极 17、源区域 15 及主体区域 14 (沟道区域 4) 经由接触孔 CH 接触。

在栅焊盘电极 18 下方配置与 X 区域的晶体管单元连接的栅电极 13、主体区域 14、沟道区域 4、栅氧化膜 11、层间绝缘膜 16。栅焊盘电极 18 经由设置在突起部 PM 及层间绝缘膜 16 的接触孔 CH 在保护二极管 12d 的一端施加栅电位。

此外, 栅焊盘电极 18 由突起部 PM 与沿着半导体芯片 1 的芯片边 e21 延伸的栅布线 18a 连接。栅布线 18a 在芯片边 e11、e12 (这里无图示), 经由设置在层间绝缘膜 16 的接触孔与栅引出电极 13a 接触。对栅电极 13 施加栅电位 (参照图 1 (A)、(B))。

在如已述的栅焊盘电极 18 下方的沟道区域 4 没有配置源区域 15, 在栅焊盘电极 18 下方不形成晶体管单元。此外, 栅焊盘电极 18 下方的主体区域 14、沟道区域 4 与源电极 17 连接 (图 1 (A)), 施加源电位。

参照图 3, 在 X 区域的围绕栅焊盘电极 18 的源电极 17 下方也设置条状的栅电极 13 及沟道区域 4、主体区域 14、源区域 15, 构成晶体管单元 (图 3)。

X 区域的沟道区域 4 及主体区域 14 也与栅焊盘电极 18 下方连续。在本实施方式中, 在图 2 及图 3 中, 将配置沟道区域 4 的区域作为动作区域 21。

此外, 源电极 17 经由设置在突起部 PM 及层间绝缘膜 16 的接触孔 CH 对保护二极管 12d 的另一端施加源电位。

此外, 参照图 2 及图 3, 在栅焊盘电极 18 下方的沟道区域 4 与晶体管单元的沟道区域 4 相同地施加源电位。此外, 栅焊盘电极 18 下方的沟道区域 4 (及主体区域 14) 以与动作区域 21 相同的图形形成。动作区域 21 的沟道区域 4 (及主体区域 14) 以能够确保 MOSFET 所要求的耐压的条件形成。即, 在栅焊盘电极 18 下方的沟道区域 4 也能够确保与动作区域 21 相等的漏-源间反向耐压。

这样, 由条状的沟道区域 4 能够确保栅焊盘电极 18 下方的漏-源间反向

耐压，所以不需要现有的大面积的 p^+ 型杂质区域。

即，本实施方式的 p^+ 型杂质区域 29 只设置在没有配置沟道区域 4 的芯片的外周端就可以。 P^+ 型杂质区域 29 以与环状的导电层 C 大致重叠的图形设置就足够了，与现有比较，能够大幅度减小 p^+ 型杂质区域 29 的宽度 W_a 。

具体的， p^+ 型杂质区域 29 的宽度 W_a 比沟道区域 4 的宽度 W_b 大，例如 600 伏左右耐压情况是 $50\mu\text{m}$ 。如现有的（图 11 (A)、(B)），在保护二极管 43 d 下方的整个面上设置的情况， p^+ 型杂质区域 49 的宽度 W_c 是例如 $400\mu\text{m}$ 左右，所以能够减小到现有的 1/8 左右。

以往，在栅焊盘电极 48 下方配置同心圆状的保护二极管 43d 和与其重叠的大面积的 p^+ 型杂质区域 49，如果动作区域 51 要求的耐压变化， p^+ 型杂质区域 49 的图形（角部的曲率）也需要适当变更。

但是，根据本实施方式，在栅焊盘电极 18 下方以与动作区域 21 相同的设计规格（尺寸、杂质浓度）设置沟道区域 4（主体区域 14），所以在栅焊盘电极 18 下方能够确保与动作区域 21 要求的耐压相等的漏-源间反向耐压。

此外，在变更动作区域 21 的耐压的情况下，通过变更动作区域 21 的沟道区域 4 的设计值，由此在栅焊盘电极 18 下方也能够确保规定的耐压。即，与动作区域 21 的设计值的变更联动，在栅焊盘电极 18 下方能够确保规定的漏-源间反向耐压。

P^+ 型杂质区域 29 围绕没有配置沟道区域 4 的芯片的外周设置，与条状的沟道区域 4 连接（图 1 (A)），它们形成等电位（源电位）。由此，在施加漏-源间反向电压的情况下，在没有配置沟道区域 4 的芯片的外周端，减缓了耗尽层曲率，抑制了电场集中。

根据需要，在 p^+ 型杂质区域 29 的外周设置是 p^+ 型杂质扩散区域的保护环 22。保护环 22 不加任何电位，减缓了在 p^+ 型杂质区域 29 附近的源-漏间产生的电场集中。

此外，在 n 型半导体层 1 的背面设置与 n^+ 型半导体衬底 1a 接触的漏电极 20。

下面对保护二极管 12d 进行说明。本实施方式的沟道区域 4 把条状的多晶硅（栅电极 13）作为掩膜自对准地形成。

因此，考虑在残留在栅焊盘电极 18 下方的多晶硅形成 pn 结二极管的方法。但是要想形成保护二极管，就需要使其与栅焊盘电极 18 及源电极 17 接

触，如果随着晶体管单元的精细化进步，栅电极 13（成为形成沟道区域 4 的掩膜的多晶硅）变得微细，接触孔的形成也就变得困难。

因此，在配置在围绕所有的栅电极 13 的半导体芯片 1 的周边部的导电层 C 的一部分形成 p 型半导体区域及 n 型半导体区域，将一端连接到栅焊盘电极 18，将另一端连接到源电极 17，由此，构成保护二极管 12d。

以下参照图 4~图 7 对保护二极管 12d 进行说明。

图 4~图 6 是用于说明本实施方式的保护二极管的图，图 4 是用于说明保护二极管 12d 的平面概要图，图 5 是图 4 的放大平面图，图 6 (A) 是图 5 的 c-c 线剖面图，图 6 (B) 是保护二极管 12d 的等效电路图。

并且，在图 4 及图 5 中，保护二极管 12d 以外的用虚线表示的动作区域 21 的结构概略表示。

参照图 4 及图 5，在半导体芯片 1 的周边部设置围绕所有的栅电极 13 的导电层 C。导电层 C 被设置成分别沿着芯片边 e11、e12、e21、e22 的环状。芯片边 e11、e12 是与栅电极 13 垂直的方向，e21、e22 是与栅电极 13 平行的方向。

导电层 C 是连续的环状，其一部分构成栅引出电极 13a，另一部分构成保护二极管 12d。在图 4 中，为了说明方便，用点阴影图案表示，用粗线表示保护二极管 12d 的形成区域。

在本实施方式中，栅电极 13 及栅引出电极 13a 被掺杂 n 型杂质，与保护二极管 12d 的一端的 n 型半导体区域 12n 连续（图 5）。

保护二极管 12d 设置在沿与栅电极 13 平行的芯片边 e21、e22 延伸的导电层 C 上。

这里，作为一例，保护二极管 12d 由八个 pn 结二极管构成。即，在芯片边 e21 配置四个 pn 结二极管 121、122、123、124，在芯片边 e22 配置四个 pn 结二极管 125、126、127、128。

以下，对 pn 结二极管 121 进行说明，但其它 pn 结二极管 122~128 的结构也相同。

pn 结二极管 121，其通过对在芯片边 e21（e22）延伸的导电层（多晶硅）C 进行杂质离子注入或淀积（PBF(Ploy Boron Film)、 POCl_3 ）而相互邻接地配置 p 型半导体区域 12p 及 n 型半导体区域 12n 而形成 pn 结，将一端（例如 n 型杂质区域 12n）连接在栅焊盘电极 18，将另一端（例如另一 n 型杂质区域

12n) 连接在源电极 17。

与栅焊盘电极 18 连接的栅布线 18a 围绕用虚线表示的动作区域 21 的外周设置, 在芯片边 e11、e12 与导电层 C 重叠, 在芯片边 e21、e22 被配置在导电层 C 的外侧。

此外, 栅焊盘电极 18 通过突起部 PM 与沿着半导体芯片 1 的芯片边 e21 延伸的栅布线 18a 连接。栅布线 18a 在芯片边 e11、e12 经由设置在层间绝缘膜 16 的接触孔 CH 与栅引出电极 13a 接触, 对栅电极 13 施加栅电位。

pn 结二极管 121 与栅引出电极 13a 连接的一端通过被设置在栅引出电极 13a 上并与其接触的栅布线 18a 与栅焊盘电极 18 连接。另一方面, pn 结二极管 121 的另一端在其上没有配置栅布线 18a, 经由突起部 PM 与源电极 17 连接。

此外, pn 结二极管 122, 一端经由突起部 PM 与栅焊盘电极 18 连接, 另一端经由突起部 PM 与源电极 17 连接。即, pn 结二极管 121 和 pn 结二极管 122 在源电极 17 与栅焊盘电极 18 之间并联连接。

因此, 在芯片边 e21 并联连接四个 pn 结二极管 121 ~ 124。此外, 同样在芯片边 e22 并联连接四个 pn 结二极管 125 ~ 128。并且, 它们共用栅焊盘电极 18 和源电极 17, 即, 八个 pn 结二极管 121 ~ 128 并联连接, 构成 MOSFET 的栅-源间的保护二极管 12d。

此外, 如图 5, 导电层 C 的宽度 W1 能够不靠近动作区域 21 (栅电极 13 及沟道区域 4) 的图形设计。因此, 即使在晶体管单元的精细化进步而栅电极 13 (成为沟道区域的掩膜的多晶硅) 的宽度 W2 变得微细的情况下, 保护二极管 12d 的宽度 W1 也能够确保形成接触孔 CH 所需要的宽度。

参照图 6 进一步进行说明。

参照图 6 (A) 及图 2, pn 结二极管 121 周围由层间绝缘膜 16 覆盖, 经由被设置在层间绝缘膜 16 的接触孔 CH 和突起部 PM, 一端 (在这里是 n 型半导体区域 12n) 与栅焊盘电极 18 连接, 另一端 (另一 n 型半导体区域 12n) 经由突起部 PM 与源电极 17 连接。

由此, 如图 6 (B), 八个 pn 结二极管 121 ~ 128 并联连接, 构成一个保护二极管 12d。保护二极管 12d 连接在具有源端子 S、栅端子 G、漏端子 D 的 MOSFET 的源端子 S 与栅端子 G 之间。

并且, pn 结二极管 121 ~ 128 的 pn 结串联连接数量以及与栅焊盘电极 18

及源电极 17 的接触位置只是一例，它们可以根据击穿电压适当选择。

例如，在图 5 所示的保护二极管 12d 中，通过使与栅焊盘电极 18 的接触孔 CH 的位置偏移，能够容易地变更击穿电压。在这种情况下，与接触孔 CH 的位置对应地设置突起部 PM。

此外，在本实施方式中，表示在与栅电极 13 平行的两个芯片边 e21、e22 配置保护二极管 12d 的情况，但也可以是任何一方的芯片边。

图 7 表示图 11 (A)、(B) 所示的现有的保护二极管 43d。一般地保护二极管 43d 构成为同心圆状地串联连接 pn 结。并且，p 型半导体区域及 n 型半导体区域的杂质浓度与本实施方式相等。

本实施方式的 pn 结二极管 121，对应图 7 的虚线和阴影表示的部分。在同心圆状地形成 pn 结的保护二极管 43d 中，最内周的 pn 结面积也小，由该结面积确定反向电流的电流容量，即，确定保护二极管 43d 的容量。此外，通过同心圆状地串联连接多个具有规定击穿电压的 pn 结，由此对 MOSFET 的栅-源间的保护确保足够的击穿电压。

在本实施方式中，并联连接相同结构的 pn 结二极管 121 ~ 128。即，只要 pn 结二极管 121 的一个 pn 结面积 S_2 与同心圆状的保护二极管 43d 的最内周的 pn 结面积 S_1 相等，则在保护二极管 12d 的容量上就能够得到与同心圆状的保护二极管 43d 相等的特性。

此外，在本实施方式的 p 型半导体区域 12p 及 n 型半导体区域 12n 的长度 L_p 、 L_n 分别与同心圆状的保护二极管 43d 的长度 L_p' 、 L_n' 相同的情况下，通过使 pn 结二极管 121 的 pn 结的串联连接数量与同心圆状的保护二极管 43d 的 pn 结的串联连接数量相同，能够得到与同心圆状的保护二极管 43d 相等的击穿电压。

这样，在本实施方式中，由 pn 结二极管 121 的 pn 结的串联连接数量（源电极 17 和栅焊盘电极 18 的接触孔 CH 的位置）确定保护二极管 12d 的击穿电压。

此外，由 pn 结二极管 121 的并联连接数量（在本实施方式中是八个）确定保护二极管 12d 的电流容量（容量）。

因此，根据保护二极管 12d 的特性适当选择 pn 结的串联连接数量（与各电极的接触孔 CH 的位置）和并联连接数量。

图 8 到图 10 表示本发明的第二实施方式。图 8 是用于说明晶体管单元的

局部放大图。第二实施方式晶体管单元是沟槽结构，除此之外与图 1 相同。因此，MOSFET100 的芯片平面图参照图 1，对相同的构成要素的说明省略。此外，在第二实施方式中，在沟槽 7 内形成绝缘膜 11，但因为表示保护二极管 12d 与各电极的连接平面概略图与图 4 及图 5 相同，所以参照这些图进行说明。

图 8 是省略层间绝缘膜用虚线表示金属电极层的平面图，图 9 表示图 8 的 d-d 线剖面图，图 10 表示图 8 的 e-e 线剖面图。

第一实施方式是栅电极是平面结构而电流路径是纵向的 MOSFET，而第二实施方式是沟槽结构的 MOSFET。

参照图 8，在 n 型半导体衬底 1 的平面图形中，条状地设置沟槽 7。在平面图形中，栅电极 13、沟道区域 4、源区域 15、主体区域 14 全部形成沿着沟槽 7 的条状。

这种情况晶体管单元也是条状，在栅焊盘电极 18 下方设置与晶体管单元连接的沟道区域 4 及主体区域 14。源电极、栅布线 18a 的图形与第一实施方式相同。

参照图 9，沟槽 7 具有贯通沟道区域 4 到达 n 型半导体层 1b 的深度。这种情况，沟道区域 4 在 n 型半导体衬底 1 表面连续地设置。用栅氧化膜 11 覆盖沟槽 7 的内壁，将填充多晶硅填充到沟槽 7。

在源电极 17 下方，沟槽内的多晶硅实现低电阻化，形成栅电极 13。在与沟槽邻接的沟道区域 4 表面形成 n⁺型的源区域 15，在邻接的源区域 15 之间的沟道区域 4 表面设置 p⁺型的主体区域 14。

覆盖栅电极 13 设置层间绝缘膜 16，源电极 17 经由设置在层间绝缘膜 16 的接触孔 CH 与源区域 15 及主体区域 14（沟道区域 4）接触。

在栅焊盘电极 18 下方的 n 型半导体衬底 1 也配置沟槽 7、栅电极 13、主体区域 14、沟道区域 4，但栅焊盘电极 18 与沟道区域 4 不接触。

栅焊盘电极 18 经由设置在突起部 PM 及层间绝缘膜 16 的接触孔 CH 与保护二极管 12d 的一端连接。此外，栅焊盘电极 18 在芯片边 e21 通过突起部 PM 与栅布线 18a 连接。栅布线 18a 在芯片边 e11、e12 经由栅引出电极 13a 与栅电极 13 连接（参照图 4、图 5）。

X 区域的晶体管单元与围绕栅焊盘电极 18 并与其邻接的源电极 17 接触。因此，它们的电位被固定，进行晶体管动作。

此外，栅焊盘电极 18 下方的沟道区域 4 被固定为源电位，能够确保与动作区域 21 相等的漏-源间反向耐压。

围绕栅电极 13 在芯片周边设置的导电层 C 在芯片边 e11、e12 形成栅引出电极 13a（参照图 5）。在芯片边 e21、e22 在导电层 C 上邻接交替配置 n 型半导体区域 12n 和 p 型半导体区域 12p，为了形成 pn 结，进行杂质注入或者淀积。

这样，两端分别与源电极 17 及栅焊盘电极 18 连接的四个 pn 结二极管 121、122、123、124 并联连接，构成一个保护二极管 12d，连接在 MOSFET 的源-栅之间。

在第二实施方式中，通过将栅电极 13 采用沟槽构造，与第一实施方式比较，能够使配置在动作区域 21 的晶体管单元增加，能够使单元密度提高。

此外，本发明的实施方式以 n 沟道型 MOSFET 说明，但在导电类型相反的 p 沟道型 MOSFET 或在 MOSFET 的 n^+ (p^+) 型半导体衬底的下方配置有 p 型 (n 型) 衬底的 IGBT (Insulated Gate Bipolar Transistor) 中也能够得到相同的效果。

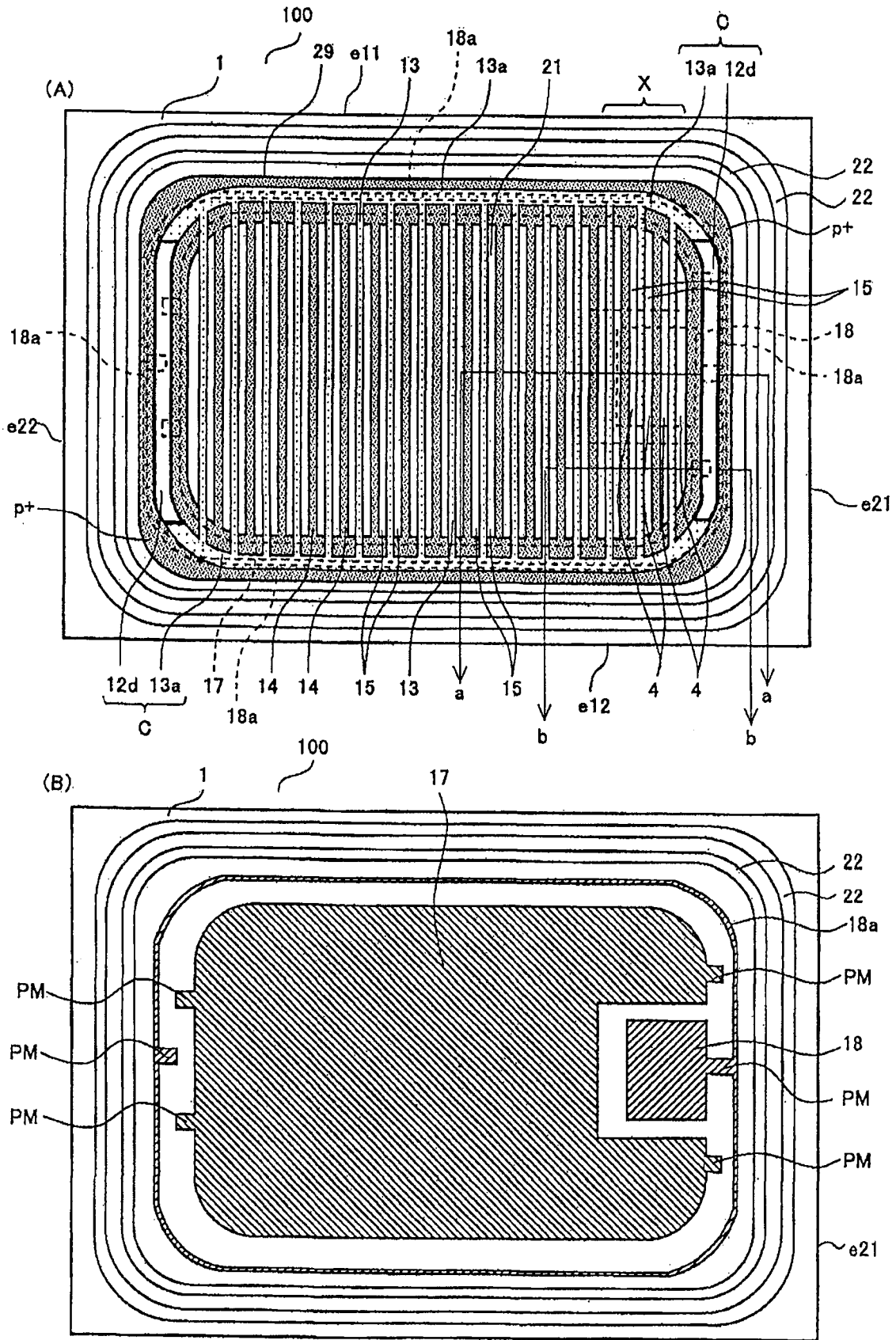


图 1

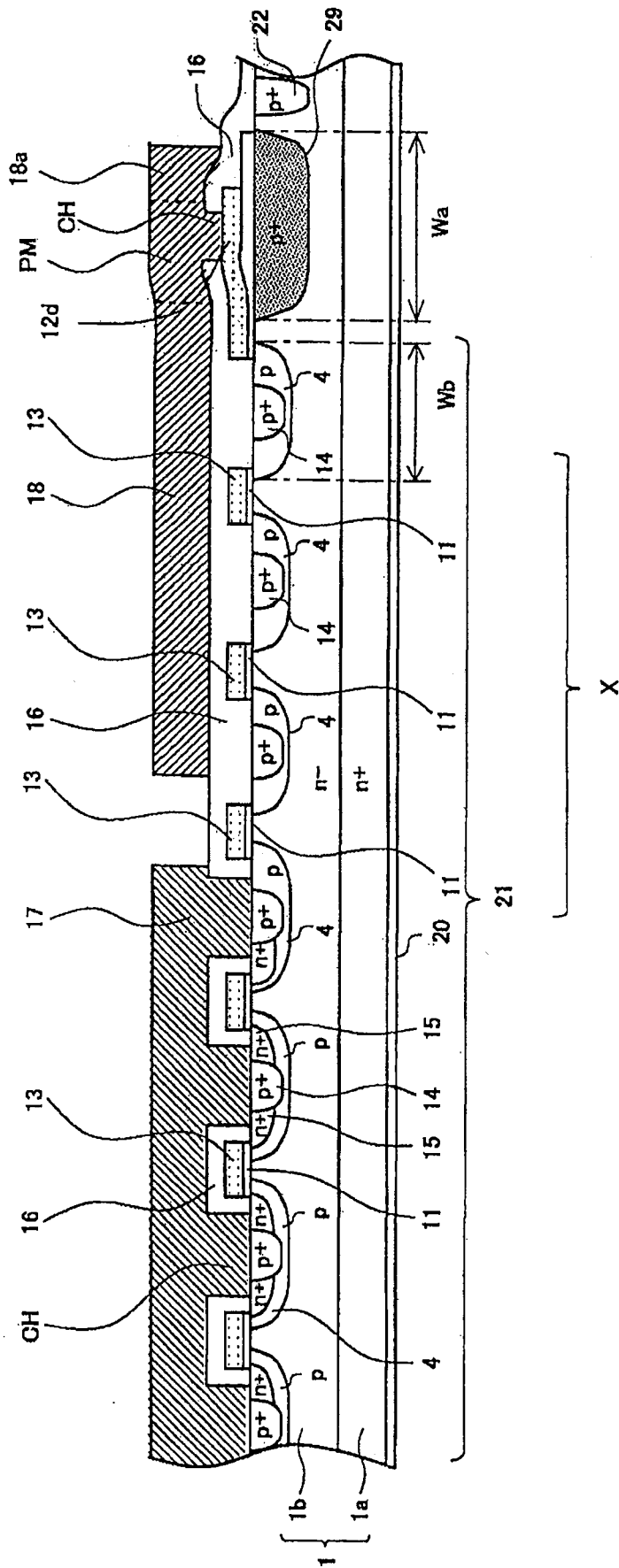


图 2

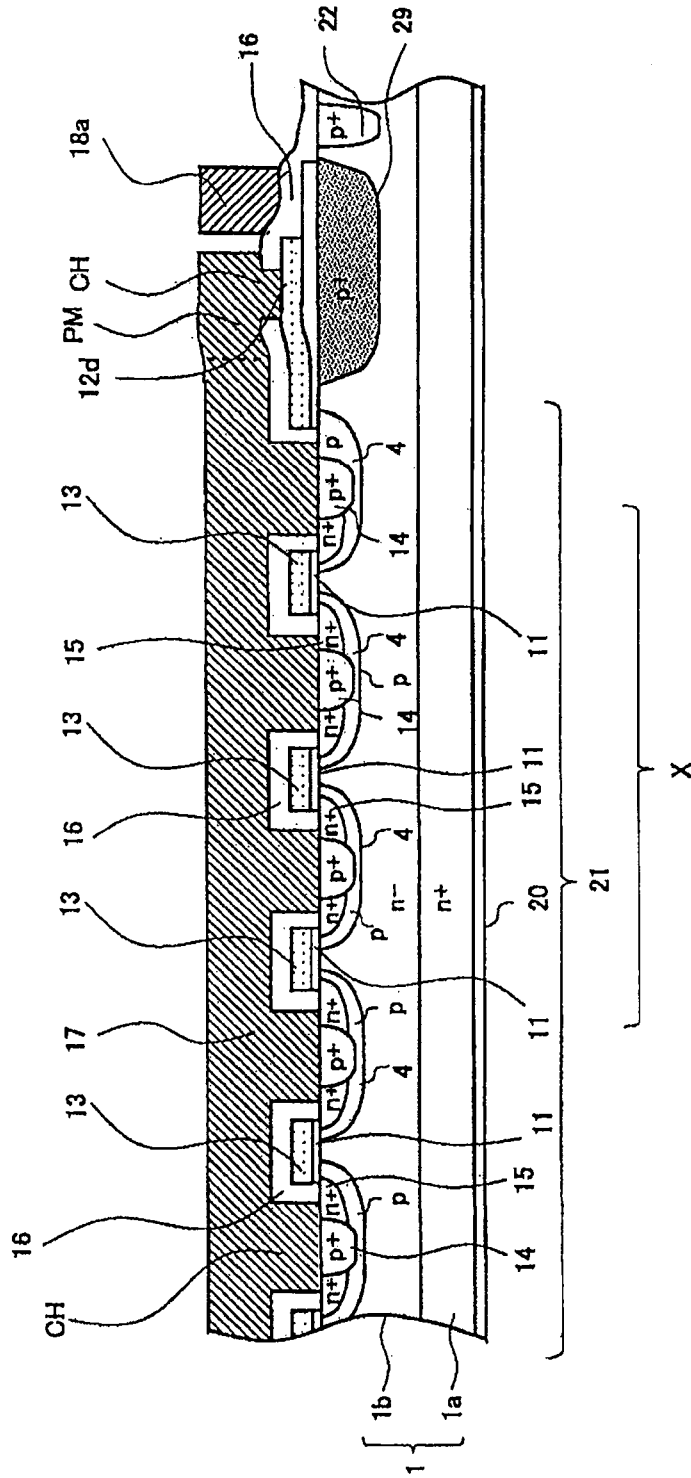


图 3

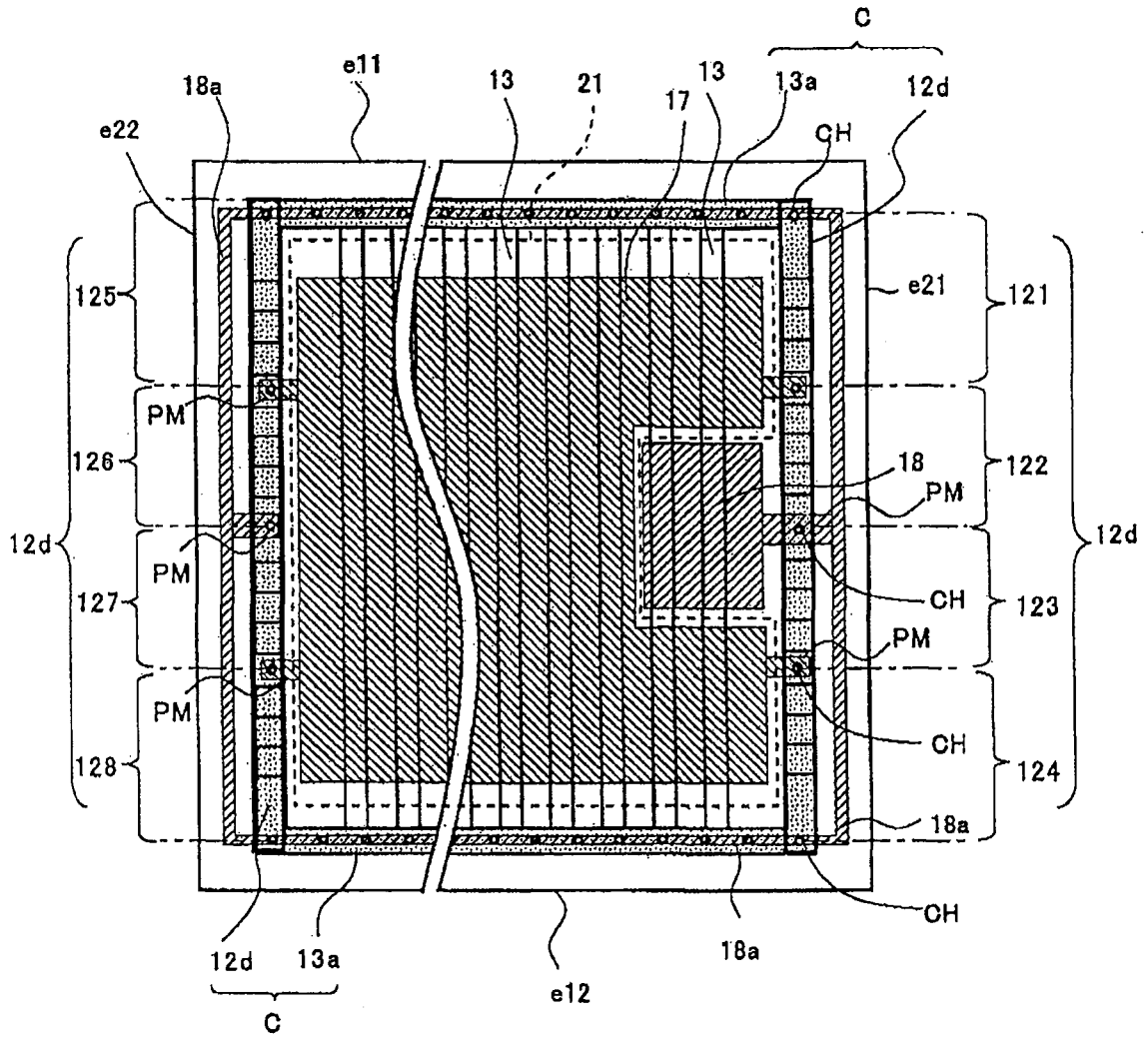


图 4

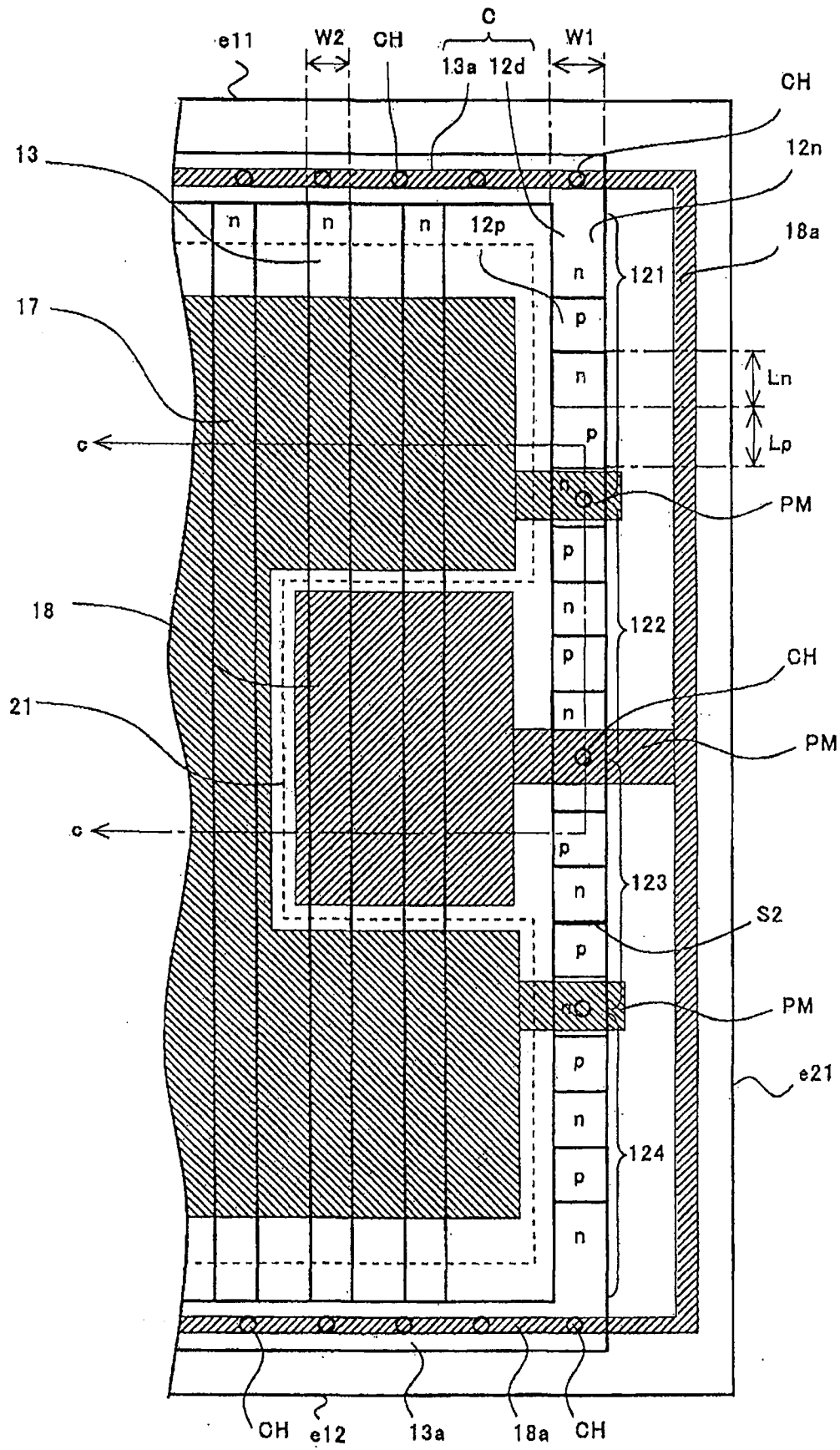
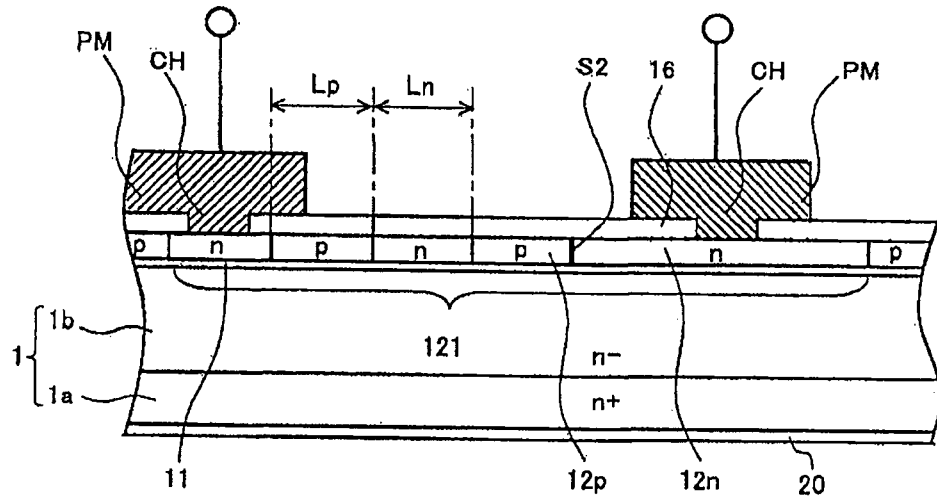


图 5

(A)



(B)

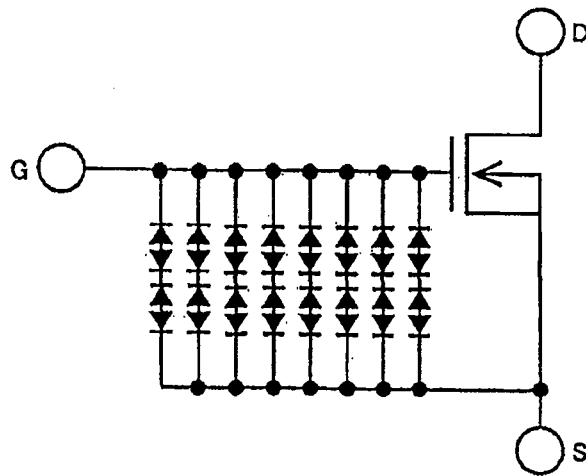


图 6

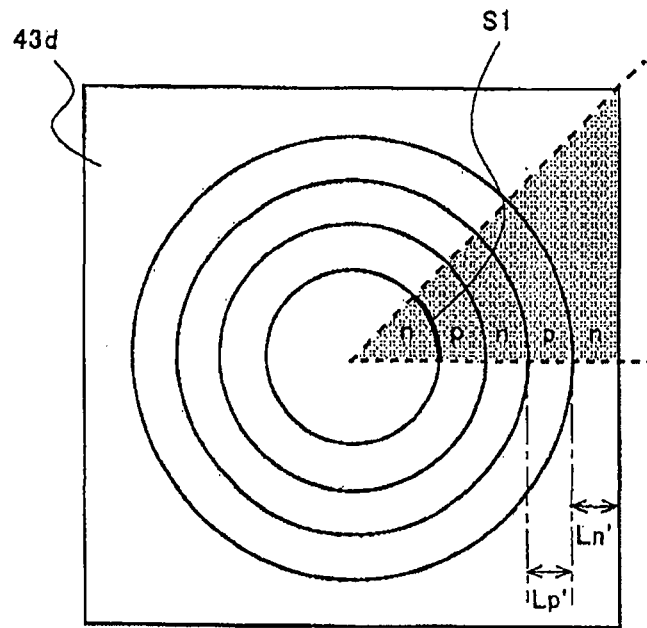


图 7

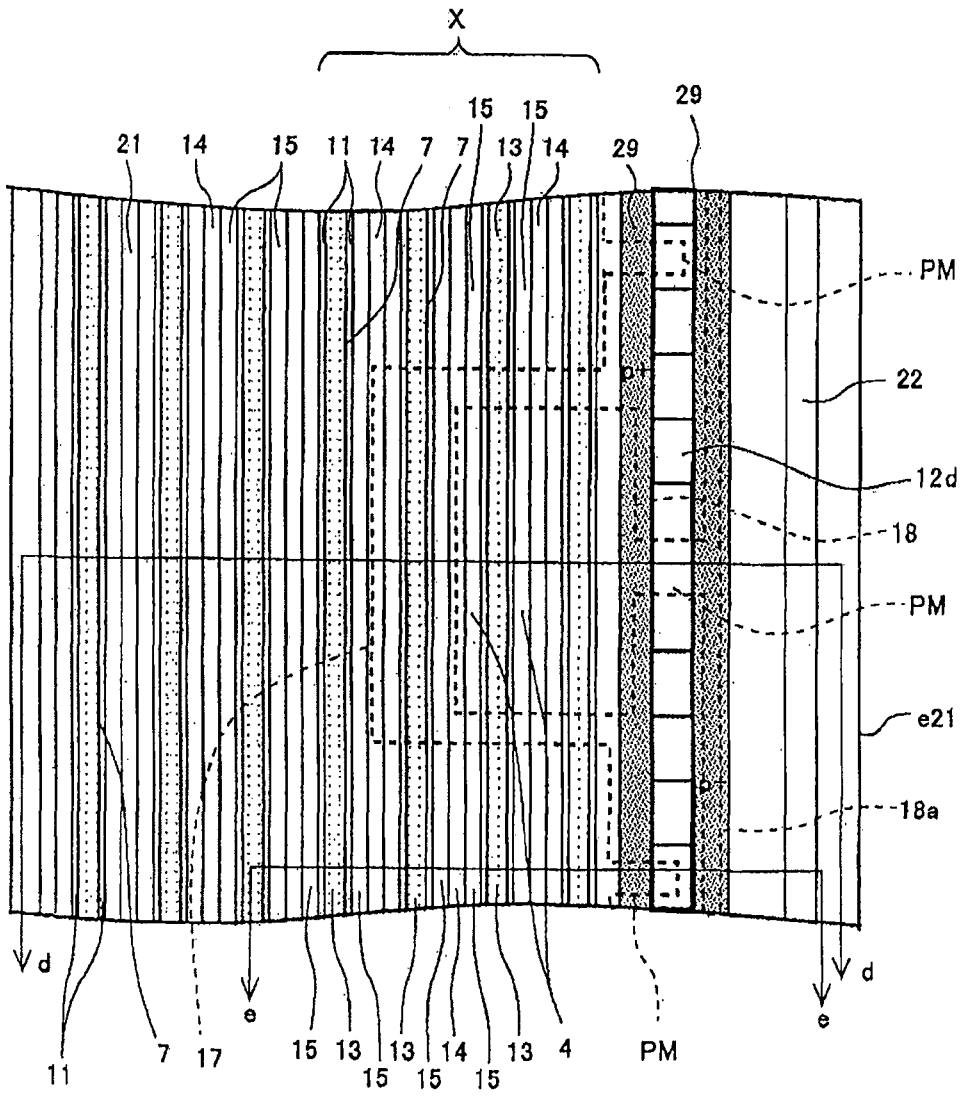


图 8

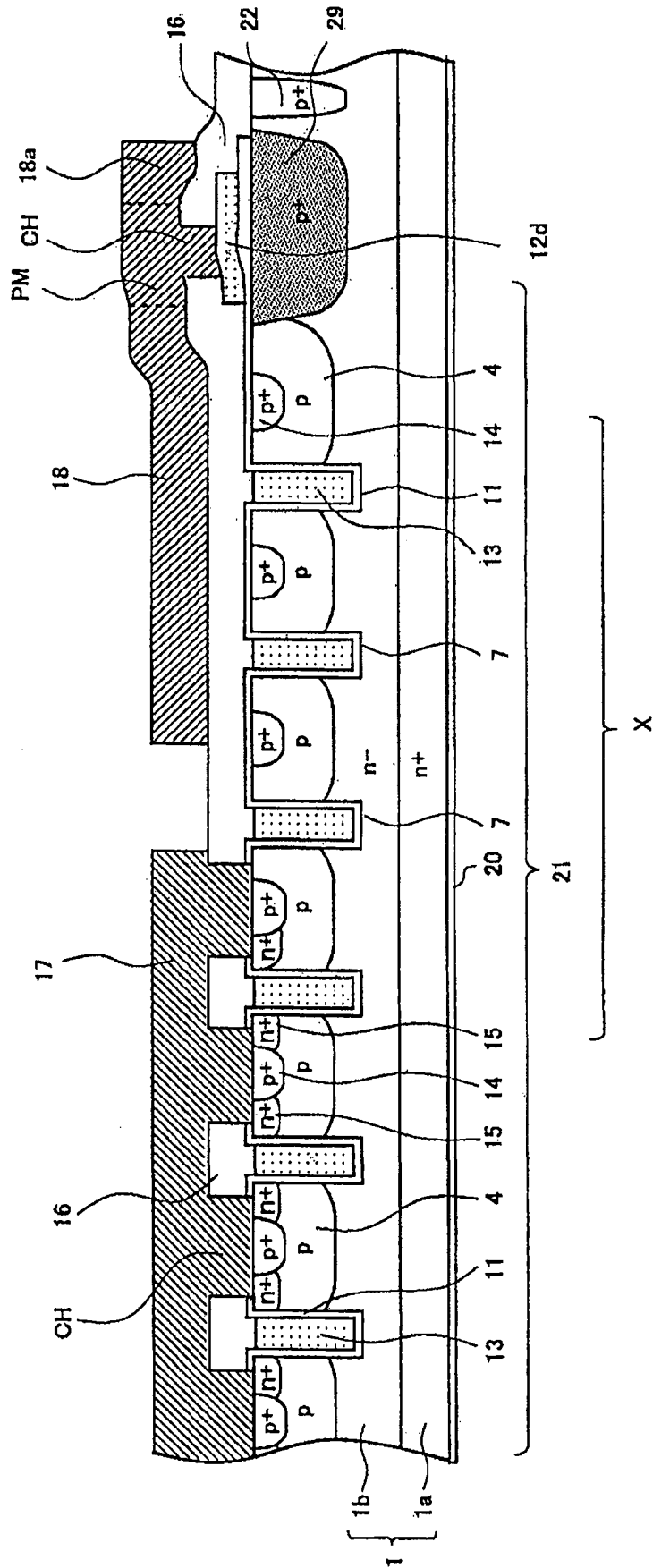


图 9

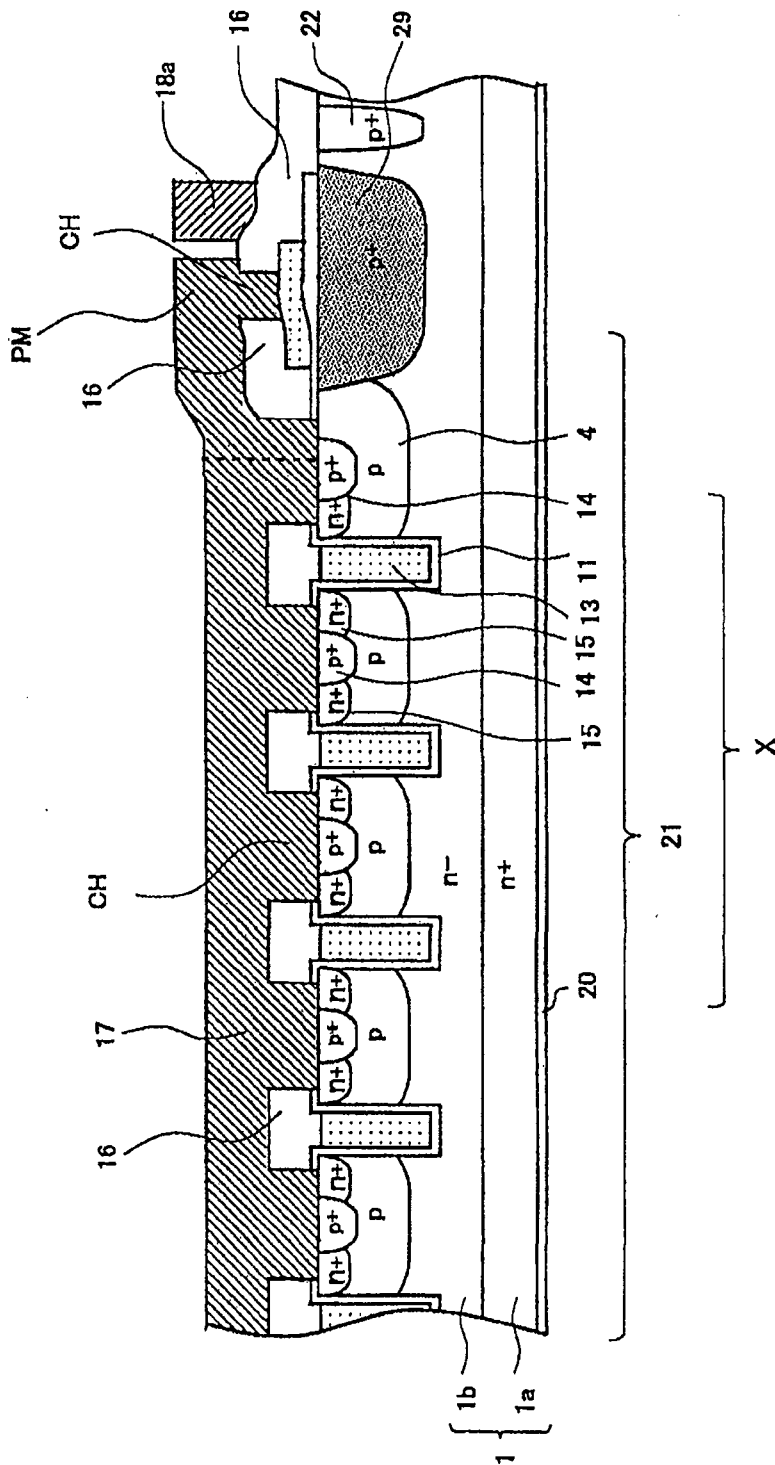


图 10

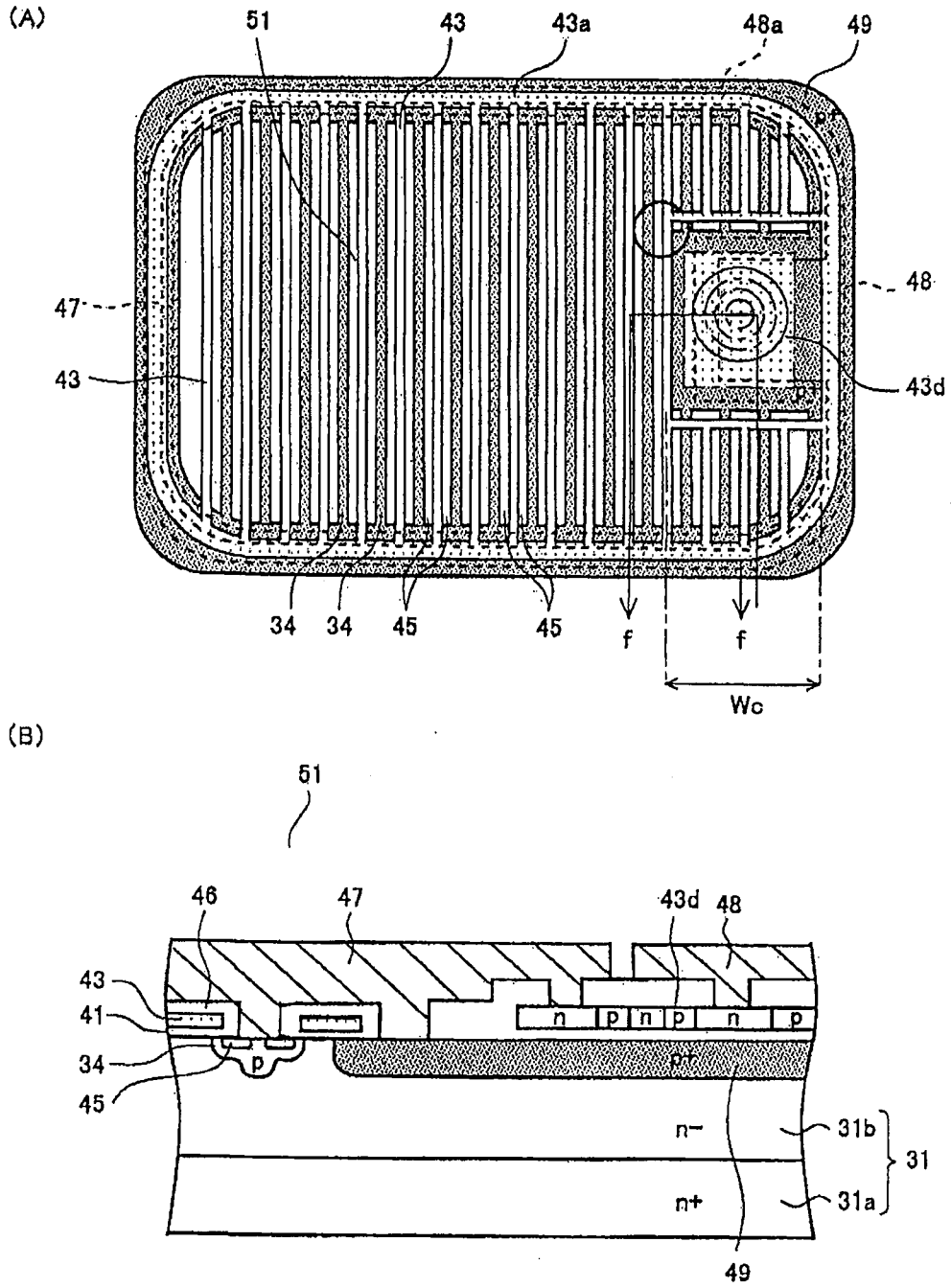
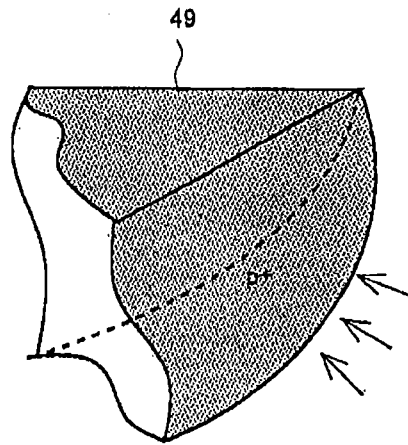


图 11

(A)



(B)

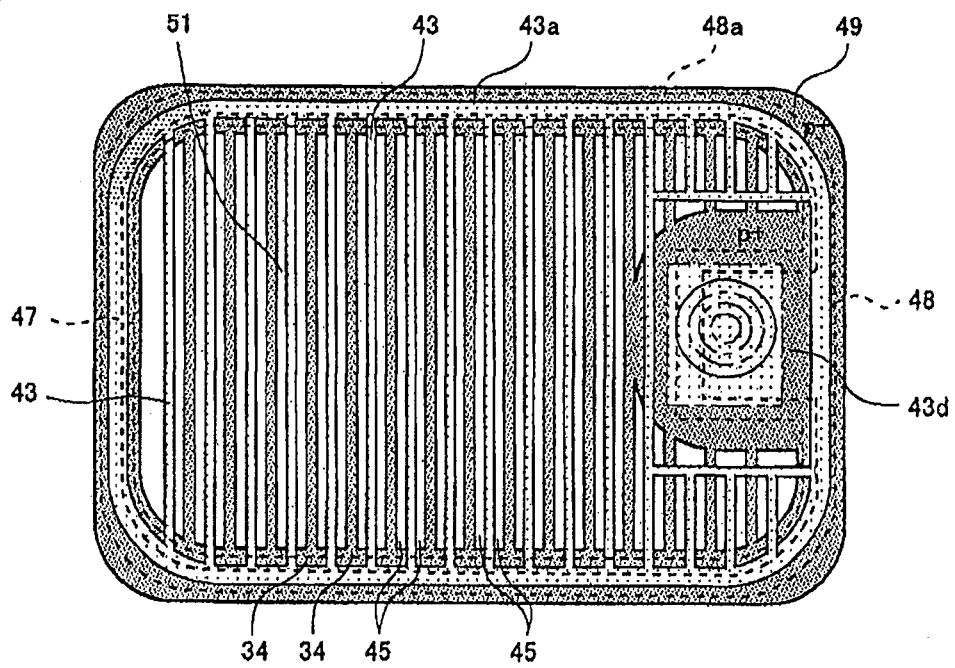


图 12