

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月16日(16.11.2017)



(10) 国際公開番号

WO 2017/195874 A1

(51) 国際特許分類:

G11C 15/04 (2006.01) G11C 5/14 (2006.01)
G06F 12/00 (2006.01) G11C 14/00 (2006.01)

(71) 出願人: 国立大学法人東北大学 (TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP).

(21) 国際出願番号: PCT/JP2017/017943

(22) 国際出願日: 2017年5月11日(11.05.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2016-097500 2016年5月13日(13.05.2016) JP
特願 2016-097501 2016年5月13日(13.05.2016) JP

(72) 発明者: 馬 奕 涛 (MA Yitao); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 遠藤 哲郎 (ENDO H Tetsuo); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP).

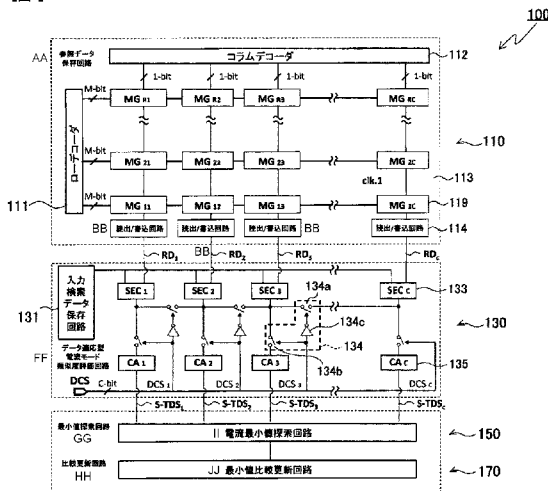
(74) 代理人: 吉 田 正義 (YOSHIDA Tadanori); 〒1600023 東京都新宿区西新宿六丁目15番1号 ラ・トゥール新宿4 1 1 号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: MEMORY DEVICE AND MEMORY SYSTEM

(54) 発明の名称: メモリ装置及びメモリシステム

[図3]



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：メモリ装置及びメモリシステム

技術分野

[0001] 本発明は、類似したデータを検索するメモリ装置及びメモリシステムに関する。

背景技術

[0002] 一般的なメモリ装置は、アドレス毎にデータが記憶されており、アドレスを指定することにより、その指定アドレスに記憶されているデータを読み出す。一方、連想メモリ装置は、入力されたデータに類似しているデータを検索し、そのデータを読み出す。

[0003] 典型的な連想メモリとして、参照データベースから検索データと完全一致のデータを検索するCAM (Content Addressable Memory) がある (例えば特許文献1乃至3、非特許文献1乃至3)。完全並列で動作するCAMは、メモリセルと比較回路がメモリセル毎に設けられ、比較回路がメモリセル内の参照データと入力データとを比較する。CAMは、指定された宛先IPアドレスやMACアドレスに一致する参照データを高速に検索する。しかし、CAMは、ネットワークルータでのIPアドレスを検索することには有用であるが、類似データを検索するには不向きである。

[0004] 類似データを検索する技術には、Nearest Neighbor Search (NNS) 機能を持つ連想メモリがあり、連想メモリには、デジタルアプローチ (例えば特許文献4及び5、非特許文献4乃至7) とアナログアプローチ (例えば非特許文献8) がある。

[0005] NNS連想メモリは一般的に多次元の参照データが検索データと類似しているかを判断している。1ワードの参照データはN次元のデータから構成され、一次元のデータはMビットで構成される。

[0006] NNS連想メモリのうちデジタルアプローチでは、次元毎に参照データを保存する保存回路と、次元毎に参照データが検索データと類似するかを距離

として計算する距離計算回路と、トリガー信号の入力を受けるとクロック信号のカウント動作を開始し、距離計算回路で求めた距離に応じたクロック数をカウントしたタイミングを示すマッチ信号を出力する距離／クロック数変換回路とを備える。距離／クロック数変換回路は直列接続されており、前段の距離／クロック数変換回路から出力されるマッチ信号は、次段の距離／クロック数変換回路のトリガー信号となる。NNS連想メモリにおいて、Winner検出回路が、複数の距離／クロック数変換回路から入力されるマッチ信号からタイミングの一番早いものを見つけ出し、連想結果を出力する。ここで、距離／クロック数変換回路からの出力を次の距離／クロック数変換回路へ出力するか又はWinner検出回路へ出力するかを制御するために、reconfigurable programmable switch回路が、距離／クロック数変換回路毎に、設けられている。

[0007] NNS連想メモリのうちアナログアプローチでは、R行×N列の揮発性データ保存回路がRワードからなる参照データを保存するために設けられ、D／A変換回路が1行だけN個設けられ、各D／A変換回路がデジタルデータをアナログデータに変換し、R行×N列のマッチングセルが次元毎に設けられ、各マッチングセルが参照データの電圧と検索データのそれとの差で類似度を評価して電流として出力し、current-to-delay-time converter回路がマッチングセルの出力電流を行毎に、すなわちN個のマッチングセル毎に統合してR個の電圧遅延信号に変換し、Time-Domain Winner-Take-All CircuitがR個の電圧遅延信号から立ち上がりの最も早い信号を検索する。

[0008] 一方、不揮発性メモリとして、本発明者らのグループは、スピン注入磁化反転型磁気抵抗変化型RAM (Spin Transfer Torque - Magnetoresistance Random Access memory : STT-MRAM) の技術を開発してきた (例えば非特許文献9、10)。

先行技術文献

特許文献

[0009] 特許文献1：特開2012-190530号公報

特許文献2：特開 2 0 1 3 － 1 9 1 2 5 5 号公報

特許文献3：特開 2 0 1 5 － 1 8 5 1 9 7 号公報

特許文献4：特開 2 0 1 1 － 7 6 6 8 8 号公報

特許文献5：特開 2 0 1 5 － 1 6 2 2 5 7 号公報

非特許文献

[0010] 非特許文献1：B.-D. Yang, JSSC, Vol 50, No. 10, pp. 2441-2450, Oct. 2015

非特許文献2：N. Onizawa, S. Matsunaga, V. C. Gaudet, W. J. Gross and T. Hanyu, IEEE Trans. Circuits and Systems, Vol. 61, No. 3, pp. 865-876, Mar. 2014

非特許文献3：Z. Ullah, M. K. Jaiswal and R. C. C. Cheung, IEEE Trans. VLSI Systems, Vol. 23, No. 2, pp. 402-406, Feb. 2015

非特許文献4：S. Sasaki, M. Yasuda and H. J. Mattausch, ESSCIRC, pp. 185-188, 2012

非特許文献5：T. Akazawa, S. Sasaki and H. J. Mattausch, ESSCIRC, pp. 267-270, 2013

非特許文献6：F. An, T. Akazawa, S. Yamazaki, L. Chen, and H. J. Mattausch, CICC, pp. 1-4, 2014

非特許文献7：F. An, K. Mihara, S. Yamasaki, L. Chen and H. J. Mattausch, SSDM, pp. 144-145, 2015

非特許文献8：T. B. Trong and T. Shibata, ULIS, pp. 213-216, 2009

非特許文献9：Takashi Ohsawa, Hiroki Koike, Sadahiko Miura, Hiroaki Honjo, Keizo Kinoshita, Shoji Ikeda, Takahiro Hanyu, Hideo Ohno, Tetsuo Endoh, A 1 Mb Nonvolatile Embedded Memory Using 4T2MTJ Cell With 32b Fine-Grained Power Gating Scheme, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.48, NO.6, JUNE 2013, pp.1511-1520

非特許文献10：T. Ohsawa, S. Miura, K. Kinoshita, H. Honjo, S. Ikeda, T. Hanyu, H. Ohno, and T. Endoh, A 1.5nsec/2.1nsec Random Read/Write

Cycle 1Mb STT-RAM Using 6T2MTJ Cell with Background Write for Nonvolatile e-Memories, 2013 Symposium on VLSI Circuits Digest of Technical Papers C111

発明の概要

発明が解決しようとする課題

- [0011] 第1の課題としては次の通りである。NNS連想メモリのうちデジタルアプローチでは、距離計算回路はMビットの加算器で構成され、距離／クロック数変換回路は多数のレジスタと複雑なカウンタで構成され、reconfigurable programmable switch回路は複雑な回路により構成される。これらの回路は、次元毎に設ける必要があり膨大な回路面積を占める。Winner検出回路は、最悪の場合を想定して非常に多いマッチ信号に対応するために複雑で大規模な回路を必要とする。一方、アナログアプローチでは、固定された参照データの次元数に応じて次元毎に類似度セルを用意するので、任意に設定される参照データの次元数などの柔軟な対応ができない。
- [0012] 第2の課題としては次の通りである。NNS連想メモリのデジタルアプローチ、アナログアプローチの何れにおいても、複数のコアを有するコアシステムでは、各コアにおいて検索データに類似する参照データから、システム全体において最も類似する参照データを求めるための処理回路が必要となり、ひいては処理時間が増加し、回路面積が増大する。
- [0013] そこで、第1の課題を解決するために、本発明では、検索データに類似する参照データを探索する際に、参照データの次元数に柔軟に対応することができかつコンパクトな回路構成を有する、メモリ装置を提供することを第1の目的とする。本発明は、検索データに類似する参照データを探索する際に、同じコンパクトな設計のコアで簡単にシステムが構成でき、かつ、処理時間を低減可能な、メモリシステムを提供することを第2の目的とする。
- [0014] 第2の課題を解決するために、本発明では、複数のコアを有する場合であっても、検索データに類似する参照データを探索する際に、同じコンパクトな設計のコアで簡単にシステムが構成でき、かつ、処理時間を低減可能な、メ

メモリシステムを提供することを第3の目的とする。

[0015] さらに、第1の課題と第2の課題を共に解決するために、本発明では、
複数のコアを有する場合であっても、検索データに類似する参照データを
探索する際に、同じコンパクトな設計のコアで簡単にシステムが構成でき、
処理時間を低減可能であることと、

検索データに類似する参照データを探索する際に、参照データの次元数に
柔軟に対応することができかつコンパクトな回路構成を有すること

を同時に満たす、メモリシステムを提供することを第4の目的とする。

課題を解決するための手段

[0016] 前記第1及び第2の目的を達成するために、本発明は次のコンセプトを有する。

[1] $N (\geq 1)$ 次元からなり1次元が $M (\geq 1)$ ビットからなる複数の
参照データが次元毎に分けられて記憶されているメモリ領域において、 M
ビットのメモリを1単位として構成する任意数（ただし、 $1 \leq k \leq N$ ）のメ
モリグレンのうち対応するメモリグレンから、それぞれの読み出し回路が参
照データを読み出す複数の前記読み出し回路と、

$N (\geq 1)$ 次元からなり1次元が $M (\geq 1)$ ビットからなる検索データが
保存されており、前記検索データを分けて出力する検索データ保存回路と、

それぞれの類似度評価セルが、前記検索データ保存回路から読み出された
データに対し、対応する前記読み出し回路で読み出された参照データの類似
度を電流値として出力する複数の前記類似度評価セルと、

それぞれの電流統合回路が、対応する前記任意数の前記類似度評価セルか
ら出力された電流を統合する複数の前記電流統合回路と、

を備える、メモリ装置。

[2] 複数の前記類似度評価セルが、前記任意数の前記類似度評価セル
を有するセル群に区分けされており、

それぞれの前記電流統合回路が一つの前記セル群に対応しており、

それぞれの前記電流統合回路が、対応する一つの前記セル群とは別の前記

セル群における前記任意数の類似度評価セルから出力された電流を統合するように、切替スイッチが設けられている、前記〔１〕に記載のメモリ装置。

〔３〕 複数の前記電流統合回路のうち、対応する一つの前記セル群とは別の前記セル群における前記任意数の類似度評価セルから出力された電流を統合する電流統合回路にのみ電力供給がなされる、前記〔２〕に記載のメモリ装置。

〔４〕 前記類似度評価セルの前段には、デジタルデータをアナログデータに変換するデジタル／アナログコンバーターが設けられ、

前記類似度評価セルは、前記デジタル／アナログコンバーターでアナログ変換されたデータに基いて、類似度をアナログ電流値として、対応する前記電流統合回路に出力する、前記〔１〕乃至〔３〕の何れかに記載のメモリ装置。

〔５〕 前記類似度評価セルの後段には、デジタルデータをアナログデータに変換するデジタルアナログコンバーターが設けられ、前記類似度評価セルは類似度を求めて前記デジタルアナログコンバーターに出力する、前記〔１〕乃至〔３〕の何れかに記載のメモリ装置。

〔６〕 複数の前記電流統合回路から出力される電流値から、検索データに最も類似する参照データに関する電流値を求めてデータ値に変換する、探索部を備える、前記〔１〕乃至〔５〕の何れかに記載のメモリ装置。

〔７〕 前記メモリ領域から行毎に読み出される参照データに関し、前記探索部で求めたデータから、検索データに最も類似する参照データを比較して更新する比較更新部を備える、前記〔６〕に記載のメモリ装置。

〔８〕 それぞれのタイムドメインコンバーターが対応する前記類似度評価セルで求めた類似度を遅延時間に変換する複数のタイムドメインコンバーターと、

複数の前記タイムドメインコンバーターで変換された遅延時間から、類似度の高い参照データの候補をローカルウィナーとして求める探索部と、

前記探索部で前記読み出し及び類似度評価毎に求まるローカルウィナーの

うち最も類似度が高い参照データの候補をグローバルウィナーとして求め、前記グローバルウィナーの類似度を記憶する一時記憶回路を備えた比較更新部を備え、前記比較更新部が、前記探索部で求まるローカルウィナーの類似度と前記一時記憶回路に記憶している前記グローバルウィナーの類似度とを比較する、前記〔１〕乃至〔５〕の何れかに記載のメモリ装置。

〔９〕 前記探索部は、前記複数のタイムドメインコンバーターから入力された、複数の遅延時間から最短遅延に対応する前記ローカルウィナーを検索すると同時に、前記ローカルウィナーのデジタル類似度として、カウンタで前記最短遅延を遅延時間内のクロックサイクル数に変換し、前記ローカルウィナーのアドレスを割り出す、タイムドメイン最小値探索回路を備える、前記〔８〕に記載のメモリ装置。

〔１０〕 メインコアと一又は複数のブランチコアとを備えたメモリシステムにおいて、

前記メインコアが前記〔８〕又は〔９〕に記載のメモリ装置で構成され、
前記ブランチコアが前記〔８〕又は〔９〕に記載のメモリ装置で構成され、かつ前記ブランチコアでは前記比較更新部が無効化され、前記ブランチコアの前記探索部で求めたローカルウィナーが前記メインコアの前記比較更新部に入力される、メモリシステム。

〔１１〕 前記メインコアにおける前記探索部による探索処理と前記比較更新部による比較更新と、前記ブランチコアにおける前記探索部による探索処理とを、同期したクロックにより行う、前記〔１０〕に記載のメモリシステム。

〔１２〕 前記探索部による探索処理と前記比較更新部による比較更新とは、前記メインコア及び前記ブランチコアで任意のクロック数ずれてなされる、前記〔１１〕に記載のメモリシステム。

〔００１７〕 前記第３の目的を達成するために、本発明は次のコンセプトを有する。

〔１〕 メインコアと一又は複数のブランチコアとを備え、
前記メインコア及び前記ブランチコアは、それぞれ、メモリ領域からの読

み出し及び類似度評価毎に、前記メモリ領域から読み出された参照データのそれぞれの検索データとの類似度から、類似度の高い参照データの候補をローカルウィナーとして求める探索部を備え、

前記メインコアは、前記探索部で前記読み出し及び類似度評価毎に求まるローカルウィナーのうち最も類似度が高い参照データの候補をグローバルウィナーとして求め、前記グローバルウィナーの類似度を記憶する一時記憶回路を備えた比較更新部を備え、前記比較更新部が、前記メインコアの前記探索部で求まるローカルウィナーの類似度と前記一時記憶回路に記憶している前記グローバルウィナーの類似度とを比較すると共に、前記ブランチコアの前記探索部で求まるローカルウィナーの類似度と前記一時記憶回路に記憶している前記グローバルウィナーの類似度とを比較する、メモリシステム。

〔２〕 前記メインコア及び前記ブランチコアは、それぞれの類似度評価セルが前記メモリ領域からの読み出し毎に読み出された参照データのそれぞれと検索データとの類似度を求める複数の前記類似度評価セルと、それぞれのタイムドメインコンバーターが対応する前記類似度評価セルで求めた類似度を遅延時間に変換する複数のタイムドメインコンバーターと、を備える、前記〔１〕に記載のメモリシステム。

〔３〕 前記探索部は、前記複数のタイムドメインコンバーターから入力された、複数の遅延時間から最短遅延に対応する前記ローカルウィナーを検索すると同時に、前記ローカルウィナーのデジタル類似度として、カウンタで前記最短遅延を遅延時間内のクロックサイクル数に変換し、前記ローカルウィナーのアドレスを割り出す、タイムドメイン最小値探索回路を備える、前記〔２〕に記載のメモリシステム。

〔４〕 前記比較更新部は、前記メインコア及び前記ブランチコアの前記探索部からローカルウィナーの類似度の入力を受け、前記一時記憶回路に記憶しているグローバルウィナーの類似度と比較して高い類似度の値を前記一時記憶回路に更新する最小値探索回路を備える、前記〔３〕に記載のメモリシステム。

〔５〕 前記メインコアにおける前記探索部による探索処理と前記比較更新部による比較更新と、前記ブランチコアにおける前記探索部による探索処理とを、同期したクロックにより行う、前記〔１〕乃至〔４〕の何れかに記載のメモリシステム。

〔６〕 前記探索部による探索処理と前記比較更新部による比較更新とは、前記メインコア及び前記ブランチコアで任意のクロック数ずれてなされる、前記〔５〕に記載のメモリシステム。

〔７〕 前記メインコア及び前記ブランチコアが、
N（ ≥ 1 ）次元からなり１次元がM（ ≥ 1 ）ビットからなる複数の参照データが次元毎に分けられて記憶されているメモリ領域において、Mビットのメモリを１単位として構成する任意数（ただし、 $1 \leq k \leq N$ ）のメモリグレンのうち対応するメモリグレンから、それぞれの読み出し回路が参照データを読み出す複数の前記読み出し回路と、

N（ ≥ 1 ）次元からなり１次元がM（ ≥ 1 ）ビットからなる検索データが保存されており、前記検索データを分けて出力する検索データ保存回路と、

それぞれの電流統合回路が、対応する前記任意数の前記類似度評価セルから出力された電流を統合する複数の前記電流統合回路と、

を備え、

それぞれの前記類似度評価セルが、前記検索データ保存回路から読み出されたデータに対し、対応する前記読み出し回路で読み出された参照データの類似度を電流値として出力する、前記〔２〕に記載のメモリシステム。

〔８〕 複数の前記類似度評価セルが、前記任意数の前記類似度評価セルを有するセル群に区分けされており、

それぞれの前記電流統合回路が一つの前記セル群に対応しており、

それぞれの前記電流統合回路が、対応する一つの前記セル群とは別の前記セル群における前記任意数の類似度評価セルから出力された電流を統合するように、切替スイッチが設けられている、前記〔７〕に記載のメモリシステム。

〔 9 〕 複数の前記電流統合回路のうち、対応する一つの前記セル群とは別の前記セル群における前記任意数の類似度評価セルから出力された電流を統合する電流統合回路にのみ電力供給がなされる、前記〔 8 〕に記載のメモリシステム。

〔 1 0 〕 前記類似度評価セルの前段には、デジタルデータをアナログデータに変換するデジタル／アナログコンバーターが設けられ、

前記類似度評価セルは、前記デジタル／アナログコンバーターでアナログ変換されたデータに基いて、類似度をアナログ電流値として、対応する前記電流統合回路に出力する、前記〔 7 〕に記載のメモリシステム。

[0018] 前記第 4 の目的を達成するために、本発明は次のコンセプトを有する。

〔 1 〕 メインコアと一又は複数のブランチコアとを備え、

前記メインコア及び前記ブランチコアは、それぞれ、

N (≥ 1) 次元からなり 1 次元が M (≥ 1) ビットからなる複数の参照データが次元毎に分けられて記憶されているメモリ領域において、 M ビットのメモリを 1 単位として構成する任意数 (ただし、 $1 \leq k \leq N$) のメモリグレンのうち対応するメモリグレンから、それぞれの読み出し回路が参照データを読み出す複数の前記読み出し回路と、

N (≥ 1) 次元からなり 1 次元が M (≥ 1) ビットからなる検索データが保存されており、前記検索データを分けて出力する検索データ保存回路と、

それぞれの類似度評価セルが、前記メモリ領域からの読み出し毎に読み出された参照データのそれぞれと検索データとの類似度を求め、前記検索データ保存回路から読み出されたデータに対し、対応する前記読み出し回路で読み出された参照データの類似度を電流値として出力する、複数の前記類似度評価セルと、

それぞれの電流統合回路が、対応する前記任意数の前記類似度評価セルから出力された電流を統合する複数の前記電流統合回路と、

前記メモリ領域からの読み出し及び類似度評価毎に、前記メモリ領域から読み出された参照データのそれぞれの検索データとの類似度から、類似度の

高い参照データの候補をローカルウィナーとして求める探索部と、
を備え、

前記メインコアは、

前記探索部で前記読み出し及び類似度評価毎に求まるローカルウィナーのうち最も類似度が高い参照データの候補をグローバルウィナーとして求め、前記グローバルウィナーの類似度を記憶する一時記憶回路を備えた比較更新部を備え、前記比較更新部が、前記メインコアの前記探索部で求まるローカルウィナーの類似度と前記一時記憶回路に記憶している前記グローバルウィナーの類似度とを比較すると共に、前記ブランチコアの前記探索部で求まるローカルウィナーの類似度と前記一時記憶回路に記憶している前記グローバルウィナーの類似度とを比較する、メモリシステム。

〔２〕 複数の前記類似度評価セルが、前記任意数の前記類似度評価セルを有するセル群に区分けされており、

それぞれの前記電流統合回路が一つの前記セル群に対応しており、

それぞれの前記電流統合回路が、対応する一つの前記セル群とは別の前記セル群における前記任意数の類似度評価セルから出力された電流を統合するように、切替スイッチが設けられている、前記〔１〕に記載のメモリシステム。

〔３〕 複数の前記電流統合回路のうち、対応する一つの前記セル群とは別の前記セル群における前記任意数の類似度評価セルから出力された電流を統合する電流統合回路にのみ電力供給がなされる、前記〔２〕に記載のメモリシステム。

〔４〕 前記類似度評価セルの前段には、デジタルデータをアナログデータに変換するデジタル／アナログコンバーターが設けられ、

前記類似度評価セルは、前記デジタル／アナログコンバーターでアナログ変換されたデータに基づいて、類似度をアナログ電流値として、対応する前記電流統合回路に出力する、

前記〔１〕乃至〔３〕の何れかに記載のメモリシステム。

〔５〕 前記メインコア及び前記ブランチコアは、それぞれのタイムドメインコンバーターが対応する前記類似度評価セルで求めた類似度を遅延時間に変換する複数のタイムドメインコンバーターと、を備える、前記〔１〕乃至〔４〕の何れかに記載のメモリシステム。

〔６〕 前記探索部は、前記複数のタイムドメインコンバーターから入力された、複数の遅延時間から最短遅延に対応する前記ローカルウィナーを検索すると同時に、前記ローカルウィナーのデジタル類似度として、カウンタで前記最短遅延を遅延時間内のクロックサイクル数に変換し、前記ローカルウィナーのアドレスを割り出す、タイムドメイン最小値探索回路を備える、前記〔５〕に記載のメモリシステム。

〔７〕 前記比較更新部は、前記メインコア及び前記ブランチコアの前記探索部からローカルウィナーの類似度の入力を受け、前記一時記憶回路に記憶しているグローバルウィナーの類似度と比較して高い類似度の値を前記一時記憶回路に更新する最小値探索回路を備える、前記〔６〕に記載のメモリシステム。

〔８〕 前記メインコアにおける前記探索部による探索処理と前記比較更新部による比較更新と、前記ブランチコアにおける前記探索部による探索処理とを、同期したクロックにより行う、前記〔１〕乃至〔７〕の何れかに記載のメモリシステム。

〔９〕 前記探索部による探索処理と前記比較更新部による比較更新とは、前記メインコア及び前記ブランチコアで任意のクロック数ずれてなされる、前記〔８〕に記載のメモリシステム。

発明の効果

[0019] 第１の目的を達成するための本発明によれば、第１に、複数の参照データが次元毎に分けられて記憶されているメモリ領域において、 M ビットのメモリを１単位として構成する任意数（ただし、 $1 \leq k \leq N$ ）のメモリグレンのうち対応するメモリグレンから、それぞれの読み出し回路が、参照データを読み出し、第２に、それぞれの類似度評価セルが、検索データ保存回路から

読み出されたデータに対し、対応する読み出し回路で読み出された参照データの類似度を電流値として出力し、第3に、それぞれの電流統合回路が、対応する任意数の類似度評価セルから出力された電流を統合する。よって、メモリ領域に記憶される参照データの次元数及び任意数に対応して、電流統合回路のそれぞれが類似度評価セルからの電流を統合するので、参照データの次元数に柔軟に対応することができる。また、複雑な回路を前提としていないので、コンパクトな回路で実現することができる。本発明によれば、検索データに類似するデータを探索する際に、参照データの次元数に柔軟に対応することができかつコンパクトな回路構成を有する、メモリ装置が提供される。

[0020] 第2の目的を達成するための本発明によれば、さらに、メインコアとして、上述のメモリ装置に、更に、それぞれのタイムドメインコンバーターが対応する類似度評価セルで求めた類似度を遅延時間に変換する複数のタイムドメインコンバーターと、複数のタイムドメインコンバーターで変換された遅延時間からメモリ領域から読み出された参照データのそれぞれの検索データとの類似度から、類似度の高い参照データの候補をローカルウィナーとして求める探索部と、探索部で前記読み出し及び類似度評価毎に求まるローカルウィナーのうち最も類似度が高い参照データの候補をグローバルウィナーとして求め、グローバルウィナーの類似度を記憶する一時記憶回路を備えた比較更新部を具備する。また、ブランチコアとして、メインコアと同一構成で、比較更新部を備えない又は無効化する。このようなブランチコアとメインコアとを設けたメモリシステムにより、メインコア及びブランチコアでの探索部による探索と、メインコアでの比較更新部による比較更新とを、並列処理することにより、メモリシステム上のメモリ領域から探索データに類似する参照データをより短い時間で求めることができる。よって、検索データに類似する参照データを探索する際に、同じコンパクトな設計のコアで簡単にシステムが構成でき、かつ、処理時間を低減可能な、メモリシステムが提供される。

[0021] 第3の目的を達成するための本発明によれば、メモリシステムがメインコアとブランチコアとを備え、メインコア及びブランチコアは、それぞれ、メモリ領域からの読み出し及び類似度評価毎に、メモリ領域から読み出された参照データのそれぞれの検索データとの類似度から、類似度の高い参照データの候補をローカルウィナーとして求める探索部を備え、メインコアは、探索部で読み出し及び類似度評価毎に求まるローカルウィナーのうち最も類似度が高い参照データの候補をグローバルウィナーとして求め、グローバルウィナーの類似度を記憶するレジスタを備えた比較更新部を具備し、比較更新部が、メインコアの探索部で求まるローカルウィナーの類似度と一時記憶回路に記憶しているグローバルウィナーの類似度とを比較すると共に、ブランチコアの前記探索部で求まるローカルウィナーの類似度と一時記憶回路に記憶しているグローバルウィナーの類似度とを比較する。よって、メインコア及びブランチコアで求まる候補を再度比較する必要がないため、再度比較するための回路が不要となり、コンパクト化することができる。さらに、メインコアの比較更新部のみで比較更新をするようにしているので、探索部による探索は比較更新と並列に行うことができるので、各コアの比較更新をパイプラインで処理することが可能になり、例えば1クロックで読み出し毎に、読み出された参照データに対する連想計算が完成される。よって、本発明によれば、複数のコアを有する場合であっても、検索データに類似するデータを探索する際に、処理時間を低減するメモリシステムが提供される。

[0022] 第4の目的を達成するための発明によれば、前述した第1乃至第3の目的を達成するための効果を有するため、本発明では、複数のコアを有する場合であっても、検索データに類似する参照データを探索する際に、同じコンパクトな設計のコアで簡単にシステムが構成でき、処理時間を低減可能であることと、検索データに類似する参照データを探索する際に、参照データの次元数に柔軟に対応することができかつコンパクトな回路構成を有することを同時に満たす、メモリシステムが提供される。

図面の簡単な説明

[0023] [図1A]本発明の実施形態に係るメモリ装置が適用される場面を説明する図である。

[図1B]本発明の実施形態に係るメモリシステムが適用される場面を説明する図である。

[図2]特徴ベクトルデータについての説明図である。

[図3]本発明の第1の実施形態に係るメモリ装置の構成図である。

[図4]本発明の第2の実施形態に係るメモリ装置の構成図である。

[図5]本発明の第3の実施形態に係るメモリ装置の構成図である。

[図6]本発明の第4の実施形態に係るメモリ装置の構成図である。

[図7]本発明の第5の実施形態に係るメモリ装置の構成図である。

[図8]本発明の第5の実施形態に係るメモリ装置におけるメモリ部とその動作及び消費電力について模式的に示す図である。

[図9]従来のアプローチでのメモリ部とその動作及び消費電力について模式的に示す図である。

[図10]従来のSTT-MRAMから構成されたメモリ部とその動作及び消費電力について模式的に示す図である。

[図11A]参照データが一次元である場合のメモリ装置の再構成を示す図である。

[図11B]参照データが二次元である場合のメモリ装置の再構成を示す図である。

[図11C]参照データが三次元である場合のメモリ装置の再構成を示す図である。

[図11D]参照データが四次元である場合のメモリ装置の再構成を示す図である。

[図12]本発明の第8の実施形態に係るメモリシステムの構成図である。

[図13]図12に示すメモリシステムにおいて、類似度評価部、探索部及び比較更新部の主要部分のタイムチャートである。

[図14]図12に示すメモリシステムの動作を説明するための図である。

[図15]実装例に係るブロック構成図である。

[図16]実装例でのメモリ領域の領域毎のブロック図である。

[図17A]図15に示す実装例において、不揮発性のメモリグレンを一つとし、参照データの次元毎にパワードライバーを備える場合を想定したメモリ領域のブロック図である。

[図17B]図17Aに示すユニットについての動作を示すタイムチャートである。

[図17C]図17Aに示す回路の変形例を示す図である。

[図18]メモリ部における4T-2MTJメモリセルの回路図である。

[図19]図18に示す4T-2MTJメモリセルの動作を説明するためのタイムチャートである。

[図20]図15に示す実装例での読出／書込回路のブロック図である。

[図21]図15に示す実装例での類似度評価セルの回路図である。

[図22]図15に示す実装例での電流統合回路の回路図である。

[図23]図15に示す実装例でのタイムドメインコンバーターの回路図である。

[図24]図15に示す実装例での検索部内のTD-WTA回路のブロック図である。

[図25]図15に示す実装例での最小値比較更新回路の構成図であり、ブランチコアで用いられるものを示している。

[図26]図15に示す実装例での最小値比較更新回路の構成図であり、メインコアで用いられるものである。

[図27A]図23Cに示す設計スペックに従って作製したチップの写真を示す像である。

[図27B]図23Aに示す像の模式図である。

[図27C]図15に示す実装例での設計スペックを示す図表である。

[図28]類似度評価セルの回路動作の検証結果を示す図である。

[図29]3次元データ構成での類似度電流の結果を示す図である。

[図30] 16次元データ構成でのコア動作波形を示す図である。

[図31]消費電力について、従来のアナログアプローチ及びデジタルアプローチと本実装例を比較した結果を示す図である。

[図32]回路面積について、従来のアナログアプローチ及びデジタルアプローチと本実装例を比較した結果を示す図である。

[図33]最小値探索回路の例を示す図である。

発明を実施するための形態

[0024] 以下、本発明の実施形態について図面を参照しながら詳細に説明するが、本発明は図示した形態に限らず本発明の範囲内において適宜変更する形態についても当然含まれる。

[0025] [本発明の実施形態において用いる用語]

図1Aは、本発明の実施形態に係るメモリ装置100が適用される場面を説明するための図である。図1Aに示すように、検索データ10が入力されると、検索データ10が1又は複数の次元の特徴ベクトルデータ20に変換される。変換されたデータは、 N (≥ 1) 次元の特徴ベクトルデータ20を備え、1次元が M (≥ 1) ビットを有する。メモリ装置100は、格納されている参照データ30の中から最も類似しているデータを抽出する。メモリ装置100は、後述するようなメモリ領域を備えている。

[0026] 図1Bは、本発明の実施形態に係るメモリシステム200が適用される場面を説明するための図である。図1Bに示すように、検索データ10が入力されると、検索データ10が1又は複数の次元の特徴ベクトルデータ20に変換される。変換されたデータは、 N (≥ 1) 次元の特徴ベクトルデータ20を備え、1次元が M (≥ 1) ビットを有する。メモリシステム200は、各メモリ装置に格納されている参照データ30の中から最も類似しているデータを抽出する。メモリ装置は、後述するようなメモリ領域を備えている。

[0027] ここで、検索データ10、特徴ベクトルデータ20及び参照データ30について説明する。

[0028] 検索データ10は、ターゲットデータとも呼ばれ、メモリ領域に記憶され

ているデータから検索したいデータに関し、入力されるデータをいう。

[0029] 参照データ30は、テンプレートデータとも呼ばれ、メモリ領域に記憶されているデータであって、検索データにより検索対象となるデータをいう。

[0030] 検索データ10及び参照データ30は、画像データ、サウンドデータ、テキストデータ（文章データ）を対象とし、種類は問わない。自然数M、Nは対象とするデータの種類に応じて設定される。

[0031] 特徴ベクトルデータ20は、多数の観点からN（ ≥ 1 ）本の特徴量を抽出し、一つの特徴量の割合を数（この数をMビットで表す。）で示し、N本の特徴量の割合をベクトル表示したものをいう。特徴量の数を次元数と呼ぶ。

[0032] 図2は、特徴ベクトルデータ20についての説明図である。図2の上段に示すように、例えば、色認識の3次元（RGB）ベクトルデータであれば、検索データがRGBの各色がどの程度含まれているかによって示される。1次元の特徴をM（例えばM=8）ビットで示す。

[0033] 図2の下段に示すように、例えば、形状認識の8次元ベクトルデータであれば、検索データ10に含まれている輪郭について、「4-Direction Edge Map」に示すような各基準輪郭に沿っている部分が含まれているか否かを判定し、「Edge Distribution」に示すように各基準輪郭に沿っている部分をピクセル数でカウントし、 0° 、 45° 、 90° 、 -45° の点線で分けられる各部におけるピクセル数の分布を作成し、「Vector Generation」に示すように8次元特徴ベクトル（「8-D Feature Vector」）のような分布として示す。

[0034] 特徴ベクトルデータ20は、図2に示すような単純なものに限らず、複雑な特徴ベクトルデータでもよく、画像認識の分野において非常に有名な128次元のscale-invariant feature transform(SIFT)やBag-of-feature(Bof)のベクトルデータであってもよい。

[0035] メモリグレン（memory grain）とは、参照データ30の1次元分（Mビット）を保存するメモリ・サブアレイである。本発明の実施形態においては、メモリグレンに対して細粒度(fine-grain)パワーゲーティングを行い、独立

に電源制御（ON/OFF）をする。

[0036] ローカルウィナー（Local Winner）とは、メモリ領域の1行分の参照データのうち、検索データに一番類似している参照データである。ここでのメモリ領域とはメモリ装置におけるメモリ部を指し、メモリシステムではメインコアとブランチコアの何れも含むコアにおけるメモリ部を指す。ローカルウィナーは、メモリ装置（コアともいう）の探索部において得られる。

[0037] ローカルウィナー類似度（Local Winner Similarity）とは、ローカルウィナーと探索データの間の類似度である。ローカルウィナー類似度は、例えば各探索部において電流値として得られ、その各探索部において、カウンタでクロックサイクル数に変換される。

[0038] グローバルウィナー（Global Winner）とは、ローカルウィナーから選出された参照データであって、メモリ領域に記憶されている全ての参照データにおいて検索データに最も似ている参照データである。メモリ装置において、グローバルウィナーは比較更新回路で計算され、ローカルウィナーと類似度を比較され、類似度がより高いものに更新される。メモリシステムでは、グローバルウィナーはメインコアの比較更新回路でのみ計算され、ローカルウィナーと類似度を比較され、類似度がより高いものに更新される。

[0039] グローバルウィナー類似度（Global Winner Similarity）とは、グローバルウィナーと探索データの間の類似度である。グローバルウィナーを更新するために、グローバルウィナーのアドレスと一緒に比較更新回路のレジスタなどの一時記憶回路に一時的に保存され、タイミングをずれて入力されたローカルウィナー類似度と比較して、より高いものが書き換えられる。メモリ装置では比較更新回路で計算され、メモリシステムではメインコアの比較更新回路でのみ計算される。

[0040] 本発明の実施形態では、メモリ領域において、次元数毎にMビットのデータが参照データとして記憶されるとき説明する。

[0041] [本発明の第1の実施形態]

図3は本発明の第1の実施形態に係るメモリ装置の構成図である。本発明

の実施形態に係るメモリ装置100は、メモリ部110と、類似度評価部130と、探索部150と、比較更新部170と、を備える。

[0042] メモリ部110は、参照データ保存回路とも呼ばれ、ローデコーダ111とコラムデコーダ112とメモリ領域113と読出／書込回路114とを備え、メモリ領域113内のメモリグレン119に参照データを書き込み及び読み出しできるように構成されている。メモリ領域113は、 N (≥ 1) 次元からなり1次元が M (≥ 1) ビットからなる複数の参照データが次元毎に分けられて記憶されている。メモリ領域113は、 M ビットのメモリを1単位として構成する任意数（ただし、 $1 \leq k \leq N$ ）のメモリグレン（MG）119をマトリックス状に備えている。図3では、 $(R \times M)$ 行 C 列のメモリグレン119を備えて、列毎に読出／書込回路114を備えている。複数の読み出し回路としての読出／書込回路114のそれぞれは、対応するメモリグレン119から参照データを読み出す。ここで、図3は任意数 k が1である場合を示している。

[0043] 類似度評価部130は、入力検索データ保存回路131と、複数の類似度評価セル（SEC : Similarity Evaluation Cell）133と、電流統合回路（CA : Current Accumulator）135を少なくとも備えている。

[0044] 入力検索データ保存回路131は、 N (≥ 1) 次元からなり1次元が M (≥ 1) ビットからなる検索データが保存されており、メモリ領域113の各列に分けて記憶されている状況に応じて、検索データを分けて出力する。

[0045] 各類似度評価セル133は、入力検索データ保存回路131から読み出されたデータが、対応する読出／書込回路114で読み出された参照データと類似しているかについて、類似度電流値として出力する。「入力検索データ保存回路131から読み出されたデータ」（「一つ目のデータ」とする。）とは、検索データが次元毎に分解されて入力検索データ保存回路131から出力されたデータであり、次元数毎の当該検索データの電圧値である。「対応する読出／書込回路114で読み出された参照データ」（「二つ目のデータ」とする。）とは、読出／書込回路114から入力された参照データの電

圧値である。電流値がゼロの場合は一つ目のデータと二つ目のデータは同一と評価し、電流値が大きい場合は一つ目のデータと二つ目のデータは異なると評価することになる。つまり、検索データと参照データが似ていると、出力される電流値は小さくなる。

[0046] 各電流統合回路（CA）135は、対応する任意数の類似度評価セル133から出力された電流を統合する。各電流統合回路135は、対応する任意数の類似度評価セル133から電流値が入力され、その電流に基いて、参照データが検索データに類似するかを求める。

[0047] 探索部150は、複数の電流統合回路135から出力される電流値を入力し、検索データに最も類似する参照データに関する電流、即ち、類似度に関する電流を検出し、その検出した値を所定のデータに変換する。比較更新部170は、メモリ領域113から行毎に読み出される参照データに関し、メモリ領域113に記憶されている参照データのうち、検索データに最も類似する参照データを比較して更新する。

[0048] 図3に示すメモリ装置100では、メモリ領域113に記憶される参照データの次元数及び任意数に対応して、電流統合回路135のそれぞれが類似度評価セル133からの電流を統合する。よって、参照データの次元数に柔軟に対応することができる。また、類似度評価セル133や電流統合回路135は比較的簡単な回路構成で実現される。

[0049] 図3に示す形態についてさらに詳細に説明する。メモリ領域113は、 $(R \times M)$ 行C列のメモリセルアレイから構成されて $(R \times C) / N$ 個の参照データを保存している参照データ保存回路として構成されている。メモリ装置100は、C個の類似度評価セル133を備え、 C / N 個の参照データと検索データの類似度を並列に計算し電流として出力する。電流統合回路135は、参照データの次元数に応じてC個の類似度電流を統合する。

[0050] 類似度評価部130は、切替スイッチ134が列毎に備わっている。切替スイッチ134は、第1のスイッチ134aと第2のスイッチ134bとが連動するように構成されている。第1のスイッチ134aは、第j列番目の

類似度評価セル 133 と第 j 列番目の電流統合回路 135 との配線と、第 ($j + 1$) 列番目の類似度評価セル 133 と第 ($j + 1$) 列番目の電流統合回路 135 との配線との間に設けられている。ここで、 j は 1 以上 (最大列数 $- 1$) 以下の自然数である。第 2 のスイッチ 134 b は、各列の類似度評価セル 133 と電流統合回路 135 との間に設けられている。

[0051] 第 1 のスイッチ 134 a と第 2 のスイッチ 134 b は、何れも、外部からの次元制御信号 (DCS : Dimension Control Signal) により制御され、外部からの次元制御信号が入力される線は、第 1 のスイッチ 134 a の制御電極、第 2 のスイッチ 134 b の制御電極の何れかに接続され、その何れかの配線の間には、NOT 回路 134 c が含まれている。

[0052] これにより、第 1 のスイッチ 134 a が ON の場合には第 2 のスイッチ 134 b が OFF となる一方、第 1 のスイッチ 134 a が OFF の場合には第 2 のスイッチ 134 b が ON となる。次元制御信号は、メモリ領域 113 に記憶されている参照データの次元に対応して、切替スイッチ 134 を制御する。

[0053] その際、第 2 のスイッチ 134 b の OFF により、類似度評価セル 133 からの電流が流れない電流統合回路 135 には、電力を供給しないように制御することにより、省電力化を図ることができる。

[0054] よって、切替スイッチ 134 を設けることにより、メモリ領域 113 に記憶される参照データの次元数及び任意数に対応して、電流統合回路 135 のそれぞれが類似度評価セル 133 からの電流を統合することができ、参照データの次元数に柔軟に対応することができる。

[0055] [本発明の第 2 の実施形態]

図 4 は本発明の第 2 の実施形態に係るメモリ装置 100 の構成図である。図 4 に示すメモリ装置 100 は、類似度評価部 130 の構成が図 3 と異なり、任意数 k が 2 として設計製造されている。複数の類似度評価セル 133 がセル群に区分されており、図 4 に示すように、奇数列目の類似度評価セル 133 と偶数列目の類似度評価セル 133 とがセル群 133 a を構成しており

、電流統合回路１３５が一つのセル群１３３aに対応している。そして、電流統合回路１３５が、対応している一つのセル群１３３aとは別のセル群１３３aにおける任意数の類似度評価セル１３３から出力された電流を統合するように、切替スイッチ１３４が設けられている。

[0056] つまり、図４では、図３とは異なり、切替スイッチ１３４が列毎に設けられておらず、奇数列目の一つの類似度評価セル１３３と偶数列目の一つの類似度評価セル１３３とがセル群１３３aを構成しており、第２のスイッチ１３４bが、偶数列目の一つの類似度評価セル１３３とそのセル群１３３aに対応した電流統合回路１３５との間に設けられ、第１のスイッチ１３４aが、セル群１３３aと隣のセル群１３３aとの間に設けられている。

[0057] よって、第１のスイッチ１３４a、第２のスイッチ１３４bの何れか一方をＯＮにし、他方をＯＦＦにすることにより、４個の類似度評価セル１３３からの類似度電流を統合することもでき、２個の類似度評価セル１３３からの類似度電流を統合することもできる。

[0058] その際、第２のスイッチ１３４bのＯＦＦにより、類似度評価セル１３３からの電流が流れない電流統合回路１３５には、電力を供給しないように制御することにより、省電力化を図ることができる。

[0059] ここで、図４では、セル群は２つの類似度評価セル１３３を有しているが、３以上の任意数であってもよい。これにより、検索データ及び参照データの次数以外の数によっても柔軟に対応することができる。セル群における類似度評価セル１３３の任意数は、後述するように、図７に示す一つのパワードライバー１１８が電力供給するメモリグレン１１９の任意数と等しくなるように設定してもよい。

[0060] [本発明の第３の実施形態]

図５は、本発明の第３の実施形態に係るメモリ装置１００の構造図であり、図３に示す形態をより具体的に示す図である。図５に示すメモリ装置１００においては、類似度評価部１３０は、入力検索データ保存回路１３１と、デジタル／アナログコンバーター（ＤＡＣ：Digital Analog Converter）１

32と、 C/N 個の参照データと検索データの類似度を並列に計算し電流として出力する C 個の類似度評価セル133と、切替スイッチ134と、参照データの次元数に応じて C 個の類似度電流を統合する電流統合回路(CA)135と、統合した類似度電流を C/N 個のTime-Domain電圧遅延信号に変換するタイムドメインコンバーター(TDC: Time Domain Converter)136と、を備える。なお、メモリ部110では、メモリ領域113が $(R \times M)$ 行 C 列のメモリセルアレイから構成され、 $(R \times C)/N$ 個の参照データを保存している参照データ保存回路が設けられている。

[0061] デジタル／アナログコンバーター132、類似度評価セル133、切替スイッチ134、電流統合回路135及びタイムドメインコンバーター136はコラムライン数だけ備えている。列毎に、読出／書込回路114からデジタル／アナログコンバーター132にデジタルデータが電圧値として入力され、デジタル／アナログコンバーター132においてデジタルデータがアナログデータに変換されて、類似度評価セル133に出力される。

[0062] 類似度評価セル133は、入力された二つのデータについての類似度を求める。一つ目のデータは、検索データが次元毎に分解されて入力検索データ保存回路131から出力されたデータであって、次元数毎の当該検索データの電圧値である。二つ目のデータは、読出／書込回路114からデジタル／アナログコンバーター132を経由して入力された参照データの電圧値である。

[0063] 類似度評価セル133は、一つ目のデータと二つ目のデータとの類似度を電流値として求めて出力する。電流値がゼロの場合は一つ目のデータと二つ目のデータは同一と評価し、電流値が大きい場合は一つ目のデータと二つ目のデータは異なると評価することになる。つまり、参照データが検索データと似ていると、出力される電流値は小さくなる。

[0064] 切替スイッチ134が列毎に備わっている。切替スイッチ134は、第1のスイッチ134aと第2のスイッチ134bとが連動するように構成されている。第1のスイッチ134aは、第 j 列番目の類似度評価セル133と

第 $(j + 1)$ 列番目の類似度評価セル 133 との間に設けられている。ここで、 j は 1 以上（列数 - 1）以下の自然数である。なお、図 5 での切替スイッチ 134 の機能は、図 4 での切替スイッチ 134 のそれと同様である。第 2 のスイッチ 134 b は、各列の類似度評価セル 133 と電流統合回路 135 との間に設けられている。第 1 のスイッチ 134 a と第 2 のスイッチ 134 b は、何れも、外部からの次元制御信号（DCS : Dimension Control Signal）により制御され、外部からの次元制御信号が入力される線は、第 1 のスイッチ 134 a の制御電極、第 2 のスイッチ 134 b の制御電極の何れかに接続され、その何れかの配線の間には、NOT 回路 134 c が含まれている。これにより、第 1 のスイッチ 134 a が ON の場合には第 2 のスイッチ 134 b が OFF となる一方、第 1 のスイッチ 134 a が OFF の場合には第 2 のスイッチ 134 b が ON となる。次元制御信号は、メモリ領域 113 に記憶されている参照データの次元に対応して、切替スイッチ 134 を制御する。

[0065] N 次元の参照データが、メモリグレン MG_{ij} からメモリグレン $MG_{i,j+n-1}$ まで、次元に分けて記憶されているとすると、当該 N 次元の参照データが検索データと類似しているかどうかを評価するには、第 j 列番目の類似度評価セル SEC_j から第 $(j + N - 1)$ 列番目の類似度評価セル SEC_{j+N-1} までの各類似度を加算する必要がある。

[0066] 本発明の実施形態では、各類似度を加算するために、第 j 列番目の類似度評価セル SEC_j と第 $(j + 1)$ 列番目の類似度評価セル SEC_{j+1} との間に第 1 のスイッチ 134 a を設け、第 j 列番目の類似度評価セル SEC_j と第 j 列番目の電流統合回路 CA_j との間に第 2 のスイッチ 134 b を設けている。

[0067] 外部の次元制御信号により、第 1 のスイッチ 134 a が N 個の類似度評価セル 133 を接続した状態にする。類似度評価セル 133 の入力端子に次元毎の検索データの電圧を印加し、類似度評価セル 133 から出力される電流値を電流統合回路 135 に入力して、電流統合回路 135 に一旦保存する。その後、類似度評価セル 133 の入力端子に次元毎の参照データの電圧を印

加し、類似度評価セル 133 から出力される電流値を電流統合回路 135 に入力して、保存している電流値との差分を計算する。このように、類似度評価セル 133 と電流統合回路 135 との連携により、複数列に分散して記憶されている参照データが検索データに類似しているか否かを、電流値により求めることができる。

[0068] タイムドメインコンバーター 136 は、電流統合回路 135 から出力された電流値を遅延時間に変換する。よって、切替スイッチ 134 により接続された各類似度評価セル 133 のうち、列番号が最も大きい最も一端（例えば右端）の類似度評価セル 133 からタイムドメインコンバーター 136 に電流値が入力されることにより、複数列に分散して記憶されている参照データが検索データに類似しているか否かを、時間遅延の値として求めることができる。類似度が高いほど、時間遅延の値が小さくなる。変換された遅延時間信号は、何れも、探索部 150 に入力される。

[0069] 探索部 150 は、 C/N 個のタイムドメイン電圧遅延信号から最短値を検出しその最短遅延をカウンタで最小クロック数に変換する TD (Time Domain) 最小値探索回路 151 を備えている。TD 最小値探索回路 151 は、類似度評価部 130 における各タイムドメインコンバーター 136 から入力された時間遅延信号のうち、最も時間遅延の短いもの、すなわち、タイムドメインの最小値を探索する。探索した最も遅延時間の短い値は、W ビットのカウンタでカウントされ、そのカウント値が比較更新部 170 に出力される。

[0070] 比較更新部 170 は、得られる最小クロック数を、保存している以前計算したクロック数と比較し小さい方をアップデートする最小値比較更新回路 171 を備えている。最小値比較更新回路 171 は、メモリ部 110 の読み出しの繰り返し毎に、探索部 150 から入力されたカウント値と自ら保存しているカウント値とを比較し、カウント値が低い方を記憶する。これにより、メモリ部 110 の読み出しの繰り返しが終了すると、低いカウント値が求まり、結果として、検索データに最も類似する参照データのカウント値が求まる。このカウント値は、メモリ部 110 のアドレスに対応させることで、メ

メモリ部 110 において最も類似する参照データのアドレスが求まる。

[0071] 図 5 に示すメモリ装置 100 の動作説明は、次の通りである。

[0072] 先ず、入力検索データ保存回路 131 は、入力された検索データを次元毎に分けて、デジタル／アナログコンバーター 132 でアナログ電圧に変換し、類似度評価セル 133 に入力する。

[0073] 次に、読出／書込回路 114 を経て、C 個のメモリグレン 119 からそれぞれ出力される 1 次元分の参照データ (M ビット) を同様にデジタル／アナログコンバーター 132 でアナログ電圧に変換し、検索データの入力後から、並列に C 個の類似度評価セル 133 に入力する。もしデジタル／アナログコンバーター 132 がシリアルである場合では、M ビットデータを変換するために、M クロックの時間がかかる。

[0074] 次に、類似度評価セル 133 は、次元毎に検索データ (1 次元) の電圧と参照データ (1 次元) の電圧との類似度を電流として出力する。

[0075] その際、先ず、外部の次元制御信号が、参照データ及び検索データの次元数に応じて、類似度評価セル 133 の間の第 1 のスイッチ 134 a が ON 状態となるように制御し、第 1 のスイッチ 134 a が ON 状態となっている類似度評価セル 133 同士の電流を加算し、C 個の類似度評価セル 133 の電流を C/N 個の電流統合回路 135 で統合し対応するタイムドメインコンバーター 136 へ出力する。電流が小さい方が高い類似度を有する。同じ次元制御信号により、第 2 のスイッチ 134 b を OFF 状態にし、必要のない電流統合回路 135 とタイムドメインコンバーター 136 を接続しないように無効化する。

[0076] 次に、タイムドメインコンバーター 136 が、統合された C/N 個の類似度電流をタイムドメイン電圧遅延信号に変換し、並列に探索回路としての最小値探索回路 (タイムドメイン (TD) 最小値探索回路) 151 へ出力する。

[0077] 次に、第 1 階層 (ローカル) の最小値探索処理として、最小値探索回路 (タイムドメイン (TD) 最小値探索回路) 151 で、1 行分の C/N 個の参

照データに対応するタイムドメイン電圧遅延信号から最も類似度が高いもの、すなわち遅延の短いものを求め、Wビットのカウンタでその遅延を遅延中のクロック数であるデジタル値に変換し、最小値比較更新回路171へ出力する。Wビットのカウンタは、最大2Wクロックの遅延を持つタイムドメイン電圧遅延信号に変換され、この最大遅延に比例する類似度電流変換の解像度が得られる。つまり、Wが大きければ、もっと小さい類似度電流差が得られる。

[0078] 次に、第2階層（グローバル）の最小値探索処理として、最小値比較更新回路171で、メインコア210で得られたWinner（ローカルWinner）のデジタル遅延値、又は、ブランチコア220で得られ入力されたWinner（ローカルWinner）のデジタル遅延値を、回路内に保存されている全ステップの値と比較して、小さい方を書き換えて更新する。この更新を繰り返すことで、メインコア210及びブランチコア220内の全ての参照データから一番似ているものが、最後に、最小値比較更新回路171の中に保存され連想処理結果になる。なお、メインコア210及びブランチコア220については、後述の図12を参照して詳細に説明する。

[0079] [本発明の第4の実施形態]

図6は、本発明の第4実施形態に係るメモリ装置の構成図であって、図4のメモリ装置100の具体的な形態を示す構成図である。図6に示すメモリ装置100では、各類似度評価セル133の前段にデジタル／アナログコンバーター132を設けている。デジタル／アナログコンバーター132は入力されたデジタル電圧をアナログ電圧に変換し、類似度評価セル133に出力する。電流統合回路135の後段にはタイムドメインコンバーター136を設け、タイムドメインコンバーター136は電流統合回路135から出力された電流値を遅延時間に変換する。よって、切替スイッチ134により接続された各類似度評価セル133のうち、最端（例えば右端）の類似度評価セル133からの電流値がタイムドメインコンバーター136に入力されることにより、複数列に分散して記憶されている参照データが検索データに類

似しているか否かを、時間遅延の値として求めることができる。

[0080] 図5及び図6に示す形態では、類似度評価セル133の前段にデジタル／アナログコンバーター132を設け、類似度評価セル133はデジタル／アナログコンバーター132で変換されたデータに基いて、類似度を評価するための値としてアナログ電流を求めて、電流統合回路135に出力し、参照データが検索データに類似しているかどうか電流値の差として求められる。

[0081] [本発明の第5の実施形態]

本発明の実施形態においては、類似度評価セル133の前段にデジタル／アナログコンバーター132を設ける必要はなく、次のようにしてもよい。類似度評価セル133に、検索データのデジタル電圧値と参照データのデジタル電圧値が順に入力され、類似度評価セル133において類似度を評価するためのデジタル値が求められ、類似度評価セル133の後段に設けたデジタル／アナログコンバーター（図示せず）によりアナログ値に変換されて、電流統合回路135に出力するようにしてもよい。なお、その際の類似度評価セル133は、デジタルアプローチで使用されている回路を適宜変更して使用すればよい。

[0082] [本発明の第6の実施形態]

前述の実施形態では、電流統合回路135からの出力をタイムドメインコンバーター136により遅延時間に変換し、最短遅延時間を求めている。しかしながら、本発明の実施形態はこれに限定されることなく、次のようにしてもよい。アナログ電圧の最小値をアナログの値のまま直接比較更新する回路を設けたり、アナログ電圧の最小値をデジタル値に変換する回路とそのデジタル値を比較更新する回路とを設けたりする。一例を挙げると、各電流統合回路からの出力端に各抵抗を接続することにより、各電流統合回路から流れるアナログ電流をアナログ電圧に変換し、その電圧のうち最小値を探索してもよい。図3乃至図6に示す探索部150をアナログ電圧最小値探索回路で構成すればよい。具体的なアナログ電圧最小値探索回路の例は図33を参

照して後述する。

[0083] [本発明の第7の実施形態]

次に、本発明の実施形態に係るメモリ装置100におけるメモリ部110の好ましい形態について説明する。図7は本発明の第7の実施形態に係るメモリ装置の構成図であり、メモリ装置100においてメモリ部の詳細を説明するための図である。メモリ部110は、 $(R \times M)$ 行C列のメモリセルアレイから構成されて $(R \times C) / N$ 個の参照データを保存している参照データ保存回路を備えている。なお、図7は図5に対応した構成図としているが、図3、図4、図6に示す他の形態であっても採用することができる。

[0084] メモリ部110としての参照データ保存回路には、 $R \times C$ ($C \geq N$) の1次元データを保存するメモリグレイン (MG: Memory Grain) 119があって、各メモリグレイン119にはMビットの値を保存している。各メモリグレイン119にパワーゲーティングのためのパワードライバー (PD: Power Driver) 118が設置され、パワードライバー118が行デコーダ、列デコーダ及びクロック1 (clk, 1) により独立に電力の供給について制御する。すなわち、一行のメモリグレイン (MG) 119には、 C / N 個の参照データが保存されており、各参照データを並列に類似度評価セル133に出力して連想認識が実行される。

[0085] 以下、図7に示すメモリ装置100のメモリ部110について更に詳細に説明する。

メモリ部110としての参照データ保存回路は、ローデコーダ111、コラムデコーダ112、メモリ領域113、及び読出／書込回路114で構成される。メモリ領域113は、複数のローライン115と、複数のビットライン116と、複数の本のコラムライン117と、複数のパワードライバー (PD) 118と、複数のメモリグレイン (MG) 119とを備える。メモリグレイン119は不揮発性メモリで構成されている。

[0086] ローデコーダ111には複数本のローライン115が接続されており、コラムデコーダ112には複数本のコラムライン117が接続されている。

[0087] メモリ領域 113 は複数の領域に分けられ、各領域は 1 以上 N 以下の任意数のコラムライン 117 と M 本のローライン 115 とで指定され、領域毎にパワードライバー 118 とメモリグレン 119 とが組として備えられている。ここで、コラムライン 117 の任意数と、ローライン 115 の本数と、ビットライン 116 の本数とは、何れも設計時に設定され、その設定に従って製造される。ここで、「任意数」とはメモリ装置を利用するユーザにより定められる場合なども含まれ、単に、設計・製造時に一定の値に定められる場合も含まれる。図 7 では、領域毎に、コラムライン 117 は 1 本とし、ローライン 115 は M 本として、ビットライン 116 は M 本としている。ここで、自然数 M、N の定義は、図 1 及び図 2 を参照して前述した検索データ 10 及び参照データ 30 での定義と同じである。

[0088] 本発明の実施形態では、メモリ領域 113 において任意数のコラムライン 117 と M 本のローライン 115 とにより指定される領域毎に、M ビットの不揮発性メモリを 1 単位として構成するメモリグレン 119 と、メモリグレン 119 に電力を供給するパワードライバー 118 とが組として備えられている。ここで、領域毎のコラムライン 117 は任意数個であり、ここで、「任意数」とはメモリ装置を利用するユーザにより定められる場合なども含まれ、単に、設計・製造時に一定の値に定められる場合も含まれる。領域毎のメモリグレン 119 の任意数個と等しく、図 7 では 1 個としている。

[0089] 本発明の実施形態では、或る一つのパワードライバー 118 が、任意数のコラムライン 117 からの制御信号の入力と、M 本のローライン 115 からの制御信号の入力と、クロック信号の入力とを受け、クロック信号に同期して、パワードライバー 118 と組となるメモリグレン 119 に電力を供給する。これにより、そのメモリグレン 119 に格納されている次元毎の参照データを読み出し、ビットライン 116 を通じてその列の読出／書込回路 114 に出力する。

[0090] よって、メモリ領域 113 の全体に電力を供給するのではなく、読み出す各領域のメモリグレン 119 に電力を供給することで、必要な場所にのみ電

力を供給すると共に、クロック信号の入力により必要な時間のみ電源供給をする。従って、メモリ領域 113 に格納されている参照データを読み出す際の消費電力を大幅に減らすことができる。

[0091] 図 7 に示すように、メモリグレン 119 は、 $MG_{11} \sim MG_{RC}$ まで、R 行 C 列存在するので、ローデコーダ 111 からの制御信号が流れる 1 又は複数本のローライン 115 と、コラムデコーダ 112 から制御信号が流れる 1 又は複数本コラムライン 117 とで 1 又は複数のパワードライバー 118 が指定され、その指定されたパワードライバー 118 においてクロック信号 “1” が入力されると、入力されている間のみ、パワードライバー 118 から、組となるメモリグレン 119 に電力が供給される。指定されたパワードライバー 118 においてクロック信号 “0” が入力されると、組となるメモリグレン 119 に電力の供給が停止される。なお、パワードライバー 118 は、クロック信号 “0” が入力されると組となるメモリグレン 119 に電力を供給し、クロック信号 “1” が入力されると組となるメモリグレン 119 に電力を供給しないようにしてもよい。ここで、クロック信号 “0”、“1” は、“H”、“L” に対応している。

[0092] ここで、M 本のローライン 115 からの制御信号の入力は、1 本乃至 M 本のうち所定本数毎に順番になされてもよいし、1 本乃至 M 本まで同時になされてもよい。

[0093] ここで、図 7 に示すメモリ装置 100 において、省電力化が達成できていることを詳細に説明する。図 8 乃至図 10 は、本発明の実施形態に係るメモリ装置におけるメモリ部とその動作及び消費電力について、従来技術のそれらと比較するための図である。

[0094] 図 8 は、本発明の第 5 の実施形態に係るメモリ装置におけるメモリ部とその動作及び消費電力について模式的に示す図である。図 8 の上段は、メモリ部 110 を模式的に示し、図 8 の中段は、Data # 1、Data # 2、Data # 3 を順に行毎に読み出したときに、どの行の領域からデータが読み出されるかを示す。図 8 の下段は、横軸が時間、縦軸が消費電力、奥行き

軸がメモグレンの位置を示している。

- [0095] 参照データの次元毎に（１個のメモリグレン毎に）パワードライバー１１８を備えて、細粒度パワーゲーティングを用いるだけでなく、任意のコラムライン１１７を複数本同時にアクティベートすることを可能にして１Ｄａｔａ内の必要なデータ次元に対応した必要なメモリグレン１１９のみに柔軟に電力を供給する。その上に、パワードライバー１１８に動作演算のクロック信号を入力し、クロック信号に同期して、パワードライバー１１８から対応のメモリグレン１１９に電力を供給する。
- [0096] この読み出し制御によって、演算に必要なデータが演算動作中のみ、電力を消費することになり、演算動作のクロック信号が入っていない場合には電力を消費しない。さらに、読み出しの時にクロックパルスが“０”のときのみ電力消費がある。クロックパルスが“１”（クロック前半）の時はpre-charge、すなわちビットライン１１６を０Ｖにプレチャージし、電力を供給する必要がなく、演算動作中の消費電力が半減する。
- [0097] 例えば、データ＃１（Ｄａｔａ＃１）では、参照データの全ての次元のデータ出力が必要な場合、クロックを用いているので、読み出しの際に、消費電力が半減する。この理由は次の通りである。クロック制御の導入により、１クロックの前半、すなわちクロック信号が“Ｈ”であるときメモリグレン１１９に電力を供給しないで、プレチャージする。１クロックの後半、すなわちクロック信号が“Ｌ”であるとき指定のメモリグレン１１９に電力を供給して、データを読み出す。このプレチャージは、電力供給を高速で切り換える際にdisturb誤動作が発生しないようにするため、参照データを読み出す際に、データが書き換えられない。
- [0098] データ＃２（Ｄａｔａ＃２）では、動作演算のクロックの制御により、パワードライバー１１８が動作していないので、動的にメモリの動作も停止し、消費電力を最小化することができる。
- [0099] データ＃３（Ｄａｔａ＃３）では、参照データの一部の次元のデータ出力が必要な場合、必要最低限のメモリグレン１１９だけに電力を供給して、

消費電力の最適化を図ることができる。

- [0100] 図7に示すメモリ装置100では、メモリ部110が、Cycle-based 粒度制御可能なパワーゲーティングに基いた不揮発性メモリで構成されている。この構成により、待機時の消費電力をゼロにする上、メモリ部110の必要な部分に電力を供給し、不要な部分には電力を供給しないため、消費電力を減らすことができる。
- [0101] 不揮発性メモリは、小面積、高速、高安定、低書込電流など色々異なる性能に重視してそれぞれ開発されてきた経緯があるが、ここでは、Cycle-based 粒度制御可能なパワーゲーティングを実現するために、高速且つ安定の不揮発メモリセルが必要である。本発明の実施形態では、一般的には差動対型のSTT-MRAMメモリセルを利用するとよい。この点については実装例で詳細に説明する。
- [0102] 実装例において後述するように、高速で探索することができ、かつ、Cycle-based 粒度制御可能なパワーゲーティングが実現できたのは、次の理由による。
- [0103] 第1には、電力が供給されたらすぐに反応でき、高速かつ安定な動作を特徴とする差動対型STT-MRAMメモリセル（例えば4T-2MTJセル）を採用しているからである。4T-2MTJセルは、より速くMTJからデータを読み出せ、高速の電源ON/OFFによるdisturb誤動作が発生しないという特徴がある。
- [0104] 第2には、高速でデータを読み出すために、電力を供給する前に、ビットラインに邪魔な電荷をたまらないように、0Vにpre-chargeするからである。
- [0105] 図7に示すメモリ装置100では、Cycle-based粒度制御可能なパワーゲーティングに基づく不揮発性メモリ装置により、連想メモリの超低電力化を図ることができる。類似度評価部130の切替スイッチ134により、データ次元数に応じてシステムを再構成するわけだが、Cycle-based粒度制御可能なパワーゲーティングに基づく不揮発性メモリ装置は、その再構成に応じて必

要最小限のメモリに電力を供給するため、動作時消費電力を最適化できる。

[0106] 従来のNNS連想メモリでのデジタルアプローチ及びアナログアプローチ（以下、「従来のアプローチ」とする。）でのメモリ部は、次の通りである。図9は、従来のアプローチでのメモリ部510とその動作及び消費電力について模式的に示す図である。図9の上段は、メモリ部510を模式的に示し、図9の中段は、Data#1、Data#2、Data#3を行毎に順に読み出したとき、どの行の領域からデータが読み出されるかを示す。図9の下段は、横軸が時間、縦軸が消費電力、奥行きがメモグレンの位置を示している。

[0107] 従来のアプローチでは、メモリ部510のメモリ領域は揮発性のSRAMで構成されている。そのため、全てのメモグレン519に、参照データを書き込む際、データ#1の読出しの際、データ#2の読出しの際、データ#3の読出しの際の何れも、常に電力を供給する必要がある。なお、符号511はローデコーダであり、符号512はコラムデコーダである。

[0108] 図10は、従来のSTT-MRAMから構成されたメモリ部とその動作及び消費電力について模式的に示す図である。図10の上段は、メモリ部610を模式的に示し、図10の中段は、Data#1、Data#2、Data#3を行毎に順に読み出したときに、どの行の領域からデータが読み出されるかを示す。図10の下段は、横軸が時間、縦軸が消費電力、奥行きがメモグレンの位置を示している。

[0109] 非特許文献9に示す従来のSTT-MRAMでは、細粒度パワーゲーティング技術を用いて、1Dataの参照データ毎に、即ちN個のメモグレン619毎にパワードライバー618を備え、独立電源供給できる。そのため、参照データの書き込みの際、データ#1の読み出しの際、データ#2の読み出しの際、及びデータ#3の読み出しの際にも、コラムデコーダとローデコーダのアドレスによって指定されるアクセス参照データのlocationに応じて電力

を供給することができ、不要なメモリの場所に電力を供給する必要がない。しかしながら、Data毎のパワーゲーティングなので、1Data内の全ての次元のデータを読み出すために全てのメモリグレン619に同時に電力が供給される。なお、符号611はローデコーダであり、符号612はコラムデコーダである。

[0110] ここで、R行4列のメモリグレンを備えるチップとして、1～4次元参照データに応じて再構成したシステムアーキテクチャ（コラム数C＝4の場合）について、説明する。図11Aは、参照データが一次元である場合のメモリ装置の再構成を示す図であり、図11Bは、参照データが二次元である場合のメモリ装置の再構成を示す図であり、図11Cは、参照データが三次元である場合のメモリ装置の再構成を示す図であり、図11Dは、参照データが四次元である場合のメモリ装置の再構成を示す図である。これらの図は、不揮発性メモリ装置のCycle-based 粒度制御可能なパワーゲーティングの動作状態を示しており、メモリ部110においてメモリグレン119に電力が供給されていないものは点線で示している。類似度評価部130においても無効化した部分は点線で示しており、無効化していない部分は実線で示している。

[0111] [本発明の第8実施形態]

図12は、本発明の第8の実施形態に係るメモリシステムの構成図である。メモリシステム200はメモリ装置100を複数備え、その一つをメインコア210とし、その他をブランチコア220としている。メインコア210、ブランチコア220の何れも同一の構成である。即ち、メインコア210、ブランチコア220の何れの各コアも、メモリ部としての参照データ保存回路211、221と、類似度評価部としてのデータ適応型電流モード類似度評価回路212、222と、探索部としてのタイムドメイン最小値探索回路213、223と、比較更新部としての最小値比較更新回路214、224と、出力用バッファ（Output Buffer）215、225とを備えている。

- [0112] 参照データ保存回路 211, 221 は、コラムデコーダと、ローデコーダと、マトリックス状に配置されたメモリ領域としてのメモリグレンと、書込／読出回路とを備え、書込／読出回路が各メモリグレンに参照データを書き込んだり読み出したりする。即ち、参照データ保存回路 211, 221 は、行毎にメモリグレンの参照データを書き込んだり、読み出したりする。
- [0113] データ適応型電流モード類似度評価回路 212, 222 は、入力検索データ保存回路と、類似度評価セルと、電流統合回路と、タイムドメインコンバーターを少なくとも備えている。入力検索データ保存回路に保存されている検索データが、各列の類似度評価セルに分けられて入力され、類似度評価セルにおいて、参照データ保存回路の一行の列毎のメモリグレンから読み出された参照データと検索データとの類似度が評価され、電流統合回路に電流値として入力される。電流統合回路では入力された類似度に関する電流値を統合してタイムドメインコンバーターに出力する。タイムドメインコンバーターは入力された電流値を遅延時間に変換する。ここで、「データ適応型」とは、検索データ、参照データの次元数、任意数に適応できるという意味であり、詳細は前述した通りである。
- [0114] 探索部としてのタイムドメイン最小値探索回路 213, 223 は、データ適応型電流モード類似度評価回路 212, 222 から出力される電流値を入力し、検索データに最も類似する参照データに関する電流、即ち、類似度に関する電流を検出し、その検出した値を遅延時間のデータに変換し、参照データ保存回路 211, 221 に記憶されている参照データの各行から最も類似しているもの、即ち、類似度の高い参照データの候補をローカルウィナーとして求める。
- [0115] 比較更新部としての最小値比較更新回路 214 は、メインコア 210 でのみ有効化され、参照データ保存回路 211, 221 から行毎に読み出される参照データから、検索データに最も類似する参照データを比較して更新する。
- [0116] よって、比較更新部としての最小値比較更新回路 214 では、探索部とし

でのタイムドメイン最小値探索回路 2 1 3, 2 2 3 で読み出し及び類似度評価毎に求まるローカルウィナーのうち最も類似度が高い参照データの候補をグローバルウィナーとして求め、一時記憶回路にそのグローバルウィナーの類似度を記憶する。

[0117] 出力用バッファ 2 2 5 は、ブランチコア 2 2 0 のみ有効化され、ブランチコア 2 2 0 のタイムドメイン最小値探索回路 2 2 3 で求めたローカルウィナーを一時的に保存し、そのローカルウィナーをメインコア 2 1 0 の最小値比較更新回路 2 1 4 に出力するためのものである。

[0118] メインコア 2 1 0 では出力用バッファ 2 1 5 を無効化し、ブランチコア 2 2 0 では最小値比較更新回路 2 2 4 を無効化する。図 1 2 において無効化したエレメントは点線で示している。

[0119] 図 1 2 に示すメモリシステム 2 0 0 では、比較更新部としての最小値比較更新回路 2 1 4 が、メインコア 2 1 0 の探索部としてのタイムドメイン最小値探索回路 2 1 3 で求まるローカルウィナーの類似度と一時記憶回路に記憶しているグローバルウィナーの類似度とを比較すると共に、ブランチコア 2 2 0 の探索部のタイムドメイン最小値探索回路 2 2 3 で求まるローカルウィナーの類似度と一時記憶回路に記憶しているグローバルウィナーの類似度とを比較する。

[0120] よって、メインコア 2 1 0 及びブランチコア 2 2 0 で求まる候補、即ち検索データに類似する参照データの候補を再度比較する必要がないため、再度比較するための回路が不要となり、コンパクト化することができる。また、メインコア 2 1 0 の比較更新部としての最小値比較更新回路 2 1 4 のみで比較更新をするようにしている。そのため、探索部による探索は比較更新と並列にすることができ、短い時間で処理をすることができる。

[0121] メインコア 2 1 0 のみ最小値比較更新回路 2 1 4 を有効化して、1 クロック (clock1) 毎に、パイプラインで最小値比較更新回路 2 1 4 に入力されるブランチコア 2 2 0 のローカル Winner (Wビット) の結果と、前ステップの自分連想結果とを比較し、小さい方に書き換えて更新する。これにより

、マルチコアシステム全体から検索データに一番似ている参照データが検出される。マルチコアシステムの接続可能なチップ枚数はローカルWinnerの W と1次元データのビット数 M により決められる。

[0122] 図13は、図12に示すメモリシステムにおいて、類似度評価部、探索部及び比較更新部の主要部分のタイムチャートである。この図では、 $C=4$ 、 $N=1$ 、 $W=8$ 、 R =無制限の場合を想定しており、メインコア210とブランチコア220における動作例を示しており、主に、電流モード類似度評価、及び、2階層パイプラインTD最小値探索のシステム動作を説明している。

[0123] 図14は、図12に示すメモリシステム200の動作を説明するための図である。一個(1Data)の参照データ及び検索データが、 $N(\geq 1)$ 次元のデータから構成され、各次元のデータが M ビットのデジタル値で表される。そして、メモリ部110としての参照データ保存回路は、 $(R \times M)$ 行 $\times C$ 列のメモリセルアレイから構成され、 $R \times C$ ($C \geq N$)の1次元データを保存するメモリグレン119があって、各メモリグレン119には M ビットの値を保存している。メインコア210が2行目の「データ出力とDAC変換」と「TD最小値探索」を処理するために $(2M + 2^{W-1}) - \text{clock}$ がかかり、その間に、ブランチコア220からのローカルWinnerの「最小値比較更新」処理を同時に実行するので、 $(2M + 2^{W-1})$ 枚のコアが同一システムに接続できる。そこで、1次元データのメモリビット数 $M=8$ 、カウンタのビット数 $W=8$ である場合は、144-コアシステムが可能となる。

[0124] ここで、図14に示すように、タイムドメイン最小値探索が最も時間が掛かり、データD/A変換及び類似度評価の処理時間がそれよりも短いことについて言及しておく。

[0125] 本発明の実施形態では、メモリ領域の行毎にデジタル/アナログ変換がなされるので、遅延が生じる。確かに、デジタル/アナログ変換処理により遅延が生じるが、タイムドメイン最小値探索の方はもっと処理時間が長く、支

配的である。従来のアナログアプローチによるNNS連想メモリでは一つのD/A変換で複数の次元の参照データを変換する。一方、本発明の実施形態では、一つのデジタルアナログコンバーターで一つの1次元のデータを変換するので、変換オーバーヘッドがなくなる分、速くなる。ちなみに、アナログアプローチ、デジタルアプローチの何れのNNS連想メモリでも、本発明の実施形態においても、D/A変換ではなく、タイムドメイン信号から最小値、即ち一番早く立ち上がるタイムドメイン信号)を検索するための処理時間の方が支配的である。例えば、D/A変換が8-cycleの時間が必要であるが、タイムドメイン最小値探索の方が100~200-cycleの時間が必要である。それは、早いタイムドメイン信号と遅いタイムドメイン信号とを区別する解像度を実現するために、ある程度長いランプ信号が必要である。0Vから例えば1Vになる時間を十分長くしないと、差の小さい類似度電流同士が区別できなくなるためである。言い換えれば、類似度、即ちデジタルアプローチの連想メモリの場合にはデジタル値、アナログアプローチの連想メモリと本発明の実施形態の場合には電流値をタイムドメイン信号の遅延に変換するので、差の小さい類似度から変換されるタイムドメイン信号の遅延差も小さく、十分長い時間で測らないと、区別し難くなる。

[0126] 本発明の実施形態では、Time-Domain最小値探索速度を改善するために、マルチコアに基づくパイプライン動作を採用している。パイプラインによって、各コアのローカルの長いTime-Domain最小値探索処理時間を吸収して、1クロックで完成させる。このマルチコアに基づくパイプライン方式を使わない場合には、従来のアナログアプローチの連想メモリと同等の速度で、類似する参照データについての情報が得られる。また、参照データ、探索データの次元数を任意に調整することができるようにしているため、次元数が増加し、参照データを格納するメモリグレンの数も増加する。仮に一つのコアのみでデータ処理をすると、図14に示すようにメモリ領域の1行当たりにおける「TD最小値探索」の処理には $(2M + 2^{W-1}) - \text{clock}$ がかかり、次元数の増加に対応して処理するメモリ領域の行数も増加する。ところが、本

発明の実施形態のように、複数のコアを用いてTime-Domain最小値探索処理をするため、検索データに類似する参照データをサーチする時間の増加を抑制することができる。

[0127] [本発明の実施形態に係るメモリシステム]

図12は、本発明の実施形態に係るメモリシステムの構成図である。メモリシステム200はメモリ装置を複数備え、その一つをメインコア210とし、その他をブランチコア220としている。メインコア210、ブランチコア220の何れも同一の構成である。即ち、メインコア210、ブランチコア220の何れの各コアも、メモリ部としての参照データ保存回路211, 221と、類似度評価部としてのデータ適応型電流モード類似度評価回路212, 222と、探索部としてのタイムドメイン最小値探索回路213, 223と、比較更新部としての最小値比較更新回路214, 224と、出力用バッファ（Output Buffer）215, 225とを備えている。

[0128] 参照データ保存回路211, 221は、コラムデコーダと、ローデコーダと、マトリックス状に配置されたメモリ領域としてのメモリグレンと、書込／読出回路とを備え、書込／読出回路が各メモリグレンに参照データを書き込んだり読み出したりする。即ち、参照データ保存回路211, 221は、行毎にメモリグレンの参照データを書き込んだり、読み出したりする。

[0129] データ適応型電流モード類似度評価回路212, 222は、入力検索データ保存回路と、類似度評価セルと、電流統合回路と、タイムドメインコンバーターを少なくとも備えている。入力検索データ保存回路に保存されている検索データが、各列の類似度評価セルに分けられて入力され、類似度評価セルにおいて、参照データ保存回路の一行の列毎のメモリグレンから読み出された参照データと検索データとの類似度が評価され、電流統合回路に電流値として入力される。電流統合回路では入力された類似度に関する電流値を統合してタイムドメインコンバーターに出力する。タイムドメインコンバーターは入力された電流値を遅延時間に変換する。ここで、「データ適応型」とは、検索データ、参照データの次元数、任意数に適応できるという意味であ

り、メインコア 210 及びブランチコア 220 を構成するメモリ装置の具体的な構成について例えば図 5 を参照しながら詳細には後述する。

[0130] 探索部としてのタイムドメイン最小値探索回路 213, 223 は、データ適応型電流モード類似度評価回路 212, 222 から出力される電流値を入力し、検索データに最も類似する参照データに関する電流、即ち、類似度に関する電流を検出し、その検出した値を遅延時間のデータに変換し、参照データ保存回路 211, 221 に記憶されている参照データの各行から最も類似しているもの、即ち、類似度の高い参照データの候補をローカルウィナーとして求める。

[0131] 比較更新部としての最小値比較更新回路 214 は、メインコア 210 でのみ有効化され、参照データ保存回路 211, 221 から行毎に読み出される参照データから、検索データに最も類似する参照データを比較して更新する。

[0132] よって、比較更新部としての最小値比較更新回路 214 では、探索部としてのタイムドメイン最小値探索回路 213, 223 で読み出し及び類似度評価毎に求まるローカルウィナーのうち最も類似度が高い参照データの候補をグローバルウィナーとして求め、一時記憶回路にそのグローバルウィナーの類似度を記憶する。

[0133] 出力用バッファ 225 は、ブランチコア 220 のみ有効化され、ブランチコア 220 のタイムドメイン最小値探索回路 223 で求めたローカルウィナーを一時的に保存し、そのローカルウィナーをメインコア 210 の最小値比較更新回路 214 に出力するためのものである。

[0134] メインコア 210 では出力用バッファ 215 を無効化し、ブランチコア 220 では最小値比較更新回路 224 を無効化する。図 12 において無効化したエレメントは点線で示している。

[0135] 図 12 に示すメモリシステム 200 では、比較更新部としての最小値比較更新回路 214 が、メインコア 210 の探索部としてのタイムドメイン最小値探索回路 213 で求まるローカルウィナーの類似度と一時記憶回路に記憶

しているグローバルウィナーの類似度とを比較すると共に、ブランチコア 220 の探索部のタイムドメイン最小値探索回路 223 で求まるローカルウィナーの類似度と一時記憶回路に記憶しているグローバルウィナーの類似度とを比較する。

[0136] よって、メインコア 210 及びブランチコア 220 で求まる候補、即ち検索データに類似する参照データの候補を再度比較する必要がないため、再度比較するための回路が不要となり、コンパクト化することができる。また、メインコア 210 の比較更新部としての最小値比較更新回路 214 のみで比較更新をするようにしている。そのため、探索部による探索は比較更新と並列にすることができ、短い時間で処理をすることができる。

[0137] メインコア 210 のみ最小値比較更新回路 214 を有効化して、1クロック(clock1)毎に、パイプラインで最小値比較更新回路 214 に入力されるブランチコア 220 のローカルWinner (Wビット) の結果と、前ステップの連想結果とを比較し、小さい方に書き換えて更新する。これにより、マルチコアシステム全体から検索データに一番似ている参照データが検出される。マルチコアシステムの接続可能なチップ枚数はローカルWinnerのWと1次元データのビット数Mにより決められる。

[0138] メモリシステム 200 の詳細を説明する前提として、メインコア 210、ブランチコア 220 の具体的な構成を幾つか説明する。

[0139] [メインコア及びブランチコアの具体的な構成その1]

図5は、図12のメモリシステムを構成するメインコア及びブランチコアとなるメモリ装置 100 の構造図である。メモリ装置 100 は、メモリ部 110 と、類似度評価部 130 と、探索部 150 と、比較更新部 170 と、を備える。なお、ブランチコア 220 では比較更新部 170 を無効化すればよい。

[0140] メモリ部 110 は、参照データ保存回路とも呼ばれ、ローデコーダ 111 とコラムデコーダ 112 とメモリ領域 113 と読出／書込回路 114 とを備え、メモリ領域 113 内のメモリグレン 119 に参照データを書き込み及び

読み出しできるように構成されている。メモリ領域 113 は、 N (≥ 1) 次元からなり 1 次元が M (≥ 1) ビットからなる複数の参照データが次元毎に分けられて記憶されている。メモリ領域 113 は、 M ビットのメモリを 1 単位として構成する任意数 (ただし、 $1 \leq k \leq N$) のメモリグレン (MG) 119 をマトリックス状に備えている。図 5 では、 $(R \times M)$ 行 C 列のメモリグレン 119 を備えて、列毎に読出／書込回路 114 を備えている。複数の読み出し回路としての読出／書込回路 114 のそれぞれは、対応するメモリグレン 119 から参照データを読み出す。ここで、図 5 は任意数 k が 1 である場合を示している。

[0141] 類似度評価部 130 は、入力検索データ保存回路 131 と、デジタル／アナログコンバーター (DAC: Digital Analog Converter) 132 と、 C/N 個の参照データと検索データの類似度を並列に計算し電流として出力する C 個の類似度評価セル (Similarity Evaluation Cell) 133 と、切替スイッチ 134 と、参照データの次元数に応じて C 個の類似度電流を統合する電流統合回路 (CA: Current Accumulator) 135 と、統合した類似度電流を C/N 個の Time-Domain 電圧遅延信号に変換するタイムドメインコンバーター (TDC: Time Domain Converter) 136 と、を備える。

[0142] デジタル／アナログコンバーター 132、類似度評価セル 133、切替スイッチ 134、電流統合回路 135 及びタイムドメインコンバーター 136 はコラムライン数だけ備えている。列毎に、読出／書込回路 114 からデジタル／アナログコンバーター 132 にデジタルデータが電圧値として入力され、デジタル／アナログコンバーター 132 においてデジタルデータがアナログデータに変換されて、類似度評価セル 133 に出力される。

[0143] 類似度評価セル 133 は、入力された二つのデータについての類似度を求める。一つ目のデータは、検索データが次元毎に分解されて入力検索データ保存回路 131 から出力されたデータであって、次元数毎の当該検索データの電圧値である。二つ目のデータは、読出／書込回路 114 からデジタル／アナログコンバーター 132 を経由して入力された参照データの電圧値であ

る。

[0144] 類似度評価セル 133 は、一つ目のデータと二つ目のデータとの類似度を電流値として求めて出力する。電流値がゼロの場合は一つ目のデータと二つ目のデータは同一と評価し、電流値が大きい場合は一つ目のデータと二つ目のデータは異なると評価することになる。つまり、参照データが検索データと似ていると、出力される電流値は小さくなる。

[0145] 好ましいメモリ装置 100 では、切替スイッチ 134 が列毎に備わっている。切替スイッチ 134 は、第 1 のスイッチ 134 a と第 2 のスイッチ 134 b とが連動するように構成されている。第 1 のスイッチ 134 a は、第 j 列番目の類似度評価セル 133 と第 $(j + 1)$ 列番目の類似度評価セル 133 との間に設けられている。ここで、 j は 1 以上（列数 - 1）以下の自然数である。第 2 のスイッチ 134 b は、各列の類似度評価セル 133 と電流統合回路 135 との間に設けられている。第 1 のスイッチ 134 a と第 2 のスイッチ 134 b は、何れも、外部からの次元制御信号（DCS : Dimension Control Signal）により制御され、外部からの次元制御信号が入力される線は、第 1 のスイッチ 134 a の制御電極、第 2 のスイッチ 134 b の制御電極の何れかに接続され、その何れかの配線の間には、NOT 回路 134 c が含まれている。これにより、第 1 のスイッチ 134 a が ON の場合には第 2 のスイッチ 134 b が OFF となる一方、第 1 のスイッチ 134 a が OFF の場合には第 2 のスイッチ 134 b が ON となる。次元制御信号は、メモリ領域 113 に記憶されている参照データの次元に対応して、切替スイッチ 134 を制御する。

[0146] 好ましいメモリ装置 100 では、 N 次元の参照データが、メモリグレン MG_{ij} からメモリグレン $MG_{i,j+n-1}$ まで、次元に分けて記憶されているとすると、当該 N 次元の参照データが検索データと類似しているかどうかを評価するには、第 j 列番目の類似度評価セル SEC_j から第 $(j + N - 1)$ 列番目の類似度評価セル SEC_{j+N-1} までの各類似度を加算する必要がある。

[0147] 好ましいメモリ装置 100 では、各類似度を加算するために、第 j 列番目

の類似度評価セル SEC_j と第 $(j+1)$ 列番目の類似度評価セル SEC_{j+1} との間に第 1 のスイッチ 134 a を設け、第 j 列番目の類似度評価セル SEC_j と第 j 列番目の電流統合回路 CA_j との間に第 2 のスイッチ 134 b を設けている。

[0148] 外部の次元制御信号により、第 1 のスイッチ 134 a が N 個の類似度評価セル 133 を接続した状態にする。類似度評価セル 133 の入力端子に次元毎の検索データの電圧を印加し、類似度評価セル 133 から出力される電流値を電流統合回路 135 に入力して、電流統合回路 135 に一旦保存する。その後、類似度評価セル 133 の入力端子に次元毎の参照データの電圧を印加し、類似度評価セル 133 から出力される電流値を電流統合回路 135 に入力して、保存している電流値との差分を計算する。このように、類似度評価セル 133 と電流統合回路 135 との連携により、複数列に分散して記憶されている参照データが検索データに類似しているか否かを、電流値により求めることができる。

[0149] タイムドメインコンバーター 136 は、電流統合回路 135 から出力された電流値を遅延時間に変換する。よって、好ましいメモリ装置 100 では、切替スイッチ 134 により接続された各類似度評価セル 133 のうち、列番号が最も大きい最端（例えば右端）の類似度評価セル 133 からタイムドメインコンバーター 136 に電流値が入力されることにより、複数列に分散して記憶されている参照データが検索データに類似しているか否かを、時間遅延の値として求めることができる。類似度が高いほど、時間遅延の値が小さくなる。変換された遅延時間信号は、何れも、探索部 150 に入力される。

[0150] 探索部 150 は、 C/N 個のタイムドメイン電圧遅延信号から最短値を検出しその最短遅延をカウンタで最小クロック数に変換する TD (Time Domain) 最小値探索回路 151 を備えている。TD 最小値探索回路 151 は、類似度評価部 130 における各タイムドメインコンバーター 136 から入力された時間遅延信号のうち、最も時間遅延の短いもの、すなわち、タイムドメインの最小値を探索する。探索した最も遅延時間の短い値は、 W ビットのカウ

ンタでカウントされ、そのカウント値が比較更新部 170 に出力される。

[0151] 比較更新部 170 は、得られる最小クロック数を、保存している以前計算したクロック数と比較し小さい方をアップデートする最小値比較更新回路 171 を備えている。最小値比較更新回路 171 は、メモリ部 110 の読み出しの繰り返し毎に、探索部 150 から入力されたカウント値と自ら保存しているカウント値とを比較し、カウント値が低い方を記憶する。これにより、メモリ部 110 の読み出しの繰り返しが終了すると、低いカウント値が求まり、結果として、検索データに最も類似する参照データのカウンタ値が求まる。このカウンタ値は、メモリ部 110 のアドレスに対応させることで、メモリ部 110 において最も類似する参照データのアドレスが求まる。

[0152] 図 5 に示すメモリ装置 100 の動作説明は、次の通りである。

[0153] 先ず、入力検索データ保存回路 131 は、入力された検索データを次元毎に分けて、デジタル／アナログコンバーター 132 でアナログ電圧に変換し、類似度評価セル 133 に入力する。

[0154] 次に、読出／書込回路 114 を経て、C 個のメモリグレン 119 からそれぞれ出力される 1 次元分の参照データ (M ビット) を同様にデジタル／アナログコンバーター 132 でアナログ電圧に変換し、検索データの入力後から、並列に C 個の類似度評価セル 133 に入力する。もしデジタル／アナログコンバーター 132 がシリアルである場合では、M ビットデータを変換するために、M クロックの時間がかかる。

[0155] 次に、類似度評価セル 133 は、次元毎に検索データ (1 次元) の電圧と参照データ (1 次元) の電圧との類似度を電流として出力する。

[0156] その際、先ず、外部の次元制御信号が、参照データ及び検索データの次元数に応じて、類似度評価セル 133 の間の第 1 のスイッチ 134 a が ON 状態となるように制御し、第 1 のスイッチ 134 a が ON 状態となっている類似度評価セル 133 同士の電流を加算し、C 個の類似度評価セル 133 の電流を C/N 個の電流統合回路 135 で統合し対応するタイムドメインコンバーター 136 へ出力する。電流が小さい方が高い類似度を有する。同じ次元

制御信号により、第2のスイッチ134bをOFF状態にして、必要のない電流統合回路135とタイムドメインコンバーター136を接続しないように無効化する。

[0157] 次に、タイムドメインコンバーター136が、統合されたC/N個の類似度電流をタイムドメイン電圧遅延信号に変換し、並列に探索回路としての最小値探索回路（タイムドメイン（TD）最小値探索回路）151へ出力する。

[0158] 次に、第1階層（ローカル）の最小値探索処理として、最小値探索回路（タイムドメイン（TD）最小値探索回路）151で、1行分のC/N個の参照データに対応するタイムドメイン電圧遅延信号から最も類似度が高いもの、すなわち遅延の短いものを求め、Wビットのカウンタでその遅延を遅延中のクロック数であるデジタル値に変換し、最小値比較更新回路171へ出力する。Wビットのカウンタは、最大 2^W クロックの遅延を持つタイムドメイン電圧遅延信号に変換され、この最大遅延に比例する類似度電流変換の解像度が得られる。つまり、Wが大きければ、もっと小さい類似度電流差が得られる。

[0159] 次に、第2階層（グローバル）の最小値探索処理として、最小値比較更新回路171で、メインコア210で得られたWinner（ローカルWinner）のデジタル遅延値、又は、ブランチコア220で得られ入力されたWinner（ローカルWinner）のデジタル遅延値を、回路内に保存されている全ステップの値と比較して、小さい方を書き換えて更新する。この更新を繰り返すことで、メインコア210及びブランチコア220内の全ての参照データから一番似ているものが、最後に、最小値比較更新回路171の中に保存され連想処理結果になる。

[0160] [メモリシステムの動作]

ここで、図12に示すメモリシステム200の動作について説明する。

[0161] 図13は、図12に示すメモリシステムにおいて、類似度評価部、探索部及び比較更新部の主要部分のタイムチャートである。この図では、 $C=4$ 、

N = 1、W = 8、R = 無制限の場合を想定しており、メインコア 210 と ブランチコア 220 における動作例を示しており、主に、電流モード類似度評価、及び、2 階層パイプライン TD 最小値探索のシステム動作を説明している。

[0162] 図 14 は、図 12 に示すメモリシステム 200 の動作を説明するための図である。一個 (1 Data) の参照データ及び検索データが、N (≥ 1) 次元のデータから構成され、各次元のデータが M ビットのデジタル値で表される。そして、メモリ部 110 としての参照データ保存回路は、(R $\times$ M) 行 $\times$ C 列のメモリセルアレイから構成され、R $\times$ C ($C \geq N$) の 1 次元データを保存するメモリグレン 119 があって、各メモリグレン 119 には M ビットの値を保存している。メインコア 210 が 2 行目の「データ出力と DAC 変換」と「TD 最小値探索」を処理するために (2M + 2^{W-1}) - clock がかかり、その間に、ブランチコア 220 からのローカル Winner の「最小値比較更新」処理を同時に実行するので、(2M + 2^{W-1}) 枚のコアが同一システムに接続できる。そこで、1 次元データのメモリビット数 M = 8、カウンタのビット数 W = 8 である場合は、144 - コアシステムが可能となる。

[0163] ここで、図 14 に示すように、タイムドメイン最小値探索が最も時間が掛かり、データ D/A 変換及び類似度評価の処理時間がそれよりも短いことについて言及しておく。

[0164] 本発明の実施形態では、メモリ領域の行毎にデジタル/アナログ変換がなされるので、遅延が生じる。確かに、デジタル/アナログ変換処理により遅延が生じるが、タイムドメイン最小値探索の方はもっと処理時間が長く、支配的である。従来のアナログアプローチによる NNS 連想メモリでは一つの D/A 変換で複数の次元の参照データを変換する。一方、本発明の実施形態では、一つのデジタルアナログコンバーターで一つの 1 次元のデータを変換するので、変換オーバーヘッドがなくなる分、速くなる。ちなみに、アナログアプローチ、デジタルアプローチの何れの NNS 連想メモリでも、本発明

の実施形態においても、D/A変換ではなく、タイムドメイン信号から最小値、即ち一番早く立ち上がるタイムドメイン信号を検索するための処理時間の方が支配的である。例えば、D/A変換が8-cycleの時間が必要であるが、タイムドメイン最小値探索の方が100~200-cycleの時間が必要である。それは、早いタイムドメイン信号と遅いタイムドメイン信号とを区別する解像度を実現するために、ある程度長いランプ信号が必要である。0Vから例えば1Vになる時間を十分長くしないと、差の小さい類似度電流同士が区別できなくなるためである。言い換えれば、類似度、即ちデジタルアプローチの連想メモリの場合にはデジタル値、アナログアプローチの連想メモリと本発明の実施形態の場合には電流値をタイムドメイン信号の遅延に変換するので、差の小さい類似度から変換されるタイムドメイン信号の遅延差も小さく、十分長い時間で測らないと、区別し難くなる。

[0165] 本発明の実施形態では、Time-Domain最小値探索速度を改善するために、マルチコアに基づくパイプライン動作を採用している。パイプラインによって、各コアのローカルの長いTime-Domain最小値探索処理時間を吸収して、1クロックで完成させる。このように、メインコア210の比較更新部のみで比較更新をするようにし、探索部による探索は比較更新と並列に行う。よって、各コアの比較更新をパイプラインで処理することができ、任意のクロック数例えば1クロックで、読み出し毎に、読み出された参照データに対する連想計算がなされる。なお、このマルチコアに基づくパイプライン方式を使わない場合には、従来のアナログアプローチの連想メモリと同等の速度で、類似する参照データについての情報が得られる。また、参照データ、探索データの次元数を任意に調整することができるようにしているため、次元数が増加し、参照データを格納するメモリグレンの数も増加する。仮に一つのコアのみでデータ処理をすると、図14に示すようにメモリ領域の1行当たりにおける「TD最小値探索」の処理には $(2M + 2^{W-1}) - \text{clock}$ がかかり、次元数の増加に対応して処理するメモリ領域の行数も増加する。ところが、本発明の実施形態のように、複数のコアを用いてTime-Domain最小値探索処

理をするため、検索データに類似する参照データをサーチする時間の増加を抑制することができる。

[0166] メインコア210及びブランチコア220は、図5に示すメモリ装置100のように構成されていなくても、図3、図4、図6、図7などを参照して以下説明するようなメモリ装置100であってもよい。その際、必要に応じて設計変更が要求される場合がある。

[0167] [メインコア及びブランチコアの具体的な構成その2]

図3は図12のメモリシステムを構成するメインコア及びブランチコアとなるメモリ装置の構成図である。メモリ装置100は、図5と同様、メモリ部110と、類似度評価部130と、探索部150と、比較更新部170と、を備える。図5に示す形態とは、デジタル／アナログコンバーター132、タイムドメインコンバーター136を備えていない点で異なる。なお、図7での切替スイッチ134の機能は、図5での切替スイッチ134のそれと同様である。

[0168] [メインコア及びブランチコアの具体的な構成その3]

図4は図12のメモリシステムを構成するメインコア及びブランチコアとなるメモリ装置100の構成図である。図4に示す形態は、類似度評価部130の構成が図3と異なり、任意数 k が2として設計製造されている。複数の類似度評価セル133がセル群に区分されており、図4に示すように、奇数列目の類似度評価セル133と偶数列目の類似度評価セル133とがセル群133aを構成しており、電流統合回路135が一つのセル群133aに対応している。そして、電流統合回路135が、対応している一つのセル群133aとは別のセル群133aにおける任意数の類似度評価セル133から出力された電流を統合するように、切替スイッチ134が設けられている。

[0169] つまり、図4では、図3とは異なり、切替スイッチ134が列毎に設けられておらず、奇数列目の一つの類似度評価セル133と偶数列目の一つの類似度評価セル133とがセル群133aを構成しており、第2のスイッチ1

3 4 b が、偶数列目の一つの類似度評価セル 1 3 3 とそのセル群 1 3 3 a に対応した電流統合回路 1 3 5 との間に設けられ、第 1 のスイッチ 1 3 4 a が、セル群 1 3 3 a と隣のセル群 1 3 3 a との間に設けられている。

[0170] よって、第 1 のスイッチ 1 3 4 a、第 2 のスイッチ 1 3 4 b の何れか一方を ON にし、他方を OFF にすることにより、4 個の類似度評価セル 1 3 3 からの類似度電流を統合することもでき、2 個の類似度評価セル 1 3 3 からの類似度電流を統合することもできる。

[0171] その際、第 2 のスイッチ 1 3 4 b の OFF により、類似度評価セル 1 3 3 からの電流が流れない電流統合回路 1 3 5 には電力を供給しないように制御することにより、省電力化を図ることができる。

[0172] ここで、図 4 では、セル群は 2 つの類似度評価セル 1 3 3 を有しているが、3 以上の任意数であってもよい。これにより、検索データ及び参照データの次数以外の数によっても柔軟に対応することができる。セル群における類似度評価セル 1 3 3 の任意数は、後述するように、図 7 に示す一つのパワードライバー 1 1 8 が電力供給するメモリグレン 1 1 9 の任意数と等しくなるように設定してもよい。

[0173] [メインコア及びブランチコアの具体的な構成その 4]

図 6 は、図 1 2 のメモリシステムを構成するメインコア及びブランチコアとなるメモリ装置の構成図であって、図 4 のメモリ装置 1 0 0 の具体的な形態を示す構成図である。図 6 に示すメモリ装置 1 0 0 では、各類似度評価セル 1 3 3 の前段にデジタル／アナログコンバーター 1 3 2 を設けている。デジタル／アナログコンバーター 1 3 2 は入力されたデジタル電圧をアナログ電圧に変換し、類似度評価セル 1 3 3 に出力する。電流統合回路 1 3 5 の後段にはタイムドメインコンバーター 1 3 6 を設け、タイムドメインコンバーター 1 3 6 は電流統合回路 1 3 5 から出力された電流値を遅延時間に変換する。よって、切替スイッチ 1 3 4 により接続された各類似度評価セル 1 3 3 のうち、最端（例えば右端）の類似度評価セル 1 3 3 からの電流値がタイムドメインコンバーター 1 3 6 に入力されることにより、複数列に分散して記

憶されている参照データが検索データに類似しているか否かを時間遅延の値として求めることができる。

[0174] 図5及び図6に示す形態では、類似度評価セル133の前段にデジタル／アナログコンバーター132を設け、類似度評価セル133はデジタル／アナログコンバーター132で変換されたデータに基いて、類似度を評価するための値としてアナログ電流を求めて、電流統合回路135に出力し、参照データが検索データに類似しているかどうか電流値の差として求められる。

[0175] [メインコア及びブランチコアの具体的な構成その5]

本発明の実施形態においては、類似度評価セル133の前段にデジタル／アナログコンバーター132を設ける必要はなく、次のようにしてもよい。類似度評価セル133に、検索データのデジタル電圧値と参照データのデジタル電圧値が順に入力され、類似度評価セル133において類似度を評価するためのデジタル値が求められ、類似度評価セル133の後段に設けたデジタル／アナログコンバーター（図示せず）によりアナログ値に変換されて、電流統合回路135に出力するようにしてもよい。なお、その際の類似度評価セル133は、デジタルアプローチで使用されている回路を適宜変更して使用すればよい。

[0176] [メインコア及びブランチコアの具体的な構成その6]

前述の実施形態では、電流統合回路135からの出力をタイムドメインコンバーター136により遅延時間に変換し、最短遅延時間を求めている。しかしながら、本発明の実施形態はこれに限定されることなく、次のようにしてもよい。アナログ電圧の最小値をアナログの値のまま直接比較更新する回路を設けたり、アナログ電圧の最小値をデジタル値に変換する回路とそのデジタル値を比較更新する回路とを設けたりする。一例を挙げると、各電流統合回路からの出力端に各抵抗を接続することにより、各電流統合回路から流れるアナログ電流をアナログ電圧に変換し、その電圧のうち最小値を探索してもよい。そのためには、例えば図5、図3、図4、図6に示す探索部15

0をアナログ電圧最小値探索回路で構成すればよい。具体的なアナログ電圧最小値探索回路の例は図33を参照して後述する。この場合、出力された値をデジタル変換するアナログ／デジタルコンバーターなどを設けるなどする必要はある。

[0177] [メインコア及びブランチコアの具体的な構成その7]

次に、メインコア及びブランチコアを構成するメモリ装置100におけるメモリ部110の好ましい形態について説明する。図7は好ましいメモリ部を有するメモリ装置の構成図である。メモリ部110は、 $(R \times M)$ 行C列のメモリセルアレイから構成されて $(R \times C) / N$ 個の参照データを保存している参照データ保存回路を備えている。なお、図10は図4に対応した構成図としているが、図3、図4、図6に示す他の形態であっても採用することができる。

[0178] メモリ部110としての参照データ保存回路には、 $R \times C$ ($C \geq N$) の1次元データを保存するメモリグレイン (MG: Memory Grain) 119があって、各メモリグレイン119にはMビットの値を保存している。各メモリグレイン119にパワーゲーティングのためのパワードライバー (PD: Power Driver) 118が設置され、パワードライバー118が行デコーダ、列デコーダ及びクロック1 (clk, 1) により独立に電力の供給について制御する。すなわち、一行のメモリグレイン (MG) 119には、 C / N 個の参照データが保存されており、各参照データを並列に類似度評価セル133に出力して連想認識が実行される。

[0179] 以下、図7に示すメモリ装置100のメモリ部110について更に詳細に説明する。

メモリ部110としての参照データ保存回路は、ローデコーダ111、コラムデコーダ112、メモリ領域113、及び読出／書込回路114で構成される。メモリ領域113は、複数のローライン115と、複数のビットライン116と、複数の本のコラムライン117と、複数のパワードライバー (PD) 118と、複数のメモリグレイン (MG) 119とを備える。メモリグ

レン 1 1 9 は不揮発性メモリで構成されている。

[0180] ローデコーダ 1 1 1 には複数本のローライン 1 1 5 が接続されており、コラムデコーダ 1 1 2 には複数本のコラムライン 1 1 7 が接続されている。

[0181] メモリ領域 1 1 3 は複数の領域に分けられ、各領域は 1 以上 N 以下の任意数のコラムライン 1 1 7 と M 本のローライン 1 1 5 とで指定され、領域毎にパワードライバー 1 1 8 とメモリグレン 1 1 9 とが組として備えられている。ここで、コラムライン 1 1 7 の任意数と、ローライン 1 1 5 の本数と、ビットライン 1 1 6 の本数とは、何れも設計時に設定され、その設定に従って製造される。ここで、「任意数」とはメモリ装置を利用するユーザにより定められる場合なども含まれ、単に、設計・製造時に一定の値に定められる場合も含まれる。図 7 では、領域毎に、コラムライン 1 1 7 は 1 本とし、ローライン 1 1 5 は M 本として、ビットライン 1 1 6 は M 本としている。ここで、自然数 M、N の定義は、図 1 及び図 2 を参照して前述した検索データ 1 0 及び参照データ 3 0 での定義と同じである。

[0182] 本発明の実施形態では、メモリ領域 1 1 3 において任意数のコラムライン 1 1 7 と M 本のローライン 1 1 5 とにより指定される領域毎に、M ビットの不揮発性メモリを 1 単位として構成するメモリグレン 1 1 9 と、メモリグレン 1 1 9 に電力を供給するパワードライバー 1 1 8 とが組として備えられている。ここで、領域毎のコラムライン 1 1 7 は任意数個であり、ここで、「任意数」とはメモリ装置を利用するユーザにより定められる場合なども含まれ、単に、設計・製造時に一定の値に定められる場合も含まれる。領域毎のメモリグレン 1 1 9 の任意数個と等しく、図 7 では 1 個としている。

[0183] 本発明の実施形態では、或る一つのパワードライバー 1 1 8 が、任意数のコラムライン 1 1 7 からの制御信号の入力と、M 本のローライン 1 1 5 からの制御信号の入力と、クロック信号の入力とを受け、クロック信号に同期して、パワードライバー 1 1 8 と組となるメモリグレン 1 1 9 に電力を供給する。これにより、そのメモリグレン 1 1 9 に格納されている次元毎の参照データを読み出し、ビットライン 1 1 6 を通じてその列の読出／書込回路 1 1

4に出力する。

[0184] よって、メモリ領域113の全体に電力を供給するのではなく、読み出す各領域のメモリグレン119に電力を供給することで、必要な場所にのみ電力を供給すると共に、クロック信号の入力により必要な時間のみ電源供給をする。従って、メモリ領域113に格納されている参照データを読み出す際の消費電力を大幅に減らすことができる。

[0185] 図7に示すように、メモリグレン119は、 $MG_{11} \sim MG_{RC}$ まで、R行C列存在するので、ローデコーダ111からの制御信号が流れる1又は複数本のローライン115と、コラムデコーダ112から制御信号が流れる1又は複数本コラムライン117とで1又は複数のパワードライバー118が指定され、その指定されたパワードライバー118においてクロック信号“1”が入力されると、入力されている間のみ、パワードライバー118から、組となるメモリグレン119に電力が供給される。指定されたパワードライバー118においてクロック信号“0”が入力されると、組となるメモリグレン119に電力の供給が停止される。なお、パワードライバー118は、クロック信号“0”が入力されると組となるメモリグレン119に電力を供給し、クロック信号“1”が入力されると組となるメモリグレン119に電力を供給しないようにしてもよい。ここで、クロック信号“0”、“1”は、“H”、“L”に対応している。

[0186] ここで、M本のローライン115からの制御信号の入力は、1本乃至M本のうち所定本数毎に順番になされてもよいし、1本乃至M本まで同時になされてもよい。

[0187] ここで、図7に示すメモリ装置100において、省電力化が達成できていることを詳細に説明する。図8乃至図10は、メインコア及びブランチコアを構成するメモリ装置におけるメモリ部とその動作及び消費電力について、従来技術のそれらと比較するための図である。

[0188] 図8は、メインコア及びブランチコアを構成するメモリ装置におけるメモリ部とその動作及び消費電力について模式的に示す図である。図8の上段は

、メモリ部110を模式的に示し、図8の中段は、Data#1、Data#2、Data#3を順に行毎に読み出したときに、どの行の領域からデータが読み出されるかを示す。図8の下段は、横軸が時間、縦軸が消費電力、奥行きがメモグレンの位置を示している。

[0189] 参照データの次元毎に（1個のメモリグレン毎に）パワードライバー118を備えて、細粒度パワーゲーティングを用いるだけでなく、任意のコラムライン117を複数本同時にアクティベートすることを可能にして1Data内の必要なデータ次元に対応した必要なメモリグレン119のみに柔軟に電力を供給する。その上に、パワードライバー118に動作演算のクロック信号を入力し、クロック信号に同期して、パワードライバー118から対応のメモリグレン119に電力を供給する。

[0190] この読み出し制御によって、演算に必要なデータが演算動作中のみ、電力を消費することになり、演算動作のクロック信号が入っていない場合には電力を消費しない。さらに、読み出しの時にクロックパルスが“0”のときのみ電力消費がある。クロックパルスが“1”（クロック前半）の時はpre-charge、すなわちビットライン116を0Vにプレチャージし、電力を供給する必要がなく、演算動作中の消費電力が半減する。

[0191] 例えば、データ#1（Data#1）では、参照データの全ての次元の出力が必要な場合、クロックを用いているので、読み出しの際に、消費電力が半減する。この理由は次の通りである。クロック制御の導入により、1クロックの前半、すなわちクロック信号が“H”であるときメモリグレン119に電力を供給しないで、プレチャージする。1クロックの後半、すなわちクロック信号が“L”であるとき指定のメモリグレン119に電力を供給して、データを読み出す。このプレチャージは、電力供給を高速で切り換える際にdisturb誤動作が発生しないようにするため、参照データを読み出す際に、データが書き換えられない。

[0192] データ#2（Data#2）では、動作演算のクロックの制御により、パワードライバー118が動作していないので、動的にメモリの動作も停止し

、消費電力を最小化することができる。

[0193] データ#3 (Data#3) では、参照データの一部の次元のデータ出力が必要な場合、必要最低限のメモリゲレン119だけに電力を供給して、消費電力の最適化を図ることができる。

[0194] 図7に示すメモリ装置100では、メモリ部110が、Cycle-based 粒度制御可能なパワーゲーティングに基いた不揮発性メモリで構成されている。この構成により、待機時の消費電力をゼロにする上、メモリ部110の必要な部分に電力を供給し、不要な部分には電力を供給しないため、消費電力を減らすことができる。

[0195] 不揮発性メモリは、小面積、高速、高安定、低書込電流など色々異なる性能に重視してそれぞれ開発されてきた経緯があるが、ここでは、Cycle-based 粒度制御可能なパワーゲーティングを実現するために、高速且つ安定の不揮発メモリセルが必要である。本発明の実施形態では、一般的には差動対型のSTT-MRAMメモリセルを利用するとよい。この点については実装例で詳細に説明する。

[0196] 実装例において後述するように、高速で探索することができ、かつ、Cycle-based 粒度制御可能なパワーゲーティングが実現できたのは、次の理由による。

[0197] 第1には、電力が供給されたらすぐに反応でき、高速かつ安定な動作を特徴とする差動対型STT-MRAMメモリセル（例えば4T-2MTJセル）を採用しているからである。4T-2MTJセルは、より速くMTJからデータを読み出せ、高速の電源ON/OFFによるdisturb誤動作が発生しないという特徴がある。

[0198] 第2には、高速でデータを読み出すために、電力を供給する前に、ビットラインに邪魔な電荷をたまらないように、0Vにpre-chargeするからである。

[0199] 図7に示すメモリ装置100では、Cycle-based粒度制御可能なパワーゲーティングに基づく不揮発性メモリ装置により、連想メモリの超低電力化を図

ることができる。類似度評価部130の切替スイッチ134により、データ次元数に応じてシステムを再構成するわけだが、Cycle-based粒度制御可能なパワーゲーティングに基づく不揮発性メモリ装置は、その再構成に応じて必要最小限のメモリに電力を供給するため、動作時消費電力を最適化できる。

[0200] 従来のNNS連想メモリでのデジタルアプローチ及びアナログアプローチ（以下、「従来のアプローチ」とする。）でのメモリ部は、次の通りである。図9は、従来のアプローチでのメモリ部510とその動作及び消費電力について模式的に示す図である。図9の上段は、メモリ部510を模式的に示し、図9の中段は、Data#1、Data#2、Data#3を行毎に順に読み出したとき、どの行の領域からデータが読み出されるかを示す。図9の下段は、横軸が時間、縦軸が消費電力、奥行きがメモグレンの位置を示している。

[0201] 従来のアプローチでは、メモリ部510のメモリ領域は揮発性のSRAMで構成されている。そのため、全てのメモグレン519に、参照データを書き込む際、データ#1の読出しの際、データ#2の読出しの際、データ#3の読出しの際の何れも、常に電力を供給する必要がある。なお、符号511はローデコーダであり、符号512はコラムデコーダである。

[0202] 図10は、従来のSTT-MRAMから構成されたメモリ部とその動作及び消費電力について模式的に示す図である。図10の上段は、メモリ部610を模式的に示し、図10の中段は、Data#1、Data#2、Data#3を行毎に順に読み出したときに、どの行の領域からデータが読み出されるかを示す。図10の下段は、横軸が時間、縦軸が消費電力、奥行きがメモグレンの位置を示している。

[0203] 非特許文献9に示す従来のSTT-MRAMでは、細粒度パワーゲーティング技術を用いて、1Dataの参照データ毎に、即ちN個のメモグレン619毎にパワードライバー618を備え、独立電源供給できる。そのため、参照データの書き込みの際、データ#1の読み出しの際、データ#2の読み出しの際、及びデータ#3の読み出しの際にも、コラムデコーダとローデコーダ

のアドレスによって指定されるアクセス参照データのlocationに応じて電力を供給することができ、不要なメモリの場所に電力を供給する必要がない。しかしながら、Data毎のパワーゲーティングなので、1Data内の全ての次元のデータを読み出すために全てのメモリグレン619は同時に電力を供給される。なお、符号611はローデコーダであり、符号612はコラムデコーダである。

[0204] ここで、R行4列のメモリグレンを備えるチップとして、1～4次元参照データに応じて再構成したシステムアーキテクチャ（コラム数C=4の場合）について説明する。図11Aは、参照データが一次元である場合のメモリ装置の再構成を示す図であり、図11Bは、参照データが二次元である場合のメモリ装置の再構成を示す図であり、図11Cは、参照データが三次元である場合のメモリ装置の再構成を示す図であり、図11Dは、参照データが四次元である場合のメモリ装置の再構成を示す図である。これらの図は、不揮発性メモリ装置のCycle-based 粒度制御可能なパワーゲーティングの動作状態を示しており、メモリ部110においてメモリグレン119に電力が供給されていないものは点線で示している。類似度評価部130においても無効化した部分は点線で示しており、無効化していない部分は実線で示している。

[0205] 本発明の実施形態に係るメモリシステム200は、図12に示すように、次のようなメインコア210と一又は複数のブランチコア220とを備えて構成されてもよい。

メインコア210及びブランチコア220は、例えば図7に示すように、それぞれ、

N (≥ 1) 次元からなり1次元がM (≥ 1) ビットからなる複数の参照データが次元毎に分けられて記憶されているメモリ領域113において、Mビットのメモリを1単位として構成する任意数（ただし、 $1 \leq k \leq N$ ）のメモリグレンのうち対応するメモリグレンから、それぞれの読み出し回路（読出／書込回路114）が参照データを読み出す複数の読み出し回路と、

N (≥ 1) 次元からなり 1 次元が M (≥ 1) ビットからなる検索データが保存されており、検索データを分けて出力する検索データ保存回路（入力検索データ保存回路）131と、

それぞれの類似度評価セルが、メモリ領域113からの読み出し毎に読み出された参照データのそれぞれと検索データとの類似度を求め、検索データ保存回路から読み出されたデータに対し、対応する読み出し回路で読み出された参照データの類似度を電流値として出力する、複数の類似度評価セル133と、

それぞれの電流統合回路135が、対応する任意数の前記類似度評価セル133から出力された電流を統合する複数の電流統合回路135と、

メモリ領域113からの読み出し及び類似度評価毎に、メモリ領域113から読み出された参照データのそれぞれの検索データとの類似度から、類似度の高い参照データの候補をローカルウィナーとして求める探索部（例えば、タイムドメイン最小値探索回路213, 223）と、
を備える。

メインコア210は、探索部（例えば、タイムドメイン最小値探索回路213, 223）で読み出し及び類似度評価毎に求まるローカルウィナーのうち最も類似度が高い参照データの候補をグローバルウィナーとして求め、グローバルウィナーの類似度を記憶する一時記憶回路を備えた比較更新部（最小値比較更新回路）214を備え、

比較更新部（最小値比較更新回路）214が、メインコア210の探索部223で求まるローカルウィナーの類似度と一時記憶回路に記憶しているグローバルウィナーの類似度とを比較すると共に、ブランチコア220の探索部（例えば、タイムドメイン最小値探索回路223）で求まるローカルウィナーの類似度と一時記憶回路に記憶しているグローバルウィナーの類似度とを比較する。

このようなシステムを採用することにより、第1として、複数のコアを有する場合であっても、検索データに類似する参照データを探索する際に、同

コンパクトな設計のコアで簡単にシステムが構成でき、処理時間を低減可能であることと、第2として、検索データに類似する参照データを探索する際に、参照データの次元数に柔軟に対応することができかつコンパクトな回路構成を有することとを、同時に満たすことができる。

このシステムは、それぞれ前述した実施形態を取捨選択して組み合わせて実現されるので、説明を省略する。

[0206] [実装例]

次に、実装例を説明する。図15は、実装例に係るブロック構成図である。画像認識への応用を前提とし、低電力、高密度で適応性のある不揮発連想メモリ装置を想定している。図15に示すメモリ装置300では、図7と同様、メモリ部310、類似度評価部330、探索部350、比較更新部370、タイミングコントローラ390を備える。メモリ部310は、図7と同様、ローデコーダ311、コラムデコーダ312、メモリ領域313、読出／書込回路314、ローライン315、ビットライン316、コラムライン317、パワードライバー318、メモリグレン319を備える。類似度評価部330は、図7と同様、デジタル／アナログコンバーター(DAC)332、類似度評価セル(SEC)333、切替スイッチ334、電流統合回路(CA)335、タイムドメインコンバーター(TDC)336を備え、切替スイッチ334は第1のスイッチ334aと第2のスイッチ334bと否定回路334cとを備える。8次元、16次元、32次元、64次元、128次元の画像特徴データを想定している試作チップである。基本的に次元数が8の整数倍であれば全て対応することができる。図7を参照して説明した各パラメータは以下になる。

N = 8次元、16次元、32次元、64次元、128次元であり、8の整数倍の次元で適応可能である。

M = 8ビット

C = 128列

R = 16行

W = 8ビット（最小値比較更新回路のカウンタのビット数）

ただし、8の整数倍対応であるので、メモリグレンのPDと類似度電流の統合スイッチは両方8次元毎に設計している。

[0207] そのため、外部の次元制御信号により、左から奇数番目の切替スイッチ334を動作させ、第1のスイッチ334aを閉じると、16次元対応のシステムになる。後述する実測波形のうち速度などの性能評価は16次元のtexture認識においての結果である。

[0208] 以下、実装例における各部の基本的な回路構成を説明することにより、図7などに示すメモリ装置100の具体的な実施形態を説明する。

[0209] 図16は、実装例でのメモリ領域の領域毎のブロック図である。図16は、図7を参照して説明したメモリ領域の一領域を示す。この一領域には、1個のパワードライバー318とK（=8）個の不揮発性のメモリグレン319が組として備えており、パワードライバー318は、M個のパワーラインゲート318aを備える。パワーラインゲート318aの論理演算回路318bには、コラムライン（CD Line）と、クロック信号の入力線と、ローライン（RD Line）のうち1本の線が入力され、クロック信号が反転して論理演算回路318bに入力される。論理演算回路318bからの出力信号は、電源ラインに接続されたインバータ回路318cに入力される。インバータ回路318cからの出力がパワーラインPLとして、4T-2MTJセル319aに入力される。なお、BLとBLBとはビットラインの対である。

[0210] 図17Aは、図16のブロック図のうち、不揮発性のメモリグレン319を1つとし、参照データの次元毎にパワードライバー318を備える場合を想定した図である。図17Bは図17Aに示すユニットについての2つの4T-2MTJメモリセル（Cell #1とCell #2）から連続的にデータを読み出す動作を示すタイムチャートである。既に説明したように、読出しオペレーションにおいては、クロック信号が“0”であり、CD Lineが“1”であり、かつ、該当するRD Lineも“1”であるとき、パワー

ラインPLが“1”になり、読出し処理をしている。

[0211] 図17Cは、図17Aに示す回路の変形例であり、一つのパワーラインゲートから並列に、M個の各4T-2MTJセル319aへパワーラインPLを出力するようにしてもよい。

[0212] 図18は、メモリ部310における4T-2MTJメモリセル320の回路図である。4T-2MTJメモリセル320は、差動対型STT-MRAMセルであり、4個のN型MOSFET321乃至324と2個のMTJ325, 326を備える。MTJ325, 326は、固定磁性層と絶縁層及び自由磁性層からなり、MTJ325, 326の各固定磁性層がパワーラインPLに接続され、MTJ325, 326の自由磁性層がそれぞれ固定磁性層と並行 (Parallel) 又は逆並行 (Anti-Parallel) の状態を記憶することによりデジタル値を保存する。図19は、図18に示す4T-2MTJメモリセルの動作を説明するためのタイムチャートである。

[0213] 4T-2MTJセル320にデータを書込む際には、ワードラインWLを例えば高い電圧にしてビットライン (BL/BLB) とセンスノード (SN: Sense Node/SNB) を接続し、BLB/BLを高い電圧 (1V) /低い電圧 (0V) にセットする。4T-2MTJセル320に“1”/“0”のデータを書き込む場合は、クロック信号でパワーラインPLを制御することにより、クロック前半では、PLを0Vにして右/左のMTJ325, 326をAnti-Parallelに書き込み、クロック後半では、PLを1Vにして左/右のMTJ325, 326をParallelに書き込む。

[0214] 4T-2MTJセル320からデータを読み出す際には、ワードラインWLを1Vにしてビットライン (BL/BLB) とセンスノード (SN: Sense Node/SNB) を接続し、クロック信号でPLを制御し、クロック前半では、PLを0VにしてBLB/BL及びSN/SNBを全部0VにPrechargeし、クロック後半では、PLを1Vにして、BLB/BLを通して、SN/SNBの電圧差を読み出す。

[0215] 図20は、図7に示す読出/書込回路114のブロック図である。読出/

書込回路 114 は、M 個の読出－書込インタフェース（WRI : Write-Read Interface）回路から構成され、ビットライン（BL / BLB）を通して、M コラムの 4T - 2MTJ セル 320 にアクセスし、1 クロックで M ビットのデータを読出し／書込みをする回路である。その 1 個の WRI 回路 327 は、書込ドライバ回路 327A と、プレチャージ（Precharge）回路 327B と、センスアンプ（Sense Amplifier）回路 327C と、デジタルレジスタ（Register）回路 327D を備える。データを書き込む際には書込ドライバ回路 327A を用い、データを読み出す際にはプレチャージ回路 327B とセンスアンプ回路 327C と、デジタルレジスタ回路 327D を用いることにより、1 クロックで 1 ビットのデータを処理する。

[0216] 図 21 は、図 7 などに示す類似度評価セル 133 の回路図である。類似度評価セル 400 は、9 つの MOSFET（T1 ~ T9）401 乃至 409 と 2 個コンデンサ（C1, C2）410, 411 から構成され、両サイドの入力ポート V1 及び V2 から 2 つのステップに分けてアナログ電圧信号が入力される。上段の左側がステップ 1 であり、上段の右側がステップ 2 である。下段に示すように、ステップ 1 とステップ 2 とでの電圧の差を求め、類似度評価関数を満たす類似度電流（ I_{BSSE} ）として電流統合回路へ出力する回路である。

[0217] ステップ 1 の際には、SW を “H” にセットし、入力ポート V1, V2 に検索データとするターゲット電圧を印加して MAX の類似度電流が得られる。ステップ 2 の際には、SW を “L” にセットしてトランジスタ T1、T2、T3、T4 のゲート電荷を保持し、入力ポートに参照データとするテンプレート電圧を印加して、それとターゲット電圧との差に応じて下がる類似度電流が得られる。

[0218] 図 22 は、図 7 などに示す電流統合回路 135 の回路図である。電流統合回路 420 は、5 個の P 型 MOSFET（T10 乃至 T14）421 乃至 425 と、2 個の N 型 MOSFET（T15 乃至 T16）426, 427 と、2 個のスイッチ（S1, S2）428, 429 と、1 個のコンデンサ 430

から構成される。T10とT11でカレントミラーを構成し、T10とT12でカレントミラーを構成し、T13とT14でカレントミラーを構成し、T15とT16でカレントミラーを構成する。図22に示す回路では、一つの電流加算器431と、一つの電流減算器432と、一つの電流メモリ433を備え、K個の類似度評価セルから2ステップを分けて出力される類似度電流(I_{BSSE})をそれぞれ足し合わせ、その電流差を出力する。そのKの値は、電流統合回路420に接続する類似度評価セルの回路数を制御することにより、柔軟に設計調整できる。

[0219] 電流統合回路420は、まず、K個の類似度評価セル(SEC)から出力されるステップ1の検索データに対応する類似度電流を足し合わせ、スイッチS1(S2)をON(OFF)にセットし、T10とT11で構成されるカレントミラーを用いて、得られた電流結果 I_{Tar} を一時的に電流メモリ433に保存する。それから、K個の類似度評価セル(SEC)から出力され、ステップ2の参照データに対応する類似度電流(I_{Tem})を足し合わせ、スイッチS1(S2)をOFF(ON)にセットし、得られた電流結果 I_{Tem} をT10とT12で構成されるカレントミラーでコピーして、保存している I_{Tar} との差を計算し、検索データと参照データの最終類似度電流(I_{SCORE})としてタイムドメインコンバーター(TDC)へ出力する。

[0220] 図23は、図7などに示すタイムドメインコンバーター136の回路図である。タイムドメインコンバーター440は、1個のCMOSスイッチ441と、2個のインバータ442, 443と、1個のP型MOSFET444と、2個のN型MOSFET445, 446を備え、電流統合回路(CA)から出力される類似度電流(I_{SCORE})をTime-Domain電圧遅延信号に変換する。

[0221] タイムドメインコンバーター440は、まず、Reset信号で出力をGNDになるように初期化する。その後、タイムドメインコンバーター440は、ISCOREが入力されると同時に、ランプ(RAMP)信号の電圧が入力され、出力インバータ443の閾値を超えるまでスイッチング・ノードの電圧が下がると出力が立ち上がり、 I_{SCORE} に対応する遅延を持つTD電圧遅延信号を生成する

。

[0222] 図24は、探索部350内のTD-WTA (Time-Domain Winner Take-All) 回路450のブロック図である。図中、Cはメモリグレンの列数で、Nはデータの次元数であり、C/Nはメモリの1行分の参照データ数である。

[0223] TD-WTA回路450は、 $(C-N)/N$ 個の2入力TD比較回路 (2-Input Time-Domain Comparator) 451から構成される $\sqrt{C/N}$ レイヤを持つ最小値探索回路であり、並列にタイムドメインコンバーターから入力されるC/N個の参照データに対応するC/N個TD電圧遅延信号から一番遅延の短い (立ち上がりの早い) 信号をローカルWinnerとして、そのWinnerアドレスと一緒に出力する回路である。

[0224] TD-WTA回路450は、まず、C/N個のTD電圧遅延信号を2入力TD比較回路451に入れて、2個ずつ比較し、遅延の短いものを次のレイヤに渡すことにより、数段繰り返して一番遅延の短いTD電圧遅延信号 (ローカルWinner) を検索する。各2入力TDコンパレータ451では、入力される2つのTD遅延信号にFlagを付けてFF回路452に保存し、そのFlagをエンコードして、Winnerに対応する参照データのアドレスを割り出す。最後に、TD-WTA回路450は、ローカルWinnerとそのWinnerアドレスと一緒に最小値比較更新回路に出力する。

[0225] 図25及び図26は、最小値比較更新回路460の構成図であり、図25はブランチコアで用いられるものであり、図26はメインコアで用いられるものである。点線で示す部分は無効化している。

[0226] 最小値比較更新回路460は、1個のWビットデジタルカウンタ461と、1個のWビット・セレクタ462と、1個のWビットデジタル加算器463と、グローバルWinnerとそのアドレスを保存するデジタルレジスタ464から構成され、TD-WTA回路450から直列に入力されるローカルWinnerを前ステップで求めたものと比較してより小さいものを保存することで、一番小さいグローバルWinnerを求める回路である。

[0227] 最小値比較更新回路460は、まず、TD-WTA回路450からローカ

ルWinnerのTD電圧遅延信号を受け取り、8ビット ($W=8$) のデジタルカウンタで信号遅延をクロック数に変換し、ローカルWinnerのクロック数（ローカル最小値）を計算する。この変換は、デジタルカウンタがタイムドメインコンバータにRAMP電圧を入力する時点からカウントし始め、TD-WTA回路450がローカルWinnerを計算すると同時に、完成する。

[0228] ブランチコアでは、得られたローカルWinner（最小値）をメインコアに送る。メインコアでは、メインコア自身又はブランチコアから得られたローカルWinner（最小値）と、Winnerレジスタに保存しているグローバルWinner（最小値）を、デジタル加算器を用いて減算処理を行い、 $COUT=1$ の場合だけレジスタを上書きすることにより、いつも小さいグローバルWinner（最小値）を更新しつつ、最終的なグローバル最小値と該当の参照データIDを連想認識の結果として保存する。

[0229] ただし、メインコア及び各ブランチコアに対して、メモリ領域である参照データ保存回路から、データ適応型類似度評価回路、2階層最小値探索回路まで、全部1クロックずつタイミングをずらしてパイプラインで実行する。それで、1クロック以内に、コアの1行分 (C/N 個) の参照データに対する連想認識が完成できる。

[0230] 実装例では、8data/クロックのThroughputが得られている。そして、同じ設計のコアを用いて、簡単にシステム拡張が可能である。

[0231] 図27Aは図15で示す設計に従って作製したチップの写真の像を示し、図27Bは図27Aに示す像を模式的に示し、図27Cには設計スペックを示している。

[0232] 図28は、類似度評価セルの回路動作の検証結果を示す図である。横軸は ΔV であり、図22のCAで示す $V_{tem} - V_{Tar}$ である。縦軸は電流 I_{peak} , I_{tem} である。この図に示すように、リファレンス電圧 V_{ref} に依らず同様な鐘形の波形となっていることが分かる。

[0233] 図29は、3次元カラーベクトルデータ ($M=8$, $N=3$) 構成での電流統合回路が出力する類似度電流の結果を示す図である。図に示すように、検

索データ（ターゲット）により近い参照データ（テンプレート）はより低い類似度電流（ I_{SCORE} ）が出力される。

[0234] 図30は、16次元データ構成でのコア動作を検証する波形を示す図であり、Texture認識の実証結果である。横軸は時間であり、縦軸は0V～1Vの電圧である。システムをリセットした後、D/A変換のデータ変換指令信号（Read Instruction of NFM）で示すように、検索データ（Target）となる「石」のTextureを入力してから、第1行目の参照データ（Template 1）である8個の「木板」Textureを入力し、一時的に電源OFFにした後、第2行目の参照データ（Template 2）となる8個の「石」Textureの参照データを入力する。参照データを入力し続ける間に、電流モードの類似度評価を行い、ランプ信号（Reference RAMP Signal）によって類似度電流が電圧TD遅延信号に変換され、1行の参照データの電圧TD遅延信号から一番類似度の高いTD遅延信号（Updated TD Similarity Score）を出力する。それと同時に、出力されるTD遅延信号（Updated TD Similarity Score）の遅延をクロック数に変換し、デジタル相違度（Similarity Score）として得られ、相違度の小さいものに更新して最終的なTextureについての連想認識に成功した。

[0235] 試作したチップでは、12コアが実装され、1V電源電圧、40MHzで動作でき、5マイクロ秒で1行分のデータ、即ち、C/N個の参照データに対する認識処理を完了することができた。リセットは0.5マイクロ秒かかり、検索データ入力も0.5マイクロ秒がかかった。なお、 $C=128$ 、 $N=16$ 、 $R=8$ である。

[0236] 図31は、消費電力について、従来のアナログアプローチ及びデジタルアプローチと本実装例を比較した結果を示す図である。図から、本実装例では、消費電力が大幅に低下していることが分かる。

[0237] 図32は、回路面積について、従来のアナログアプローチ及びデジタルアプローチと本実装例を比較した結果を示す図である。図から、回路面積が大幅に削減することができていることが分かる。

[0238] 以上、本発明の実施形態を説明したが、本発明は類似度評価部の構成を工

夫しており、メモリ部、探索部、比較更新部の各具体的な回路構成については、本発明の実施形態に示す内容を実現できるものであればよく、図15以降の図面で示したものは好ましい一つの例である。例えば、アナログ電圧最小値探索回路としては図33に示すような、多入力端子と、一出力端子と、オペアンプと、抵抗 R_1 、 R_2 、 R_3 を備え、抵抗 R_3 の電圧を出力とするように回路構成すればよい。

[0239] 図33は、アナログ電圧最小値探索回路の一例である。アナログ電圧最小値探索回路は、オペアンプの入力端の一方に、各電流統合回路の出力端に接続した抵抗からの出力電圧 T_{in1} 、 T_{in2} 、 T_{in3} を入力する。オペアンプの入力端の一端と出力端との間には抵抗 R_1 を接続し、オペアンプの出力端の電圧 V_p から出力電圧 T_{in1} 、 T_{in2} 、 T_{in3} の端子へ抵抗 R_1 に電流 I_b が流れるように、抵抗 R_1 の一端とアナログ電圧最小値探索回路の3つの入力端との間にはそれぞれダイオード D_1 、 D_2 、 D_3 を介在させる。一方、オペアンプの入力端の他端とオペアンプの出力端との間には抵抗 R_2 を接続し、オペアンプの出力端と抵抗 R_2 との接続点には、ダイオード D_o を介在させて抵抗 R_3 の一端を接続し、抵抗 R_3 の他端を接地する。これにより、オペアンプの入力端の他端と抵抗 R_2 との接続点から抵抗 R_3 に電流 I_a が流れる。アナログ電圧最小値探索回路は、このような構成を採用することにより、入力された複数の電圧の最小値が、抵抗 R_3 の両端間の電圧として出力される。

[0240] 上述の説明では、図7において縦線をコラムライン、横線をローラインとしているが、一方の方向に延びる線と他方の延びる線の何れか一方がコラムラインであり、他方がローラインとして定義されるものとする。つまり、コラムラインとローラインとが交差してれば、何れか一方がコラムラインであり、他方がローラインである。このことは、図7以外に示す構成図においても当てはまる。

[0241] 本発明の実施形態では、図7を参照して説明したように、メモリ装置100が次の構成を備える。

即ち、メモリ装置 100 が、 N (≥ 1) 次元からなり 1 次元が M (≥ 1) ビットからなる参照データが記憶されるメモリ領域 113 を備え、

メモリ領域 113 において 1 以上 N 以下の任意数のコラムライン 117 と M 本のローライン 115 とにより指定される領域毎に、 M ビットの不揮発性メモリを 1 単位として構成する任意数のメモリグレン 119 と、任意数のメモリグレン 119 に電力を供給するパワードライバー 118 とが組として備えられ、

パワードライバー 118 が、任意数のコラムライン 117 からの制御信号の入力と、 M 本のローライン 115 からの制御信号の入力と、クロック信号の入力とを受け、クロック信号に同期して、パワードライバー 118 と組となるメモリグレン 119 に電力を供給することにより、当該メモリグレン 119 に格納されている次元毎の参照データを読み出す。

[0242] よって、各メモリグレン 119 は、コラムライン 117 及びローライン 115 による読み出し場所の指定とクロック信号による時間的な指定との双方により、電力が供給されることになり、省電力化が図られる。

[0243] このようなメモリ装置 100 において、例えば、 M 本のローライン 115 からの制御信号の入力は、1 本乃至 M 本のうち所定本数毎に順番になされるとよい。 M 本のローライン 115 からの制御信号の入力は、同時になされるとよい。

[0244] このようなメモリ装置 100 において、パワードライバー 118 は、クロック信号の“1”又は“0”の入力を受けると、そのパワードライバー 118 と組となる任意数のメモリグレン 119 へ電力を供給しない一方、クロック信号の“0”又は“1”の入力を受けると、そのパワードライバー 118 と組となる任意数のメモリグレン 119 へ電力を供給して当該メモリグレン 119 に格納されている参照データを読み出す。よって、参照データの読み出しにおける消費電力を大幅に削減することができる。

[0245] 不揮発性メモリとしては S T T - M R A M を中心に説明したが、例えば次のような不揮発性メモリでもよい。不揮発性メモリは、磁気抵抗メモリ (MRA

M: Magnetoresistive Random Access Memory)、抵抗変化型メモリ(ReRAM: Resistive Random Access Memory)、強誘電体メモリ (FeRAM: Ferroelectric Random Access Memory)、フラッシュメモリなどの不揮発メモリで構成してもよい。

[0246] 磁気抵抗メモリは、スピントロニクスを利用し、GMR効果 (Giant Magneto Resistive effect) を動作原理とする不揮発性メモリである。例えば、磁壁移動型MRAM、スピントルク型MRAM、スピン注入型MRAM (STT-RAM) などから選択される。磁壁移動型MRAMは、微小磁性体内の磁壁を行き来させることで磁化を反転させる3端子MRAMである。スピントルク型MRAMは、非磁性体からのスピントルクによって磁化反転させる3端子MRAMである。STT-RAMは、磁性体に電流を通じ、電子スピンとの相互作用で磁化回転をさせる2端子MRAMである。何れも、高密度と高速度と長い寿命が期待される。

[0247] 抵抗変化型メモリは、電圧の印加による金属酸化物中の電気抵抗の変化を利用してデータを記憶する不揮発メモリである。高密度と高速化が期待される。

[0248] 強誘電体メモリは、強誘電体のヒステリシス効果に因る正負の残留分極を利用してデータを記憶する不揮発性メモリである。高速化と、長い寿命が期待できる。

[0249] フラッシュメモリは、電圧制御で、MOSのフローティングゲートに電荷を閉じ込めることでMOS閾値を変化させてデータを記憶する不揮発メモリである。高密度化を期待できる。

[0250] 本発明の実施形態では、パワーゲートによりメモリゲートからデータの読み出しの際の消費電力を低く抑えることができるが、柔軟に最適化した電力を供給することができるので、書き込み時においても同様な低電力化効果が得られる。

符号の説明

[0251] 10 : 検索データ

- 20 : 特徴ベクトルデータ
- 30 : 参照データ
- 100 : メモリ装置
- 110 : メモリ部 (参照データ保存回路)
- 111 : ローデコーダ
- 112 : コラムデコーダ
- 113 : メモリ領域
- 114 : 読出／書込回路
- 115 : ローライン
- 116 : ビットライン
- 117 : コラムライン
- 118 : パワードライバー
- 119 : メモリグレン
- 130 : 類似度評価部
- 131 : 入力検索データ保存回路
- 132 : デジタル／アナログコンバーター (DAC)
- 133 : 類似度評価セル (SEC)
- 133a : セル群
- 134 : 切替スイッチ
- 134a : 第1のスイッチ
- 134b : 第2のスイッチ
- 134c : 否定回路
- 135 : 電流統合回路 (CA)
- 136 : タイムドメインコンバーター (TDC)
- 150 : 探索部
- 151 : タイムドメイン最小値探索回路
- 170 : 比較更新部
- 171 : 最小値比較更新回路

200 : メモリシステム

210 ; メインコア

211 : メインコアの参照データ保存回路 (メモリ部)

212 : メインコアのデータ適応型電流モード類似度評価回路 (類似度評価部)

213 : メインコアのタイムドメイン最小値探索回路 (探索部)

214 : メインコアの最小値比較更新回路 (比較更新部)

215 : メインコアの出力用バッファ

220 : ブランチコア

221 : ブランチコアの参照データ保存回路 (メモリ部)

222 : ブランチコアのデータ適応型電流モード類似度評価回路 (類似度評価部)

223 : ブランチコアのタイムドメイン最小値探索回路 (探索部)

224 : ブランチコアの最小値比較更新回路 (比較更新部)

225 : ブランチコアの出力用バッファ

300 : メモリ装置

310 : メモリ部

311 : ローデコーダ

312 : コラムデコーダ

313 : メモリ領域

314 : 読出／書込回路

315 : ローライン

316 : ビットライン

317 : コラムライン

318 : パワードライバー

319 : メモリグレン

320 : 4T-2MTJメモリセル

321～324 : N型MOSFET

- 3 2 5, 3 2 6 : M T J
- 3 2 7 : W R I 回路
- 3 2 7 A : 書込ドライバ回路
- 3 2 7 B : プレチャージ (Precharge) 回路
- 3 2 7 C : センスアンプ (Sense Amplifier) 回路
- 3 2 7 D : デジタルレジスタ (Register) 回路
- 3 3 0 : 類似度評価部
- 3 3 2 : デジタル／アナログコンバーター (D A C)
- 3 3 3 : 類似度評価セル (S E C)
- 3 3 4 : 切替スイッチ
- 3 3 4 a : 第 1 のスイッチ
- 3 3 4 b : 第 2 のスイッチ
- 3 3 4 c : 否定回路
- 3 3 5 : 電流統合回路 (C A)
- 3 3 6 : タイムドメインコンバーター (T D C)
- 3 5 0 : 探索部
- 3 5 1 : タイムドメイン最小値探索回路
- 3 7 0 : 比較更新部
- 3 7 1 : 最小値比較更新回路

請求の範囲

[請求項1]

メインコアと一又は複数のブランチコアとを備え、

前記メインコア及び前記ブランチコアは、それぞれ、

N (≥ 1) 次元からなり 1 次元が M (≥ 1) ビットからなる複数の参照データが次元毎に分けられて記憶されているメモリ領域において、 M ビットのメモリを 1 単位として構成する任意数 (ただし、 $1 \leq k \leq N$) のメモリグレンのうち対応するメモリグレンから、それぞれの読み出し回路が参照データを読み出す複数の前記読み出し回路と、

N (≥ 1) 次元からなり 1 次元が M (≥ 1) ビットからなる検索データが保存されており、前記検索データを分けて出力する検索データ保存回路と、

それぞれの類似度評価セルが、前記メモリ領域からの読み出し毎に読み出された参照データのそれぞれと検索データとの類似度を求め、前記検索データ保存回路から読み出されたデータに対し、対応する前記読み出し回路で読み出された参照データの類似度を電流値として出力する、複数の前記類似度評価セルと、

それぞれの電流統合回路が、対応する前記任意数の前記類似度評価セルから出力された電流を統合する複数の前記電流統合回路と、

前記メモリ領域からの読み出し及び類似度評価毎に、前記メモリ領域から読み出された参照データのそれぞれの検索データとの類似度から、類似度の高い参照データの候補をローカルウィナーとして求める探索部と、

を備え、

前記メインコアは、

前記探索部で前記読み出し及び類似度評価毎に求まるローカルウィナーのうち最も類似度が高い参照データの候補をグローバルウィナーとして求め、前記グローバルウィナーの類似度を記憶する一時記憶回路を備えた比較更新部を備え、前記比較更新部が、前記メインコアの

前記探索部で求まるローカルウィナーの類似度と前記一時記憶回路に記憶している前記グローバルウィナーの類似度とを比較すると共に、前記ブランチコアの前記探索部で求まるローカルウィナーの類似度と前記一時記憶回路に記憶している前記グローバルウィナーの類似度とを比較する、メモリシステム。

[請求項2] 複数の前記類似度評価セルが、前記任意数の前記類似度評価セルを有するセル群に区分けされており、

それぞれの前記電流統合回路が一つの前記セル群に対応しており、

それぞれの前記電流統合回路が、対応する一つの前記セル群とは別の前記セル群における前記任意数の類似度評価セルから出力された電流を統合するように、切替スイッチが設けられている、請求項1に記載のメモリシステム。

[請求項3] 複数の前記電流統合回路のうち、対応する一つの前記セル群とは別の前記セル群における前記任意数の類似度評価セルから出力された電流を統合する電流統合回路にのみ電力供給がなされる、請求項2に記載のメモリシステム。

[請求項4] 前記類似度評価セルの前段には、デジタルデータをアナログデータに変換するデジタル／アナログコンバーターが設けられ、

前記類似度評価セルは、前記デジタル／アナログコンバーターでアナログ変換されたデータに基づいて、類似度をアナログ電流値として、対応する前記電流統合回路に出力する、

請求項1乃至3の何れかに記載のメモリシステム。

[請求項5] 前記メインコア及び前記ブランチコアは、それぞれのタイムドメインコンバーターが対応する前記類似度評価セルで求めた類似度を遅延時間に変換する複数のタイムドメインコンバーターと、を備える、請求項1乃至4の何れかに記載のメモリシステム。

[請求項6] 前記探索部は、前記複数のタイムドメインコンバーターから入力された、複数の遅延時間から最短遅延に対応する前記ローカルウィナー

を検索すると同時に、前記ローカルウィナーのデジタル類似度として、カウンタで前記最短遅延を遅延時間内のクロックサイクル数に変換し、前記ローカルウィナーのアドレスを割り出す、タイムドメイン最小値探索回路を備える、請求項5に記載のメモリシステム。

[請求項7] 前記比較更新部は、前記メインコア及び前記ブランチコアの前記探索部からローカルウィナーの類似度の入力を受け、前記一時記憶回路に記憶しているグローバルウィナーの類似度と比較して高い類似度の値を前記一時記憶回路に更新する最小値探索回路を備える、請求項6に記載のメモリシステム。

[請求項8] 前記メインコアにおける前記探索部による探索処理と前記比較更新部による比較更新と、前記ブランチコアにおける前記探索部による探索処理とを、同期したクロックにより行う、請求項1乃至7の何れかに記載のメモリシステム。

[請求項9] 前記探索部による探索処理と前記比較更新部による比較更新とは、前記メインコア及び前記ブランチコアで任意のクロック数ずれてなされる、請求項8に記載のメモリシステム。

[請求項10] メインコアと一又は複数のブランチコアとを備え、
前記メインコア及び前記ブランチコアは、それぞれ、メモリ領域からの読み出し及び類似度評価毎に、前記メモリ領域から読み出された参照データのそれぞれの検索データとの類似度から、類似度の高い参照データの候補をローカルウィナーとして求める探索部を備え、
前記メインコアは、前記探索部で前記読み出し及び類似度評価毎に求まるローカルウィナーのうち最も類似度が高い参照データの候補をグローバルウィナーとして求め、前記グローバルウィナーの類似度を記憶する一時記憶回路を備えた比較更新部を備え、前記比較更新部が、前記メインコアの前記探索部で求まるローカルウィナーの類似度と前記一時記憶回路に記憶している前記グローバルウィナーの類似度とを比較すると共に、前記ブランチコアの前記探索部で求まるローカル

ウィナーの類似度と前記一時記憶回路に記憶している前記グローバルウィナーの類似度とを比較する、メモリシステム。

[請求項11] 前記メインコア及び前記ブランチコアは、それぞれの類似度評価セルが前記メモリ領域からの読み出し毎に読み出された参照データのそれぞれと検索データとの類似度を求める複数の前記類似度評価セルと、それぞれのタイムドメインコンバーターが対応する前記類似度評価セルで求めた類似度を遅延時間に変換する複数のタイムドメインコンバーターと、を備える、請求項10に記載のメモリシステム。

[請求項12] 前記探索部は、前記複数のタイムドメインコンバーターから入力された、複数の遅延時間から最短遅延に対応する前記ローカルウィナーを検索すると同時に、前記ローカルウィナーのデジタル類似度として、カウンタで前記最短遅延を遅延時間内のクロックサイクル数に変換し、前記ローカルウィナーのアドレスを割り出す、タイムドメイン最小値探索回路を備える、請求項11に記載のメモリシステム。

[請求項13] 前記比較更新部は、前記メインコア及び前記ブランチコアの前記探索部からローカルウィナーの類似度の入力を受け、前記一時記憶回路に記憶しているグローバルウィナーの類似度と比較して高い類似度の値を前記一時記憶回路に更新する最小値探索回路を備える、請求項12に記載のメモリシステム。

[請求項14] 前記メインコアにおける前記探索部による探索処理と前記比較更新部による比較更新と、前記ブランチコアにおける前記探索部による探索処理とを、同期したクロックにより行う、請求項10乃至13の何れかに記載のメモリシステム。

[請求項15] 前記探索部による探索処理と前記比較更新部による比較更新とは、前記メインコア及び前記ブランチコアで任意のクロック数ずれてなされる、請求項14に記載のメモリシステム。

[請求項16] N (≥ 1) 次元からなり1次元が M (≥ 1) ビットからなる複数の参照データが次元毎に分けられて記憶されているメモリ領域において

、Mビットのメモリを1単位として構成する任意数（ただし、 $1 \leq k \leq N$ ）のメモリグレンのうち対応するメモリグレンから、それぞれの読み出し回路が参照データを読み出す複数の前記読み出し回路と、

N（ ≥ 1 ）次元からなり1次元がM（ ≥ 1 ）ビットからなる検索データが保存されており、前記検索データを分けて出力する検索データ保存回路と、

それぞれの類似度評価セルが、前記検索データ保存回路から読み出されたデータに対し、対応する前記読み出し回路で読み出された参照データの類似度を電流値として出力する複数の前記類似度評価セルと、

それぞれの電流統合回路が、対応する前記任意数の前記類似度評価セルから出力された電流を統合する複数の前記電流統合回路と、

を備える、メモリ装置。

[請求項17] 複数の前記類似度評価セルが、前記任意数の前記類似度評価セルを有するセル群に区分けされており、

それぞれの前記電流統合回路が一つの前記セル群に対応しており、

それぞれの前記電流統合回路が、対応する一つの前記セル群とは別の前記セル群における前記任意数の類似度評価セルから出力された電流を統合するように、切替スイッチが設けられている、請求項16に記載のメモリ装置。

[請求項18] 複数の前記電流統合回路のうち、対応する一つの前記セル群とは別の前記セル群における前記任意数の類似度評価セルから出力された電流を統合する電流統合回路にのみ電力供給がなされる、請求項17に記載のメモリ装置。

[請求項19] 前記類似度評価セルの前段には、デジタルデータをアナログデータに変換するデジタル／アナログコンバーターが設けられ、

前記類似度評価セルは、前記デジタル／アナログコンバーターでアナログ変換されたデータに基づいて、類似度をアナログ電流値として、

対応する前記電流統合回路に出力する、請求項 16 乃至 18 の何れかに記載のメモリ装置。

[請求項20] 前記類似度評価セルの後段には、デジタルデータをアナログデータに変換するデジタルアナログコンバーターが設けられ、

前記類似度評価セルは類似度を求めて前記デジタルアナログコンバーターに出力する、請求項 16 乃至 18 の何れかに記載のメモリ装置。

[請求項21] 複数の前記電流統合回路から出力される電流値から、検索データに最も類似する参照データに関する電流値を求めてデータ値に変換する、探索部を備える、請求項 16 乃至 20 の何れかに記載のメモリ装置。

[請求項22] 前記メモリ領域から行毎に読み出される参照データに関し、前記探索部で求めたデータから、検索データに最も類似する参照データを比較して更新する比較更新部を備える、請求項 21 に記載のメモリ装置。

[請求項23] それぞれのタイムドメインコンバーターが対応する前記類似度評価セルで求めた類似度を遅延時間に変換する複数のタイムドメインコンバーターと、

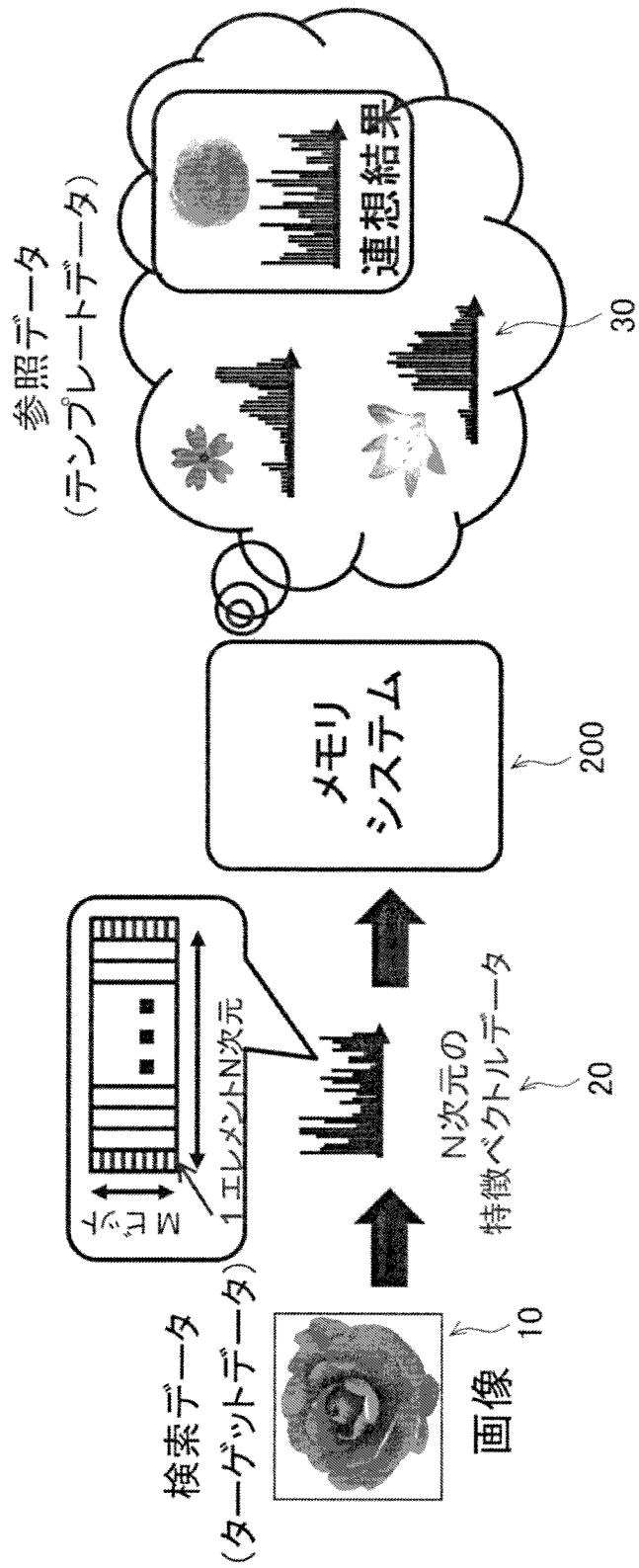
複数の前記タイムドメインコンバーターで変換された遅延時間から、類似度の高い参照データの候補をローカルウィナーとして求める探索部と、

前記探索部で前記読み出し及び類似度評価毎に求まるローカルウィナーのうち最も類似度が高い参照データの候補をグローバルウィナーとして求め、前記グローバルウィナーの類似度を記憶する一時記憶回路を備えた比較更新部を備え、前記比較更新部が、前記探索部で求まるローカルウィナーの類似度と前記一時記憶回路に記憶している前記グローバルウィナーの類似度とを比較する、請求項 16 乃至 20 の何れかに記載のメモリ装置。

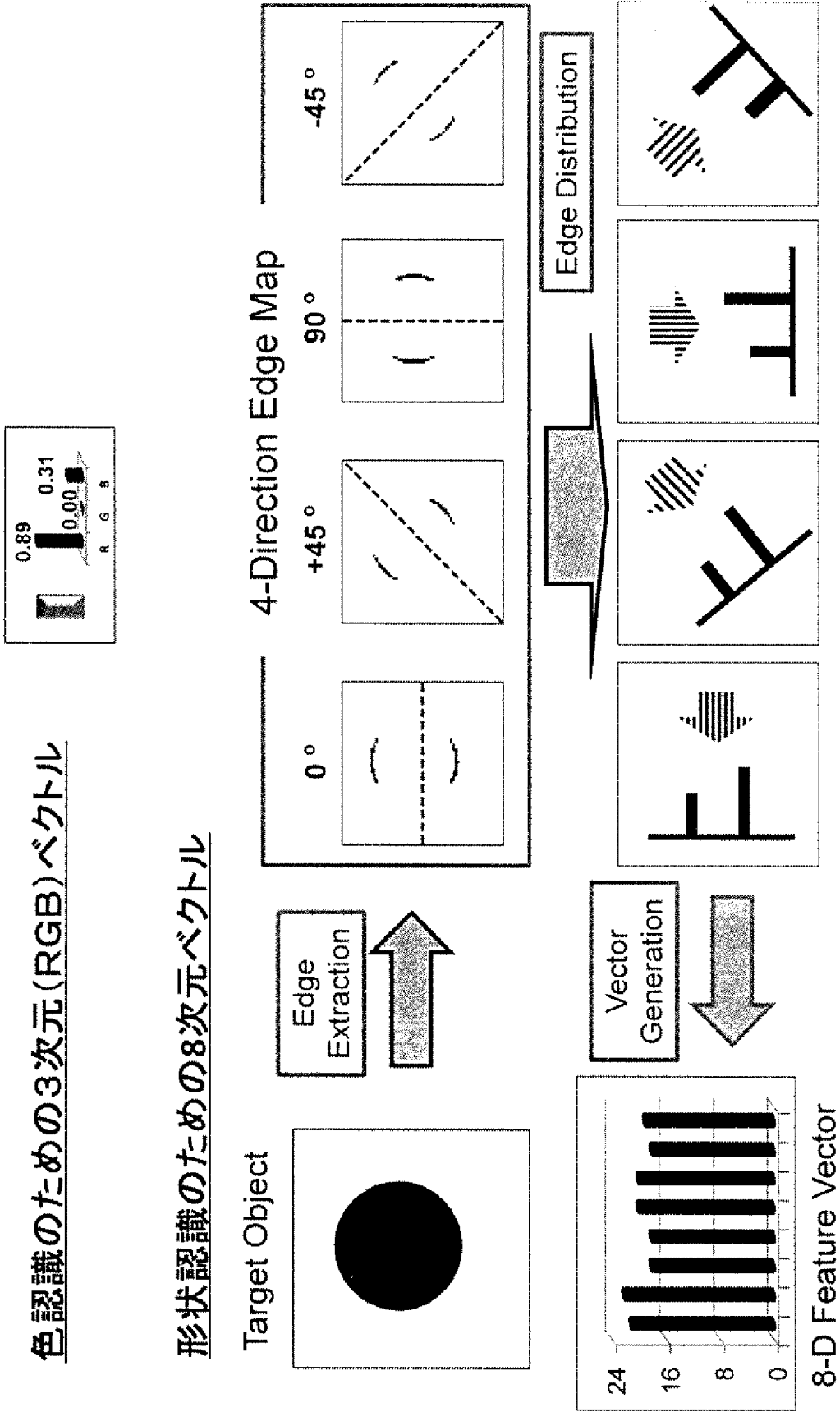
- [請求項24] 前記探索部は、前記複数のタイムドメインコンバーターから入力された、複数の遅延時間から最短遅延に対応する前記ローカルウィナーを検索すると同時に、前記ローカルウィナーのデジタル類似度として、カウンタで前記最短遅延を遅延時間内のクロックサイクル数に変換し、前記ローカルウィナーのアドレスを割り出す、タイムドメイン最小値探索回路を備える、請求項23に記載のメモリ装置。
- [請求項25] メインコアと一又は複数のブランチコアとを備えたメモリシステムにおいて、
- 前記メインコアが請求項23又は24に記載のメモリ装置で構成され、
- 前記ブランチコアが請求項23又は24に記載のメモリ装置で構成され、かつ前記ブランチコアでは前記比較更新部が無効化され、前記ブランチコアの前記探索部で求めたローカルウィナーが前記メインコアの前記比較更新部に入力される、メモリシステム。
- [請求項26] 前記メインコアにおける前記探索部による探索処理と前記比較更新部による比較更新と、前記ブランチコアにおける前記探索部による探索処理とを、同期したクロックにより行う、請求項25に記載のメモリシステム。
- [請求項27] 前記探索部による探索処理と前記比較更新部による比較更新とは、前記メインコア及び前記ブランチコアで任意のクロック数ずれてなされる、請求項26に記載のメモリシステム。

Figure 1 illustrates the overall system architecture. An input image (10) is processed by a feature extraction unit (20) to produce N-dimensional feature data. This data is compared with search data (30) in a memory device (100) to produce a connection result.

[図1B]

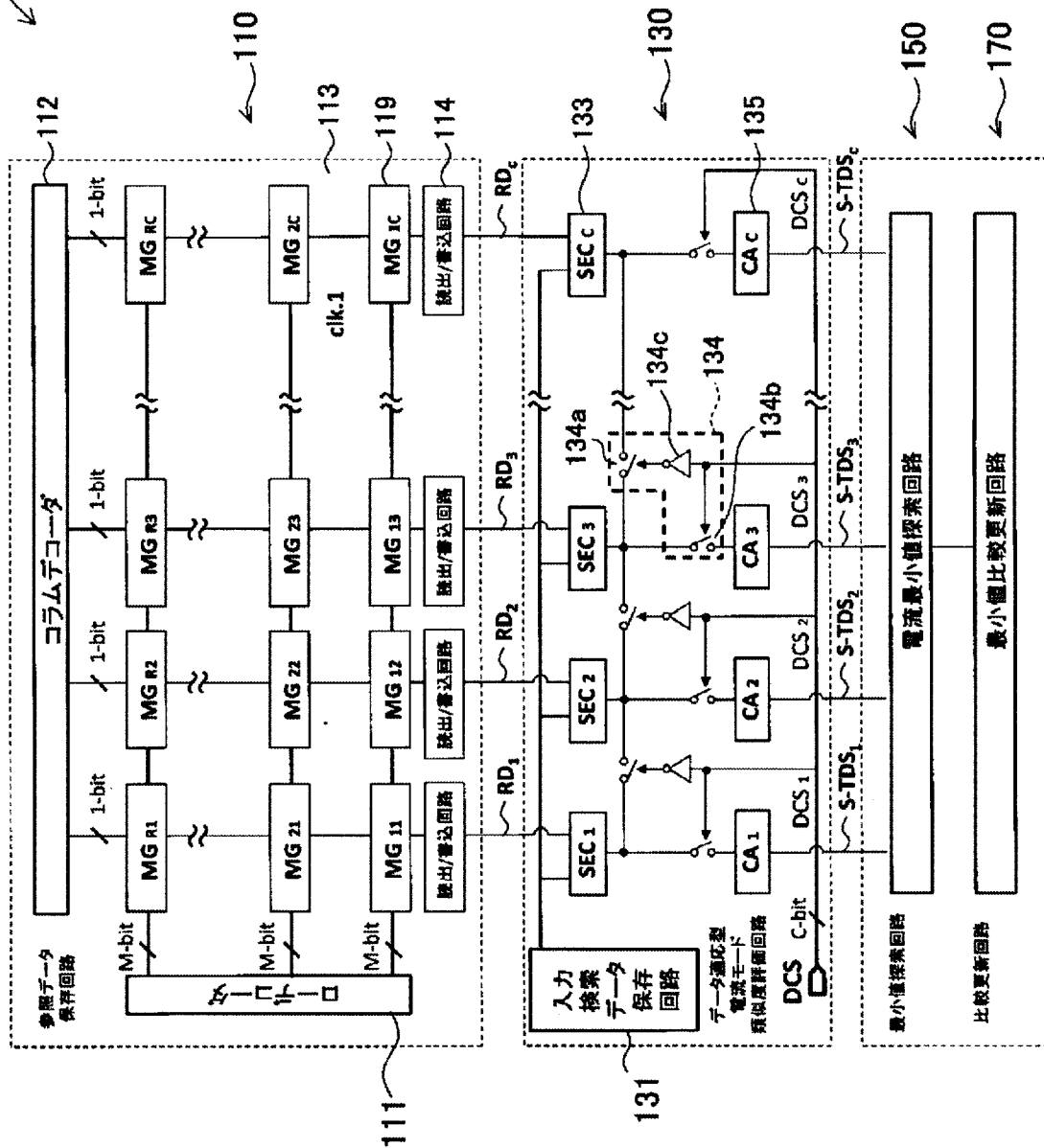


[図2]

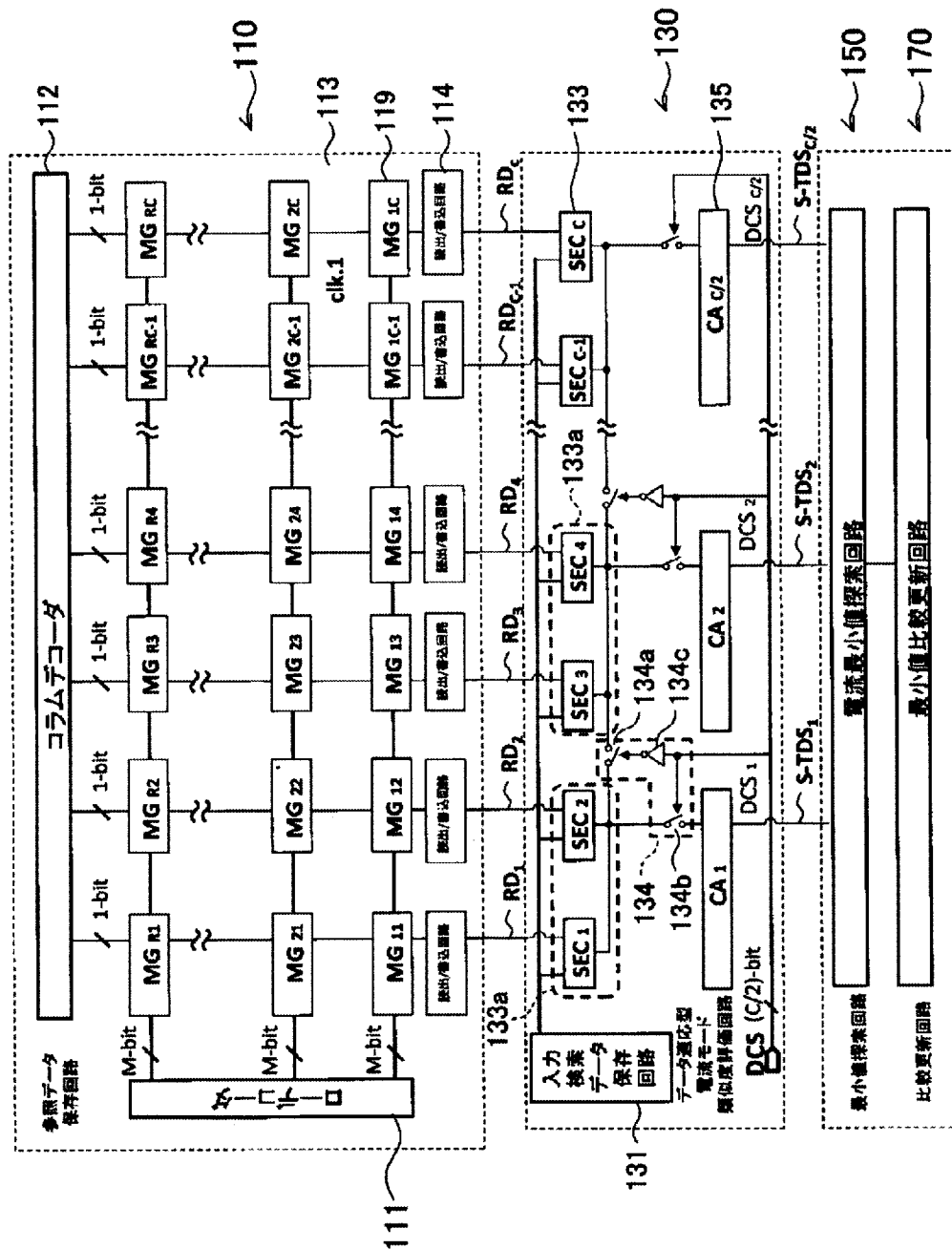


[図3]

100

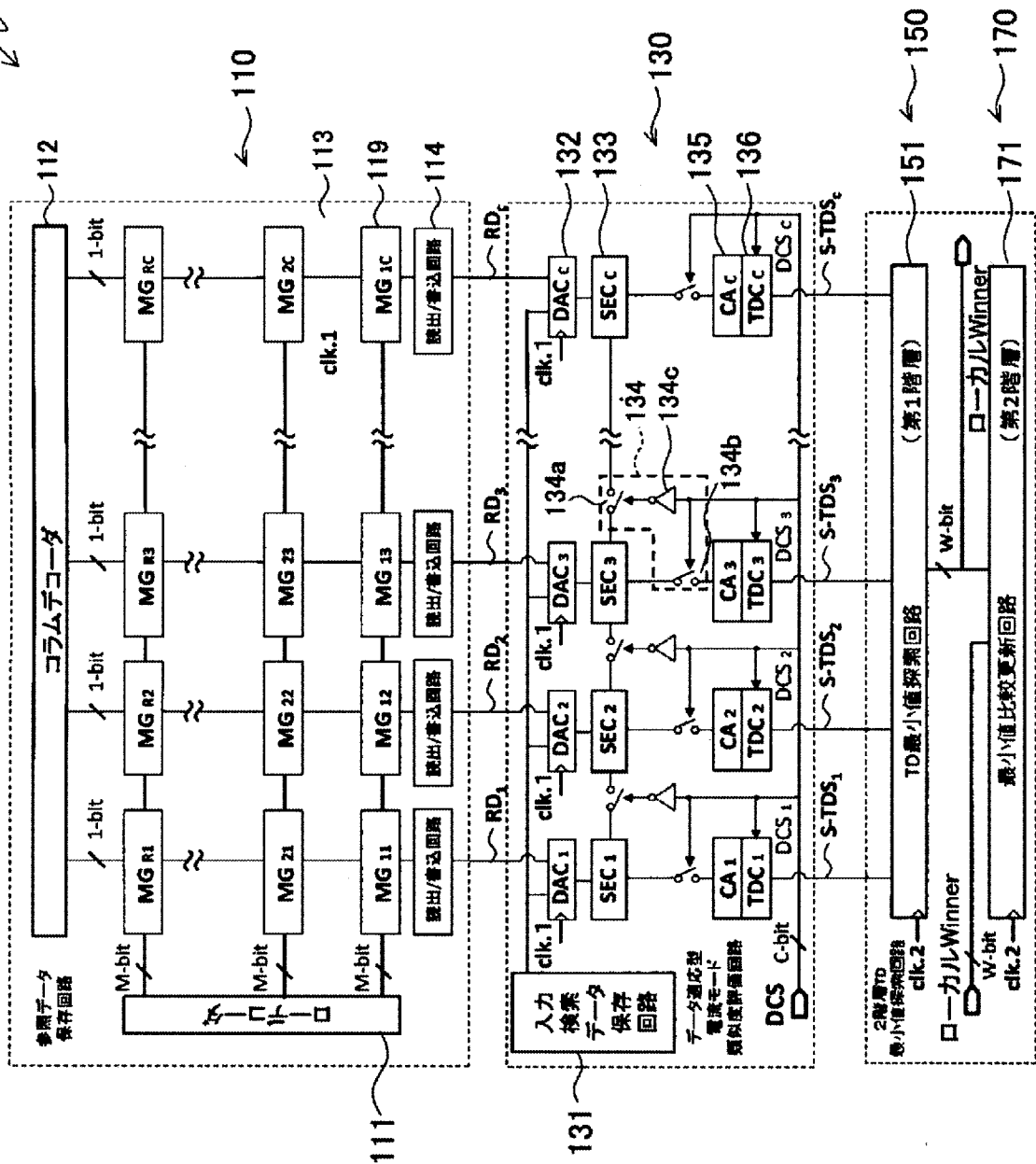


100

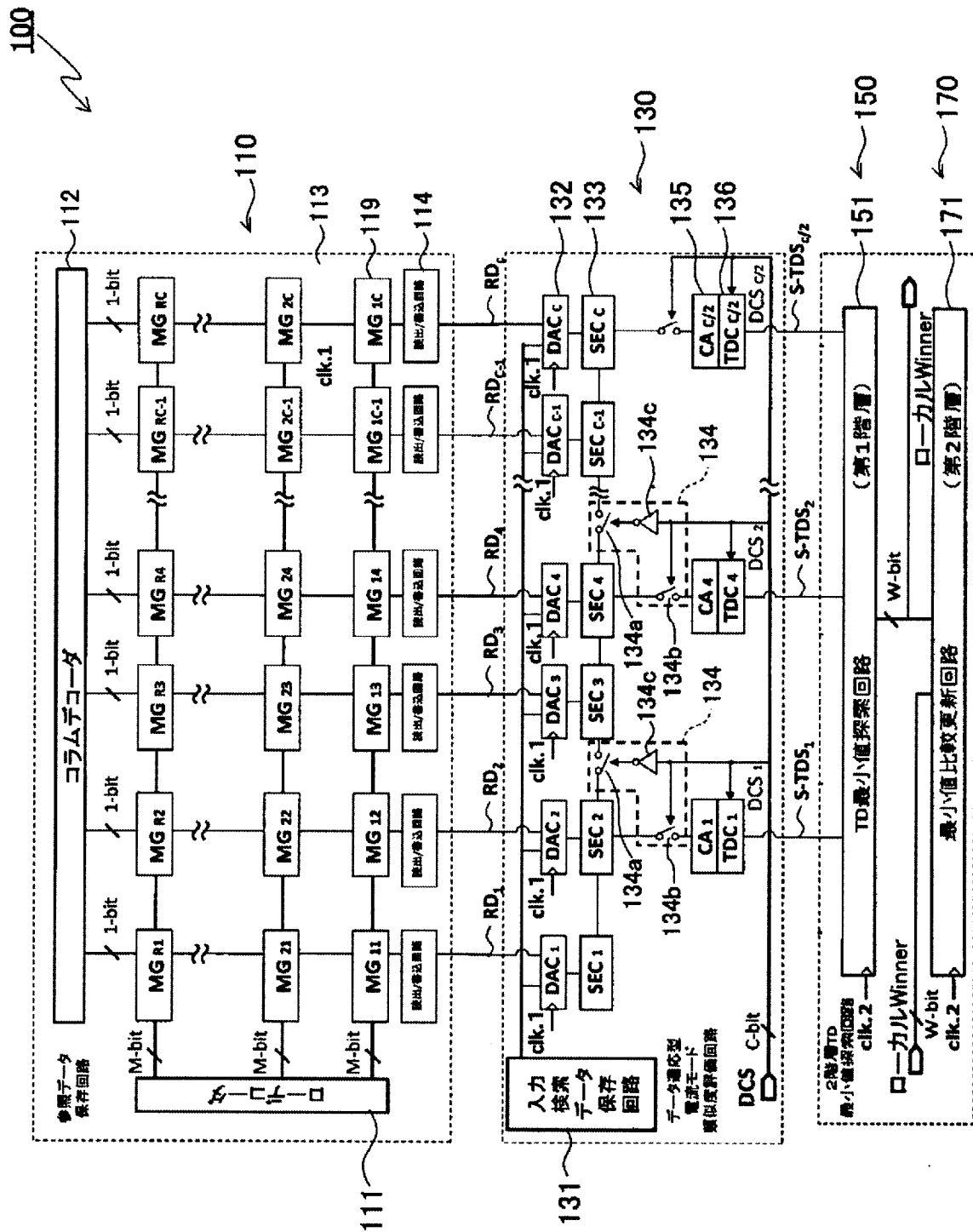


[図5]

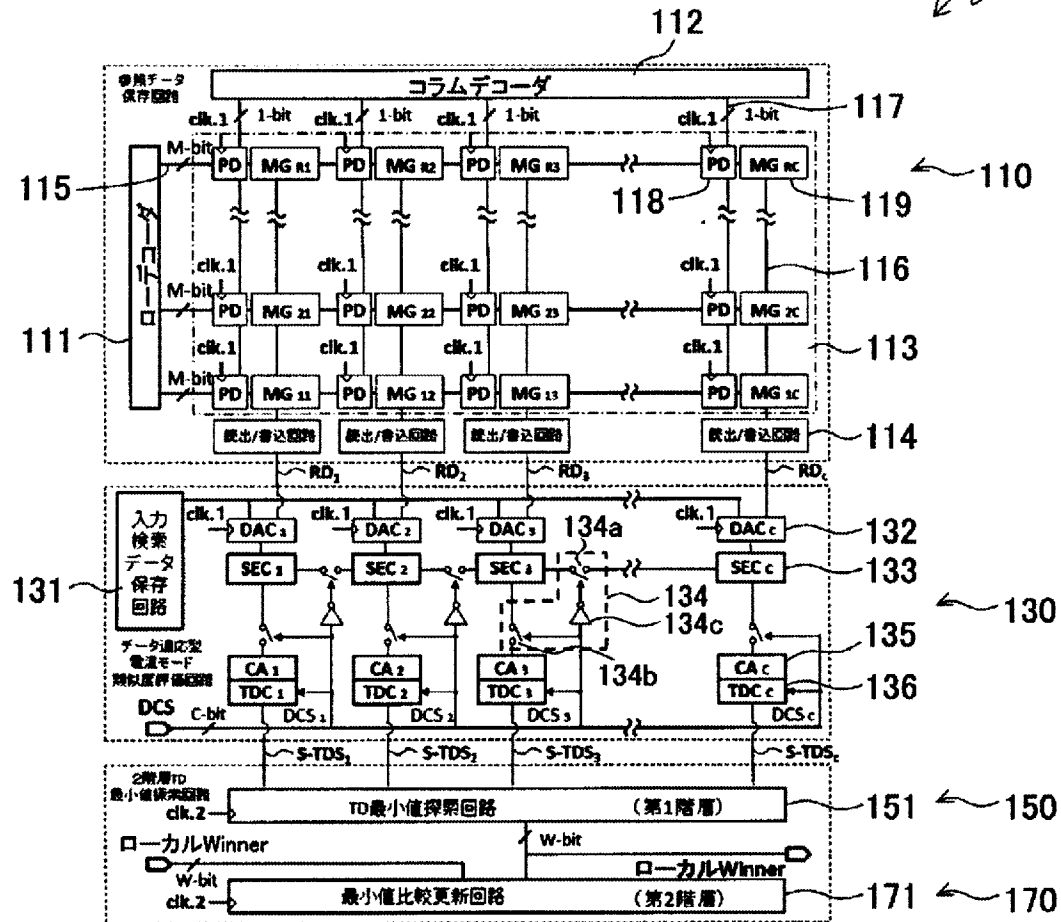
100



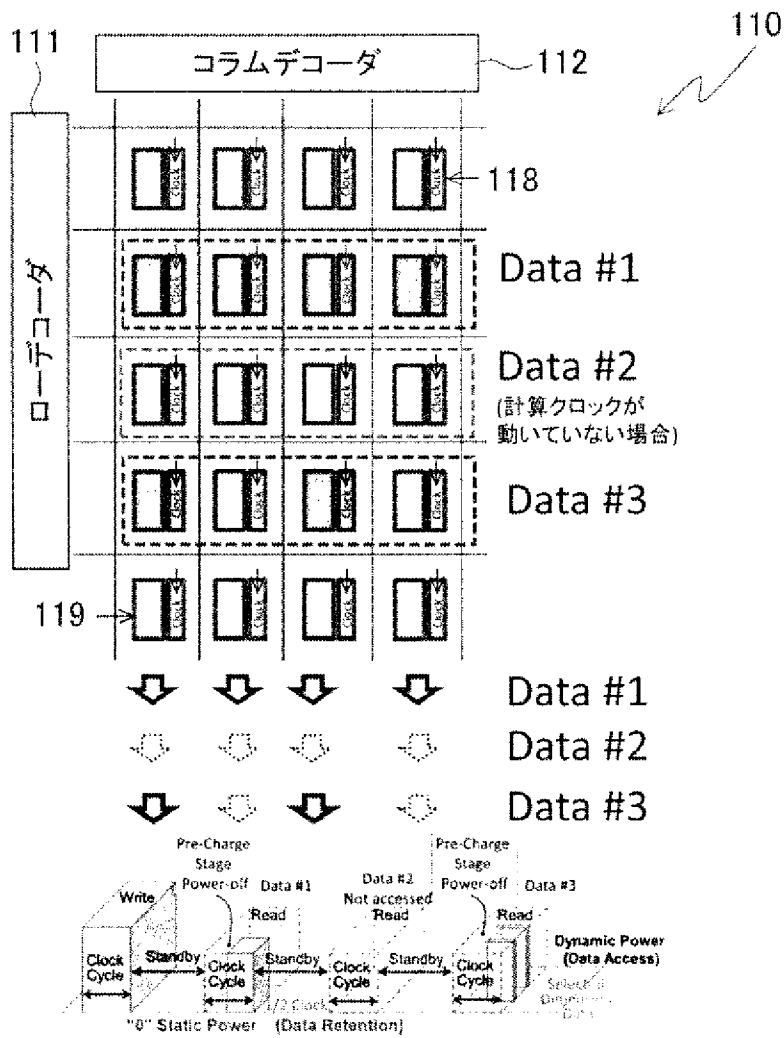
[図6]



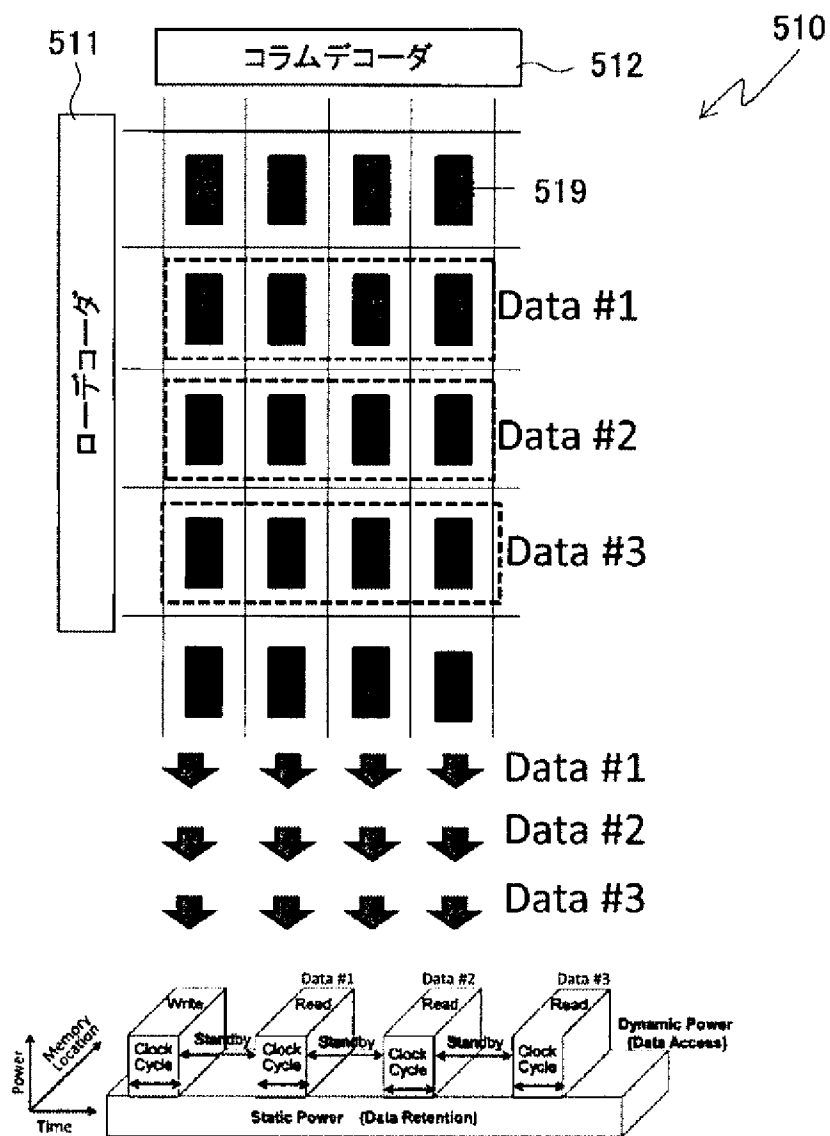
100



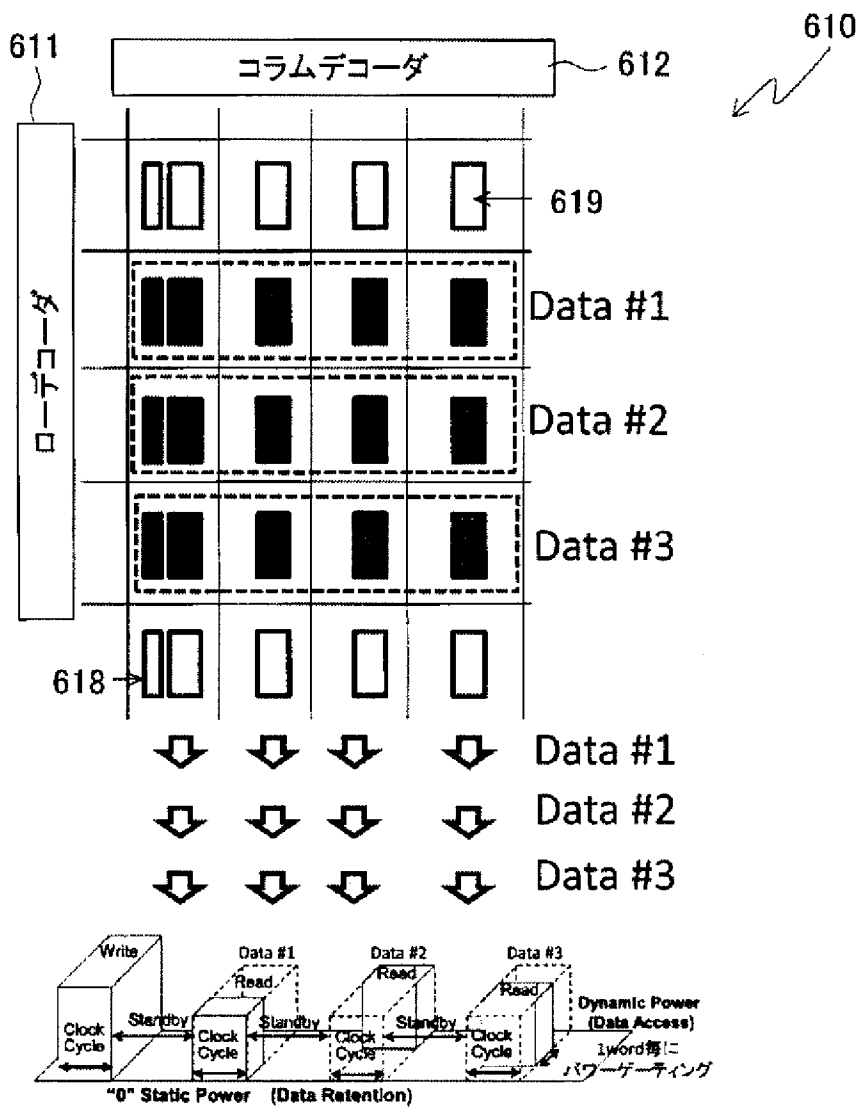
[図8]



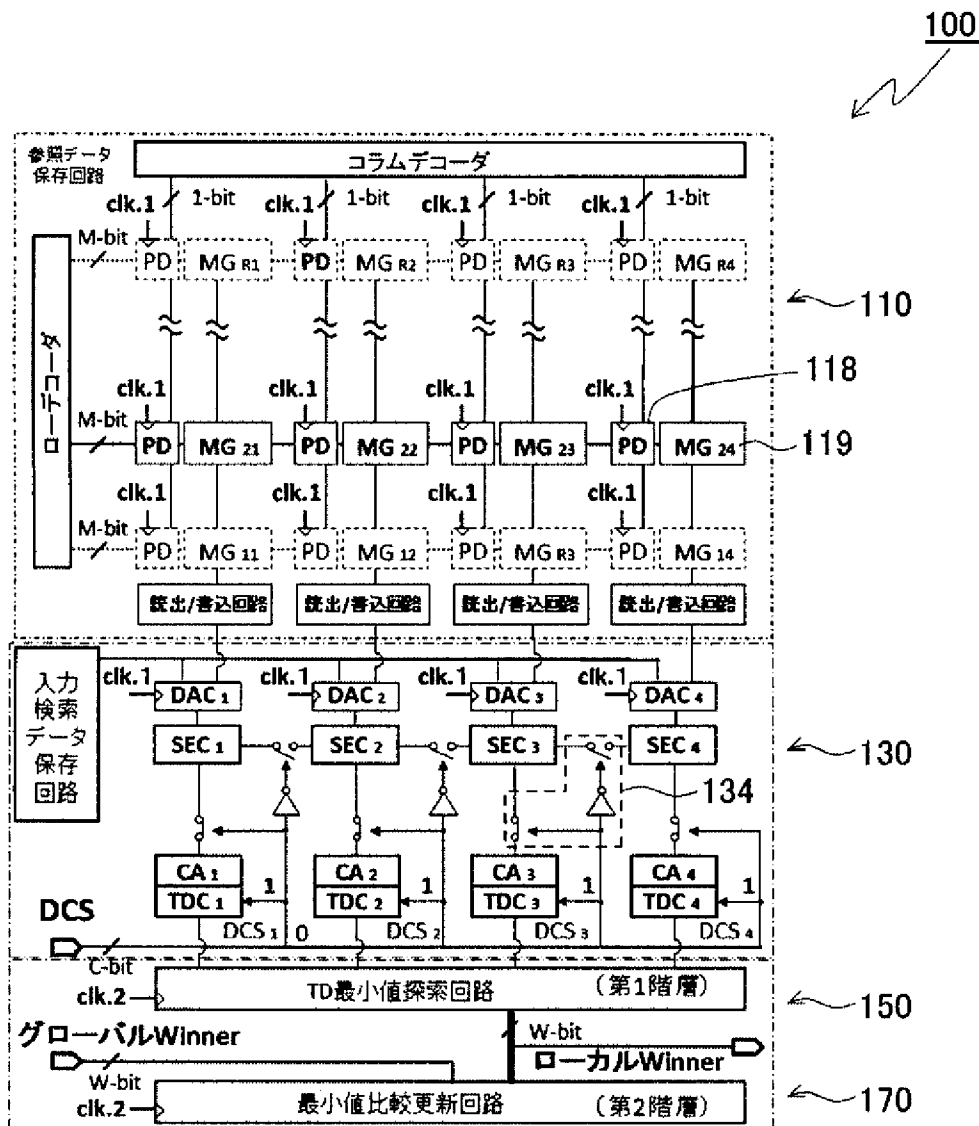
[図9]



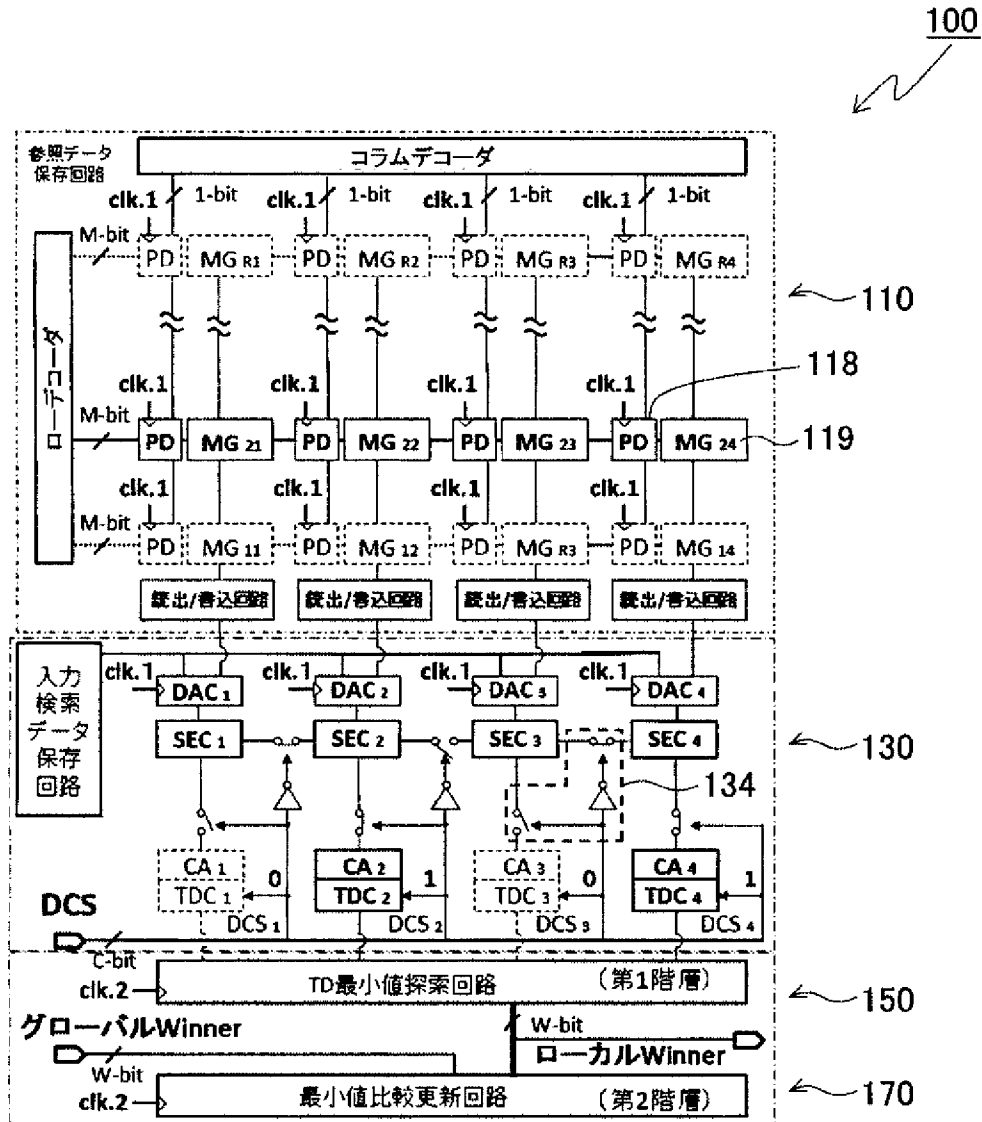
[図10]



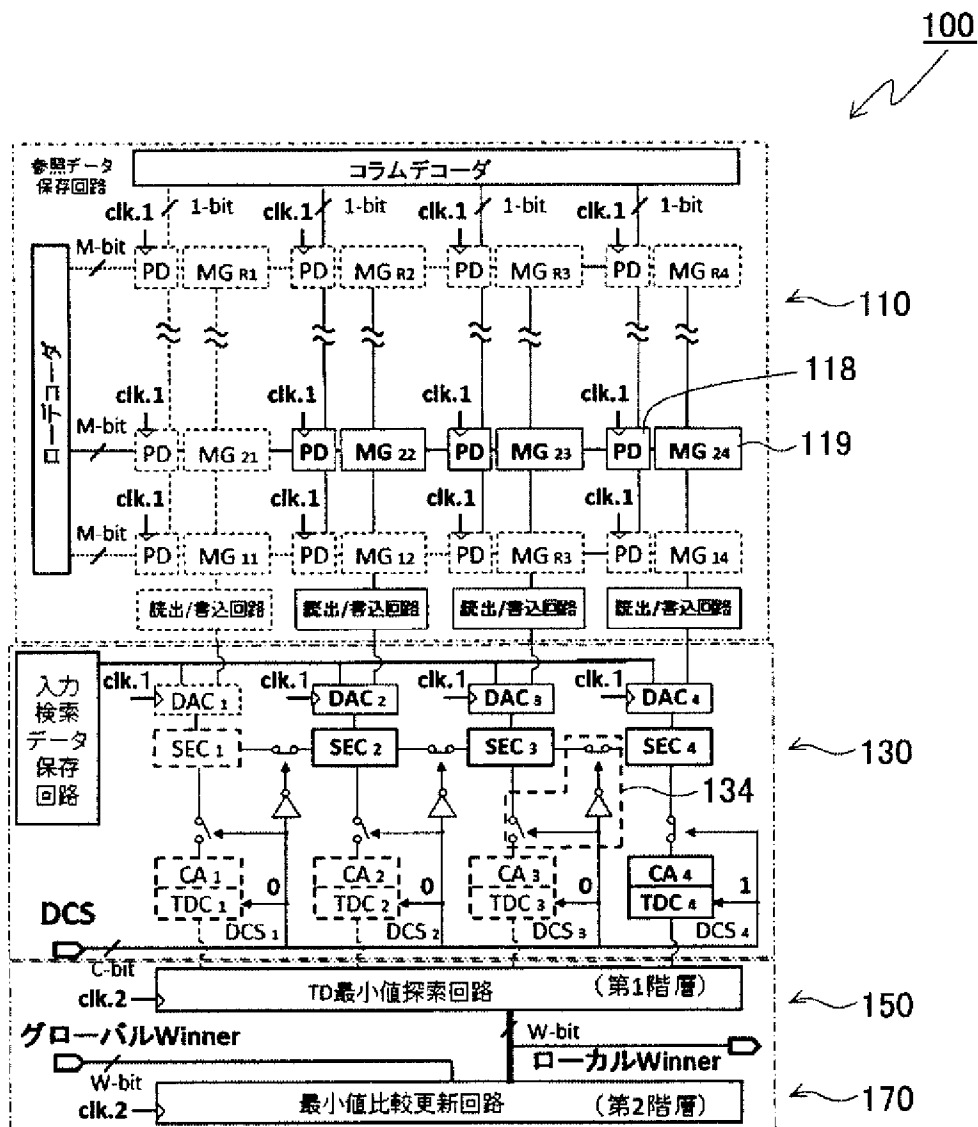
[図11A]



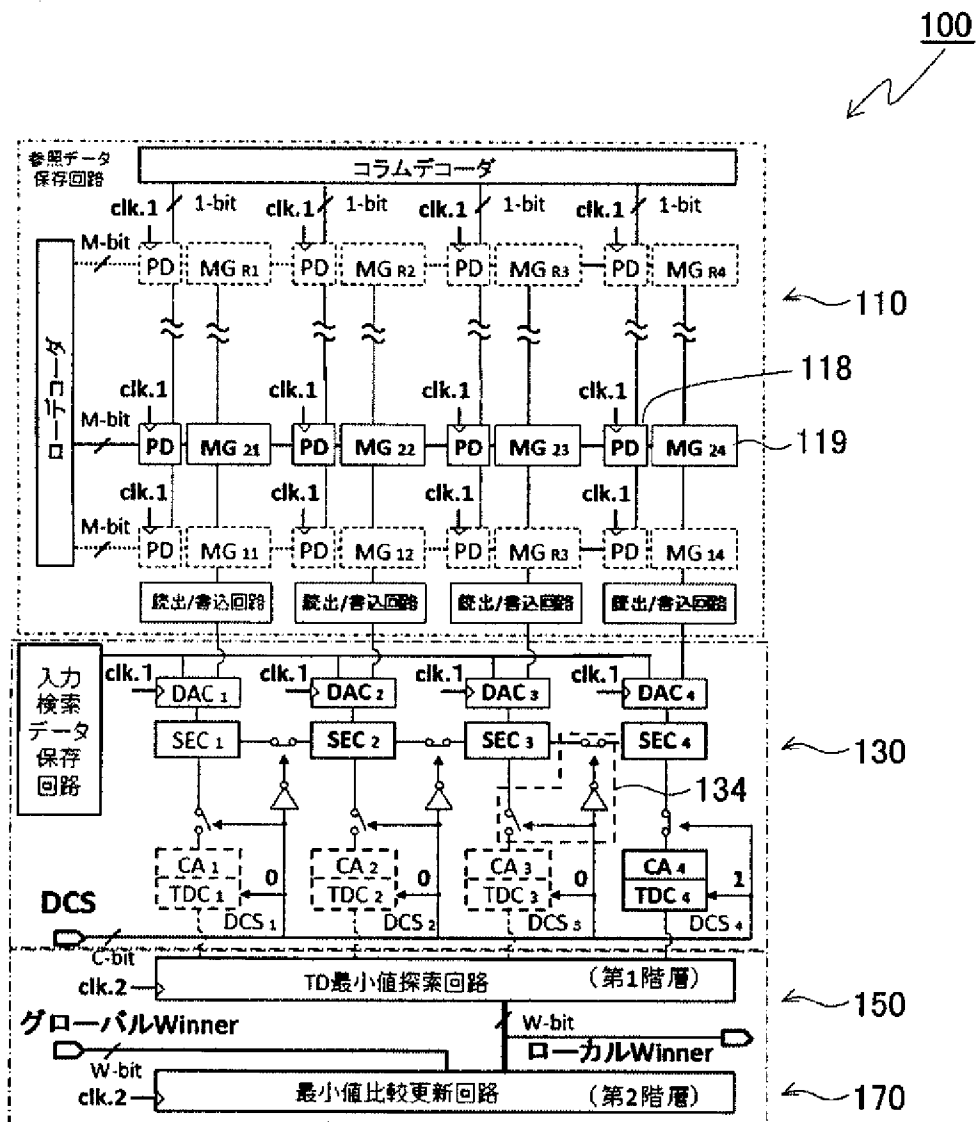
[図11B]



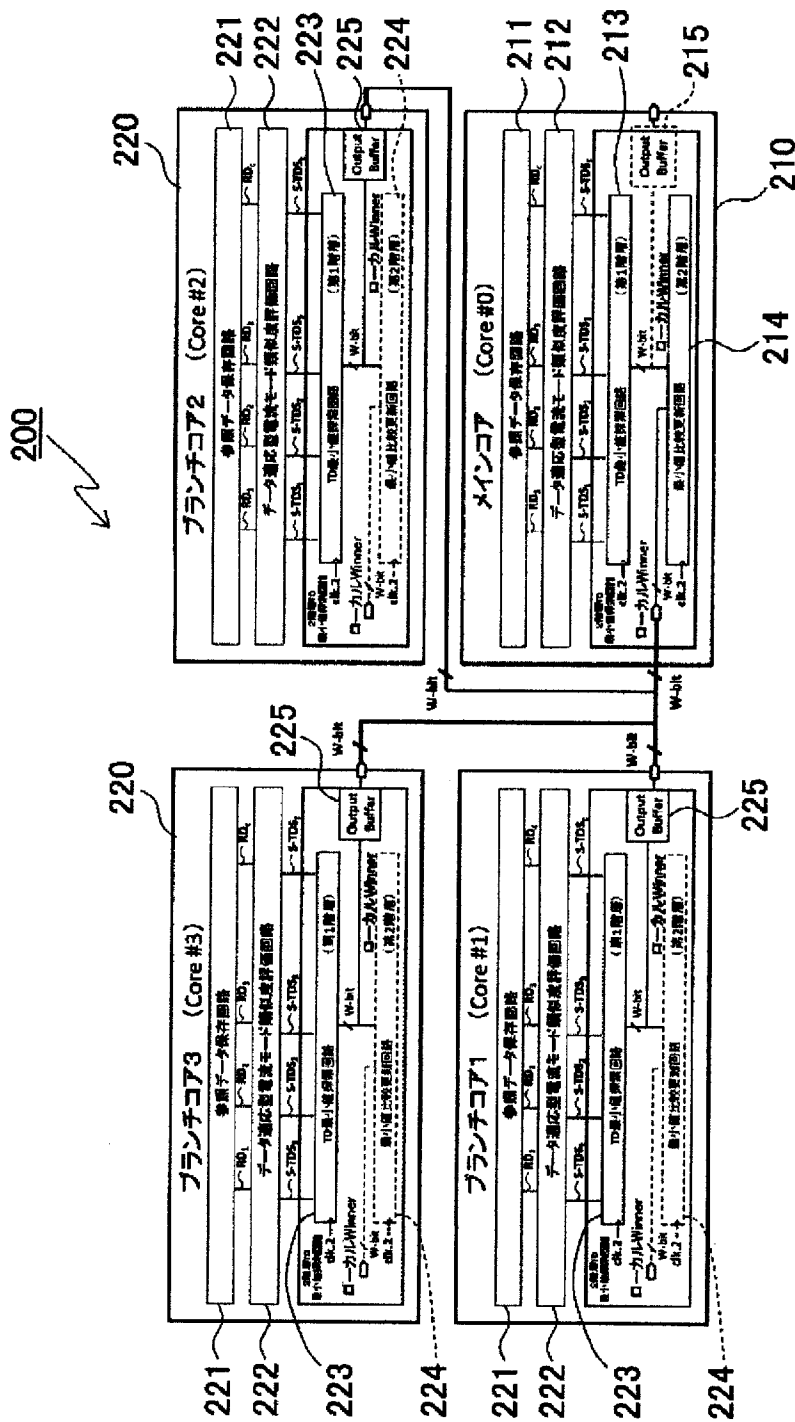
[図11C]



【図11D】

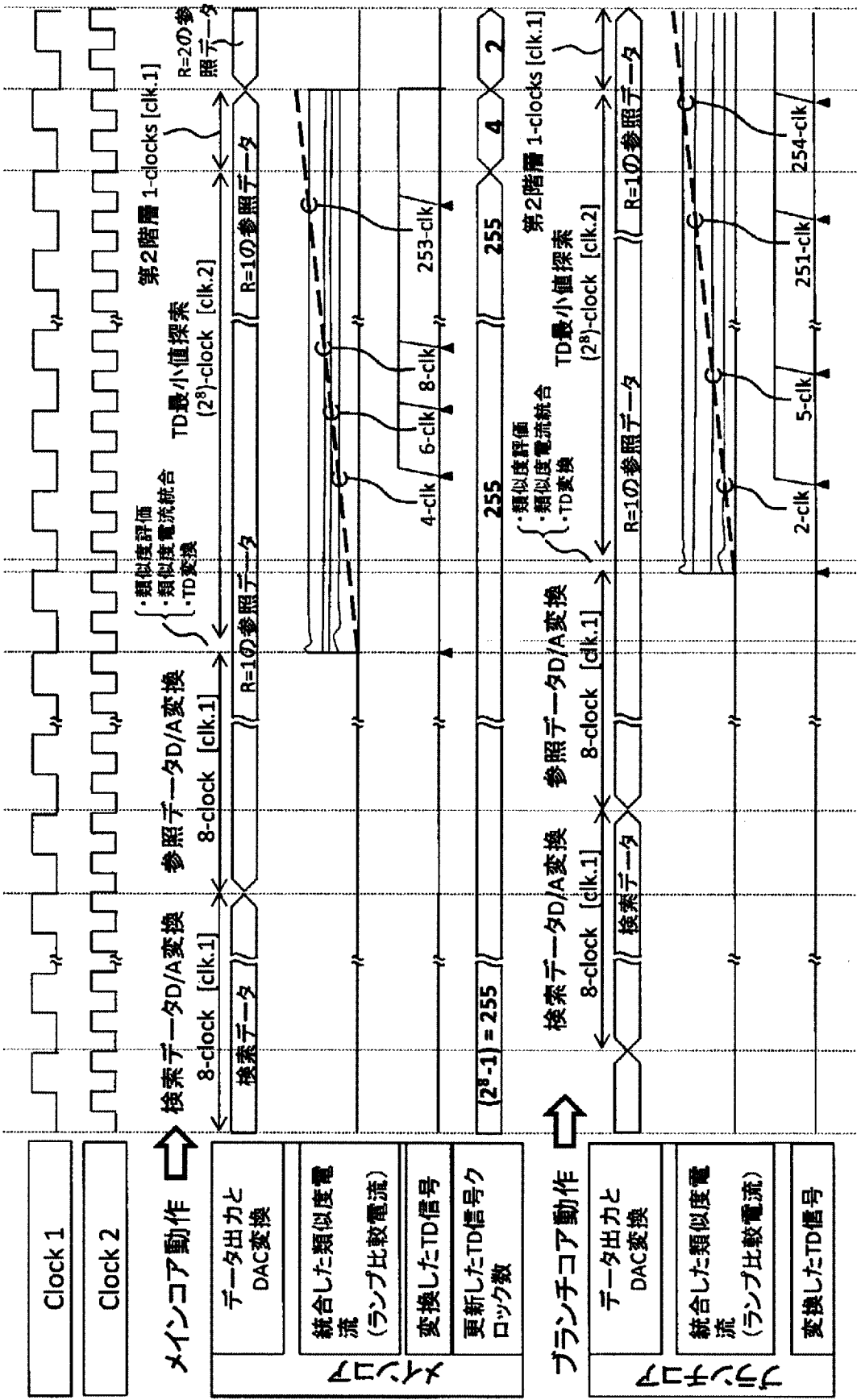


[図12]

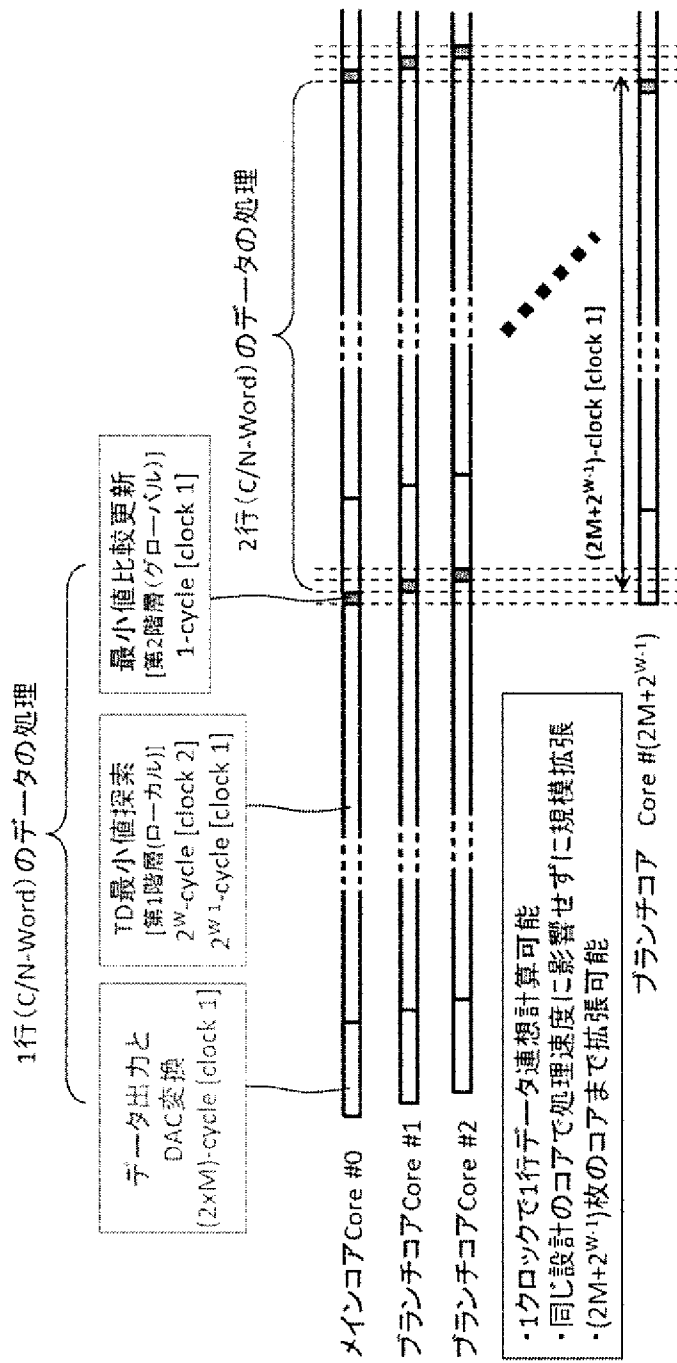


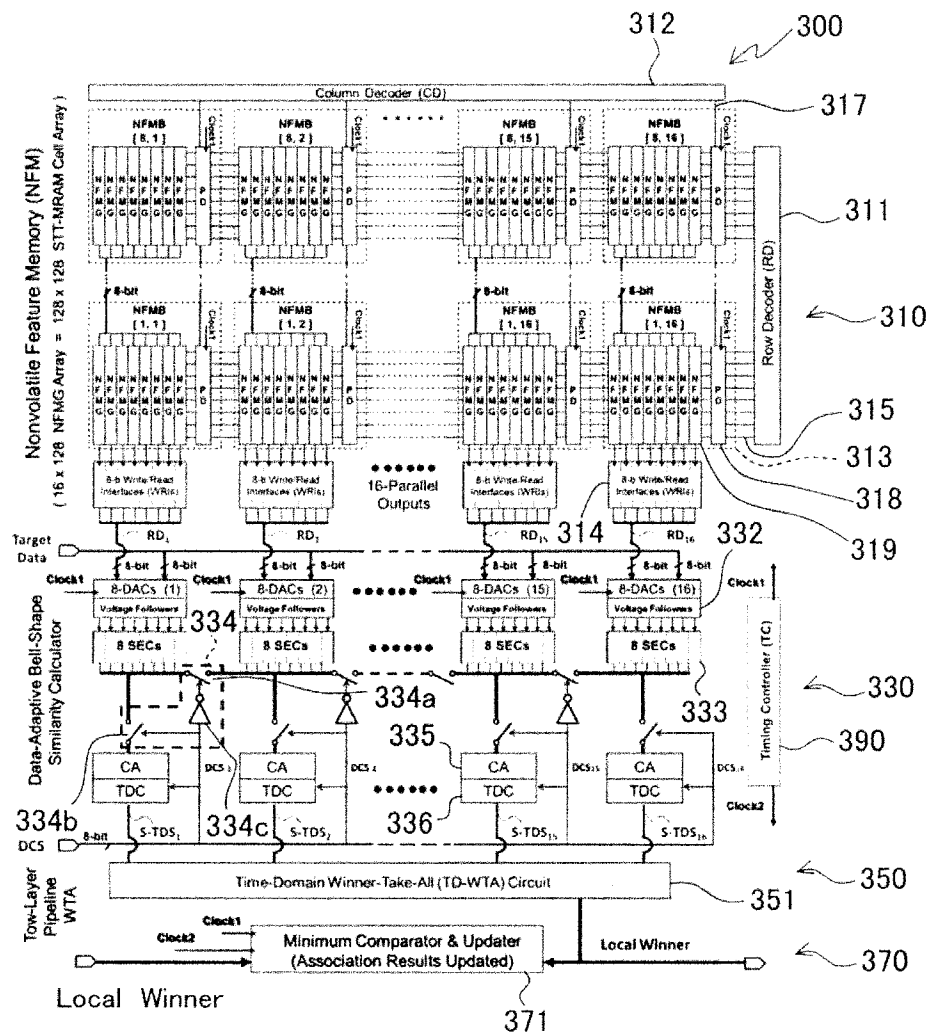
[図13]

C=4、N=1、M=8、W=8、R=未指定、2-chipシステム、2種類クロック

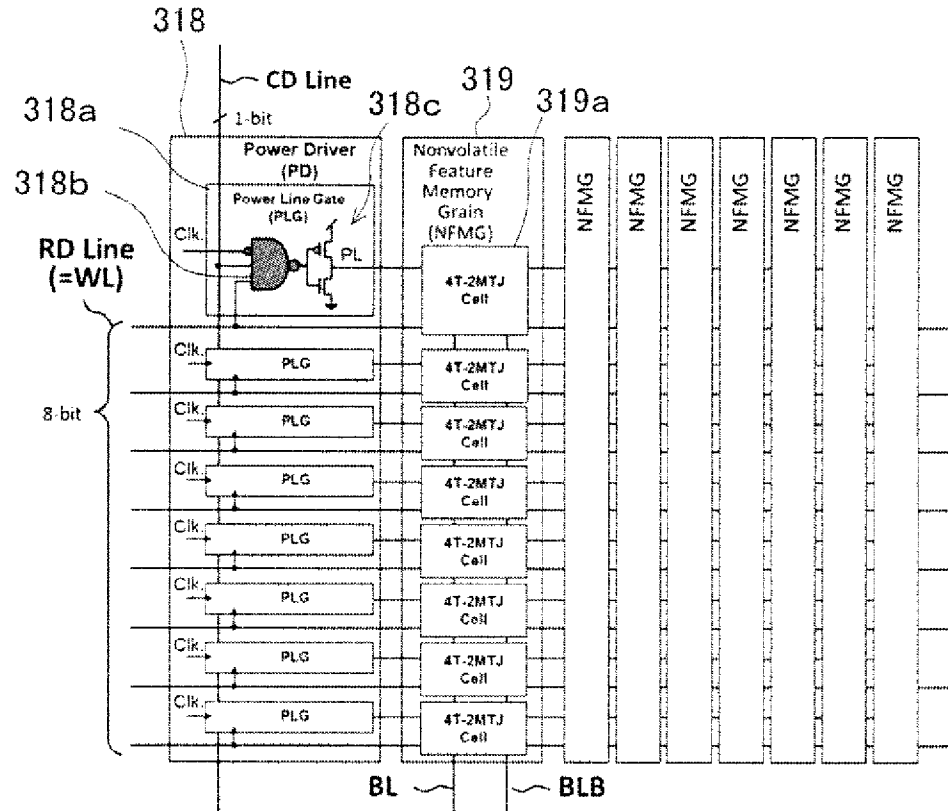


[図14]

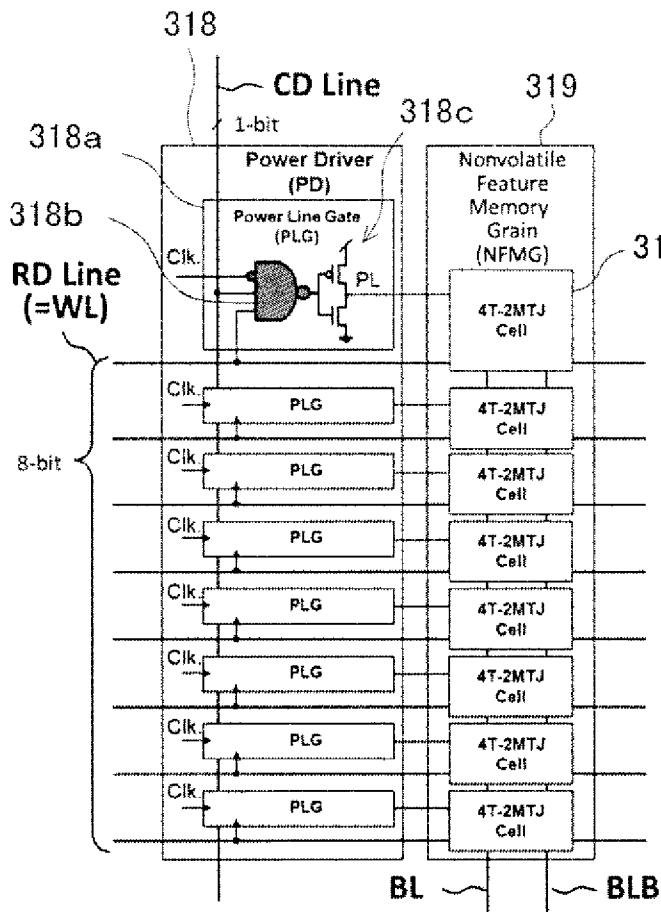




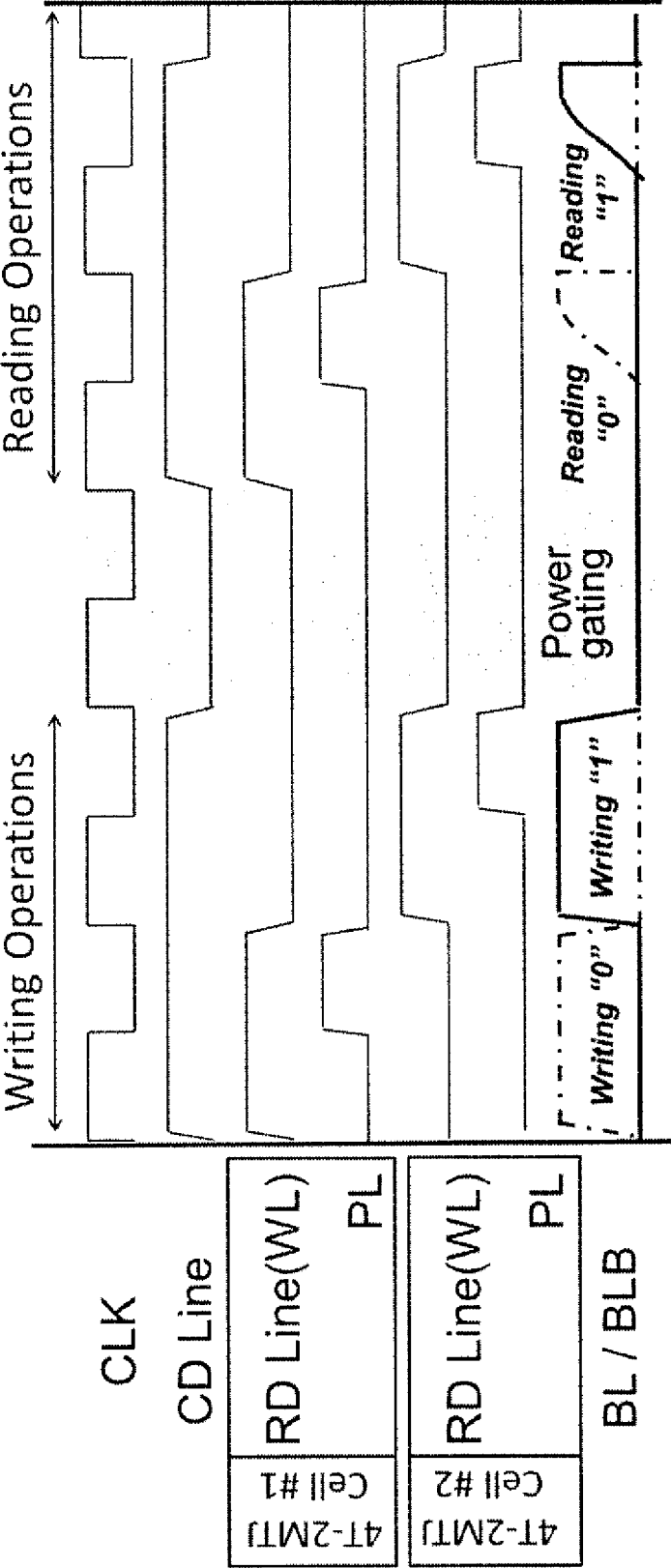
[図16]



[図17A]



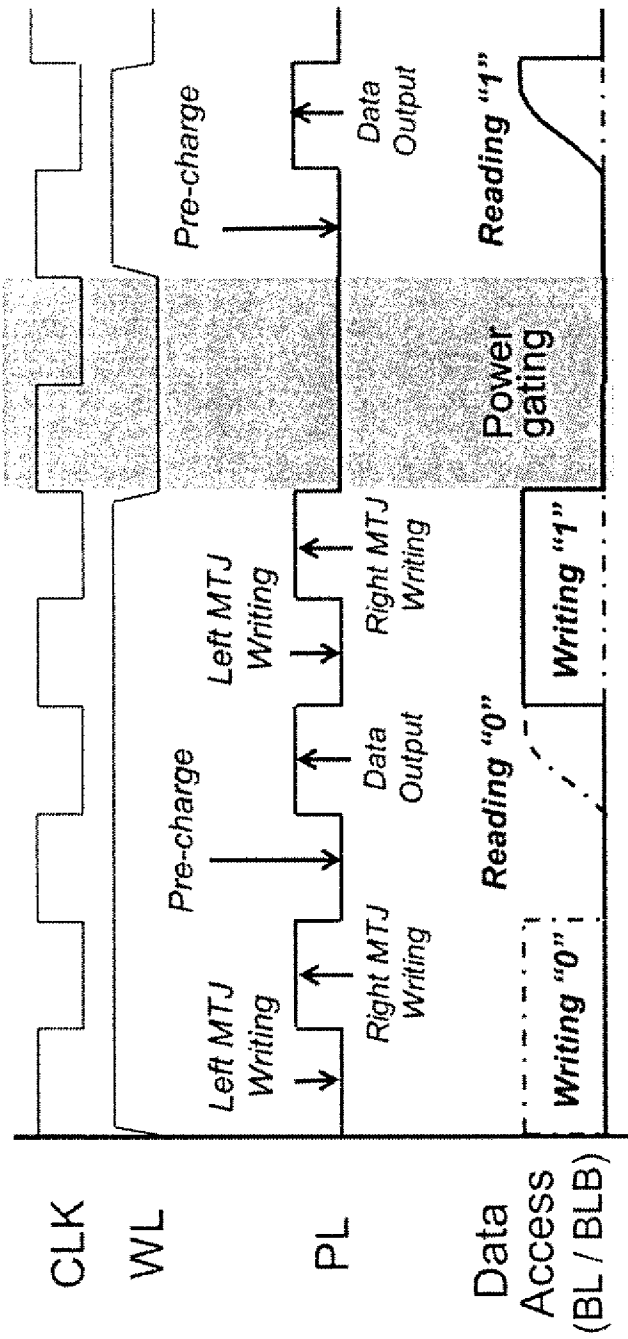
[図17B]



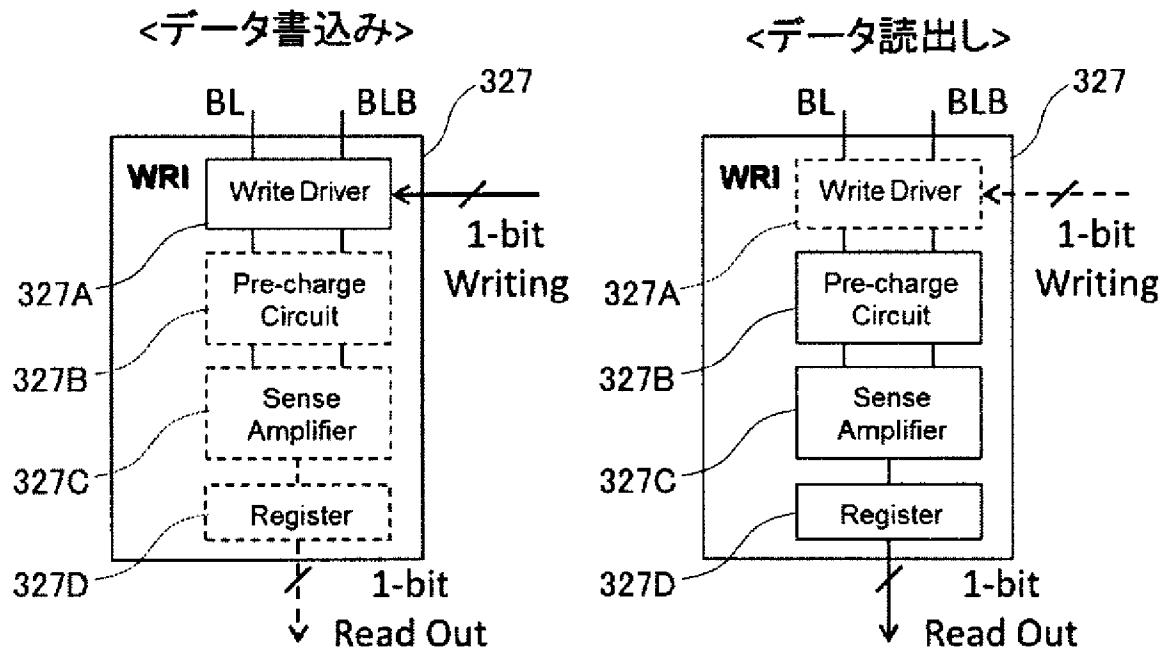
The diagram illustrates a memory array structure. On the left, an 8-bit data bus is labeled "RD Line (=WL)". This bus is connected to a vertical stack of eight "4T-2MTJ Cell" units. To the right of the cells is a vertical line labeled "BLB". Above the cells, a "Power Driver (PD)" and a "Power Line Gate (PLG)" are shown. The PD is connected to a "CD Line" (1-bit) and the PLG is connected to the "RD Line (=WL)". The PLG is also connected to a "Clk" signal. The output of the PLG is connected to the "BL" line. The entire structure is labeled "318" and "318c". The "4T-2MTJ Cell" units are labeled "319a".

[illegible]

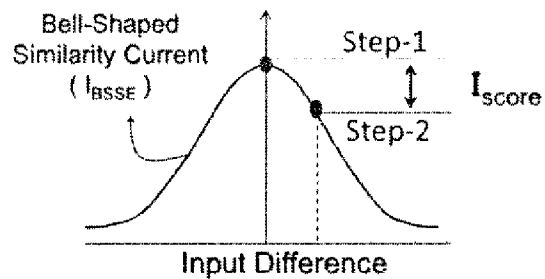
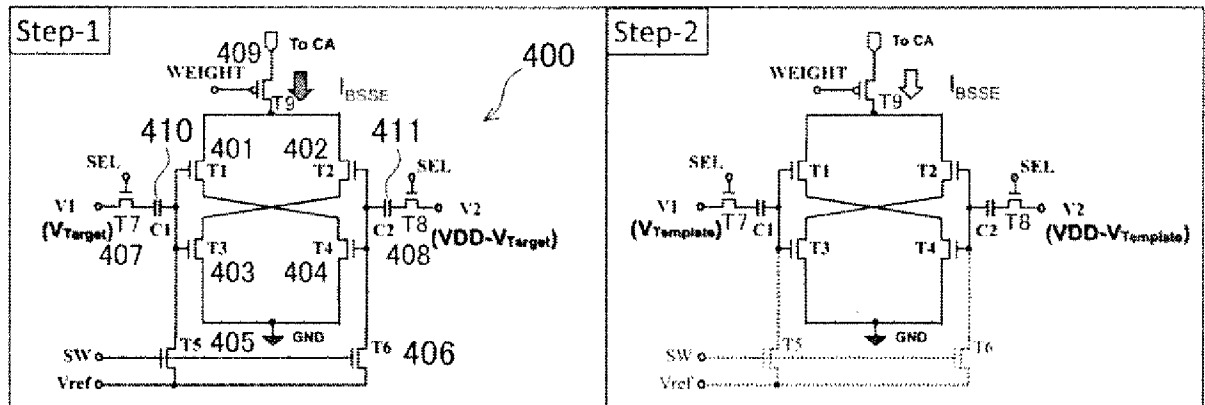
[図19]



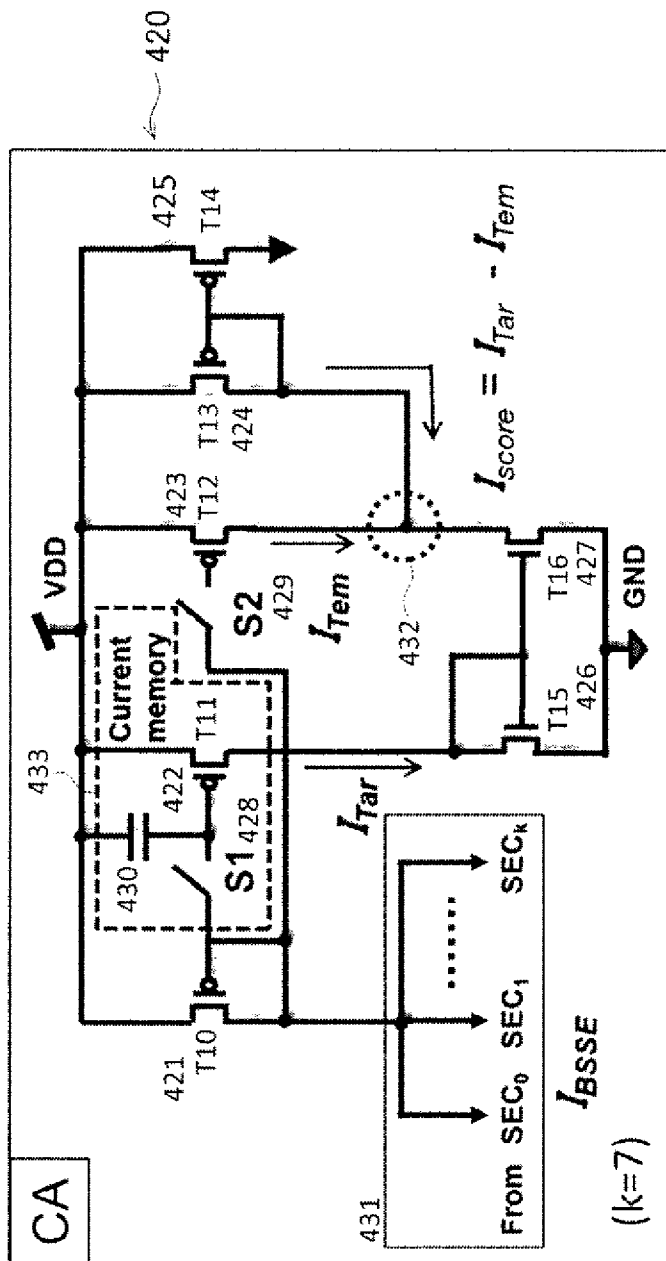
[図20]



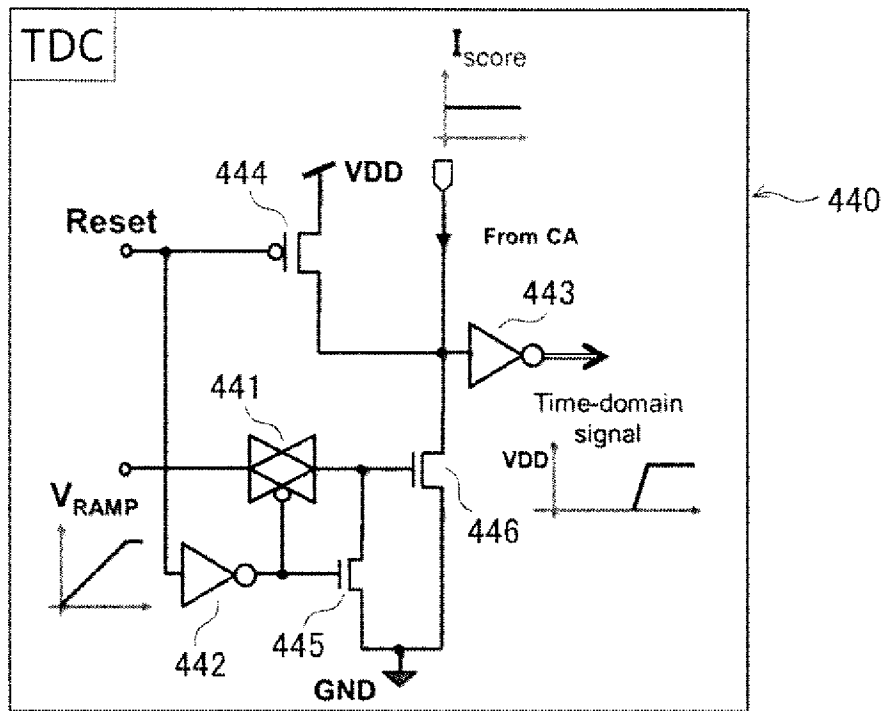
[図21]



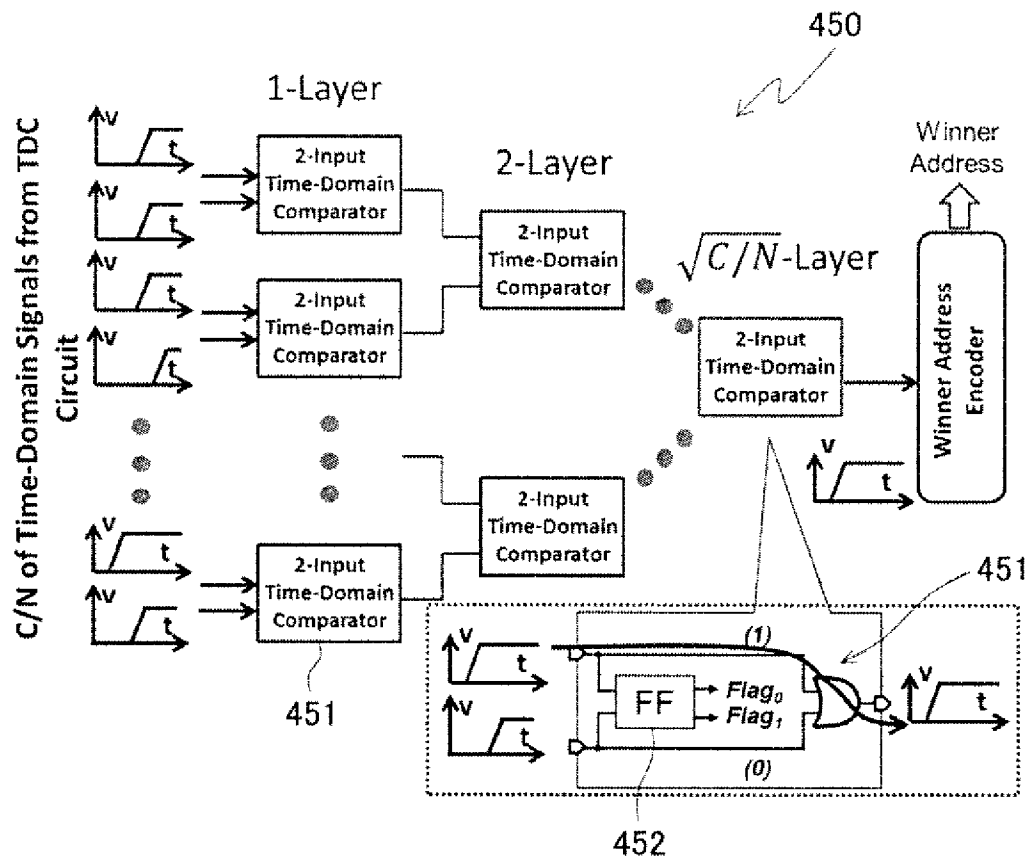
[図22]



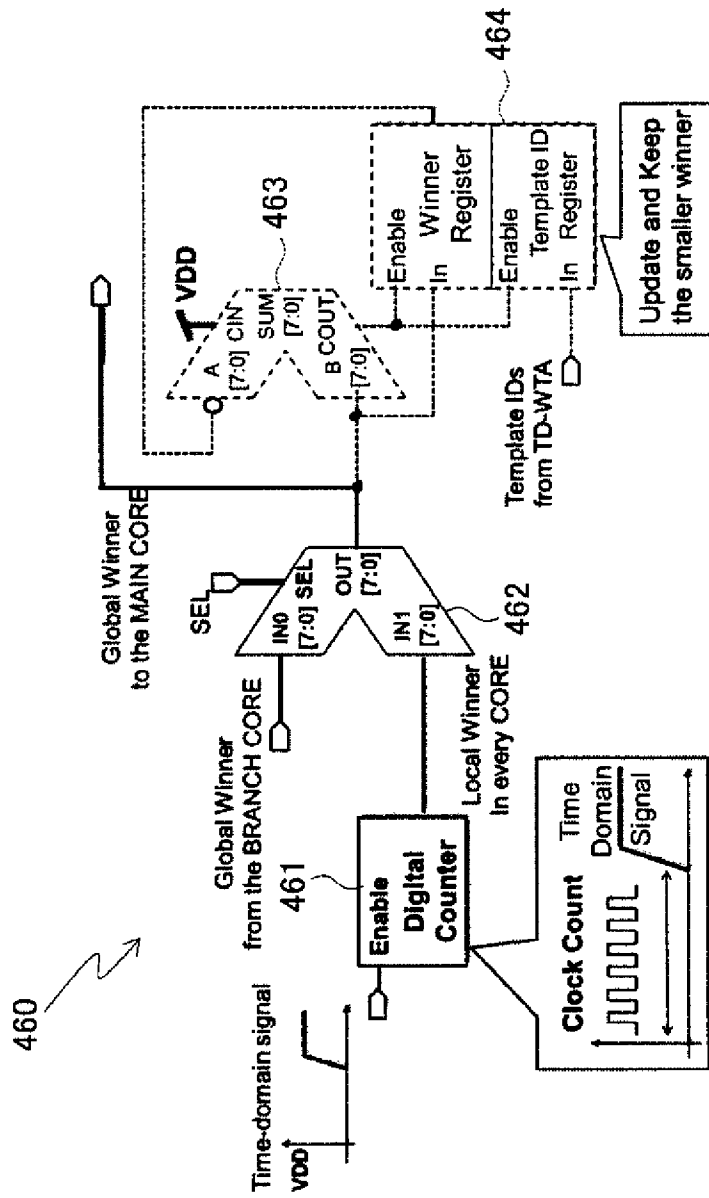
[図23]



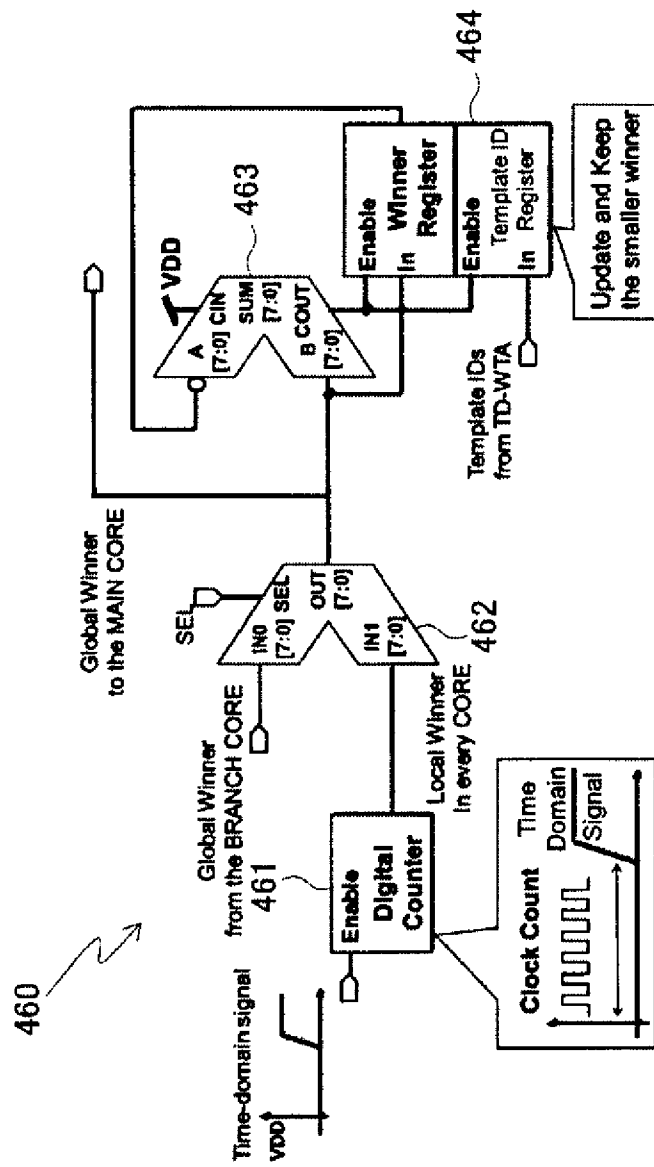
[図24]



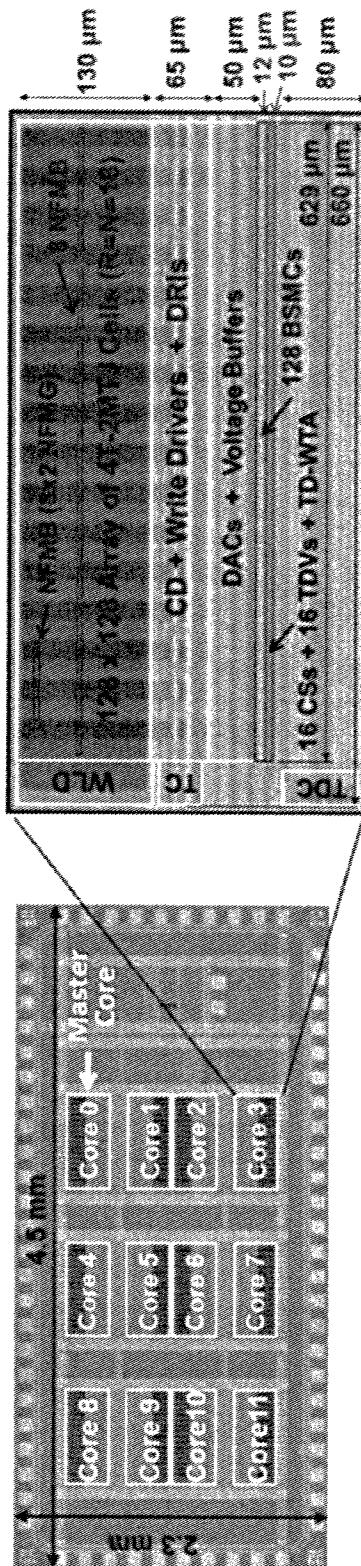
[図25]



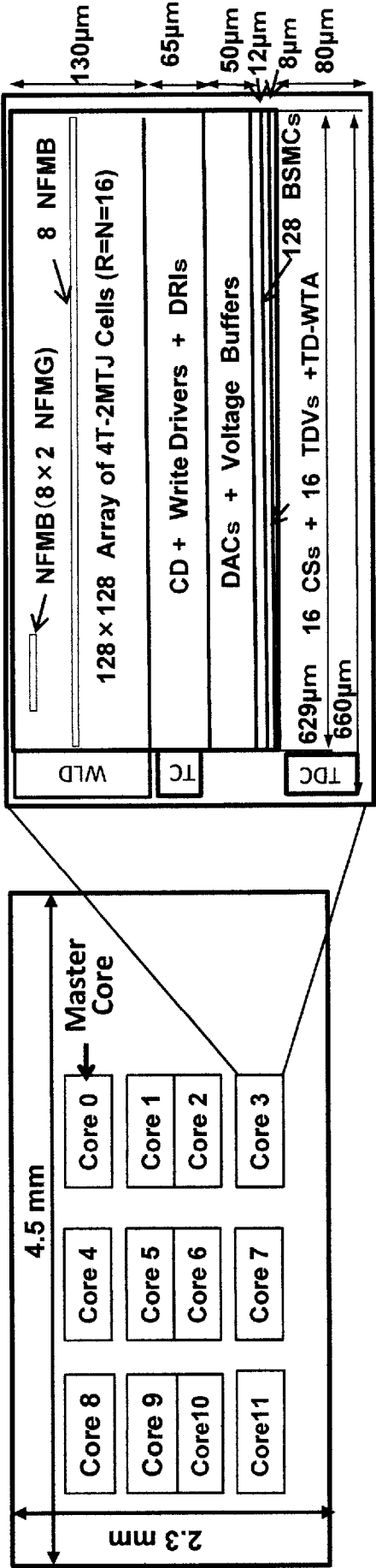
[図26]



[図27A]



[図27B]

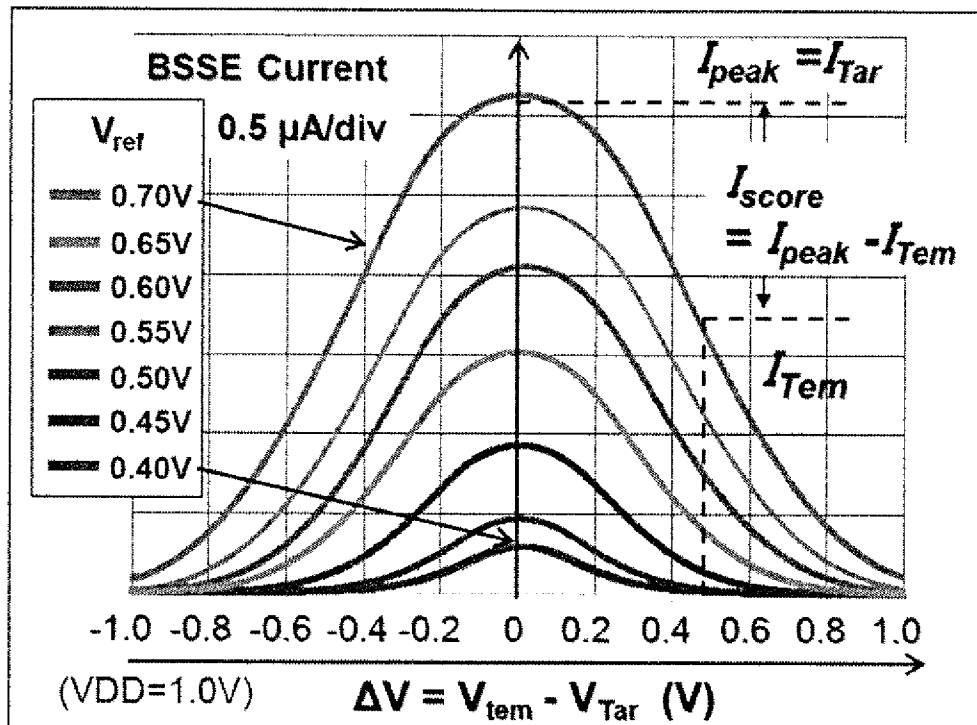


[図27C]

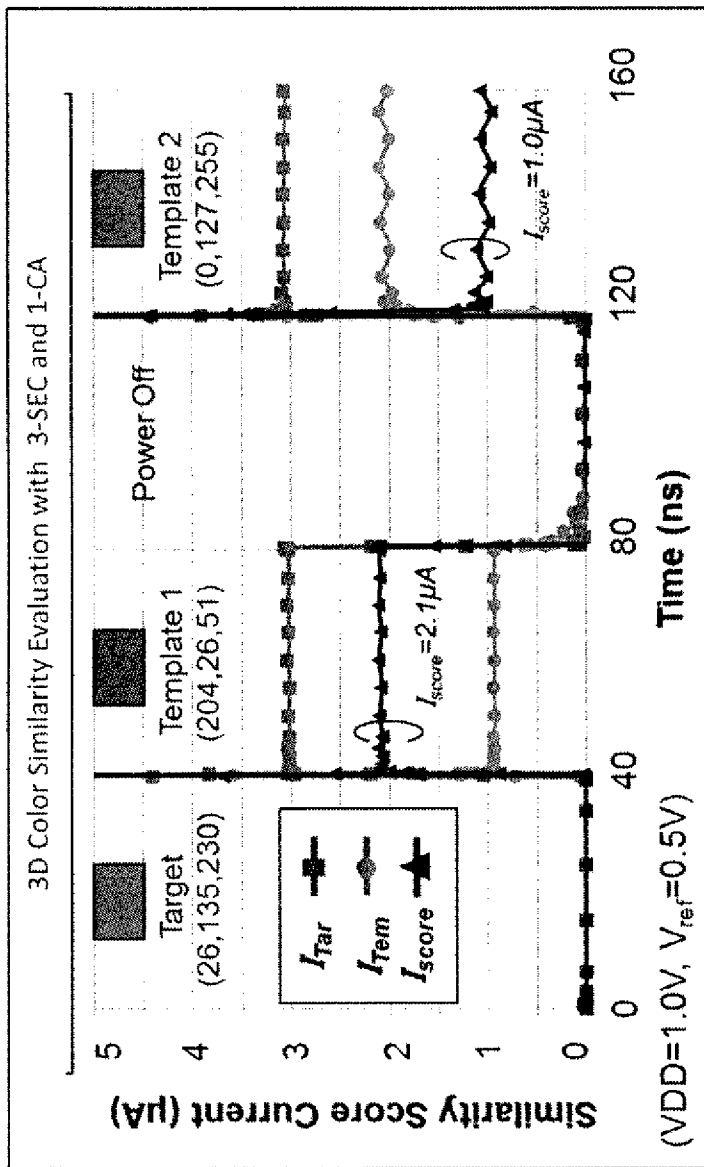
Performance Comparison:	This Work
Technology Process	90nm MTJ/CMOS
Circuit Area (Circuit Area/bit)	660 μm x 345 μm (~ 11 μm^2 /bit)
Number of MTJ	393K
Memory Size	16Kb
Vector Data Format	8D, 1b, 2048word ~ 128D 128b, 1word
Power Supply	1.0 V
Operation Frequency	Clk1 : 12.5 MHz, Clk2 : 50MHz
Throughput	8 cycle/vector (8D) ~ 128 cycle/vector (128D)
Average Operation Power Consumption	130 μW
Standby Power Dissipation	0
Similarity Evaluation Method	Bell-Shape Similarity Evaluation

[図28]

Bell-Shape類似度評価セル回路動作検証

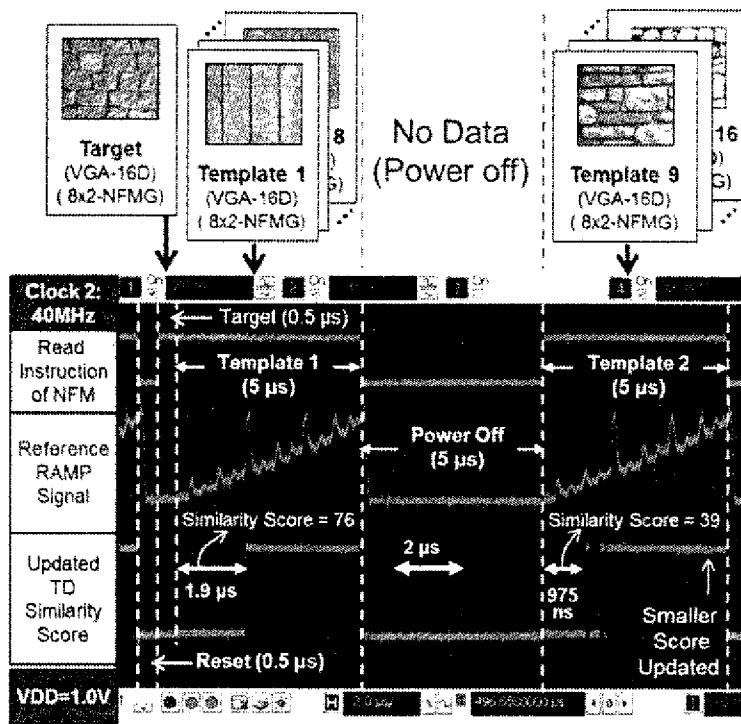


[図29]



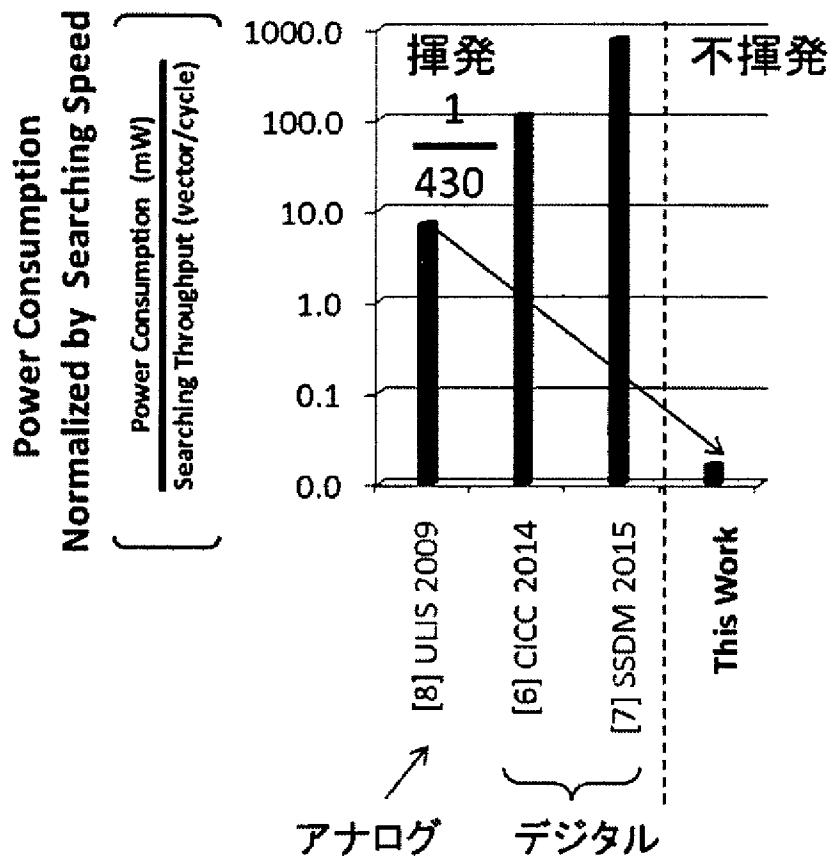
[図30]

16次元データ構成のコア動作波形



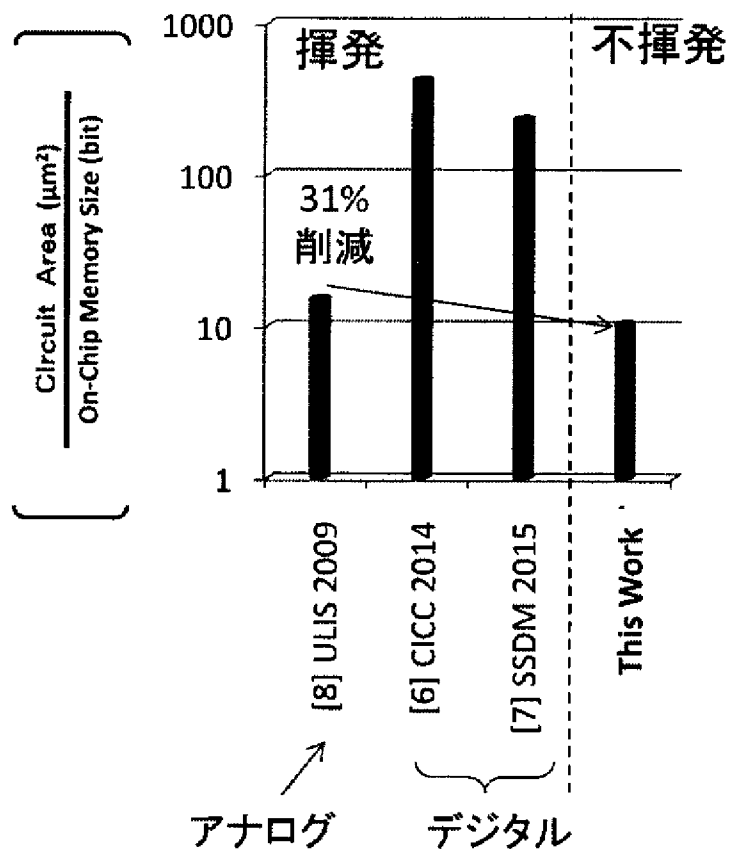
[図31]

消費電力比較

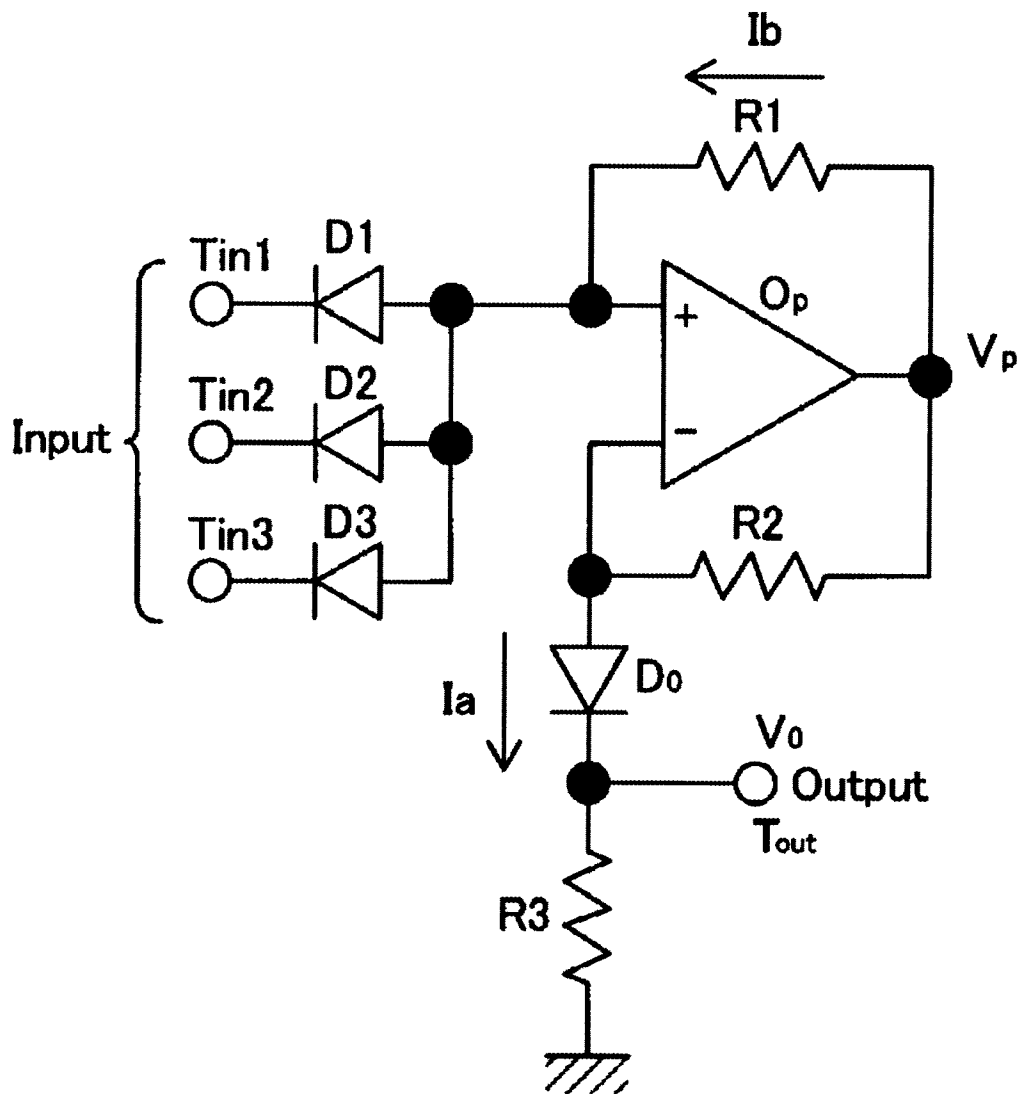


[図32]

回路面積比較



[図33]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/017943

A. CLASSIFICATION OF SUBJECT MATTER

G11C15/04(2006.01)i, G06F12/00(2006.01)i, G11C5/14(2006.01)i, G11C14/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C15/04, G06F12/00, G11C5/14, G11C14/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-162257 A (Hiroshima University), 07 September 2015 (07.09.2015), paragraphs [0021] to [0040], [0068]; fig. 1, 5 (Family: none)	1-27
A	WO 2011/102043 A1 (Katsumi INOUE), 25 August 2011 (25.08.2011), paragraphs [0046] to [0051], [0119] to [0126]; fig. 4, 15, 16 & US 2012/0324204 A1 paragraphs [0202] to [0209], [0337] to [0350]; fig. 4, 15, 16 & JP 4588114 B1 & EP 2538348 A1	1-27

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
02 June 2017 (02.06.17)

Date of mailing of the international search report
13 June 2017 (13.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G11C15/04(2006.01)i, G06F12/00(2006.01)i, G11C5/14(2006.01)i, G11C14/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G11C15/04, G06F12/00, G11C5/14, G11C14/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-162257 A（国立大学法人広島大学）2015.09.07, 段落[0021]-[0040], [0068], 図1, 5（ファミリーなし）	1-27
A	WO 2011/102043 A1（井上克己）2011.08.25, 段落[0046]-[0051], [0119]-[0126], 図4, 15, 16 & US 2012/0324204 A1, 段落[0202]-[0209], [0337]-[0350], 図4, 15, 16 & JP 4588114 B1 & EP 2538348 A1	1-27

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

02.06.2017

国際調査報告の発送日

13.06.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

後藤 彰

5 N

4 2 2 6

電話番号 03-3581-1101 内線 3586