



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I664728 B

(45)公告日：中華民國 108 (2019) 年 07 月 01 日

(21)申請案號：103140067

(22)申請日：中華民國 103 (2014) 年 11 月 19 日

(51)Int. Cl. : **H01L29/43 (2006.01)****H01L29/417 (2006.01)****H01L29/786 (2006.01)**

(30)優先權：2013/11/29 日本

2013-248284

2014/02/28 日本

2014-038615

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；肥塚純一 KOEZUKA, JUNICHI (JP)；島行
德 SHIMA, YUKINORI (JP)；神長正美 JINTYOU, MASAMI (JP)；羽持貴士
HAMOCHI, TAKASHI (JP)；日向野聡 HIGANO, SATOSHI (JP)；保坂泰靖
HOSAKA, YASU HARU (JP)；生內俊光 OBONAI, TOSHIMITSU (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2009/0173945A1

US 2011/0147733A1

US 2012/0161121A1

審查人員：黃本立

申請專利範圍項數：18 項 圖式數：53 共 219 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明的一個方式提供一種新穎半導體裝置，其中在使用氧化物半導體膜的電晶體中將含銅(Cu)的金屬膜用於佈線或信號線等。該半導體裝置包括絕緣表面上的具有導電性的氧化物半導體膜以及接觸於具有導電性的氧化物半導體膜的導電膜，其中該導電膜包括 Cu-X 合金膜(X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti)。

A novel semiconductor device in which a metal film containing copper (Cu) is used for a wiring, a signal line, or the like in a transistor including an oxide semiconductor film is provided. The semiconductor device includes an oxide semiconductor film having conductivity on an insulating surface and a conductive film in contact with the oxide semiconductor film having conductivity. The conductive film includes a Cu-X alloy film (X is Mn, Ni, Cr, Fe, Co, Mo, Ta, or Ti).

指定代表圖：

- 符號簡單說明：
- 151 . . . 基板
 - 153 . . . 絕緣膜
 - 153a . . . 絕緣膜
 - 155b . . . 氧化物半導體膜
 - 156 . . . 覆蓋膜
 - 156a . . . 覆蓋膜
 - 157 . . . 絕緣膜
 - 157a . . . 絕緣膜
 - 159 . . . 導電膜
 - 159a . . . 導電膜
 - 159b . . . 導電膜

圖 1A

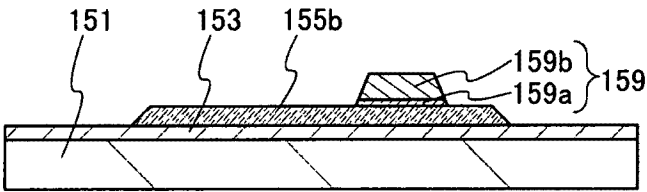


圖 1B

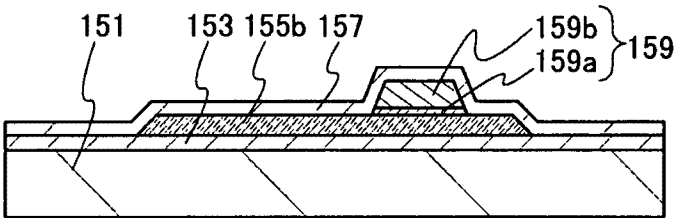


圖 1C

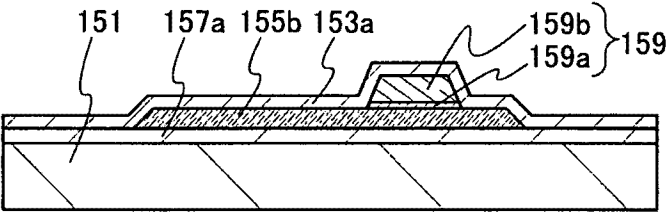


圖 1D

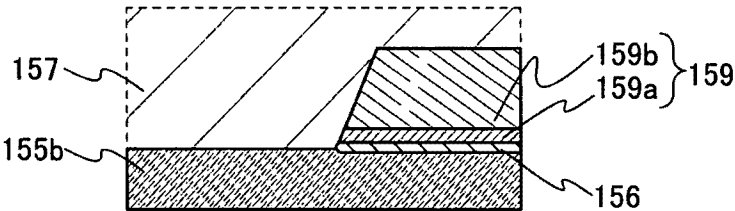
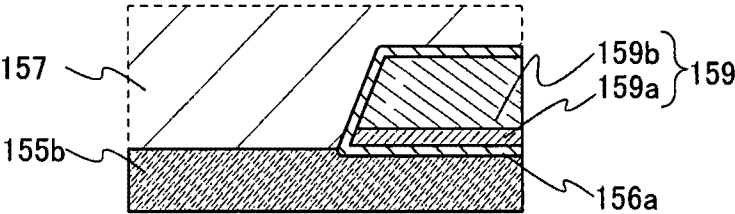


圖 1E



發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

[0001] 本發明的一個方式係關於一種使用氧化物半導體的半導體裝置及顯示裝置。

[0002] 注意，本發明的一個方式不侷限於上述發明所屬之技術領域。本說明書等所公開的發明的一個方式的發明所屬之技術領域係關於一種物體、方法或製造方法。此外，本發明的一個方式係關於一種程式（process）、機器（machine）、產品（manufacture）或者組成物（composition of matter）。由此，更明確而言，作為本說明書所公開的本發明的一個方式的發明所屬之技術領域的例子可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、這些裝置的驅動方法或者這些裝置的製造方法。

【先前技術】

[0003] 使用電晶體的顯示裝置（例如液晶面板、有機 EL 面板）的螢幕尺寸的大型化得到了推進。隨著螢幕尺寸的大型化產生如下問題：在使用電晶體等主動元件的

顯示裝置中，因佈線電阻而施加到元件的電壓根據與該元件連接的佈線的位置不同，結果導致顯示不均勻或灰階不良等顯示品質的劣化。

[0004] 作為用於佈線或信號線等的材料，以前廣泛地使用鋁膜，而現在為了進一步降低電阻，對使用銅（Cu）膜的技術展開了積極地研究開發。然而，銅（Cu）膜具有如下缺點：與基底膜之間的密接性低；銅膜中的銅元素會擴散到電晶體的半導體膜中而容易使電晶體特性劣化；等。注意，作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。但是，作為其他材料，氧化物半導體受到關注（參照專利文獻 1）。

[0005] 另外，作為所形成在使用包含銅的氧化物半導體材料的半導體膜上的歐姆電極的材料，已公開 Cu-Mn 合金（參照專利文獻 2）。

[0006]

[專利文獻 1] 日本專利申請公開第 2007-123861 號公報

[專利文獻 2] 國際公開第 2012/002573 號

[0007] 在使用矽類半導體材料作為半導體膜的電晶體中，對將銅膜用於佈線或信號線等且防止銅膜中的銅元素擴散到半導體膜中的結構開發日益火熱。然而，在使用氧化物半導體膜的電晶體中，有如下問題：關於將銅膜用於佈線或信號線等且防止銅膜中的銅元素擴散到氧化物半導體膜中的結構，還沒發現最適合的製造方法及最適合的

結構。

[0008] 另外，在使用氧化物半導體膜的電晶體中，當將銅膜用於佈線或信號線等且使用障壁膜來抑制銅膜中的銅元素的擴散時，發生如下問題：該氧化物半導體膜的電特性劣化；使用該氧化物半導體膜的電晶體的遮罩個數增加；或者使用該氧化物半導體膜的電晶體的製造成本增高。

【發明內容】

[0009] 鑒於上述問題，本發明的一個方式的目的之一是提供一種新穎半導體裝置，其中在使用氧化物半導體膜的電晶體中將含銅（Cu）的金屬膜用於佈線或信號線等。本發明的一個方式的其他目的之一是提供一種半導體裝置的製造方法，其中在使用氧化物半導體膜的電晶體中將含銅（Cu）的金屬膜用於佈線或信號線等。本發明的一個方式的其他目的之一是提供一種新穎半導體裝置，其中在使用氧化物半導體膜的電晶體中含銅（Cu）的金屬膜的形狀良好。本發明的一個方式的其他目的之一是提供一種新穎半導體裝置或一種新穎半導體裝置的製造方法。

[0010] 注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個方式並不需要實現所有上述目的。另外，從說明書、圖式、申請專利範圍等的記載可明顯看出這些目的以外的目的，而可以從說明書、圖式、申請專利範圍等的記載中抽出這些以外的目的。

[0011] 本發明的一個方式是一種半導體裝置，該半導體裝置包括絕緣表面上的具有導電性的氧化物半導體膜以及接觸於具有導電性的氧化物半導體膜的第一導電膜，其中第一導電膜包括 Cu-X 合金膜（X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti）。

[0012] 另外，本發明的一個方式是一種半導體裝置，該半導體裝置包括絕緣表面上的具有導電性的氧化物半導體膜以及接觸於具有導電性的氧化物半導體膜的第一導電膜，其中具有導電性的氧化物半導體膜的氫濃度為 $8 \times 10^{19} \text{ atoms/cm}^3$ 以上，並且第一導電膜包括 Cu-X 合金膜（X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti）。

[0013] 另外，本發明的一個方式是一種半導體裝置，該半導體裝置包括絕緣表面上的具有導電性的氧化物半導體膜以及接觸於具有導電性的氧化物半導體膜的第一導電膜，其中具有導電性的氧化物半導體膜的電阻率為 $1 \times 10^{-3} \Omega \text{ cm}$ 以上且低於 $1 \times 10^4 \Omega \text{ cm}$ ，第一導電膜包括 Cu-X 合金膜（X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti）。

[0014] 另外，第一導電膜是一對導電膜，具有導電性的氧化物半導體膜及接觸於具有導電性的氧化物半導體膜的一對導電膜可以用作電阻元件。

[0015] 另外，本發明的一個方式的半導體裝置包括接觸於具有導電性的氧化物半導體膜及第一導電膜的絕緣膜以及接觸於絕緣膜且隔著絕緣膜與具有導電性的氧化物半導體膜重疊的第二導電膜。具有導電性的氧化物半導體

膜、第一導電膜、絕緣膜以及第二導電膜也可以用作電容元件。此外，絕緣膜也可以具有氮化物絕緣膜。

[0016] 第一導電膜包括 Cu-Mn 合金膜。另外，第一導電膜是層疊 Cu-Mn 合金膜及 Cu-Mn 合金膜上的 Cu 膜而成的疊層膜。或者，第一導電膜是層疊第一 Cu-Mn 合金膜、第一 Cu-Mn 合金膜上的 Cu 膜以及 Cu 膜上的第二 Cu-Mn 合金膜而成的疊層膜。

[0017] 在第一導電膜的外周也可以具備具有包含 X 的化合物的覆蓋膜。另外，當第一導電膜包括 Cu-Mn 合金膜時，也可以在第一導電膜的外周具備氧化錳。

[0018] 具有導電性的氧化物半導體膜包含結晶部，其中結晶部的 c 軸也可以是平行於氧化物半導體膜的被形成面的法線向量的方向。

[0019] 具有導電性的氧化物半導體膜也可以包含 In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）。

[0020] 根據本發明的一個方式，可以提供一種新穎半導體裝置，其中在使用氧化物半導體膜的電晶體中將含銅的金屬膜用於佈線或信號線等。根據本發明的一個方式，可以提供一種半導體裝置的製造方法，其中在使用氧化物半導體膜的電晶體中將含銅的金屬膜用於佈線或信號線等。根據本發明的一個方式，可以提供一種新穎半導體裝置，其中在使用氧化物半導體膜的電晶體中含銅的金屬膜的形狀良好。根據本發明的一個方式，可以提供一種生

產率得到提高的新穎半導體裝置。根據本發明的一個方式，可以提供一種新穎半導體裝置或一種新穎半導體裝置的製造方法。

[0021] 注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個方式並不需要具有所有上述效果。另外，從說明書、圖式、申請專利範圍等的記載可明顯看出這些效果以外的效果，而可以從說明書、圖式、申請專利範圍等的記載中抽出這些以外的效果。

【圖式簡單說明】

[0022]

圖 1A 至 1E 是說明本發明的半導體裝置的一個方式的剖面圖；

圖 2A 至 2D 是說明本發明的半導體裝置的製造方法的一個方式的剖面圖；

圖 3A 至 3D 是說明本發明的半導體裝置的製造方法的一個方式的剖面圖；

圖 4A 至 4C 是說明本發明的半導體裝置的製造方法的一個方式的剖面圖；

圖 5A 至 5F 是說明本發明的半導體裝置的一個方式的剖面圖；

圖 6A 至 6C 是說明本發明的半導體裝置的一個方式的剖面圖；

圖 7A 至 7D 是說明本發明的半導體裝置的一個方式

的剖面圖；

圖 8A 和 8B 是說明本發明的半導體裝置的一個方式的電路圖；

圖 9A 和 9B 是說明本發明的半導體裝置的一個方式的俯視圖及剖面圖；

圖 10A 和 10B 是說明本發明的半導體裝置的製造方法的一個方式的剖面圖；

圖 11A 至 11C 是說明本發明的半導體裝置的製造方法的一個方式的剖面圖；

圖 12A 至 12C 是說明本發明的半導體裝置的製造方法的一個方式的剖面圖；

圖 13A 和 13B 是說明本發明的半導體裝置的製造方法的一個方式的剖面圖；

圖 14A 至 14C 是說明本發明的半導體裝置的製造方法的一個方式的剖面圖；

圖 15A 至 15C 是說明顯示裝置的一個方式的方塊圖及電路圖；

圖 16 是說明顯示裝置的一個方式的俯視圖；

圖 17 是說明顯示裝置的一個方式的剖面圖；

圖 18A 至 18D 是說明顯示裝置的製造方法的一個方式的剖面圖；

圖 19A 至 19C 是說明顯示裝置的製造方法的一個方式的剖面圖；

圖 20A 至 20C 是說明顯示裝置的製造方法的一個方

式的剖面圖；

圖 21A 和 21B 是說明顯示裝置的製造方法的一個方式的剖面圖；

圖 22 是說明顯示裝置的一個方式的剖面圖；

圖 23 是說明顯示裝置的一個方式的剖面圖；

圖 24 是說明顯示裝置的一個方式的剖面圖；

圖 25 是說明顯示裝置的一個方式的剖面圖；

圖 26A 和 26B 是說明電晶體的一個方式的剖面圖；

圖 27 是說明顯示裝置的一個方式的俯視圖；

圖 28 是說明顯示裝置的一個方式的剖面圖；

圖 29A 至 29C 是說明顯示裝置的製造方法的一個方式的剖面圖；

圖 30A 至 30C 是說明顯示裝置的製造方法的一個方式的剖面圖；

圖 31 是說明顯示裝置的一個方式的剖面圖；

圖 32 是說明顯示裝置的一個方式的剖面圖；

圖 33A 至 33C 是說明顯示裝置的製造方法的一個方式的剖面圖；

圖 34A 和 34B 是說明顯示裝置的一個方式的剖面圖；

圖 35 是說明顯示裝置的一個方式的剖面圖；

圖 36 是說明顯示裝置的一個方式的剖面圖；

圖 37A 至 37D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像以及 CAAC-OS 的剖面示意圖；

圖 38A 至 38D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像；

圖 39A 至 39C 是說明藉由 XRD 得到的 CAAC-OS 以及單晶氧化物半導體的結構分析的圖；

圖 40A 和 40B 是示出 CAAC-OS 的電子繞射圖案的圖；

圖 41 是示出藉由電子照射的 In-Ga-Zn 氧化物的結晶部的變化的圖；

圖 42A 和 42B 是說明 CAAC-OS 以及 nc-OS 的成膜模型的示意圖；

圖 43A 至 43C 是說明 InGaZnO₄ 的結晶及顆粒的圖；

圖 44A 至 44D 是說明 CAAC-OS 的成膜模型的示意圖；

圖 45A 和 45B 是說明 InGaZnO₄ 的結晶的圖；

圖 46A 和 46B 是說明原子碰撞之前的 InGaZnO₄ 的結構等的圖；

圖 47A 和 47B 是說明原子碰撞之後的 InGaZnO₄ 的結構等的圖；

圖 48A 和 48B 是說明原子碰撞之後的原子的軌跡的圖；

圖 49A 和 49B 是 CAAC-OS 及靶材的剖面 HAADF-STEM 影像；

圖 50 是說明氧化物半導體膜的電阻率的溫度依賴性的圖；

圖 51 是說明顯示模組的圖；

圖 52A 至 52E 是說明根據實施方式的電子裝置的外觀圖的圖；

圖 53A 和 53B 是說明樣本的 STEM 影像及 EDX 分析的結果的圖。

【實施方式】

[0023] 下面，參照圖式對實施方式進行說明。注意，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於下面的實施方式所記載的內容中。

[0024] 另外，在圖式中，為便於清楚地說明，有時誇大表示大小、層的厚度或區域。因此，本發明並不一定限定於上述尺寸。此外，在圖式中，示意性地示出理想的例子，而不侷限於圖式所示的形狀或數值等。

[0025] 注意，本說明書等所使用的“第一”、“第二”、“第三”等序數詞是為了避免構成要素的混同而附加的，而不是為了在數目方面上進行限定而附加的。

[0026] 注意，在本說明書等中，為了方便起見，使用“上”“下”等表示配置的詞句以參照圖式說明構成要素的位置關係。另外，構成要素的位置關係根據描述各構成要素的方向適當地改變。因此，不侷限於本說明書中所

說明的詞句，根據情況可以適當地更換表達方式。

[0027] 此外，在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極（汲極端子、汲極區域或汲極電極層）與源極（源極端子、源極區域或源極電極層）之間具有通道區域，並且電流能夠流過汲極、通道區域以及源極。注意，在本說明書等中，通道區域是指電流主要流過的區域。

[0028] 另外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，“源極”及“汲極”的功能有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。

[0029] 另外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。在此，“具有某種電作用的元件”只要可以進行連接目標間的電信號的授受，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器、其他具有各種功能的元件等。

[0030]

實施方式 1

在本實施方式中，參照圖 1A 至圖 6C 說明本發明的一個方式的半導體裝置。在本實施方式中說明具有導電性的氧化物半導體膜及接觸於該氧化物半導體膜的導電膜的結構以及其製造方法。此外，在此，具有導電性的氧化物

半導體膜用作電極或佈線。

[0031] 圖 1A 至 1E 為剖面圖，其中示出半導體裝置所包括的具有導電性的氧化物半導體膜及接觸於該氧化物半導體膜的導電膜。

[0032] 在圖 1A 中，在基板 151 上形成有絕緣膜 153、絕緣膜 153 上的具有導電性的氧化物半導體膜 155b 以及接觸於具有導電性的氧化物半導體膜 155b 的導電膜 159。

[0033] 另外，如圖 1B 所示，也可以在絕緣膜 153、具有導電性的氧化物半導體膜 155b 及導電膜 159 上形成有絕緣膜 157。

[0034] 另外，如圖 1C 所示，也可以在絕緣膜 157a 上形成具有導電性的氧化物半導體膜 155b。此時，可以在具有導電性的氧化物半導體膜 155b 及導電膜 159 上設置絕緣膜 153a。

[0035] 具有導電性的氧化物半導體膜 155b 典型地使用 In-Ga 氧化物膜、In-Zn 氧化物膜、In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）等金屬氧化物膜形成。此外，具有導電性的氧化物半導體膜 155b 具有透光性。

[0036] 在具有導電性的氧化物半導體膜 155b 為 In-M-Zn 氧化物膜的情況下，在 In 與 M 之和為 100atomic% 時，In 與 M 的原子百分比佳為 In 的原子百分比高於 25atomic% 且 M 的原子百分比低於 75atomic%，更佳為 In

的原子百分比高於 34atomic%且 M 的原子百分比低於 66atomic%。

[0037] 具有導電性的氧化物半導體膜 155b 的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。

[0038] 具有導電性的氧化物半導體膜 155b 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0039] 在具有導電性的氧化物半導體膜 155b 為 In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）的情況下，較佳為用來形成 In-M-Zn 氧化物膜的濺射靶材的金屬元素的原子數比滿足 $\text{In} \geq \text{M}$ 、 $\text{Zn} \geq \text{M}$ 。這種濺射靶材的金屬元素的原子數比較佳為 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:1.5$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:2.3$ 、 $\text{In}:\text{M}:\text{Zn}=2:1:3$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 等。注意，每個所形成的具有導電性的氧化物半導體膜 155b 的原子數比作為誤差都包含上述濺射靶材中的金屬元素的原子數比的 $\pm 40\%$ 的範圍內的變動。

[0040] 另外，具有導電性的氧化物半導體膜 155b 例如可以具有非單晶結構。非單晶結構例如包括後述 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）、多晶結構、後述微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷態密度最高，而 CAAC-OS 的缺陷態密度最低。

[0041] 此外，具有導電性的氧化物半導體膜 155b 也

可以為具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的混合膜。混合膜有時例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的單層結構。另外，混合膜有時例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0042] 絕緣膜 157 及絕緣膜 157a 較佳為使用包含氫的膜形成，典型的是，較佳為使用包含氫的氮化矽膜形成。當接觸於氧化物半導體膜的絕緣膜 157 及絕緣膜 157a 包含氫時，該氫被供應到氧化物半導體膜中，由此可以形成具有導電性的氧化物半導體膜 155b。

[0043] 具有導電性的氧化物半導體膜 155b 包含雜質。作為包含於具有導電性的氧化物半導體膜 155b 的雜質有氫。另外，作為雜質也可以包含硼、磷、氮、錫、銻、稀有氣體元素、鹼金屬、鹼土金屬等代替氫。

[0044] 具有導電性的氧化物半導體膜 155b 的氫濃度為 $8 \times 10^{19} \text{atoms/cm}^3$ 以上，較佳為 $1 \times 10^{20} \text{atoms/cm}^3$ 以上，更佳為 $5 \times 10^{20} \text{atoms/cm}^3$ 以上。此外，具有導電性的氧化物半導體膜 155b 的氫濃度為 20 atoms% 以下，較佳為 $1 \times 10^{22} \text{atoms/cm}^3$ 以下。注意，藉由利用二次離子質譜分析 (SIMS: Secondary Ion Mass Spectrometry) 或氫前方散射法 (HFS: Hydrogen Forward Scattering) 測量出上述濃

度。

[0045] 具有導電性的氧化物半導體膜 155b 包含缺陷及雜質以具有導電性。具有導電性的氧化物半導體膜 155b 的電阻率較佳為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^4 \Omega \text{cm}$ ，更佳為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^{-1} \Omega \text{cm}$ 。

[0046] 具有導電性的氧化物半導體膜 155b 包含雜質及缺陷。典型的是，具有導電性的氧化物半導體膜 155b 是其中在形成製程中因當在真空氛圍下進行加熱處理時氧脫離而缺陷生成的膜。或者，它是其中因添加稀有氣體而缺陷生成的膜。或者，它是其中因在導電膜 159 的成膜製程或蝕刻製程中暴露於電漿而缺陷生成的膜。作為包含於具有導電性的氧化物半導體膜 155b 的缺陷的一個例子有氧缺損。

[0047] 當對形成有氧缺損的氧化物半導體添加氫時，氫進入氧缺損而在導帶附近形成施體能階。其結果是，氧化物半導體的導電性增高，而成為導電體。可以將成為導電體的氧化物半導體稱為氧化物導電體。也就是說，具有導電性的氧化物半導體膜 155b 是由氧化物導電體膜形成的。一般而言，由於氧化物半導體的能隙大，因此對可視光具有透光性。另一方面，氧化物導電體是在導帶附近具有施體能階的氧化物半導體。因此，起因於該施體能階的吸收的影響小，而對可視光具有與氧化物半導體相同程度的透光性。

[0048] 導電膜 159 較佳為至少包括 Cu-X 合金膜（X

為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti，以下簡單地記載為 Cu-X 合金膜），例如較佳為採用 Cu-X 合金膜的單層結構或包括 Cu-X 合金膜的疊層結構。作為包括 Cu-X 合金膜的疊層結構，有 Cu-X 合金膜和由銅（Cu）、鋁（Al）、金（Au）或銀（Ag）等低電阻材料構成的金屬、合金或者以它們為主要成分的化合物的導電膜（以下，稱為包含低電阻材料的導電膜）的疊層結構。

[0049] 在此，作為導電膜 159，示出接觸於具有導電性的氧化物半導體膜 155b 的導電膜 159a 和接觸於導電膜 159a 的導電膜 159b 的疊層結構。另外，作為導電膜 159a 使用 Cu-X 合金膜，作為導電膜 159b 使用包含低電阻材料的導電膜。

[0050] 導電膜 159 也用作引線等。由此，藉由導電膜 159 包括使用 Cu-X 合金膜的導電膜 159a 及包含低電阻材料的導電膜的導電膜 159b，即使在作為基板 151 使用大面積基板時也可以製造能夠抑制佈線延遲的半導體裝置。

[0051] 藉由在具有導電性的氧化物半導體膜 155b 上形成包括 Cu-X 合金膜的導電膜 159，可以提高具有導電性的氧化物半導體膜 155b 與導電膜 159 的密接性且降低具有導電性的氧化物半導體膜 155b 與導電膜 159 的接觸電阻。

[0052] 在此，圖 1D 示出具有導電性的氧化物半導體膜 155b 與導電膜 159 接觸的區域的放大圖。藉由作為接

觸於具有導電性的氧化物半導體膜 155b 的導電膜 159a 使用 Cu-X 合金膜，有時覆蓋膜 156 形成在具有導電性的氧化物半導體膜 155b 與導電膜 159 之間的介面。覆蓋膜 156 由包含 X 的化合物形成。包含於導電膜 159 的 Cu-X 合金膜中的 X 與包含於具有導電性的氧化物半導體膜 155b 或絕緣膜 157 的元素起反應形成包含 X 的化合物。作為包含 X 的化合物，有包含 X 的氧化物、包含 X 的氮化物、包含 X 的矽化物及包含 X 的碳化物等。作為包含 X 的氧化物的例子，有 X 氧化物、In-X 氧化物、Ga-X 氧化物、In-Ga-X 氧化物及 In-Ga-Zn-X 氧化物等。藉由形成覆蓋膜 156，覆蓋膜 156 可以用作阻擋 Cu 的膜，從而可以抑制 Cu-X 合金膜中的 Cu 進入具有導電性的氧化物半導體膜 155b。

[0053] 此外，藉由使用 Cu-Mn 合金膜作為導電膜 159a 的一個例子，可以提高導電膜 159a 與基底膜，在此，是指具有導電性的氧化物半導體膜 155b 之間的密接性。另外，藉由使用 Cu-Mn 合金膜，可獲得以導電膜 159 與具有導電性的氧化物半導體膜 155b 之間的良好歐姆接觸。

[0054] 具體地，在形成 Cu-Mn 合金膜之後，例如進行 150℃ 以上且 450℃ 以下，較佳為 250℃ 以上且 350℃ 以下的熱處理或者對絕緣膜 157 進行加熱，由此在具有導電性的氧化物半導體膜 155b 與導電膜 159a 之間產生 Cu-Mn 合金膜中的 Mn 的偏析，以有時形成覆蓋膜 156。作為覆

蓋膜 156，使用使產生偏析了的 Mn 氧化的 Mn 氧化物或者產生偏析了的 Mn 與具有導電性的氧化物半導體膜 155b 中的構成元素起反應而所形成的 In-Mn 氧化物、Ga-Mn 氧化物、In-Ga-Mn 氧化物及 In-Ga-Zn-Mn 氧化物等。藉由覆蓋膜 156，提高導電膜 159a 與具有導電性的氧化物半導體膜 155b 之間的密接性。另外，由於在上述 Cu-Mn 合金膜中產生 Mn 的偏析而使 Cu-Mn 合金膜中的一部分變成純 Cu 膜，所以可以獲得導電率高的導電膜 159a。

[0055] 此外，可能會有如下情況：如圖 1E 所示，在導電膜 159 的底面、側面及頂面中的至少一個，較佳為導電膜 159 的外周形成覆蓋膜 156a。覆蓋膜 156a 由包含 X 的化合物形成。包含於導電膜 159 的 Cu-X 合金膜中的 X 與包含於具有導電性的氧化物半導體膜 155b 或絕緣膜 157 的元素起反應形成包含 X 的化合物。作為包含 X 的化合物，有包含 X 的氧化物、包含 X 的氮化物、包含 X 的矽化物及包含 X 的碳化物等。

[0056] 另外，當作為絕緣膜 157 形成氧化物絕緣膜時，在覆蓋膜 156a 的與導電膜 159b 接觸的區域中形成使用低電阻材料的氧化物。在覆蓋膜 156a 的與導電膜 159b 接觸的區域中有時包括 Cu-X 合金膜中的 X。作為這個的原因考慮為如下：在對導電膜 159a 進行蝕刻時的殘渣的附著；在形成絕緣膜 157 時的該殘渣的附著；在進行加熱處理時的該殘渣的附著等。有時 Cu-X 合金膜中的 X 被氧化而成為氧化物。

[0057] 此外，藉由作為導電膜 159b 的一個例子使用銅（Cu）膜，可以使導電膜 159b 的厚度更厚，從而提高導電膜 159 的導電率，所以是較佳的。注意，在此銅（Cu）膜是指純銅（Cu），其純度較佳為 99%以上。並且，有時純銅（Cu）包含幾%的雜質元素。

[0058] 藉由導電膜 159 包括 Cu-X 合金膜，可以抑制進入具有導電性的氧化物半導體膜 155b 的銅（Cu）元素且製造具有導電率高的佈線的半導體裝置。

[0059] 作為基板 151，可以使用各種基板，而不侷限於特定的基板。對基板的種類沒有特別的限制。作為該基板的例子，可以舉出半導體基板（例如，單晶基板或矽基板）、SOI（Silicon on Insulator：絕緣層上覆矽）基板、玻璃基板、石英基板、塑膠基板、金屬基板、不鏽鋼基板、包含不鏽鋼箔的基板、鎢基板、包含鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀材料的紙或基材薄膜等。作為玻璃基板的一個例子，可以舉出鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鈉鈣玻璃等。作為撓性基板、貼合薄膜及基材薄膜等的例子，可以舉出：以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚砜（PES）為代表的塑膠；丙烯酸樹脂等合成樹脂等；聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等；聚醯胺、聚醯亞胺、芳族聚醯胺、環氧、無機蒸鍍薄膜或紙等。尤其是，藉由使用半導體基板、單晶基板或 SOI 基板等製造電晶體，可以製造特性、尺寸或形狀等的偏差小、電流能力高且尺寸小的

電晶體。當利用上述電晶體構成電路時，可以實現電路的低功耗化或電路的高集成化。

[0060] 另外，作為基板 151，也可以使用撓性基板，並且在撓性基板上直接形成半導體元件。或者，也可以將剝離層設置在基板 151 與半導體元件之間。剝離層可以用於如下情況，即在其上製造半導體元件的一部分或全部，然後將該半導體元件的一部分或全部從基板 151 分離並轉置到其他基板上。此時，也可以將半導體元件轉置到耐熱性低的基板或撓性基板上。另外，作為上述剝離層，例如可以使用鎢膜與氧化矽膜的無機膜的疊層結構或基板上形成有聚醯亞胺等有機樹脂膜的結構等。

[0061] 作為被轉置電晶體的基板的例子，除了上述可以設置電晶體的基板之外，還可以有紙基板、玻璃紙基板、芳族聚醯胺薄膜基板、聚醯亞胺薄膜基板、石材基板、木材基板、布基板（包括天然纖維（絲、棉、麻）、合成纖維（尼龍、聚氨酯、聚酯）或再生纖維（醋酯纖維、銅氨纖維、人造纖維、再生聚酯）等）、皮革基板、橡皮基板等。藉由使用上述基板，可以形成特性良好的電晶體或功耗低的電晶體，可以製造不容易發生故障並具有耐熱性的裝置，或者可以實現輕量化或薄型化。

[0062] 絕緣膜 153、153a 例如使用氧化矽膜、氮化矽膜、氧化鋁膜、氧化鉛膜、氧化鎵膜或 Ga-Zn 類金屬氧化物膜等氧化物絕緣膜即可，並且以疊層或單層設置絕緣膜 153、153a。此外，作為絕緣膜 153、153a，也可以

利用使用矽酸鈣 (HfSiO_x)、添加氮的矽酸鈣 ($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加氮的鋁酸鈣 ($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化鈣、氧化鈮等 high-k 材料而成的膜。注意，在本說明書中，“氧氮化矽膜”是指在其組成中氧含量多於氮含量的膜，而“氮氧化矽膜”是指在其組成中氮含量多於氧含量的膜。

[0063] 另外，絕緣膜 153、153a 可以使用氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等氮化物絕緣膜形成。

[0064]

<具有導電性的氧化物半導體膜 155b 及導電膜 159 的製造方法 1>

首先，參照圖 2A 至 2D 說明圖 1A 所示的具有導電性的氧化物半導體膜 155b 及導電膜 159 的製造方法。

[0065] 首先，準備基板 151。在此，作為基板 151 使用玻璃基板。

[0066] 如圖 2A 所示，在基板 151 上形成絕緣膜 153，在絕緣膜 153 上形成氧化物半導體膜 155。接著，對氧化物半導體膜 155 添加氮、氬、氫、氮、氫等稀有氣體 154。

[0067] 藉由濺射法、CVD 法、真空蒸鍍法、脈衝雷射沉積 (PLD) 法、熱 CVD 法等可以形成絕緣膜 153。

[0068] 以下，說明氧化物半導體膜 155 的製造方法。

[0069] 利用濺射法、塗佈法、脈衝雷射蒸鍍法、雷射燒蝕法、熱 CVD 法等形式形成氧化物半導體膜。接著，藉由光微影製程在該氧化物半導體膜上形成遮罩，然後，藉由利用該遮罩對氧化物半導體膜進行蝕刻，可以形成氧化物半導體膜 155。

[0070] 作為濺射氣體，適當地使用稀有氣體和氧氣體的混合氣體、稀有氣體（典型的是氬）、氧氣體等。另外，當採用稀有氣體和氧氣體的混合氣體時，較佳為提高相對於稀有氣體的氧的比例。

[0071] 另外，按照形成的氧化物半導體膜的組成可以適當地選擇靶材。

[0072] 另外，在例如使用濺射法形成氧化物半導體膜時，藉由將基板溫度設定為 150°C 以上且 750°C 以下，較佳為設定為 150°C 以上且 450°C 以下，更佳為設定為 200°C 以上且 350°C 以下形成氧化物半導體膜，來可以形成 CAAC-OS 膜。

[0073] 為了形成 CAAC-OS 膜作為氧化物半導體膜，較佳為適用如下條件。

[0074] 藉由抑制成膜時的雜質的混入，可以抑制雜質所導致的結晶態的損壞。例如，可以降低存在於成膜室內的雜質濃度（氬、水、二氧化碳及氮等）。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

[0075] 例如，在使用利用 ALD 法的成膜裝置形成氧

化物半導體膜如 In-Ga-Zn-O 膜時，依次反復引入 $\text{In}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 In-O 層，然後同時引入 $\text{Ga}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 GaO 層，之後同時引入 $\text{Zn}(\text{CH}_3)_2$ 氣體和 O_3 氣體形成 ZnO 層。注意，這些層的順序不侷限於上述例子。此外，也可以混合這些氣體形成混合化合物層如 In-Ga-O 層、In-Zn-O 層、Ga-Zn-O 層等。注意，雖然也可以使用利用 Ar 等惰性氣體進行起泡而得到的 H_2O 氣體代替 O_3 氣體，但是較佳為使用不包含 H 的 O_3 氣體。還可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{In}(\text{CH}_3)_3$ 氣體。此外，也可以使用 $\text{Ga}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{Ga}(\text{CH}_3)_3$ 氣體。此外，也可以使用 $\text{Zn}(\text{CH}_3)_2$ 氣體。

[0076] 之後，也可以進行加熱處理，使氧化物半導體膜 155 所含的氫、水等脫離，並至少降低氧化物半導體膜 155 所含的氫濃度。此外，藉由進行加熱處理，氧可以從氧化物半導體膜 155 釋放，可以形成缺陷。其結果，可以降低以後形成的氧化物半導體膜 155b 的氫濃度的不均勻。作為該加熱處理的溫度，典型地採用 250°C 以上且 650°C 以下，較佳為 300°C 以上且 500°C 以下的溫度。此外，藉由將該加熱處理的溫度典型地設定為 300°C 以上且 400°C 以下，較佳為 320°C 以上且 370°C 以下，在採用大面積基板的情況下也可以減少基板的翹曲或收縮，由此良率得到提高。

[0077] 該加熱處理可以使用電爐、RTA 裝置等來進行。藉由使用 RTA 裝置，可只在短時間內在基板的應變點以上的溫度下進行加熱處理。由此，可以縮短加熱處理

時間，從而可以減少加熱處理中會發生的基板的翹曲，所以對大面積基板來說特別是較佳的。

[0078] 加熱處理可以在氮、氧、超乾燥空氣（含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行。上述氮、氧、超乾燥空氣或稀有氣體較佳為不含有氫、水等。

[0079] 稀有氣體 154 可以適當地使用氮、氦、氬、氫、氖等。作為對氧化物半導體膜 155 添加稀有氣體 154 的方法，有摻雜法、離子植入法等。另外，藉由將氧化物半導體膜 155 暴露於包含稀有氣體 154 的電漿，可以對氧化物半導體膜 155 添加稀有氣體 154。

[0080] 其結果，如圖 2B 所示，形成包含缺陷的氧化物半導體膜 155a。

[0081] 接著，在包含雜質的氛圍下對包含缺陷的氧化物半導體膜 155a 進行加熱。作為包含雜質的氛圍，採用包含氫、氮、水蒸氣等中的任一以上的氛圍，進行加熱處理。

[0082] 或者，在使包含缺陷的氧化物半導體膜 155a 的表面暴露於包含硼、磷、鹼金屬、鹼土金屬等的溶液之後，進行加熱處理。

[0083] 加熱處理較佳為採用能夠對氧化物半導體膜供應雜質的條件，典型地，較佳為採用加熱溫度為 250℃ 以上且 350℃ 以下的條件。藉由以 350℃ 以下進行加熱處理，可以在盡可能減小從氧化物半導體膜脫離的雜質的同

時對氧化物半導體膜供應雜質。該加熱處理在 0.1Pa 以上，較佳為 0.1Pa 以上且 101325Pa 以下，更佳為 1Pa 以上且 133Pa 以下的氣壓氛圍下進行加熱。

[0084] 其結果，如圖 2C 所示，可以形成具有導電性的氧化物半導體膜 155b。具有導電性的氧化物半導體膜 155b 包含缺陷及雜質。藉由在具有導電性的氧化物半導體膜 155b 中缺陷及雜質發揮作用，該氧化物半導體膜 155b 具有比氧化物半導體膜 155 高的導電性。缺陷及雜質的作用的一個例子為如下：氫進入氧缺損來用作載子的電子被生成。或者，氫的一部分與鍵合於金屬原子的氧鍵合來用作載子的電子被生成。藉由發揮上述作用，氧化物半導體膜的導電性得到提高。其結果，具有導電性的氧化物半導體膜 155b 用作電極或佈線。此外，具有導電性的氧化物半導體膜 155b 具有透光性。因此，可以形成具有透光性的電極或佈線。

[0085] 此外，具有導電性的氧化物半導體膜 155b 的電阻率比導電膜 159 高。由此，作為導線的導電膜 159 較佳為與具有導電性的氧化物半導體膜 155b 接觸。

[0086] 接著，如圖 2D 所示，在具有導電性的氧化物半導體膜 155b 上形成導電膜 159。在此，在形成 Cu-X 合金膜及包含低電阻材料的導電膜的疊層之後，藉由光微影製程在包含低電阻材料的導電膜上形成遮罩。藉由利用該遮罩對 Cu-X 合金膜及包含低電阻材料的導電膜進行蝕刻，可以形成層疊由 Cu-X 合金膜形成的導電膜 159a 及由

包含低電阻材料形成的導電膜 159b 的導電膜 159。

[0087] 此外，Cu-X 合金膜及包含低電阻材料的導電膜的蝕刻方法可以適當地利用乾蝕刻法或濕蝕刻法。當作為包含低電阻材料的導電膜使用銅（Cu）膜時，較佳為利用濕蝕刻法。Cu-X 合金膜可以利用濕蝕刻法進行蝕刻，所以藉由層疊 Cu-X 合金膜及銅（Cu）膜，可以以一次濕蝕刻形成層疊由 Cu-X 合金膜形成的導電膜 159a 及由包含低電阻材料形成的導電膜 159b 的導電膜 159。作為用於該濕蝕刻法的蝕刻溶液，有包含有機酸水溶液及過氧化氫水的蝕刻溶液等。

[0088] 經過如上步驟，可以形成具有導電性的氧化物半導體膜及接觸於該具有導電性的氧化物半導體膜的導電膜。

[0089]

<具有導電性的氧化物半導體膜 155b 及導電膜 159 的製造方法 2>

參照圖 3A 至 3D 說明利用與圖 2A 至 2D 不同方法形成具有導電性的氧化物半導體膜 155b 的方法。

[0090] 如圖 3A 所示，在基板 151 上形成絕緣膜 153，然後在絕緣膜 153 上形成氧化物半導體膜 155。接著，在真空氛圍下進行加熱處理。藉由在真空氛圍下進行加熱處理，氧從氧化物半導體膜 155 脫離，由此可以如圖 3B 所示地形成具有缺陷的氧化物半導體膜 155a。作為包含於圖 3B 所示的氧化物半導體膜 155a 的缺陷的典型例

子，有氧缺損。

[0091] 加熱處理較佳為採用氧從氧化物半導體膜脫離的條件，典型的是， 350°C 以上且 800°C 以下，較佳為 450°C 以上且 800°C 以下。藉由以 350°C 以上進行加熱處理，氧從氧化物半導體膜脫離。另一方面，藉由以 800°C 以下進行加熱處理，可以在保持氧化物半導體膜的結晶結構的情況下氧從氧化物半導體膜脫離。並且，在真空氛圍下，典型的是 $1\times 10^{-7}\text{Pa}$ 以上且 10Pa 以下，較佳為 $1\times 10^{-7}\text{Pa}$ 以上且 1Pa 以下，更佳為 $1\times 10^{-7}\text{Pa}$ 以上且 $1\text{E}^{-1}\text{Pa}$ 以下的氣壓氛圍下進行加熱。

[0092] 接著，利用與圖 2B 相同的方法，在包含雜質的氛圍下對具有缺陷的氧化物半導體膜 155a 進行加熱。作為包含雜質的氛圍，採用包含氫、氮、水蒸氣等中的任一以上的氛圍，進行加熱處理。

[0093] 或者，在使包含缺陷的氧化物半導體膜 155a 的表面暴露於包含硼、磷、鹼金屬、鹼土金屬的溶液之後，進行加熱處理。

[0094] 其結果，如圖 3C 所示，可以形成具有導電性的氧化物半導體膜 155b。

[0095] 接著，利用與圖 2D 相同的方法，可以在具有導電性的氧化物半導體膜 155b 上形成導電膜 159（參照圖 3D）。

[0096]

<具有導電性的氧化物半導體膜 155b 及導電膜 159 的製造

方法 3>

參照圖 4A 至 4C 說明利用與圖 2A 至 2D 及圖 3A 至 3D 不同方法形成具有導電性的氧化物半導體膜 155b 的方法。

[0097] 如圖 4A 所示，在基板 151 上形成絕緣膜 153，然後在絕緣膜 153 上形成氧化物半導體膜 155。

[0098] 接著，利用與圖 2D 相同的方法，在氧化物半導體膜 155 上形成導電膜 159（參照圖 4B）。在此，形成導電膜 159a 及導電膜 159b 作為導電膜 159。

[0099] 接著，在絕緣膜 153、氧化物半導體膜 155 及導電膜 159 上形成包含氫的絕緣膜 157。利用濺射法或電漿 CVD 法等形成絕緣膜 157。也可以一邊對絕緣膜 157 進行加熱一邊形成絕緣膜 157。另外，也可以在形成絕緣膜 157 之後進行加熱處理。

[0100] 藉由作為絕緣膜 157 的形成方法利用濺射法或電漿 CVD 法等，氧化物半導體膜 155 會受到損傷而缺陷被形成。另外，藉由一邊對絕緣膜 157 進行加熱一邊形成絕緣膜 157，或者，在形成絕緣膜 157 之後進行加熱處理，包含於絕緣膜 157 的氫移到氧化物半導體膜 155。其結果，如圖 4C 所示，可以形成具有導電性的氧化物半導體膜 155b。由於缺陷及雜質所發揮的作用，而氧化物半導體膜 155b 的導電性比氧化物半導體膜 155 得到提高，所以具有導電性的氧化物半導體膜 155b 用作電極或佈線。

[0101]

<變形例 1>

參照圖 5A 至 5F 說明導電膜 159 的變形例。在此，示出圖 1B 所示的導電膜 159 的變形例，但是也可以將本變形例適用於圖 1A 及 1C 所示的導電膜 159。

[0102] 如圖 5A 所示，可以在具有導電性的氧化物半導體膜 155b 上以單層形成由 Cu-X 合金膜形成的導電膜 159a。

[0103] 如圖 5B 所示，可以在具有導電性的氧化物半導體膜 155b 上層疊由 Cu-X 合金膜形成的導電膜 159a、由包含低電阻材料形成的導電膜 159b 及由 Cu-X 合金膜形成的導電膜 159c 而形成導電膜 159。

[0104] 藉由在由包含低電阻材料形成的導電膜 159b 上設置由 Cu-X 合金膜形成的導電膜 159c 作為導電膜 159，可以由 Cu-X 合金膜形成的導電膜 159c 用作由包含低電阻材料形成的導電膜 159b 的保護膜，所以可以防止在形成絕緣膜 157 時所產生的由包含低電阻材料形成的導電膜 159b 的反應。

[0105] 另外，如圖 5C 及 5D 所示，也可以在由包含氫的膜形成的絕緣膜 157a 上形成具有導電性的氧化物半導體膜 155b。此時，可以在具有導電性的氧化物半導體膜 155b 及導電膜 159 上設置絕緣膜 153a。

[0106] 接著，圖 5E 及 5F 示出放大具有導電性的氧化物半導體膜 155b 與導電膜 159 或導電膜 159a 接觸的區

域的圖。可能會有如下情況：如圖 5E 所示，在導電膜 159a 的底面、側面及頂面中的至少一個，較佳為導電膜 159a 的外周形成覆蓋膜 156b。覆蓋膜 156b 由包含 X 的化合物形成。包含於導電膜 159a 的 Cu-X 合金膜中的 X 與包含於具有導電性的氧化物半導體膜 155b 或絕緣膜 157 的元素起反應形成包含 X 的化合物。作為包含 X 的化合物，有包含 X 的氧化物、包含 X 的氮化物、包含 X 的矽化物及包含 X 的碳化物等。

[0107] 當作為 Cu-X 合金膜使用 Cu-Mn 合金膜時，作為覆蓋膜 156b 的一個例子，形成有氧化錳膜。

[0108] 可能會有如下情況：如圖 5F 所示，在導電膜 159 的底面、側面及頂面中的至少一個，較佳為導電膜 159 的外周形成覆蓋膜 156c。覆蓋膜 156c 由包含 X 的化合物形成。包含於導電膜 159 的 Cu-X 合金膜中的 X 與包含於具有導電性的氧化物半導體膜 155b 或絕緣膜 157 的元素起反應形成包含 X 的化合物。此外，在覆蓋膜 156c 的與導電膜 159b 接觸的區域中形成使用低電阻材料的氧化物。在覆蓋膜 156c 的與導電膜 159b 接觸的區域中有時包括 Cu-X 合金膜中的 X。這個原因考慮為如下：在對導電膜 159a 或導電膜 159c 進行蝕刻時的殘渣的附著；在形成絕緣膜 157 時的該殘渣的附著；在進行加熱處理時的該殘渣的附著等。有時 Cu-X 合金膜中的 X 被氧化而成為氧化物。由此，當作為導電膜 159b 使用 Cu-Mn 合金膜時，作為覆蓋膜 156c 的一個例子，形成有氧化錳膜。

[0109]

<變形例 2>

在此，參照圖 6A 至 6C 說明具有導電性的氧化物半導體膜及導電膜的變形例。

[0110] 在圖 6A 中，在絕緣膜 153 與具有導電性的氧化物半導體膜 155b 之間設置有以單層由 Cu-X 合金膜形成的導電膜 159a。

[0111] 如圖 6B 所示，在絕緣膜 153 與具有導電性的氧化物半導體膜 155b 之間設置有導電膜 159。導電膜 159 具有兩層的疊層結構。層疊由 Cu-X 合金膜形成的導電膜 159a 及由包含低電阻材料形成的導電膜 159b 形成導電膜 159。

[0112] 如圖 6C 所示，在絕緣膜 153 與具有導電性的氧化物半導體膜 155b 之間設置有導電膜 159。導電膜 159 具有三層的疊層結構。層疊由 Cu-X 合金膜形成的導電膜 159a、由包含低電阻材料形成的導電膜 159b 以及由 Cu-X 合金膜形成的導電膜 159c 而形成導電膜 159。

[0113] 藉由在由包含低電阻材料形成的導電膜 159b 上設置由 Cu-X 合金膜形成的導電膜 159c 作為導電膜 159，可以由 Cu-X 合金膜形成的導電膜 159c 用作由包含低電阻材料形成的導電膜 159b 的保護膜，所以可以防止在形成具有導電性的氧化物半導體膜 155b 時所產生的由包含低電阻材料形成的導電膜 159b 的反應。

[0114] 本實施方式所示的結構及方法等可以與其他

實施方式所示的結構及方法等適當地組合而使用。

[0115]

實施方式 2

在本實施方式中，參照圖 7A 至圖 11C 說明實施方式 1 所示的包含具有導電性的氧化物半導體膜的電阻元件。

[0116] 圖 7A 至 7D 示出半導體裝置所具有的電阻元件的剖面圖。

[0117] 圖 7A 所示的電阻元件 160a 包括具有導電性的氧化物半導體膜 155b、接觸於該具有導電性的氧化物半導體膜 155b 的一對導電膜 161、162。具有導電性的氧化物半導體膜 155b、一對導電膜 161、162 都設置在形成於基板 151 上的絕緣膜 153 上。

[0118] 另外，導電膜 161、162 也可以都具有單層或兩層以上的疊層結構。一對導電膜 161、162 可以適當地使用與實施方式 1 所示的導電膜 159 相同的結構、材料以及形成方法而形成。就是說，一對導電膜 161、162 包括 Cu-X 合金膜。

[0119] 在圖 7A 所示的電阻元件 160a 中，導電膜 161 採用接觸於具有導電性的氧化物半導體膜 155b 的導電膜 161a 與接觸於導電膜 161a 的導電膜 161b 的疊層結構，而導電膜 162 採用接觸於具有導電性的氧化物半導體膜 155b 的導電膜 162a 與接觸於導電膜 162a 的導電膜 162b 的疊層結構。

[0120] 在此，導電膜 161a 及導電膜 162a 使用 Cu-X

合金膜。導電膜 161b 及導電膜 162b 使用包含低電阻材料的導電膜。

[0121] 另外，如圖 7B 所示的電阻元件 160b 那樣，也可以在絕緣膜 153、具有導電性的氧化物半導體膜 155b 及一對導電膜 161、162 上形成有由包含氫的膜形成的絕緣膜 157。

[0122] 另外，如圖 7C 所示的電阻元件 160c 那樣，也可以在由包含氫的膜形成的絕緣膜 157a 上形成有具有導電性的氧化物半導體膜 155b 及一對導電膜 161、162。此時，可以在具有導電性的氧化物半導體膜 155b 及一對導電膜 161、162 上設置絕緣膜 153a。

[0123] 具有導電性的氧化物半導體膜 155b 的電阻率比包括 Cu-X 合金膜的一對導電膜 161、162 高。由此，在一對導電膜 161、162 之間設置具有導電性的氧化物半導體膜 155b，以用作電阻元件。

[0124] 具有導電性的氧化物半導體膜 155b 包含缺陷及雜質。藉由在具有導電性的氧化物半導體膜 155b 中缺陷及雜質發揮作用，該氧化物半導體膜 155b 的導電性得到提高。此外，具有導電性的氧化物半導體膜 155b 具有透光性。因此，可以形成具有透光性的電阻元件。

[0125] 藉由在具有導電性的氧化物半導體膜 155b 上形成包含 Cu-X 合金膜的一對導電膜 161、162，可以提高具有導電性的氧化物半導體膜 155b 與一對導電膜 161、162 的密接性且降低具有導電性的氧化物半導體膜 155b

與一對導電膜 161、162 的接觸電阻。

[0126] 在此，圖 7D 示出具有導電性的氧化物半導體膜 155b 與導電膜 161 接觸的區域的放大圖。藉由作為接觸於具有導電性的氧化物半導體膜 155b 的導電膜 161a 使用 Cu-X 合金膜，有時包括 Cu-X 合金膜中的 X 的覆蓋膜 156 形成在具有導電性的氧化物半導體膜 155b 與導電膜 161a 之間的介面。藉由形成覆蓋膜 156，覆蓋膜 156 可以用作阻擋 Cu 的膜，從而可以抑制 Cu-X 合金膜中的 Cu 進入具有導電性的氧化物半導體膜 155b 中。

[0127] 此外，雖然未圖示，但是在導電膜 161、162 的外周與實施方式 1 所示的導電膜 159 同樣地形成有如覆蓋膜 156a 那樣的覆蓋膜。

[0128]

<保護電路的電路圖>

參照圖 8A 和 8B 說明使用本實施方式所示的電阻元件的保護電路。注意，雖然在此作為半導體裝置使用顯示裝置而進行說明，但是也可以在其他半導體裝置中使用該保護電路。

[0129] 圖 8A 示出包含於半導體裝置的保護電路 170a 的具體例子。

[0130] 圖 8A 所示的保護電路 170a 包括佈線 171 與佈線 172 之間的電阻元件 173 以及二極體接法的電晶體 174。

[0131] 電阻元件 173 串聯連接至電晶體 174，使得電

阻元件 173 能夠控制流過電晶體 174 的電流的值，或者能夠起著作為電晶體 174 自身的保護電阻器的作用。

[0132] 佈線 171 是例如從包含於顯示裝置的掃描線、資料線或端子部引至驅動電路部的佈線。佈線 172 是例如被供應電位（VDD、VSS 或 GND）的佈線，該電位是用來給閘極驅動器或源極驅動器供電的電源線的電位。另外，佈線 172 也是被供應共用電極的佈線（公共線）。

[0133] 佈線 172 較佳為連接於用來給掃描線驅動電路供電的電源線，特別地，較佳為連接於用於供應低電位的佈線。這是因為閘極信號線在大部分期間內都具有低電位。因而，當佈線 172 同樣具有低電位時，能夠減少在通常的操作中從閘極信號線洩漏至佈線 172 的電流。

[0134] 圖 8A 例示出電阻元件 173 串聯連接至二極體接法的電晶體的結構，但是不侷限於此，也可以並聯連接二極體接法的電晶體。

[0135] 接著，圖 8B 示出由多個電晶體及多個電阻元件構成的保護電路。

[0136] 圖 8B 所示的保護電路 170b 包括電晶體 174a、電晶體 174b、電晶體 174c、電晶體 174d 及電阻元件 173a、電阻元件 173b、電阻元件 173c。保護電路 170b 設置在與包含在顯示裝置的掃描線驅動電路、信號線驅動電路和像素部中的任一個以上連接的佈線 175、佈線 176 與佈線 177 之間。另外，在電晶體 174a 中，具有用作源極電極的功能的第一端子與具有用作閘極電極的功能的第

二端子連接，具有用作汲極電極的功能的第三端子與佈線 177 連接。在電晶體 174b 中，具有用作源極電極的功能的第一端子與具有用作閘極電極的功能的第二端子連接，具有用作汲極電極的功能的第三端子與電晶體 174a 的第一端子連接。在電晶體 174c 中，具有用作源極電極的功能的第一端子與具有用作閘極電極的功能的第二端子連接，具有用作汲極電極的功能的第三端子與電晶體 174b 的第一端子連接。在電晶體 174d 中，具有用作源極電極的功能的第一端子與具有用作閘極電極的功能的第二端子、佈線 177 以及佈線 175 連接，具有用作汲極電極的功能的第三端子與電晶體 174c 的第一端子連接。此外，電阻元件 173a 及 173c 設置在佈線 177 中。電阻元件 173b 設置在佈線 176、電晶體 174b 的第一端子與電晶體 174c 的第三端子之間。

[0137] 例如，可以將佈線 175 用作被供應低電源電位 VSS 的電源線。例如，可以將佈線 176 用作公共線。例如，可以將佈線 177 用作被供應高電源電位 VDD 的電源線。

[0138] 可以對圖 8A 和 8B 所示的電阻元件適用本實施方式所示的電阻元件。此外，藉由適當地調整包含在電阻元件的具有導電性的氧化物半導體膜的形狀，具體地，長度或寬度，可以形成具有任意的電阻值的電阻元件。圖 9A 和 9B 示出電阻元件 160d 的一個例子。圖 9A 示出電阻元件 160d 的俯視圖，而圖 9B 示出沿著圖 9A 的點劃線

A-B 的剖面圖。如圖 9A 和 9B 所示的電阻元件 160d 那樣，藉由使具有導電性的氧化物半導體膜 155c 的頂面形成為鋸齒形狀，可以控制電阻元件的電阻值。

[0139] 如此，保護電路 170b 由多個二極體接法的電晶體及多個電阻元件構成。就是說，保護電路 170b 可以並聯連接多個二極體接法的電晶體及多個電阻元件形成。

[0140] 如上述那樣，藉由在半導體裝置中設置保護電路，可以提高對於因 ESD (Electro Static Discharge：靜電放電) 等而發生的過電流的耐性。因此，可以提供一種可靠性得到提高的半導體裝置。

[0141] 此外，因為電阻元件能夠被用作保護電路，並且該電阻元件的電阻能夠被任意地控制，所以用作保護電路的二極體接法的電晶體等同樣能夠得到保護。

[0142] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

[0143]

<變形例 1>

如圖 10A 所示的電阻元件 160e，可以在具有導電性的氧化物半導體膜 155b 上以單層形成作為一對導電膜的由 Cu-X 合金膜形成的導電膜 161a、162a。

[0144] 另外，如圖 10B 所示的電阻元件 160f，一對導電膜 161、162 中的各導電膜可以採用三層結構。導電膜 161 包括疊層結構，其中層疊接觸於具有導電性的氧化物半導體膜 155b 的導電膜 161a、接觸於導電膜 161a 的導

電膜 161b 以及接觸於導電膜 161b 的導電膜 161c，而導電膜 162 包括疊層結構，其中層疊接觸於具有導電性的氧化物半導體膜 155b 的導電膜 162a、接觸於導電膜 162a 的導電膜 162b 以及接觸於導電膜 162b 的導電膜 162c。

[0145] 藉由在由包含低電阻材料形成的導電膜 161b、162b 上設置由 Cu-X 合金膜形成的導電膜 161c、162c 作為一對導電膜 161、162，可以由 Cu-X 合金膜形成的導電膜 161c、162c 用作由包含低電阻材料形成的導電膜 161b、162b 的保護膜，所以可以防止在形成絕緣膜 157 時所產生的由包含低電阻材料形成的導電膜 161b、162b 的反應。

[0146] 此外，雖然未圖示，但是有時在導電膜 161、162 的外周與實施方式 1 所示的導電膜 159 同樣地形成有如覆蓋膜 156b、156c 那樣的覆蓋膜。

[0147]

<變形例 2>

在此，參照圖 11A 至 11C 說明電阻元件的變形例。

[0148] 在圖 11A 所示的電阻元件 160g 中，在絕緣膜 153 與具有導電性的氧化物半導體膜 155b 之間設置有以單層由 Cu-X 合金膜形成的一對導電膜 163a、164a。

[0149] 如圖 11B 所示，在電阻元件 160h 中，在絕緣膜 153 與具有導電性的氧化物半導體膜 155b 之間設置的一對導電膜 163、164 都具有兩層結構。層疊由 Cu-X 合金膜形成的導電膜 163a 及由包含低電阻材料形成的導電膜

163b 形成導電膜 163。層疊由 Cu-X 合金膜形成的導電膜 164a 及由包含低電阻材料形成的導電膜 164b 形成導電膜 164。

[0150] 如圖 11C 所示，在電阻元件 160i 中，在絕緣膜 153 與具有導電性的氧化物半導體膜 155b 之間設置的一對導電膜 163、164 中的各導電膜具有三層結構。層疊由 Cu-X 合金膜形成的導電膜 163a、由包含低電阻材料形成的導電膜 163b 以及由 Cu-X 合金膜形成的導電膜 163c 形成導電膜 163。層疊由 Cu-X 合金膜形成的導電膜 164a、由包含低電阻材料形成的導電膜 164b 以及由 Cu-X 合金膜形成的導電膜 164c 形成導電膜 164。

[0151] 藉由在由包含低電阻材料形成的導電膜 163b、164b 上設置由 Cu-X 合金膜形成的導電膜 163c、164c 作為一對導電膜 163、164，可以由 Cu-X 合金膜形成的導電膜 163c、164c 用作由包含低電阻材料形成的導電膜 163b、164b 的保護膜，所以可以防止在形成具有導電性的氧化物半導體膜 155b 及絕緣膜 157 時所產生的由包含低電阻材料形成的導電膜 163b、164b 的反應。

[0152] 此外，雖然未圖示，但是有時在一對導電膜 163、164 的外周與實施方式 1 所示的導電膜 159 同樣地形成有如覆蓋膜 156、156a、156b、156c 那樣的覆蓋膜。

[0153] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0154]

實施方式 3

在本實施方式中，參照圖 12A 至圖 14C 說明實施方式 1 所示的包含具有導電性的氧化物半導體膜的電容元件。

[0155] 圖 12A 至 12C 示出半導體裝置所具有的電容元件的剖面圖。

[0156] 圖 12A 所示的電容元件 180a 包括具有導電性的氧化物半導體膜 155b、接觸於該具有導電性的氧化物半導體膜 155b 的絕緣膜 157 以及隔著絕緣膜 157 重疊於氧化物半導體膜 155b 的導電膜 181。另外，也可以具有導電性的氧化物半導體膜 155b 或導電膜 181 與用作導線接觸的導電膜接觸地形成。在此，示出與具有導電性的氧化物半導體膜 155b 的導電膜 159。此外，具有導電性的氧化物半導體膜 155b、絕緣膜 157 以及導電膜 159 都設置在形成於基板 151 上的絕緣膜 153 上。

[0157] 另外，導電膜 159 也可以採用單層或兩層以上的疊層結構。導電膜 159 可以適當地使用與實施方式 1 所示的導電膜 159 相同的結構、材料以及形成方法而形成。就是說，導電膜 159 包括 Cu-X 合金膜。

[0158] 在圖 12A 所示的電容元件 180a 中，導電膜 159 具有接觸於具有導電性的氧化物半導體膜 155b 的導電膜 159a 和接觸於導電膜 159a 的導電膜 159b 的疊層結構。導電膜 159a 使用 Cu-X 合金膜。導電膜 159b 使用包含低電阻材料的導電膜。

[0159] 另外，如圖 12B 所示的電容元件 180b 那樣，也可以在絕緣膜 157a 上形成有具有導電性的氧化物半導體膜 155b 及導電膜 159。此時，可以在具有導電性的氧化物半導體膜 155b 與導電膜 181 之間設置絕緣膜 153a。

[0160] 導電膜 181 使用選自鋁、鈦、鉻、鎳、銅、鉕、銨、鉬、鐵、鈷、銀、鉕和鎢中的金屬或以這些元素為主要成分的合金的單層結構或疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、包含錳的銅膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構、在包含錳的銅膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜的三層結構、依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜以及鉬膜或氮化鉬膜的三層結構、以及依次層疊包含錳的銅膜、銅膜以及包含錳的銅膜的三層結構等。

[0161] 導電膜 181 可以適當地使用與導電膜 159 相同的結構及材料。

[0162] 導電膜 181 可以使用透光導電膜。透光導電膜可以使用包含氧化鎢的銦氧化物膜、包含氧化鎢的銦鋅氧化物膜、包含氧化鈦的銦氧化物膜、包含氧化鈦的銦錫氧化物膜、銦錫氧化物（以下稱為 ITO（Indium Tin Oxide））膜、銦鋅氧化物膜、添加有氧化矽的銦錫氧化物膜等。

[0163] 具有導電性的氧化物半導體膜 155b 包含缺陷及雜質。藉由在具有導電性的氧化物半導體膜 155b 中缺陷及雜質發揮作用，該氧化物半導體膜 155b 的導電性得到提高。此外，具有導電性的氧化物半導體膜 155b 具有透光性。因此，可以形成具有透光性的電阻元件。藉由導電膜 181 使用透光導電膜，可以形成具有導電性的電容元件。

[0164] 藉由在具有導電性的氧化物半導體膜 155b 上形成包括 Cu-X 合金膜的導電膜 159，可以提高具有導電性的氧化物半導體膜 155b 與導電膜 159 的密接性且降低具有導電性的氧化物半導體膜 155b 與一對導電膜 159 的接觸電阻。

[0165] 在此，圖 12C 示出具有導電性的氧化物半導體膜 155b 與導電膜 159 接觸的區域的放大圖。藉由作為接觸於具有導電性的氧化物半導體膜 155b 的導電膜 159a 使用 Cu-X 合金膜，有時包括 Cu-X 合金膜中的 X 的覆蓋膜 156 形成在具有導電性的氧化物半導體膜 155b 與導電膜 159a 之間的介面。藉由形成覆蓋膜 156，覆蓋膜 156 可以用作阻擋 Cu 的膜，從而可以抑制 Cu-X 合金膜中的 Cu 進入具有導電性的氧化物半導體膜 155b 中。

[0166] 此外，雖然未圖示，但是有時在導電膜 159 的外周與實施方式 1 所示的導電膜 159 同樣地形成有如覆蓋膜 156a 那樣的覆蓋膜。

[0167]

<變形例 1>

如圖 13A 所示的電容元件 180c，可以在具有導電性的氧化物半導體膜 155b 上以單層形成作為導電膜的由 Cu-X 合金膜形成的導電膜 159a。

[0168] 另外，如圖 13B 所示的電容元件 180d，導電膜 159 可以採用三層結構。導電膜 159 包括疊層結構，其中層疊接觸於具有導電性的氧化物半導體膜 155b 的導電膜 159a、接觸於導電膜 159a 的導電膜 159b 以及接觸於導電膜 159b 的導電膜 159c。

[0169] 藉由在由包含低電阻材料形成的導電膜 159b 上設置由 Cu-X 合金膜形成的導電膜 159c 作為導電膜 159，可以由 Cu-X 合金膜形成的導電膜 159c 用作由包含低電阻材料形成的導電膜 159b 的保護膜，所以可以防止在形成絕緣膜 157 時所產生的由包含低電阻材料形成的導電膜 159b 的反應。

[0170] 此外，雖然未圖示，但是有時在導電膜 159 的外周與實施方式 1 所示的導電膜 159 同樣地形成有如覆蓋膜 156b、156c 那樣的覆蓋膜。

[0171]

<變形例 2>

在此，參照圖 14A 至 14C 說明電容元件的變形例。

[0172] 在圖 14A 所示的電容元件 180e 中，在絕緣膜 153 與具有導電性的氧化物半導體膜 155b 之間設置有以單層由 Cu-X 合金膜形成的導電膜 159a。

[0173] 如圖 14B 所示，在電阻元件 180f 中，在絕緣膜 153 與具有導電性的氧化物半導體膜 155b 之間設置的導電膜 159 具有兩層結構。導電膜 159 具有兩層的疊層結構。層疊由 Cu-X 合金膜形成的導電膜 159a 及由包含低電阻材料形成的導電膜 159b 形成導電膜 159。

[0174] 如圖 14C 所示，在電阻元件 180g 中，在絕緣膜 153 與具有導電性的氧化物半導體膜 155b 之間設置的導電膜 159 具有三層結構。層疊由 Cu-X 合金膜形成的導電膜 159a、由包含低電阻材料形成的導電膜 159b 以及由 Cu-X 合金膜形成的導電膜 159c 而形成導電膜 159。

[0175] 藉由在由包含低電阻材料形成的導電膜 159b 上設置由 Cu-X 合金膜形成的導電膜 159c 作為導電膜 159，可以由 Cu-X 合金膜形成的導電膜 159c 用作由包含低電阻材料形成的導電膜 159b 的保護膜，所以可以防止在形成具有導電性的氧化物半導體膜 155b 及絕緣膜 157 時所產生的由包含低電阻材料形成的導電膜 159b 的反應。

[0176] 此外，雖然未圖示，但是有時在導電膜 159 的外周與實施方式 1 所示的導電膜 159 同樣地形成有如覆蓋膜 156、156a、156b、156c 那樣的覆蓋膜。

[0177] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0178]
實施方式 4

在本實施方式中，參照圖式說明本發明的一個方式的顯示裝置。在本實施方式中，參照圖 15A 至圖 26B 說明一種半導體裝置，該半導體裝置具有包括實施方式 1 所示的具有導電性的氧化物半導體膜的電容元件。

[0179] 圖 15A 示出顯示裝置的一個例子。圖 15A 所示的顯示裝置包括：像素部 101；掃描線驅動電路 104；信號線驅動電路 106；互相平行或大致平行地配置且其電位由掃描線驅動電路 104 控制的 m 個掃描線 107；以及互相平行或大致平行地配置且其電位由信號線驅動電路 106 控制的 n 個信號線 109。像素部 101 具有配置為矩陣狀的多個像素 103。另外，還可以有沿著信號線 109 互相平行或大致平行地配置的電容線 115。另外，電容線 115 也可以沿著掃描線 107 互相平行或大致平行地配置。另外，有時將掃描線驅動電路 104 及信號線驅動電路 106 總稱為驅動電路部。

[0180] 顯示裝置包括驅動多個像素的驅動電路等。另外，顯示裝置有時包括配置在另一基板上的控制電路、電源電路、信號產生電路及背光模組等，而被稱為液晶模組。

[0181] 各掃描線 107 與在像素部 101 中配置為 m 行 n 列的像素 103 中的配置在任一系列的 n 個像素 103 電連接，而各信號線 109 與配置為 m 行 n 列的像素 103 中的配置在任一系列的 m 個像素 103 電連接。 m 和 n 都是 1 以上的整數。各電容線 115 與配置為 m 行 n 列的像素 103 中

的配置在任一系列的 m 個像素 103 電連接。另外，在電容線 115 沿著掃描線 107 互相平行或大致平行地配置的情況下，各電容線 115 與配置為 m 行 n 列的像素 103 中的配置在任一行的 n 個像素 103 電連接。

[0182] 注意，當液晶裝置採用 FFS 驅動方式時，其中沒有設置電容線，公共線或共用電極用作電容線。

[0183] 這裡，一個像素是指被掃描線及信號線圍繞且顯示一個顏色的區域。由此，在具有 R（紅）、G（綠）和 B（藍）顏色因素的彩色顯示裝中，影像的最小單元由 R 像素、G 像素和 B 像素三個像素形成。藉由對 R（紅）、G（綠）和 B（藍）追加 Y（黃）、C（青）、M（品紅）等像素，可以提高顏色再現性。藉由對 R（紅）、G（綠）和 B（藍）追加 W（白）像素，可以降低顯示裝置的耗電量。另外，在採用液晶顯示裝置的情況下，藉由對各 R（紅）、G（綠）和 B（藍）追加 W（白）像素，可以提高液晶顯示裝置的亮度，由此可以抑制背光的亮度。其結果是，可以降低液晶顯示裝置的耗電量。

[0184] 圖 15B 和 15C 示出可以應用於圖 15A 所示的顯示裝置的像素 103 的電路結構的一個例子。

[0185] 圖 15B 所示的像素 103 具有液晶元件 121、電晶體 102 和電容元件 105。

[0186] 液晶元件 121 的一對電極中的一個的電位根據像素 103 的規格適當地設定。液晶元件 121 的配向狀態

取決於被寫入的資料。多個像素 103 的每一個所具有的液晶元件 121 的一對電極中的一個既可被施加同一電位（共用電位）又可被施加根據每一行的像素 103 而不同的電位。

[0187] 液晶元件 121 是利用液晶的光學調變作用來控制光的透過或非透過的元件。液晶的光學調變作用由施加到液晶的電場（包括橫向電場、縱向電場或傾斜方向電場）控制。作為液晶元件 121，可以舉出向列液晶、膽固醇液晶、層列液晶、熱致液晶、溶致液晶、鐵電液晶、反鐵電液晶等。

[0188] 例如，作為具有液晶元件 121 的顯示裝置的驅動方法也可以使用如下模式：TN 模式；VA 模式；ASM（Axially Symmetric Aligned Micro-cell：軸對稱排列微單元）模式；OCB（Optically Compensated Birefringence：光學補償彎曲）模式；MVA 模式；PVA（Patterned Vertical Alignment：垂直配向構型）模式；IPS 模式；FFS 模式；TBA（Transverse Bend Alignment：橫向彎曲配向）模式等。然而，不侷限於此，可以採用各種方式的液晶元件及其驅動方式。

[0189] 另外，也可以使用包含呈現藍相（Blue Phase）的液晶和手性試劑的液晶組成物構成液晶元件。呈現藍相的液晶的回應速度快，為 1msec 以下，由於其具有光學各向同性，所以不需要配向處理，視角依賴性小。

[0190] 在圖 15B 所示的像素 103 的結構中，電晶體

102 的源極電極和汲極電極中的一個與信號線 109 電連接，源極電極和汲極電極中的另一個與液晶元件 121 的一對電極中的另一個電連接。電晶體 102 的閘極電極與掃描線 107 電連接。電晶體 102 具有藉由成為開啟狀態或關閉狀態而對資料信號的寫入進行控制的功能。

[0191] 在圖 15B 所示的像素 103 的結構中，電容元件 105 的一對電極中的一個與被供應電位的電容線 115 電連接，而電容元件 105 的一對電極中的另一個與液晶元件 121 的一對電極中的另一個電連接。根據像素 103 的規格適當地設定電容線 115 的電位值。電容元件 105 被用作儲存被寫入的資料的儲存電容器。

[0192] 另外，圖 15C 所示的像素 103 包括：進行顯示元件的切換操作的電晶體 133；控制像素的驅動的電晶體 102；電晶體 135；電容元件 105；以及發光元件 131。

[0193] 電晶體 133 的源極電極和汲極電極中的一個與被供應資料信號的信號線 109 電連接。電晶體 133 的閘極電極與被供應閘極信號的掃描線 107 電連接。

[0194] 電晶體 133 具有藉由成為開啟狀態或關閉狀態而對資料信號的寫入進行控制的功能。

[0195] 電晶體 102 的源極電極和汲極電極中的一個與用作陽極線的佈線 137 電連接，電晶體 102 的源極電極和汲極電極中的另一個與發光元件 131 中的一個電極電連接。電晶體 102 的閘極電極與電晶體 133 的源極電極和汲極電極中的另一個以及電容元件 105 中的一個電極電連

接。

[0196] 電晶體 102 具有藉由成為開啟狀態或關閉狀態而對流過發光元件 131 的電流進行控制的功能。

[0197] 電晶體 135 的源極電極和汲極電極中的一個與被施加資料的參考電位的佈線 139 連接，電晶體 135 的源極電極和汲極電極中的另一個與發光元件 131 中的一個電極以及電容元件 105 中的另一個電極電連接。電晶體 135 的閘極電極與被供應閘極信號的掃描線 107 電連接。

[0198] 電晶體 135 具有對流動發光元件 131 的電流進行調整的功能。例如，在因劣化等而增加發光元件 131 的內部電阻的情況下，藉由監視流過與電晶體 135 的源極電極和汲極電極中的一個連接的佈線 139 的電流，可以校正流過發光元件 131 的電流。施加到佈線 139 的電位例如可以為 0V。

[0199] 電容元件 105 的一對電極中的一個與電晶體 102 的閘極電極及電晶體 133 的源極電極和汲極電極中的另一個電連接，而電容元件 105 的一對電極中的另一個與電晶體 135 的源極電極和汲極電極中的另一個及發光元件 131 中的一個電極電連接。

[0200] 在圖 15C 所示的像素 103 的結構中，電容元件 105 被用作儲存被寫入的資料的儲存電容器。

[0201] 發光元件 131 的一對電極中的一個與電晶體 135 的源極電極和汲極電極中的另一個、電容元件 105 的一對電極中的另一個以及電晶體 102 的源極電極和汲極電

極中的另一個電連接。發光元件 131 的一對電極中的另一個與用作陰極的佈線 141 電連接。

[0202] 作為發光元件 131，可以使用例如有機電致發光元件（也稱為有機 EL 元件）等。注意，發光元件 131 並不侷限於有機 EL 元件，也可以為由無機材料構成的無機 EL 元件。

[0203] 另外，對佈線 137 和佈線 141 中的一個施加高電源電位 VDD，而對佈線 137 和佈線 141 中的另一個施加低電源電位 VSS。在圖 15C 所示的結構中，對佈線 137 施加高電源電位 VDD，對佈線 141 施加低電源電位 VSS。

[0204] 雖然在圖 15B 和 15C 中示出將液晶元件 121 或發光元件 131 用作顯示元件的例子，但是本發明的實施方式的一個方式不侷限於此。還可以使用各種顯示元件。例如，可以使用對比度、亮度、反射率、穿透率等因電磁作用而發生變化的顯示媒體諸如使用 LED（白色 LED、紅色 LED、綠色 LED、藍色 LED 等）、電晶體（根據電流發光的電晶體）、電子發射元件、電子墨水、電泳元件、柵光閥（GLV）、電漿顯示器（PDP）、MEMS（微機電系統）的顯示元件、數位微鏡裝置（DMD）、DMS（數位微快門）、IMOD（干涉調變）元件、快門方式的 MEMS 顯示元件、光干涉方式的 MEMS 顯示元件、電濕潤（electrowetting）元件、壓電陶瓷顯示器、碳奈米管等。作為使用 EL 元件的顯示裝置的一個例子，有 EL 顯示器

等。作為使用電子發射元件的顯示裝置的一個例子，有場致發射顯示器（FED）或 SED 方式平面型顯示器（SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器）等。作為使用液晶元件的顯示裝置的一個例子，有液晶顯示器（透過型液晶顯示器、半透過型液晶顯示器、反射型液晶顯示器、直觀型液晶顯示器、投射型液晶顯示器）等。作為使用電子墨水或電泳元件的顯示裝置的一個例子，有電子紙等。注意，當採用半透射式液晶顯示器或反射式液晶顯示器時，像素電極的一部分或全部可以具有反射電極的功能。例如，像素電極的一部分或全部包含鋁、銀等，即可。並且，此時也可以將 SRAM 等記憶體電路設置在反射電極下。因而，可以進一步降低功耗。

[0205] 接著，說明顯示裝置所包括的元件基板的具體結構。在此，對將液晶元件用於像素 103 的液晶顯示裝置的具體例子進行說明。這裡，圖 16 示出圖 15B 所示的像素 103 的俯視圖。

[0206] 這裡，使用 FFS 驅動的液晶顯示裝置作為顯示裝置，並將包含在該液晶顯示裝置中的多個像素 103a、103b 以及 103c 示出於圖 16。

[0207] 在圖 16 中，用作掃描線的導電膜 13 在與用作信號線的導電膜 21a 大致正交的方向（圖式中的左右方向）上延伸地設置。用作信號線的導電膜 21a 在與用作掃描線的導電膜 13 大致正交的方向（圖式中的上下方向）

上延伸地設置。用作掃描線的導電膜 13 與掃描線驅動電路 104（參照圖 15A）電連接，而用作信號線的導電膜 21a 與信號線驅動電路 106（參照圖 15A）電連接。

[0208] 電晶體 102 設置在用作掃描線的導電膜 13 和用作信號線的導電膜 21a 的交叉區域。電晶體 102 由用作閘極電極的導電膜 13、閘極絕緣膜（在圖 16 中未圖示）、形成在閘極絕緣膜上的形成有通道區域的氧化物半導體膜 19a 以及用作源極電極和汲極電極的導電膜 21a 及 21b 構成。導電膜 13 不僅是被用作掃描線，而且是其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 102 的閘極電極。導電膜 21a 不僅是被用作信號線，而且是其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 102 的源極電極或汲極電極。在圖 16 所示的俯視圖中，用作掃描線的導電膜 13 的端部位於氧化物半導體膜 19a 的端部的外側。由此，用作掃描線的導電膜被用作阻擋來自背光等光源的光的遮光膜。其結果是，電晶體所包括的氧化物半導體膜 19a 不被照射光，從而電晶體的電特性的變動可以得到抑制。

[0209] 另外，電晶體 102 具有與氧化物半導體膜 19a 重疊的有機絕緣膜 31。有機絕緣膜 31 隔著無機絕緣膜（在圖 16 中未圖示）與氧化物半導體膜 19a，尤其是氧化物半導體膜 19a 中的導電膜 21a 與導電膜 21b 之間的區域重疊。

[0210] 因為有機絕緣膜 31 按每個電晶體 102 被分

離，所以來自外部的水不穿過有機絕緣膜 31 擴散到液晶顯示裝置內，由此可以降低設置在液晶顯示裝置內的電晶體的電特性的不均勻性。

[0211] 導電膜 21b 與具有導電性的氧化物半導體膜 19b 電連接。另外，在具有導電性的氧化物半導體膜 19b 上隔著絕緣膜設置有共用電極 29。在具有導電性的氧化物半導體膜 19b 上的絕緣膜中設置有以點劃線所示的開口部 40。具有導電性的氧化物半導體膜 19b 在開口部 40 中與氮化物絕緣膜（在圖 16 中未圖示）接觸。

[0212] 共用電極 29 包括在與用作信號線的導電膜 21a 交叉的方向上延伸的條紋形狀的區域。另外，該條紋形狀的區域連接於在與用作信號線的導電膜 21a 平行或大致平行的方向上延伸的區域。因此，在像素中，在包括條紋形狀的區域的共用電極 29 中，各條紋形狀的區域的電位相等。

[0213] 電容元件 105 形成在具有導電性的氧化物半導體膜 19b 與共用電極 29 重疊的區域中。具有導電性的氧化物半導體膜 19b 及共用電極 29 具有透光性。也就是說，電容元件 105 具有透光性。

[0214] 如圖 16 所示，在 FFS 模式的液晶顯示裝置中，包括具有在與用作信號線的導電膜交叉的方向上延伸的條紋形狀的區域的共用電極，因此可以製造對比度高的顯示裝置。

[0215] 因為電容元件 105 具有透光性，所以可以在

像素 103 中形成較大（大面積）的電容元件 105。由此，可以得到能夠在提高開口率（典型地提高到 50%以上，較佳為提高到 60%以上）的同時增大電容的顯示裝置。例如，在解析度高的如液晶顯示裝置之類的顯示裝置中，像素的面積小，且電容元件的面積也小。因此，在解析度高的顯示裝置中，儲存在電容元件中的電容變小。但是，由於本實施方式所示的電容元件 105 具有透光性，所以藉由將該電容元件設置在像素中，可以在各像素中得到充分的電容值的同時提高開口率。典型的是，電容元件 105 可以適當地應用於像素密度為 200ppi 以上，300ppi 以上或 500ppi 以上的高解析度顯示裝置。

[0216] 另外，在液晶顯示裝置中，電容元件的電容越大，越能夠延長在施加電場的情況下液晶元件的液晶分子的配向被保持為固定的期間。在顯示靜態影像的情況下，由於可以延長該期間，所以能夠減少重寫影像資料的次數，從而可以降低耗電量。另外，藉由採用本實施方式所示的結構，在高解析度的顯示裝置中也可以提高開口率，因此可以高效地利用背光等光源的光，從而可以降低顯示裝置的耗電量。

[0217] 接著，圖 17 示出沿著圖 16 的點劃線 A-B、點劃線 C-D 的剖面圖。圖 17 所示的電晶體 102 是通道蝕刻型電晶體。注意，沿著點劃線 A-B 的剖面圖是通道長度方向上的電晶體 102 以及電容元件 105 的剖面圖，沿著點劃線 C-D 的剖面圖是通道寬度方向上的電晶體 102 的剖面

圖。

[0218] 本實施方式所示的液晶顯示裝置包括一對基板（第一基板 11 與第二基板 342）、與第一基板 11 接觸的元件層、與第二基板 342 接觸的元件層以及各元件層之間的液晶層 320。元件層是指形成在基板與液晶層之間的層的總稱。此外，將基板及元件層總稱為元件基板而進行說明。另外，在一對基板（第一基板 11 與第二基板 342）之間夾有液晶元件 322。

[0219] 液晶元件 322 包括第一基板 11 的上方的具有導電性的氧化物半導體膜 19b、共用電極 29、氮化物絕緣膜 27、控制配向性的膜（下面稱為配向膜 33）以及液晶層 320。具有導電性的氧化物半導體膜 19b 被用作液晶元件 322 中的一個電極（也稱為像素電極），而共用電極 29 被用作液晶元件 322 中的另一個電極。

[0220] 首先，說明形成在第一基板 11 上的元件層。圖 17 所示的電晶體 102 是具有單閘極結構的電晶體，其包括：設置在第一基板 11 上的用作閘極電極的導電膜 13；形成在第一基板 11 及用作閘極電極的導電膜 13 上的氮化物絕緣膜 15；形成在氮化物絕緣膜 15 上的氧化物絕緣膜 17；隔著氮化物絕緣膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a；以及與氧化物半導體膜 19a 接觸的用作源極電極和汲極電極的導電膜 21a 及 21b。氮化物絕緣膜 15 及氧化物絕緣膜 17 被用作閘極絕緣膜 14。在氧化物絕緣膜 17、氧化物半

導體膜 19a、用作源極電極和汲極電極的導電膜 21a 及 21b 上形成有氧化物絕緣膜 23，在氧化物絕緣膜 23 上形成有氧化物絕緣膜 25。在氧化物絕緣膜 23、氧化物絕緣膜 25 及導電膜 21b 上形成有氮化物絕緣膜 27。氧化物絕緣膜 23、氧化物絕緣膜 25 以及氮化物絕緣膜 27 被用作無機絕緣膜 30。具有導電性的氧化物半導體膜 19b 形成在氧化物絕緣膜 17 上。具有導電性的氧化物半導體膜 19b 連接於用作源極電極和汲極電極的導電膜 21a、21b 中的一個，在此連接於導電膜 21b。共用電極 29 形成在氮化物絕緣膜 27 上。另外，還包括隔著無機絕緣膜 30 與電晶體 102 的氧化物半導體膜 19a 重疊的有機絕緣膜 31。

[0221] 下面詳細地說明顯示裝置的結構。

[0222] 第一基板 11 可以適當地使用實施方式 1 所示的基板 151。

[0223] 用作閘極電極的導電膜 13 可以使用選自鋁、鉻、銅、鉬、鈦、鉬、鎢中的金屬元素或者以上述金屬元素為成分的合金或組合上述金屬元素的合金等來形成。另外，還可以使用選自錳和銨中的一種或多種的金屬元素。用作閘極電極的導電膜 13 可以具有單層結構或兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鉬膜或氮化鎢膜上層疊鎢膜的兩層結構、在鈦膜上層疊銅膜

的兩層結構、在鉬膜上層疊銅膜的兩層結構以及依次層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，還可以使用組合鋁與選自鈦、鉭、鎢、鉬、鉻、釹、釷中的元素的一種或多種而形成的合金膜或氮化膜。

[0224] 用作閘極電極的導電膜 13 可以適當地使用與實施方式 1 所示的導電膜 159 同樣的結構及材料。用作閘極電極的導電膜 13 可以使用實施方式 3 所示的導電膜 181 的說明中的具有透光性的導電膜。用作閘極電極的導電膜 13 可以採用上述具有透光性的導電膜與上述金屬元素的疊層結構。用作閘極電極的導電膜 13 也可以使用實施方式 1 所示的具有導電性的氧化物半導體膜 155b 形成。

[0225] 氮化物絕緣膜 15 可以使用具有低透氧性的氮化物絕緣膜。另外，氮化物絕緣膜 15 還可以使用具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜。作為具有低透氧性的氮化物絕緣膜、具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜，有如氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等。另外，還可以使用氧化鋁膜、氧氮化鋁膜、氧化鎂膜、氧氮化鎂膜、氧化鈮膜、氧氮化鈮膜、氧化鉛膜、氧氮化鉛膜等氧化物絕緣膜來代替具有低透氧性的氮化物絕緣膜、具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜。

[0226] 氮化物絕緣膜 15 的厚度較佳為 5nm 以上且 100nm 以下，更佳為 20nm 以上且 80nm 以下。

[0227] 氧化物絕緣膜 17 例如使用氧化矽、氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉛、氧化鎵或者 Ga-Zn 類金屬氧化物等即可，並且以疊層結構或單層結構設置。

[0228] 另外，藉由使用矽酸鉛 (HfSiO_x)、添加有氮的矽酸鉛 ($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加有氮的鋁酸鉛 ($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化鉛、氧化釷等相對介電常數高的材料形成氧化物絕緣膜 17，可減少電晶體的閘極漏電流。

[0229] 氧化物絕緣膜 17 的厚度較佳為 5nm 以上且 400nm 以下，更佳為 10nm 以上且 300nm 以下，進一步佳為 50nm 以上且 250nm 以下。

[0230] 因為同時形成氧化物半導體膜 19a 及具有導電性的氧化物半導體膜 19b，所以氧化物半導體膜 19a 及具有導電性的氧化物半導體膜 19b 使用 In-Ga 氧化物膜、In-Zn 氧化物膜、In-M-Zn 氧化物膜 (M 為 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd) 等金屬氧化物膜形成。由此，氧化物半導體膜 19a 及具有導電性的氧化物半導體膜 19b 是具有相同的金屬元素的膜。

[0231] 但是，與氧化物半導體膜 19a 相比，在具有導電性的氧化物半導體膜 19b 中缺陷較多且雜質濃度較高。由此，具有導電性的氧化物半導體膜 19b 的電特性與氧化物半導體膜 19a 不同。明確而言，氧化物半導體膜 19a 具有半導體特性，而具有導電性的氧化物半導體膜 19b 具有導電性。

[0232] 氧化物半導體膜 19a 及具有導電性的氧化物半導體膜 19b 的厚度為 3nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0233] 因為氧化物半導體膜 19a 的一部分用作電晶體的通道區域，所以氧化物半導體膜 19a 的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。如此，藉由使用能隙較寬的氧化物半導體，可以降低電晶體 102 的關態電流（off-state current）。

[0234] 作為氧化物半導體膜 19a 使用載子密度較低的氧化物半導體膜。例如，氧化物半導體膜 19a 使用載子密度為 1×10^{17} 個/cm³ 以下，較佳為 1×10^{15} 個/cm³ 以下、 1×10^{13} 個/cm³ 以下、 8×10^{11} 個/cm³ 以下、 1×10^{11} 個/cm³ 以下，更佳為低於 1×10^{10} 個/cm³，且 1×10^{-9} 個/cm³ 以上的氧化物半導體膜。

[0235] 本發明不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）來使用具有適當的組成的材料。另外，較佳為適當地設定氧化物半導體膜 19a 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0236] 藉由作為氧化物半導體膜 19a 使用雜質濃度低且缺陷態密度低的氧化物半導體膜，可以製造具有更優良的電特性的電晶體。這裡，將雜質濃度低且缺陷態密度低（氧缺損量少）的狀態稱為“高純度本質”或“實質上

高純度本質”。因為高純度本質或實質上高純度本質的氧化物半導體的載子發生源較少，所以有可能降低載子密度。因此，在該氧化物半導體膜中形成有通道區域的電晶體很少具有負臨界電壓的電特性（也稱為常開啟特性）。因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。高純度本質或實質上高純度本質的氧化物半導體膜的關態電流顯著低，即便是通道寬度為 $1 \times 10^6 \mu\text{m}$ 、通道長度 L 為 $10 \mu\text{m}$ 的元件，當源極電極與汲極電極間的電壓（汲極電壓）在 1V 至 10V 的範圍時，關態電流也可以為半導體參數分析儀的測定極限以下，即 $1 \times 10^{-13}\text{A}$ 以下。因此，在該氧化物半導體膜中形成有通道區域的電晶體的電特性變動小，該電晶體成為可靠性高的電晶體。作為雜質有氫、氮、鹼金屬或鹼土金屬等。

[0237] 包含在氧化物半導體膜中的氫與鍵合於金屬原子的氧起反應生成水，與此同時在發生氧脫離的晶格（或氧脫離的部分）中形成氧缺損。當氫進入該氧缺損時，有時生成作為載子的電子。另外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用包含氫的氧化物半導體的電晶體容易具有常開啟特性。

[0238] 由此，較佳為盡可能減少氧化物半導體膜 19a 中的氧缺損及氫。明確而言，在氧化物半導體膜 19a 中，利用二次離子質譜分析法（SIMS：Secondary Ion Mass

Spectrometry) 測得的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下，較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下，進一步佳為 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下。

[0239] 當氧化物半導體膜 19a 包含第 14 族元素之一的矽或碳時，氧化物半導體膜 19a 中氧缺損增加，使得氧化物半導體膜 19a 被 n 型化。因此，氧化物半導體膜 19a 中的矽或碳的濃度（利用二次離子質譜分析法測得的濃度）為 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $2 \times 10^{17} \text{ atoms/cm}^3$ 以下。

[0240] 另外，在氧化物半導體膜 19a 中，利用二次離子質譜分析法測得的鹼金屬或鹼土金屬的濃度為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $2 \times 10^{16} \text{ atoms/cm}^3$ 以下。有時當鹼金屬及鹼土金屬與氧化物半導體鍵合時生成載子而使電晶體的關態電流增大。由此，較佳為降低氧化物半導體膜 19a 的鹼金屬或鹼土金屬的濃度。

[0241] 當在氧化物半導體膜 19a 中含有氮時，生成作為載子的電子，載子密度增加，使得氧化物半導體膜 19a 容易被 n 型化。其結果是，使用含有氮的氧化物半導體的電晶體容易具有常開啟特性。因此，在該氧化物半導體膜中，較佳為盡可能地減少氮，例如，利用二次離子質譜分析法測得的氮濃度較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。

[0242] 藉由使與氧化物半導體膜 19a 同時形成的氧化物半導體膜包含缺陷，例如氧缺損，及雜質，可以形成

具有導電性的氧化物半導體膜 19b。由此，具有導電性的氧化物半導體膜 19b 用作電極，在本實施方式中用作像素電極。

[0243] 雖然氧化物半導體膜 19a 和具有導電性的氧化物半導體膜 19b 都形成在氧化物絕緣膜 17 上，但是它們的雜質濃度不同。明確而言，具有導電性的氧化物半導體膜 19b 的雜質濃度高於氧化物半導體膜 19a 的雜質濃度。例如，氧化物半導體膜 19a 中的氫濃度為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下、 $1 \times 10^{19} \text{atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{atoms/cm}^3$ 以下、 $1 \times 10^{18} \text{atoms/cm}^3$ 以下、 $5 \times 10^{17} \text{atoms/cm}^3$ 以下，較佳為 $1 \times 10^{16} \text{atoms/cm}^3$ 以下，而具有導電性的氧化物半導體膜 19b 中的氫濃度為 $8 \times 10^{19} \text{atoms/cm}^3$ 以上、 $1 \times 10^{20} \text{atoms/cm}^3$ 以上，較佳為 $5 \times 10^{20} \text{atoms/cm}^3$ 以上。具有導電性的氧化物半導體膜 19b 中的氫濃度為氧化物半導體膜 19a 中的氫濃度的 2 倍以上，較佳為 10 倍以上。

[0244] 具有導電性的氧化物半導體膜 19b 的電阻率低於氧化物半導體膜 19a 的電阻率。具有導電性的氧化物半導體膜 19b 的電阻率較佳為氧化物半導體膜 19a 的電阻率的 1×10^{-8} 倍以上且低於 1×10^{-1} 倍，典型地為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^4 \Omega \text{cm}$ ，較佳為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^{-1} \Omega \text{cm}$ 。

[0245] 氧化物半導體膜 19a 及具有導電性的氧化物半導體膜 19b 可以適當地選擇與實施方式 1 所示的具有導電性的氧化物半導體膜 155b 相同的結晶結構。

[0246] 用作源極電極及汲極電極的導電膜 21a、21b 可以適當地使用實施方式 1 所示的導電膜 159 的結構、材料。

[0247] 在本實施方式中，導電膜 21a 具有導電膜 21a_1 及導電膜 21a_2 的疊層結構。導電膜 21b 具有導電膜 21b_1 及導電膜 21b_2 的疊層結構。導電膜 21a_1 及導電膜 21b_1 使用 Cu-X 合金膜。導電膜 21a_2 及導電膜 21b_2 使用包含低電阻材料的導電膜。

[0248] 作為氧化物絕緣膜 23 或氧化物絕緣膜 25，較佳為使用其氧含量超過化學計量組成的氧化物絕緣膜。這裡，作為氧化物絕緣膜 23 形成具有透氧性的氧化物絕緣膜，作為氧化物絕緣膜 25 形成其氧含量超過化學計量組成的氧化物絕緣膜。

[0249] 氧化物絕緣膜 23 為具有透氧性的氧化物絕緣膜。由此，可以將從設置在氧化物絕緣膜 23 上的氧化物絕緣膜 25 脫離的氧經過氧化物絕緣膜 23 移動到氧化物半導體膜 19a。另外，當在後面形成氧化物絕緣膜 25 時，氧化物絕緣膜 23 被用作緩和對氧化物半導體膜 19a 造成的損傷的膜。

[0250] 作為氧化物絕緣膜 23，可以使用厚度為 5nm 以上且 150nm 以下，較佳為 5nm 以上且 50nm 以下的氧化矽膜、氧氮化矽膜等。

[0251] 較佳的是，氧化物絕緣膜 23 是包含氮且缺陷量少的氧化物絕緣膜。

[0252] 作為包含氮且缺陷量少的氧化物絕緣膜的典型例，有氮化矽膜、氮化鋁膜等。

[0253] 關於缺陷少的氧化物絕緣膜，在以 100K 以下的 ESR 測得的 ESR 譜中觀察到：g 值為 2.037 以上且 2.039 以下的第一信號；g 值為 2.001 以上且 2.003 以下的第二信號；以及 g 值為 1.964 以上且 1.966 以下的第三信號。在 X 帶的 ESR 測定中，第一信號與第二信號的分裂寬度及第二信號與第三信號的分裂寬度大約為 5mT。另外，g 值為 2.037 以上且 2.039 以下的第一信號、g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號的自旋密度的總和低於 $1 \times 10^{18} \text{spins/cm}^3$ ，典型為 $1 \times 10^{17} \text{spins/cm}^3$ 以上且低於 $1 \times 10^{18} \text{spins/cm}^3$ 。

[0254] 在 100K 以下的 ESR 譜中，g 值為 2.037 以上且 2.039 以下的第一信號、g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號相當於起因於氮氧化物（ NO_x ，x 為 0 以上且 2 以下，較佳為 1 以上且 2 以下）的信號。作為氮氧化物的典型例子，有一氧化氮、二氧化氮等。就是說，g 值為 2.037 以上且 2.039 以下的第一信號、g 值為 2.001 以上且 2.003 以下的第二信號以及 g 值為 1.964 以上且 1.966 以下的第三信號的自旋密度的總數越少，氧化物絕緣膜中的氮氧化物含量越少。

[0255] 如上所述，氧化物絕緣膜 23 中的氮氧化物含

量少，由此可以減少氧化物絕緣膜 23 與氧化物半導體膜之間的介面的載子陷阱。其結果是，可以減少包含在半導體裝置中的電晶體的臨界電壓的變動量，而可以減少電晶體的電特性的變動。

[0256] 另外，氧化物絕緣膜 23 的藉由 SIMS (Secondary Ion Mass Spectrometry：二次離子質譜分析) 測得的氮濃度較佳為 $6 \times 10^{20} \text{ atoms/cm}^3$ 以下。其結果是，在氧化物絕緣膜 23 中不容易生成氮氧化物，而可以減少氧化物絕緣膜 23 與氧化物半導體膜 19a 之間的介面的載子陷阱。還可以減少包含在半導體裝置中的電晶體的臨界電壓的變動量，從而可以減少電晶體的電特性的變動。

[0257] 當在氧化物絕緣膜 23 中含有氮氧化物及氮時，在製程中的加熱處理中氮氧化物及氮起反應，使得氮氧化物成為氮氣並脫離。其結果是，可以降低氧化物絕緣膜 23 中的氮濃度及氮氧化物含量。另外，可以減少氧化物絕緣膜 23 與氧化物半導體膜 19a 之間的介面的載子陷阱。還可以減少包含在半導體裝置中的電晶體的臨界電壓的變動量，從而可以減少電晶體的電特性的變動。

[0258] 在氧化物絕緣膜 23 中，有時從外部進入氧化物絕緣膜 23 的氧不是全部移動到氧化物絕緣膜 23 的外部，而是其一部分殘留在氧化物絕緣膜 23 的內部。另外，還有時在氧從外部進入氧化物絕緣膜 23 的同時，氧化物絕緣膜 23 中含有的氧移動到氧化物絕緣膜 23 的外部，而在氧化物絕緣膜 23 中發生氧的移動。

[0259] 在形成使氧透過的氧化物絕緣膜作為氧化物絕緣膜 23 時，可以使從設置在氧化物絕緣膜 23 上的氧化物絕緣膜 25 脫離的氧經由氧化物絕緣膜 23 移動到氧化物半導體膜 19a 中。

[0260] 氧化物絕緣膜 25 以與氧化物絕緣膜 23 接觸的方式來形成。氧化物絕緣膜 25 使用其氧含量超過化學計量組成的氧化物絕緣膜形成。其氧含量超過化學計量組成的氧化物絕緣膜由於被加熱而其一部分的氧脫離。其氧含量超過化學計量組成的氧化物絕緣膜藉由 TDS 分析，換算為氧原子的氧的脫離量為 $1.0 \times 10^{18} \text{atoms/cm}^3$ 以上，較佳為 $3.0 \times 10^{20} \text{atoms/cm}^3$ 以上。注意，上述 TDS 分析時的氧化物絕緣膜 25 的表面溫度較佳為 100°C 以上且 700°C 以下或 100°C 以上且 500°C 以下。

[0261] 作為氧化物絕緣膜 25 可以使用厚度為 30nm 以上且 500nm 以下，較佳為 50nm 以上且 400nm 以下的氧化矽膜、氮化矽膜等。

[0262] 較佳的是，氧化物絕緣膜 25 中的缺陷量較少，典型的是，利用 ESR 測得的在 $g=2.001$ 處出現的信號的自旋密度低於 $1.5 \times 10^{18} \text{spins/cm}^3$ ，更佳為 $1 \times 10^{18} \text{spins/cm}^3$ 以下。由於氧化物絕緣膜 25 與氧化物絕緣膜 23 相比離氧化物半導體膜 19a 更遠，所以氧化物絕緣膜 25 的缺陷密度也可以高於氧化物絕緣膜 23。

[0263] 與氮化物絕緣膜 15 同樣地，氮化物絕緣膜 27 可以使用具有低透氧性的氮化物絕緣膜。另外，氮化物絕

緣膜 27 還可以使用具有低透氧性、低透氫性以及低透水性的氮化物絕緣膜。

[0264] 作為氮化物絕緣膜 27 有厚度為 50nm 以上且 300nm 以下，較佳為 100nm 以上且 200nm 以下的氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等。

[0265] 藉由使氧化物絕緣膜 23 或氧化物絕緣膜 25 包括其氧含量超過化學計量組成的氧化物絕緣膜，可以將包含在氧化物絕緣膜 23 或氧化物絕緣膜 25 中的氧的一部分移動到氧化物半導體膜 19a，以降低包含在氧化物半導體膜 19a 中的氧缺損量。

[0266] 使用其中包含氧缺損的氧化物半導體膜的電晶體的臨界電壓容易向負方向變動，而容易具有常開啟特性。這是因為由於在氧化物半導體膜中含有氧缺損而產生電荷以導致低電阻化的緣故。當電晶體具有常開啟特性時，產生各種問題，諸如在工作時容易產生工作故障或者在非工作時耗電量增大等。另外，還有如下問題：由於受到隨時變化或應力測試的影響，電晶體的電特性的變動量，典型為臨界電壓的變動量增大。

[0267] 但是，在本實施方式所示的電晶體 102 中，設置在氧化物半導體膜 19a 上的氧化物絕緣膜 23 或氧化物絕緣膜 25 是其氧含量超過化學計量組成的氧化物絕緣膜。並且，由氮化物絕緣膜 15 及氧化物絕緣膜 17 包圍氧化物半導體膜 19a、氧化物絕緣膜 23 及氧化物絕緣膜 25。其結果是，包含在氧化物絕緣膜 23 或氧化物絕緣膜

25 中的氧高效地移動到氧化物半導體膜 19a，使得氧化物半導體膜 19a 的氧缺損量得到減少。由此，得到具有常關閉特性的電晶體。另外，還可以降低起因於隨時變化或應力測試的電晶體的電特性的變動量，典型為臨界電壓的變動量。

[0268] 共用電極 29 使用具有透光性的膜，較佳為具有透光性的導電膜。具有透光性的導電膜可以使用包含氧化鎢的銦氧化物膜、包含氧化鎢的銦鋅氧化物膜、包含氧化鈦的銦氧化物膜、包含氧化鈦的銦錫氧化物膜、ITO 膜、銦鋅氧化物膜、添加有氧化矽的銦錫氧化物膜等。

[0269] 共用電極 29 也可以使用實施方式 1 所示的具有導電性的氧化物半導體膜 155b 形成。

[0270] 用作信號線的導電膜 21a 的延伸方向與共用電極 29 的延伸方向交叉。因此，在用作信號線的導電膜 21a 與共用電極 29 之間產生的電場與在由具有導電性的氧化物半導體膜 19b 形成的像素電極與共用電極 29 之間產生的電場之間發生方位的偏離，並且該偏離的角度很大。因此，當使用負型液晶分子時，用作信號線的導電膜附近的液晶分子的配向狀態與在鄰接的像素中的像素電極與共用電極之間產生的電場所引起的像素電極附近的液晶分子的配向狀態不容易互相影響。由此，像素的穿透率的變化得到抑制。其結果是，能夠減少影像的閃爍。

[0271] 另外，在更新頻率低的液晶顯示裝置中，即使在保持期間中，用作信號線的導電膜 21a 附近的液晶分

子的配向也不容易影響到在鄰接的像素中的像素電極與共用電極 29 之間產生的電場所引起的像素電極附近的液晶分子的配向狀態。其結果是，可以在保持期間中保持像素的穿透率，以能夠減少影像的閃爍。

[0272] 共用電極 29 包括在與用作信號線的導電膜 21a 交叉的方向上延伸的條紋形狀的區域。由此，能夠防止在具有導電性的氧化物半導體膜 19b 及導電膜 21a 附近的液晶分子的非意圖的配向，從而可以抑制漏光。其結果是，可以製造對比度高的顯示裝置。

[0273] 共用電極 29 的形狀不侷限於圖 16 所示的形狀，也可以具有直線的條紋形狀。此外，當具有條紋形狀時，也可以延伸方向與用作信號線的導電膜平行。共用電極 29 也可以為如下：具有鋸齒形狀；形成在第一基板 11 的整個表面上；在其上隔著絕緣膜形成有與具有導電性的氧化物半導體膜 19b 不同的具有透光性的導電膜。

[0274] 有機絕緣膜 31 的厚度較佳為 500nm 以上且 10 μ m 以下。圖 17 所示的有機絕緣膜 31 的厚度小於形成在第一基板 11 上的無機絕緣膜 30 與形成在第二基板 342 上的元件層之間的間隔。由此，在有機絕緣膜 31 與形成在第二基板 342 上的元件層之間具有液晶層 320。就是說，有機絕緣膜 31 上的配向膜 33 與形成在第二基板 342 上的元件層所包含的配向膜 352 之間具有液晶層 320。

[0275] 此外，雖然未圖示，但是也可以採用有機絕緣膜 31 上的配向膜 33 與形成在第二基板 342 上的元件層

所包含的配向膜 352 接觸的結構。此時，有機絕緣膜 31 用作隔離物，所以可以使用有機絕緣膜 31 保持液晶顯示裝置的單元間隙。

[0276] 另外，在圖 17 中，配向膜 33 設置在有機絕緣膜上，但是本發明的一個實施方式不侷限於此。根據情況或狀況，也可以在配向膜 33 上設置有機絕緣膜 31。在此情況下，作為一個例子，摩擦製程也可以在將有機絕緣膜 31 形成在配向膜 33 上之後進行，而不在剛形成配向膜 33 之後進行。

[0277] 在用作閘極電極的導電膜 13 被施加負電壓時，產生電場。該電場不被氧化物半導體膜 19a 遮蔽，而影響到無機絕緣膜 30，使得無機絕緣膜 30 的表面帶著弱的正電荷。另外，在用作閘極電極的導電膜 13 被施加負電壓時，包含在空氣中的帶正電荷的粒子被吸附到無機絕緣膜 30 的表面，使得無機絕緣膜 30 的表面帶著弱的正電荷。

[0278] 因為無機絕緣膜 30 的表面帶著正電荷，所以產生電場，該電場影響到氧化物半導體膜 19a 與無機絕緣膜 30 之間的介面。其結果是，氧化物半導體膜 19a 與無機絕緣膜 30 之間的介面成為實質上被施加正偏壓的狀態，這導致電晶體的臨界電壓的向負漂移。

[0279] 另一方面，本實施方式所示的電晶體 102 具有無機絕緣膜 30 上的有機絕緣膜 31。因為有機絕緣膜 31 的厚度厚，即 500nm 以上，所以由於用作閘極電極的導

電膜 13 被施加負電壓而產生的電場的影響不到有機絕緣膜 31 的表面，從而有機絕緣膜 31 的表面不容易帶正電荷。另外，因為有機絕緣膜 31 的厚度厚，即 500nm 以上，所以即使包含在空氣中的帶正電荷的粒子被吸附到有機絕緣膜 31 的表面，也不容易使該帶正電荷的粒子的電場影響到氧化物半導體膜 19a 與無機絕緣膜 30 之間的介面。其結果是，氧化物半導體膜 19a 與無機絕緣膜 30 之間的介面不成為實質上被施加正偏壓的狀態，從而電晶體的臨界電壓的變動量少。

[0280] 雖然在有機絕緣膜 31 中水等容易擴散，但是有機絕緣膜 31 按每個電晶體 210 被進行分離，從而來自外部的水不穿過有機絕緣膜 31 擴散到半導體裝置內。另外，無機絕緣膜 30 包括氮化物絕緣膜，由此可以防止從外部擴散到有機絕緣膜 31 中的水擴散到氧化物半導體膜 19a 中。

[0281] 在共用電極 29、氮化物絕緣膜 27 以及有機絕緣膜 31 上形成有配向膜 33。

[0282] 接著，參照圖 18A 至圖 21B 對圖 17 所示的電晶體 102 及電容元件 105 的製造方法進行說明。

[0283] 如圖 18A 所示，在第一基板 11 上形成將成為導電膜 13 的導電膜 12。導電膜 12 藉由濺射法、化學氣相沉積（CVD）法（包括有機金屬化學氣相沉積（MOCVD）法、金屬化學氣相沉積法、原子層沉積（ALD）法或電漿化學氣相沉積（PECVD）法）、蒸鍍法、脈衝雷射沉積

(PLD)法等來形成。藉由採用有機金屬化學氣相沉積(MOCVD)法、金屬化學氣相沉積法或原子層沉積(ALD)法，可以形成電漿所導致的損傷少的導電膜。另外，當使用實施方式1所示的具有導電性的氧化物半導體膜155b作為導電膜12時，可以適當地利用具有導電性的氧化物半導體膜155b的製造方法。

[0284] 在此，作為第一基板 11 使用玻璃基板。作為導電膜 12，利用濺射法形成厚度為 100nm 的鎢膜。

[0285] 接著，在導電膜 12 上經使用第一光罩的光微影製程形成遮罩。接著，用該遮罩對導電膜 12 的一部分進行蝕刻來形成圖 18B 所示的用作閘極電極的導電膜 13。然後，去除遮罩。

[0286] 另外，對於用作閘極電極的導電膜 13，也可以利用電鍍法、印刷法、噴墨法等來代替上述形成方法。

[0287] 這裡，利用乾蝕刻法對鎢膜進行蝕刻來形成用作閘極電極的導電膜 13。

[0288] 接著，如圖 18C 所示，在用作閘極電極的導電膜 13 上形成氮化物絕緣膜 15 及將成為氧化物絕緣膜 17 的氧化物絕緣膜 16。接著，在氧化物絕緣膜 16 上形成將成為氧化物半導體膜 19a 及具有導電性的氧化物半導體膜 19b 的氧化物半導體膜 18。

[0289] 氮化物絕緣膜 15 及氧化物絕緣膜 16 藉由濺射法、化學氣相沉積(CVD)法(包括有機金屬化學氣相沉積(MOCVD)法、金屬化學氣相沉積法、原子層沉積

(ALD) 法或電漿化學氣相沉積 (PECVD) 法)、蒸鍍法、脈衝雷射沉積 (PLD) 法、塗佈法、印刷法等來形成。藉由採用有機金屬化學氣相沉積 (MOCVD) 法、金屬化學氣相沉積法或原子層沉積 (ALD) 法，可以形成電漿所導致的損傷少的氮化物絕緣膜 15 及氧化物絕緣膜 16。另外，藉由採用原子層沉積 (ALD) 法，可以提高氮化物絕緣膜 15 及氧化物絕緣膜 16 的覆蓋率。

[0290] 這裡，作為氮化物絕緣膜 15，藉由以矽烷、氮以及氮為源氣體的電漿 CVD 法形成厚度為 300nm 的氮化矽膜。

[0291] 當作為氧化物絕緣膜 16 形成氧化矽膜、氮氧化矽膜或氮氧化矽膜時，作為源氣體，較佳為使用包含矽的沉積氣體及氧化性氣體。包含矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0292] 當作為氧化物絕緣膜 16 形成氧化鋅膜時，可以利用 MOCVD 法來形成。

[0293] 這裡，作為氧化物絕緣膜 16，藉由以矽烷及一氧化二氮為源氣體的電漿 CVD 法形成厚度為 50nm 的氮氧化矽膜。

[0294] 氧化物半導體膜 18 可以適當地利用與實施方式 1 所示的氧化物半導體膜 155 相同的形成方法而形成。

[0295] 在此，利用使用 In-Ga-Zn 氧化物靶材 (In:Ga:Zn=1:1:1) 的濺射法形成厚度為 35nm 的 In-Ga-

Zn 氧化物膜以作為氧化物半導體膜。

[0296] 接著，在氧化物半導體膜 18 上經使用第二光罩的光微影製程形成遮罩，然後使用該遮罩對氧化物半導體膜的一部分進行蝕刻，如圖 18D 所示那樣，形成被進行了分離的氧化物半導體膜 19a 及 19c。此後去除遮罩。

[0297] 在此，藉由在氧化物半導體膜 18 上形成遮罩，並利用濕蝕刻法對氧化物半導體膜 18 的一部分進行蝕刻，從而形成氧化物半導體膜 19a、19c。

[0298] 接著，如圖 19A 所示，形成將成為導電膜 21a、21b 的導電膜 20。在此，導電膜 20 是導電膜 20_1 及導電膜 20_2 的疊層。導電膜 20_1 使用 Cu-X 合金膜，而導電膜 20_2 使用包含低電阻材料的導電膜。

[0299] 可以適當地使用與實施方式 1 所示的導電膜 159 同樣的方法來形成導電膜 20。

[0300] 這裡，利用濺射法依次層疊厚度為 50nm 的 Cu-Mn 合金膜和厚度為 300nm 的銅膜。

[0301] 接著，在導電膜 20 上經使用第三光罩的光微影製程形成遮罩，然後使用該遮罩對導電膜 20 進行蝕刻，如圖 19B 所示那樣，形成用作源極電極和汲極電極的導電膜 21a 及導電膜 21b。此後去除遮罩。導電膜 21a 是對導電膜 20_1 的一部分進行蝕刻形成的導電膜 21a_1 與對導電膜 20_2 的一部分進行蝕刻形成的導電膜 21a_2 的疊層。導電膜 21b 是對導電膜 20_1 的一部分進行蝕刻形成的導電膜 21b_1 與對導電膜 20_2 的一部分進行蝕刻形

成的導電膜 21b_2 的疊層。

[0302] 這裡，在銅膜上經光微影製程形成遮罩，然後使用該遮罩對 Cu-Mn 合金膜及銅膜進行蝕刻來形成導電膜 21a、21b。此外，藉由使用濕蝕刻法，可以在一個製程中對 Cu-Mn 合金膜及銅膜進行蝕刻。

[0303] 接著，如圖 19C 所示，在氧化物半導體膜 19a 及氧化物半導體膜 19c、導電膜 21a 及導電膜 21b 上形成將成為氧化物絕緣膜 23 的氧化物絕緣膜 22 及將成為氧化物絕緣膜 25 的氧化物絕緣膜 24。可以適當地使用與氮化物絕緣膜 15 及氧化物絕緣膜 16 同樣的方法來形成氧化物絕緣膜 22 及氧化物絕緣膜 24。

[0304] 較佳的是，在形成氧化物絕緣膜 22 之後，在不暴露於大氣的狀態下連續地形成氧化物絕緣膜 24。在形成氧化物絕緣膜 22 之後，在不暴露於大氣的狀態下，調節源氣體的流量、壓力、高頻電力和基板溫度中的一個以上連續地形成氧化物絕緣膜 24，由此可以在降低氧化物絕緣膜 22 與氧化物絕緣膜 24 之間的介面的來源於大氣成分的雜質濃度的同時使包含於氧化物絕緣膜 24 中的氧移動到氧化物半導體膜 19a 中，而可以減少氧化物半導體膜 19a 的氧缺損量。

[0305] 作為氧化物絕緣膜 22，可以藉由如下條件的 CVD 法形成包含氮且缺陷量少的氧化物絕緣膜：氧化性氣體與沉積氣體的比值較佳為大於 20 且小於 100，較佳為 40 以上且 80 以下，並且處理室內的壓力低於 100Pa，

較佳為 50Pa 以下。

[0306] 作為氧化物絕緣膜 22 的源氣體，較佳為使用含有矽的沉積氣體及氧化性氣體。含有矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0307] 藉由採用上述條件，可以形成具有透氧性的氧化物絕緣膜作為氧化物絕緣膜 22。另外，藉由設置氧化物絕緣膜 22，在形成氧化物絕緣膜 24 的製程中，可以降低對氧化物半導體膜 19a 造成的損傷。

[0308] 在此，作為氧化物絕緣膜 22，利用電漿 CVD 法形成厚度為 50nm 的氧氮化矽膜，此時採用如下條件：將流量為 50sccm 的矽烷及流量為 2000sccm 的一氧化二氮用作源氣體；將處理室的壓力設定為 20Pa；將基板溫度設定為 220℃；利用 27.12MHz 的高頻電源將 100W 的高頻電力供應到平行平板電極。藉由採用上述條件，可以形成包含氮且缺陷量少的氧氮化矽膜。

[0309] 作為氧化物絕緣膜 24，形成氧化矽膜或氧氮化矽膜，此時採用如下條件：在 180℃ 以上且 280℃ 以下，較佳為 200℃ 以上且 240℃ 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室，將處理室內的壓力設定為 100Pa 以上且 250Pa 以下，較佳為 100Pa 以上且 200Pa 以下，並對設置在處理室內的電極供應 $0.17\text{W}/\text{cm}^2$ 以上且 $0.5\text{W}/\text{cm}^2$ 以下，較佳為 $0.25\text{W}/\text{cm}^2$ 以上且 $0.35\text{W}/\text{cm}^2$ 以下的高頻電

力。

[0310] 作為氧化物絕緣膜 24 的源氣體，較佳為使用包含矽的沉積氣體及氧化性氣體。包含矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0311] 作為氧化物絕緣膜 24 的成膜條件，在上述壓力的處理室中供應具有上述功率密度的高頻電力，由此在電漿中源氣體的分解效率得到提高，氧自由基增加，且促進源氣體的氧化，使得氧化物絕緣膜 24 中的含氧量超過化學計量組成。另一方面，在上述基板溫度下形成的膜中，由於矽與氧的鍵合力較低，因此，因後面製程的加熱處理而使膜中的氧的一部分脫離。其結果是，可以形成其氧含量超過化學計量組成且因加熱而釋放氧的一部分的氧化物絕緣膜。另外，因為在氧化物半導體膜 19a 上設置有氧化物絕緣膜 22，所以在氧化物絕緣膜 24 的形成製程中，氧化物絕緣膜 22 被用作氧化物半導體膜 19a 的保護膜。其結果是，可以在減少對氧化物半導體膜 19a 造成的損傷的同時使用功率密度高的高頻電力形成氧化物絕緣膜 24。

[0312] 在此，作為氧化物絕緣膜 24，利用電漿 CVD 法形成厚度為 400nm 的氧氮化矽膜，此時採用如下條件：將流量為 200sccm 的矽烷及流量為 4000sccm 的一氧化二氮用作源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 220℃，使用 27.12MHz 的高頻電源將

1500W 的高頻電力供應到平行平板電極。電漿 CVD 設備是電極面積為 6000cm^2 的平行平板型電漿 CVD 設備，將所供應的電功率的換算為每單位面積的電功率（電功率密度）為 $0.25\text{W}/\text{cm}^2$ 。

[0313] 另外，當形成用作源極電極和汲極電極的導電膜 21a 及導電膜 21b 時，由於導電膜的蝕刻，氧化物半導體膜 19a 會受到損傷而在氧化物半導體膜 19a 的背後通道（在氧化物半導體膜 19a 中與對置於用作閘極電極的導電膜 13 的表面相反一側的表面）一側產生氧缺損。但是，藉由作為氧化物絕緣膜 24 使用其氧含量超過化學計量組成的氧化物絕緣膜，可以利用加熱處理修復產生在該背後通道一側的氧缺損。由此，可以減少氧化物半導體膜 19a 中的缺陷，因此，可以提高電晶體 102 的可靠性。

[0314] 接著，在氧化物絕緣膜 24 上經使用第四光罩的光微影製程形成遮罩。然後，使用該遮罩對氧化物絕緣膜 22 及氧化物絕緣膜 24 的一部分進行蝕刻，如圖 20A 所示，形成具有開口部 40 的氧化物絕緣膜 23 及氧化物絕緣膜 25。此後去除遮罩。

[0315] 在上述製程中，較佳為使用乾蝕刻法對氧化物絕緣膜 22 及氧化物絕緣膜 24 進行蝕刻。其結果是，在蝕刻處理中氧化物半導體膜 19c 被暴露於電漿，從而可以增加氧化物半導體膜 19c 的氧缺損量。

[0316] 接著，進行加熱處理。將該加熱處理的溫度典型地設定為 150°C 以上且 400°C 以下，較佳為 300°C 以

上且 400℃ 以下，更佳為 320℃ 以上且 370℃ 以下。

[0317] 該加熱處理可以使用電爐、RTA 裝置等來進行。藉由使用 RTA 裝置，可只在短時間內在基板的應變點以上的溫度下進行加熱處理。由此，可以縮短加熱處理時間。

[0318] 加熱處理可以在氮、氧、超乾燥空氣（含水量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行。上述氮、氧、超乾燥空氣或稀有氣體較佳為不含有氫、水等。

[0319] 藉由該加熱處理，可以將氧化物絕緣膜 25 中的氧的一部分移動到氧化物半導體膜 19a 中以進一步減少氧化物半導體膜 19a 中的氧缺損量。

[0320] 在氧化物絕緣膜 23 及氧化物絕緣膜 25 包含水、氫等且氮化物絕緣膜 26 還具有阻水性及阻氫性等的情況下，若後續形成氮化物絕緣膜 26 並進行加熱處理，氧化物絕緣膜 23 及氧化物絕緣膜 25 所包含的水、氫等則移動到氧化物半導體膜 19a 中，而在氧化物半導體膜 19a 中產生缺陷。然而，藉由進行上述加熱處理，可以使氧化物絕緣膜 23 及氧化物絕緣膜 25 所包含的水、氫等脫離，由此在可以減少電晶體 102 的電特性的不均勻的同時抑制臨界電壓的變動。

[0321] 注意，邊進行加熱邊在氧化物絕緣膜 22 上形成氧化物絕緣膜 24，從而可以將氧移動到氧化物半導體膜 19a 中來減少氧化物半導體膜 19a 中的氧缺損量，由此

不必須一定要進行上述加熱處理。

[0322] 雖然也可以在形成氧化物絕緣膜 22 及氧化物絕緣膜 24 之後進行上述加熱處理，但是較佳為在形成氧化物絕緣膜 23 及氧化物絕緣膜 25 之後進行上述加熱處理。這是因為可以以如下方式形成具有更高導電性的膜的緣故：避免氧移動到氧化物半導體膜 19c；因為氧化物半導體膜 19c 被露出，氧從氧化物半導體膜 19c 脫離而形成氧缺損。

[0323] 在此，在氮及氧氛圍下，以 350℃ 進行 1 小時的加熱處理。

[0324] 接著，如圖 20B 所示那樣形成氮化物絕緣膜 26。

[0325] 可以適當地使用與氮化物絕緣膜 15 及氧化物絕緣膜 16 同樣的方法來形成氮化物絕緣膜 26。藉由使用濺射法、CVD 法等形成氮化物絕緣膜 26，可以將氧化物半導體膜 19c 暴露於電漿，由此能夠增加氧化物半導體膜 19c 的氧缺損量。

[0326] 另外，氧化物半導體膜 19c 的導電性得到提高而成為具有導電性的氧化物半導體膜 19b。在使用電漿 CVD 法形成氮化矽膜作為氮化物絕緣膜 26 的情況下，包含在氮化矽膜中的氫擴散到氧化物半導體膜 19c，由此可以提高氧化物半導體膜的導電性。此外，具有導電性的氧化物半導體膜 19b 的製造方法可以適當地利用實施方式 1 所示的具有導電性的氧化物半導體膜 155b 的形成方法。

[0327] 當作為氮化物絕緣膜 26 利用電漿 CVD 法來形成氮化矽膜時，藉由在 300°C 以上且 400°C 以下，較佳為 320°C 以上且 370°C 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室中的基板，可以形成緻密的氮化矽膜，所以是較佳的。

[0328] 當形成氮化矽膜時，較佳為使用包含矽的沉積氣體、氮及氨作為源氣體。藉由使用相對於氮量的氮量少的源氣體，在電漿中氮發生解離而產生活性種，該活性種切斷包含矽的沉積氣體中含有的矽與氮的鍵合及氮的三鍵。其結果是，可以促進矽與氮的鍵合，而形成矽與氮的鍵合較少、缺陷較少且緻密的氮化矽膜。另一方面，在使用相對於氮量的氮量多的源氣體時，包含矽的沉積氣體及氮各自的分解不進展，矽與氮的鍵合殘留，導致形成缺陷較多且不緻密的氮化矽膜。由此，在源氣體中，較佳為將氮與氨的流量比設定為 1:5 以上且 1:50 以下，較佳為 1:10 以上且 1:50 以下。

[0329] 在此，作為氮化物絕緣膜 26，利用電漿 CVD 法形成厚度為 50nm 的氮化矽膜，此時採用如下條件：在電漿 CVD 設備的處理室中，將流量為 50sccm 的矽烷、流量為 5000sccm 的氮以及流量為 100sccm 的氨用作源氣體，將處理室的壓力設定為 100Pa ，將基板溫度設定為 350°C ，用 27.12MHz 的高頻電源對平行平板電極供應 1000W 的高頻電力。電漿 CVD 設備是電極面積為 6000cm^2 的平行平板型電漿 CVD 設備，將所供應的電功率的換算為每單位面積的電

功率（電功率密度）為 $1.7 \times 10^{-1} \text{ W/cm}^2$ 。

[0330] 接著，也可以進行加熱處理。將該加熱處理的溫度典型地設定為 150°C 以上且 400°C 以下，較佳為 300°C 以上且 400°C 以下，更佳為 320°C 以上且 370°C 以下。其結果是，可以降低臨界電壓的負向漂移。另外，還可以降低臨界電壓的變動量。

[0331] 接著，雖然未圖示，但藉由使用第五光罩光微影製程來形成遮罩。然後，使用該遮罩，蝕刻氮化物絕緣膜 15、氧化物絕緣膜 16、氧化物絕緣膜 23、氧化物絕緣膜 25 及氮化物絕緣膜 26 的每一個的一部分來形成氮化物絕緣膜 27，與此同時，形成使與導電膜 13 同時形成的連接端子的一部分露出的開口部。或者，蝕刻氧化物絕緣膜 23、氧化物絕緣膜 25 及氮化物絕緣膜 26 的每一個的一部分來形成氮化物絕緣膜 27，與此同時，形成使與導電膜 21a、21b 同時形成的連接端子的一部分露出的開口部。

[0332] 接著，如圖 20C 所示，在氮化物絕緣膜 27 上形成將成為共用電極 29 的導電膜 28。

[0333] 導電膜 28 藉由濺射法、CVD 法、蒸鍍法等而形成。

[0334] 另外，當使用實施方式 1 所示的具有導電性的氧化物半導體膜 155b 作為導電膜 28 時，可以適當地利用具有導電性的氧化物半導體膜 155b 的製造方法。

[0335] 接著，在導電膜 28 上經使用第六光罩的光微

影製程形成遮罩。然後使用該遮罩對導電膜 28 的一部分進行蝕刻，如圖 21A 所示那樣，形成共用電極 29。注意，雖然未圖示，但共用電極 29 連接於與導電膜 13 同時形成的連接端子或者與導電膜 21a、21b 同時形成的連接端子。此後去除遮罩。

[0336] 接著，如圖 21B 所示，在氮化物絕緣膜 27 上形成有機絕緣膜 31。有機絕緣膜可以適當地使用塗佈法、印刷法等而形成。

[0337] 使用塗佈法形成有機絕緣膜的條件為如下：在將光敏組成物塗佈在氮化物絕緣膜 27 及共用電極 29 上之後，藉由使用第七光罩的光微影製程對組成物進行曝光及顯影，然後，進行加熱處理，以形成有機絕緣膜 31；在將非光敏組成物塗佈在氮化物絕緣膜 27 及共用電極 29 上之後，在非光敏組成物上塗佈光阻劑，藉由使用第七光罩的光微影製程對光阻劑進行加工來形成遮罩，然後使用該遮罩對非光敏組成物進行蝕刻，以形成有機絕緣膜 31。

[0338] 經上述製程，可以在製造電晶體 102 的同時製造電容元件 105。

[0339] 在本實施方式中，藉由在具有導電性的氧化物半導體膜 19b 上形成包括 Cu-X 合金膜的導電膜 21b，可以提高具有導電性的氧化物半導體膜 19b 與導電膜 21b 的密接性且降低具有導電性的氧化物半導體膜 19b 與導電膜 21b 的接觸電阻。

[0340] 本實施方式所示的顯示裝置的元件基板具有隔著無機絕緣膜與電晶體重疊的有機絕緣膜。由此，可以提高電晶體的可靠性，來可以製造保持一定顯示品質的顯示裝置。

[0341] 在本實施方式所示的顯示裝置的元件基板上形成有其頂面形狀為鋸齒形狀的共用電極，該共用電極包括在與用作信號線的導電膜交叉的方向上延伸的條紋形狀的區域。因此，可以製造對比度良好的顯示裝置。另外，在更新頻率低的液晶顯示裝置中，可以減少閃爍。

[0342] 在本實施方式所示的顯示裝置的元件基板上，在形成將形成電晶體的通道區域的氧化物半導體膜的同時形成用作像素電極的具有導電性的氧化物半導體膜，由此可以利用六個光罩製造電晶體 102 及電容元件 105。具有導電性的氧化物半導體膜被用作電容元件中的一個電極。另外，共用電極被用作電容元件中的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的開口率。還可以製造耗電量低的顯示裝置。

[0343] 接著，說明形成在第二基板 342 上的元件層。在第二基板 342 上形成有有色性的膜（下面稱為彩色膜 346）。將彩色膜 346 用作濾色片。另外，與彩色膜 346 相鄰的遮光膜 344 形成在第二基板 342 上。將遮光膜 344 用作黑矩陣。此外，不一定必須要設置彩色膜 346，

例如當液晶顯示裝置進行黑白顯示時等也可以不設置彩色膜 346。

[0344] 作為彩色膜 346，可以使用使特定的波長區域的光透過的彩色膜，例如可以使用使紅色的波長區域的光透過的紅色（R）的膜、使綠色的波長區域的光透過的綠色（G）的膜或使藍色的波長區域的光透過的藍色（B）的膜等。

[0345] 遮光膜 344 只要具有阻擋特定的波長區域的光的功能即可，則作為遮光膜 344 可以使用金屬膜或包含黑色顏料等的有機絕緣膜等。

[0346] 此外，在彩色膜 346 上形成有絕緣膜 348。絕緣膜 348 具有平坦化層的功能或抑制彩色膜 346 可能包含的雜質擴散到液晶元件一側的功能。

[0347] 另外，也可以在絕緣膜 348 上形成有導電膜 350。導電膜 350 可以使用具有透光性的導電膜而形成。導電膜 350 的電位較佳為與共用電極 29 相等。就是說，導電膜 350 較佳為被施加共用電位。

[0348] 在導電膜 21b 被施加驅動液晶分子的電壓時，在導電膜 21b 與共用電極 29 之間會發生電場。由於受到該電場的影響，導電膜 21b 與共用電極 29 之間的液晶分子配向，這導致閃爍。

[0349] 但是，藉由設置隔著液晶層 320 與共用電極 29 對置的導電膜 350，並使共用電極 29 和導電膜 350 的電位相等，能夠抑制導電膜 21b 與共用電極 29 之間的電

場所引起的液晶分子的在與基板垂直的方向上的配向變化，從而該區域中的液晶分子的配向狀態變得穩定。其結果是，可以減少閃爍。

[0350] 在導電膜 350 上形成有配向膜 352。

[0351] 在配向膜 33 與配向膜 352 之間形成有液晶層 320。使用密封材料（未圖示）將液晶層 320 密封在第一基板 11 與第二基板 342 之間。密封材料較佳為與無機材料接觸以抑制來自外部的水分等侵入。

[0352] 另外，也可以在配向膜 33 與配向膜 352 之間設置用來保持液晶層 320 的厚度（也稱為單元間隙）的間隔物。

[0353] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合。

[0354]

<變形例 1>

圖 22 示出圖 17 所示的顯示裝置的變形例。

[0355] 在圖 22 所示的顯示裝置中，在無機絕緣膜 30 上沒有形成有機絕緣膜，配向膜 33 與無機絕緣膜 30 的整個部分接觸。其結果，可以減少用來製造第一基板 11 上的元件部的一個光罩，從而可以使具有元件部的第一基板 11 的製程簡化。

[0356]

<變形例 2>

圖 23 示出圖 17 所示的顯示裝置的變形例。

[0357] 在圖 23 所示的顯示裝置中，在氮化物絕緣膜 27 上形成有連續的有機樹脂膜 31a。在有機樹脂膜 31a 上形成有共用電極 29。有機樹脂膜 31a 具有平坦化膜的功能，由此可以減少包含於液晶層的液晶分子的配向的不整齊。

[0358]

<變形例 3>

圖 24 示出圖 17 所示的顯示裝置的變形例。

[0359] 圖 24 所示的用作像素電極且具有導電性的氧化物半導體膜 19b 可以是具有開口的形狀。另外，具有導電性的氧化物半導體膜 19b 也可以是梳齒狀。

[0360]

<變形例 4>

圖 25 示出圖 17 所示的顯示裝置的變形例。

[0361] 圖 25 所示的共用電極 29 隔著氮化物絕緣膜 27 與導電膜 21b 重疊。由共用電極 29、氮化物絕緣膜 27 以及導電膜 21b 構成電容元件 105b。藉由設置電容元件 105b，可以增加電容值。

[0362]

<變形例 5>

圖 26A 和 26B 示出圖 17 所示的電晶體 102 的變形例。

[0363] 圖 26A 所示的電晶體 102d 的特徵在於：包括使用多灰階級遮罩而形成的氧化物半導體膜 19g、一對導

電膜 21c、21d。導電膜 21c 具有導電膜 21c_1 及導電膜 21c_2 的疊層結構。導電膜 21d 具有導電膜 21d_1 及導電膜 21d_2 的疊層結構。導電膜 21c_1 及導電膜 21d_1 使用 Cu-X 合金膜。導電膜 21c_2 及導電膜 21d_2 使用包含低電阻材料的導電膜。

[0364] 藉由使用多灰階級遮罩，可以形成具有多個厚度的光阻遮罩，使用光阻遮罩形成氧化物半導體膜 19g，然後將光阻遮罩暴露於氧電漿等，以去除光阻遮罩的一部分來得到用來形成一對導電膜的光阻遮罩。由此，可以減少氧化物半導體膜 19g、一對導電膜 21c 及 21d 的製程中的光微影製程數。

[0365] 使用多灰階級遮罩而形成的氧化物半導體膜 19g 在平面上呈現其一部分露出於一對導電膜 21c 及 21d 的外側的形狀。

[0366] 圖 26B 所示的電晶體 102e 的特徵在於：該電晶體為通道保護型電晶體。

[0367] 圖 26B 所示的電晶體 102e 包括：設置在第一基板 11 上的用作閘極電極的導電膜 13；形成在第一基板 11 及用作閘極電極的導電膜 13 上的閘極絕緣膜 14；隔著閘極絕緣膜 14 與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a；覆蓋氧化物半導體膜 19a 的通道區域及側面的無機絕緣膜 30a；以及在無機絕緣膜 30a 的開口部中與氧化物半導體膜 19a 接觸的用作源極電極及汲極電極的導電膜 21e 及 21f。導電膜 21e 具有導電膜 21e_1 及導電

膜 21e₂ 的疊層結構。導電膜 21f 具有導電膜 21f₁ 及導電膜 21f₂ 的疊層結構。導電膜 21e₁ 及導電膜 21f₁ 使用 Cu-X 合金膜。導電膜 21e₂ 及導電膜 21f₂ 使用包含低電阻材料的導電膜。

[0368] 在通道保護型電晶體中，因為氧化物半導體膜 19a 被無機絕緣膜 30a 覆蓋，所以在用來形成導電膜 21e 及 21f 的蝕刻中氧化物半導體膜 19a 不受到傷害。由此，可以減少氧化物半導體膜 19a 的缺陷。

[0369] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合。

[0370]

實施方式 5

在本實施方式中，說明作為顯示裝置的一個例子使用 VA 驅動的液晶顯示裝置的情況。首先，圖 27 示出包含在該液晶顯示裝置中的多個像素 103 的俯視圖。

[0371] 在圖 27 中，用作掃描線的導電膜 13 在與用作信號線的導電膜大致正交的方向（圖式中的左右方向）上延伸地設置。用作信號線的導電膜 21a 在與用作掃描線的導電膜大致正交的方向（圖式中的上下方向）上延伸地設置。用作電容線的導電膜 21g 在與信號線平行的方向上延伸地設置。用作掃描線的導電膜 13 與掃描線驅動電路 104（參照圖 15A）電連接，而用作信號線的導電膜 21a 及用作電容線的導電膜 21g 與信號線驅動電路 106（參照圖 15A）電連接。

[0372] 電晶體 102 設置在用作掃描線的導電膜和用作信號線的導電膜的交叉區域。電晶體 102 由用作閘極電極的導電膜 13、閘極絕緣膜（在圖 27 中未圖示）、形成在閘極絕緣膜上的形成有通道區域的氧化物半導體膜 19a、用作一對電極的導電膜 21a 及 21b 構成。導電膜 13 不僅是被用作掃描線，而且是其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 102 的閘極電極。導電膜 21a 不僅是被用作信號線，而且是其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 102 的源極電極或汲極電極。在圖 27 所示的俯視圖中，用作掃描線的導電膜的端部位於氧化物半導體膜 19a 的端部的的外側。由此，用作掃描線的導電膜被用作阻擋來自背光等光源的光的遮光膜。其結果是，電晶體所包括的氧化物半導體膜 19a 不被照射光而電晶體的電特性的變動可以得到抑制。

[0373] 另外，與實施方式 4 同樣，電晶體 102 具有與氧化物半導體膜 19a 重疊的有機絕緣膜 31。有機絕緣膜 31 隔著無機絕緣膜（在圖 27 中未圖示）與氧化物半導體膜 19a，尤其是氧化物半導體膜 19a 中的導電膜 21a 與導電膜 21b 之間的區域重疊。

[0374] 導電膜 21b 在開口部 41 中與用作像素電極的具有透光性的導電膜 29c 電連接。

[0375] 電容元件 105 與用作電容線的導電膜 21g 連接。電容元件 105 由形成在閘極絕緣膜上的具有導電性的氧化物半導體膜 19d、設置在電晶體 102 上的介電膜以及

用作像素電極的具有透光性的導電膜 29c 構成。形成在閘極絕緣膜上的具有導電性的氧化物半導體膜 19d 具有透光性。就是說，電容元件 105 具有透光性。

[0376] 因為電容元件 105 具有透光性，所以可以在像素 103 中形成較大（大面積）的電容元件 105。由此，可以得到能夠在提高開口率（典型地提高到 55%以上，較佳為 60%以上）的同時增大電容的顯示裝置。例如，在解析度高的如液晶顯示裝置之類的顯示裝置中，像素的面積小，且電容元件的面積也小。因此，在解析度高的顯示裝置中，儲存在電容元件中的電容變小。但是，由於本實施方式所示的電容元件 105 具有透光性，所以藉由將該電容元件設置在像素中，可以在各像素中獲得充分的電容值的同時提高開口率。典型的是，電容元件 105 可以適當地應用於像素密度為 200ppi 以上，300ppi 以上或 500ppi 以上的高解析度顯示裝置。

[0377] 另外，本發明的一個方式在高解析度的顯示裝置中也可以提高開口率，因此可以有效地利用背光等光源的光，由此可以降低顯示裝置的耗電量。

[0378] 接著，圖 28 示出沿著圖 27 的點劃線 A-B、點劃線 C-D 的剖面圖。圖 27 所示的電晶體 102 是通道蝕刻型電晶體。注意，沿著點劃線 A-B 的截圖是通道長度方向上的電晶體 102、電晶體 102 與用作像素電極的具有透光性的導電膜 29c 的連接部以及電容元件 105 的剖面圖，沿著點劃線 C-D 的剖面圖是通道寬度方向上的電晶體 102

的剖面圖。

[0379] 因為本實施方式所示的液晶顯示裝置為 VA 驅動的液晶顯示裝置，所以液晶元件 322 由包含在第一基板 11 的元件層中的用作像素電極的具有透光性的導電膜 29c、包含在第二基板 342 的元件層中的導電膜 350 以及液晶層 320 構成。

[0380] 圖 28 所示的電晶體 102 的結構與實施方式 4 所示的電晶體 102 同樣。連接於用作源極電極及汲極電極的導電膜 21a 及 21b 中的一個，這裡是導電膜 21b 的用作像素電極的具有透光性的導電膜 29c 形成在氮化物絕緣膜 27 上。在氮化物絕緣膜 27 的開口部 41 中，導電膜 21b 與用作像素電極的具有透光性的導電膜 29c 連接。

[0381] 用作像素電極的具有透光性的導電膜 29c 可以適當地使用與實施方式 4 所示的共用電極 29 同樣的材料及製造方法。

[0382] 圖 28 所示的電容元件 105 具有形成在氧化物絕緣膜 17 上的具有導電性的氧化物半導體膜 19d、氮化物絕緣膜 27 以及用作像素電極的具有透光性的導電膜 29c。

[0383] 在本實施方式所示的電晶體 102 上形成有被進行了分離的氧化物絕緣膜 23 及 25。被進行了分離的氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 重疊。

[0384] 在氮化物絕緣膜 27 上形成有與氧化物半導體膜 19a 重疊的有機絕緣膜 31。藉由在電晶體 102 上設置

與氧化物半導體膜 19a 重疊的有機絕緣膜 31，可以使氧化物半導體膜 19a 的表面與有機絕緣膜 31 的表面相隔。其結果是，氧化物半導體膜 19a 的表面不受到由被吸附到有機絕緣膜 31 的表面的帶正電荷的粒子導致的電場的影響，從而可以提高電晶體 102 的可靠性。

[0385] 在電容元件 105 中，與實施方式 4 不同，具有導電性的氧化物半導體膜 19d 不是與導電膜 21b 連接，而是與導電膜 21d 接觸。導電膜 21d 被用作電容線。具有導電性的氧化物半導體膜 19d 可以與實施方式 4 所示的具有導電性的氧化物半導體膜 19b 同樣地形成。就是說，具有導電性的氧化物半導體膜 19d 是具有與氧化物半導體膜 19a 相同的金屬元素的金屬氧化物膜。

[0386] 接著，參照圖 29A 至圖 30C 對圖 28 所示的電晶體 102 及電容元件 105 的製造方法進行說明。

[0387] 在第一基板 11 上形成導電膜，然後，使用實施方式 4 所示的經第一光微影製程得到的遮罩對該導電膜進行蝕刻，以在第一基板 11 上形成用作閘極電極的導電膜 13（參照圖 29A）。

[0388] 接著，在第一基板 11 及用作閘極電極的導電膜 13 上形成氮化物絕緣膜 15 及氧化物絕緣膜 16。接著，在氧化物絕緣膜 16 上形成氧化物半導體膜，然後，使用實施方式 4 所示的經第二光微影製程得到的遮罩對該氧化物半導體膜進行蝕刻，以形成氧化物半導體膜 19a 及 19c（參照圖 29B）。

[0389] 接著，在氧化物絕緣膜 16、氧化物半導體膜 19a 及 19c 上形成導電膜，然後，使用實施方式 4 所示的經第三光微影製程得到的遮罩對該導電膜進行蝕刻，以形成導電膜 21a、21b 以及 21d（參照圖 29C）。此時，導電膜 21b 形成為不與氧化物半導體膜 19c 接觸，而導電膜 21d 形成為與氧化物半導體膜 19c 接觸。導電膜 21d 與導電膜 21a、21b 同樣地疊層有導電膜 21d_1 及 21d_2。

[0390] 接著，在氧化物絕緣膜 16、氧化物半導體膜 19a 及 19c 以及導電膜 21a、21b 以及 21d 上形成氧化物絕緣膜，然後，使用實施方式 4 所示的經第四光微影製程得到的遮罩對該氧化物絕緣膜進行蝕刻，以形成具有開口部 40 的氧化物絕緣膜 23 及 25（參照圖 30A）。

[0391] 接著，在氧化物絕緣膜 17、氧化物半導體膜 19a 及 19c、導電膜 21a、21b 以及 21d 以及氧化物絕緣膜 23 及 25 上形成氮化物絕緣膜，然後，使用實施方式 4 所示的經第五光微影製程得到的遮罩對該氮化物絕緣膜進行蝕刻，以形成具有使導電膜 21b 的一部分露出的開口部 41 的氮化物絕緣膜 27（參照圖 30B）。

[0392] 經上述製程，氧化物半導體膜 19c 成為具有導電性的氧化物半導體膜 19d。在使用電漿 CVD 法形成氮化矽膜作為氮化物絕緣膜 27 的情況下，包含在氮化矽膜中的氮擴散到氧化物半導體膜 19c，由此可以形成具有更高導電性的氧化物半導體膜 19d。

[0393] 接著，在導電膜 21b 及氮化物絕緣膜 27 上形

成導電膜，然後，使用實施方式 4 所示的經第六光微影製程得到的遮罩對該導電膜進行蝕刻，以形成與導電膜 21b 連接的導電膜 29c（參照圖 30C）。

[0394] 經上述製程，可以獲得其電特性得到提高的使用氧化物半導體膜的半導體裝置。

[0395] 在本實施方式所示的半導體裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成電容元件中的一個電極。將用作像素電極的具有透光性的導電膜用於電容元件中的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，因為一對電極具有透光性，所以電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的開口率。

[0396]

<變形例 1>

在本實施方式中，參照圖 31 說明與實施方式 4 所示的半導體裝置相比能夠以更少的遮罩個數製造的顯示裝置。

[0397] 在圖 31 所示的顯示裝置中，藉由不對形成在電晶體 102 上的氧化物絕緣膜 22 及 24 進行蝕刻，可以減少遮罩個數。在氧化物絕緣膜 24 上形成有氮化物絕緣膜 27，並在氧化物絕緣膜 22 及 24、氮化物絕緣膜 27 中形成有使導電膜 21b 的一部分露出的開口部 41a。在氮化物絕緣膜 27 上形成有在開口部 41a 中與導電膜 21b 連接的

用作像素電極的具有透光性的導電膜 29d。

[0398] 另外，在氧化物絕緣膜 17 上形成有導電膜 21d。因為導電膜 21d 在導電膜 21a 及 21b 形成的同時形成，所以不需要增加專用來形成導電膜 21d 的光罩。導電膜 21d 被用作電容線。就是說，由導電膜 21d、氧化物絕緣膜 22 及 24、氮化物絕緣膜 27 以及用作像素電極的具有透光性的導電膜 29d 構成電容元件 105a。

[0399] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合。

[0400]

實施方式 6

在本實施方式中，參照圖式對與實施方式 4 不同的顯示裝置及其製造方法進行說明。本實施方式與實施方式 4 的不同之處在於：在電晶體中的不同閘極電極之間設置有氧化物半導體膜，即為雙閘極結構的電晶體。注意，省略與實施方式 4 重複的結構的說明。

[0401] 對設置在顯示裝置所包括的第一基板 11 上的元件層的具體結構進行說明。本實施方式所示的顯示裝置所包括的電晶體與實施方式 4 的不同之處在於：具有用作閘極電極的導電膜 29b，該導電膜 29b 分別與用作閘極電極的導電膜 13、氧化物半導體膜 19a、導電膜 21a、21b 以及氧化物絕緣膜 25 的一部分或全部重疊。用作閘極電極的導電膜 29b 在開口部 41a 中與用作閘極電極的導電膜 13 連接。

[0402] 圖 32 所示的電晶體 102a 是通道蝕刻型電晶體。注意，沿著線 A-B 的剖面圖是通道長度方向上的電晶體 102a 以及電容元件 105a 的剖面圖，沿著線 C-D 的剖面圖是通道寬度方向上的電晶體 102a、用作閘極電極的導電膜 13 以及用作閘極電極的導電膜 29b 的連接部的剖面圖。

[0403] 圖 32 所示的電晶體 102a 是具有雙閘極結構的電晶體，其包括：設置在第一基板 11 上的用作閘極電極的導電膜 13；形成在第一基板 11 及用作閘極電極的導電膜 13 上的氮化物絕緣膜 15；形成在氮化物絕緣膜 15 上的氧化物絕緣膜 17；隔著氮化物絕緣膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a；以及與氧化物半導體膜 19a 接觸的用作源極電極和汲極電極的導電膜 21a 及 21b。在氧化物絕緣膜 17、氧化物半導體膜 19a、用作源極電極和汲極電極的導電膜 21a 及 21b 上形成有氧化物絕緣膜 23，在氧化物絕緣膜 23 上形成有氧化物絕緣膜 25。在氮化物絕緣膜 15、氧化物絕緣膜 23、氧化物絕緣膜 25 及導電膜 21b 上形成有氮化物絕緣膜 27。另外，具有導電性的氧化物半導體膜 19b 形成在氧化物絕緣膜 17 上。具有導電性的氧化物半導體膜 19b 連接於用作源極電極和汲極電極的導電膜 21a、21b 中的一個，在此連接於導電膜 21b。另外，共用電極 29 及用作閘極電極的導電膜 29b 形成在氮化物絕緣膜 27 上。

[0404] 如沿著線 C-D 的剖面圖所示，在設置在氮化物絕緣膜 15 及氮化物絕緣膜 27 中的開口部 41a 中，用作閘極電極的導電膜 29b 與用作閘極電極的導電膜 13 連接。也就是說，用作閘極電極的導電膜 13 的電位與用作閘極電極的導電膜 29b 的電位相等。

[0405] 由此，藉由對電晶體 102a 的各閘極電極施加同一電位的電壓，可以降低初始特性的不均勻並抑制由 -GBT 應力測試導致的劣化及受到汲極電壓左右的通態電流（on-state current）的上升電壓變動。另外，在氧化物半導體膜 19a 中，還可以在膜厚度方向上進一步增大載子流動的區域，使得載子的遷移量增多。其結果是，電晶體 102a 的通態電流變高，並且場效移動率變高，典型為 $20\text{cm}^2/\text{V}\cdot\text{s}$ 以上。

[0406] 在本實施方式所示的電晶體 102a 上形成有氧化物絕緣膜 23、25，該氧化物絕緣膜 23、25 與氧化物半導體膜 19a 重疊。在通道寬度方向上的剖面圖中，氧化物絕緣膜 23 及 25 的端部位於氧化物半導體膜 19a 的外側。並且，在圖 32 所示的通道寬度方向上，用作閘極電極的導電膜 29b 位於氧化物絕緣膜 23 及 25 的端部。

[0407] 氧化物半導體膜的藉由蝕刻等而被加工的端部在由於受到加工時的損傷而形成缺陷的同時，由於雜質附著等而被污染。由此，氧化物半導體膜的端部在被施加電場等壓力時容易被活化而成為 n 型（低電阻）。因此，與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a

的端部容易被 n 型化。在該被 n 型化的端部被設置在用作源極電極及汲極電極的導電膜 21a 與導電膜 21b 之間時，n 型化的區域成為載子的路徑而形成寄生通道。但是，藉由如沿著線 C-D 的剖面圖所示那樣在通道寬度方向上使用作閘極電極的導電膜 29b 隔著氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 的側面相對，借助於用作閘極電極的導電膜 29b 的電場的影響，可以抑制寄生通道發生在氧化物半導體膜 19a 的側面或包含該側面及其附近的區域中。其結果是，成為臨界電壓中的汲極電流的上升急劇的電特性優良的電晶體。

[0408] 在本實施方式所示的顯示裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成用作像素電極的具有導電性的氧化物半導體膜。將具有導電性的氧化物半導體膜用作電容元件的一個電極。將共用電極用作電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程數。另外，電容元件具有透光性。其結果是，可以在增大電容元件所佔的面積的同時提高像素的開口率。

[0409] 下面詳細說明電晶體 102a 的結構。省略使用與實施方式 4 相同的符號表示的結構的說明。

[0410] 用作閘極電極的導電膜 29b 可以適當地使用與實施方式 4 所示的共用電極 29 同樣的材料。

[0411] 接著，參照圖 18A 至圖 20B 及圖 33A 至圖 33C 對圖 32 所示的電晶體 102a 及電容元件 105a 的製造

方法進行說明。

[0412] 與實施方式 4 同樣地，經圖 18A 至圖 19B 及圖 20B 的製程，在第一基板 11 上分別形成用作閘極電極的導電膜 13、氮化物絕緣膜 15、氧化物絕緣膜 16、氧化物半導體膜 19a、具有導電性的氧化物半導體膜 19b、用作源極電極及汲極電極的導電膜 21a 及 21b、氧化物絕緣膜 22、氧化物絕緣膜 24 以及氮化物絕緣膜 26。在該製程中，進行使用第一光罩至第四光罩的光微影製程。

[0413] 接著，在氮化物絕緣膜 26 上經使用第五光罩的光微影製程形成遮罩，然後使用該遮罩對氮化物絕緣膜 26 的一部分進行蝕刻，如圖 33A 所示，形成具有開口部 41a 的氮化物絕緣膜 27。

[0414] 接著，如圖 33B 所示，在用作閘極電極的導電膜 13 及氮化物絕緣膜 27 上形成後面將成為共用電極 29、用作閘極電極的導電膜 29b 的導電膜 28。

[0415] 接著，在導電膜 28 上經使用第六光罩的光微影製程形成遮罩。接著，用該遮罩對導電膜 28 的一部分進行蝕刻來形成圖 33C 所示的共用電極 29 及用作閘極電極的導電膜 29b。然後，去除遮罩。

[0416] 經上述製程，可以在製造電晶體 102a 的同時製造電容元件 105a。

[0417] 在本實施方式所示的電晶體中，在通道寬度方向上使用用作閘極電極的導電膜 29b 隔著氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 的側面相對，由此借助於

用作閘極電極的導電膜 29b 的電場的影響，可以抑制寄生通道發生在氧化物半導體膜 19a 的側面或包含該側面及其附近的區域中。其結果是，成為臨界電壓中的汲極電流的上升急劇的電特性優良的電晶體。

[0418] 在本實施方式所示的顯示裝置的元件基板上設置有包括在與信號線交叉的方向的延伸的條紋形狀的區域的共用電極。因此，可以製造對比度高的顯示裝置。

[0419] 在本實施方式所示的顯示裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成用作像素電極的具有導電性的氧化物半導體膜。具有導電性的氧化物半導體膜用作電容元件的一個電極。另外，共用電極用作電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的開口率。

[0420] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合。

[0421]

實施方式 7

在本實施方式中，參照圖式對包括與上述實施方式相比能夠進一步減少氧化物半導體膜中的缺陷量的電晶體的顯示裝置進行說明。本實施方式所說明的電晶體與實施方式 4 至實施方式 6 所說明的電晶體之間的不同之處在於：本實施方式所示的電晶體包括具有多個氧化物半導體膜的

多層膜。在此，參照實施方式 4 說明電晶體的詳細內容。

[0422] 圖 34A 和 34B 示出顯示裝置所包括的元件基板的剖面圖。圖 34A 和 34B 是沿著圖 16 中的點劃線 A-B 及點劃線 C-D 的剖面圖。

[0423] 圖 34A 所示的電晶體 102b 具有隔著氮化物絕緣膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的多層膜 37a、與多層膜 37a 接觸的用作源極電極和汲極電極的導電膜 21a 及導電膜 21b。在氮化物絕緣膜 15 及氧化物絕緣膜 17、多層膜 37a 以及用作源極電極和汲極電極的導電膜 21a 及導電膜 21b 上形成有氧化物絕緣膜 23、氧化物絕緣膜 25 以及氮化物絕緣膜 27。

[0424] 圖 34A 所示的電容元件 105b 具有形成在氧化物絕緣膜 17 上的多層膜 37b、與多層膜 37b 接觸的氮化物絕緣膜 27 以及與氮化物絕緣膜 27 接觸的共用電極 29。多層膜 37b 用作像素電極。

[0425] 在本實施方式所示的電晶體 102b 中，多層膜 37a 包括氧化物半導體膜 19a 及氧化物半導體膜 39a。即，多層膜 37a 為兩層結構。另外，將氧化物半導體膜 19a 的一部分用作通道區域。此外，以與多層膜 37a 接觸的方式形成有氧化物絕緣膜 23，以與氧化物絕緣膜 23 接觸的方式形成有氧化物絕緣膜 25。換言之，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。

[0426] 氧化物半導體膜 39a 是由構成氧化物半導體

膜 19a 的元素中的一種以上構成的氧化物膜。因此，由於氧化物半導體膜 19a 與氧化物半導體膜 39a 之間的介面不容易產生介面散射。由此，由於在該介面中載子的移動不被阻礙，因此電晶體的場效移動率得到提高。

[0427] 作為氧化物半導體膜 39a，典型的是 In-Ga 氧化物膜、In-Zn 氧化物膜、In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd），並且與氧化物半導體膜 19a 相比，氧化物半導體膜 39a 的導帶底端的能量較接近於真空能階，典型的是，氧化物半導體膜 39a 的導帶底端的能量和氧化物半導體膜 19a 的導帶底端的能量之間的差異較佳為 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。換言之，氧化物半導體膜 39a 的電子親和力與氧化物半導體膜 19a 的電子親和力之差為 0.05eV 以上、0.07eV 以上、0.1eV 以上或者 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或者 0.4eV 以下。

[0428] 氧化物半導體膜 39a 藉由包含 In 提高載子移動率（電子移動率），所以是較佳的。

[0429] 藉由使氧化物半導體膜 39a 具有其原子數比高於 In 的原子數比的 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd，有時具有如下效果：（1）增大氧化物半導體膜 39a 的能隙。（2）減小氧化物半導體膜 39a 的電子親和力。（3）減少來自外部的雜質的擴散。（4）絕緣性比氧化物半導體膜 19a 高。（5）由於 Al、Ga、Y、Zr、Sn、La、

Ce 或 Nd 是與氧的鍵合力強的金屬元素，所以不容易產生氧缺損。

[0430] 在氧化物半導體膜 39a 為 In-M-Zn 氧化物膜的情況下，當 In 和 M 的總和為 100atomic% 時，In 及 M 的原子百分比為如下：In 低於 50atomic% 且 M 高於 50atomic%；更佳為 In 低於 25atomic% 且 M 高於 75atomic%。

[0431] 另外，當氧化物半導體膜 19a 及氧化物半導體膜 39a 為 In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）時，氧化物半導體膜 39a 所含的 M（Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）的原子數比大於氧化物半導體膜 19a 所含的 M 的原子數比，典型的是，氧化物半導體膜 39a 所含的 M 的原子數比為氧化物半導體膜 19a 所含的 M 的原子數比的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上。

[0432] 另外，當氧化物半導體膜 19a 及氧化物半導體膜 39a 為 In-M-Zn 氧化物（M 為 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）時，並且氧化物半導體膜 39a 的原子數比為 $\text{In}:\text{M}:\text{Zn}=\text{x}_1:\text{y}_1:\text{z}_1$ ，且氧化物半導體膜 19a 的原子數比為 $\text{In}:\text{M}:\text{Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ 的情況下， y_1/x_1 大於 y_2/x_2 ，較佳為 y_1/x_1 為 y_2/x_2 的 1.5 倍以上，更佳為 y_1/x_1 為 y_2/x_2 的 2 倍以上，進一步佳為 y_1/x_1 為 y_2/x_2 的 3 倍以上。

[0433] 當氧化物半導體膜 19a 是 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）時，在用於形成氧化物半導體膜 19a 的靶材中，假設金屬元素的原子

數比為 $\text{In:M:Zn}=x_1:y_1:z_1$ 時， x_1/y_1 較佳為 $1/3$ 以上且 6 以下，更佳為 1 以上且 6 以下， z_1/y_1 較佳為 $1/3$ 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_1/y_1 為 1 以上且 6 以下，可以使用作氧化物半導體膜 19a 的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出 $\text{In:M:Zn}=1:1:1$ 、 $\text{In:M:Zn}=1:1:1.2$ 、 $\text{In:M:Zn}=3:1:2$ 等。

[0434] 當氧化物半導體膜 39a 是 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）時，在用於形成氧化物半導體膜 39a 的靶材中，假設金屬元素的原子數比為 $\text{In:M:Zn}=x_2:y_2:z_2$ 時， $x_2/y_2 < x_1/y_1$ ， z_2/y_2 較佳為 $1/3$ 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_2/y_2 為 1 以上且 6 以下，可以使用作氧化物半導體膜 39a 的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出 $\text{In:M:Zn}=1:3:2$ 、 $\text{In:M:Zn}=1:3:4$ 、 $\text{In:M:Zn}=1:3:6$ 、 $\text{In:M:Zn}=1:3:8$ 、 $\text{In:M:Zn}=1:4:4$ 、 $\text{In:M:Zn}=1:4:5$ 、 $\text{In:M:Zn}=1:4:6$ 、 $\text{In:M:Zn}=1:4:7$ 、 $\text{In:M:Zn}=1:4:8$ 、 $\text{In:M:Zn}=1:5:5$ 、 $\text{In:M:Zn}=1:5:6$ 、 $\text{In:M:Zn}=1:5:7$ 、 $\text{In:M:Zn}=1:5:8$ 、 $\text{In:M:Zn}=1:6:8$ 等。

[0435] 另外，氧化物半導體膜 19a 及氧化物半導體膜 39a 的原子數比作為誤差包括上述原子數比的 $\pm 40\%$ 的變動。

[0436] 當在後面形成氧化物絕緣膜 25 時，氧化物半

導體膜 39a 還用作緩和對氧化物半導體膜 19a 所造成的損傷的膜。

[0437] 將氧化物半導體膜 39a 的厚度設定為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。

[0438] 另外，氧化物半導體膜 39a 可以適當地使用氧化物半導體膜 19a 的結晶結構。

[0439] 此外，也可以在氧化物半導體膜 19a 及氧化物半導體膜 39a 中分別構成具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的混合膜。混合膜有時採用例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的單層結構。另外，混合膜有時採用例如層疊有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0440] 在此，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。因此，在氧化物半導體膜 39a 與氧化物絕緣膜 23 之間即使因雜質及缺陷形成載子陷阱，也在該載子陷阱與氧化物半導體膜 19a 之間有間隔。其結果是，在氧化物半導體膜 19a 中流過的電子不容易被載子陷阱俘獲，所以不僅能夠增大電晶體的通態電流，而且能夠提高場效移動率。此外，當電子被載子陷阱俘獲時，該電子成為固定負電荷。其結果是，導致電

晶體的臨界電壓發生變動。然而，當氧化物半導體膜 19a 與載子陷阱之間有間隔時，能夠抑制電子被載子陷阱俘獲，從而能夠抑制臨界電壓的變動量。

[0441] 此外，由於氧化物半導體膜 39a 能夠遮蔽來自外部的雜質，所以可以減少從外部移動到氧化物半導體膜 19a 中的雜質量。另外，在氧化物半導體膜 39a 中不容易形成氧缺損。由此，能夠減少氧化物半導體膜 19a 中的雜質濃度及氧缺損量。

[0442] 此外，氧化物半導體膜 19a 及氧化物半導體膜 39a 不以簡單地層疊各膜的方式來形成，而是以形成連續接合（在此，特指在各膜之間導帶底端的能量產生連續的變化的結構）的方式來形成。換而言之，採用在各膜之間的介面不存在雜質的疊層結構，該雜質會形成俘獲中心或再結合中心等缺陷能階。如果雜質混入層疊有的氧化物半導體膜 19a 與氧化物半導體膜 39a 之間，則能帶則失去連續性，因此，載子在介面被俘獲或者因再結合而消失。

[0443] 為了形成連續接合，需要使用具備負載鎖定室的多腔室成膜裝置（濺射裝置）以使各膜不暴露於大氣中的方式連續地進行層疊。在濺射裝置的各腔室中，較佳為使用低溫泵等吸附式真空抽氣泵進行高真空抽氣（從 $5 \times 10^{-7} \text{Pa}$ 抽空至 $1 \times 10^{-4} \text{Pa}$ 左右）以盡可能地去除對氧化物半導體膜來說是雜質的水等。或者，較佳為組合渦輪分子泵和冷阱來防止氣體，尤其是包含碳或氫的氣體從抽氣系統倒流到腔室內。

[0444] 另外，如圖 34B 所示的電晶體 102c 那樣，也可以具有多層膜 38a 代替多層膜 37a。

[0445] 另外，如圖 34B 所示的電容元件 105c 那樣，也可以具有多層膜 38b 代替多層膜 37b。

[0446] 多層膜 38a 包括氧化物半導體膜 49a、氧化物半導體膜 19a 及氧化物半導體膜 39a。即，多層膜 38a 具有三層結構。此外，氧化物半導體膜 19a 用作通道區域。

[0447] 氧化物半導體膜 49a 可以適當地使用與氧化物半導體膜 39a 同樣的材料及形成方法。

[0448] 多層膜 38b 包括具有導電性的氧化物半導體膜 49b、具有導電性的氧化物半導體膜 19f 及具有導電性的氧化物半導體膜 39b。即，多層膜 38b 為三層結構。另外，多層膜 38b 用作像素電極。

[0449] 氧化物半導體膜 49b 可以適當地使用與氧化物半導體膜 39b 同樣的材料及形成方法。

[0450] 此外，氧化物絕緣膜 17 與氧化物半導體膜 49a 相接觸。即，在氧化物絕緣膜 17 與氧化物半導體膜 19a 之間設置有氧化物半導體膜 49a。

[0451] 此外，多層膜 38a 與氧化物絕緣膜 23 相接觸。另外，氧化物半導體膜 39a 與氧化物絕緣膜 23 相接觸。即，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。

[0452] 較佳為氧化物半導體膜 49a 的厚度比氧化物半導體膜 19a 的厚度薄。藉由將氧化物半導體膜 49a 的厚

度設定為 1nm 以上且 5nm 以下，較佳為 1nm 以上且 3nm 以下，可以減少電晶體的臨界電壓的變動量。

[0453] 本實施方式所示的電晶體在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。因此，在氧化物半導體膜 39a 與氧化物絕緣膜 23 之間即使因雜質及缺陷形成載子陷阱，也在該載子陷阱與氧化物半導體膜 19a 之間有間隔。其結果是，在氧化物半導體膜 19a 中流過的電子不容易被載子陷阱俘獲，所以不僅能夠增大電晶體的通態電流，而且能夠提高場效移動率。此外，當電子被載子陷阱俘獲時，該電子成為固定負電荷。其結果是，導致電晶體的臨界電壓發生變動。然而，當氧化物半導體膜 19a 與載子陷阱之間有間隔時，能夠抑制電子被載子陷阱俘獲，從而能夠減少臨界電壓的變動量。

[0454] 此外，由於氧化物半導體膜 39a 能夠遮蔽來自外部的雜質，所以可以減少從外部移動氧化物半導體膜 19a 的雜質量。此外，在氧化物半導體膜 39a 中不容易形成氧缺損。由此，能夠減少氧化物半導體膜 19a 中的雜質濃度及氧缺損量。

[0455] 另外，由於在氧化物絕緣膜 17 與氧化物半導體膜 19a 之間設置有氧化物半導體膜 49a，並且在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a，因此，能夠降低氧化物半導體膜 49a 與氧化物半導體膜 19a 之間的介面附近的矽或碳的濃度、氧化物半導體膜 19a 中的矽或碳的濃度或者氧化物半導體膜 39a 與

氧化物半導體膜 19a 之間的介面附近的矽或碳的濃度。其結果是，在多層膜 38a 中，利用恆定光電流法導出的吸收係數低於 $1 \times 10^{-3}/\text{cm}$ ，較佳低於 $1 \times 10^{-4}/\text{cm}$ ，即定域態密度極低。

[0456] 在具有這種結構的電晶體 102c 中，因為包含氧化物半導體膜 19a 的多層膜 38a 中的缺陷極少，因此，能夠提高電晶體的電特性，典型的是能夠實現通態電流的增大及場效移動率的提高。另外，當進行應力測試的一個例子，即 BT 應力測試及光 BT 應力測試時，臨界電壓的變動量少，由此可靠性較高。

[0457] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合。

[0458]

實施方式 8

在本實施方式中，參照圖 35 及圖 36 說明使用實施方式 4 至 7 所示的形成在第一基板 11 上的元件層的一部分的發光裝置。在此，使用實施方式 4 及 5 所示的元件層的一部分進行說明，但是也可以適當地使用具有其他結構的元件層作為發光裝置。

[0459] 在圖 35 所示的發光裝置中，實施方式 4 中圖 17 所示的形成在第一基板 11 上的元件層包括：設置在無機絕緣膜 30 上的絕緣膜 371；設置在無機絕緣膜 30 及具有導電性的氧化物半導體膜 19b 上的 EL 層 373；以及設置在 EL 層 373 及絕緣膜 371 上的導電膜 375。由具有導

電性的氧化物半導體膜 19b、EL 層 373 以及導電膜 375 構成發光元件 370a。

[0460] 在圖 36 所示的發光裝置中，實施方式 5 中圖 28 所示的形成在第一基板 11 上的元件層包括：設置在無機絕緣膜 30 及具有透光性的導電膜 29c 上的絕緣膜 371；設置在無機絕緣膜 30 及具有透光性的導電膜 29c 上的 EL 層 373；以及設置在 EL 層 373 及絕緣膜 371 上的導電膜 375。由具有透光性的導電膜 29c、EL 層 373 以及導電膜 375 構成發光元件 370b。

[0461] 在本實施方式所示的發光裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成用作像素電極的具有導電性的氧化物半導體膜。因此，可以以比習知的製程個數少的製程個數製造發光裝置。

[0462] 在本實施方式所示的發光裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成用作電容元件的電極的具有導電性的氧化物半導體膜。具有導電性的氧化物半導體膜被用作電容元件中的一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，電容元件的另一個電極是用作電極的具有透光性的導電膜。由此，電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的開口率。

[0463] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合。

[0464]

實施方式 9

在本實施方式中，對能夠用於包含在上述實施方式所說明的顯示裝置中的電晶體的氧化物半導體膜的一實施方式進行說明。

[0465]

<氧化物半導體的結構>

下面說明氧化物半導體的結構。

[0466] 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體)、多晶氧化物半導體、微晶氧化物半導體以及非晶氧化物半導體等。

[0467] 從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及微晶氧化物半導體等。

[0468]

<CAAC-OS>

首先，對 CAAC-OS 進行說明。注意，也可以將 CAAC-OS 稱為具有 CACN (C-Axis Aligned nanocrystals: c 軸配向奈米晶) 的氧化物半導體。

[0469] CAAC-OS 是包含多個 c 軸配向的結晶部 (也稱為顆粒) 的氧化物半導體之一。

[0470] 在利用穿透式電子顯微鏡 (TEM: Transmission

Electron Microscope) 觀察所得到的 CAAC-OS 的明視場影像與繞射圖案的複合分析影像 (也稱為高解析度 TEM 影像) 中, 觀察到多個顆粒。然而, 在高解析度 TEM 影像中, 觀察不到顆粒與顆粒之間的明確的邊界, 即晶界 (grain boundary)。因此, 可以說在 CAAC-OS 中, 不容易發生起因於晶界的電子移動率的降低。

[0471] 下面, 對利用 TEM 觀察的 CAAC-OS 進行說明。圖 37A 示出從大致平行於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正 (Spherical Aberration Corrector) 功能得到高解析度 TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM 影像特別稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0472] 圖 37B 示出將圖 37A 中的區域 (1) 放大的 Cs 校正高解析度 TEM 影像。由圖 37B 可以確認到在顆粒中金屬原子排列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面 (也稱為被形成面) 或 CAAC-OS 膜的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0473] 如圖 37B 所示, CAAC-OS 具有特有的原子排列。圖 37C 是以輔助線示出特有的原子排列的圖。由圖 37B 和圖 37C 可知, 一個顆粒的尺寸為 1nm 以上且 3nm 以下左右, 由顆粒與顆粒之間的傾斜產生的空隙的尺寸為

0.8nm 左右。因此，也可以將顆粒稱為奈米晶（nc：nanocrystal）。

[0474] 在此，根據 Cs 校正高解析度 TEM 影像，將基板 5120 上的 CAAC-OS 的顆粒 5100 的配置示意性地表示為堆積磚塊或塊體的結構（參照圖 37D）。在圖 37C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 37D 所示的區域 5161。

[0475] 圖 38A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 38B、圖 38C 和圖 38D 分別示出將圖 38A 中的區域（1）、區域（2）和區域（3）放大的 Cs 校正高解析度 TEM 影像。由圖 38B、圖 38C 和圖 38D 可知在顆粒中金屬原子排列為三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0476] 接著，說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置進行分析的 CAAC-OS。例如，當利用 out-of-plane 法分析包含 InGaZnO_4 結晶的 CAAC-OS 的結構時，如圖 39A 所示，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO_4 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0477] 注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ 為 31° 附近的峰值以外，有時在 2θ 為 36° 附近時也出現峰值。 2θ 為 36° 附近的峰值表示 CAAC-

OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0478] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ 為 56° 附近時出現峰值。該峰值來源於 InGaZnO_4 結晶的 (110) 面。在 CAAC-OS 中，即使將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸（ ϕ 軸）旋轉樣本的條件下進行分析（ ϕ 掃描），也如圖 39B 所示的那樣觀察不到明確的峰值。相比之下，在 InGaZnO_4 的單晶氧化物半導體中，在將 2θ 固定為 56° 附近來進行 ϕ 掃描時，如圖 39C 所示的那樣觀察到來源於相等於 (110) 面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0479] 接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 InGaZnO_4 結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑為 300nm 的電子線時，可能會獲得圖 40A 所示的繞射圖案（也稱為選區透過電子繞射圖案）。在該繞射圖案中包含起因於 InGaZnO_4 結晶的 (009) 面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 40B 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子線

時的繞射圖案。由圖 40B 觀察到環狀的繞射圖案。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 40B 中的第一環起因於 InGaZnO_4 結晶的 (010) 面和 (100) 面等。另外，可以認為圖 40B 中的第二環起因於 (110) 面等。

[0480] 另外，CAAC-OS 是缺陷態密度低的氧化物半導體。氧化物半導體的缺陷例如有起因於雜質的缺陷、氧缺損等。因此，可以將 CAAC-OS 稱為雜質濃度低的氧化物半導體或者氧缺損少的氧化物半導體。

[0481] 包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。另外，氧化物半導體中的氧缺損有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0482] 此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0483] 缺陷態密度低（氧缺損少）的氧化物半導體可以具有低載子密度。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷態密度低。也就是說，CAAC-OS 容易成為高純度本質或實質上高純度本質的氧化物半導體。因

此，使用 CAAC-OS 的電晶體很少具有負臨界電壓的電特性（很少成為常開啟）。高純度本質或實質上高純度本質的氧化物半導體的載子陷阱少。被氧化物半導體的載子陷阱俘獲的電荷需要很長時間才能被釋放，並且有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體的電晶體有時電特性不穩定。但是，使用 CAAC-OS 的電晶體電特性變動小且可靠性高。

[0484] 由於 CAAC-OS 的缺陷態密度低，所以因光照射等而生成的載子很少被缺陷能階俘獲。因此，在使用 CAAC-OS 的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0485]

<微晶氧化物半導體>

接著說明微晶氧化物半導體。

[0486] 在微晶氧化物半導體的高解析度 TEM 影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。微晶氧化物半導體所包含的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將包含尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶的氧化物半導體稱為 nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結

晶部稱為顆粒。

[0487] 在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與非晶氧化物半導體沒有差別。例如，當利用使用其束徑比顆粒大的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 進行結構分析時，檢測不到表示結晶面的峰值。在使用其束徑比顆粒大（例如，50nm 以上）的電子射線對 nc-OS 進行電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0488] 如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0489] nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷態密度比非晶氧化物半導

體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷態密度比 CAAC-OS 高。

[0490]

<非晶氧化物半導體>

接著，說明非晶氧化物半導體。

[0491] 非晶氧化物半導體是膜中的原子排列沒有規律且不具有結晶部的氧化物半導體。其一個例子為具有如石英那樣的無定形態的氧化物半導體。

[0492] 在非晶氧化物半導體的高解析度 TEM 影像中無法發現結晶部。

[0493] 在使用 XRD 裝置藉由 out-of-plane 法對非晶氧化物半導體進行結構分析時，檢測不到表示結晶面的峰值。在對非晶氧化物半導體進行電子繞射時，觀察到光暈圖案。在對非晶氧化物半導體進行奈米束電子繞射時，觀察不到斑點而只觀察到光暈圖案。

[0494] 關於非晶結構有各種見解。例如，有時將原子排列完全沒有規律性的結構稱為完全的非晶結構（completely amorphous structure）。也有時將到最接近原子間距或到第二接近原子間距具有規律性，並且不是長程有序的結構稱為非晶結構。因此，根據最嚴格的定義，即使是略微具有原子排列的規律性的氧化物半導體也不能被稱為非晶氧化物半導體。至少不能將長程有序的氧化物半導體稱為非晶氧化物半導體。因此，由於具有結晶部，

例如不能將 CAAC-OS 和 nc-OS 稱為非晶氧化物半導體或完全的非晶氧化物半導體。

[0495]

<amorphous-like 氧化物半導體>

注意，氧化物半導體有時具有介於 nc-OS 與非晶氧化物半導體之間的結構。將具有這樣的結構的氧化物半導體特別稱為 amorphous-like 氧化物半導體（a-like OS：amorphous-like Oxide Semiconductor）。

[0496] 在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞（void）。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。

[0497] 由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0498] 作為進行電子照射的樣本，準備 a-like OS（樣本 A）、nc-OS（樣本 B）和 CAAC-OS（樣本 C）。每個樣本都是 In-Ga-Zn 氧化物。

[0499] 首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0500] 注意，如下那樣決定將哪個部分作為一個結晶部。例如，已知 InGaZnO_4 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的 9 個層在 c 軸方向上以層

狀層疊的結構。這些彼此靠近的層の間隔與（009）面的晶格表面間隔（也稱為 d 值）是幾乎相等的，由結晶結構分析求出其值為 0.29nm 。由此，可以將晶格條紋の間隔為 0.28nm 以上且 0.30nm 以下的部分作為 InGaZnO_4 結晶部。每個晶格條紋對應於 InGaZnO_4 結晶的 a - b 面。

[0501] 圖 41 示出調查了各樣本的結晶部（22 個部分至 45 個部分）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 41 可知，在 a -like OS 中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖 41 中的（1）所示，可知在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部（也稱為初始晶核）在累積照射量為 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 時生長到 2.6nm 左右。另一方面，可知 nc -OS 和 $CAAC$ -OS 在開始電子照射時到電子的累積照射量為 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖 41 中的（2）及（3）所示，可知無論電子的累積照射量如何， nc -OS 及 $CAAC$ -OS 的平均結晶部尺寸都分別為 1.4nm 左右及 2.1nm 左右。

[0502] 如此，有時電子照射引起 a -like OS 中的結晶部的生長。另一方面，可知在 nc -OS 和 $CAAC$ -OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說， a -like OS 與 $CAAC$ -OS 及 nc -OS 相比具有不穩定的結構。

[0503] 此外，由於 a -like OS 包含空洞，所以其密度比 nc -OS 及 $CAAC$ -OS 低。具體地， a -like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6% 以上且小於

92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78%的氧化物半導體。

[0504] 例如，在原子數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，具有菱方晶系結構的單晶 InGaZnO_4 的密度為 6.357g/cm^3 。因此，例如，在原子數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，a-like OS 的密度為 5.0g/cm^3 以上且小於 5.9g/cm^3 。另外，例如，在原子數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 5.9g/cm^3 以上且小於 6.3g/cm^3 。

[0505] 注意，有時不存在相同組成的單晶。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶的組合比例使用加權平均計算出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳為盡可能減少所組合的單晶氧化物半導體的種類來計算密度。

[0506] 如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、微晶氧化物半導體和 CAAC-OS 中的兩種以上的疊層膜。

[0507]

<成膜模型>

下面對 CAAC-OS 和 nc-OS 的成膜模型的一個例子進行說明。

[0508] 圖 42A 是示出利用濺射法形成 CAAC-OS 的狀況的成膜室內的示意圖。

[0509] 靶材 5130 被黏合到底板上。在隔著底板與靶材 5130 相對的位置配置多個磁鐵。由該多個磁鐵產生磁場。利用磁鐵的磁場提高沈積速度的濺射法被稱為磁控濺射法。

[0510] 基板 5120 以與靶材 5130 相對的方式配置，其距離 d （也稱為靶材與基板之間的距離（T-S 間距離））為 0.01m 以上且 1m 以下，較佳為 0.02m 以上且 0.5m 以下。成膜室內幾乎被成膜氣體（例如，氧、氬或包含 5vol% 以上的氧的混合氣體）充滿，並且成膜室內的壓力被控制為 0.01Pa 以上且 100Pa 以下，較佳為 0.1Pa 以上且 10Pa 以下。在此，藉由對靶材 5130 施加一定程度以上的電壓，開始放電且確認到電漿。由磁場在靶材 5130 附近形成高密度電漿區域。在高密度電漿區域中，因成膜氣體的離子化而產生離子 5101。離子 5101 例如是氧的陽離子（ O^+ ）或氬的陽離子（ Ar^+ ）等。

[0511] 這裡，靶材 5130 具有包括多個晶粒的多晶結構，其中至少一個晶粒包括劈開面。作為一個例子，圖 43A 示出靶材 5130 所包含的 $InGaZnO_4$ 結晶的結構。注意，圖 43A 示出從平行於 b 軸的方向觀察 $InGaZnO_4$ 結晶時的結構。由圖 43A 可知，在靠近的兩個 Ga-Zn-O 層

中，每個層中的氧原子彼此配置得很近。並且，藉由氧原子具有負電荷，在靠近的兩個 Ga-Zn-O 層之間產生斥力。其結果， InGaZnO_4 結晶在靠近的兩個 Ga-Zn-O 層之間具有劈開面。

[0512] 在高密度電漿區域產生的離子 5101 由電場向靶材 5130 一側被加速而碰撞到靶材 5130。此時，平板狀或顆粒狀的濺射粒子的顆粒 5100a 和顆粒 5100b 從劈開面剝離而濺出。注意，顆粒 5100a 和顆粒 5100b 的結構有時會因離子 5101 碰撞的衝擊而產生畸變。

[0513] 顆粒 5100a 是具有三角形（例如正三角形）的平面的平板狀或顆粒狀的濺射粒子。顆粒 5100b 是具有六角形（例如正六角形）的平面的平板狀或顆粒狀的濺射粒子。注意，將顆粒 5100a 和顆粒 5100b 等平板狀或顆粒狀的濺射粒子總稱為顆粒 5100。顆粒 5100 的平面的形狀不侷限於三角形或六角形。例如，有時為組合多個三角形的形狀。例如，還有時為組合兩個三角形（例如正三角形）的四角形（例如菱形）。

[0514] 根據成膜氣體的種類等決定顆粒 5100 的厚度。顆粒 5100 的厚度較佳為均勻的，其理由在後面說明。另外，與厚度大的骰子狀相比，濺射粒子較佳為厚度小的顆粒狀。例如，顆粒 5100 的厚度為 0.4nm 以上且 1nm 以下，較佳為 0.6nm 以上且 0.8nm 以下。另外，例如，顆粒 5100 的寬度為 1nm 以上且 3nm 以下，較佳為 1.2nm 以上且 2.5nm 以下。顆粒 5100 相當於在上述圖 41

中的 (1) 所說明的初始晶核。例如，在使離子 5101 碰撞包含 In-Ga-Zn 氧化物的靶材 5130 的情況下，如圖 43B 所示，包含 Ga-Zn-O 層、In-O 層和 Ga-Zn-O 層的三個層的顆粒 5100 剝離。圖 43C 示出從平行於 c 軸的方向觀察剝離的顆粒 5100 時的結構。可以將顆粒 5100 的結構稱為包含兩個 Ga-Zn-O 層和 In-O 層的奈米尺寸的三明治結構。

[0515] 有時顆粒 5100 在穿過電漿時，其側面帶負電或帶正電。例如，在顆粒 5100 中，位於其側面的氧原子有可能帶負電。因側面帶相同極性的電荷而電荷相互排斥，從而可以維持平板形狀或顆粒形狀。當 CAAC-OS 是 In-Ga-Zn 氧化物時，與銦原子鍵合的氧原子有可能帶負電。或者，與銦原子、鎵原子或鋅原子鍵合的氧原子有可能帶負電。另外，有時顆粒 5100 在穿過電漿時與電漿中的銦原子、鎵原子、鋅原子和氧原子等鍵合而生長。上述圖 41 中的 (2) 和 (1) 的尺寸的差異相當於電漿中的生長程度。在此，當基板 5120 的溫度為室溫左右時，不容易產生基板 5120 上的顆粒 5100 的生長，因此成為 nc-OS (參照圖 42B)。由於能夠在室溫左右的溫度下進行成膜，即使基板 5120 的面積大也能夠形成 nc-OS。注意，為了使顆粒 5100 在電漿中生長，提高濺射法中的成膜功率是有效的。藉由提高成膜功率，可以使顆粒 5100 的結構穩定。

[0516] 如圖 42A 和圖 42B 所示，例如顆粒 5100 像風箏那樣在電漿中飛著，並輕飄飄地飛到基板 5120 上。由

於顆粒 5100 帶有電荷，所以在它靠近其他顆粒 5100 已沉積的區域時產生斥力。在此，在基板 5120 的頂面產生平行於基板 5120 頂面的磁場（也稱為水平磁場）。另外，由於在基板 5120 與靶材 5130 之間有電位差，所以電流從基板 5120 向靶材 5130 流過。因此，顆粒 5100 在基板 5120 頂面受到由磁場和電流的作用引起的力量（勞侖茲力）。這可以由弗萊明左手定則得到解釋。

[0517] 顆粒 5100 的質量比一個原子大。因此，為了在基板 5120 頂面移動，重要的是從外部施加某些力量。該力量之一有可能是由磁場和電流的作用產生的力量。為了對顆粒 5100 施加充分的力量以便顆粒 5100 在基板 5120 頂面移動，較佳為在基板 5120 頂面設置平行於基板 5120 頂面的磁場為 10G 以上，較佳為 20G 以上，更佳為 30G 以上，進一步佳為 50G 以上的區域。或者，較佳為在基板 5120 頂面設置平行於基板 5120 頂面的磁場為垂直於基板 5120 頂面的磁場的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上，進一步佳為 5 倍以上的區域。

[0518] 此時，藉由磁鐵與基板 5120 相對地移動或旋轉，基板 5120 頂面的水平磁場的方向不斷地變化。因此，在基板 5120 頂面，顆粒 5100 受到各種方向的力量而可以向各種方向移動。

[0519] 另外，如圖 42A 所示，當基板 5120 被加熱時，顆粒 5100 與基板 5120 之間的由摩擦等引起的電阻小。其結果，顆粒 5100 在基板 5120 頂面下滑。顆粒

5100 的移動發生在使其平板面朝向基板 5120 的狀態下。然後，當顆粒 5100 到達已沉積的其他顆粒 5100 的側面時，它們的側面彼此鍵合。此時，顆粒 5100 的側面的氧原子脫離。CAAC-OS 中的氧缺損有時被所脫離的氧原子填補，因此形成缺陷態密度低的 CAAC-OS。注意，基板 5120 的頂面溫度例如為 100℃ 以上且小於 500℃、150℃ 以上且小於 450℃ 或 170℃ 以上且小於 400℃ 即可。因此，即使基板 5120 的面積大也能夠形成 CAAC-OS。

[0520] 另外，藉由在基板 5120 上加熱顆粒 5100，原子重新排列，從而離子 5101 的碰撞所引起的結構畸變得到緩和。畸變得到緩和的顆粒 5100 幾乎成為單晶。由於顆粒 5100 幾乎成為單晶，即使顆粒 5100 在彼此鍵合之後被加熱也幾乎不會發生顆粒 5100 本身的伸縮。因此，不會發生顆粒 5100 之間的空隙擴大導致晶界等缺陷的形成而成為裂縫 (crevasse) 的情況。

[0521] CAAC-OS 不是如一張平板的單晶氧化物半導體，而是具有如磚塊或塊體堆積起來那樣的顆粒 5100 (奈米晶) 的集合體的排列的結構。另外，顆粒 5100 之間沒有晶界。因此，即使因成膜時的加熱、成膜後的加熱或彎曲等而發生 CAAC-OS 的收縮等變形，也能夠緩和局部應力或解除畸變。因此，這是適合用於具有撓性的半導體裝置的結構。注意，nc-OS 具有顆粒 5100 (奈米晶) 無序地堆積起來那樣的排列。

[0522] 當使離子 5101 碰撞靶材 5130 時，有時不僅

是顆粒 5100，氧化鋅等也剝離。氧化鋅比顆粒 5100 輕，因此先到達基板 5120 的頂面。並且形成 0.1nm 以上且 10nm 以下、0.2nm 以上且 5nm 以下或 0.5nm 以上且 2nm 以下的氧化鋅層 5102。圖 44A 至圖 44D 示出剖面示意圖。

[0523] 如圖 44A 所示，在氧化鋅層 5102 上沉積顆粒 5105a 和顆粒 5105b。在此，顆粒 5105a 和顆粒 5105b 的側面彼此接觸。另外，顆粒 5105c 在沉積到顆粒 5105b 上後，在顆粒 5105b 上滑動。此外，在顆粒 5105a 的其他側面上，與氧化鋅一起從靶材剝離的多個粒子 5103 因來自基板 5120 的熱量而晶化，由此形成區域 5105a1。注意，多個粒子 5103 有可能包含氧、鋅、銦和鎳等。

[0524] 然後，如圖 44B 所示，區域 5105a1 與顆粒 5105a 變為一體而成為顆粒 5105a2。另外，顆粒 5105c 的側面與顆粒 5105b 的其他側面接觸。

[0525] 接著，如圖 44C 所示，顆粒 5105d 在沉積到顆粒 5105a2 上和顆粒 5105b 上後，在顆粒 5105a2 上和顆粒 5105b 上滑動。另外，顆粒 5105e 在氧化鋅層 5102 上向顆粒 5105c 的其他側面滑動。

[0526] 然後，如圖 44D 所示，顆粒 5105d 的側面與顆粒 5105a2 的側面接觸。另外，顆粒 5105e 的側面與顆粒 5105c 的其他側面接觸。此外，在顆粒 5105d 的其他側面上，與氧化鋅一起從靶材 5130 剝離的多個粒子 5103 因來自基板 5120 的熱量而晶化，由此形成區域 5105d1。

[0527] 如上所述，藉由所沉積的顆粒彼此接觸，並且在顆粒的側面發生生長，在基板 5120 上形成 CAAC-OS。因此，CAAC-OS 的顆粒的每一個都比 nc-OS 的顆粒大。上述圖 41 中的 (3) 和 (2) 的尺寸的差異相當於沉積之後的生長程度。

[0528] 當顆粒彼此之間的空隙極小時，有時形成有一個大顆粒。一個大顆粒具有單晶結構。例如，從頂面看來顆粒的尺寸有時為 10nm 以上且 200nm 以下、15nm 以上且 100nm 以下或 20nm 以上且 50nm 以下。此時，有時在用於微細的電晶體的氧化物半導體中，通道形成區域容納在一個大顆粒中。也就是說，可以將具有單晶結構的區域用作通道形成區域。另外，當顆粒變大時，有時可以將具有單晶結構的區域用作電晶體的通道形成區域、源極區域和汲極區域。

[0529] 如此，藉由電晶體的通道形成區域等形成在具有單晶結構的區域中，有時可以提高電晶體的頻率特性。

[0530] 如上述模型那樣，可以認為顆粒 5100 沉積到基板 5120 上。因此，可知即使被形成面不具有結晶結構，也能夠形成 CAAC-OS，這是與磊晶生長不同的。此外，CAAC-OS 不需要雷射晶化，並且在大面積的玻璃基板等上也能夠均勻地進行成膜。例如，即使基板 5120 的頂面（被形成面）結構為非晶結構（例如非晶氧化矽），也能夠形成 CAAC-OS。

[0531] 另外，可知即使作為被形成面的基板 5120 頂面具有凹凸，在 CAAC-OS 中顆粒 5100 也根據基板 5120 頂面的形狀排列。例如，當基板 5120 的頂面在原子級別上平坦時，顆粒 5100 以使其平行於 a-b 面的平板面朝下的方式排列。當顆粒 5100 的厚度均勻時，形成厚度均勻、平坦且結晶性高的層。並且，藉由層疊 n 個（ n 是自然數）該層，可以得到 CAAC-OS。

[0532] 另一方面，在基板 5120 的頂面具有凹凸的情況下，CAAC-OS 也具有顆粒 5100 沿凹凸排列的層層疊為 n 個（ n 是自然數）層的結構。由於基板 5120 具有凹凸，在 CAAC-OS 中有時容易在顆粒 5100 之間產生空隙。注意，此時，由於在顆粒 5100 之間產生分子間力，所以即使有凹凸，顆粒也以盡可能地減小它們之間的空隙的方式排列。因此，即使有凹凸也可以得到結晶性高的 CAAC-OS。

[0533] 因為根據這樣的模型形成 CAAC-OS，所以濺射粒子較佳為厚度小的顆粒狀。注意，當濺射粒子為厚度大的骰子狀時，朝向基板 5120 上的面不固定，所以有時不能使厚度或結晶的配向均勻。

[0534] 根據上述成膜模型，即使在具有非晶結構的被形成面上也可以形成結晶性高的 CAAC-OS。

[0535]

<劈開面>

下面，對在 CAAC-OS 的成膜模型中所說明的靶材的

劈開面進行說明。

[0536] 首先，參照圖 45A 和 45B 說明靶材的劈開面。圖 45A 和 45B 示出 InGaZnO_4 的結晶的結構。另外，圖 45A 示出將 c 軸朝向上面並從平行於 b 軸的方向觀察 InGaZnO_4 的結晶時的結構。此外，圖 45B 是從平行於 c 軸的方向觀察 InGaZnO_4 的結晶時的結構。

[0537] 藉由第一原理計算算出 InGaZnO_4 的結晶的各結晶面的劈開所需要的能量。注意，至於計算，採用使用準位能和平面波基底的密度泛函程式（CASTEP）。注意，作為準位能使用超軟型準位能。此外，作為泛函使用 GGA/PBE。另外，將截止能量設定為 400eV。

[0538] 在進行包括單元尺寸的結構最適化之後導出初始狀態下的結構的能量。此外，在固定單元尺寸的狀態下進行原子配置的結構最適化，之後導出在各表面上劈開之後的結構的能量。

[0539] 根據圖 45A 和 45B 所示的 InGaZnO_4 的結晶的結構，製造在第一面、第二面、第三面和第四面中的任一個上劈開的結構並進行固定單元尺寸的結構最適化計算。在此，第一面是 Ga-Zn-O 層和 In-O 層之間的結晶面，且是平行於 (001) 面（或 ab 面）的結晶面（參照圖 45A）。第二面是 Ga-Zn-O 層和 Ga-Zn-O 層之間的結晶面，且是平行於 (001) 面（或 ab 面）的結晶面（參照圖 45A）。第三面是平行於 (110) 面的結晶面（參照圖 45B）。第四面是平行於 (100) 面（或 bc 面）的結晶面

(參照圖 45B) 。

[0540] 以上述條件算出在各表面上劈開之後的結構的能量。接著，藉由劈開之後的結構的能量和初始狀態下的結構的能量之間的差除以劈開面的面積，算出每個面的劈開容易性的指標的劈開能量。注意，結構的能量根據結構所包括的原子和電子算出，就是說，在計算中，考慮到電子的運動能以及原子之間、原子-電子之間和電子之間的互相作用。

[0541] 由計算的結果可知，第一面的劈開能量為 2.60J/m^2 ，第二面的劈開能量為 0.68J/m^2 ，第三面的劈開能量為 2.18J/m^2 ，第四面的劈開能量為 2.12J/m^2 (參照以下表) 。

[0542]

[表 1]

	劈開能量[J/m ²]
第一面	2.60
第二面	0.68
第三面	2.18
第四面	2.12

[0543] 由上述計算可知，在圖 45A 和 45B 所示的 InGaZnO_4 的結晶的結構中第二面的劈開能量最低。也就是說，可知 Ga-Zn-O 層和 Ga-Zn-O 層之間是最容易劈開的面 (劈開面) 。因此，在本說明書中，劈開面是指最容易劈開的第二面。

[0544] 因為 Ga-Zn-O 層和 Ga-Zn-O 層之間的第二面

是劈開面，所以圖 45A 所示的 InGaZnO_4 的結晶可以在兩個與第二面相等的面分開。因此，可以認為在使離子等碰撞到靶材時在劈開能量最低的面劈開的威化餅狀的單元（將其稱為顆粒）作為最小單位飛出來。在這種情況下， InGaZnO_4 的顆粒包括 Ga-Zn-O 層、In-O 層和 Ga-Zn-O 層的三層。

[0545] 此外，因為第三面（平行於（110）面的結晶面）和第四面（平行於（100）面（或 bc 面）的結晶面）的劈開能量低於第一面（平行於（001）面（或 ab 面）的 Ga-Zn-O 層和 In-O 層之間的結晶面）的劈開能量，所以可以知道在很多情況下顆粒的平面形狀為三角形狀或六角形狀。

[0546] 接著，利用古典分子動力學計算，作為靶材假定具有同系結構（homologous structure）的 InGaZnO_4 的結晶並評價使用氬（Ar）或氧（O）濺射該靶材時的劈開面。圖 46A 示出用於計算的 InGaZnO_4 的結晶（2688 原子）的剖面結構，而圖 46B 示出其俯視結構。另外，圖 46A 所示的固定層是以位置不會發生變動的方式固定原子配置的層。此外，圖 46A 所示的溫度控制層是一直保持恆定溫度（300K）的層。

[0547] 使用由富士通公司（Fujitsu Limited）製造的 Materials Explorer5.0 進行古典分子動力學計算。另外，將初期溫度設定為 300K，將單元尺寸設定為一定，將時間步長設定為 0.01 毫微微秒，將步驟數設定為 1000 萬

次。在計算中，根據該條件對原子施加 300eV 的能量，並將原子從垂直於 InGaZnO_4 的結晶的 ab 面的方向入射到單元中。

[0548] 圖 47A 示出氬入射到具有圖 46A 和 46B 所示的 InGaZnO_4 的結晶的單元中到 99.9 微微秒 (psec) 之後的原子排列。此外，圖 47B 示出氧入射到單元中到 99.9 微微秒之後的原子排列。另外，在圖 47A 和 47B 中省略圖 46A 所示的固定層的一部分而示出。

[0549] 由圖 47A 可知，從氬入射到單元中到 99.9 微微秒在對應於圖 45A 所示的第二面的劈開面產生裂縫。因此，可以知道在氬碰撞到 InGaZnO_4 的結晶時，以最頂面為第二面（第 0 第二面），在第二面（第 2 第二面）中產生大裂縫。

[0550] 另一方面，由圖 47B 可知，從氧入射到單元中到 99.9 微微秒在對應於圖 45A 所示的第二面的劈開面產生裂縫。注意，可以知道在氧碰撞到單元時，在 InGaZnO_4 的結晶的第二面（第 1 第二面）中產生大裂縫。

[0551] 由此可知，在原子（離子）從包括具有同系結構的 InGaZnO_4 的結晶的靶材的頂面碰撞時， InGaZnO_4 的結晶沿著第二面劈開且平板狀粒子（顆粒）剝離。此外，還可以知道此時使氧碰撞到單元時的顆粒尺寸小於使氬碰撞到單元時的顆粒尺寸。

[0552] 另外，由上述計算可知剝離了的顆粒包括損

傷區域。有時可以藉由使因損傷產生的缺陷和氧起反應修復包括在顆粒中的損傷區域。

[0553] 因此，調查了顆粒尺寸根據碰撞的原子的種類而不同的情況。

[0554] 圖 48A 示出從氬入射到具有圖 46A 和 46B 所示的 InGaZnO_4 的結晶的單元中到 0 微微秒至 0.3 微微秒的各原子的軌跡。因此，圖 48A 對應於圖 46A 和 46B 至圖 47A 的期間。

[0555] 由圖 48A 可知，在氬碰撞到第一層（Ga-Zn-O 層）的鎵（Ga）時，在該鎵碰撞到第三層（Ga-Zn-O 層）的鋅（Zn）之後，該鋅達到第六層（Ga-Zn-O 層）附近。另外，與鎵碰撞的氧被彈出到外面。因此，可以認為在使氬碰撞到包括 InGaZnO_4 的結晶的靶材時，在圖 46A 中的第二面（第 2 第二面）產生裂縫。

[0556] 圖 48B 示出從氧入射到具有圖 46A 和 46B 所示的 InGaZnO_4 的結晶的單元中到 0 微微秒至 0.3 微微秒的各原子的軌跡。因此，圖 48B 對應於圖 46A 和 46B 至圖 47A 的期間。

[0557] 另一方面，由圖 48B 可知，在氧碰撞到第一層（Ga-Zn-O 層）的鎵（Ga）時，在該鎵碰撞到第三層（Ga-Zn-O 層）的鋅（Zn）之後，該鋅達不到第五層（In-O 層）。另外，與鎵碰撞的氧被彈出到外面。因此，可以認為在使氧碰撞到包括 InGaZnO_4 的結晶的靶材時，在圖 46A 中的第二面（第 1 第二面）產生裂縫。

[0558] 由本計算也可知在原子（離子）碰撞時 InGaZnO_4 的結晶從劈開面剝離。

[0559] 此外，從守恆定律的觀點討論裂縫的深度。可以由公式（1）及公式（2）表示能量守恆定律及動量守恆定律。在此， E 是碰撞之前的氬或氧所具有的能量（ 300eV ）， m_A 是氬或氧的質量， v_A 是碰撞之前的氬或氧的速度， v'_A 是碰撞之後的氬或氧的速度， m_{Ga} 是鎵的質量， v_{Ga} 是碰撞之前的鎵的速度， v'_{Ga} 是碰撞之後的鎵的速度。

[0560]

$$E = \frac{1}{2}m_A v_A^2 + \frac{1}{2}m_{Ga} v_{Ga}^2 \quad (1)$$

[0561]

$$m_A v_A + m_{Ga} v_{Ga} = m_A v'_A + m_{Ga} v'_{Ga} \quad (2)$$

[0562] 當將氬或氧的碰撞假定為彈性碰撞時，可以由公式（3）表示 v_A 、 v'_A 、 v_{Ga} 和 v'_{Ga} 的關係。

[0563]

$$v'_A - v'_{Ga} = -(v_A - v_{Ga}) \quad (3)$$

[0564] 根據公式（1）、公式（2）及公式（3），在 v_{Ga} 為 0 的情況下，可以由公式（4）表示氬或氧碰撞之後的鎵的速度 v'_{Ga} 。

[0565]

$$v'_{Ga} = \frac{\sqrt{m_A}}{m_A + m_{Ga}} \cdot 2\sqrt{2E} \quad (4)$$

[0566] 在公式（4）中，將氬的質量或氧的質量代入

m_A 並對各原子碰撞之後的鎵的速度進行比較。在氫及氧的碰撞之前的能量相同時，氫碰撞時的鎵的速度為氧碰撞時的鎵的速度的 1.24 倍。因此，氫碰撞時的鎵的能量也比氧碰撞時的鎵的能量高鎵的速度的平方。

[0567] 可以知道氫碰撞時的碰撞後的鎵的速度（能量）高於氧碰撞時的碰撞後的鎵的速度（能量）。因此，可以認為與在氧碰撞時相比，在氫碰撞時在較深的位置產生裂縫。

[0568] 由上述計算可知藉由濺射包括具有同系結構的 InGaZnO_4 的結晶的靶材，從劈開面剝離而形成顆粒。另一方面，即使濺射沒有劈開面的靶材的其他結構的區域也不形成顆粒，而形成比顆粒微細的原子級的尺寸的濺射粒子。因為該濺射粒子比顆粒小，所以被認為藉由連接到濺射裝置的真空泵被排出。因此，在藉由濺射包括具有同系結構的 InGaZnO_4 的結晶的靶材時，難以考慮到各種尺寸或形狀的粒子飛到基板並沉積而形成膜的模型。被濺射的顆粒沉積而形成 CAAC-OS 的圖 43A 等所示的模型更有道理。

[0569] 藉由上述步驟形成的 CAAC-OS 的密度與單晶 OS 的密度大致相同。例如，具有 InGaZnO_4 的同系結構的單晶 OS 的密度為 6.36g/cm^3 ，而具有大致相同的原子數比的 CAAC-OS 的密度為 6.3g/cm^3 左右。

[0570] 圖 49A 和 49B 示出藉由濺射法形成的 CAAC-OS 的 In-Ga-Zn 氧化物（參照圖 49A）及其靶材（參照圖

49B) 的剖面的原子排列。利用高角度環形暗場-掃描穿透式電子顯微法 (HAADF-STEM: High-Angle Annular Dark Field Scanning Transmission Electron Microscopy) 觀察原子排列。注意, 在 HAADF-STEM 中, 各原子的影像的濃淡與原子序數的平方成比例。因此, 原子序數接近的 Zn (原子序數為 30) 和 Ga (原子序數為 31) 幾乎不能區別。至於 HAADF-STEM, 使用日立掃描穿透式電子顯微鏡 HD-2700。

[0571] 在對圖 49A 和 49B 進行比較時, 可以知道 CAAC-OS 和靶材都具有同系結構, 並且, CAAC-OS 中的原子的配置對應於靶材。因此, 如圖 43A 等的成膜模型所示, 靶材的結晶結構被轉寫而形成 CAAC-OS。

[0572]

<氧化物半導體膜及氧化物導電體膜>

接著, 參照圖 50 說明使用氧化物半導體形成的膜 (以下稱為氧化物半導體膜 (OS)) 及使用具有導電性的氧化物半導體膜 19b、155b 等由氧化物導電體形成的膜 (以下稱為氧化物導電體膜 (OC)) 的電阻率的溫度依賴性。在圖 50 中, 橫軸示出測定溫度, 縱軸示出電阻率。另外, 三角形示出氧化物半導體膜 (OS) 的測定結果, 圓圈示出氧化物導電體膜 (OC) 的測定結果。

[0573] 以如下方法製造包含氧化物半導體膜 (OS) 的樣本: 在玻璃基板上, 藉由使用原子數比為 In:Ga:Zn=1:1:1.2 的濺射靶材的濺射法形成厚度為 35nm

的 In-Ga-Zn 氧化物膜，藉由使用原子數比為 In:Ga:Zn=1:4:5 的濺射靶材的濺射法形成厚度為 20nm 的 In-Ga-Zn 氧化物膜，在 450℃ 的氮氛圍下進行加熱處理之後，在 450℃ 的氮及氧的混合氣體氛圍下進行加熱處理，並且利用電漿 CVD 法形成氧氮化矽膜。

[0574] 此外，以如下方法製造包含氧化物導電體膜（OC）的樣本：在玻璃基板上，藉由使用原子數比為 In:Ga:Zn=1:1:1 的濺射靶材的濺射法形成厚度為 100nm 的 In-Ga-Zn 氧化物膜，在 450℃ 的氮氛圍下進行加熱處理之後，在 450℃ 的氮及氧的混合氣體氛圍下進行加熱處理，並且利用電漿 CVD 法形成氮化矽膜。

[0575] 從圖 50 可知，氧化物導電體膜（OC）的電阻率的溫度依賴性低於氧化物半導體膜（OS）的電阻率的溫度依賴性。典型的是，80K 以上且 290K 以下的氧化物導電體膜（OC）的電阻率的變化率低於±20%。或者，150K 以上且 250K 以下的電阻率的變化率低於±10%。也就是說，氧化物導電體是簡併半導體，可以推測其傳導帶邊緣能階與費米能階一致或大致一致。因此，可將氧化物導電體膜（OC）用於電阻元件、電容元件的電極、像素電極、共用電極、佈線等。

[0576] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合。

[0577]

實施方式 10

在本實施方式中，對應用本發明的一個方式的顯示裝置的電子裝置的結構實例進行說明。另外，在本實施方式中，參照圖 51 對應用本發明的一個方式的顯示裝置的顯示模組進行說明。

[0578] 圖 51 所示的顯示模組 8000 在上蓋 8001 與下蓋 8002 之間包括連接於 FPC8003 的觸控面板 8004、連接於 FPC8005 的顯示面板 8006、背光單元 8007、框架 8009、印刷基板 8010、電池 8011。另外，有時不設置背光單元 8007、電池 8011、觸控面板 8004 等。

[0579] 本發明的一個方式的顯示裝置例如可以用於顯示面板 8006。

[0580] 上蓋 8001 及下蓋 8002 根據觸控面板 8004 及顯示面板 8006 的尺寸可以適當地改變形狀或尺寸。

[0581] 觸控面板 8004 能夠是電阻膜式觸控面板或靜電容量式觸控面板，並且能夠被形成為與顯示面板 8006 重疊。此外，也可以使顯示面板 8006 的反基板（密封基板）具有觸控面板的功能。或者，也可以在顯示面板 8006 的各像素內設置光感測器，而用作光學觸控面板。或者，也可以在顯示面板 8006 的各像素內設置觸摸感測器用電極，而用作電容量式觸控面板。

[0582] 背光單元 8007 包括光源 8008。光源 8008 也可以設置在背光單元 8007 的端部，並使用光擴散板。

[0583] 框架 8009 具有保護顯示面板 8006 的功能以及用來遮斷因印刷基板 8010 的工作而產生的電磁波的電

磁屏蔽的功能。此外，框架 8009 也可以具有作為散熱板的功能。

[0584] 印刷基板 8010 包括電源電路以及用來輸出視訊信號及時脈信號的信號處理電路。作為對電源電路供應電力的電源，既可以使用外部的商業電源，又可以使用另行設置的電池 8011 的電源。當使用商用電源時，可以省略電池 8011。

[0585] 此外，在顯示模組 8000 中還可以設置偏光板、相位差板、稜鏡片等構件。

[0586] 圖 52A 至 52E 是包括本發明的一個方式的顯示裝置的電子裝置的外觀圖。

[0587] 作為電子裝置，例如可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的顯示器、數位相機、數位攝影機等影像拍攝裝置、數位相框、行動電話機（也稱為行動電話、行動電話裝置）、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、彈珠機（pachinko machine）等大型遊戲機等。

[0588] 圖 52A 示出可攜式資訊終端，其包括主體 1001、外殼 1002、顯示部 1003a 和顯示部 1003b 等。顯示部 1003b 是觸控面板，藉由觸摸顯示在顯示部 1003b 上的鍵盤按鈕 1004，可以操作螢幕且輸入文字。當然，也可以採用顯示部 1003a 是觸控面板的結構。藉由將上述實施方式所示的電晶體用作切換元件製造液晶面板或有機發光面板，並將其用於顯示部 1003a、顯示部 1003b，可以

實現可靠性高的可攜式資訊終端。

[0589] 圖 52A 所示的可攜式資訊終端可以具有如下功能：顯示各種資訊（靜止影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯；以及利用各種軟體（程式）控制處理；等。另外，也可以採用在外殼的背面或側面具備外部連接端子（耳機端子、USB 端子等）、儲存介質插入部等的結構。

[0590] 另外，圖 52A 所示的可攜式資訊終端可以採用以無線方式發送且接收資訊的結構。還可以採用以無線方式從電子書籍伺服器購買所希望的書籍資料等並下載的結構。

[0591] 圖 52B 示出可攜式音樂播放機，其中主體 1021 包括顯示部 1023、用來戴在耳朵上的固定部 1022、揚聲器、操作按鈕 1024 以及外部儲存槽 1025 等。藉由將上述實施方式所示的電晶體用作切換元件製造液晶面板或有機發光面板，並將其用於顯示部 1023，可以實現可靠性高的可攜式音樂播放機。

[0592] 另外，當對圖 52B 所示的可攜式音樂播放機添加天線、麥克風功能及無線功能且與行動電話一起使用時，可以在開車的同時進行無線免提通話。

[0593] 圖 52C 示出行動電話，由外殼 1030 及外殼 1031 的兩個外殼構成。外殼 1031 具備顯示面板 1032、揚聲器 1033、麥克風 1034、指向裝置 1036、攝像頭 1037、

外部連接端子 1038 等。另外，外殼 1030 具備進行行動電話的充電的太陽能電池 1040、外部儲存槽 1041 等。另外，天線內置於外殼 1031 內部。藉由將上述實施方式所示的電晶體用於顯示面板 1032，可以實現可靠性高的行動電話。

[0594] 另外，顯示面板 1032 具備觸控面板，在圖 52C 中，使用虛線示出作為影像被顯示出來的多個操作鍵 1035。另外，還安裝有用來將由太陽能電池 1040 輸出的電壓升壓到各電路所需的電壓的升壓電路。

[0595] 顯示面板 1032 根據使用方式適當地改變顯示的方向。另外，由於在與顯示面板 1032 同一面上設置有攝像頭 1037，所以可以實現視頻電話。揚聲器 1033 及麥克風 1034 不侷限於音訊通話，還可以進行視頻通話、錄音、再生等。再者，外殼 1030 和外殼 1031 可以滑動而從如圖 52C 那樣的展開狀態變成為重疊狀態，所以可以實現便於攜帶的小型化。

[0596] 外部連接端子 1038 可以與 AC 轉接器及各種電纜如 USB 電纜等連接，由此可以進行充電及與個人電腦等的資料通訊。另外，藉由將儲存介質插入外部儲存槽 1041，可以對應於更大量資料的保存及移動。

[0597] 另外，除了上述功能之外，還可以具有紅外線通信功能、電視接收功能等。

[0598] 圖 52D 示出電視機的一個例子。在電視機 1050 中，外殼 1051 組裝有顯示部 1053。可以用顯示部

1053 顯示影像。此外，將 CPU 內置於支撐外殼 1051 的支架 1055。藉由將上述實施方式所示的電晶體用於顯示部 1053 及 CPU，可以實現可靠性高的電視機 1050。

[0599] 可以藉由外殼 1051 所具備的操作開關或另行提供的遙控器進行電視機 1050 的操作。此外，也可以採用在遙控器中設置顯示從該遙控器輸出的資訊的顯示部的結構。

[0600] 另外，電視機 1050 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通訊。

[0601] 另外，電視機 1050 具備外部連接端子 1054、儲存介質再現錄影部 1052、外部儲存槽。外部連接端子 1054 可以與各種電纜如 USB 電纜等連接，由此可以進行與個人電腦等的資料通訊。藉由將盤狀儲存介質插入儲存介質再現錄影部 1052 中，可以進行對儲存在儲存介質中的資料的讀出以及對儲存介質的寫入。另外，也可以將插入外部儲存槽中的外部記憶體 1056 所儲存的影像或影像等顯示在顯示部 1053 上。

[0602] 在上述實施方式所示的電晶體的關態洩漏電流極低的情況下，藉由將該電晶體應用於外部記憶體 1056 或 CPU，可以提供耗電量充分降低的高可靠性電視機 1050。

[0603] 圖 52E 所示的可攜式資訊終端具備外殼 1101 以及設置在外殼 1101 的表面的能夠進行顯示的顯示面板 1110。

[0604] 外殼 1101 具有頂面、背面、第一側面、與第一側面接觸的第二側面、與第一側面對置的第三側面、以及與第二側面對置的第四側面。

[0605] 顯示面板 1110 包括與外殼 1101 的頂面重疊的第一顯示區域 1111、與外殼 1101 的側面中之一重疊的第二顯示區域 1112、與外殼 1101 的側面中之另一重疊的第三顯示區域 1113、以及與第二顯示區域 1112 對置的第四顯示區域 1114。

[0606] 外殼 1101 的四個側面中的至少與顯示面板 1110 重疊的區域較佳為具有曲面形狀。例如，較佳為如下情況：在上面與側面之間以及側面與背面之間不具有角部，這種面連續的情況。另外，側面的形狀較佳為具有從外殼 1101 的上面到背面切線的傾斜連續的曲面。

[0607] 另外，除了顯示面板 1110 以外，在外殼 1101 的表面上還可以具有硬體按鈕及外部連接端子等。此外，在與顯示面板 1110 重疊的位置上，具體地，在與各顯示區域重疊的區域中較佳為具有觸感器。

[0608] 圖 52E 所示的可攜式資訊終端除了在平行於外殼的頂面的面上以外，還能夠在外殼的側面上進行顯示。尤其是，藉由沿著外殼的兩個以上的側面設置顯示區域，可以增加顯示的種類，所以是較佳的。

[0609] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合。

實施例 1

[0610] 在本實施例中，對氧化物半導體膜、導電膜及絕緣膜的疊層結構的剖面形狀進行觀察。此外，對導電膜的金屬元素的組成進行分析。下面說明本實施例中所製造的樣本的詳細內容。

[0611]

<樣本 A1>

首先，準備基板。基板使用玻璃基板，在基板上形成絕緣膜 601。

[0612] 利用 PECVD 設備連續地形成厚度為 50nm 的氮化矽膜、厚度為 300nm 的氮化矽膜、厚度為 50nm 的氮化矽膜以及厚度為 50nm 的氧氮化矽膜而形成絕緣膜 601。

[0613] 接著，在絕緣膜 601 上形成多層膜 603。層疊厚度為 35nm 的第一 IGZO 膜、厚度為 10nm 的第二 IGZO 膜以及厚度為 20nm 的 IGO 膜形成多層膜 603。

[0614] 下面說明多層膜 603 的形成方法。在如下條件下形成厚度為 35nm 的第一 IGZO 膜：將基板溫度設定為 300℃；作為濺射靶材使用 In：Ga：Zn=1：1：1（原子數比）的金屬氧化物靶材；作為濺射氣體使用 33vol%的氧（以氬稀釋）而將該氧供應給濺射裝置的處理室內；將

處理室內的壓力控制為 0.4Pa ；以及供應 200W 的功率。接著，在如下條件下形成厚度為 10nm 的第二 IGZO 膜：將基板溫度設定為 200°C ；作為濺射靶材使用 $\text{In}:\text{Ga}:\text{Zn}=1:3:6$ （原子數比）的金屬氧化物靶材；作為濺射氣體使用 $33\text{vol}\%$ 的氧（以氬稀釋）而將該氧供應給濺射裝置的處理室內；將處理室內的壓力控制為 0.4Pa ；以及供應 200W 的功率。接著，在如下條件下形成厚度為 20nm 的 IGO 膜：將基板溫度設定為 170°C ；作為濺射靶材使用 $\text{In}:\text{Ga}=7:93$ （原子數比）的金屬氧化物靶材；作為濺射氣體使用 $75\text{vol}\%$ 的氧（以氬稀釋）而將該氧供應給濺射裝置的處理室內；將處理室內的壓力控制為 0.4Pa ；以及供應 200W 的功率。接著，在藉由光微影製程將遮罩形成在第一 IGZO 膜、第二 IGZO 膜以及 IGO 膜上之後，進行蝕刻處理，來形成多層膜 603。

[0615] 然後，去除遮罩。

[0616] 接著，在 450°C 的氮氛圍下進行 1 小時的加熱處理，然後在 450°C 的氧和氮的混合氛圍下進行 1 小時的加熱處理。

[0617] 接著，在多層膜 603 上形成導電膜 605。層疊厚度為 30nm 的第一 Cu-Mn 合金膜、厚度為 200nm 的 Cu 膜以及厚度為 100nm 的第二 Cu-Mn 合金膜形成導電膜 605。

[0618] 下面說明導電膜 605 的形成方法。在如下條件下藉由濺射法形成第一 Cu-Mn 合金膜：將基板溫度設

定為室溫；將流量為 100sccm 的 Ar 氣體供應給處理室；將處理室的壓力調整為 0.4Pa；以及使用直流（DC）電源將 2000W 的功率供應給靶材。此外，使用的靶材的組成為 Cu：Mn=90：10[原子%]。接著，藉由如下濺射法形成 Cu 膜：將基板溫度設定為 100℃；將流量為 75sccm 的 Ar 氣體供應給處理室；將處理室的壓力調整為 1.0Pa；以及使用直流（DC）電源將 15000W 的功率供應給靶材。接著，採用與第一 Cu-Mn 合金膜相同的條件形成第二 Cu-Mn 合金膜。接著，在第二 Cu-Mn 合金膜上形成光阻遮罩，在該光阻遮罩上塗佈蝕刻劑進行濕蝕刻處理，來形成導電膜 605。作為蝕刻劑，使用包含有機酸水溶液及過氧化氫水的蝕刻劑。

[0619] 然後，去除遮罩。

[0620] 接著，在導電膜 605 上形成絕緣膜 607。利用 PECVD 設備在真空中連續地形成厚度為 50nm 的氧氮化矽膜、厚度為 400nm 的氧氮化矽膜，來形成絕緣膜 607。

[0621] 接著，在 350℃ 的氧和氮的混合氛圍下進行 1 小時的加熱處理。

[0622] 經過上述步驟，製造樣本 A1。

[0623] 接著，利用掃描穿透式電子顯微鏡（STEM：Scanning Transmission Electron Microscopy）觀察樣本 A1 的剖面。圖 53A 示出樣本 A1 的剖面觀察影像。注意，圖 53A 是位相差影像（TE 影像）。

[0624] 由圖 53A 所示的剖面影像可知，確認到在多

層膜 603 上本實施例中所製造的樣本 A1 的導電膜 605 具有良好的剖面形狀。

[0625] 接著，對圖 53A 的（1）地點、（2）地點以及（3）地點進行能量色散型 X 射線分析（EDX：Energy Dispersive X-ray Spectroscopy）。圖 53B 示出藉由 EDX 分析獲得的 Cu 及 Mn 的組成。由圖 53B 可知，在 Cu 膜的內部（圖 53A 的（1）地點）中沒有檢出 Mn，而在 Cu 膜的側壁（圖 53A 的（2）地點）中檢出 2atoms% 至 4atoms% 的 Mn。

【符號說明】

[0626] 在圖式中：

- 11：基板
- 12：導電膜
- 13：導電膜
- 14：閘極絕緣膜
- 15：氮化物絕緣膜
- 16：氧化物絕緣膜
- 17：氧化物絕緣膜
- 18：氧化物半導體膜
- 19a：氧化物半導體膜
- 19b：氧化物半導體膜
- 19c：氧化物半導體膜
- 19d：氧化物半導體膜
- 19f：氧化物半導體膜

19g：氧化物半導體膜

20：導電膜

20_1：導電膜

20_2：導電膜

21a：導電膜

21a_1：導電膜

21a_2：導電膜

21b：導電膜

21b_1：導電膜

21b_2：導電膜

21c：導電膜

21c_1：導電膜

21c_2：導電膜

21d：導電膜

21d_1：導電膜

21d_2：導電膜

21e：導電膜

21e_1：導電膜

21e_2：導電膜

21f：導電膜

21f_1：導電膜

21f_2：導電膜

21g：導電膜

22：氧化物絕緣膜

- 23：氧化物絕緣膜
- 24：氧化物絕緣膜
- 25：氧化物絕緣膜
- 26：氮化物絕緣膜
- 27：氮化物絕緣膜
- 28：導電膜
- 29：共用電極
- 29b：導電膜
- 29c：導電膜
- 29d：導電膜
- 30：無機絕緣膜
- 30a：無機絕緣膜
- 31：有機絕緣膜
- 31a：有機樹脂膜
- 33：配向膜
- 37a：多層膜
- 37b：多層膜
- 38a：多層膜
- 38b：多層膜
- 39a：氧化物半導體膜
- 39b：氧化物半導體膜
- 40：開口部
- 41：開口部
- 41a：開口部

49a：氧化物半導體膜

49b：氧化物半導體膜

101：像素部

102：電晶體

102a：電晶體

102b：電晶體

102c：電晶體

102d：電晶體

102e：電晶體

103：像素

103a：像素

103b：像素

103c：像素

104：掃描線驅動電路

105：電容元件

105a：電容元件

105b：電容元件

105c：電容元件

106：信號線驅動電路

107：掃描線

109：信號線

115：電容線

121：液晶元件

131：發光元件

- 133：電晶體
- 135：電晶體
- 137：佈線
- 139：佈線
- 141：佈線
- 151：基板
- 153：絕緣膜
- 153a：絕緣膜
- 154：稀有氣體
- 155：氧化物半導體膜
- 155a：氧化物半導體膜
- 155b：氧化物半導體膜
- 155c：氧化物半導體膜
- 156：覆蓋膜
- 156a：覆蓋膜
- 156b：覆蓋膜
- 156c：覆蓋膜
- 157：絕緣膜
- 157a：絕緣膜
- 159：導電膜
- 159a：導電膜
- 159b：導電膜
- 159c：導電膜
- 160a：電阻元件

160b：電阻元件

160c：電阻元件

160d：電阻元件

160e：電容元件

160f：電容元件

160g：電阻元件

160h：電阻元件

160i：電阻元件

161：導電膜

161a：導電膜

161b：導電膜

161c：導電膜

162：導電膜

162a：導電膜

162b：導電膜

162c：導電膜

163：導電膜

163a：導電膜

163b：導電膜

163c：導電膜

164：導電膜

164a：導電膜

164b：導電膜

164c：導電膜

170a：保護電路

170b：保護電路

171：佈線

172：佈線

173：電阻元件

173a：電阻元件

173b：電阻元件

173c：電阻元件

174：電晶體

174a：電晶體

174b：電晶體

174c：電晶體

174d：電晶體

175：佈線

176：佈線

177：佈線

180a：電容元件

180b：電容元件

180c：電容元件

180d：電容元件

180e：電容元件

180f：電容元件

180g：電容元件

181：導電膜

306：絕緣膜
320：液晶層
322：液晶元件
342：基板
344：遮光膜
346：彩色膜
348：絕緣膜
350：導電膜
352：配向膜
370a：發光元件
370b：發光元件
371：絕緣膜
373：EL層
375：導電膜
601：絕緣膜
603：多層膜
605：導電膜
607：絕緣膜
609：金屬酸化膜
612：導電膜
1001：主體
1002：外殼
1003a：顯示部
1003b：顯示部

- 1004：鍵盤按鈕
- 1021：主體
- 1022：固定部
- 1023：顯示部
- 1024：操作按鈕
- 1025：外部儲存槽
- 1030：外殼
- 1031：外殼
- 1032：顯示面板
- 1033：揚聲器
- 1034：麥克風
- 1035：操作鍵
- 1036：指向裝置
- 1037：攝像頭
- 1038：外部連接端子
- 1040：太陽能電池
- 1041：外部儲存槽
- 1050：電視機
- 1051：外殼
- 1052：儲存介質再現錄影部
- 1053：顯示部
- 1054：外部連接端子
- 1055：支架
- 1056：外部記憶體

1101：外殼
 1110：顯示面板
 1111：顯示區域
 1112：顯示區域
 1113：顯示區域
 1114：顯示區域
 5100：顆粒
 5100a：顆粒
 5100b：顆粒
 5101：離子
 5102：氧化鋅層
 5103：粒子
 5105a：顆粒
 5105a1：區域
 5105a2：顆粒
 5105b：顆粒
 5105c：顆粒
 5105d：顆粒
 5105d1：區域
 5105e：顆粒
 5120：基板
 5130：靶材
 5161：區域
 8000：顯示模組

8001：上蓋

8002：下蓋

8003：FPC

8004：觸控面板

8005：FPC

8006：顯示面板

8007：背光單元

8008：光源

8009：框架

8010：印刷基板

8011：電池

I664728

發明摘要

※申請案號：103140067

※申請日：103 年 11 月 19 日

※IPC 分類：H01L 29/43 (2006.01)
H01L 29/417 (2006.01)
H01L 29/786 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明的一個方式提供一種新穎半導體裝置，其中在使用氧化物半導體膜的電晶體中將含銅（Cu）的金屬膜用於佈線或信號線等。該半導體裝置包括絕緣表面上的具有導電性的氧化物半導體膜以及接觸於具有導電性的氧化物半導體膜的導電膜，其中該導電膜包括 Cu-X 合金膜（X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti）。

【英文】

A novel semiconductor device in which a metal film containing copper (Cu) is used for a wiring, a signal line, or the like in a transistor including an oxide semiconductor film is provided. The semiconductor device includes an oxide semiconductor film having conductivity on an insulating surface and a conductive film in contact with the oxide semiconductor film having conductivity. The conductive film includes a Cu-X alloy film (X is Mn, Ni, Cr, Fe, Co, Mo, Ta, or Ti).

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

151：基板

153：絕緣膜

153a：絕緣膜

155b：氧化物半導體膜

156：覆蓋膜

156a：覆蓋膜

157：絕緣膜

157a：絕緣膜

159：導電膜

159a：導電膜

159b：導電膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1.一種半導體裝置，包括：

電容元件，包括：

具有導電性的氧化物半導體膜；

接觸於該具有導電性的氧化物半導體膜的第一導電膜；

在該氧化物半導體膜及該第一導電膜上的絕緣膜；

以及

在該絕緣膜上且與該氧化物半導體膜重疊的第二導電膜，

其中，該第一導電膜包括 Cu-X 合金膜，

X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti，

並且，該具有導電性的氧化物半導體膜的氫濃度為 $8 \times 10^{19} \text{ atoms/cm}^3$ 以上。

2.根據申請專利範圍第 1 項之半導體裝置，

其中該第一導電膜包括 Cu-Mn 合金膜。

3.一種半導體裝置，包括：

電阻元件，包括：

具有導電性的氧化物半導體膜；

該具有導電性的氧化物半導體膜上的第一導電膜；

以及

與該氧化物半導體膜接觸的第二導電膜，

其中，該第一導電膜包括 Cu-Mn 合金膜及該 Cu-Mn 合金膜上的 Cu 膜，

該第一導電膜的外周被包括氧化錳的膜覆蓋，

該包括氧化錳的覆蓋膜與該具有導電性的氧化物半導體膜、該 Cu-Mn 合金膜及該 Cu 膜接觸，

並且，該具有導電性的氧化物半導體膜的氫濃度為 $8 \times 10^{19} \text{atoms/cm}^3$ 以上。

4.根據申請專利範圍第 1 項或第 3 項之半導體裝置，
其中該具有導電性的氧化物半導體膜的電阻率為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^4 \Omega \text{cm}$ 。

5.根據申請專利範圍第 1 項或第 3 項之半導體裝置，
其中該具有導電性的氧化物半導體膜包括氫及氧缺損，

並且該氫位於該氧缺損中。

6.根據申請專利範圍第 1 項之半導體裝置，
其中該絕緣膜是氮化物絕緣膜。

7.根據申請專利範圍第 1 項或第 3 項之半導體裝置，
其中該具有導電性的氧化物半導體膜的該氫濃度為 $5 \times 10^{20} \text{atoms/cm}^3$ 以上。

8.根據申請專利範圍第 1 項或第 3 項之半導體裝置，
其進一步包含含氫絕緣層，

其中該具有導電性的氧化物半導體膜在該含氫絕緣層上且與該含氫絕緣層接觸。

9.一種半導體裝置，包括：

第一氧化物半導體膜；

包括第二氧化物半導體膜的電晶體；以及

與該第一氧化物半導體膜及該第二氧化物半導體膜接觸的第一導電膜，

其中，該第一導電膜包括 Cu-X 合金膜及該 Cu-X 合金膜上的 Cu 膜，

其中，X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti，

其中，該第一氧化物半導體膜具有導電性，

其中，該第一氧化物半導體膜的氫濃度為 $8 \times 10^{19} \text{ atoms/cm}^3$ 以上，

其中，該第二氧化物半導體膜的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，並且

其中，該第一氧化物半導體膜的電阻率為該第二氧化物半導體膜的 1×10^{-8} 倍以上且低於 1×10^{-1} 倍。

10.一種半導體裝置，包括：

第一氧化物半導體膜；

包括第二氧化物半導體膜的電晶體；以及

與該第一氧化物半導體膜及該第二氧化物半導體膜接觸的第一導電膜，

其中，該第一導電膜包括 Cu-X 合金膜及該 Cu-X 合金膜上的 Cu 膜，

其中，X 為 Mn、Ni、Cr、Fe、Co、Mo、Ta 或 Ti，

其中，該第一氧化物半導體膜的氫濃度與該第二氧化物半導體膜的氫濃度彼此不相同，並且

其中，該第一氧化物半導體膜的電阻率與該第二氧化物半導體膜的電阻率彼此不相同。

11.根據申請專利範圍第 9 或 10 項之半導體裝置，
其中該第一氧化物半導體膜的該電阻率為 $1 \times 10^{-3} \Omega \text{cm}$
以上且低於 $1 \times 10^4 \Omega \text{cm}$ 。

12.根據申請專利範圍第 9 或 10 項之半導體裝置，
其中該第一導電膜包括 Cu-Mn 合金膜。

13.根據申請專利範圍第 12 項之半導體裝置，
其中該 Cu 膜的一部分被包括氧化錳的膜覆蓋，
並且該 Cu 膜的該一部分與該包括氧化錳的膜接觸。

14.根據申請專利範圍第 9 或 10 項之半導體裝置，
其中該第一氧化物半導體膜包括氫及氧缺損，
並且該氫位於該氧缺損中。

15.根據申請專利範圍第 9 或 10 項之半導體裝置，還
包括電容元件，

其中該電容元件包括該第一氧化物半導體膜、該第一
導電膜、絕緣膜及第二導電膜，

該絕緣膜在該第一氧化物半導體膜及該第一導電膜
上，

並且該第二導電膜在該絕緣膜上且與該第一氧化物半
導體膜重疊。

16.根據申請專利範圍第 15 項之半導體裝置，
其中該絕緣膜是氮化物絕緣膜。

17.根據申請專利範圍第 9 或 10 項之半導體裝置，其
中該具有導電性的第一氧化物半導體膜的該氫濃度為
 $5 \times 10^{20} \text{atoms/cm}^3$ 以上。

18.根據申請專利範圍第 9 或 10 項之半導體裝置，其進一步包含含氫絕緣層，

其中該第一氧化物半導體膜在該含氫絕緣層上且與該含氫絕緣層接觸。