

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

is applied to the gate.

(57) 要約: V N W F E T (縦型ナノワイヤ F E T) を用いた出力回路のレイアウト構造を提供する。出力回路は、電源 (V S S) と出力信号線 (5 3) との間に設けられ、ゲートに出力制御信号 (I N N) を受ける第 1 導電型のトランジスタ (N 1) を備える。トランジスタ (N 1) は、X Y 方向にアレイ状に配置された複数の V N W F E T (V 1) を備え、複数の V N W F E T (V 1) は、トップが出力信号線 (5 3) に接続されており、ボトムに電源電圧 (V S S) が与えられており、ゲートに出力制御信号 (I N N) が与えられる。

明 細 書

発明の名称：出力回路

技術分野

[0001] 本開示は、縦型ナノワイヤ（VNW: Vertical Nanowire）FET（Field Effect Transistor）を備えた半導体集積回路装置に関するものであり、特に、出力回路のレイアウト構造に関する。

背景技術

[0002] 半導体集積回路装置は、入出力パッドを介して外部との信号の入出力を行う入出力回路を備える。入出力回路における出力回路については、大電流を流すために、そのレイアウト構造に十分な注意が必要である。

[0003] また、LSIの基本構成要素であるトランジスタは、ゲート長の縮小（スケーリング）により、集積度の向上、動作電圧の低減、および動作速度の向上を実現してきた。しかし近年、過度なスケーリングによるオフ電流と、それによる消費電力の著しい増大が問題となっている。この問題を解決するため、トランジスタ構造を従来の平面型から立体型に変更した立体構造トランジスタが盛んに研究されている。その1つとして、縦型ナノワイヤFET（以下、適宜、VNW FETという）が注目されている。

[0004] 特許文献1では、VNW FETを用いた半導体集積回路のレイアウト構造が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：米国特許第9 2 8 1 3 6 3号明細書

発明の概要

発明が解決しようとする課題

[0006] 特許文献1には、入出力回路における出力回路のように、出力パッドを介して大電流を流す回路に関する具体的なレイアウト構造の開示はない。

[0007] 本開示は、VNW FETを用いた出力回路のレイアウト構造を提供する

ことを目的とする。

課題を解決するための手段

- [0008] 本開示の第1態様では、半導体集積回路から信号を出力するための出力回路は、第1電源と出力信号線との間に設けられ、ゲートに第1出力制御信号を受ける第1導電型の第1トランジスタを備え、前記第1トランジスタは、第1方向と、前記第1方向と垂直をなす第2方向とにアレイ状に配置された、複数の第1 VNW FETを備え、前記複数の第1 VNW FETは、トップが前記出力信号線に接続されており、ボトムに前記第1電源から第1電源電圧が与えられており、ゲートに前記第1出力制御信号が与えられる。
- [0009] この態様によると、出力回路において、第1電源と出力信号線との間に設けられ、ゲートに第1出力制御信号を受ける第1導電型の第1トランジスタが、アレイ状に配置された複数の第1 VNW FETによって、構成される。これにより、出力パッドを介して大電流を流す出力回路を、VNW FETを用いて構成することができる。
- [0010] 本開示の第2態様では、半導体集積回路から信号を出力するための出力回路は、第1電源と出力信号線との間に直列に設けられた、第1導電型の第1および第2トランジスタを備え、前記第1トランジスタは、ゲートに第1出力制御信号を受け、前記第2トランジスタは、ゲートに第2出力制御信号を受け、前記第1トランジスタは、第1方向と、前記第1方向と垂直をなす第2方向とにアレイ状に配置された、複数の第1 VNW FETを備え、前記複数の第1 VNW FETは、トップに前記第1電源から第1電源電圧が与えられており、ゲートに前記第1出力制御信号が与えられており、ボトムが第1ボトム領域に接続されており、前記第2トランジスタは、前記第1方向と前記第2方向とにアレイ状に配置された、複数の第2 VNW FETを備え、前記複数の第2 VNW FETは、トップが前記出力信号線と接続されており、ゲートに前記第2出力制御信号が与えられており、ボトムが前記第1ボトム領域に接続されている。
- [0011] この態様によると、出力回路において、第1電源と出力信号線との間に直

列に設けられ、ゲートに第1および第2出力制御信号をそれぞれ受ける第1導電型の第1および第2トランジスタが、アレイ状に配置された複数の第1 VNW FET、および、アレイ状に配置された複数の第2 VNW FET によって、それぞれ構成されている。これにより、出力パッドを介して大電流を流す出力回路を、VNW FETを用いて構成することができる。

発明の効果

[0012] 本開示によると、出力パッドを介して大電流を流す出力回路を、VNW FETを用いて構成することができる。

図面の簡単な説明

[0013] [図1]実施形態に係る半導体集積回路装置の全体構成を模式的に示す平面図
[図2] (a), (b) は図1におけるI/Oセルの簡易構成図
[図3]第1および第2実施形態における出力回路の回路図
[図4]第1実施形態に係るレイアウト構造の例を示す全体平面図
[図5]第1実施形態に係るレイアウト構造の例を示す層別の平面図
[図6]第1実施形態に係るレイアウト構造の例を示す層別の平面図
[図7]第1実施形態に係るレイアウト構造の例を示す層別の平面図
[図8] (a) ~ (c) は第1実施形態に係るレイアウト構造の例を示す断面図
[図9] (a) ~ (c) は第1実施形態に係るレイアウト構造の例を示す断面図
[図10]第2実施形態に係るレイアウト構造の例を示す層別の平面図
[図11]第2実施形態に係るレイアウト構造の例を示す層別の平面図
[図12]第2実施形態に係るレイアウト構造の例を示す層別の平面図
[図13]第2実施形態に係るレイアウト構造の例を示す層別の平面図
[図14]第3および第4実施形態における出力回路の回路図
[図15]第3実施形態に係るレイアウト構造の例を示す層別の平面図
[図16]第3実施形態に係るレイアウト構造の例を示す層別の平面図
[図17]第3実施形態に係るレイアウト構造の例を示す層別の平面図
[図18]第4実施形態に係るレイアウト構造の例を示す層別の平面図
[図19]第4実施形態に係るレイアウト構造の例を示す層別の平面図

[図20]第4実施形態に係るレイアウト構造の例を示す層別の平面図

[図21]第4実施形態に係るレイアウト構造の例を示す層別の平面図

[図22]縦型ナノワイヤFETの基本構造例を示す模式図であり、(a)は断面図、(b)は平面図

[図23](a),(b)は縦型ナノワイヤFETの基本構造例であって、ローカル配線を用いた構造例を示す模式平面図

発明を実施するための形態

[0014] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体集積回路装置は複数のI/Oセルを備えており、このI/Oセルのうち少なくとも一部は、いわゆる縦型ナノワイヤFET(VNW FET)を備えるものとする。

[0015] 図22はVNW FETの基本構造例を示す模式図であり、(a)は断面図、(b)は平面図である。なお、図22(b)では、メタル配線の図示を省いており、また、理解のしやすさのために、実際の平面視では見えない構成要素を図示している。

[0016] 図22に示すように、半導体基板501上に、P型ウェル502とN型ウェル503が形成されている。ただし、半導体基板501がP型基板であるとき、P型ウェルを形成しなくてもよい。P型ウェル502上に、N型トランジスタであるVNW FET510が形成されており、N型ウェル503上に、P型トランジスタであるVNW FET520が形成されている。504は絶縁膜、505は層間絶縁膜である。

[0017] VNW FET510は、ソース／ドレイン電極となるボトム電極511と、ソース／ドレイン電極となるトップ電極512と、ボトム電極511とトップ電極512との間に、縦方向（基板面に対して垂直方向）に形成されたナノワイヤ513とを備える。ボトム電極511およびトップ電極512は、N導電型にドーピングされている。ナノワイヤ513の少なくとも一部がチャネル領域となる。ナノワイヤ513の周囲にはゲート絶縁膜515が形成されており、さらにその周囲にゲート電極514が形成されている。な

お、ゲート電極 5 1 4 はナノワイヤ 5 1 3 の周囲全体を囲んでいてもよいし、ナノワイヤ 5 1 3 の周囲の一部のみを囲んでいてもよい。ゲート電極 5 1 4 がナノワイヤ 5 1 3 の周囲の一部のみを囲んでいる場合は、ゲート絶縁膜 5 1 5 はゲート電極 5 1 4 がナノワイヤ 5 1 3 を囲んでいる部分にのみ形成されていてもよい。

[0018] ボトム電極 5 1 1 は、半導体基板 5 0 1 の上面に沿って広がるように形成されたボトム領域 5 1 6 と接続されている。ボトム領域 5 1 6 も、N 導電型にドーピングされている。ボトム領域 5 1 6 の表面にはシリサイド領域 5 1 7 が形成されている。また、トップ電極 5 1 2 の周囲に、サイドウォール 5 1 8 が形成されている。トップ電極 5 1 2 の上に、シリサイド領域 5 1 9 が形成されている。ただし、サイドウォール 5 1 8 およびシリサイド領域 5 1 9 は形成しなくてもよい。

[0019] 同様に、VNW FET 5 2 0 は、ソース／ドレイン電極となるボトム電極 5 2 1 と、ソース／ドレイン電極となるトップ電極 5 2 2 と、ボトム電極 5 2 1 とトップ電極 5 2 2 との間に、縦方向に形成されたナノワイヤ 5 2 3 とを備える。ボトム電極 5 2 1 およびトップ電極 5 2 2 は、P 導電型にドーピングされている。ナノワイヤ 5 2 3 の少なくとも一部がチャネル領域となる。ナノワイヤ 5 2 3 の周囲にはゲート絶縁膜 5 2 5 が形成されており、さらにその周囲にゲート電極 5 2 4 が形成されている。

[0020] ボトム電極 5 2 1 は、半導体基板 5 0 1 の上面に沿って広がるように形成されたボトム領域 5 2 6 と接続されている。ボトム領域 5 2 6 も、P 導電型にドーピングされている。ボトム領域 5 2 6 の表面にはシリサイド領域 5 2 7 が形成されている。また、トップ電極 5 2 2 の周囲に、サイドウォール 5 2 8 が形成されている。トップ電極 5 2 2 の上に、シリサイド領域 5 2 9 が形成されている。ただし、サイドウォール 5 2 8 およびシリサイド領域 5 2 9 は形成しなくてもよい。

[0021] 図 2 2 の構造では、VNW FET 5 1 0 のゲート電極領域 5 1 4 と VNW FET 5 2 0 のゲート電極領域 5 2 4 とが、ゲート配線 5 3 1 によって

接続されている。また、ボトム領域516、シリサイド領域519、ゲート配線531、シリサイド領域529およびボトム領域526は、それぞれ、コンタクト532およびコンタクト541を介して、メタル配線層M1に形成された配線542に接続されている。なお、メタル配線層M1のさらに上層に、メタル配線層を積層することができる。

[0022] 半導体基板501は、例えば、バルクSi、ゲルマニウム、その化合物や合金等によって構成されている。N型ドーパントの例としては、As、P、Sb、N、Cまたはこれらの組み合わせ等がある。P型ドーパントの例としては、B、BF₂、In、N、Cまたはこれらの組み合わせ等がある。また、VNW FET510、520の平面形状（ナノワイヤ513、523の横断面形状）は、例えば、円形、矩形、楕円形等であってもよい。

[0023] 絶縁膜504の材質は、例えば、SiN、SiCN等である。層間絶縁膜505の材料は、例えば、SiO₂、TEOS、PSG、BPSG、FSG、SiOC、SOG、Spin on Polymers、SiC、または、これらの混合物等がある。シリサイド領域517、527の材質は、例えば、NiSi、CoSi、TiSi、WSi等である。

[0024] ゲート電極514、524、および、ゲート配線531の材料は、例えば、TiN、Ta₂N₅、TiAl、Ti-containing Metal、Ta-containing Metal、Al-containing Metal、W-containing Metal、TiSi、NiSi、PtSi、polysilicon with silicide、これらの組み合わせ等がある。ゲート絶縁膜515、525の材料は、例えば、SiON、Si₃N₄、Ta₂O₅、Al₂O₃、Hf oxide、Ta oxide、Al oxide等がある。また、k値は7以上であることが好ましい。

[0025] トップ電極512、522上に設けるシリサイド領域519、529の材料としては、NiSi、CoSi、MoSi、WSi、PtSi、TiSiまたはこれらの組み合わせ等がある。また、他の構成として、W、Cu、Al等のメタルや、TiN、Ta₂N₅等の合金等、不純物注入された半導体等、またはこれらの組み合わせとしてもよい。サイドウォール518、528の

材料としては、例えば、 SiN 、 SiON 、 SiC 、 SiCN 、 SiOCN 等がある。

[0026] コンタクト532の材料としては、例えば、 Ti 、 TiN 、 Ta 、 TaN 等がある。また、 Cu 、 Cu -arroy、 W 、 Ag 、 Au 、 Ni 、 Al 等がある。あるいは、 Co 、 Ru でもよい。

[0027] 図23はVNW FETの基本構造例であって、ローカル配線を用いた構造例を示す。図23(a)では、メタル配線層M1と、VNW FET510のトップ電極512およびVNW FET520のトップ電極522との間に、ローカル配線534が形成されている。ボトム領域516、526およびゲート配線531は、それぞれ、コンタクト533、ローカル配線534およびコンタクト541を介して、メタル配線層M1に形成された配線542に接続されている。また、シリサイド領域519、529は、それぞれ、ローカル配線534およびコンタクト541を介して、メタル配線層M1に形成された配線542に接続されている。

[0028] 図23(b)では、メタル配線層M1とボトム領域516、526との間に、ローカル配線535が形成されている。言い換えると、ローカル配線535は、図23(a)におけるコンタクト533およびローカル配線534が一体となったものに相当する。シリサイド領域536は、ローカル配線535を形成する工程において、エッチングストッパとして用いられる。

[0029] 以下の説明では、VNW FETのボトム電極、トップ電極、ゲート電極のことを、適宜、単にボトム、トップ、ゲートという。また、縦型ナノワイヤ、トップ、ボトムおよびゲートからなる単位構成が、1個または複数個によって、1個のVNW FETを構成する場合、この単位構成のことを単に「VNW」といい、VNW FETと区別するものとする。

[0030] また、本明細書において、「同一配線幅」等のように、幅等が同じであることを意味する表現は、製造上のばらつき範囲を含んでいるものとする。

[0031] (第1実施形態)

図1は実施形態に係る半導体集積回路装置(半導体チップ)の全体構成を

模式的に示す平面図である。図1では、図面横方向をX方向とし、図面縦方向をY方向としている（以降の図も同様）。図1に示す半導体集積回路装置1は、内部コア回路が形成されたコア領域2と、コア領域2の周囲に設けられ、インターフェース回路（I/O回路）が形成されたI/O領域3とを備えている。I/O領域3には、半導体集積回路装置1の周辺部においてコア領域2を囲むように、I/Oセル列5が設けられている。図1では図示を簡略化しているが、I/Oセル列5には、インターフェース回路を構成する複数のI/Oセル10が並んでいる。

[0032] ここで、I/Oセル10は、信号の入力、出力または入出力を行う信号I/Oセル、接地電位（電源電圧VSS）を供給するための電源I/Oセル、主にI/O領域3に向けて電源（電源電圧VDD I/O）を供給するための電源I/Oセルを含む。例えば、VDD I/Oは3.3Vである。図1では、コア領域2の図面上側に、信号入出力用のI/Oセル10Aが配置されており、コア領域2の図面左側に、信号入出力用のI/Oセル10Bが配置されている。

[0033] I/O領域3には、I/Oセル10が並ぶ方向に延びる電源配線6, 7が設けられている。電源配線6, 7は、半導体集積回路装置1の周辺部にリング状に形成されている（リング電源配線ともいう）。電源配線6は、VDD I/Oを供給し、電源配線7はVSSを供給する。なお、図1では、電源配線6, 7はそれぞれ、単一の配線のように図示されているが、実際には、電源配線6, 7はそれぞれ、複数本の配線によって構成される場合もある。また図1では図示を省略しているが、半導体集積回路装置1には、複数の外部接続パッドが配置されている。

[0034] 図2はI/Oセル10A, 10Bの簡易構成図である。なお、以降の説明では、電源配線6, 7はそれぞれ、4本の配線からなるものとしている。図2(a)に示すように、I/Oセル10Aには、X方向に延びる電源配線6, 7が配置されている。そしてI/Oセル10Aにおいて、電源配線7の下にN導電型出力トランジスタ部101が設けられ、電源配線6の下にP導電型出力トランジスタ部102が設けられている。N導電型出力トランジスタ部10

1、P導電型出力トランジスタ部102は、IOセル10Aにおいて、チップ外側よりの位置に設けられている。また、図2(b)に示すように、IOセル10Bには、Y方向に延びる電源配線6、7が配置されている。そしてIOセル10Bにおいて、電源配線7の下にN導電型出力トランジスタ部103が設けられ、電源配線6の下にP導電型出力トランジスタ部104が設けられている。N導電型出力トランジスタ部103、P導電型出力トランジスタ部104は、IOセル10Bにおいて、チップ外側よりの位置に設けられている。

[0035] 図3は本実施形態における出力回路の回路図である。図3の出力回路では、電源VDDIOと出力信号線（出力信号OUTを出力する）との間に、P導電型（以下、適宜、P型という）のトランジスタP1が設けられており、電源VSSと出力信号線との間に、N導電型（以下、適宜、N型という）のトランジスタN1が設けられている。出力制御回路20は出力制御信号INP、INNを出力する。トランジスタP1はゲートに出力制御信号INPを受け、トランジスタN1はゲートに出力制御信号INNを受ける。出力信号OUTは、外部接続パッドに供給される。出力制御信号INP、INNがローレベルのとき、出力信号OUTはハイレベル（VDDIO）になり、出力制御信号INP、INNがハイレベルのとき、出力信号OUTはローレベル（VSS）になる。

[0036] 以下では、図3の出力回路を構成する2個のトランジスタP1、N1のレイアウト構造について、説明する。ここでは、図2(a)に示すIOセル10Aを例にとり、N導電型出力トランジスタ部101にトランジスタN1が構成されており、P導電型出力トランジスタ部102にトランジスタP1が構成されているものとする。

[0037] 図4～図9は本実施形態に係るトランジスタP1、N1のレイアウト構造の例を示す図であり、図4は全体平面図、図5～図7は層別の平面図、図8および図9は断面図である。具体的には、図5はVNW FETおよびその下の層を示し、図6はVNW FETよりも上のローカル配線およびM1配

線を示し、図7はM1およびM2配線を示す。図8は図4の平面視横方向の断面図であり、(a)は線X1-X1'の断面、(b)は線X2-X2'の断面、(c)は線X3-X3'の断面である。図9は図4の平面視縦方向の断面図であり、(a)は線Y1-Y1'の断面、(b)は線Y2-Y2'の断面、(c)は線Y3-Y3'の断面である。

[0038] なお、図4等の平面図において縦横に走る点線、および、図8等の断面図において縦に走る点線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、X方向において等間隔に配置されており、またY方向において等間隔に配置されている。なお、グリッド間隔は、X方向とY方向とにおいて同じであってもよいし異なってもよい。また、グリッド間隔は、層ごとに異なってもかまわない。例えば、VNW FETのグリッドとM1配線のグリッドとが、異なる間隔で配置されていてもよい。さらに、各部品は必ずしもグリッド上に配置される必要はない。ただし、製造ばらつきを抑制する観点から、部品はグリッド上に配置される方が好ましい。

[0039] また、本実施形態に係るデバイス構造は、図23(a)の構造を前提としている。ただし、図22や図23(b)の構造や、他のデバイス構造を前提とした構造にもなり得る。以降の実施形態についても同様である。また、図を分かりやすくするために、ウェル、STI、各絶縁膜、ボトム上のシリサイド層、トップ上のシリサイド層、および、トップのサイドウォールについては、図示を省略している。以降の図についても同様である。

[0040] 図4等の平面図において、図面上側がN導電型出力トランジスタ部101に相当し、図3の回路におけるトランジスタN1を実現している。また、図面下側がP導電型出力トランジスタ部102に相当し、図3の回路におけるトランジスタP1を実現している。

[0041] 図5に示すように、N導電型出力トランジスタ部101では、N型のVNW V1が、X方向に16列、Y方向に8列、計128個、アレイ状に並べて形成されている。この128個のN型のVNW V1によって、トランジスタN1が実現されている。N導電型出力トランジスタ部101には、ほぼ

全面にわたってボトム領域 1 1 が形成されており、1 2 8 個の VNW V 1 は、ボトムがボトム領域 1 1 に接続されている。

[0042] VNW V 1 は、X 方向において、2 列おきに間隔を空けて配置されている。ここでは、2 列毎の VNW V 1 の群のことを、 $g_{n1} \sim g_{n8}$ とする。群 $g_{n1} \sim g_{n8}$ のそれぞれにおいて、X 方向に隣り合う VNW V 1 はゲート同士が接続されている。群 g_{n1} から図面左側にゲート配線 2 1 が引き出されており、群 g_{n8} から図面右側にゲート配線 2 2 が引き出されている。群 g_{n2} , g_{n3} は、X 方向に隣り合う 4 個の VNW V 1 がゲート配線 2 3 によって接続されている。すなわち、ゲート配線 2 3 は、群 g_{n2} から図面右側に引き出されたゲート配線であり、かつ、群 g_{n3} から図面左側に引き出されたゲート配線である。同様に、群 g_{n4} , g_{n5} は、X 方向に隣り合う 4 個の VNW V 1 がゲート配線 2 3 によって接続されており、群 g_{n6} , g_{n7} は、X 方向に隣り合う 4 個の VNW V 1 がゲート配線 2 3 によって接続されている。

[0043] ゲート配線 2 1, 2 2, 2 3 には、その上層のローカル配線と接続するためのビア 2 7 a が形成されている。また、ボトム領域 1 1 には、その上層のローカル配線と接続するためのビア 2 7 b が、群 g_{n1} , g_{n2} の間、群 g_{n3} , g_{n4} の間、群 g_{n5} , g_{n6} の間、および、群 g_{n7} , g_{n8} の間に、Y 方向に並ぶように、形成されている。

[0044] 同様に、P 導電型出力トランジスタ部 1 0 2 では、P 型の VNW V 2 が、X 方向に 1 6 列、Y 方向に 8 列、計 1 2 8 個、アレイ状に並べて形成されている。この 1 2 8 個の P 型の VNW V 2 によって、トランジスタ P 1 が実現されている。P 導電型出力トランジスタ部 1 0 2 には、ほぼ全面にわたってボトム領域 1 2 が形成されており、1 2 8 個の VNW V 2 は、ボトムがボトム領域 1 2 に接続されている。

[0045] VNW V 2 は、X 方向において、2 列おきに間隔を空けて配置されている。ここでは、2 列毎の VNW V 2 の群のことを、 $g_{p1} \sim g_{p8}$ とする。群 $g_{p1} \sim g_{p8}$ のそれぞれにおいて、X 方向に隣り合う VNW V 2 は

ゲート同士が接続されている。群 $g p 1$ から図面左側にゲート配線 24 が引き出されており、群 $g p 8$ から図面右側にゲート配線 25 が引き出されている。群 $g p 2$, $g p 3$ は、X 方向に隣り合う 4 個の $V N W \quad V 2$ がゲート配線 26 によって接続されている。すなわち、ゲート配線 26 は、群 $g p 2$ から図面右側に引き出されたゲート配線であり、かつ、群 $g p 3$ から図面左側に引き出されたゲート配線である。同様に、群 $g p 4$, $g p 5$ は、X 方向に隣り合う 4 個の $V N W \quad V 2$ がゲート配線 26 によって接続されており、群 $g p 6$, $g p 7$ は、X 方向に隣り合う 4 個の $V N W \quad V 2$ がゲート配線 26 によって接続されている。

[0046] ゲート配線 24, 25, 26 には、その上層のローカル配線と接続するためのビア 28a が形成されている。また、ボトム領域 12 には、その上層のローカル配線と接続するためのビア 28b が、群 $g p 1$, $g p 2$ の間、群 $g p 3$, $g p 4$ の間、群 $g p 5$, $g p 6$ の間、および、群 $g p 7$, $g p 8$ の間に、Y 方向に並ぶように、形成されている。

[0047] 図 6 に示すように、各群 $g n 1 \sim g n 8$ において、X 方向に隣り合う $V N W \quad V 1$ は、トップ同士がローカル配線 31 によって接続されている。同様に、各群 $g p 1 \sim g p 8$ において、X 方向に隣り合う $V N W \quad V 2$ は、トップ同士がローカル配線 32 によって接続されている。

[0048] 図 7 に示すように、M2 配線層において、X 方向に延びる M2 配線 51, 52, 53, 56a $\sim$ 56d, 57a $\sim$ 57d が形成されている。M2 配線 51 は出力制御信号 $I N N$ を供給する。M2 配線 52 は出力制御信号 $I N P$ を供給する。M2 配線 53 は出力信号 $O U T$ を出力する信号線であり、本開示における出力信号線に相当する。M2 配線 56a $\sim$ 56d は電源電圧 $V S S$ を供給する配線であり、電源配線 7 に相当する。M2 配線 57a $\sim$ 57d は電源電圧 $V D D I O$ を供給する配線であり、電源配線 6 に相当する。

[0049] M1 配線層において、Y 方向に延びる M1 配線 41, 42, 43, 44, 45 が形成されている。M1 配線 41 は、N 導電型出力トランジスタ部 101 に配置されており、出力制御信号 $I N N$ を供給する M2 配線 51 とビアを

介して接続されている。同様に、M1配線42は、P導電型出力トランジスタ部102に配置されており、出力制御信号INPを供給するM2配線52とビアを介して接続されている。M1配線43は、N導電型出力トランジスタ部101に配置されており、電源電圧VSSを供給するM2配線56a～56dとビアを介して接続されている。M1配線44は、P導電型出力トランジスタ部102に配置されており、電源電圧VDDIOを供給するM2配線57a～57dとビアを介して接続されている。

[0050] M1配線45は、N導電型出力トランジスタ部101からP導電型出力トランジスタ部102にわたって配置されている。M1配線45は、2本ずつ組になって配置されており、Y方向において対向する、VNW V1の群gn1～gn8、および、VNW V2の群gp1～gp8の上に、それぞれ、配置されている。M1配線45は、各VNW V1のトップとローカル配線31を介して接続されており、各VNW V2のトップとローカル配線32を介して接続されており、かつ、出力信号OUTを出力するM2配線53とビアを介して接続されている。

[0051] 以上のようなレイアウト構造により、N導電型出力トランジスタ部101に形成された128個のVNW V1は、トップが、ローカル配線31、M1配線45を介して、出力信号OUTを出力するM2配線53と接続されている。また、ボトムが、ボトム領域11、ビア27b、M1配線43を介して、電源電圧VSSを供給するM2配線56a～56dと接続されている。また、ゲートが、ゲート配線21、22、23、ビア27a、M1配線41を介して、出力制御信号INNを供給するM2配線51と接続されている。したがって、N導電型出力トランジスタ部101に形成された128個のVNW V1によって、図3の回路図におけるトランジスタN1が実現されている。

[0052] また、P導電型出力トランジスタ部102に形成された128個のVNW V2は、トップが、ローカル配線32、M1配線45を介して、出力信号OUTを出力するM2配線53と接続されている。また、ボトムが、ボトム

領域 1 2、ビア 2 8 b、M 1 配線 4 4 を介して、電源電圧 V_{DDIO} を供給する M 2 配線 5 7 a ~ 5 7 d と接続されている。また、ゲートが、ゲート配線 2 4, 2 5, 2 6、ビア 2 8 a、M 1 配線 4 2 を介して、出力制御信号 I_{NP} を供給する M 2 配線 5 2 と接続されている。したがって、P 導電型出力トランジスタ部 1 0 2 に形成された 1 2 8 個の V_{NW} V_2 によって、図 3 の回路図におけるトランジスタ P 1 が実現されている。

[0053] したがって、本実施形態により、出力パッドを介して大電流を流す出力回路を、 V_{NW} FET を用いて構成することができる。

[0054] また、上述した構成では、ゲート配線 2 1 ~ 2 6 は、X 方向に延びるように形成されており、かつ、同一配線幅である。また、ローカル配線 3 1, 3 2 は、X 方向に延びるように形成されており、かつ、同一配線幅である。また、M 1 配線 4 1 ~ 4 5 は、Y 方向に延びるように形成されており、かつ、同一配線幅である。このように、各配線層において、配線の方法および幅が同一であることによって、製造が容易になり、製造精度が向上する。なお、図示した構成では、ゲート配線 2 1 ~ 2 6、ローカル配線 3 1, 3 2、および、M 1 配線 4 1 ~ 4 5 は、配線幅が互いに同一であるように見えるが、異なる配線層では配線幅を同一にする必要はなく、1 つの配線層において配線の方法および幅が同一であれば、製造が容易になり、製造精度が向上する。

[0055] また、上述した構成では、平面視で、N 導電型出力トランジスタ部 1 0 1 において、 V_{NW} V_1 のトップと接続された M 1 配線 4 5 は、M 1 配線 4 3 よりも、占める面積が大きい。また、平面視で、P 導電型出力トランジスタ部 1 0 2 において、 V_{NW} V_2 のトップと接続された M 1 配線 4 5 は、M 1 配線 4 4 よりも、占める面積が大きい。これにより、出力信号 OUT を出力する M 2 配線 5 3 までの抵抗値を小さくすることができる。また、M 2 配線 5 3 を V_{NW} V_1 , V_2 のトップと接続することによって、M 2 配線 5 3 を V_{NW} V_1 , V_2 のボトムと接続する場合と比べて、出力信号線までの抵抗値が小さくなる。

[0056] また、上述した構成では、各 V_{NW} V_1 について、ゲートへの出力制御

信号 I N N の供給と、ボトムへの電源電圧 V S S の供給とが、X 方向における両側からなされている。例えば、群 g n 1 の V N W V 1 では、出力制御信号 I N N はビア 2 7 a を介して図面左側からゲートに与えられ、電源電圧 V S S はビア 2 7 b を介して図面右側からボトムに与えられる。同様に、各 V N W V 2 では、ゲートへの出力制御信号 I N P の供給と、ボトムへの電源電圧 V D D I O の供給とが、X 方向における両側からなされている。例えば、群 g p 1 の V N W V 2 では、出力制御信号 I N P はビア 2 8 a を介して図面左側からゲートに与えられ、電源電圧 V S S はビア 2 8 b を介して図面右側からボトムに与えられる。このような構成により、Y 方向におけるサイズを小さくすることで、小面積化を実現することができる。

[0057] なお、出力制御信号 I N N を供給するためのビア 2 7 a は、2 列以上、並べて配置してもよい。同様に、出力制御信号 I N P を供給するためのビア 2 8 a は、2 列以上、並べて配置してもよい。また、ボトム領域 1 1 に電源電圧 V S S を供給するためのビア 2 7 b は、2 列以上、並べて配置してもよい。同様に、ボトム領域 1 2 に電源電圧 V D D I O を供給するためのビア 2 8 b は、2 列以上、並べて配置してもよい。

[0058] また、上の実施形態では、ボトム領域 1 1 は N 導電型出力トランジスタ部 1 0 1 において一体に形成されており、ボトム領域 1 2 は P 導電型出力トランジスタ部 1 0 2 において一体に形成されている。この代わりに、ボトム領域 1 1, 1 2 は、分割して形成してもかまわない。例えば、ボトム領域 1 1 を、群 g n 1 ~ g n 8 毎に分割して形成してもよい。ただし、ボトム領域 1 1, 1 2 を一体に形成することによって、電源供給の安定化を図ることができる。

[0059] (第 2 実施形態)

第 2 実施形態では、図 3 の出力回路を構成する 2 個のトランジスタ P 1, N 1 のレイアウト構造の他の例について、説明する。ここでは、図 2 (b) に示す I O セル 1 0 B を例にとり、N 導電型出力トランジスタ部 1 0 3 がトランジスタ N 1 を構成し、P 導電型出力トランジスタ部 1 0 4 がトランジス

タ P 1 を構成するものとする。

[0060] 図 10～図 13 は本実施形態に係るトランジスタ P 1, N 1 のレイアウト構造の例を示す層別の平面図である。具体的には、図 10 は VNW FET およびその下の層を示し、図 11 は VNW FET よりも上のローカル配線および M 1 配線を示し、図 12 は M 1 および M 2 配線を示し、図 13 は M 2 および M 3 配線を示す。なお、全体平面図および断面図については、第 1 実施形態から容易に類推できるため、ここでは省略している。

[0061] 図 10 等の平面図において、図面左側が N 導電型出力トランジスタ部 103 に相当し、図 3 の回路におけるトランジスタ N 1 を実現している。また、図面右側が P 導電型出力トランジスタ部 104 に相当し、図 3 の回路におけるトランジスタ P 1 を実現している。

[0062] 図 10 に示すように、N 導電型出力トランジスタ部 103 では、N 型の VNW V 1 が、X 方向に 8 列、Y 方向に 16 列、計 128 個、アレイ状に並べて形成されている。この 128 個の N 型の VNW V 1 によって、トランジスタ N 1 が実現されている。N 導電型出力トランジスタ部 103 には、ほぼ全面にわたってボトム領域 111 が形成されており、128 個の VNW V 1 は、ボトムがボトム領域 111 に接続されている。

[0063] VNW V 1 は、X 方向において、2 列おきに間隔を空けて配置されている。ここでは、2 列毎の VNW V 1 の群のことを、 $g_{n1} \sim g_{n4}$ とする。群 $g_{n1} \sim g_{n4}$ のそれぞれにおいて、X 方向に隣り合う VNW V 1 はゲート同士が接続されている。群 g_{n1} から図面左側にゲート配線 121 が引き出されており、群 g_{n4} から図面右側にゲート配線 122 が引き出されている。群 g_{n2} , g_{n3} は、X 方向に隣り合う 4 個の VNW V 1 がゲート配線 123 によって接続されている。すなわち、ゲート配線 123 は、群 g_{n2} から図面右側に引き出されたゲート配線であり、かつ、群 g_{n3} から図面左側に引き出されたゲート配線である。

[0064] ゲート配線 121, 122, 123 には、その上層のローカル配線と接続するためのビア 127a が形成されている。また、ボトム領域 111 には、

その上層のローカル配線と接続するためのビア127bが、群gn1, gn2の間、および、群gn3, gn4の間に、Y方向に並ぶように、形成されている。

[0065] 同様に、P導電型出力トランジスタ部104では、P型のVNW V2が、X方向に8列、Y方向に16列、計128個、アレイ状に並べて形成されている。この128個のP型のVNW V2によって、トランジスタP1が実現されている。P導電型出力トランジスタ部104には、ほぼ全面にわたってボトム領域112が形成されており、128個のVNW V2は、ボトムがボトム領域112に接続されている。

[0066] VNW V2は、X方向において、2列おきに間隔を空けて配置されている。ここでは、2列毎のVNW V2の群のことを、gp1～gp4とする。群gp1～gp4のそれぞれにおいて、X方向に隣り合うVNW V2はゲート同士が接続されている。群gp1から図面左側にゲート配線124が引き出されており、群gp4から図面右側にゲート配線125が引き出されている。群gp2, gp3は、X方向に隣り合う4個のVNW V2がゲート配線126によって接続されている。すなわち、ゲート配線126は、群gp2から図面右側に引き出されたゲート配線であり、かつ、群gp3から図面左側に引き出されたゲート配線である。

[0067] ゲート配線124, 125, 126には、その上層のローカル配線と接続するためのビア128aが形成されている。また、ボトム領域112には、その上層のローカル配線と接続するためのビア128bが、群gp1, gp2の間、および、群gp3, gp4の間に、Y方向に並ぶように、形成されている。

[0068] 図11に示すように、各群gn1～gn4において、X方向に隣り合うVNW V1は、トップ同士がローカル配線131によって接続されている。同様に、各群gp1～gp4において、X方向に隣り合うVNW V2は、トップ同士がローカル配線132によって接続されている。

[0069] 図13に示すように、M3配線層において、Y方向に延びるM3配線16

1, 162a~162d, 163a~163dが形成されている。M3配線161は出力信号OUTを出力するものであり、本開示における出力信号線に相当する。M3配線162a~162dは電源電圧VSSを供給する配線であり、電源配線7に相当する。M3配線163a~163dは電源電圧VDDIOを供給する配線であり、電源配線6に相当する。

[0070] 図12および図13に示すように、M2配線層において、X方向に延びるM2配線151, 152, 153a~153e, 154a~154e, 155a~155eが形成されている。M2配線151は出力制御信号INNを供給する。M2配線152は出力制御信号INPを供給する。M2配線153a~153eは、出力信号OUTを出力するM3配線161とビアを介して接続されている。M2配線154a~154eは、電源電圧VSSを供給するM3配線162a~162dとビアを介して接続されている。M2配線155a~155eは、電源電圧VDDIOを供給するM3配線163a~163dとビアを介して接続されている。

[0071] 図11および図12に示すように、M1配線層において、Y方向に延びるM1配線141, 142, 143, 144, 145, 146が形成されている。M1配線141は、N導電型出力トランジスタ部103に配置されており、出力制御信号INNを供給するM2配線151とビアを介して接続されている。同様に、M1配線142は、P導電型出力トランジスタ部104に配置されており、出力制御信号INPを供給するM2配線152とビアを介して接続されている。M1配線143は、N導電型出力トランジスタ部103に配置されており、M2配線154a~154eとビアを介して接続されている。M1配線144は、P導電型出力トランジスタ部104に配置されており、M2配線155a~155eとビアを介して接続されている。

[0072] M1配線145は、N導電型出力トランジスタ部103に配置されており、2本ずつ組になって、VNW V1の群gn1~gn4の上に、それぞれ、配置されている。M1配線145は、各VNW V1のトップとローカル配線131を介して接続されており、かつ、M2配線153a~153eと

ビアを介して接続されている。同様に、M1配線146は、P導電型出力トランジスタ部104に配置されており、2本ずつ組になって配置されており、VNW V2の群gp1～gp4の上に、それぞれ、配置されている。M1配線146は、各VNW V1のトップとローカル配線132を介して接続されており、かつ、M2配線153a～153eとビアを介して接続されている。

[0073] 以上のようなレイアウト構造により、N導電型出力トランジスタ部103に形成された128個のVNW V1は、トップが、ローカル配線131、M1配線145、M2配線153a～153eを介して、出力信号OUTを出力するM3配線161と接続されている。また、ボトムが、ボトム領域111、ビア127b、M1配線143、M2配線154a～154eを介して、電源電圧VSSを供給するM3配線162a～162dと接続されている。また、ゲートが、ゲート配線121, 122, 123、ビア127a、M1配線141を介して、出力制御信号INNを供給するM2配線151と接続されている。したがって、N導電型出力トランジスタ部103に形成された128個のVNW V1によって、図3の回路図におけるトランジスタN1が実現されている。

[0074] また、P導電型出力トランジスタ部104に形成された128個のVNW V2は、トップが、ローカル配線132、M1配線146、M2配線153a～153eを介して、出力信号OUTを出力するM3配線161と接続されている。また、ボトムが、ボトム領域112、ビア128b、M1配線144、M2配線155a～155eを介して、電源電圧VDDIOを供給するM3配線163a～163dと接続されている。また、ゲートが、ゲート配線124, 125, 126、ビア128a、M1配線142を介して、出力制御信号INPを供給するM2配線152と接続されている。したがって、P導電型出力トランジスタ部104に形成された128個のVNW V2によって、図3の回路図におけるトランジスタP1が実現されている。

[0075] したがって、本実施形態により、出力パッドを介して大電流を流す出力回

路を、 V_{NW} FETを用いて構成することができる。

[0076] また、上述した構成では、ゲート配線121～126は、X方向に延びるように形成されており、かつ、同一配線幅である。また、ローカル配線131, 132は、X方向に延びるように形成されており、かつ、同一配線幅である。また、M1配線141～146は、Y方向に延びるように形成されており、かつ、同一配線幅である。このように、各配線層において、配線の方
向および幅が同一であることによって、製造が容易になり、製造精度が向上する。なお、図示した構成では、ゲート配線121～126、ローカル配線131, 132、および、M1配線141～146は、配線幅が互いに同一であるように見えるが、異なる配線層では配線幅を同一にする必要はなく、1つの配線層において配線の方
向および幅が同一であれば、製造が容易になり、製造精度が向上する。

[0077] また、上述した構成では、平面視で、N導電型出力トランジスタ部103において、 V_{NW} V1のトップと接続されたM1配線145は、M1配線143よりも、占める面積が大きい。また、平面視で、P導電型出力トランジスタ部104において、 V_{NW} V2のトップと接続されたM1配線146は、M1配線144よりも、占める面積が大きい。これにより、出力信号OUTを出力するM3配線161までの抵抗値を小さくすることができる。また、M3配線161を V_{NW} V1, V2のトップと接続することによって、M3配線161を V_{NW} V1, V2のボトムと接続する場合と比べて、出力信号線までの抵抗値が小さくなる。

[0078] また、上述した構成では、各 V_{NW} V1について、ゲートへの出力制御信号INNの供給と、ボトムへの電源電圧VSSの供給とが、X方向における両側からなされている。例えば、群gn1の V_{NW} V1では、出力制御信号INNはビア127aを介して図面左側からゲートに与えられ、電源電圧VSSはビア127bを介して図面右側からボトムに与えられる。同様に、各 V_{NW} V2では、ゲートへの出力制御信号INPの供給と、ボトムへの電源電圧VDDIOの供給とが、X方向における両側からなされている。

例えば、群 g_{p1} の V_{NW} V_2 では、出力制御信号 I_{NP} はビア 128a を介して図面左側からゲートに与えられ、電源電圧 V_{DDIO} はビア 128b を介して図面右側からボトムに与えられる。このような構成により、Y 方向におけるサイズを小さくすることで、小面積化を実現することができる。

[0079] なお、出力制御信号 I_{NN} を供給するためのビア 127a は、2 列以上、並べて配置してもよい。同様に、出力制御信号 I_{NP} を供給するためのビア 128a は、2 列以上、並べて配置してもよい。また、ボトム領域 111 に電源電圧 V_{SS} を供給するためのビア 127b は、2 列以上、並べて配置してもよい。同様に、ボトム領域 112 に電源電圧 V_{DDIO} を供給するためのビア 128b は、2 列以上、並べて配置してもよい。

[0080] また、上の実施形態では、ボトム領域 111 は N 導電型出力トランジスタ部 103 において一体に形成されており、ボトム領域 112 は P 導電型出力トランジスタ部 104 において一体に形成されている。この代わりに、ボトム領域 111, 112 は、分割して形成してもかまわない。例えば、ボトム領域 111 を、群 $g_{n1} \sim g_{n4}$ 毎に分割して形成してもよい。ただし、ボトム領域 111, 112 を一体に形成することによって、電源供給の安定化を図ることができる。

[0081] (第 3 実施形態)

図 14 は本実施形態における出力回路の回路図である。図 14 の出力回路では、電源 V_{DDIO} と出力信号線との間に、P 型のトランジスタ P21, P22 が直列に設けられており、電源 V_{SS} と出力信号線との間に、N 型のトランジスタ N21, N22 が直列に配置されている。出力制御回路 21 は出力制御信号 I_{NP1} , I_{NP2} , I_{NN1} , I_{NN2} を出力する。トランジスタ P21 はゲートに出力制御信号 I_{NP1} を受け、トランジスタ P22 はゲートに出力制御信号 I_{NP2} を受ける。トランジスタ N21 はゲートに出力制御信号 I_{NN1} を受け、トランジスタ N22 はゲートに出力制御信号 I_{NN2} を受ける。そして、出力信号 OUT は、外部接続パッドに供給され

る。出力制御信号 $INP1$, $INP2$, $INN1$, $INN2$ がローレベルのとき、出力信号 OUT はハイレベル ($VDDIO$) になり、出力制御信号 $INP1$, $INP2$, $INN1$, $INN2$ がハイレベルのとき、出力信号 OUT はローレベル (VSS) になる。なお、出力制御信号 $INP1$, $INP2$ の一方が固定電位 (VSS) であり、出力制御信号 $INN1$, $INN2$ の一方が固定電位 ($VDDIO$) であってもよい。

[0082] 以下では、図14の出力回路を構成する4個のトランジスタ $P21$, $P22$, $N21$, $N22$ のレイアウト構造について、説明する。ここでは、図2(a)に示すIOセルIOAを例にとり、N導電型出力トランジスタ部101にトランジスタ $N21$, $N22$ が構成されており、P導電型出力トランジスタ部102にトランジスタ $P21$, $P22$ が構成されているものとする。

[0083] 図15～図17は本実施形態に係るトランジスタ $P21$, $P22$, $N21$, $N22$ のレイアウト構造の例を示す層別の平面図である。具体的には、図15は VNW FETおよびその下の層を示し、図16は VNW FETよりも上のローカル配線および $M1$ 配線を示し、図17は $M1$ および $M2$ 配線を示す。なお、全体平面図および断面図については、第1実施形態から容易に類推できるため、ここでは省略している。

[0084] 図15等の平面図において、図面上側がN導電型出力トランジスタ部101に相当し、図14の回路におけるトランジスタ $N21$, $N22$ を実現している。また、図面下側がP導電型出力トランジスタ部102に相当し、図14の回路におけるトランジスタ $P21$, $P22$ を実現している。

[0085] 図15に示すように、N導電型出力トランジスタ部101では、N型の VNW $V1$ が、X方向に16列、Y方向に8列、計128個、アレイ状に並べて形成されている。N導電型出力トランジスタ部101には、ほぼ全面にわたってボトム領域211が形成されており、128個の VNW $V1$ は、ボトムがボトム領域211に接続されている。

[0086] VNW $V1$ は、X方向において、2列一組になって、配置されている。ここでは、2列毎の VNW $V1$ の群のことを、 $gn1 \sim gn8$ とする。後

述するとおり、群 g_{n1} 、 g_{n4} 、 g_{n5} 、 g_{n8} に属する64個のVNW $V1$ によって、トランジスタ $N21$ が実現されている。また、群 g_{n2} 、 g_{n3} 、 g_{n6} 、 g_{n7} に属する64個のVNW $V1$ によって、トランジスタ $N22$ が実現されている。群 g_{n2} 、 g_{n3} の間、群 g_{n4} 、 g_{n5} の間、群 g_{n6} 、 g_{n7} の間には、間隔が空いている。

[0087] 群 $g_{n1} \sim g_{n8}$ のそれぞれにおいて、X方向に隣り合うVNW $V1$ はゲート同士が接続されている。群 g_{n1} から図面左側にゲート配線221が引き出されており、群 g_{n8} から図面右側にゲート配線222が引き出されている。群 g_{n2} 、 g_{n3} は、X方向に隣り合う4個のVNW $V1$ がゲート配線223によって接続されている。すなわち、ゲート配線223は、群 g_{n2} から図面右側に引き出されたゲート配線であり、かつ、群 g_{n3} から図面左側に引き出されたゲート配線である。同様に、群 g_{n4} 、 g_{n5} は、X方向に隣り合う4個のVNW $V1$ がゲート配線223によって接続されており、群 g_{n6} 、 g_{n7} は、X方向に隣り合う4個のVNW $V1$ がゲート配線223によって接続されている。

[0088] ゲート配線221、222、223には、その上層のローカル配線と接続するためのビア227aが形成されている。

[0089] 同様に、P導電型出力トランジスタ部102では、P型のVNW $V2$ が、X方向に16列、Y方向に8列、計128個、アレイ状に並べて形成されている。P導電型出力トランジスタ部102には、ほぼ全面にわたってボトム領域212が形成されており、128個のVNW $V2$ は、ボトムがボトム領域212に接続されている。

[0090] VNW $V2$ は、X方向において、2列一組になって、配置されている。ここでは、2列毎のVNW $V2$ の群のことを、 $g_{p1} \sim g_{p8}$ とする。群 g_{p1} 、 g_{p4} 、 g_{p5} 、 g_{p8} に属する64個のVNW $V2$ によって、トランジスタ $P21$ が実現されている。群 g_{p2} 、 g_{p3} 、 g_{p6} 、 g_{p7} に属する64個のVNW $V2$ によって、トランジスタ $P22$ が実現されている。群 g_{p2} 、 g_{p3} の間、群 g_{p4} 、 g_{p5} の間、群 g_{p6} 、 g_{p7} の間には、間隔が空いている。

間には、間隔が空いている。

[0091] 群 $g p 1 \sim g p 8$ のそれぞれにおいて、X方向に隣り合う $V N W \quad V 2$ はゲート同士が接続されている。群 $g p 1$ から図面左側にゲート配線 2 2 4 が引き出されており、群 $g p 8$ から図面右側にゲート配線 2 2 5 が引き出されている。群 $g p 2, g p 3$ は、X方向に隣り合う4個の $V N W \quad V 2$ がゲート配線 2 2 6 によって接続されている。すなわち、ゲート配線 2 2 6 は、群 $g p 2$ から図面右側に引き出されたゲート配線であり、かつ、群 $g p 3$ から図面左側に引き出されたゲート配線である。同様に、群 $g p 4, g p 5$ は、X方向に隣り合う4個の $V N W \quad V 2$ がゲート配線 2 2 6 によって接続されており、群 $g p 6, g p 7$ は、X方向に隣り合う4個の $V N W \quad V 2$ がゲート配線 2 2 6 によって接続されている。

[0092] ゲート配線 2 2 4, 2 2 5, 2 2 6 には、その上層のローカル配線と接続するためのビア 2 2 8 a が形成されている。

[0093] 図 1 6 に示すように、各群 $g n 1 \sim g n 8$ においてX方向に隣り合う $V N W \quad V 1$ は、トップ同士がローカル配線 2 3 1 によって接続されている。同様に、各群 $g p 1 \sim g p 8$ においてX方向に隣り合う $V N W \quad V 2$ は、トップ同士がローカル配線 2 3 2 によって接続されている。

[0094] 図 1 7 に示すように、M 2 配線層において、X方向に延びるM 2 配線 2 5 1, 2 5 2, 2 5 3, 2 5 4, 2 5 5, 2 5 6 a $\sim$ 2 5 6 d, 2 5 7 a $\sim$ 2 5 7 d が形成されている。M 2 配線 2 5 1 は出力制御信号 I N N 1 を供給する。M 2 配線 2 5 2 は出力制御信号 I N N 2 を供給する。M 2 配線 2 5 3 は出力制御信号 I N P 1 を供給する。M 2 配線 2 5 4 は出力制御信号 I N P 2 を供給する。M 2 配線 2 5 5 は出力信号 O U T を出力する信号線であり、本開示における出力信号線に相当する。M 2 配線 2 5 6 a $\sim$ 2 5 6 d は電源電圧 V S S を供給する配線であり、電源配線 7 に相当する。M 2 配線 2 5 7 a $\sim$ 2 5 7 d は電源電圧 V D D I O を供給する配線であり、電源配線 6 に相当する。

[0095] 図 1 6 および図 1 7 に示すように、M 1 配線層において、Y方向に延びる

M1配線241, 242, 243, 244, 245, 246, 247が形成されている。M1配線241は、N導電型出力トランジスタ部101に配置されており、出力制御信号INN1を供給するM2配線251とビアを介して接続されている。M1配線242は、N導電型出力トランジスタ部101に配置されており、出力制御信号INN2を供給するM2配線252とビアを介して接続されている。M1配線243は、P導電型出力トランジスタ部102に配置されており、出力制御信号INP1を供給するM2配線253とビアを介して接続されている。M1配線244は、P導電型出力トランジスタ部102に配置されており、出力制御信号INP2を供給するM2配線254とビアを介して接続されている。

[0096] M1配線245は、N導電型出力トランジスタ部101に配置されており、2本ずつ組になって、トランジスタN21を構成するVNW V1の群gn1, gn4, gn5, gn8の上に、それぞれ配置されている。M1配線245は、群gn1, gn4, gn5, gn8のVNW V1のトップとローカル配線231を介して接続されており、かつ、電源電圧VSSを供給するM2配線256a~256dとビアを介して接続されている。

[0097] M1配線246は、P導電型出力トランジスタ部102に配置されており、2本ずつ組になって、トランジスタP21を構成するVNW V2の群gp1, gp4, gp5, gp8の上に、それぞれ配置されている。M1配線246は、群gp1, gp4, gp5, gp8のVNW V2のトップとローカル配線232を介して接続されており、かつ、電源電圧VDDIOを供給するM2配線257a~257dとビアを介して接続されている。

[0098] M1配線247は、N導電型出力トランジスタ部101からP導電型出力トランジスタ部102にわたって配置されている。M1配線247は、2本ずつ組になって、Y方向において対向する、トランジスタN22を構成するVNW V1の群gn2, gn3, gn6, gn7、および、トランジスタP22を構成するVNW V2の群gp2, gp3, gp6, gp7の上に、それぞれ、配置されている。M1配線247は、群gn2, gn3, gn

6, g_{n7} の V_{NW} V_1 のトップとローカル配線 231 を介して接続され、群 g_{p2} , g_{p3} , g_{p6} , g_{p7} の V_{NW} V_2 のトップとローカル配線 232 を介して接続され、かつ、出力信号 OUT を出力する M_2 配線 255 とビアを介して接続されている。

[0099] 以上のようなレイアウト構造により、 N 導電型出力トランジスタ部 101 に形成された 128 個の V_{NW} V_1 のうち、群 g_{n1} , g_{n4} , g_{n5} , g_{n8} に属する 64 個の V_{NW} V_1 は、トップが、ローカル配線 231、 M_1 配線 245 を介して、電源電圧 V_{SS} を供給する M_2 配線 256a~256d と接続されている。また、ボトムが、ボトム領域 211 と接続されている。また、ゲートが、ゲート配線 221, 222, 223、ビア 227a、 M_1 配線 241 を介して、出力制御信号 INN_1 を供給する M_2 配線 251 と接続されている。また、 N 導電型出力トランジスタ部 101 に形成された 128 個の V_{NW} V_1 のうち、群 g_{n2} , g_{n3} , g_{n6} , g_{n7} に属する 64 個の V_{NW} V_1 は、トップが、ローカル配線 231、 M_1 配線 247 を介して、出力電圧 OUT を出力する M_2 配線 255 と接続されている。また、ボトムが、ボトム領域 211 を介して、群 g_{n1} , g_{n4} , g_{n5} , g_{n8} に属する 64 個の V_{NW} V_1 のボトムと接続されている。また、ゲートが、ゲート配線 223、ビア 227a、 M_1 配線 242 を介して、出力制御信号 INN_2 を供給する M_2 配線 252 と接続されている。

[0100] したがって、 N 導電型出力トランジスタ部 101 に形成された 128 個の V_{NW} V_1 のうち、群 g_{n1} , g_{n4} , g_{n5} , g_{n8} に属する 64 個の V_{NW} V_1 によって、図 14 の回路図におけるトランジスタ N_{21} が実現されており、群 g_{n2} , g_{n3} , g_{n6} , g_{n7} に属する 64 個の V_{NW} V_1 によって、図 14 の回路図におけるトランジスタ N_{22} が実現されている。

[0101] また、 P 導電型出力トランジスタ部 102 に形成された 128 個の V_{NW} V_2 のうち、群 g_{p1} , g_{p4} , g_{p5} , g_{p8} に属する 64 個の V_{NW} V_2 は、トップが、ローカル配線 232、 M_1 配線 246 を介して、電源

電圧VDDIOを供給するM2配線257a～257dと接続されている。また、ボトムが、ボトム領域212と接続されている。また、ゲートが、ゲート配線224, 225, 226、ビア228a、M1配線243を介して、出力制御信号INP1を供給するM2配線253と接続されている。また、P導電型出力トランジスタ部102に形成された128個のVNW V1のうち、群gp2, gp3, gp6, gp7に属する64個のVNW V2は、トップが、ローカル配線232、M1配線247を介して、出力電圧OUTを出力するM2配線255と接続されている。また、ボトムが、ボトム領域212を介して、群gp1, gp4, gp5, gp8に属する64個のVNW V2のボトムと接続されている。また、ゲートが、ゲート配線226、ビア228a、M1配線244を介して、出力制御信号INP2を供給するM2配線254と接続されている。

[0102] したがって、P導電型出力トランジスタ部102に形成された128個のVNW V2のうち、群gp1, gp4, gp5, gp8に属する64個のVNW V2によって、図14の回路図におけるトランジスタP21が実現されており、群gp2, gp3, gp6, gp7に属する64個のVNW V2によって、図14の回路図におけるトランジスタP22が実現されている。

[0103] したがって、本実施形態により、出力パッドを介して大電流を流す出力回路を、VNW FETを用いて構成することができる。

[0104] なお、上述した構成では、ゲート配線221～226は、X方向に延びるように形成されており、かつ、同一配線幅である。また、ローカル配線231, 232は、X方向に延びるように形成されており、かつ、同一配線幅である。また、M1配線241～247は、Y方向に延びるように形成されており、かつ、同一配線幅である。このように、各配線層において、配線の方角および幅が同一であることによって、製造が容易になり、製造精度が向上する。なお、図示した構成では、ゲート配線221～226、ローカル配線231, 232、および、M1配線241～247は、配線幅が互いに同一

であるように見えるが、異なる配線層では配線幅を同一にする必要はなく、1つの配線層において配線の方向および幅が同一であれば、製造が容易になり、製造精度が向上する。

[0105] また、上述した構成では、M2配線255を、トランジスタN22を構成する群 g_{n2} , g_{n3} , g_{n6} , g_{n7} のVNW V1のトップ、および、トランジスタP22を構成する群 g_{p2} , g_{p3} , g_{p6} , g_{p7} のVNW V2のトップと接続している。これにより、M2配線255をVNW V1, V2のボトムと接続する場合と比べて、出力信号線までの抵抗値が小さくなる。

[0106] なお、出力制御信号INN1, INN2を供給するためのビア227aは、2列以上、並べて配置してもよい。同様に、出力制御信号INP1, INP2を供給するためのビア228aは、2列以上、並べて配置してもよい。

[0107] また、上の実施形態では、ボトム領域211はN導電型出力トランジスタ部101において一体に形成されており、ボトム領域212はP導電型出力トランジスタ部102において一体に形成されている。この代わりに、ボトム領域211, 212は、分割して形成してもかまわない。例えば、ボトム領域211を、群 g_{n1} , g_{n2} と、群 g_{n3} , g_{n4} と、群 g_{n5} , g_{n6} と、群 g_{n7} , g_{n8} とで、分割して形成してもよい。

[0108] (第4実施形態)

第4実施形態では、図14の出力回路を構成する4個のトランジスタP21, P22, N21, N22のレイアウト構造の他の例について、説明する。ここでは、図2(b)に示すI Oセル10Bを例にとり、N導電型出力トランジスタ部103にトランジスタN21, N22が構成されており、P導電型出力トランジスタ部104にトランジスタP21, P22が構成されているものとする。

[0109] 図18～図21は本実施形態に係るトランジスタP21, P22, N21, N22のレイアウト構造の例を示す層別の平面図である。具体的には、図18はVNW FETおよびその下の層を示し、図19はVNW FETよ

りも上のローカル配線およびM1配線を示し、図20はM1およびM2配線を示し、図21はM2およびM3配線を示す。なお、全体平面図および断面図については、第1実施形態から容易に類推できるため、ここでは省略している。

[0110] 図18等の平面図において、図面左側がN導電型出力トランジスタ部103に相当し、図14の回路におけるトランジスタN21, N22を実現している。また、図面右側がP導電型出力トランジスタ部104に相当し、図14の回路におけるトランジスタP21, P22を実現している。

[0111] 図18に示すように、N導電型出力トランジスタ部103では、N型のVNW V1が、X方向に8列、Y方向に16列、計128個、アレイ状に並べて形成されている。N導電型出力トランジスタ部103には、ほぼ全面にわたってボトム領域311が形成されており、128個のVNW V1は、ボトムがボトム領域311に接続されている。

[0112] VNW V1は、X方向において、2列一組になって、配置されている。ここでは、2列毎のVNW V1の群のことを、 $g_{n1} \sim g_{n4}$ とする。後述するとおり、群 g_{n1} , g_{n4} に属する64個のVNW V1によって、トランジスタN21が実現されている。また、群 g_{n2} , g_{n3} に属する64個のVNW V1によって、トランジスタN22が実現されている。群 g_{n2} , g_{n3} の間には、間隔が空いている。

[0113] 群 $g_{n1} \sim g_{n4}$ のそれぞれにおいて、X方向に隣り合うVNW V1はゲート同士が接続されている。群 g_{n1} から図面左側にゲート配線321が引き出されており、群 g_{n4} から図面右側にゲート配線322が引き出されている。群 g_{n2} , g_{n3} は、X方向に隣り合う4個のVNW V1がゲート配線323によって接続されている。すなわち、ゲート配線323は、群 g_{n2} から図面右側に引き出されたゲート配線であり、かつ、群 g_{n3} から図面左側に引き出されたゲート配線である。

[0114] ゲート配線321, 322, 323には、その上層のローカル配線と接続するためのビア327aが形成されている。

- [0115] 同様に、P導電型出力トランジスタ部104では、P型のVNW V2が、X方向に8列、Y方向に16列、計128個、アレイ状に並べて形成されている。P導電型出力トランジスタ部104には、ほぼ全面にわたってボトム領域312が形成されており、128個のVNW V2は、ボトムがボトム領域312に接続されている。
- [0116] VNW V2は、X方向において、2列一組になって、配置されている。ここでは、2列毎のVNW V1の群のことを、gp1～gp4とする。後述するとおり、群gp1，gp4に属する64個のVNW V2によって、トランジスタP21が実現されている。また、群gp2，gp3に属する64個のVNW V2によって、トランジスタP22が実現されている。群gp2，gp3の間には、間隔が空いている。
- [0117] 群gp1から図面左側にゲート配線324が引き出されており、群gp4から図面右側にゲート配線325が引き出されている。群gp2，gp3は、X方向に隣り合う4個のVNW V2がゲート配線326によって接続されている。すなわち、ゲート配線326は、群gp2から図面右側に引き出されたゲート配線であり、かつ、群gp3から図面左側に引き出されたゲート配線である。
- [0118] ゲート配線324，325，326には、その上層のローカル配線と接続するためのビア328aが形成されている。
- [0119] 図19に示すように、各群gn1～gn4においてX方向に隣り合うVNW V1は、トップ同士がローカル配線331によって接続されている。同様に、各群gp1～gp4においてX方向に隣り合うVNW V2は、トップ同士がローカル配線332によって接続されている。
- [0120] 図21に示すように、M3配線層において、Y方向に延びるM3配線361，362a～362d，363a～363dが形成されている。M3配線361は出力信号OUTを出力するものであり、本開示における出力信号線に相当する。M3配線362a～362dは電源電圧VSSを供給する配線であり、電源配線7に相当する。M3配線363a～363dは電源電圧V

DDIOを供給する配線であり、電源配線6に相当する。

[0121] 図20および図21に示すように、M2配線層において、X方向に延びるM2配線351, 352, 353, 354, 355a~355e, 356a~356d, 357a~357dが形成されている。M2配線351は出力制御信号INN1を供給する。M2配線352は出力制御信号INN2を供給する。M2配線353は出力制御信号INP1を供給する。M2配線354は出力制御信号INP2を供給する。M2配線355a~355eは、出力信号OUTを出力するM3配線361とビアを介して接続されている。M2配線356a~356dは、電源電圧VSSを供給するM3配線362a~362dとビアを介して接続されている。M2配線357a~357dは、電源電圧DDIOを供給するM3配線363a~363dとビアを介して接続されている。

[0122] 図19および図20に示すように、M1配線層において、Y方向に延びるM1配線341, 342, 343, 344, 345, 346, 347, 348が形成されている。M1配線341は、N導電型出力トランジスタ部103に配置されており、出力制御信号INN1を供給するM2配線351とビアを介して接続されている。M1配線342は、N導電型出力トランジスタ部103に配置されており、出力制御信号INN2を供給するM2配線352とビアを介して接続されている。同様に、M1配線343は、P導電型出力トランジスタ部104に配置されており、出力制御信号INP1を供給するM2配線353とビアを介して接続されている。M1配線344は、P導電型出力トランジスタ部104に配置されており、出力制御信号INP2を供給するM2配線354とビアを介して接続されている。

[0123] M1配線345は、N導電型出力トランジスタ部103において、2本ずつ組になって群gn1, gn4の上にそれぞれ配置されている。M1配線345は、群gn1, gn4のVNW V1のトップとローカル配線331を介して接続されており、かつ、M2配線356a~356dとビアを介して接続されている。M1配線346は、P導電型出力トランジスタ部104に

において、2本ずつ組になって群 g_{p1} 、 g_{p4} の上に配置されている。M1配線346は、群 g_{p1} 、 g_{p4} のVNW V2のトップとローカル配線332を介して接続されており、かつ、M2配線357a~357dとビアを介して接続されている。

[0124] M1配線347は、N導電型出力トランジスタ部103において、2本ずつ組になって群 g_{n2} 、 g_{n3} の上にそれぞれ配置されている。M1配線347は、群 g_{n2} 、 g_{n3} のVNW V1のトップとローカル配線331を介して接続されており、かつ、M2配線355a~355eとビアを介して接続されている。M1配線348は、P導電型出力トランジスタ部104において、2本ずつ組になって群 g_{p2} 、 g_{p3} の上にそれぞれ配置されている。M1配線348は、群 g_{p2} 、 g_{p3} のVNW V2のトップとローカル配線332を介して接続されており、かつ、M2配線355a~355eとビアを介して接続されている。

[0125] 以上のようなレイアウト構造により、N導電型出力トランジスタ部103に形成された128個のVNW V1のうち、群 g_{n1} 、 g_{n4} に属する64個のVNW V1は、トップが、ローカル配線331、M1配線345、M2配線356a~356dを介して、電源電圧VSSを供給するM3配線362a~366dと接続されている。また、ボトムが、ボトム領域311と接続されている。また、ゲートが、ゲート配線321、322、ビア327a、M1配線341を介して、出力制御信号INN1を供給するM2配線351と接続されている。また、N導電型出力トランジスタ部103に形成された128個のVNW V1のうち、群 g_{n2} 、 g_{n3} に属する64個のVNW V1は、トップが、ローカル配線331、M1配線347、M2配線355a~355eを介して、出力信号OUTを出力するM3配線361と接続されている。また、ボトムが、ボトム領域311を介して、群 g_{n1} 、 g_{n4} に属する64個のVNW V1のボトムと接続されている。また、ゲートが、ゲート配線323、ビア327a、M1配線342を介して、出力制御信号INN2を供給するM2配線352と接続されている。

[0126] したがって、N導電型出力トランジスタ部103に形成された128個のVNW V1のうち、群gn1, gn4に属する64個のVNW V1によって、図14の回路図におけるトランジスタN21が実現されており、群gn2, gn3に属する64個のVNW V1によって、図14の回路図におけるトランジスタN22が実現されている。

[0127] また、P導電型出力トランジスタ部104に形成された128個のVNW V2のうち、群gp1, gp4に属する64個のVNW V2は、トップが、ローカル配線332、M1配線346、M2配線357a~357dを介して、電源電圧VDDIOを供給するM3配線363a~363dと接続されている。また、ボトムが、ボトム領域312と接続されている。また、ゲートが、ゲート配線324, 325、ビア328a、M1配線343を介して、出力制御信号INP1を供給するM2配線353と接続されている。また、P導電型出力トランジスタ部104に形成された128個のVNW V2のうち、群gp2, gp3に属する64個のVNW V2は、トップが、ローカル配線332、M1配線348、M2配線355a~355eを介して、出力信号OUTを出力するM3配線361と接続されている。また、ボトムが、ボトム領域312を介して、群gp1, gp4に属する64個のVNW V2のボトムと接続されている。また、ゲートが、ゲート配線326、ビア328a、M1配線344を介して、出力制御信号INP2を供給するM2配線354と接続されている。

[0128] したがって、P導電型出力トランジスタ部104に形成された128個のVNW V2のうち、群gp1, gp4に属する64個のVNW V2によって、図14の回路図におけるトランジスタP21が実現されており、群gp2, gp3に属する64個のVNW V2によって、図14の回路図におけるトランジスタP22が実現されている。

[0129] したがって、本実施形態により、出力パッドを介して大電流を流す出力回路を、VNW FETを用いて構成することができる。

[0130] なお、上述した構成では、ゲート配線321~326は、X方向に延びる

ように形成されており、かつ、同一配線幅である。また、ローカル配線 331, 332 は、X 方向に延びるように形成されており、かつ、同一配線幅である。また、M1 配線 341 ~ 348 は、Y 方向に延びるように形成されており、かつ、同一配線幅である。このように、各配線層において、配線の方
向および幅が同一であることによって、製造が容易になり、製造精度が向上する。なお、図示した構成では、ゲート配線 321 ~ 326、ローカル配線 331, 332、および、M1 配線 341 ~ 348 は、配線幅が互いに同一であるように見えるが、異なる配線層では配線幅を同一にする必要はなく、1 つの配線層において配線の方
向および幅が同一であれば、製造が容易になり、製造精度が向上する。

[0131] また、上述した構成では、M3 配線 361 を、トランジスタ N22 を構成する群 g_{n2} , g_{n3} の VNW V1 のトップ、および、トランジスタ P22 を構成する群 g_{p2} , g_{p3} の VNW V2 のトップと接続している。これにより、M3 配線 361 を VNW V1, V2 のボトムと接続する場合と比べて、出力信号線までの抵抗値が小さくなる。

[0132] なお、出力制御信号 INN1, INN2 を供給するためのビア 327a は、2 列以上、並べて配置してもよい。同様に、出力制御信号 INP1, INP2 を供給するためのビア 328a は、2 列以上、並べて配置してもよい。

[0133] また、上の実施形態では、ボトム領域 311 は N 導電型出力トランジスタ部 103 において一体に形成されており、ボトム領域 312 は P 導電型出力トランジスタ部 104 において一体に形成されている。この代わりに、ボトム領域 311, 312 は、分割して形成してもかまわない。例えば、ボトム領域 311 を、群 g_{n1} , g_{n2} と、群 g_{n3} , g_{n4} とで、分割して形成してもよい。

[0134] (他の実施形態)

なお、VNW V1, V2 の配置位置は、上述した各実施形態で示したものに限られるものではない。また、出力回路の各トランジスタを構成する VNW V1, V2 の個数は、上述した各実施形態で示したものに限られるも

のではない。

[0135] また、電源電圧 V_{SS} , V_{DDIO} を供給する配線は、第1および第3実施形態では、M2配線層にそれぞれ4本ずつ形成されるものとし、第2および第4実施形態では、M3配線層にそれぞれ4本ずつ形成されるものとした。ただし、電源電圧を供給する配線の形態は、これらに限られるものではない。例えば、第1および第3実施形態において、電源電圧を供給する配線は、M2配線層以外の配線層に形成してもよい。あるいは、電源電圧を供給する配線を、複数の配線層に形成してもよいし、4本以外の本数にしてもよい。

[0136] また、第1および第2実施形態では、出力制御信号 INN , INP を供給する配線は、M2配線層に、それぞれ1本ずつ、形成されるものとし、第3および第4実施形態では、出力制御信号 $INN1$, $INN2$, $INP1$, $INP2$ を供給する配線は、M2配線層に、それぞれ1本ずつ、形成されるものとした。ただし、出力制御信号を供給する配線の形態は、これらに限られるものではない。例えば、出力制御信号を供給する配線は、M2配線層以外の配線層に形成してもよいし、複数の配線層に形成してもよいし、同じ配線層に複数本、形成してもよい。また、出力制御信号を供給する配線の配置位置についても、上述した各実施形態で示したものに限られるものではない。例えば、第1実施形態において、出力制御信号 INP を供給する配線を、P導電型出力トランジスタ部102の図面下側に配置してもかまわない。

産業上の利用可能性

[0137] 本開示では、出力パッドを介して大電流を流す出力回路を、 V_{NW} FETを用いて構成することができるので、例えば半導体チップの性能向上に有用である。

符号の説明

[0138] N1 N導電型トランジスタ（第1トランジスタ）
P1 P導電型トランジスタ（第2トランジスタ）
N21 N導電型トランジスタ（第1トランジスタ）

N 2 2 N 導電型トランジスタ (第 2 トランジスタ)

P 2 1 P 導電型トランジスタ (第 3 トランジスタ)

P 2 2 P 導電型トランジスタ (第 4 トランジスタ)

V 1 N 導電型 V N W F E T

V 2 P 導電型 V N W F E T

I N N 第 1 出力制御信号

I N P 第 2 出力制御信号

I N N 1 第 1 出力制御信号

I N N 2 第 2 出力制御信号

I N P 1 第 3 出力制御信号

I N P 2 第 4 出力制御信号

V S S 第 1 電源、第 1 電源電圧

V D D I O 第 2 電源、第 2 電源電圧

4 3, 4 4 M 1 配線 (ボトム配線)

4 5 M 1 配線 (トップ配線)

5 3 M 2 配線 (出力信号線)

1 4 3, 1 4 4 M 1 配線 (ボトム配線)

1 4 5 M 1 配線 (トップ配線)

1 6 1 M 3 配線 (出力信号線)

2 5 5 M 2 配線 (出力信号線)

3 6 1 M 3 配線 (出力信号線)

請求の範囲

- [請求項1] 半導体集積回路から信号を出力するための出力回路であって、
第1電源と出力信号線との間に設けられ、ゲートに第1出力制御信号を受ける第1導電型の第1トランジスタを備え、
前記第1トランジスタは、
第1方向と、前記第1方向と垂直をなす第2方向とにアレイ状に配置された、複数の第1 VNW (Vertical Nanowire: 縦型ナノワイヤ) FETを備え、
前記複数の第1 VNW FETは、トップが前記出力信号線に接続されており、ボトムに前記第1電源から第1電源電圧が与えられており、ゲートに前記第1出力制御信号が与えられることを特徴とする出力回路。
- [請求項2] 請求項1記載の出力回路において、
第2電源と前記出力信号線との間に設けられ、ゲートに第2出力制御信号を受ける第2導電型の第2トランジスタを備え、
前記第2トランジスタは、
前記第1方向と前記第2方向とにアレイ状に配置された、複数の第2 VNW FETを備え、
前記複数の第2 VNW FETは、トップが前記出力信号線に接続されており、ボトムに前記第2電源から第2電源電圧が与えられており、ゲートに前記第2出力制御信号が与えられることを特徴とする出力回路。
- [請求項3] 請求項1記載の出力回路において、
前記複数の第1 VNW FETの少なくとも一部は、
前記第1方向における一方の側から、ゲートに出力制御信号を受けるとともに、前記第1方向における他方の側から、ボトムに前記第1電源電圧を受けることを特徴とする出力回路。

[請求項4]

請求項1記載の出力回路において、

第1配線層において、前記複数の第1 V N W F E Tのボトムに接続されたボトム配線、および、前記複数の第1 V N W F E Tのトップに接続されたトップ配線が、前記第2方向に延びるように形成されており、

平面視で、前記複数の第1 V N W F E Tが配置された領域において、前記トップ配線は、前記ボトム配線よりも、占める面積が大きいことを特徴とする出力回路。

[請求項5]

半導体集積回路から信号を出力するための出力回路であって、

第1電源と出力信号線との間に直列に設けられた、第1導電型の第1および第2トランジスタを備え、

前記第1トランジスタは、ゲートに第1出力制御信号を受け、前記第2トランジスタは、ゲートに第2出力制御信号を受け、

前記第1トランジスタは、

第1方向と、前記第1方向と垂直をなす第2方向とにアレイ状に配置された、複数の第1 V N W (Vertical Nanowire: 縦型ナノワイヤ) F E Tを備え、

前記複数の第1 V N W F E Tは、トップに前記第1電源から第1電源電圧が与えられており、ゲートに前記第1出力制御信号が与えられており、ボトムが第1ボトム領域に接続されており、

前記第2トランジスタは、

前記第1方向と前記第2方向とにアレイ状に配置された、複数の第2 V N W F E Tを備え、

前記複数の第2 V N W F E Tは、トップが前記出力信号線と接続されており、ゲートに前記第2出力制御信号が与えられており、ボトムが前記第1ボトム領域に接続されていることを特徴とする出力回路。

[請求項6]

請求項5記載の出力回路において、

第2電源と前記出力信号線との間に直列に設けられた、第2導電型の第3および第4トランジスタを備え、

前記第3トランジスタは、ゲートに第3出力制御信号を受け、前記第4トランジスタは、ゲートに第4出力制御信号を受け、

前記第3トランジスタは、

前記第1方向と前記第2方向とにアレイ状に配置された、複数の第3 VNW FETを備え、

前記複数の第3 VNW FETは、トップに前記第2電源から第2電源電圧が与えられており、ゲートに前記第3出力制御信号が与えられており、ボトムが第2ボトム領域に接続されており、

前記第4トランジスタは、

前記第1方向と前記第2方向とにアレイ状に配置された、複数の第4 VNW FETを備え、

前記複数の第4 VNW FETは、トップが前記出力信号線と接続されており、ゲートに前記第4出力制御信号が与えられており、ボトムが前記第2ボトム領域に接続されていることを特徴とする出力回路。

[請求項7]

請求項5記載の出力回路において、

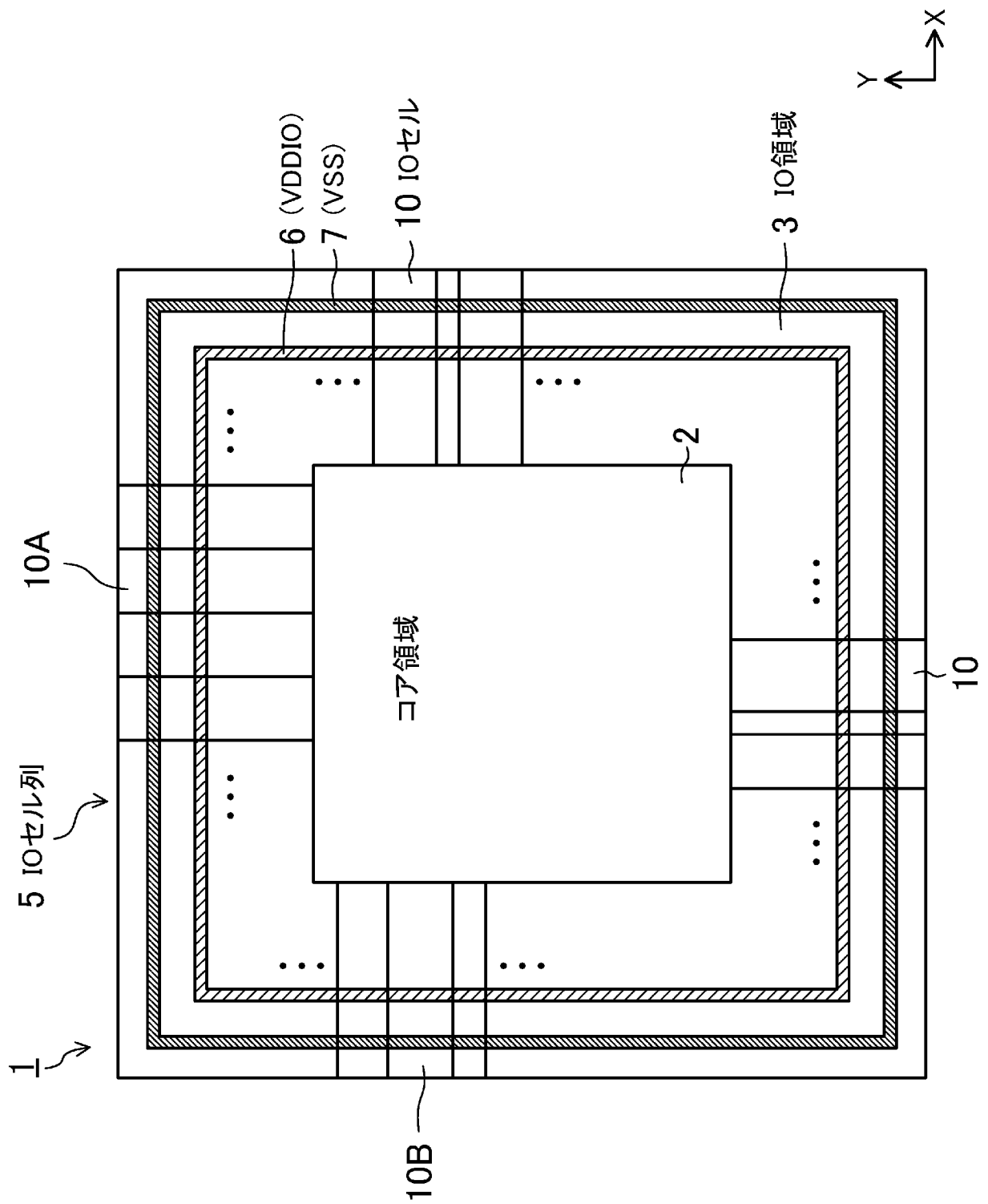
前記複数の第1 VNW FETと、前記複数の第2 VNW FETとは、前記第1方向において隣り合って配置されており、

前記複数の第1 VNW FETは、前記第1方向における、前記複数の第2 VNW FETと反対の側から、ゲートに前記第1出力制御信号を受け、

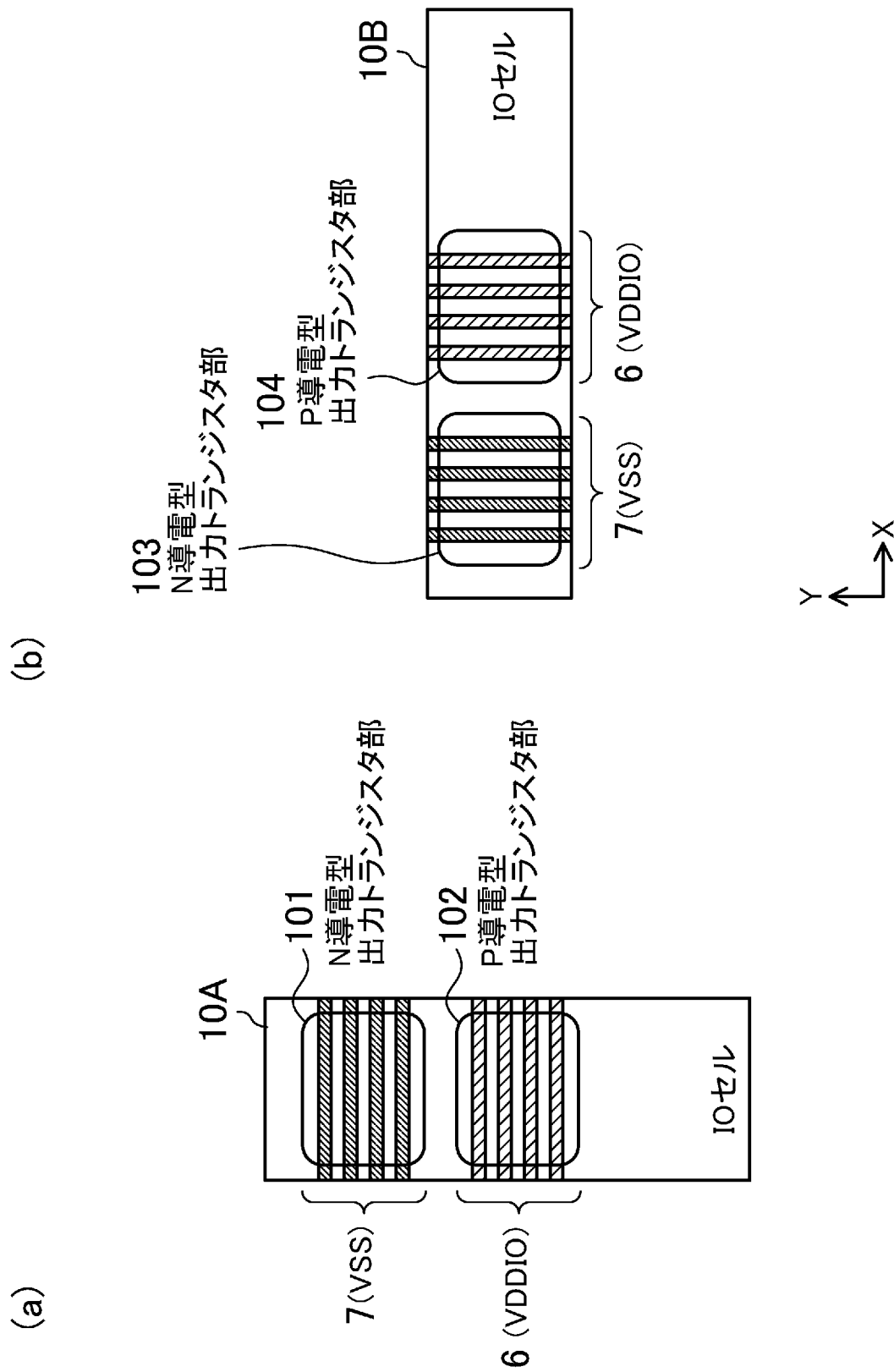
前記複数の第2 VNW FETは、前記第1方向における、前記複数の第1 VNW FETと反対の側から、ゲートに前記第2出力制御信号を受ける

ことを特徴とする出力回路。

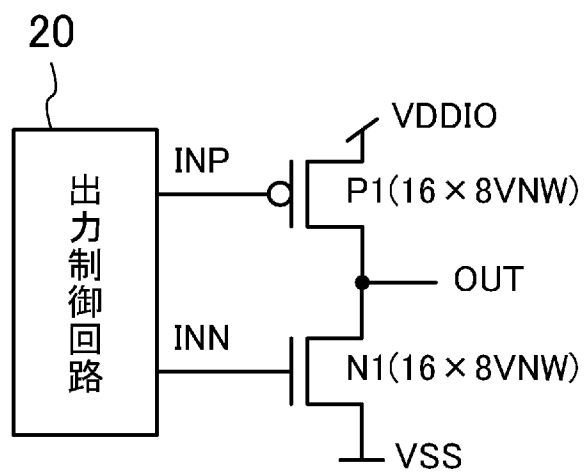
[図1]



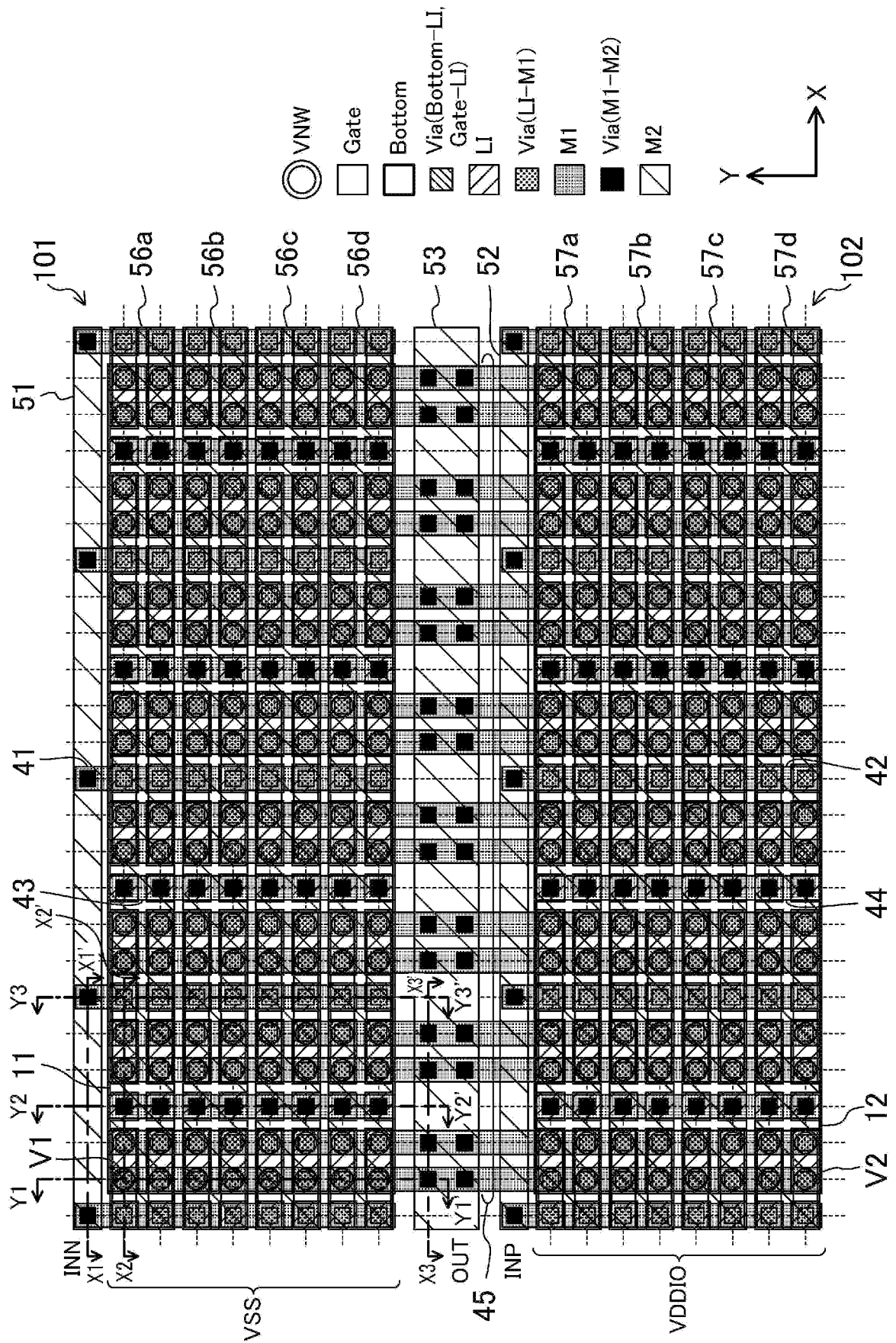
[図2]



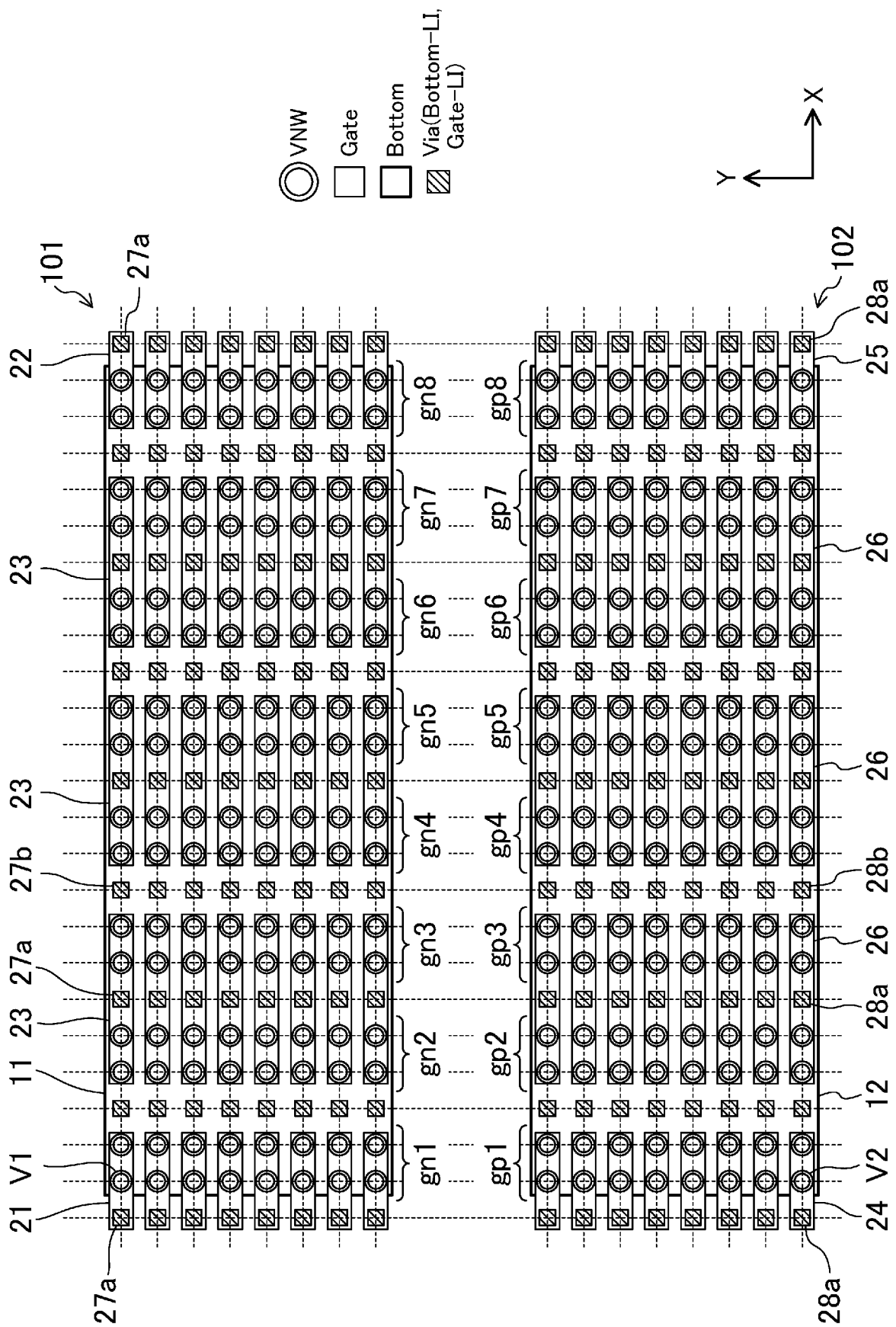
[図3]



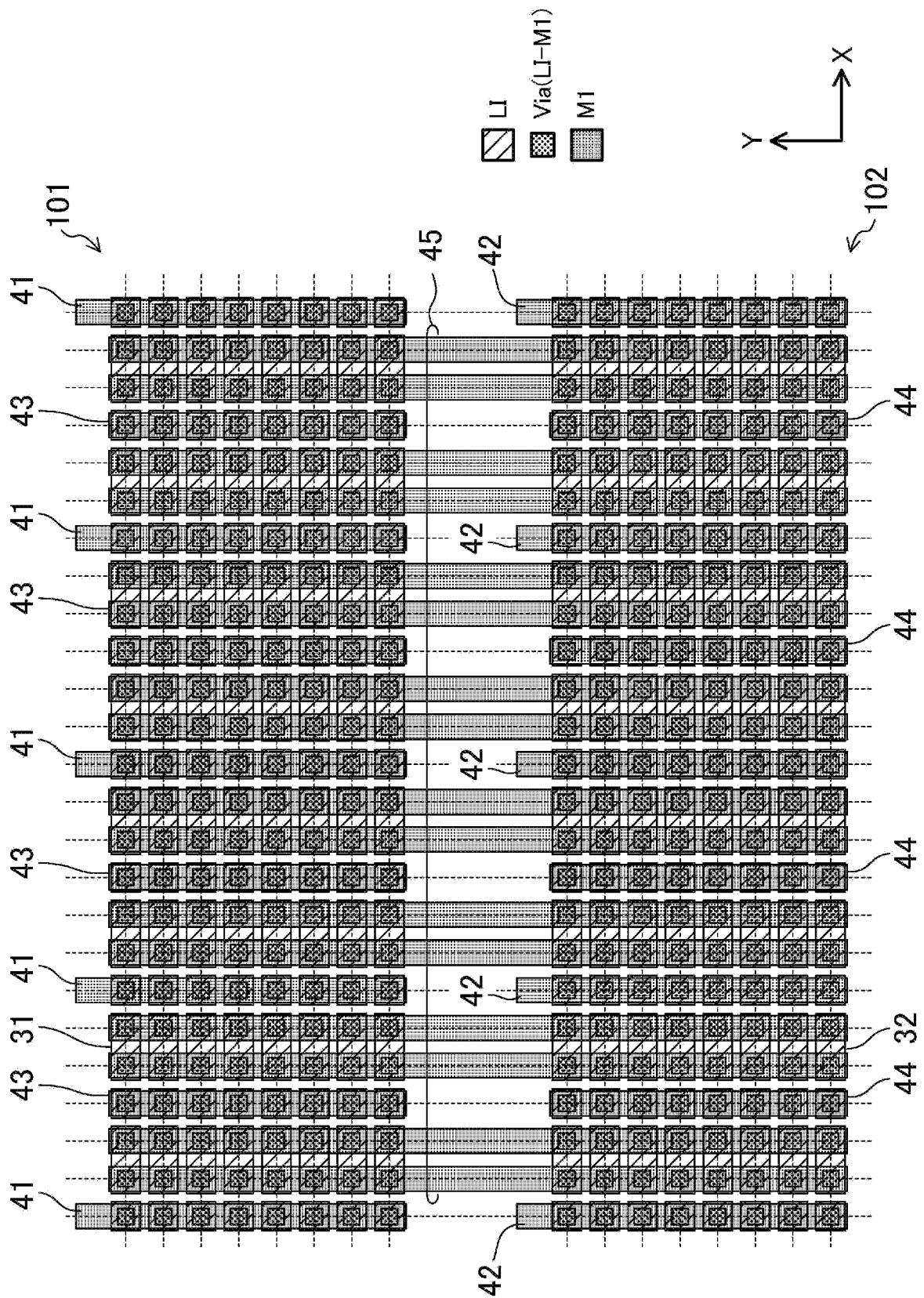
[図4]



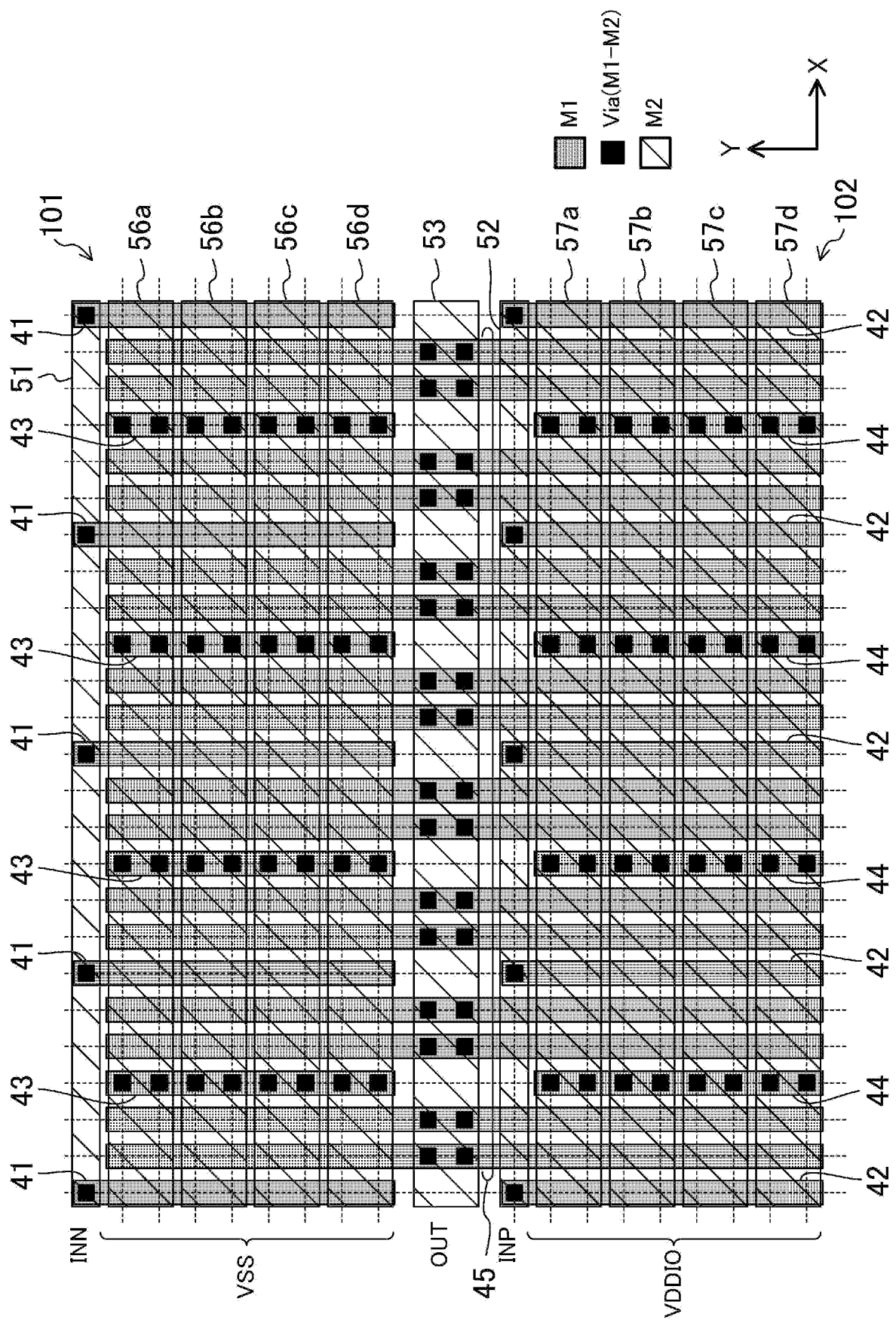
[図5]



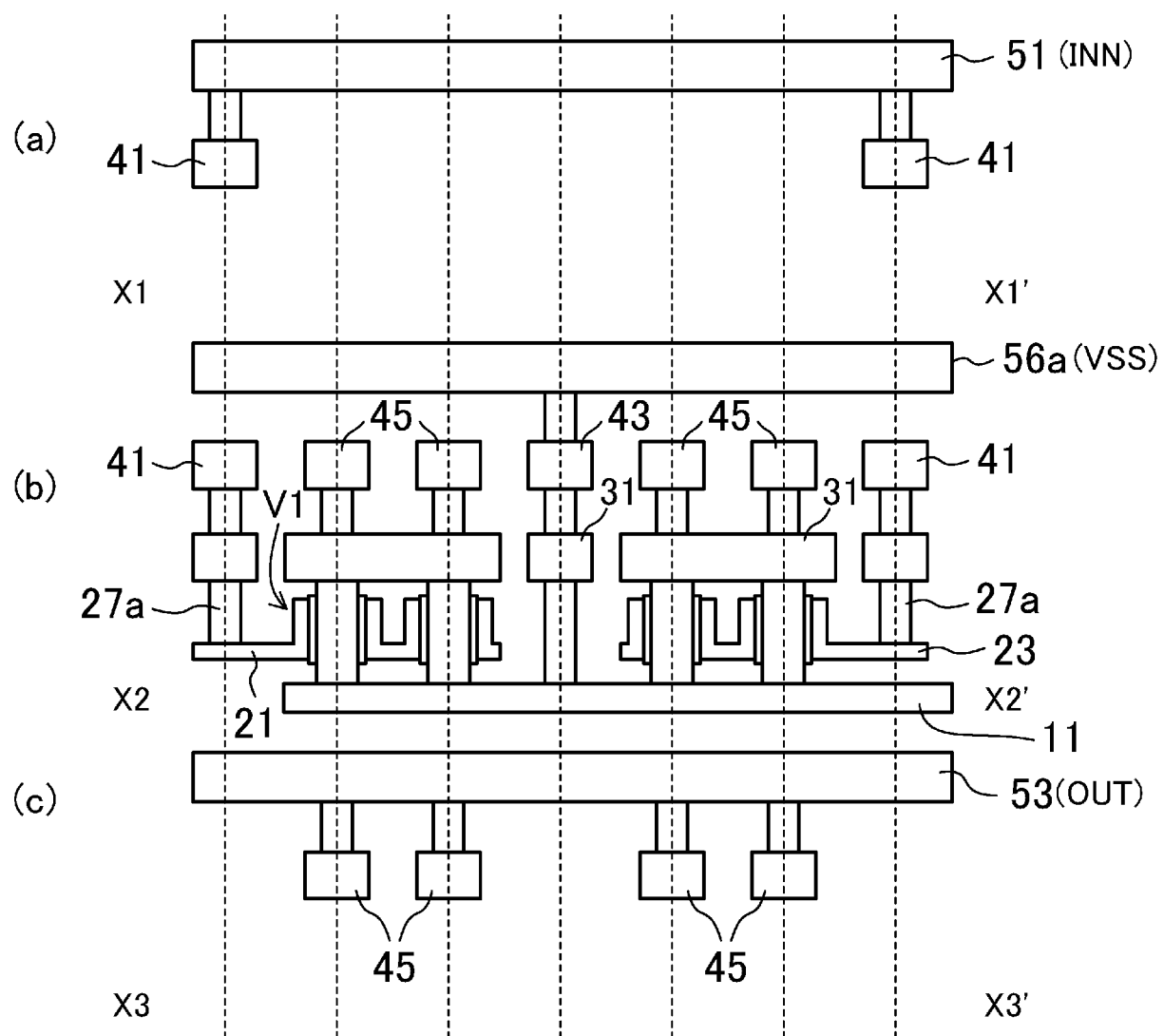
[図6]



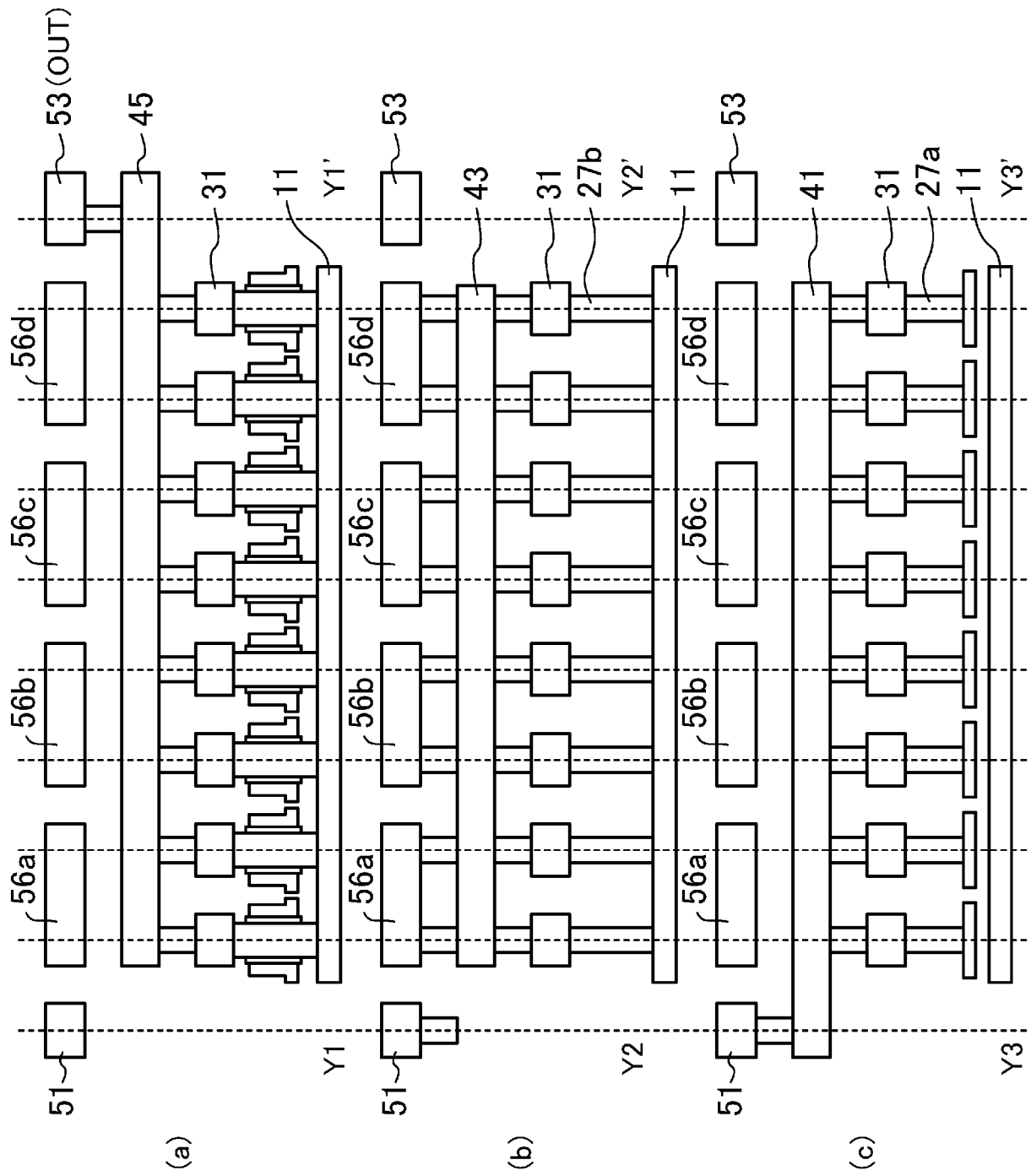
[図7]



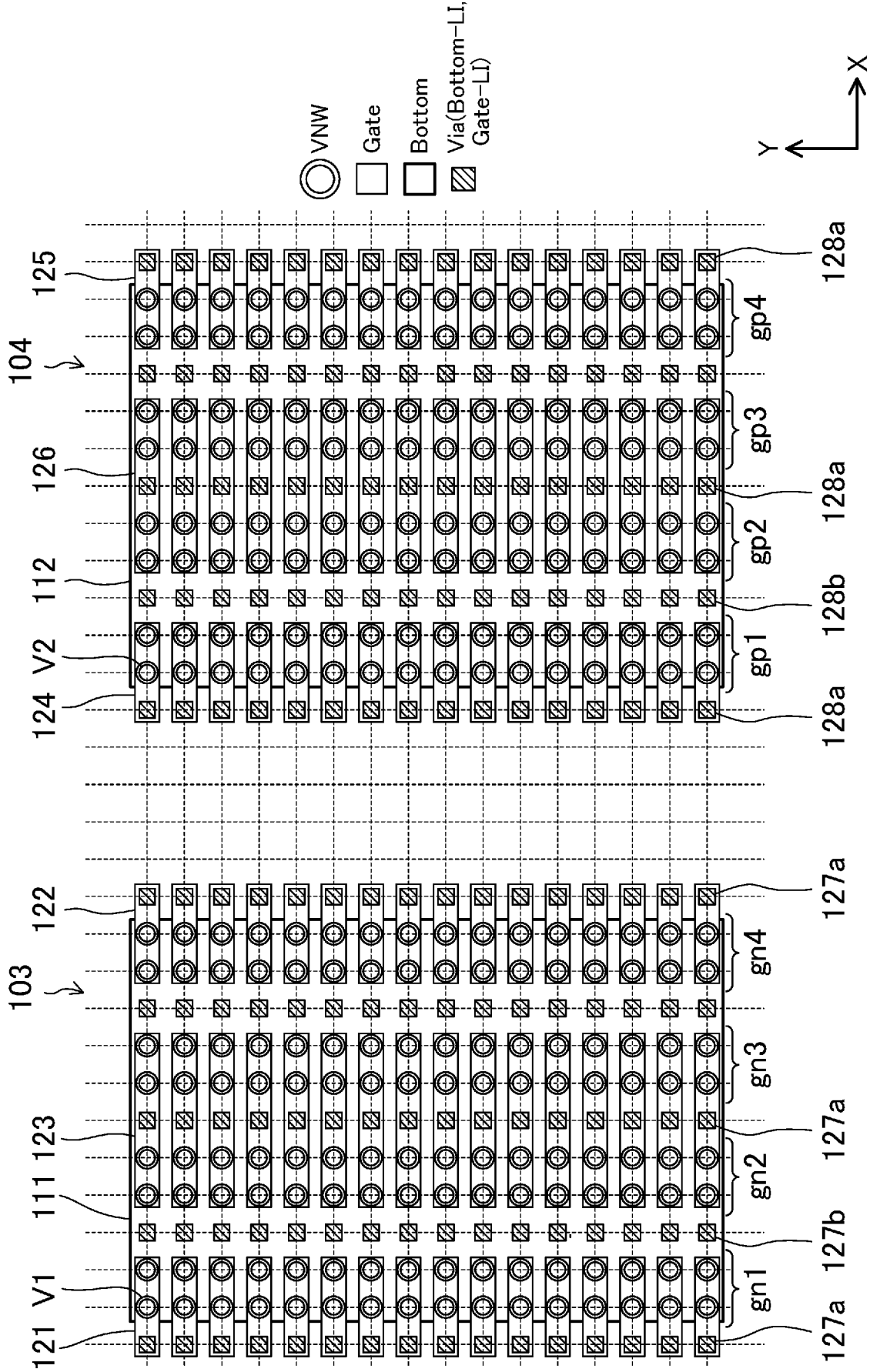
[図8]



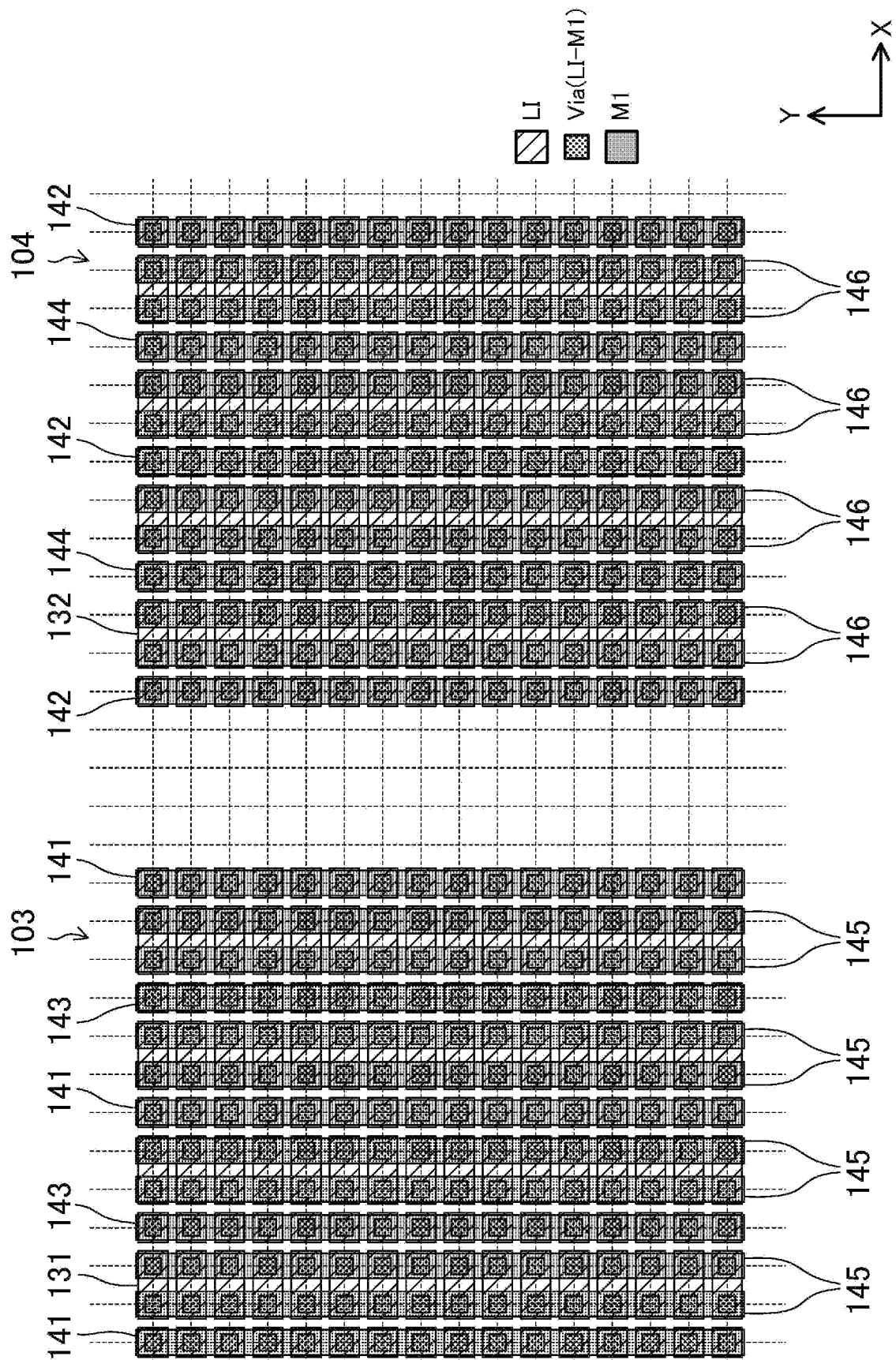
[図9]



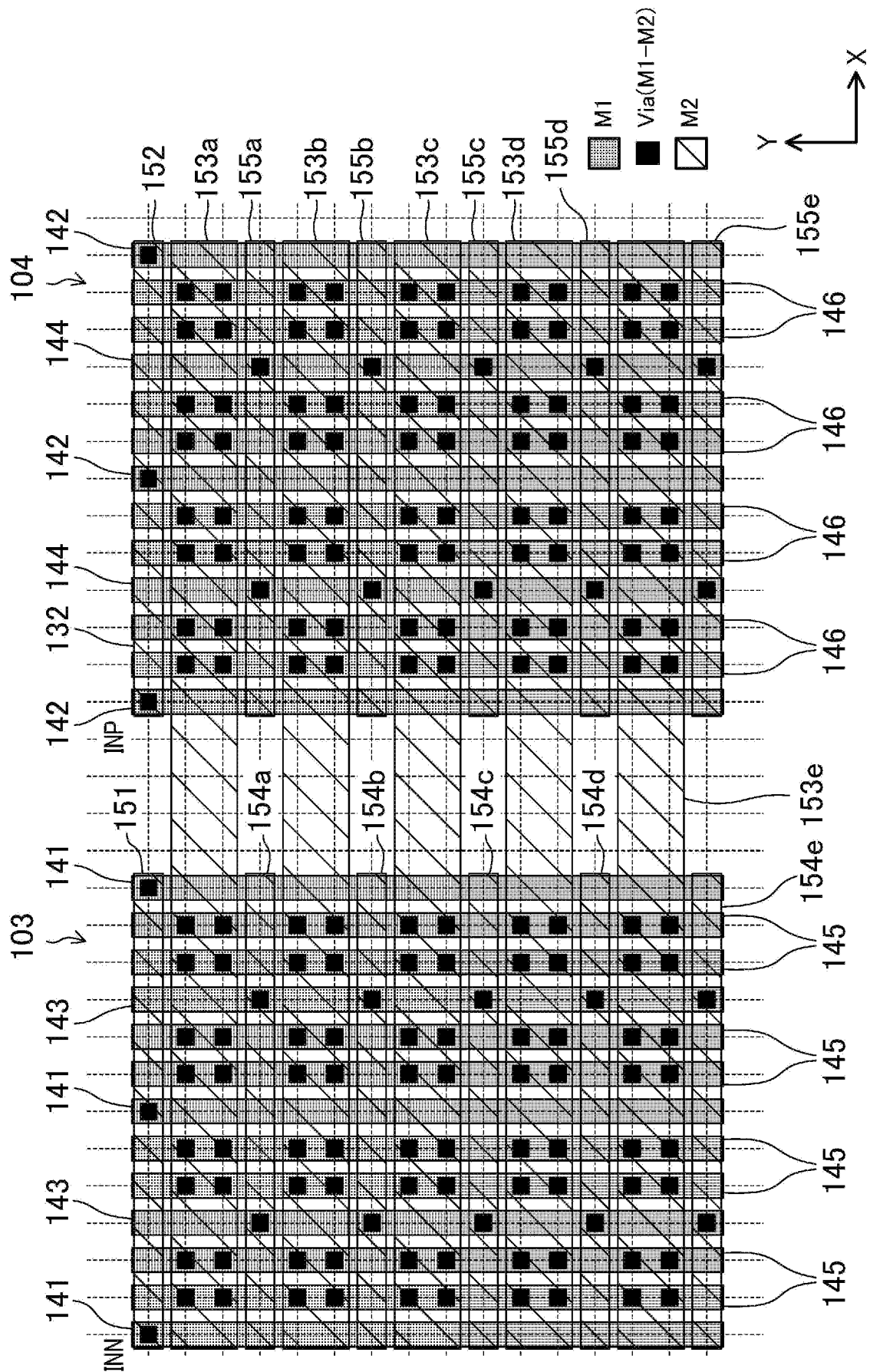
[図10]



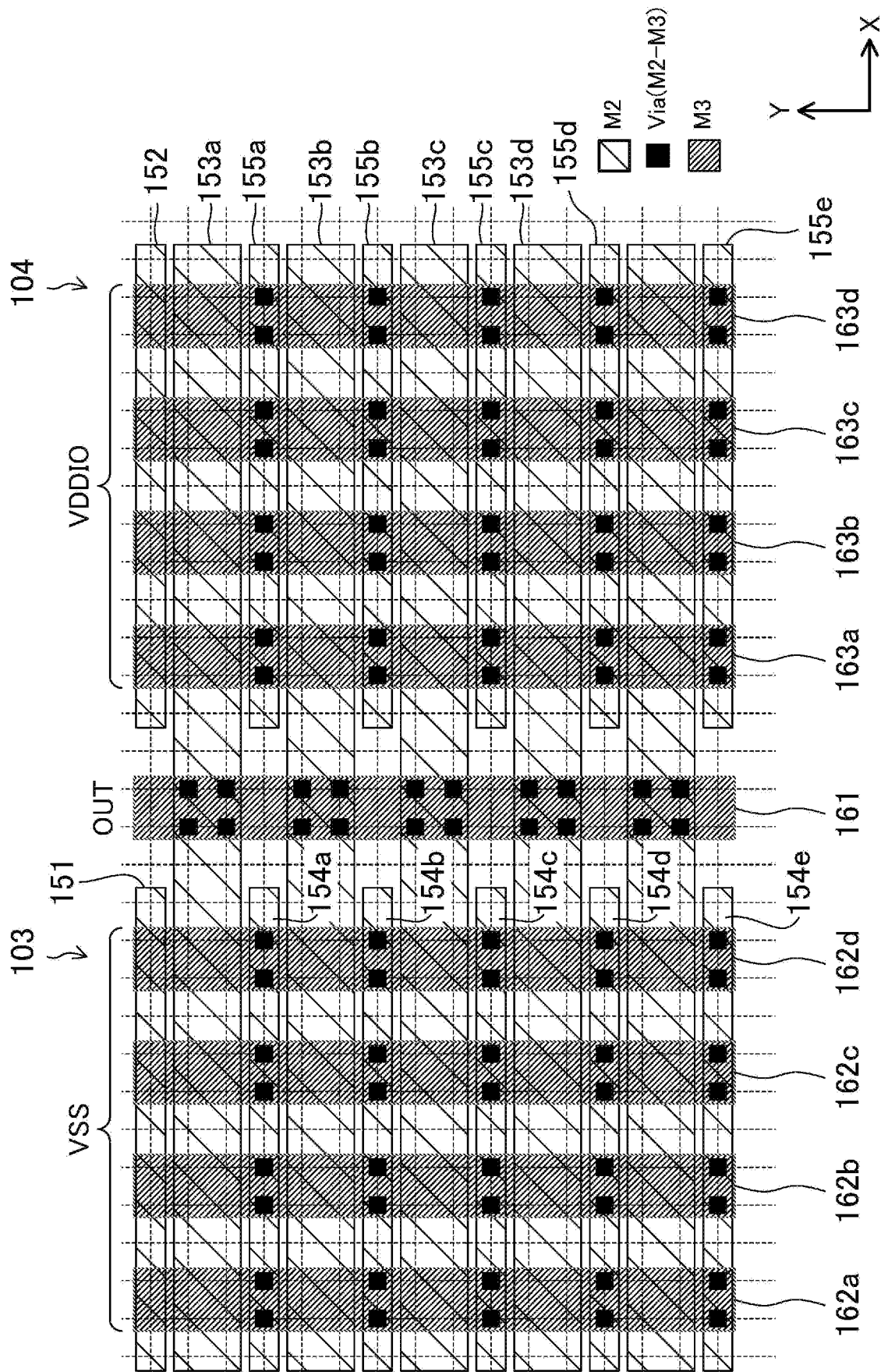
[図11]



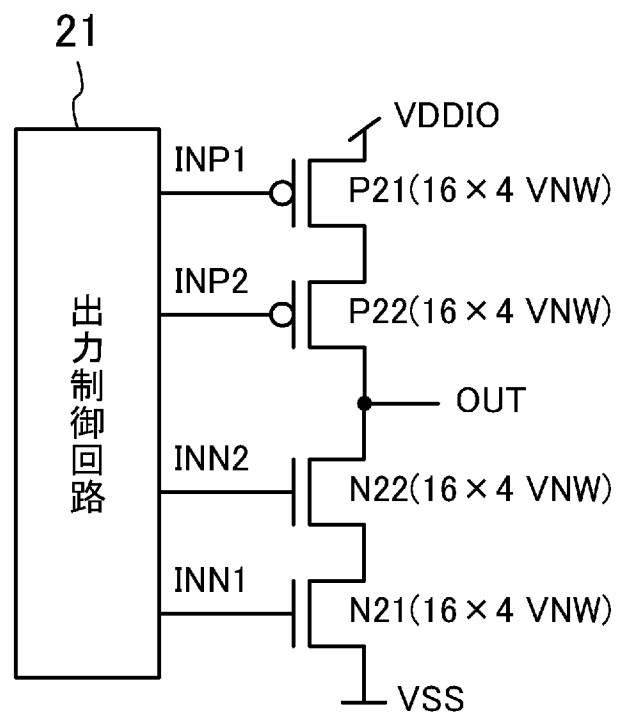
[図12]



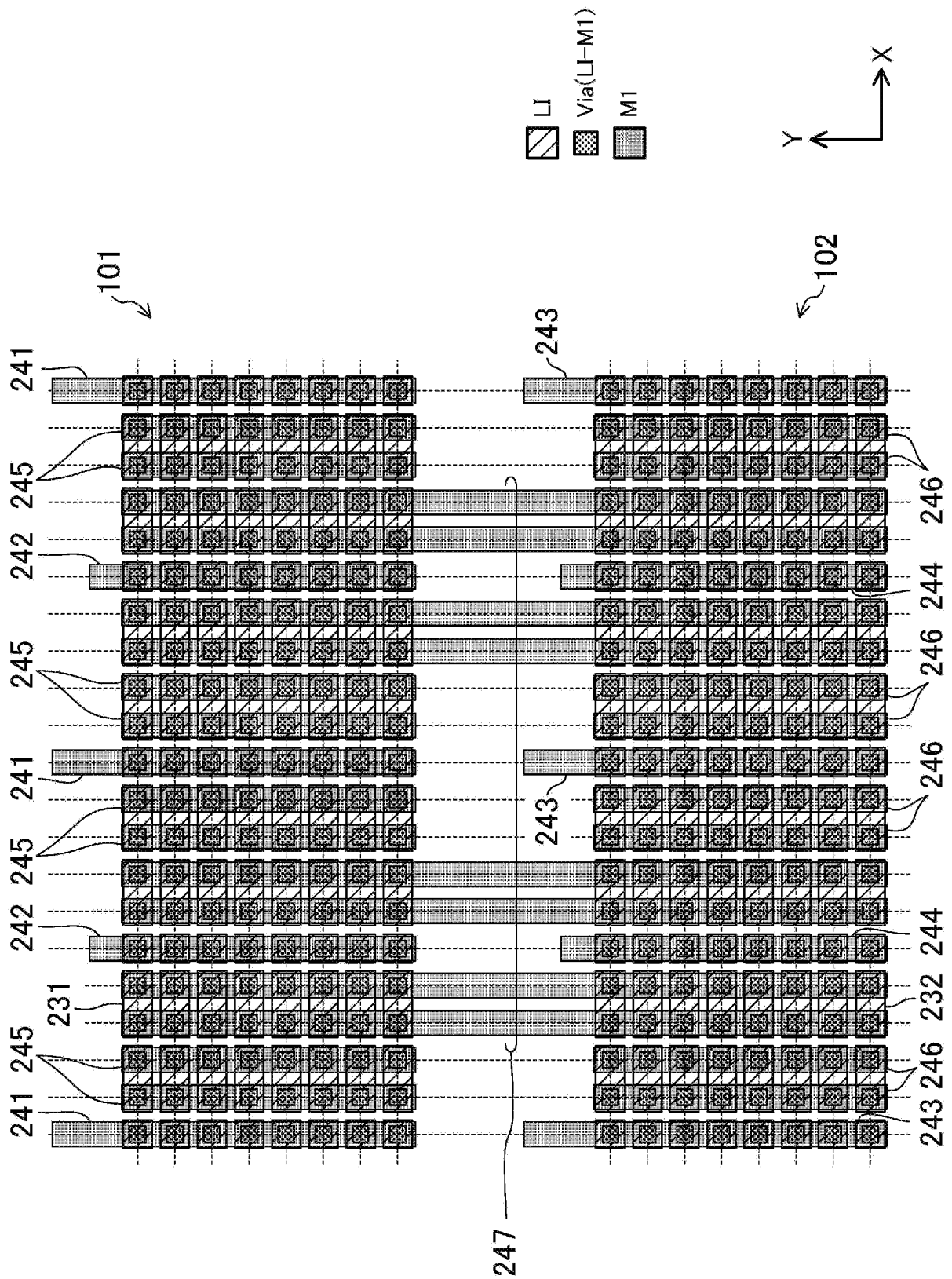
[図13]



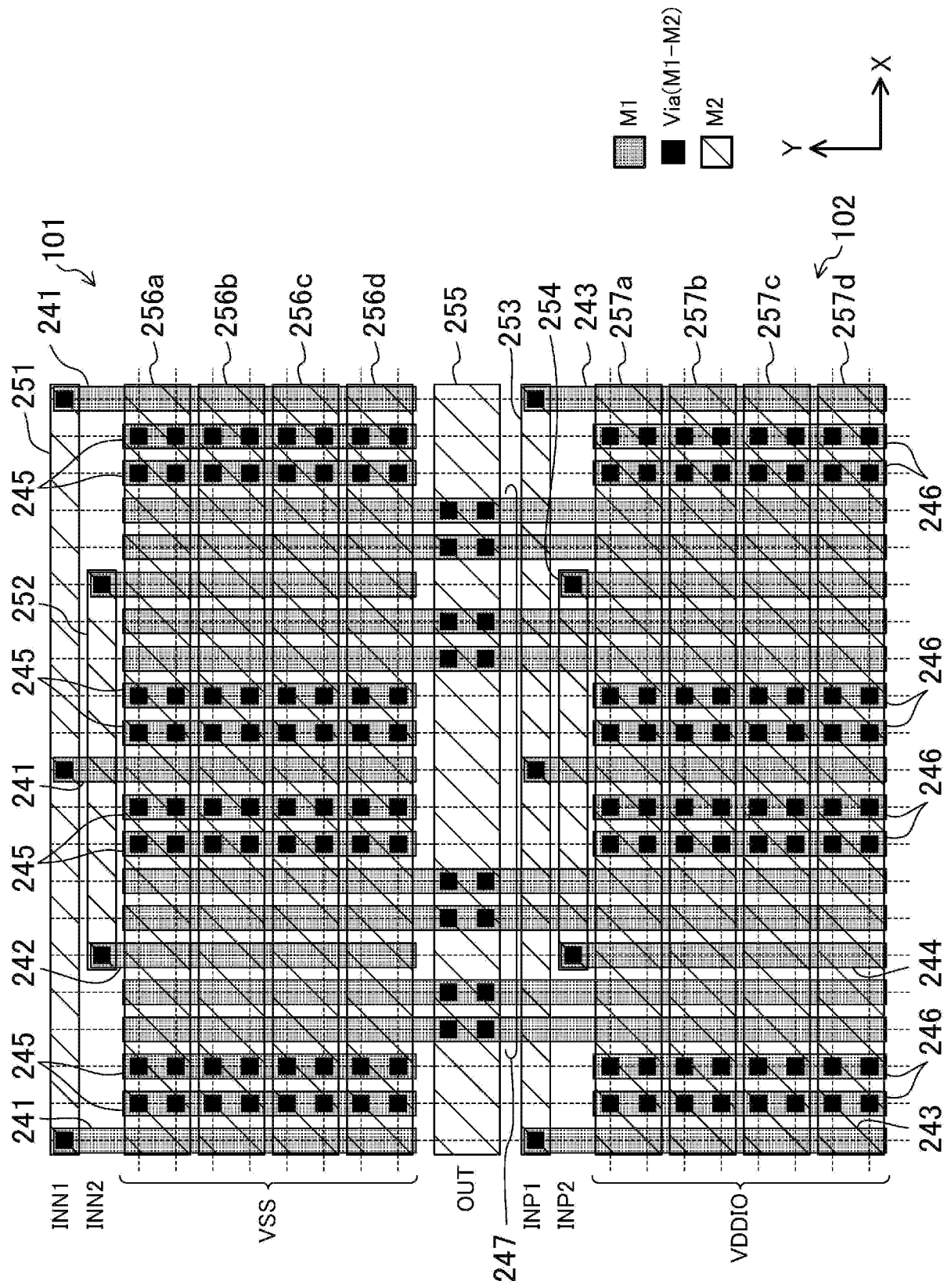
[図14]



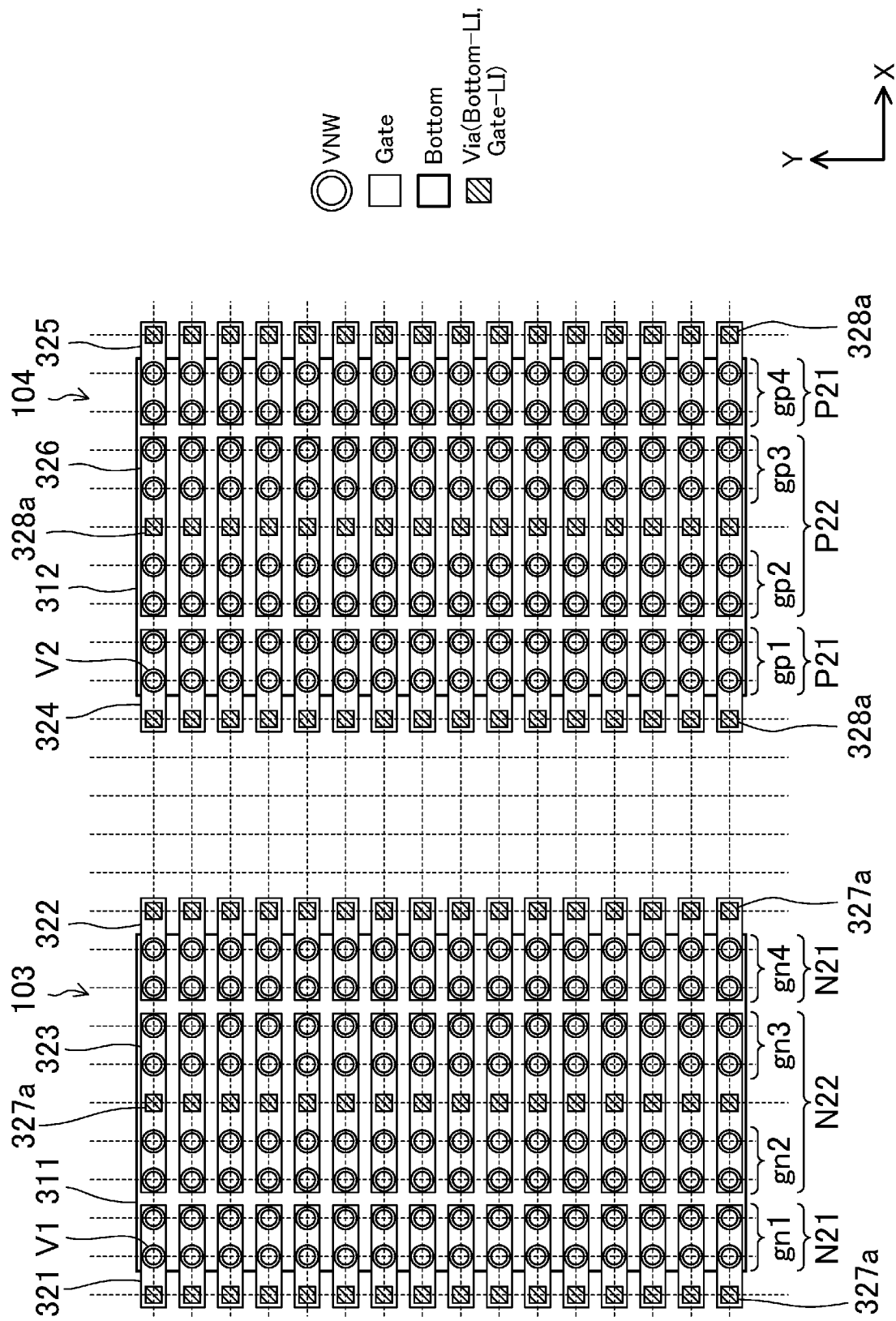
[図16]



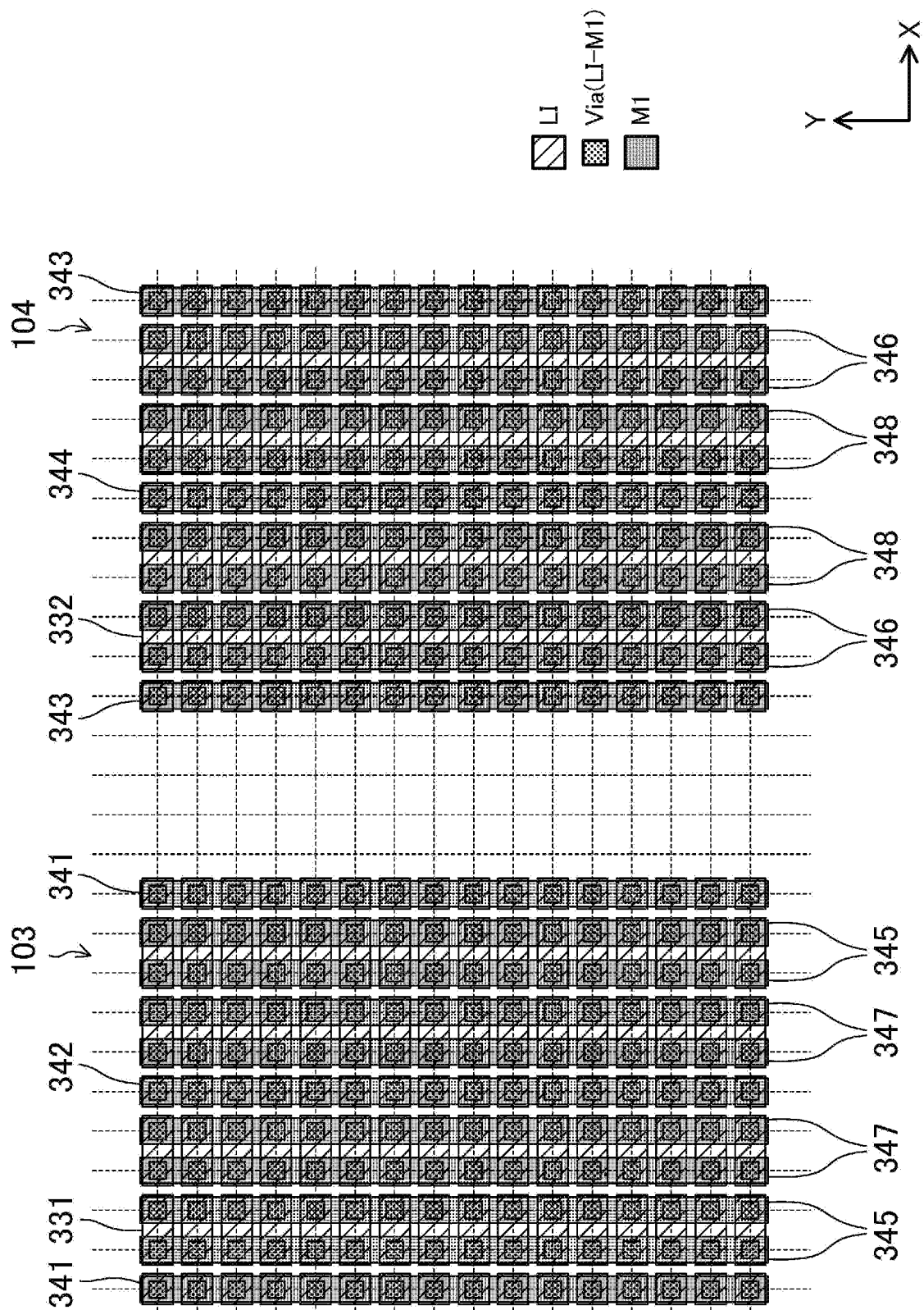
[図17]



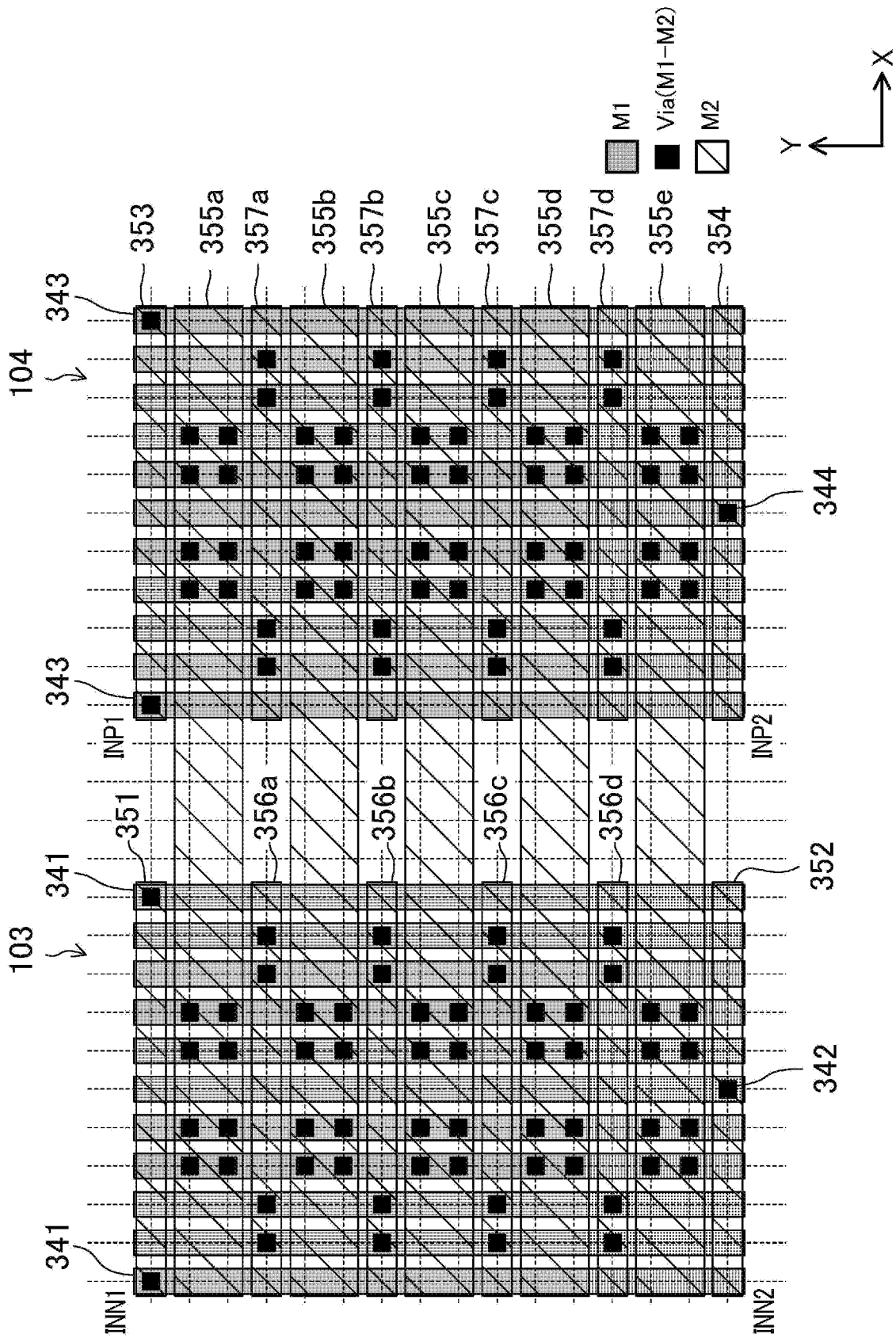
[図18]



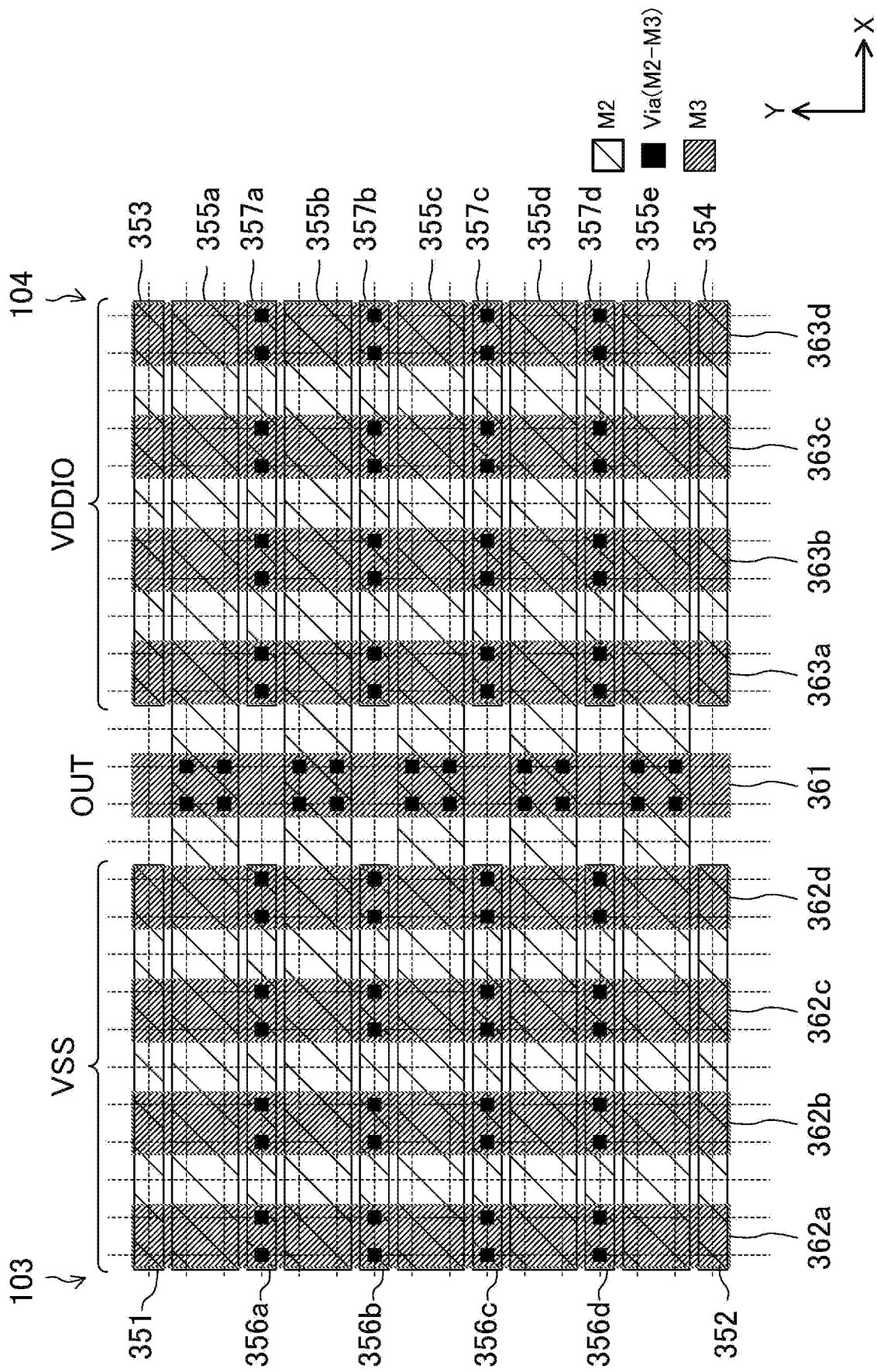
[図19]



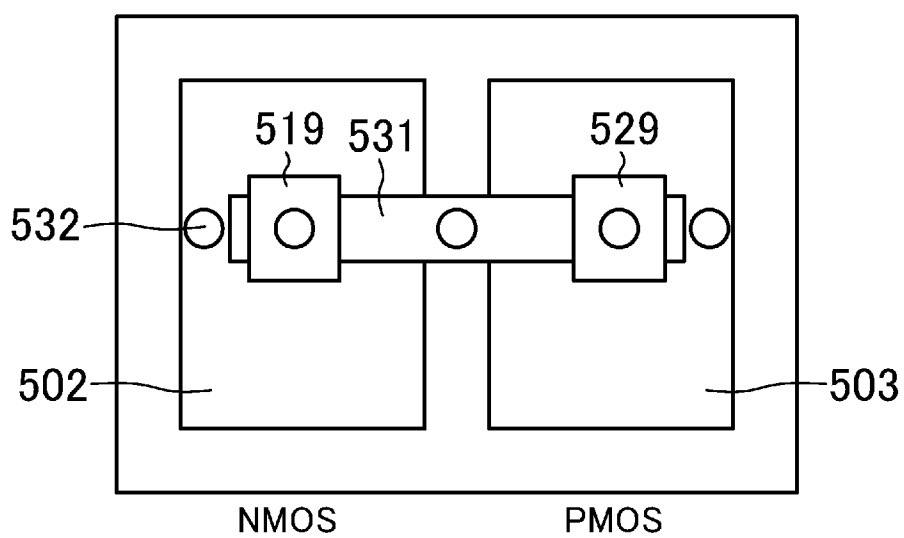
[図20]



[図21]

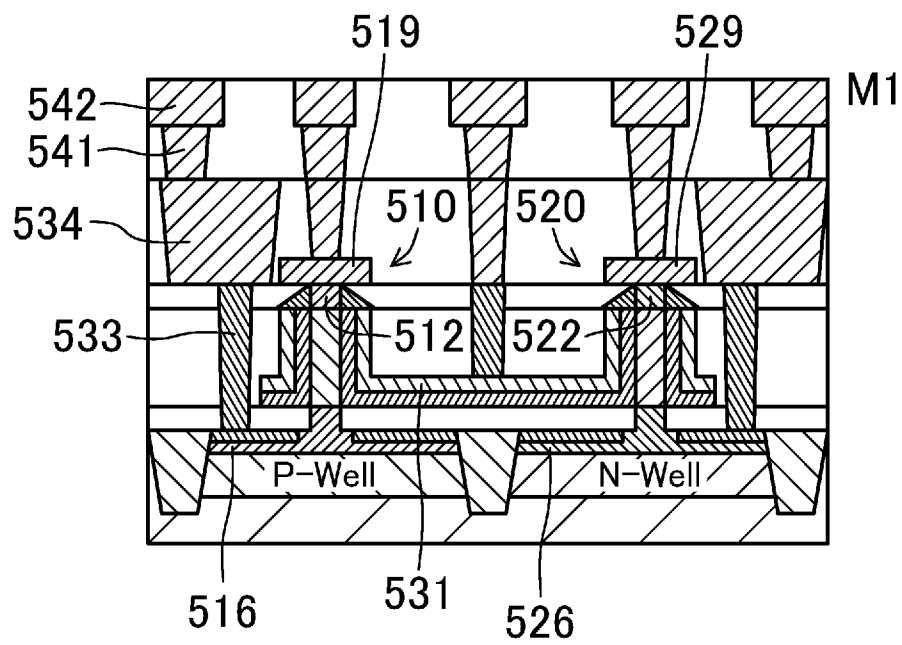


(a)

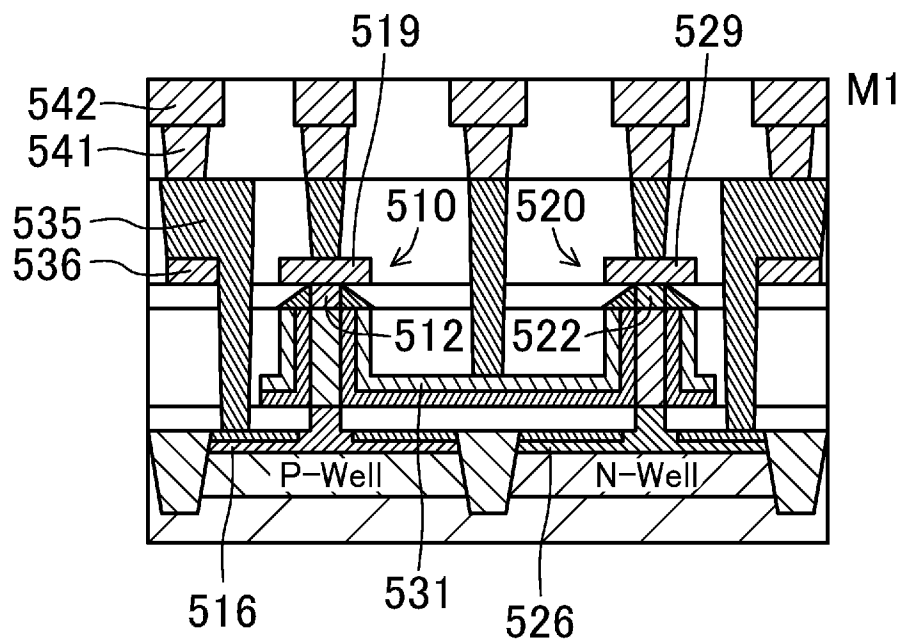


[図23]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/043800

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/82 (2006.01) i, H01L21/336 (2006.01) i,
H01L21/822 (2006.01) i, H01L21/8238 (2006.01) i,
H01L27/04 (2006.01) i, H01L27/092 (2006.01) i, H01L29/78 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/82, H01L21/336, H01L21/822, H01L21/8238, H01L27/04,
H01L27/092, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 2016/0063163 A1 (SYNOPSIS, INC.) 03 March 2016, paragraphs [0048]-[0100], fig. 1-15 & WO 2016/033154 A2 & EP 3186734 A2 & TW 201631506 A & CN 106605301 A	1-2 3-7
A	JP 2014-503998 A (CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE) 13 February 2014 & US 2013/0240983 A1 & WO 2012/069606 A2 & EP 2643848 A2 & FR 2968125 A1 & KR 10-2014-0024836 A	1-7
A	JP 2008-205168 A (FUJITSU LTD.) 04 September 2008 (Family: none)	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 February 2019 (06.02.2019)

Date of mailing of the international search report
19 February 2019 (19.02.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/043800

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-520908 A (INTEL CORPORATION) 27 July 2017 & US 2017/0011929 A1 & WO 2015/191096 A1 & EP 3155643 A1 & TW 201606853 A & CN 106463350 A & KR 10-2017-0015880 A	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/82(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L21/8238(2006.01)i,
H01L27/04(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/82, H01L21/336, H01L21/822, H01L21/8238, H01L27/04, H01L27/092, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	US 2016/0063163 A1 (SYNOPSYS, INC.) 2016.03.03, 段落 0048-0100, 図 1-15 & WO 2016/033154 A2 & EP 3186734 A2 & TW 201631506 A & CN 106605301 A	1-2 3-7
A	JP 2014-503998 A (サントル ナショナル トゥ ラ ルシエルシュ シアンティフィック) 2014.02.13, & US 2013/0240983 A1 & WO 2012/069606 A2 & EP 2643848 A2 & FR 2968125 A1 & KR 10-2014-0024836 A	1-7
A	JP 2008-205168 A (富士通株式会社) 2008.09.04, (ファミリーなし)	1-7

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

06.02.2019

国際調査報告の発送日

19.02.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

5 F

6299

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-520908 A (インテル・コーポレーション) 2017. 07. 27, & US 2017/0011929 A1 & WO 2015/191096 A1 & EP 3155643 A1 & TW 201606853 A & CN 106463350 A & KR 10-2017-0015880 A	1-7