

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-64453

(P2014-64453A)

(43) 公開日 平成26年4月10日(2014.4.10)

(51) Int.Cl.	F I	テーマコード(参考)
HO2M 3/07 (2006.01)	HO2M 3/07	5F038
HO1L 29/786 (2006.01)	HO1L 29/78 617N	5F048
HO1L 21/822 (2006.01)	HO1L 29/78 618B	5F110
HO1L 27/04 (2006.01)	HO1L 29/78 613Z	5H730
HO1L 21/8234 (2006.01)	HO1L 27/04 G	

審査請求 未請求 請求項の数 8 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願2013-181274 (P2013-181274)
 (22) 出願日 平成25年9月2日(2013.9.2)
 (31) 優先権主張番号 特願2012-193330 (P2012-193330)
 (32) 優先日 平成24年9月3日(2012.9.3)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 渡邊 一徳
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5F038 BG05 BG09 CA16 CD04 CD06
 CD14 CD15 CD17 DF04 DF08
 EZ01 EZ02 EZ06 EZ13 EZ14
 EZ16 EZ20
 5F048 AB10 AC01 BA01 BA14 BA16
 BA19 BA20 BB03 BB14 BC18
 BD10 BF07 BF11 BF15 BF16
 BG11 CB01 CB03 CB04 CB08

最終頁に続く

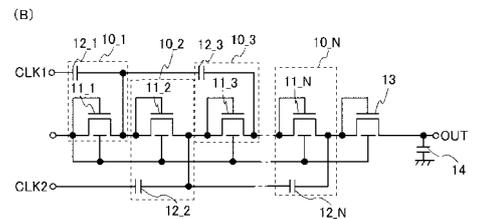
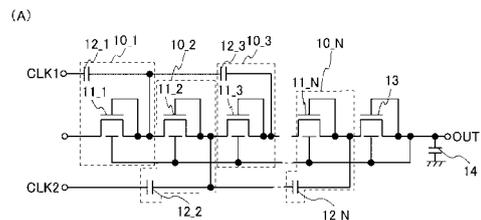
(54) 【発明の名称】 電圧変換回路、半導体装置、及び電子機器

(57) 【要約】

【課題】 トランジスタの電気特性の変動を抑制する。

【解決手段】 電圧変換ブロックが有するトランジスタのバックゲートに電圧変換回路により生成した電位を供給する。上記トランジスタのバックゲートを浮遊状態にしないことにより、バックチャネル側に流れる電流を制御し、トランジスタの電気特性の変動を抑制する。また、電圧変換ブロックが有するトランジスタとして、オフ電流の低いトランジスタを用いて出力電位の保持を制御する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の電圧変換ブロックと、
第 2 の電圧変換ブロックと、
出力制御トランジスタと、を有し、

前記第 1 の電圧変換ブロックは、第 1 の変換制御トランジスタ及び第 1 の容量素子を有し、

前記第 2 の電圧変換ブロックは、第 2 の変換制御トランジスタ及び第 2 の容量素子を有し、

前記第 1 の変換制御トランジスタは、ソース及びドレインの一方に第 1 の電位が与えられ、ゲートの電位が第 1 のクロック信号に従い変化し、

前記第 1 の容量素子は、一对の電極の一方が前記第 1 の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が前記第 1 のクロック信号に従い変化し、

前記第 2 の変換制御トランジスタは、ソース及びドレインの一方が前記第 1 の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が第 2 の電位となり、ゲートの電位が第 2 のクロック信号に従い変化し、

前記第 2 の容量素子は、一对の電極の一方が前記第 2 の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が前記第 2 のクロック信号に従い変化し、

前記出力制御トランジスタは、ソース及びドレインの一方の電位が前記第 2 の電位に従い変化し、

前記第 1 及び第 2 の変換制御トランジスタの少なくとも一つは、バックゲートが前記出力制御トランジスタのソース及びドレインの他方に電氣的に接続される電圧変換回路。

【請求項 2】

前記第 1 及び第 2 の変換制御トランジスタの少なくとも一つは、チャンネルが形成される酸化物半導体層を含み、

前記酸化物半導体層は、

シリコンよりもバンドギャップが広く、且つ c 軸が被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃い、且つ a b 面に垂直な方向から見て三角形又は六角形状の原子配列を有し、前記 c 軸に垂直な方向から見て金属原子が層状又は金属原子と酸素原子とが層状に配列する相を含み、

前記変換制御トランジスタは、チャンネル幅 $1 \mu\text{m}$ あたりのオフ電流が 100 zA 以下である請求項 1 に記載の電圧変換回路。

【請求項 3】

前記第 1 及び第 2 の電圧変換ブロックは、複数設けられる請求項 1 又は請求項 2 に記載の電圧変換回路。

【請求項 4】

第 1 の電圧変換ブロックと、
第 2 の電圧変換ブロックと、
出力制御トランジスタと、を有し、

前記第 1 の電圧変換ブロックは、第 1 の変換制御トランジスタ及び第 1 の容量素子を有し、

前記第 2 の電圧変換ブロックは、第 2 の変換制御トランジスタ及び第 2 の容量素子を有し、

前記第 1 の変換制御トランジスタは、ソース及びドレインの一方に第 1 の電位が与えられ、ゲートの電位が第 1 のクロック信号に従い変化し、

前記第 1 の容量素子は、一对の電極の一方が前記第 1 の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が前記第 1 のクロック信号に従い変化し、

10

20

30

40

50

前記第 2 の変換制御トランジスタは、ソース及びドレインの一方が前記第 1 の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が第 2 の電位となり、ゲートの電位が第 2 のクロック信号に従い変化し、

前記第 2 の容量素子は、一对の電極の一方が前記第 2 の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が前記第 2 のクロック信号に従い変化し、

前記出力制御トランジスタは、ソース及びドレインの一方の電位が前記第 2 の電位に従い変化し、

前記第 1 及び第 2 の変換制御トランジスタの少なくとも一つは、バックゲートが前記第 1 の変換制御トランジスタのソース及びドレインの一方に電氣的に接続される電圧変換回路。

10

【請求項 5】

前記第 1 及び第 2 の変換制御トランジスタの少なくとも一つは、チャンネルが形成される酸化物半導体層を含み、

前記酸化物半導体層は、

シリコンよりもバンドギャップが広く、且つ c 軸が被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向に揃い、且つ a b 面に垂直な方向から見て三角形又は六角形状の原子配列を有し、前記 c 軸に垂直な方向から見て金属原子が層状又は金属原子と酸素原子とが層状に配列する相を含み、

前記変換制御トランジスタは、チャンネル幅 $1 \mu\text{m}$ あたりのオフ電流が 100 z A 以下である請求項 4 に記載の電圧変換回路。

20

【請求項 6】

前記第 1 及び第 2 の電圧変換ブロックは、複数設けられる請求項 3 又は請求項 4 に記載の電圧変換回路。

【請求項 7】

請求項 1 乃至請求項 3 のいずれか一項に記載の電圧変換回路からなる第 1 の電圧変換回路、並びに請求項 4 乃至請求項 6 のいずれか一項に記載の第 2 の電圧変換回路を備える電源回路と、

前記電源回路にクロック信号を出力するオシレータと、

前記オシレータの動作を停止させるか否かを制御する機能を有する CPU コアと、を有し、

30

前記第 1 の電圧変換回路は、負電位である第 1 の電位を生成する機能を有し、

前記第 2 の電圧変換回路は、正電位である第 2 の電位を生成する機能を有し、

前記 CPU コアは、レジスタを備え、

前記レジスタは、

前記 CPU コアに対して電源電圧が供給される期間にデータを保持する第 1 の記憶回路と、

前記 CPU コアに対する前記電源電圧の供給が停止する期間にデータを保持する第 2 の記憶回路と、を有し、

前記第 2 の記憶回路は、データの書き込み及び保持を制御するトランジスタを有し、

40

前記 CPU コアは、前記データの書き込み及び保持を制御するトランジスタのバックゲートに、前記第 1 の電位を供給するか前記第 2 の電位を供給するかを制御する機能をさらに有する半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置を用いた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、電圧変換回路に関する。また、本発明の一態様は、半導体装置に関する。また、本発明の一態様は、電子機器に関する。

50

【背景技術】

【0002】

プロセッサなどの半導体装置の電源電圧を生成するために電源回路が用いられる。

【0003】

電源回路では、チャージポンプなどの電圧変換回路が設けられる。

【0004】

上記電圧変換回路は、例えばトランジスタ及び容量素子からなる複数の電圧変換ブロックにより構成され、クロック信号に従い入力電位を変換することにより、電圧変換を行う。

【0005】

上記電圧変換回路のトランジスタの例としては、チャンネル形成領域にシリコン半導体を用いたトランジスタ、金属酸化物半導体を用いたトランジスタなどが挙げられる。例えば、特許文献1に示す電圧変換回路は、トランジスタとして、チャンネル形成領域に金属酸化物半導体を用いたトランジスタを有する電圧変換回路の一例である。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2011-171700号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

20

従来の電圧変換回路では、トランジスタのバックチャンネル側に流れる電流により、トランジスタの電気特性が変動するといった問題があった。

【0008】

例えば、nチャンネル型トランジスタの場合、バックチャンネル側に流れる電流が増大すると、しきい値電圧が負方向にシフトする。しきい値電圧が負の値になるとオフ電流が増大する。このとき、nチャンネル型トランジスタのオフ電流を小さくするためには、ゲートに負電位を与え続ける必要があるため、その分電力を消費してしまう。

【0009】

また、トランジスタがチャンネル形成領域を挟んで一对のゲートを有し、且つバックチャンネル側に設けられたゲート（以下、バックゲート）が浮遊状態である場合、ドレイン電位の影響によりバックチャンネル側に流れる電流が変動しやすくなる。このため、トランジスタの電気特性のばらつきが生じやすくなる。

30

【0010】

本発明の一態様では、バックチャンネル側の電流による、トランジスタの電気特性の変動を抑制することを課題の一つとする。或いは、本発明の一態様では、消費電力の低減を課題の一つとする。なお、本発明の一態様では、上記課題の少なくとも一つを解決すればよい。

【課題を解決するための手段】

【0011】

40

本発明の一態様では、電圧変換ブロックが有するトランジスタのバックゲートに電圧変換回路により生成した電位を供給する。上記トランジスタのバックゲートを浮遊状態にしないことにより、バックチャンネル側に流れる電流を制御し、トランジスタの電気特性の変動を抑制する。

【0012】

上記本発明の一態様において、電圧変換ブロックが有するトランジスタとして、オフ電流の低いトランジスタを用いてもよい。オフ電流の低いトランジスタを用いて出力電位の保持を制御することにより、例えば電圧変換回路に対するクロック信号の供給を停止させた場合の出力電位の変動を抑制する。さらに、オフ電流の低いトランジスタを用いることにより、クロック信号の供給の停止が可能な期間を増やし、消費電力の低減を図る。

【0013】

50

本発明の一態様は、第1の電圧変換ブロックと、第2の電圧変換ブロックと、出力制御トランジスタと、を有し、第1の電圧変換ブロックは、第1の変換制御トランジスタ及び第1の容量素子を有し、第2の電圧変換ブロックは、第2の変換制御トランジスタ及び第2の容量素子を有し、第1の変換制御トランジスタは、ソース及びドレインの一方に第1の電位が与えられ、ゲートの電位が第1のクロック信号に従い変化し、第1の容量素子は、一对の電極の一方が第1の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が第1のクロック信号に従い変化し、第2の変換制御トランジスタは、ソース及びドレインの一方が第1の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が第2の電位となり、ゲートの電位が第2のクロック信号に従い変化し、第2の容量素子は、一对の電極の一方が第2の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が第2のクロック信号に従い変化し、出力制御トランジスタは、ソース及びドレインの一方の電位が第2の電位に従い変化し、第1及び第2の変換制御トランジスタの少なくとも一つは、バックゲートが出力制御トランジスタのソース及びドレインの他方、又は第1の変換制御トランジスタのソース及びドレインの一方に電氣的に接続される電圧変換回路である。

10

【0014】

本発明の一態様は、第1の電圧変換回路及び第2の電圧変換回路を備える電源回路と、電源回路にクロック信号を出力するオシレータと、オシレータの動作を停止させるか否かを制御する機能を有するCPUコアと、を有し、第1の電圧変換回路は、負電位である第1の電位を生成する機能を有し、第2の電圧変換回路は、正電位である第2の電位を生成する機能を有し、CPUコアは、レジスタを備え、レジスタは、CPUコアに対して電源電圧が供給される期間にデータを保持する揮発性の第1の記憶回路と、CPUコアに対する電源電圧の供給が停止する期間にデータを保持する不揮発性の第2の記憶回路と、を有し、第2の記憶回路は、データの書き込み及び保持を制御するトランジスタを有し、CPUコアは、データの書き込み及び保持を制御するトランジスタのバックゲートに、第1の電位を供給するか第2の電位を供給するかを制御する機能をさらに有する半導体装置である。

20

【0015】

本発明の一態様は、上記半導体装置を備える電子機器である。

【発明の効果】

30

【0016】

トランジスタのバックゲートの電位を制御することにより、バックチャネル側に流れる電流によるトランジスタの電気特性の変動を抑制できる。また、クロック信号の供給を停止させた場合であってもトランジスタのバックゲートの電位を保持できるため、クロック信号の供給の停止期間を増やすことができ、消費電力を低減できる。

【図面の簡単な説明】

【0017】

【図1】電圧変換回路の例の説明するための図。

【図2】電圧変換回路の例の説明するための図。

【図3】電圧変換回路の例の説明するための図。

40

【図4】トランジスタのオフ電流値を説明するための図。

【図5】電圧変換回路の駆動方法例の説明するための図。

【図6】電圧変換回路の例の説明するための図。

【図7】電圧変換回路の例の説明するための図。

【図8】半導体装置の例を説明するための図。

【図9】電源回路の例を説明するための図。

【図10】CPUコアの例を説明するための図。

【図11】レジスタの例を説明するための図。

【図12】半導体装置の構造例を説明するための図。

【図13】電子機器の例を説明するための図。

50

【発明を実施するための形態】

【0018】

本発明に係る実施の形態の例について説明する。なお、本発明の趣旨及び範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、例えば本発明は、下記実施の形態の記載内容に限定されない。

【0019】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに適宜置き換えることができる。

【0020】

また、第1、第2などの序数詞は、構成要素の混同を避けるために付しており、各構成要素の数は、序数詞に限定されない。

10

【0021】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0022】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0023】

20

(実施の形態1)

本実施の形態では、本発明の一態様である電圧変換回路の例について説明する。

【0024】

本実施の形態の電圧変換回路の一例は、第1の電圧変換ブロックと、第2の電圧変換ブロックと、出力制御トランジスタと、を有する。なお、第1及び第2の電圧変換ブロックを複数設けてもよい。

【0025】

第1の電圧変換ブロックは、第1の変換制御トランジスタ及び第1の容量素子を有し、第2の電圧変換ブロックは、第2の変換制御トランジスタ及び第2の容量素子を有する。

【0026】

30

第1の変換制御トランジスタは、ソース及びドレインの一方に第1の電位が与えられ、ゲートの電位が第1のクロック信号に従い変化する。

【0027】

第1の容量素子は、一对の電極の一方が第1の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が第1のクロック信号に従い変化する。

【0028】

第2の変換制御トランジスタは、ソース及びドレインの一方が第1の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が第2の電位となり、ゲートの電位が第2のクロック信号に従い変化する。

【0029】

40

第2の容量素子は、一对の電極の一方が第2の変換制御トランジスタのソース及びドレインの他方に電氣的に接続され、他方の電位が第2のクロック信号に従い変化する。

【0030】

出力制御トランジスタは、ソース及びドレインの一方の電位が上記第2の電位に従い変化する。

【0031】

第1及び第2の変換制御トランジスタの少なくとも一つは、バックゲートの電位が第1の電位又は第2の電位に従い変化する。例えば、第1及び第2の変換制御トランジスタの少なくとも一つは、バックゲートが出力制御トランジスタのソース及びドレインの他方、又は第1の変換制御トランジスタのソース及びドレインの一方に電氣的に接続される。

50

【0032】

本実施の形態に係る電圧変換回路の例について図1乃至図7を参照してさらに説明する。

【0033】

図1(A)及び図1(B)、図2(A)及び図2(B)に示す電圧変換回路は、電圧変換ブロック10__1乃至電圧変換ブロック10__N(Nは2以上の自然数)と、出力制御トランジスタ13と、を備える。図1(A)及び図1(B)、図2(A)及び図2(B)では、一例としてNが4以上の場合を示す。

【0034】

電圧変換ブロック10__1乃至電圧変換ブロック10__Nのそれぞれは、入力される電位(入力電位ともいう)を別の値の電位に変換することにより電圧変換を行う機能を有する。

10

【0035】

なお、電圧とは2点間における電位差のことをいう。しかしながら、一般的に、ある一点における電位と基準となる電位(例えば接地電位)との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。よって、本明細書では特に指定する場合を除き、電位を電圧に読み替えることができ、電圧を電位に読み替えることができる。

【0036】

電圧変換ブロック10__K(KはN-1以下の自然数)により変換される電位は、電圧変換ブロック10__K+1の入力電位となる。

20

【0037】

電圧変換ブロック10__1乃至電圧変換ブロック10__Nのそれぞれは、変換制御トランジスタ及び容量素子を有する。

【0038】

例えば、図1(A)及び図1(B)、図2(A)及び図2(B)に示すように、電圧変換ブロック10__X(Xは1以上N以下の自然数)は、変換制御トランジスタ11__Xと、容量素子12__Xと、を有する。

【0039】

変換制御トランジスタ11__Xのソース及びドレインの一方の電位は、上記入力電位である。

30

【0040】

例えば、図1(A)及び図1(B)、図2(A)及び図2(B)では、変換制御トランジスタ11__1のソース及びドレインの一方の電位が可変又は一定である。変換制御トランジスタ11__1のソース及びドレインの他方は、変換制御トランジスタ11__2のソース及びドレインの一方と電氣的に接続される。すなわち、変換制御トランジスタ11__K+1のソース及びドレインの一方が変換制御トランジスタ11__Kのソース及びドレインの他方に電氣的に接続される。

【0041】

変換制御トランジスタ11__Xのゲートは、変換制御トランジスタ11__Xのソース又はドレインに電氣的に接続される。

40

【0042】

例えば、図1(A)及び図2(A)では、変換制御トランジスタ11__Xのゲートが、変換制御トランジスタ11__Xのソース及びドレインの他方に電氣的に接続される。このとき、電圧変換ブロック10__1乃至電圧変換ブロック10__Nにより変換される電位のそれぞれは、変換前の電位よりも低くなる。

【0043】

また、図1(B)及び図2(B)では、変換制御トランジスタ11__Xのゲートは、変換制御トランジスタ11__Xのソース及びドレインの一方に電氣的に接続される。このとき、電圧変換ブロック10__1乃至電圧変換ブロック10__Nにより変換される電位のそれぞれは、変換前の電位よりも高くなる。

50

【 0 0 4 4 】

さらに、電圧変換ブロック 1 0 __ M (M は 1 以上 N 以下の奇数) は、変換制御トランジスタ 1 1 __ M のゲートの電位がクロック信号 C L K 1 に従い変化し、容量素子 1 2 __ M が有する一対の電極の一方が変換制御トランジスタ 1 1 __ M のソース及びドレインの他方に電氣的に接続され、他方の電位は、クロック信号 C L K 1 に従い変化する。ここで、電圧変換ブロック 1 0 __ M は、第 1 の電圧変換ブロックに相当する。

【 0 0 4 5 】

例えば、図 1 (A) 及び図 1 (B) では、容量素子 1 2 __ 1 の一対の電極の他方にクロック信号 C L K 1 が入力される。さらに、容量素子 1 2 __ m (m は 3 以上 N 以下の奇数) の一対の電極の他方は、容量素子 1 2 __ m - 2 の一対の電極の一方に電氣的に接続される。

10

【 0 0 4 6 】

また、図 2 (A) 及び図 2 (B) では、容量素子 1 2 __ M の一対の電極の他方にクロック信号 C L K 1 が入力される。

【 0 0 4 7 】

さらに、電圧変換ブロック 1 0 __ L (L は 2 以上 N 以下の偶数) は、変換制御トランジスタ 1 1 __ L のゲートの電位がクロック信号 C L K 2 に従い変化し、容量素子 1 2 __ L の一対の電極の一方が変換制御トランジスタ 1 1 __ L のソース及びドレインの他方に電氣的に接続され、他方の電位は、クロック信号 C L K 2 に従い変化する。クロック信号 C L K 2 は、クロック信号 C L K 1 と逆位相である。このとき、電圧変換ブロック 1 0 __ L は、第 2 の電圧変換ブロックに相当する。

20

【 0 0 4 8 】

例えば、図 1 (A) 及び図 1 (B) では、容量素子 1 2 __ 2 の一対の電極の他方にクロック信号 C L K 2 が入力される。さらに、容量素子 1 2 __ 1 (1 は 4 以上 N 以下の偶数) の一対の電極の他方は、容量素子 1 2 __ 1 - 2 の一対の電極の一方に電氣的に接続される。

【 0 0 4 9 】

また、図 2 (A) 及び図 2 (B) では、容量素子 1 2 __ L の一対の電極の他方にクロック信号 C L K 2 が入力される。

【 0 0 5 0 】

なお、「信号に従い電位が変化する」とは、「信号が直接入力されることで電位が該信号の電位に変化する場合」のみに限定されない。例えば、「信号に従いトランジスタがオン状態になることにより、電位が変化する場合」や、「容量結合により、信号の変化に合わせて電位が変化する場合」なども「信号に従い電位が変化する」に含まれる。

30

【 0 0 5 1 】

出力制御トランジスタ 1 3 のソース及びドレインの一方は、電圧変換ブロック 1 0 __ N が有する変換制御トランジスタ 1 1 __ N のソース及びドレインの他方に電氣的に接続される。さらに、出力制御トランジスタ 1 3 のゲートは、出力制御トランジスタ 1 3 のソース及びドレインの他方に電氣的に接続されているが、これに限定されず、例えば信号を入力してもよい。

【 0 0 5 2 】

容量 1 4 は、電圧変換回路の出力電位を保持するための容量である。例えば、出力電位を出力する配線と他の配線の間を生じる寄生容量を用いて容量 1 4 を構成してもよい。また、別途容量素子を設けることにより容量 1 4 を形成してもよい。

40

【 0 0 5 3 】

さらに、電圧変換ブロック 1 0 __ 1 乃至電圧変換ブロック 1 0 __ N の少なくとも一つは、変換制御トランジスタ (変換制御トランジスタ 1 1 __ 1 乃至変換制御トランジスタ 1 1 __ N の少なくとも一つ) のバックゲートが、他の電圧変換ブロックが有する変換制御トランジスタのソース及びドレインの他方、又は出力制御トランジスタ 1 3 のソース及びドレインの他方に電氣的に接続される。なお、これに限定されず、変換制御トランジスタ (変換制御トランジスタ 1 1 __ 1 乃至変換制御トランジスタ 1 1 __ N の少なくとも一つ) のバックゲートが、他の電圧変換ブロックが有する変換制御トランジスタのソース及びドレイン

50

の一方、又は出力制御トランジスタ 1 3 のソース及びドレインの一方に電氣的に接続される。

【 0 0 5 4 】

例えば、図 1 (A)、図 2 (A) では、変換制御トランジスタ 1 1 _ 1 乃至変換制御トランジスタ 1 1 _ N のバックゲートのそれぞれが出力制御トランジスタ 1 3 のソース及びドレインの他方に電氣的に接続される。さらに、出力制御トランジスタ 1 3 のバックゲートも出力制御トランジスタ 1 3 のソース及びドレインの他方に電氣的に接続される。

【 0 0 5 5 】

また、図 1 (B)、図 2 (B) では、変換制御トランジスタ 1 1 _ 1 乃至変換制御トランジスタ 1 1 _ N のバックゲートのそれぞれが変換制御トランジスタ 1 1 _ 1 のソース及びドレインの一方に電氣的に接続される。さらに、出力制御トランジスタ 1 3 のバックゲートも変換制御トランジスタ 1 1 _ 1 のソース及びドレインの一方に電氣的に接続される。

10

【 0 0 5 6 】

なお、これに限定されず、例えば図 3 (A) に示すように、図 1 (A) の変換制御トランジスタ 1 1 _ X のバックゲートを変換制御トランジスタ 1 1 _ X のソース及びドレインの他方に電氣的に接続してもよい。このとき、出力制御トランジスタ 1 3 のバックゲートは、出力制御トランジスタ 1 3 のソース及びドレインの他方に電氣的に接続される。

【 0 0 5 7 】

また、図 3 (B) に示すように、図 1 (B) の変換制御トランジスタ 1 1 _ X のバックゲートを変換制御トランジスタ 1 1 _ X のソース及びドレインの一方に電氣的に接続してもよい。このとき、出力制御トランジスタ 1 3 のバックゲートは、出力制御トランジスタ 1 3 のソース及びドレインの一方に電氣的に接続される。

20

【 0 0 5 8 】

また、図 3 (C) に示すように、図 2 (A) の変換制御トランジスタ 1 1 _ X のバックゲートを変換制御トランジスタ 1 1 _ X のソース及びドレインの他方に電氣的に接続してもよい。このとき、出力制御トランジスタ 1 3 のバックゲートは、出力制御トランジスタ 1 3 のソース及びドレインの他方に電氣的に接続される。なお、これに限定されず、図 2 (B) の変換制御トランジスタ 1 1 _ X のバックゲートを変換制御トランジスタ 1 1 _ X のソース及びドレインの一方に電氣的に接続してもよい。

【 0 0 5 9 】

変換制御トランジスタのバックゲートに電位を与えることにより、バックチャネルに対するドレイン電位の影響を抑制できるため、該トランジスタのバックチャネル側の電流を制御できる。さらに、トランジスタのしきい値電圧を制御できる。さらに、変換制御トランジスタのバックゲートに与える電位として電圧変換回路により生成する電位を用いることにより、別途外部から電位を供給する必要がないため、配線の増加を抑制できる。

30

【 0 0 6 0 】

変換制御トランジスタとしては、1 4 族の元素 (シリコンなど) を含むトランジスタを適用できる。また、例えばオフ電流の低いトランジスタを適用してもよい。オフ電流の低いトランジスタとしては、例えばシリコンよりもバンドギャップの広い酸化物半導体を含むチャンネル形成領域を有し、該チャンネル形成領域が実質的に i 型であるトランジスタを適用できる。例えば、水素又は水などの不純物を可能な限り除去し、酸素を供給して酸素欠損を可能な限り減らすことにより、上記酸化物半導体を含むトランジスタを作製できる。このとき、チャンネル形成領域において、二次イオン質量分析法 (S I M S ともいう) の測定値でドナー不純物といわれる水素の量を $1 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以下に低減することが好ましい。

40

【 0 0 6 1 】

上記酸化物半導体を含むトランジスタは、バンドギャップが広いため熱励起によるリーク電流が少ない。さらに、正孔の有効質量が 1 0 以上と重く、トンネル障壁の高さが 2 . 8 e V 以上と高い。これにより、トンネル電流が少ない。さらに、半導体層中のキャリアが極めて少ない。よって、オフ電流を低くできる。例えば、オフ電流は、2 5 でチャンネル

50

幅 $1 \mu\text{m}$ あたり $1 \times 10^{-19} \text{ A}$ (100 zA) 以下である。より好ましくは $1 \times 10^{-22} \text{ A}$ (100 yA) 以下である。トランジスタのオフ電流は、低ければ低いほどよいが、トランジスタのオフ電流の下限値は、約 $1 \times 10^{-30} \text{ A} / \mu\text{m}$ であると見積もられる。

【0062】

上記酸化物半導体としては、例えば In 系金属酸化物、Zn 系金属酸化物、In-Zn 系金属酸化物、又は In-Ga-Zn 系金属酸化物などを適用できる。

【0063】

また、上記 In-Ga-Zn 系金属酸化物に含まれる Ga の一部若しくは全部の代わりに他の金属元素を含む金属酸化物を用いてもよい。上記他の金属元素としては、例えばガリウムよりも多くの酸素原子と結合が可能な金属元素を用いればよく、例えばチタン、ジルコニウム、ハフニウム、ゲルマニウム、及び錫のいずれか一つ又は複数の元素を用いればよい。また、上記他の金属元素としては、ランタン、セリウム、プラセオジウム、ネオジウム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、及びルテチウムのいずれか一つ又は複数の元素を用いればよい。これらの金属元素は、スタビライザーとしての機能を有する。なお、これらの金属元素の添加量は、金属酸化物が半導体として機能することが可能な量である。ガリウムよりも多くの酸素原子と結合が可能な金属元素を用い、さらには金属酸化物中に酸素を供給することにより、金属酸化物中の酸素欠陥を少なくできる。

10

【0064】

ここで、上記オフ電流の低いトランジスタとしてインジウム、亜鉛、及びガリウムを含む酸化物半導体でチャネル形成領域を形成したトランジスタのオフ電流の値について説明する。

20

【0065】

一例として、トランジスタのチャネル幅 W を $1 \mu\text{m}$ ($1000000 \mu\text{m}$)、チャネル長 L を $3 \mu\text{m}$ とし、温度を 150 、 125 、 85 、 27 と変化させた際のチャネル幅 W が $1 \mu\text{m}$ あたりのオフ電流値から見積もったアレニウスプロットを図 4 に示す。

【0066】

図 4 では、例えば 27 のとき、チャネル幅 W が $1 \mu\text{m}$ あたりのトランジスタのオフ電流は $1 \times 10^{-25} \text{ A}$ 以下である。図 4 により、インジウム、亜鉛、及びガリウムを含む酸化物半導体のチャネル形成領域を有するトランジスタでは、オフ電流が極めて小さいことがわかる。

30

【0067】

以下では、トランジスタに適用可能な酸化物半導体層の構造について説明する。

【0068】

酸化物半導体層は、単結晶酸化物半導体層と非単結晶酸化物半導体層とに大別される。非単結晶酸化物半導体層とは、非晶質酸化物半導体層、微結晶酸化物半導体層、多結晶酸化物半導体層、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜などをいう。

【0069】

非晶質酸化物半導体層は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体層である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体層が典型である。

40

【0070】

微結晶酸化物半導体層は、例えば、 1 nm 以上 10 nm 未満の大きさの微結晶 (ナノ結晶ともいう。) を含む。従って、微結晶酸化物半導体層は、非晶質酸化物半導体層よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体層は、非晶質酸化物半導体層よりも欠陥準位密度が低いという特徴がある。

【0071】

CAAC-OS 膜は、複数の結晶部を有する酸化物半導体層の一つであり、ほとんどの結

50

晶部は、一辺が100nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS膜は、微結晶酸化物半導体層よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OS膜について詳細な説明を行う。

【0072】

CAAC-OS膜を透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって観察すると、結晶部同士の明確な境界、即ち結晶粒界(グレインバウンダリーともいう。)を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

10

【0073】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察(断面TEM観察)すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面(被形成面ともいう。)または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0074】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察(平面TEM観察)すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

20

【0075】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0076】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2 θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

30

【0077】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2 θ が56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体層であれば、2 θ を56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2 θ を56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0078】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

40

【0079】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0080】

50

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0081】

なお、InGaZnO₄の結晶を有するC A A C - O S 膜のout - of - plane法による解析では、2θが31°近傍のピーク他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、C A A C - O S 膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

10

【0082】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0083】

なお、酸化物半導体層は、例えば、非晶質酸化物半導体層、微結晶酸化物半導体層、C A A C - O S 膜のうち、二種以上を有する積層構造であってもよい。

【0084】

なお、上記オフ電流の低いトランジスタを出力制御トランジスタ13に用いてもよい。

【0085】

次に、本実施の形態に係る電圧変換回路の駆動方法例として、図1(A)に示す電圧変換回路の駆動方法例について、図5を参照して説明する。ここでは、一例として、変換制御トランジスタ11__1のソース及びドレインの一方に0Vが与えられるとする。また、変換制御トランジスタ11__1乃至変換制御トランジスタ11__Nを、nチャネル型の上記オフ電流の低いトランジスタとして説明する。

20

【0086】

まず期間T1では、図5(A)に示すように、クロック信号CLK1がハイレベル(H)になり、クロック信号CLK2がローレベル(L)になる。

【0087】

このとき、変換制御トランジスタ11__M及び出力制御トランジスタ13がオン状態になり、変換制御トランジスタ11__Mのソース及びドレインの他方の電位が、最大でVd11__M(変換制御トランジスタ11__Mのソース及びドレインの一方の電位)+Vth11__M(変換制御トランジスタ11__Mのしきい値電圧)まで変化すると変換制御トランジスタ11__Mはオフ状態になる。また、変換制御トランジスタ11__Lはオフ状態である。

30

【0088】

次に、期間T2では、図5(B)に示すようにクロック信号CLK1がローレベル(L)になり、クロック信号CLK2がハイレベル(H)になる。

【0089】

このとき、変換制御トランジスタ11__M及び出力制御トランジスタ13がオフ状態になり、クロック信号CLK1のハイレベルからローレベルへの変化に従い、変換制御トランジスタ11__Mのソース及びドレインの他方の電位が、最小でVd11__M+Vth11__M-VH(クロック信号CLK1のハイレベルの電位)まで下がる。また、このとき変換制御トランジスタ11__Lがオン状態になり、変換制御トランジスタ11__Lのソース及びドレインの他方の電位が、最大でVd11__L(変換制御トランジスタ11__Lのソース及びドレインの一方の電位)+Vth11__L(変換制御トランジスタ11__Lのしきい値電圧)まで変化すると変換制御トランジスタ11__Lはオフ状態になる。よって、変換制御トランジスタ11__Lのソース及びドレインの他方の電位は、入力電位よりも低い電位に変換される。

40

【0090】

50

なお、例えば図 1 (B) に示す電圧変換回路では、図 1 (A) に示す電圧変換回路とは逆に、クロック信号 C L K 1 及びクロック信号 C L K 2 に従って、変換制御トランジスタ 1 1 _ L のソース及びドレインの他方の電位は、入力電位よりも高い電位に変換される。

【 0 0 9 1 】

また、電圧変換回路に対するクロック信号 C L K 1 及びクロック信号 C L K 2 の供給を停止した期間 T _ C L K O F F では、図 5 (C) に示すように、変換制御トランジスタ 1 1 _ M、変換制御トランジスタ 1 1 _ L、及び出力制御トランジスタ 1 3 がオフ状態になる。変換制御トランジスタ 1 1 _ 1 乃至変換制御トランジスタ 1 1 _ N としてオフ電流の低いトランジスタを用いる場合、変換制御トランジスタ 1 1 _ M、変換制御トランジスタ 1 1 _ L、及び出力制御トランジスタ 1 3 はオフ電流が低いため、電圧変換回路により生成した電位が一定期間保持される。よって、電圧変換回路に対するクロック信号 C L K 1 及びクロック信号 C L K 2 の供給を停止できる期間を長くすることができるため、消費電力を低減できる。

10

【 0 0 9 2 】

以上が図 1 (A) に示す電圧変換回路の駆動方法例である。

【 0 0 9 3 】

なお、本実施の形態に係る電圧変換回路の構成は、上記に限定されない。

【 0 0 9 4 】

例えば、上記電圧変換回路の出力制御トランジスタ 1 3 のソース及びドレインの一方を、電圧変換ブロック 1 0 _ H (H は 1 以上 N - 1 以下のいずれか一の自然数) が有する変換制御トランジスタ 1 1 _ H のソース及びドレインの他方に電氣的に接続してもよい。このとき、電圧変換ブロック 1 0 _ H が有する変換制御トランジスタ 1 1 _ H のバックゲートを、電圧変換ブロック 1 0 _ I (I は H + 1 以上 N 以下のいずれか一の自然数) が有する変換制御トランジスタ 1 1 _ I のソース及びドレインの他方に電氣的に接続する。これにより、変換制御トランジスタ 1 1 _ H のバックゲートの電位を、変換制御トランジスタ 1 1 _ H のソース及びドレインの他方の電位よりも低くできる。

20

【 0 0 9 5 】

例えば、変換制御トランジスタ 1 1 _ H として上記オフ電流の低い n チャネル型トランジスタを用いた場合、変換制御トランジスタ 1 1 _ H のバックゲートの電位を、変換制御トランジスタ 1 1 _ H のソース及びドレインの他方の電位よりも低くすることにより、しきい値電圧を正方向にシフトさせることができる。よって、例えば劣化などにより変換制御トランジスタ 1 1 _ H のしきい値電圧が負の値にシフトすることを抑制できる。

30

【 0 0 9 6 】

例えば、図 6 (A) 及び図 6 (B) に示す電圧変換回路の構成は、H が N - 2、I が N の場合の構成であり、出力制御トランジスタ 1 3 のソース及びドレインの一方が、変換制御トランジスタ 1 1 _ N - 2 のソース及びドレインの他方に電氣的に接続される。さらに、変換制御トランジスタ 1 1 _ 1 乃至変換制御トランジスタ 1 1 _ N のバックゲートのそれぞれが、変換制御トランジスタ 1 1 _ N のソース及びドレインの他方に電氣的に接続される。これにより、変換制御トランジスタ 1 1 _ 1 乃至変換制御トランジスタ 1 1 _ N のバックゲートのそれぞれの電位を、変換制御トランジスタ 1 1 _ N - 2 のソース及びドレインの他方の電位よりも低くできる。

40

【 0 0 9 7 】

また、トランジスタ 1 5 及び容量素子 1 6 をさらに設けてもよい。このとき、トランジスタ 1 5 のゲートを、電圧変換ブロック 1 0 _ P (P は 1 乃至 N - 3 のいずれか一の自然数) が有する変換制御トランジスタ 1 1 _ P のソース及びドレインの他方に電氣的に接続する。さらに、出力制御トランジスタ 1 3 のソース及びドレインの一方を、電圧変換ブロック 1 0 _ Q (Q は P + 1 乃至 N - 2 のいずれか一の自然数) が有する変換制御トランジスタ 1 1 _ Q のソース及びドレインの他方に電氣的に接続する。さらに、トランジスタ 1 5 のソース及びドレインの一方を、電圧変換ブロック 1 0 _ R (R は Q + 1 乃至 N - 1 のいずれか一の自然数) が有する変換制御トランジスタ 1 1 _ R のソース及びドレインの他方

50

に電氣的に接続する。さらに、容量素子 1 6 の一対の電極の一方を、トランジスタ 1 5 のソース及びドレインの他方に電氣的に接続し、他方には電位を与える。容量素子 1 6 の容量値は、容量素子 1 2 _ 1 乃至容量素子 1 2 _ N の容量値のそれぞれよりも大きいことが好ましい。

【 0 0 9 8 】

変換制御トランジスタ 1 1 _ 1 乃至変換制御トランジスタ 1 1 _ P としては、上記オフ電流の低いトランジスタよりもオフ電流の高いトランジスタ（例えばチャンネル形成領域がシリコンであるトランジスタなど）を適用することが好ましい。さらに、変換制御トランジスタ 1 1 _ P + 1 乃至変換制御トランジスタ 1 1 _ N として上記オフ電流の低いトランジスタを適用することが好ましい。

10

【 0 0 9 9 】

上記構成で変換制御トランジスタ 1 1 _ 1 乃至変換制御トランジスタ 1 1 _ N が N チャンネル型トランジスタであり、トランジスタ 1 5 が P チャンネル型トランジスタであるとする。このとき、電圧変換回路に対してクロック信号 C L K 1 及びクロック信号 C L K 2 が供給される間、トランジスタ 1 5 は、ゲートとソースの間にしきい値電圧よりも高い電圧が印加されるためオフ状態になる。このとき、トランジスタ 1 5 をオフ状態にできるように、P の値及び R の値を設定しておく。また、容量素子 1 2 _ P 及び容量素子 1 2 _ R の容量値を他の容量素子と異なる値にしてもよい。

【 0 1 0 0 】

また、上記構成で電圧変換回路に対するクロック信号 C L K 1 及びクロック信号 C L K 2 の供給を停止させた場合、変換制御トランジスタ 1 1 _ 1 乃至変換制御トランジスタ 1 1 _ P のそれぞれのオフ電流により、変換制御トランジスタ 1 1 _ P のソース及びドレインの他方の電位が徐々に上昇する。このときトランジスタ 1 5 は、ゲートとソースの間の電圧がしきい値電圧未満になるとオン状態になり、容量素子 1 6 により、変換制御トランジスタ 1 1 _ R のソース及びドレインの他方の電位が保持される。

20

【 0 1 0 1 】

上記構成にすることにより、クロック信号の供給期間では、容量素子 1 6 と変換制御トランジスタ 1 1 _ R とを導通状態にさせないことで容量素子 1 6 による遅延を抑制し、クロック信号の停止期間では、容量素子 1 6 と変換制御トランジスタ 1 1 _ R とを導通状態して、容量素子 1 6 により変換制御トランジスタ 1 1 _ R のソース及びドレインの他方の電位の保持期間を長くできる。なお、トランジスタ 1 5 がオン状態になったとき、容量素子 1 6 による電圧降下が起こるため、少なくとも電圧降下の分だけ、変換制御トランジスタ 1 1 _ R のソース及びドレインの他方の電位が所望の電位よりも高くなるように設計しておくことが好ましい。

30

【 0 1 0 2 】

例えば、図 7 (A) に示す電圧変換回路は、図 6 (A) に示す電圧変換回路にトランジスタ 1 5 及び容量素子 1 6 をさらに設けた構成であり、図 7 (B) に示す電圧変換回路は、図 6 (B) に示す電圧変換回路にトランジスタ 1 5 及び容量素子 1 6 をさらに設けた構成である。

【 0 1 0 3 】

トランジスタ 1 5 のゲートは、変換制御トランジスタ 1 1 _ 2 のソース及びドレインの他方に電氣的に接続される。さらに、出力制御トランジスタ 1 3 のソース及びドレインの一方を、変換制御トランジスタ 1 1 _ N - 2 のソース及びドレインの他方に電氣的に接続される。さらに、トランジスタ 1 5 のソース及びドレインの一方は、変換制御トランジスタ 1 1 _ N - 1 のソース及びドレインの他方に電氣的に接続される。

40

【 0 1 0 4 】

上記構成にすることにより、クロック信号の供給期間では、容量素子 1 6 と変換制御トランジスタ 1 1 _ N - 1 とを導通状態にさせないことで容量素子 1 6 による遅延を抑制し、クロック信号の停止期間では、容量素子 1 6 と変換制御トランジスタ 1 1 _ N - 1 とを導通状態して、容量素子 1 6 により変換制御トランジスタ 1 1 _ N - 1 のソース及びドレイン

50

ンの他方の電位の保持期間を長くできる。

【0105】

図1乃至図7を参照して説明したように、本実施の形態に係る電圧変換回路の一例では、電圧変換ブロックが有する変換制御トランジスタのバックゲートに電圧変換回路により生成される電位を供給する。上記トランジスタのバックゲートを浮遊状態にしないことにより、バックチャネル側に流れる電流を制御し、トランジスタの電気特性の変動を抑制できる。

【0106】

また、本実施の形態に係る電圧変換回路の一例では、電圧変換ブロックが有するトランジスタとして、オフ電流の低いトランジスタを用いる。オフ電流の低いトランジスタを用いて出力電位の保持を制御することにより、例えば電圧変換回路に対するクロック信号の供給を停止させた場合の出力電位の変動を抑制できる。さらに、オフ電流の低いトランジスタを用いることにより、クロック信号の供給の停止が可能な期間を増やし、消費電力を低減できる。

【0107】

(実施の形態2)

本実施の形態では、実施の形態1に係る電圧変換回路を用いた電源回路を備える半導体装置の例について説明する。

【0108】

本実施の形態に係る半導体装置の例について図8及び図9を参照して説明する。

【0109】

図8に示す半導体装置は、CPUコア501と、マスターコントローラ502と、パワースイッチ503と、オシレータ504と、電源回路505と、バッファ(BUFともいう)506と、を有する。

【0110】

CPUコア501には、電源電圧VDDが供給され、且つマスターコントローラ502から制御信号が入力される。

【0111】

制御信号としては、例えばマスターコントローラ502により出力される書き込み制御信号CPU_WE0がレベルシフタ(LSともいう)512により変換された書き込み制御信号CPU_WEが入力される。なお、これに限定されず、制御信号としては、半導体装置内の電源供給の制御信号、データ信号に基づく命令を実行する際に各回路ブロックを駆動させるための制御信号なども含む。

【0112】

CPUコア501は、マスターコントローラ502からの制御信号に基づき、演算処理を実行することにより各種動作を行う。

【0113】

例えば、CPUコア501は、CPUコア501に対する電源電圧VDD_INの供給を制御する機能を有する。電源電圧VDD_INの供給は、例えばパワーコントローラ521によりパワースイッチ503をオン状態又はオフ状態にすることにより制御される。

【0114】

また、CPUコア501は、オシレータ504を停止させるか否かを制御する機能を有する。オシレータ504は、例えばCPUコア501から入力されるイネーブル信号ENにより制御される。

【0115】

また、CPUコア501は、レジスタ511に電源回路505により生成される電源電位VDD_CP1を供給するか電源電位VDD_CP2を供給するかを制御する機能を有する。例えば、CPUコア501は、選択回路であるマルチプレクサ(MUXともいう)514に制御信号を入力することにより、電源電位VDD_CP1を供給するか電源電位VDD_CP2を供給するかを制御する。

10

20

30

40

50

【0116】

さらに、CPUコア501は、レジスタ511を有する。

【0117】

マスターコントローラ502は、パワースイッチ503を制御する機能を有するパワーコントローラ521と、CPUコア501を制御する機能を有するCPUコントローラ522と、を有する。

【0118】

マスターコントローラ502は、CPUコア501の命令信号に従い、CPUコア501を制御する制御信号、パワースイッチ503を制御する制御信号、オシレータ504を制御する制御信号などを生成する機能を有する。

10

【0119】

例えば、パワーコントローラ521は、パワースイッチ503を制御する制御信号PSW_ON、制御信号PSW_OFFを生成する機能を有する。

【0120】

また、CPUコントローラ522は、レジスタ511に対する書き込みを制御する書き込み制御信号CPU_WE0、CPUコア501の演算処理を制御する制御信号などを生成する機能を有する。

【0121】

なお、CPUコントローラ522は、割り込み信号により電源電圧VDD_INの供給が制御される。

20

【0122】

パワースイッチ503は、制御信号LS_PSWONにより、パワースイッチ503をオン状態にするか否かが制御される。制御信号LS_PSWONは、パワーコントローラ521により出力される制御信号PSW_ONがレベルシフタ513により変換された信号である。さらに、パワースイッチ503は、パワーコントローラ521により出力される制御信号PSW_OFFにより、パワースイッチ503をオフ状態にするか否かが制御される。

【0123】

パワースイッチ503は、外部から入力される電源電圧VDDを出力するか否かを制御する機能を有する。なお、パワースイッチ503により出力された電源電圧を元に別の値の電源電圧を生成し、電源電圧VDDとしてCPUコア501及びマスターコントローラ502に供給してもよい。

30

【0124】

オシレータ504は、クロック信号CLKを生成して出力する機能を有する。さらに、オシレータ504は、CPUコントローラ522により、クロック信号CLKを生成するか否かが制御される。

【0125】

電源回路505は、クロック信号CLKに従い、電源電位VDD_CP1及び電源電位VDD_CP2を生成する機能を有する。

【0126】

電源回路505により生成された電源電位VDD_CP1及び電源電位VDD_CP2は、マルチプレクサ514によりレジスタ511が有するトランジスタのバックゲートに電源電位BGとして供給される。このとき、CPUコア501により、マルチプレクサ514から電源電位VDD_CP1を出力するか、電源電位VDD_CP2を出力するかが制御される。

40

【0127】

バッファ506は、CPUコア501と、データバス、アドレスバス、及びコントロールバスとの信号の入出力を制御する機能を有する。例えばCPUコア501とデータバスとの間では、データ信号の入出力が行われ、CPUコア501とアドレスバスとの間では、アドレス信号の入出力が行われ、CPUコア501とコントロールバスとの間では、制御

50

信号の入出力が行われる。

【0128】

さらに、電源回路505の構成例について図9を参照して説明する。

【0129】

図9に示す電源回路505は、電圧変換回路551と、電圧変換回路552と、レベルシフタ553と、レベルシフタ554と、を有する。

【0130】

電圧変換回路551には、電源電位VSS、クロック信号CLK1、及びクロック信号CLK1の反転クロック信号CLK1Bが供給される。電圧変換回路551は、クロック信号CLK1及び反転クロック信号CLK1Bに従い、電源電位VSSを変換して負電位である電源電位VDD_CP1を生成して出力する機能を有する。

10

【0131】

電圧変換回路551としては、負電位の生成が可能な電圧変換回路（例えば図1(A)、図2(A)、図3(A)、及び図3(C)に示す電圧変換回路）を適用できる。

【0132】

電圧変換回路552には、電源電位VCP2、クロック信号CLK2、及びクロック信号CLK2の反転クロック信号CLK2Bが供給される。電圧変換回路552は、クロック信号CLK2及び反転クロック信号CLK2Bに従い、電源電位VCP2を変換して正電位である電源電位VDD_CP2を生成して出力する機能を有する。

20

【0133】

電圧変換回路552としては、正電位の生成が可能な電圧変換回路（例えば図1(B)、図2(B)、及び図3(B)に示す電圧変換回路）を適用できる。

【0134】

レベルシフタ553には、電源電位VSS、電源電位VDD_OSC、及び電源電位VCP1が供給され、オシレータ504からクロック信号CLKが供給される。電源電位VDD_OSCは、電源電位VSSよりも高い電位であり、電源電位VCP1は、電源電位VDD_OSCよりも高い電位である。レベルシフタ553は、クロック信号CLKをハイレベルが電源電位VDD_OSCであるクロック信号に変換し、さらにハイレベルが電源電位VDD_OSCであるクロック信号を、ハイレベルが電源電位VCP1であるクロック信号に変換してクロック信号CLK1を生成する機能を有する。なお、反転クロック信号CLK1Bは、例えばインバータを用いて、ハイレベルが電源電位VCP1であるクロック信号CLK1を反転させることにより生成される。

30

【0135】

レベルシフタ554には、電源電位VSS、電源電位VDD_OSC、及び電源電位VCP2が供給され、オシレータ504からクロック信号CLKが供給される。電源電位VCP2は、電源電位VDD_OSCよりも高い電位である。レベルシフタ554は、クロック信号CLKをハイレベルが電源電位VDD_OSCであるクロック信号に変換し、さらにハイレベルが電源電位VDD_OSCであるクロック信号を、ハイレベルが電源電位VCP2であるクロック信号に変換してクロック信号CLK2を生成する機能を有する。なお、反転クロック信号CLK2Bは、例えばインバータを用いて、ハイレベルが電源電位VCP2であるクロック信号を反転させることにより生成される。

40

【0136】

電圧変換回路551により生成された電源電位VDD_CP1、及び電圧変換回路552により生成された電源電位VDD_CP2は、マルチプレクサ514に入力される。

【0137】

以上が電源回路505の構成例である。

【0138】

次に、CPUコア501の例について、図10を参照して説明する。

【0139】

図10に示すCPUコア501は、デコード部614と、演算制御部616と、レジスタ

50

セット 6 2 0 と、演算ユニット 6 2 2 と、アドレスバッファ 6 2 4 と、を有する。

【 0 1 4 0 】

デコード部 6 1 4 には、命令レジスタ及び命令デコーダが設けられる。デコード部 6 1 4 は、入力された命令データのデコードを行い、命令内容を解析する機能を有する。

【 0 1 4 1 】

演算制御部 6 1 6 は、ステート生成部及びレジスタを有する。さらに、ステート生成部には、レジスタが設けられる。ステート生成部では、半導体装置の状態を設定するための信号を生成する。

【 0 1 4 2 】

レジスタセット 6 2 0 は、複数のレジスタを有する。複数のレジスタには、プログラムカウンタ、汎用レジスタ、及び演算レジスタとして機能するレジスタが含まれる。レジスタセット 6 2 0 は、演算処理に必要なデータを格納する機能を有する。

10

【 0 1 4 3 】

演算ユニット 6 2 2 は、ALU (Arithmetic Logic Unit) 6 2 3 を有する。演算ユニット 6 2 2 は、演算制御部 6 1 6 からの入力される命令データに基づき ALU 6 2 3 を用いて演算処理を実行する機能を有する。なお、演算ユニット 6 2 2 にもレジスタを設けてもよい。

【 0 1 4 4 】

アドレスバッファ 6 2 4 は、レジスタを有する。アドレスバッファ 6 2 4 は、アドレス信号のアドレスに従い、レジスタセット 6 2 0 内のデータ信号の入出力を制御する機能を有する。

20

【 0 1 4 5 】

さらに、CPUコア 5 0 1 には、書き込み制御信号 WE、読み出し制御信号 RD が入力される。また CPUコア 5 0 1 には、バス 6 4 0 を介して 8 ビットのデータが入力される。また CPUコア 5 0 1 には、CPU制御信号が入力される。

【 0 1 4 6 】

CPUコア 5 0 1 からは、16 ビットアドレスデータが出力される。また CPUコア 5 0 1 からは、バス制御信号が出力される。

【 0 1 4 7 】

書き込み制御信号 WE 及び読み出し制御信号 RD は、演算制御部 6 1 6、レジスタセット 6 2 0、及びアドレスバッファ 6 2 4 に入力される。8 ビットのデータは、バス 6 4 0 を介して、レジスタセット 6 2 0 及び演算ユニット 6 2 2 に入力される。演算制御信号は、演算制御部 6 1 6 に入力される。演算制御信号に基づき、演算ユニット 6 2 2 は演算処理を実行する。

30

【 0 1 4 8 】

16 ビットアドレスデータは、アドレスバッファ 6 2 4 から出力される。またバス制御信号は、演算制御部 6 1 6 から出力される。

【 0 1 4 9 】

CPUコア 5 0 1 の各回路は、バス 6 4 0 及びバス 6 4 1 を介して、データ信号、アドレス信号、演算制御信号の入出力を行うことができる。バス 6 4 0 としては、データバス、アドレスバス、コントロールバスが挙げられる。

40

【 0 1 5 0 】

CPUコア 5 0 1 に設けられた各レジスタは、データ処理の際にデータを一定期間保持する機能を有する。

【 0 1 5 1 】

さらに、各回路ブロックに適用可能なレジスタ (レジスタ 5 1 1) の構成例について図 1 1 を参照して説明する。

【 0 1 5 2 】

図 1 1 (A) に示すレジスタ 5 1 1 は、揮発性記憶回路 6 5 1 と、不揮発性記憶回路 6 5 2 と、セクタ 6 5 3 と、を有する。

50

【 0 1 5 3 】

揮発性記憶回路 6 5 1 には、リセット信号 R S T、クロック信号 C L K、及びデータ信号 D が入力される。揮発性記憶回路 6 5 1 は、クロック信号 C L K に従って入力されるデータ信号 D のデータを保持し、データ信号 Q として出力する機能を有する。リセット信号 R S T、クロック信号 C L K、及びデータ信号 D は、例えば C P U コントローラ 5 2 2 及びバッファ 5 0 6 を介して入力される。

【 0 1 5 4 】

不揮発性記憶回路 6 5 2 には、書き込み制御信号 W E、読み出し制御信号 R D、及びデータ信号が入力される。

【 0 1 5 5 】

不揮発性記憶回路 6 5 2 は、書き込み制御信号 W E に従って、入力されるデータ信号のデータを記憶し、読み出し制御信号 R D に従って、記憶されたデータをデータ信号として出力する機能を有する。

【 0 1 5 6 】

セクタ 6 5 3 は、読み出し制御信号 R D に従って、データ信号 D 又は不揮発性記憶回路 6 5 2 から出力されるデータ信号を選択して、揮発性記憶回路 6 5 1 に入力する。

【 0 1 5 7 】

不揮発性記憶回路 6 5 2 には、トランジスタ 6 3 1 及び容量素子 6 3 2 が設けられている。

【 0 1 5 8 】

トランジスタ 6 3 1 は、Nチャネル型トランジスタであり、選択トランジスタとしての機能を有する。トランジスタ 6 3 1 のソース及びドレインの一方は、揮発性記憶回路 6 5 1 の出力端子に電氣的に接続されている。さらに、トランジスタ 6 3 1 のバックゲートは、図 9 に示すマルチプレクサ 5 1 4 に電氣的に接続される。トランジスタ 6 3 1 は、書き込み制御信号 W E に従って揮発性記憶回路 6 5 1 から出力されるデータ信号の保持を制御する機能を有する。

【 0 1 5 9 】

トランジスタ 6 3 1 としては、実施の形態 1 に示すオフ電流の低いトランジスタを用いることができる。

【 0 1 6 0 】

容量素子 6 3 2 の一对の電極の一方はトランジスタ 6 3 1 のソース及びドレインの他方に電氣的に接続され、他方には電源電位 V S S が供給される。容量素子 6 3 2 は、記憶するデータ信号のデータに基づく電荷を保持する機能を有する。トランジスタ 6 3 1 のオフ電流が非常に低いため、電源電圧の供給が停止しても容量素子 6 3 2 の電荷は保持され、データが保持される。

【 0 1 6 1 】

トランジスタ 6 3 3 は、pチャネル型トランジスタである。トランジスタ 6 3 3 のソース及びドレインの一方には電源電位 V D D が供給され、ゲートには、読み出し制御信号 R D が入力される。

【 0 1 6 2 】

トランジスタ 6 3 4 は、nチャネル型トランジスタである。トランジスタ 6 3 4 のソース及びドレインの一方は、トランジスタ 6 3 3 のソース及びドレインの他方に電氣的に接続されており、ゲートには、読み出し制御信号 R D が入力される。

【 0 1 6 3 】

トランジスタ 6 3 5 は、nチャネル型トランジスタである。トランジスタ 6 3 5 のソース及びドレインの一方は、トランジスタ 6 3 4 のソース及びドレインの他方に電氣的に接続されており、ソース及びドレインの他方には、電源電位 V S S が供給される。

【 0 1 6 4 】

インバータ 6 3 6 の入力端子は、トランジスタ 6 3 3 のソース及びドレインの他方に電氣的に接続されている。また、インバータ 6 3 6 の出力端子は、セクタ 6 5 3 の入力端子

10

20

30

40

50

に電氣的に接続される。

【0165】

容量素子637の一对の電極の一方はインバータ636の入力端子に電氣的に接続され、他方には電源電位VSSが供給される。容量素子637は、インバータ636に入力されるデータ信号のデータに基づく電荷を保持する機能を有する。

【0166】

なお、上記に限定されず、例えば相変化型メモリ(PRAMともいう)、抵抗変化型メモリ(ReRAMともいう)、磁気抵抗型メモリ(MRAMともいう)などを用いて不揮発性記憶回路652を構成してもよい。例えば、MRAMとしては磁気トンネル接合素子(MTJ素子ともいう)を用いたMRAMを適用できる。

10

【0167】

次に、図11(A)に示すレジスタ511の駆動方法例について説明する。

【0168】

まず、通常動作期間において、電源電圧、リセット信号RST、クロック信号CLKは、レジスタ511に供給された状態である。このとき、セクタ653は、データ信号Dのデータを揮発性記憶回路651に出力する。揮発性記憶回路651は、クロック信号CLKに従って入力されたデータ信号Dのデータを保持する。このとき、読み出し制御信号RDによりトランジスタ633がオン状態になり、トランジスタ634がオフ状態になる。

【0169】

次に、電源電圧を停止する直前のバックアップ期間において、書き込み制御信号WEのパルスに従って、トランジスタ631がオン状態になり、不揮発性記憶回路652にデータ信号Dのデータが記憶され、トランジスタ631がオフ状態になる。その後レジスタに対するクロック信号CLKの供給を停止させ、さらにその後レジスタに対するリセット信号RSTの供給を停止させる。なお、トランジスタ631がオン状態のとき、マルチプレクサ514により、トランジスタ631のバックゲートに正電位である電源電位VDD_CP2を供給する。このとき、読み出し制御信号RDによりトランジスタ633がオン状態になり、トランジスタ634がオフ状態になる。

20

【0170】

次に、電源停止期間において、レジスタ511に対する電源電圧の供給を停止させる。このとき、不揮発性記憶回路652のトランジスタ631のオフ電流が低いため、記憶されたデータが保持される。なお、電源電位VDDの代わりに接地電位GNDを供給することにより、電源電圧の供給を停止するとみなすこともできる。なお、トランジスタ631がオフ状態のとき、マルチプレクサ514により、トランジスタ631のバックゲートに負電源電位である電源電位VDD_CP1を供給してトランジスタ631のオフ状態を維持する。

30

【0171】

次に、通常動作期間に戻る直前のリカバリ期間において、レジスタ511に対する電源電圧の供給を再開させ、その後クロック信号CLKの供給を再開させ、さらにその後リセット信号RSTの供給を再開させる。このとき、クロック信号CLKが供給される配線を電源電位VDDにしておき、その後クロック信号CLKの供給を再開させる。さらに、読み出し制御信号RDのパルスに従ってトランジスタ633がオフ状態になり、トランジスタ634がオン状態になり、不揮発性記憶回路652に記憶された値のデータ信号がセクタ653に出力される。セクタ653は、読み出し制御信号RDのパルスに従って上記データ信号を揮発性記憶回路651に出力する。これにより、電源停止期間の直前の状態に揮発性記憶回路651を復帰させることができる。

40

【0172】

その後、通常動作期間において、再び揮発性記憶回路651の通常動作を行う。

【0173】

以上が図11(A)に示すレジスタ511の駆動方法例である。

【0174】

50

なお、レジスタ 5 1 1 は、図 1 1 (A) に示す構成に限定されない。

【 0 1 7 5 】

例えば、図 1 1 (B) に示すレジスタ 5 1 1 は、図 1 1 (A) に示すレジスタ 5 1 1 の構成と比較してトランジスタ 6 3 3、トランジスタ 6 3 4、インバータ 6 3 6、容量素子 6 3 7 が無く、セクタ 6 5 4 を有する構成である。図 1 1 (A) に示すレジスタ 5 1 1 と同じ部分については、図 1 1 (A) に示すレジスタ 5 1 1 の説明を適宜援用する。

【 0 1 7 6 】

このとき、トランジスタ 6 3 5 のソース及びドレインの一方は、セクタ 6 5 3 の入力端子に電氣的に接続される。

【 0 1 7 7 】

また、セクタ 6 5 4 は、書き込み制御信号 WE 2 に従って、データとなる電源電位 V S S 又は揮発性記憶回路 6 5 1 から出力されるデータ信号を選択して、不揮発性記憶回路 6 5 2 に入力する。

【 0 1 7 8 】

次に、図 1 1 (B) に示すレジスタ 5 1 1 の駆動方法例について説明する。

【 0 1 7 9 】

まず、通常動作期間において、電源電圧、リセット信号 R S T、クロック信号 C L K は、レジスタに供給された状態である。このとき、セクタ 6 5 3 は、データ信号 D のデータを揮発性記憶回路 6 5 1 に出力する。揮発性記憶回路 6 5 1 は、クロック信号 C L K に従って入力されたデータ信号 D のデータを保持する。また、書き込み制御信号 WE 2 に従いセクタ 6 5 4 は、電源電位 V S S を不揮発性記憶回路 6 5 2 に出力する。不揮発性記憶回路 6 5 2 では、書き込み制御信号 WE のパルスに従いトランジスタ 6 3 1 がオン状態になり、不揮発性記憶回路 6 5 2 に電源電位 V S S がデータとして記憶される。

【 0 1 8 0 】

次に、電源電圧を停止する直前のバックアップ期間において、書き込み制御信号 WE 2 に従いセクタ 6 5 4 により、電源電位 V S S の供給の代わりに揮発性記憶回路 6 5 1 の出力端子とトランジスタ 6 3 1 のソース及びドレインの一方が導通状態になる。さらに、書き込み制御信号 WE のパルスに従いトランジスタ 6 3 1 がオン状態になり、不揮発性記憶回路 6 5 2 にデータ信号 D のデータが記憶され、トランジスタ 6 3 1 がオフ状態になる。このとき、データ信号 D の電位が電源電位 V D D と同じ値のときのみ、不揮発性記憶回路 6 5 2 のデータが書き換わる。さらに、レジスタに対するクロック信号 C L K の供給を停止させ、レジスタ 5 1 1 に対するリセット信号 R S T の供給を停止させる。なお、トランジスタ 6 3 1 がオン状態のとき、マルチプレクサ 5 1 4 により、トランジスタ 6 3 1 のバックゲートに正電位である電源電位 V D D _ C P 2 を供給する。

【 0 1 8 1 】

次に、電源停止期間において、レジスタ 5 1 1 に対する電源電圧の供給を停止させる。このとき、不揮発性記憶回路 6 5 2 において、トランジスタ 6 3 1 のオフ電流が低いため、データの値が保持される。なお、電源電位 V D D の代わりに接地電位 G N D を供給することにより、電源電圧の供給を停止させるとみなすこともできる。なお、マルチプレクサ 5 1 4 により、トランジスタ 6 3 1 がオフ状態のとき、トランジスタ 6 3 1 のバックゲートに負電源電位である電源電位 V D D _ C P 1 を供給してトランジスタのオフ状態を維持する。

【 0 1 8 2 】

次に、通常動作期間に戻る直前のリカバリ期間において、レジスタ 5 1 1 に対する電源電圧の供給を再開し、その後クロック信号 C L K の供給を再開させ、さらにその後リセット信号 R S T の供給を再開させる。このとき、クロック信号 C L K が供給される配線を電源電位 V D D にしておき、その後クロック信号 C L K の供給を再開させ。セクタ 6 5 3 は、読み出し制御信号 R D のパルスに従って不揮発性記憶回路 6 5 2 の記憶されたデータに応じた値のデータ信号を揮発性記憶回路 6 5 1 に出力する。これにより、電源停止期間の直前の状態に揮発性記憶回路 6 5 1 を復帰させることができる。

10

20

30

40

50

【0183】

その後、通常動作期間において、再び揮発性記憶回路651の通常動作を行う。

【0184】

以上が図11(B)に示すレジスタ511の駆動方法例である。

【0185】

図11(B)に示す構成にすることにより、バックアップ期間における電源電位VSSであるデータの書き込みを無くすことができるため、動作を速くできる。

【0186】

次に、本実施の形態に係る半導体装置の構造例について図12に示す。

【0187】

図12に示す半導体装置は、チャンネル形成領域にシリコンを含むトランジスタ801と、チャンネル形成領域に酸化物半導体を含むトランジスタ802を積層し、さらに、トランジスタ801とトランジスタ802の間に積層された複数の配線層を設けた構造である。

【0188】

トランジスタ801は、埋め込み絶縁層を有する半導体基板に設けられる。トランジスタ801は、例えば図11に示すトランジスタ635に相当する。また、変換制御トランジスタをトランジスタ801と同じ構造にしてもよい。

【0189】

トランジスタ802は、絶縁層820に埋め込まれた導電層821aと、導電層821aの上に設けられた絶縁層822と、絶縁層822を挟んで導電層821aに重畳する半導体層823と、半導体層823に電氣的に接続する導電層824a及び導電層824bと、半導体層823、導電層824a、及び導電層824bの上に設けられた絶縁層825と、絶縁層825を挟んで半導体層823に重畳する導電層826と、導電層826の上に設けられた絶縁層827により構成される。

【0190】

このとき、導電層821aは、トランジスタ802のバックゲート電極としての機能を有する。絶縁層822は、トランジスタ802のゲート絶縁層としての機能を有する。半導体層823は、トランジスタ802のチャンネル形成層としての機能を有する。導電層824a及び導電層824bは、トランジスタ802のソース電極又はドレイン電極としての機能を有する。絶縁層825は、トランジスタ802のゲート絶縁層としての機能を有する。導電層826は、トランジスタ802のゲート電極としての機能を有する。トランジスタ802は、例えば図11に示すトランジスタ631に相当する。なお、変換制御トランジスタをトランジスタ802と同じ構造にしてもよい。

【0191】

さらに、導電層824aは、絶縁層822を貫通して設けられた開口部で、導電層821aと同一の導電層により形成される導電層821bに電氣的に接続され、導電層821bは、絶縁層811に埋め込まれた配線層812、配線層812の上に設けられた配線層813、配線層813の上に設けられた絶縁層814に埋め込まれた配線層815を介してトランジスタ801のゲート電極に電氣的に接続される。このとき、例えば化学的機械研磨(CMPともいう)処理により絶縁層820の一部を除去することにより導電層821a及び導電層821bの表面を露出させる。

【0192】

さらに、トランジスタ802の上層には、配線層830、配線層833が順に積層して設けられる。配線層830は、絶縁層825、絶縁層827、及び絶縁層827の上に設けられた絶縁層828に埋め込まれた配線層829により導電層824bに電氣的に接続される。配線層833は、配線層830の上に設けられた絶縁層831に埋め込まれた配線層832により配線層830に電氣的に接続される。

【0193】

さらに、各構成要素について説明する。なお、各層を積層構造にしてもよい。

【0194】

10

20

30

40

50

配線層 8 1 2、配線層 8 1 3、配線層 8 1 5、配線層 8 2 9、配線層 8 3 0、配線層 8 3 2、及び配線層 8 3 3 としては、例えばモリブデン、チタン、クロム、タンタル、マグネシウム、銀、タングステン、アルミニウム、銅、ネオジム、ルテニウム、又はスカンジウムなどの金属材料を含む層を適用できる。

【 0 1 9 5 】

絶縁層 8 1 1、絶縁層 8 1 4、絶縁層 8 2 0、絶縁層 8 2 2、絶縁層 8 2 5、及び絶縁層 8 2 7 としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、又は酸化ハフニウムなどの材料を含む層を適用できる。

【 0 1 9 6 】

なお、半導体層 8 2 3 を酸素が過飽和の状態とするため、半導体層 8 2 3 に接する絶縁層（例えば絶縁層 8 2 2 及び絶縁層 8 2 5）は、過剰酸素を含む層を有することが好ましい。

【 0 1 9 7 】

過剰酸素を含む絶縁層は、プラズマ CVD 法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や、酸化窒化シリコン膜を用いて形成する。また、イオン注入法やイオンドーピング法やプラズマ処理によって半導体層 8 2 3 及び上記半導体層 8 2 3 に接する絶縁層の少なくとも一つに酸素を添加してもよい。

【 0 1 9 8 】

さらに過剰酸素を含む絶縁層の外側に配置されるように、酸素、水素、又は水に対するブロッキング層を絶縁層 8 2 2 及び絶縁層 8 2 7 に設けることが好ましい。これにより、酸化物半導体層に含まれる酸素の外部への拡散と、外部から酸化物半導体層への水素、水などの侵入を防止できる。ブロッキング層としては、例えば窒化シリコン、酸化アルミニウム、窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化窒化アルミニウム、窒化酸化アルミニウム、又は酸化ハフニウムなどの材料を含む層などを適用できる。

【 0 1 9 9 】

過剰酸素を含む絶縁層又はブロッキング層で半導体層 8 2 3 を包み込むことで、半導体層 8 2 3 において化学量論比組成とほぼ一致するような状態、または化学量論的組成より酸素が多い過飽和の状態とすることができる。

【 0 2 0 0 】

例えば、窒化シリコン層及び酸化窒化シリコン層の積層により絶縁層 8 2 2 を構成してもよい。

【 0 2 0 1 】

また、例えば酸化窒化シリコン層により絶縁層 8 2 5 を構成してもよい。

【 0 2 0 2 】

また、例えば窒化シリコン層及び酸化窒化シリコン層の積層により絶縁層 8 2 7 を構成してもよい。

【 0 2 0 3 】

また、例えば、形成ガスとしてテトラエチルオルトシリケート（TEOSともいう）を用いて CVD 法により形成した酸化シリコン層により絶縁層 8 1 4 及び絶縁層 8 2 0 を形成してもよい。これにより、絶縁層 8 1 4 及び絶縁層 8 2 0 の平坦性を高めることができる。

【 0 2 0 4 】

半導体層 8 2 3 としては、例えば酸化物半導体層を用いることができる。

【 0 2 0 5 】

酸化物半導体としては、実施の形態 1 に示す酸化物半導体を適用できる。

【 0 2 0 6 】

また、例えば $In : Ga : Zn = 1 : 1 : 1$ の原子比である第 1 の酸化物半導体層、 $In : Ga : Zn = 3 : 1 : 2$ の原子比である第 2 の酸化物半導体層、及び $In : Ga : Zn$

10

20

30

40

50

= 1 : 1 : 1 の原子比である第 3 の酸化物半導体層の積層により、半導体層 8 2 3 を構成してもよい。上記積層により半導体層 8 2 3 を構成することにより、例えばトランジスタ 8 0 2 を、半導体層 8 2 3 と接する絶縁層（絶縁層 8 2 2 及び絶縁層 8 2 5）から離れた領域にチャンネルが形成される埋め込みチャンネル構造とすることができ、変動が抑制された良好な電気特性を有するトランジスタすることができる。

【0207】

なお、水素又は水などの不純物を可能な限り除去し、酸素を供給して酸素欠損を可能な限り減らすことにより、上記酸化物半導体を含むトランジスタを作製できる。このとき、チャンネル形成領域において、ドナー不純物といわれる水素の量を、二次イオン質量分析法（SIMSともいう）の測定値で $1 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{18} / \text{cm}^3$ 以下に低減することが好ましい。

10

【0208】

例えば、酸化物半導体層に接する層として酸素を含む層を用い、また、加熱処理を行うことにより、酸化物半導体層を高純度化させることができる。

【0209】

また、形成直後の酸化物半導体層は、化学量論的組成より酸素が多い過飽和の状態であることが好ましい。例えば、スパッタリング法を用いて酸化物半導体層を形成する場合、成膜ガスの酸素の占める割合が多い条件で形成することが好ましく、特に酸素雰囲気（例えば酸素ガス 100%）で成膜を行うことが好ましい。

【0210】

また、スパッタリング装置において、成膜室内の残留水分は、少ないことが好ましい。このため、スパッタリング装置に吸着型の真空ポンプを用いることが好ましい。また、コールドトラップを用いてもよい。

20

【0211】

また、酸化物半導体層の形成では、加熱処理を行うことが好ましい。このときの加熱処理の温度は、150 以上基板の歪み点未満の温度、さらには、300 以上 450 以下であることが好ましい。なお、加熱処理を複数回行ってよい。

【0212】

上記加熱処理に用いられる加熱処理装置としては、GRTA（Gas Rapid Thermal Annealing）装置又はLRTA（Lamp Rapid Thermal Annealing）装置などのRTA（Rapid Thermal Annealing）装置を用いてもよい。なお、これに限定されず、電気炉など、別の加熱処理装置を用いてもよい。

30

【0213】

また、上記加熱処理を行った後、その加熱温度を維持しつつ、又はその加熱温度から降温する過程で該加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エア（露点が -40 以下、好ましくは -60 以下の雰囲気）を導入するとよい。このとき、酸素ガス又は N_2O ガスは、水及び水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又は N_2O ガスの純度は、6N 以上、好ましくは 7N 以上であると良い。すなわち、酸素ガス又は N_2O ガス中の不純物濃度は、1 ppm 以下、好ましくは 0.1 ppm 以下であることが好ましい。この工程により、酸化物半導体層に酸素が供給され、酸化物半導体層中の酸素欠乏に起因する欠陥を低減できる。なお、上記高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エアの導入は、上記加熱処理時に行ってもよい。

40

【0214】

なお、上記酸化物半導体を、CAAC-OSとしてもよい。

【0215】

例えば、スパッタリング法を用いてCAAC-OSである酸化物半導体層を形成できる。このとき、多結晶である酸化物半導体スパッタリング用ターゲットを用いてスパッタリングを行う。上記スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用タ

50

ーゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状又はペレット状のスputtering粒子として剥離することがある。このとき、結晶状態を維持したまま、上記スputtering粒子が基板に到達することにより、CAAC-O Sが形成される。

【0216】

また、CAAC-O Sを形成するために、以下の条件を適用することが好ましい。

【0217】

例えば、成膜時の不純物の混入を低減させてCAAC-O Sを形成することにより、不純物による酸化物半導体の結晶状態の崩壊を抑制できる。例えば、スputtering装置の成膜室内に存在する不純物濃度（水素、水、二酸化炭素、及び窒素などの濃度）を低減することが好ましい。また、成膜ガス中の不純物濃度を低減することが好ましい。例えば、成膜ガスとして露点が - 80 以下、好ましくは - 100 以下である成膜ガスを用いることが好ましい。

10

【0218】

また、成膜時の基板温度を高くすることにより、平板状のスputtering粒子が基板に到達したときに、スputtering粒子のマイグレーションが起こり、スputtering粒子の平らな面がスputtering粒子を基板に付着させることができる。例えば、基板加熱温度を100以上740以下、好ましくは200以上500以下として酸化物半導体膜を成膜することにより酸化物半導体層を形成する。

【0219】

また、成膜ガス中の酸素割合を高くし、電力を最適化して成膜時のプラズマダメージを抑制させることが好ましい。例えば、成膜ガス中の酸素割合を、30体積%以上、好ましくは100体積%にすることが好ましい。

20

【0220】

また、上記酸化物半導体において、シリコンなどの不純物濃度を 2.5×10^{21} atom/cm³ 未満、好ましくは 4.0×10^{19} atom/cm³ 未満、さらに好ましくは 2.0×10^{18} atom/cm³ 未満にすることが好ましい。上記不純物濃度を低くすることにより、上記不純物によるCAAC-O Sの障害を防止できる。なお、上記不純物としては、シリコン以外にもチタン、ハフニウムなども挙げられる。

【0221】

導電層821a、導電層821b、及び導電層826としては、例えばモリブデン、チタン、クロム、タンタル、マグネシウム、銀、タングステン、アルミニウム、銅、ネオジム、ルテニウム、又はスカンジウムなどの金属材料を含む層を適用できる。

30

【0222】

導電層824a及び導電層824bとしては、例えばモリブデン、チタン、クロム、タンタル、マグネシウム、銀、タングステン、アルミニウム、銅、ネオジム、ルテニウム、又はスカンジウムなどの金属材料を含む層を適用できる。また、導体としての機能を有し、光を透過する金属酸化物の層などを適用してもよい。例えば、酸化インジウム酸化亜鉛又はインジウム錫酸化物などを適用できる。

【0223】

絶縁層828及び絶縁層831としては、例えば有機樹脂材料の層を適用できる。

40

【0224】

図12に示すように、本実施の形態に係る半導体装置の一例では、異なるトランジスタを積層させて構成することにより、回路面積を小さくできる。

【0225】

以上が図12に示す半導体装置の構造例の説明である。

【0226】

図8乃至図12を参照して説明したように、本実施の形態に係る半導体装置の一例では、実施の形態1に示す電圧変換回路を用いて電源回路を構成し、さらに、オシレータ、レジスタを有するCPUコアを用いて半導体装置を構成する。さらに、CPUコアにより、上

50

記レジスタのトランジスタのバックゲートに正電位又は負電位を供給するように制御する。これにより、レジスタに用いられるトランジスタの電気特性（例えば、しきい値電圧）の変動を抑制できる。

【0227】

（実施の形態3）

本実施の形態では、本発明の一態様である半導体装置を用いた電子機器の例について、図13を参照して説明する。

【0228】

図13（A）に示す電子機器は、携帯型情報端末の一例である。

【0229】

図13（A）に示す電子機器は、筐体1011と、筐体1011に設けられたパネル1012と、ボタン1013と、スピーカー1014と、を具備する。

【0230】

なお、筐体1011に、外部機器に接続するための接続端子及び操作ボタンが設けられていてもよい。

【0231】

パネル1012は、表示パネル（ディスプレイ）である。パネル1012は、タッチパネルの機能を有することが好ましい。

【0232】

ボタン1013は、筐体1011に設けられる。例えば、ボタン1013が電源ボタンであれば、ボタン1013を押すことにより、電子機器をオン状態にするか否かを制御することができる。

【0233】

スピーカー1014は、筐体1011に設けられる。スピーカー1014は音声を出力する。

【0234】

なお、筐体1011にマイクが設けられていてもよい。筐体1011にマイクを設けられることにより、例えば図13（A）に示す電子機器を電話機として機能させることができる。

【0235】

図13（A）に示す電子機器は、筐体1011の内部に本発明の一態様である半導体装置を有する。

【0236】

図13（A）に示す電子機器は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0237】

図13（B）に示す電子機器は、折り畳み式の情報端末の一例である。

【0238】

図13（B）に示す電子機器は、筐体1021aと、筐体1021bと、筐体1021aに設けられたパネル1022aと、筐体1021bに設けられたパネル1022bと、軸部1023と、ボタン1024と、接続端子1025と、記録媒体挿入部1026と、スピーカー1027と、を備える。

【0239】

筐体1021aと筐体1021bは、軸部1023により接続される。

【0240】

パネル1022a及びパネル1022bは、表示パネル（ディスプレイ）である。パネル1022a及びパネル1022bは、タッチパネルとしての機能を有することが好ましい。

【0241】

図13（B）に示す電子機器は、軸部1023を有するため、パネル1022aとパネル

10

20

30

40

50

1022bを対向させて折り畳むことができる。

【0242】

ボタン1024は、筐体1021bに設けられる。なお、筐体1021aにボタン1024を設けてもよい。例えば、電源ボタンとしての機能を有するボタン1024を設けることより、ボタン1024を押すことで電子機器に対する電源電圧の供給を制御できる。

【0243】

接続端子1025は、筐体1021aに設けられる。なお、筐体1021bに接続端子1025が設けられていてもよい。また、接続端子1025が筐体1021a及び筐体1021bの一方又は両方に複数設けられていてもよい。接続端子1025は、図13(B)に示す電子機器と他の機器を接続するための端子である。

10

【0244】

記録媒体挿入部1026は、筐体1021aに設けられる。筐体1021bに記録媒体挿入部1026が設けられていてもよい。また、記録媒体挿入部1026が筐体1021a及び筐体1021bの一方又は両方に複数設けられていてもよい。例えば、記録媒体挿入部にカード型記録媒体を挿入することにより、カード型記録媒体のデータを電子機器に読み出し、又は電子機器内のデータをカード型記録媒体に書き込むことができる。

【0245】

スピーカー1027は、筐体1021bに設けられる。スピーカー1027は、音声を出力する。なお、筐体1021aにスピーカー1027を設けてもよい。

【0246】

なお、筐体1021a又は筐体1021bにマイクを設けてもよい。筐体1021a又は筐体1021bにマイクが設けられることにより、例えば図13(B)に示す電子機器を電話機として機能させることができる。

20

【0247】

図13(B)に示す電子機器は、筐体1021a又は筐体1021bの内部に本発明の一態様である半導体装置を有する。

【0248】

図13(B)に示す電子機器は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0249】

図13(C)に示す電子機器は、据え置き型情報端末の一例である。図13(C)に示す据え置き型情報端末は、筐体1031と、筐体1031に設けられたパネル1032と、ボタン1033と、スピーカー1034と、を具備する。

30

【0250】

パネル1032は、表示パネル(ディスプレイ)である。パネル1032は、タッチパネルとしての機能を有することが好ましい。

【0251】

なお、筐体1031の甲板部1035にパネル1032と同様のパネルを設けてもよい。上記パネルは、タッチパネルとしての機能を有することが好ましい。

【0252】

さらに、筐体1031に券などを出力する券出力部、硬貨投入部、及び紙幣挿入部などを設けてもよい。

40

【0253】

ボタン1033は、筐体1031に設けられる。例えば、ボタン1033が電源ボタンであれば、ボタン1033を押すことで電子機器に対する電源電圧の供給を制御できる。

【0254】

スピーカー1034は、筐体1031に設けられる。スピーカー1034は、音声を出力する。

【0255】

図13(C)に示す電子機器は、筐体1031の内部に本発明の一態様である半導体装置

50

を有する。

【0256】

図13(C)に示す電子機器は、例えば現金自動預け払い機、チケットなどの注文をするための情報通信端末(マルチメディアステーションともいう)、又は遊技機としての機能を有する。

【0257】

図13(D)は、据え置き型情報端末の一例である。図13(D)に示す電子機器は、筐体1041と、筐体1041に設けられたパネル1042と、筐体1041を支持する支持台1043と、ボタン1044と、接続端子1045と、スピーカー1046と、を備える。

10

【0258】

なお、筐体1041に外部機器に接続させるための接続端子を設けてもよい。

【0259】

パネル1042は、表示パネル(ディスプレイ)としての機能を有する。

【0260】

ボタン1044は、筐体1041に設けられる。例えば、ボタン1044が電源ボタンであれば、ボタン1044を押すことで電子機器に対する電源電圧の供給を制御できる。

【0261】

接続端子1045は、筐体1041に設けられる。接続端子1045は、図13(D)に示す電子機器と他の機器を接続するための端子である。例えば、接続端子1045により図13(D)に示す電子機器とパーソナルコンピュータを接続すると、パーソナルコンピュータから入力されるデータ信号に応じた画像をパネル1042に表示させることができる。例えば、図13(D)に示す電子機器のパネル1042が接続する他の電子機器のパネルより大きければ、当該他の電子機器の表示画像を拡大することができ、複数の人が同時に視認しやすくなる。

20

【0262】

スピーカー1046は、筐体1041に設けられる。スピーカー1046は、音声を出力する。

【0263】

図13(D)に示す電子機器は、筐体1041の内部に本発明の一態様である半導体装置を有する。

30

【0264】

図13(D)に示す電子機器は、例えば出力モニタ、パーソナルコンピュータ、及びテレビジョン装置の一つ又は複数としての機能を有する。

【0265】

図13(E)は、電気冷凍冷蔵庫の一例である。図13(E)に示す電子機器は、筐体1051と、冷蔵室用扉1052と、冷凍室用扉1053と、を備える。

【0266】

図13(E)に示す電子機器は、筐体1051の内部に本発明の一態様である半導体装置を有する。上記構成にすることにより、例えば、冷蔵室用扉1052及び冷凍室用扉1053の開閉に従って、筐体1051内の半導体装置に対する電源電圧の供給を制御できる。

40

【0267】

図13(F)は、エアコンディショナーの一例である。図13(F)に示す電子機器は、室内機1060及び室外機1064により構成される。

【0268】

室内機1060は、筐体1061と、送風口1062と、を備える。

【0269】

図13(F)に示す電子機器は、筐体1061の内部に本発明の一態様である半導体装置を有する。上記構成にすることにより、例えば、リモートコントローラからの信号に従っ

50

て、筐体 1061 内の半導体装置に対する電源電圧の供給を制御できる。

【0270】

なお、図 13 (F) では、室内機と室外機で構成されるセパレート型のエアコンディショナーを例示しているが、室内機の機能と室外機の機能とを 1 つの筐体に有するエアコンディショナーであってもよい。

【0271】

以上が図 13 に示す電子機器の例の説明である。

【0272】

図 13 を参照して説明したように、本実施の形態に係る電子機器では、本発明の一態様である半導体装置を用いることにより、消費電力を低くできる。

10

【符号の説明】

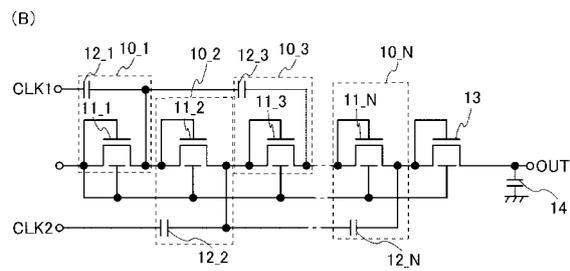
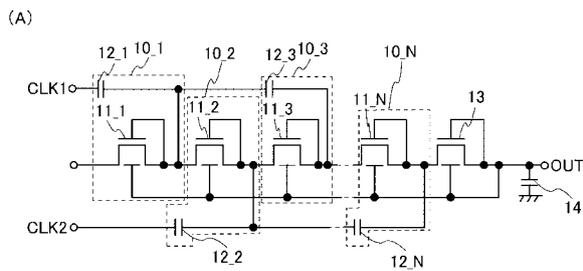
【0273】

10	電圧変換ブロック	
11	変換制御トランジスタ	
12	容量素子	
13	出力制御トランジスタ	
14	容量	
15	トランジスタ	
16	容量素子	
501	CPUコア	20
502	マスターコントローラ	
503	パワースイッチ	
504	オシレータ	
505	電源回路	
506	バッファ	
511	レジスタ	
513	レベルシフタ	
514	マルチプレクサ	
521	パワーコントローラ	
522	CPUコントローラ	30
551	電圧変換回路	
552	電圧変換回路	
553	レベルシフタ	
554	レベルシフタ	
614	デコード部	
616	演算制御部	
620	レジスタセット	
622	演算ユニット	
623	ALU	
624	アドレスバッファ	40
631	トランジスタ	
632	容量素子	
633	トランジスタ	
634	トランジスタ	
635	トランジスタ	
636	インバータ	
637	容量素子	
640	バス	
641	バス	
651	揮発性記憶回路	50

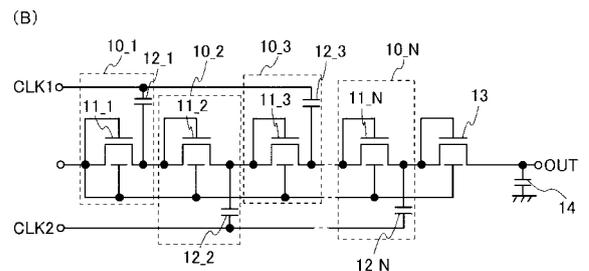
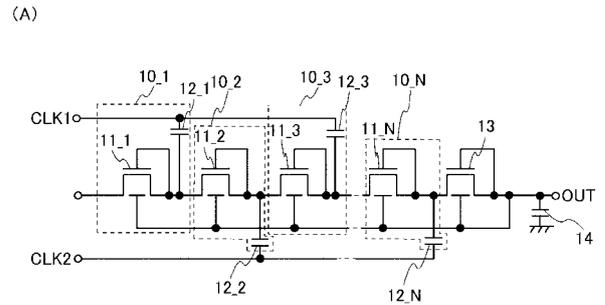
6 5 2	不揮発性記憶回路	
6 5 3	セレクト	
6 5 4	セレクト	
8 0 1	トランジスタ	
8 0 2	トランジスタ	
8 1 1	絶縁層	
8 1 2	配線層	
8 1 3	配線層	
8 1 4	絶縁層	
8 1 5	配線層	10
8 2 0	絶縁層	
8 2 1 a	導電層	
8 2 1 b	導電層	
8 2 2	絶縁層	
8 2 3	半導体層	
8 2 4 a	導電層	
8 2 4 b	導電層	
8 2 5	絶縁層	
8 2 6	導電層	
8 2 7	絶縁層	20
8 2 8	絶縁層	
8 2 9	配線層	
8 3 0	配線層	
8 3 1	絶縁層	
8 3 2	配線層	
8 3 3	配線層	
1 0 1 1	筐体	
1 0 1 2	パネル	
1 0 1 3	ボタン	
1 0 1 4	スピーカー	30
1 0 2 1 a	筐体	
1 0 2 1 b	筐体	
1 0 2 2 a	パネル	
1 0 2 2 b	パネル	
1 0 2 3	軸部	
1 0 2 4	ボタン	
1 0 2 5	接続端子	
1 0 2 6	記録媒体挿入部	
1 0 2 7	スピーカー	
1 0 3 1	筐体	40
1 0 3 2	パネル	
1 0 3 3	ボタン	
1 0 3 4	スピーカー	
1 0 3 5	甲板部	
1 0 4 1	筐体	
1 0 4 2	パネル	
1 0 4 3	支持台	
1 0 4 4	ボタン	
1 0 4 5	接続端子	
1 0 4 6	スピーカー	50

- 1 0 5 1 筐体
- 1 0 5 2 冷蔵室用扉
- 1 0 5 3 冷凍室用扉
- 1 0 6 0 室内機
- 1 0 6 1 筐体
- 1 0 6 2 送风口
- 1 0 6 4 室外機

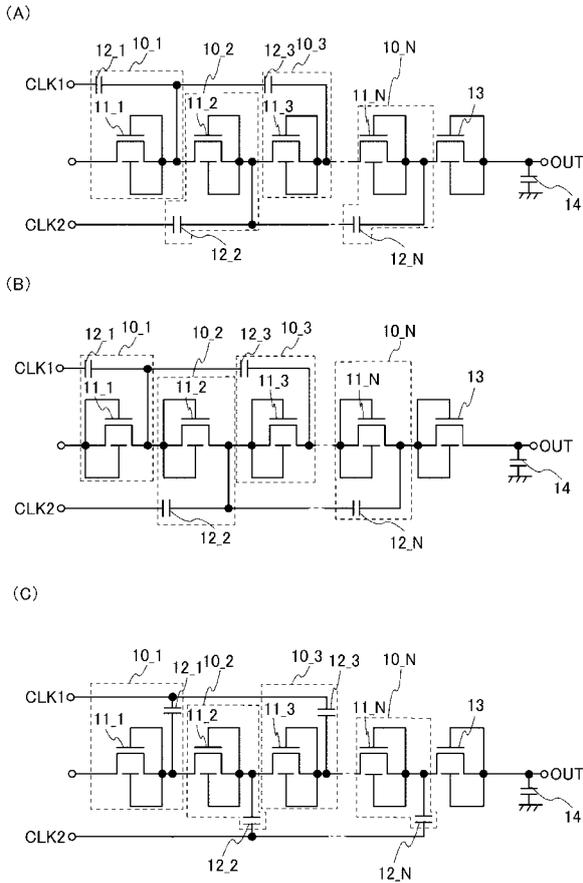
【 図 1 】



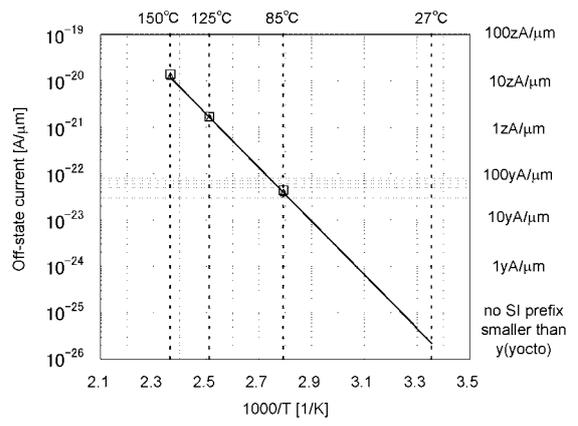
【 図 2 】



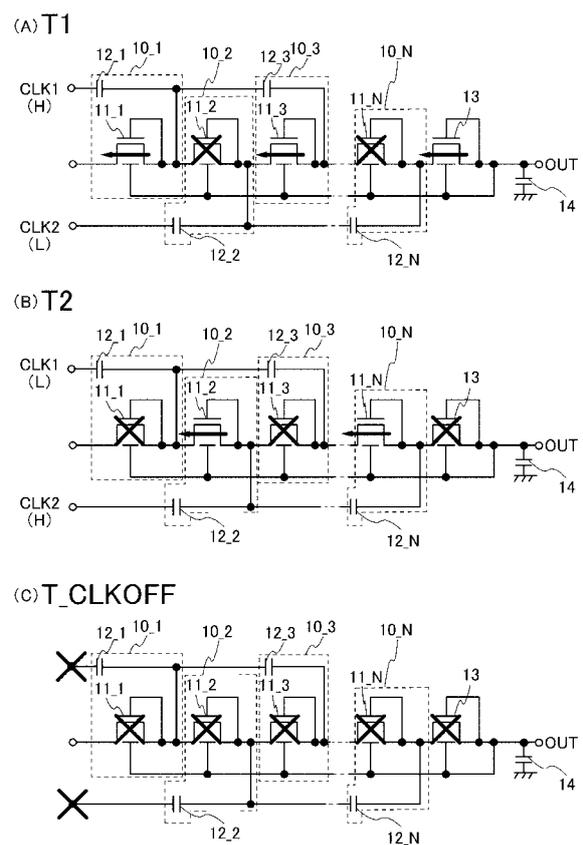
【 図 3 】



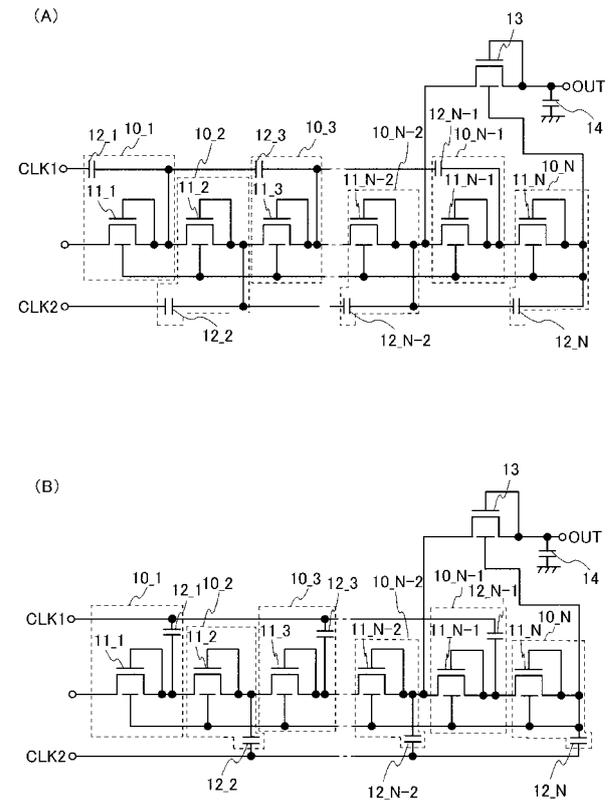
【 図 4 】



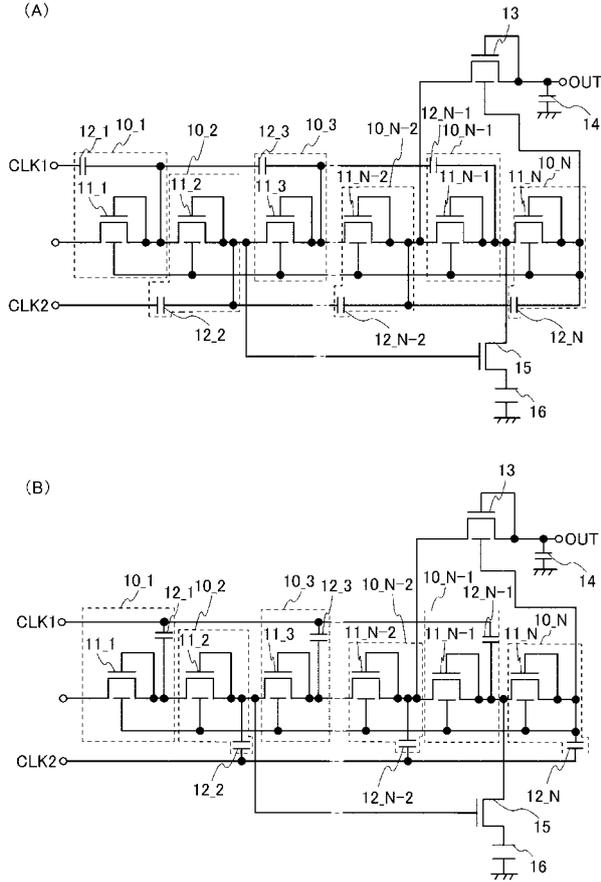
【 図 5 】



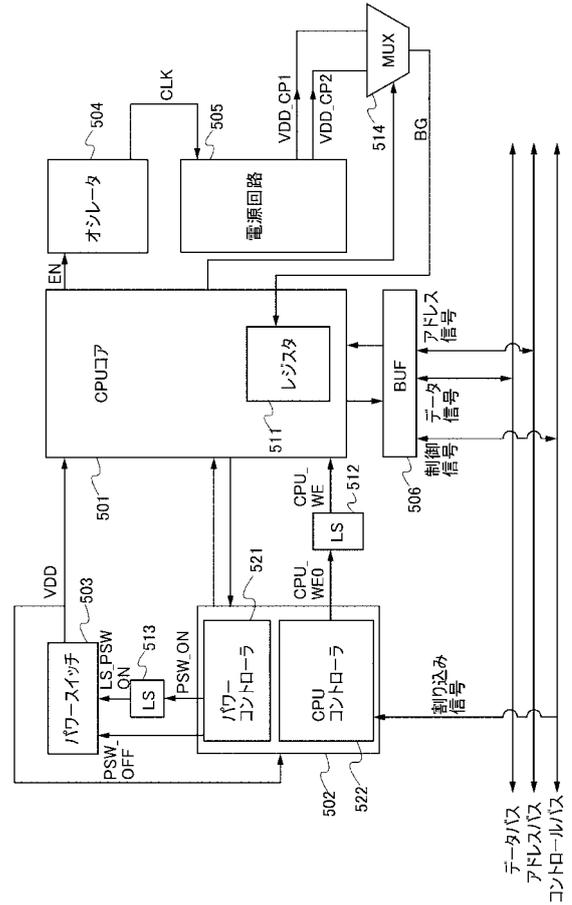
【 図 6 】



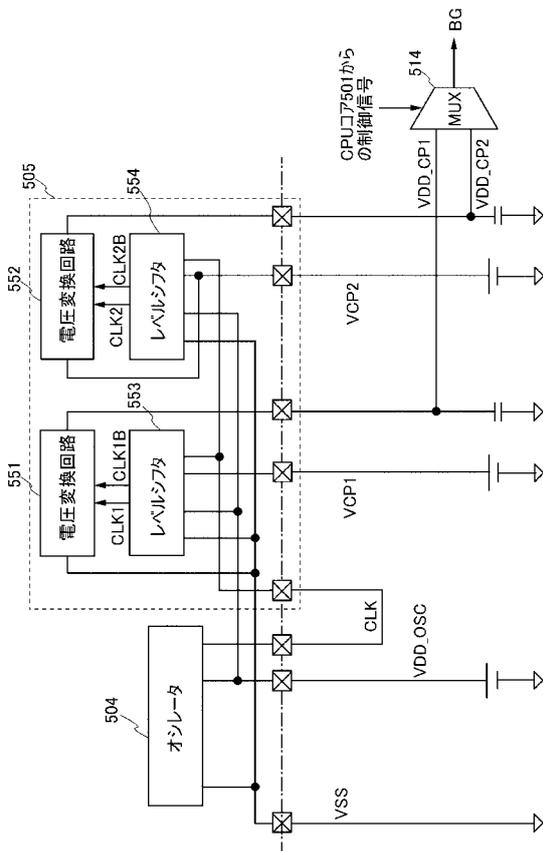
【図7】



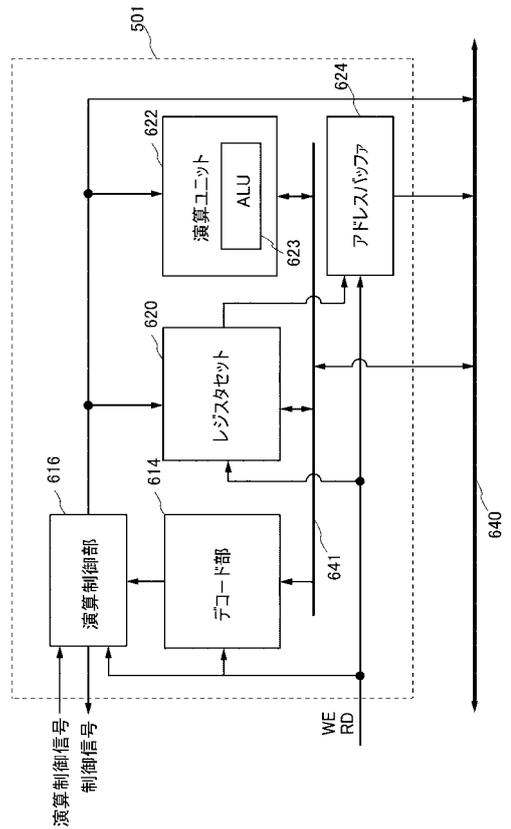
【図8】



【図9】

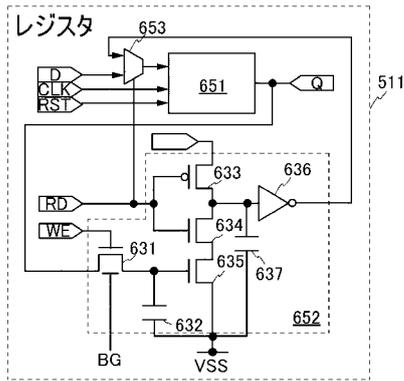


【図10】

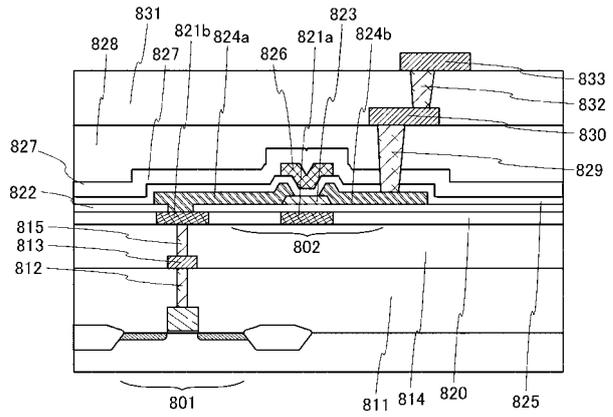


【図11】

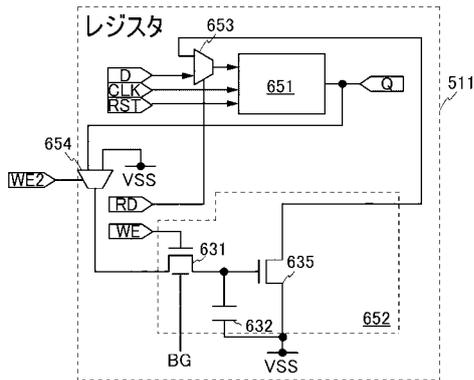
(A)



【図12】

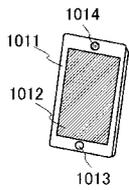


(B)

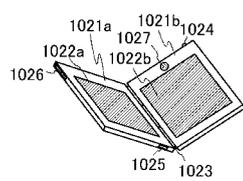


【図13】

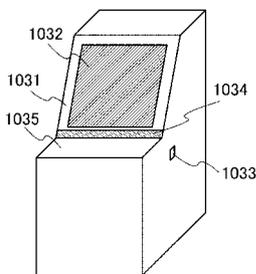
(A)



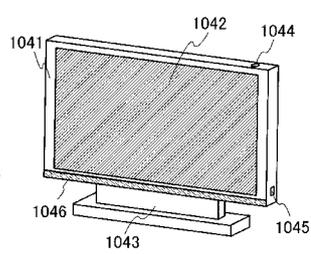
(B)



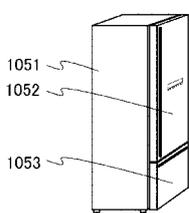
(C)



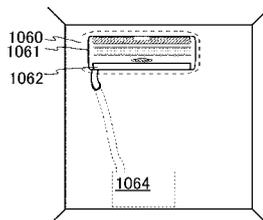
(D)



(E)



(F)



フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
H 0 1 L 27/088 (2006.01)	H 0 1 L	27/08	1 0 2 E	
H 0 1 L 27/08 (2006.01)	H 0 1 L	27/08	3 3 1 E	

Fターム(参考) 5F110 AA09 AA30 BB11 CC02 DD05 DD12 DD13 DD14 DD15 DD17
EE30 EE36 EE37 EE38 FF01 FF02 FF03 FF04 FF09 FF28
FF30 FF36 GG01 GG13 GG14 GG15 GG16 GG17 GG19 GG28
GG29 GG43 GG58 HK02 HK03 HK04 HK07 HM02 HM12 HM17
HM19 NN03 NN22 NN23 NN24 NN27 NN35 NN78 QQ19
5H730 AA14 AS04 BB02 BB57 DD04 FG01 FG10