

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3703373号
(P3703373)

(45) 発行日 平成17年10月5日(2005.10.5)

(24) 登録日 平成17年7月29日(2005.7.29)

(51) Int. Cl.⁷

F I

HO 1 L 21/316	HO 1 L 21/316	X
C 2 3 C 14/08	C 2 3 C 14/08	F
C 2 3 C 14/14	C 2 3 C 14/14	D
C 2 3 C 14/58	C 2 3 C 14/58	A
C 2 3 C 16/06	C 2 3 C 16/06	

請求項の数 16 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2000-215186 (P2000-215186)
 (22) 出願日 平成12年7月14日(2000.7.14)
 (65) 公開番号 特開2001-771111 (P2001-771111A)
 (43) 公開日 平成13年3月23日(2001.3.23)
 審査請求日 平成14年7月9日(2002.7.9)
 (31) 優先権主張番号 09/356.470
 (32) 優先日 平成11年7月19日(1999.7.19)
 (33) 優先権主張国 米国(US)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100078282
 弁理士 山本 秀策
 (72) 発明者 ヤンジュン マー
 アメリカ合衆国 ワシントン 98683
 , バンクーバー, エスイー 24ティ
 ーエイチ ウェイ 18311
 (72) 発明者 ヨシ オノ
 アメリカ合衆国 ワシントン 98607
 , カマス, エヌダブリュー 24ティ
 ーエイチ サークル 2526

審査官 田中 永一

最終頁に続く

(54) 【発明の名称】 MOS F E Tおよびゲート誘電体の製造方法

(57) 【特許請求の範囲】

【請求項1】

ゲート電極と、該ゲート電極の下にあるチャンネル領域の上面との間に設けられたゲート誘電体を有するMOSFETであって、

前記ゲート誘電体は、二酸化ケイ素に対して高誘電率を有し、ジルコニウム(Zr)およびハフニウム(Hf)からなる群から選択される金属と、酸素と、三価の金属であるアルミニウム(Al)とを含み、該Alの割合は25%であることを特徴とするMOSFET。

【請求項2】

前記ゲート誘電体膜は、20 ~ 200 の範囲の厚さを有する、請求項1に記載のMOSFET。 10

【請求項3】

前記ゲート誘電体膜は、10 ~ 25 の範囲の誘電率を有する、請求項1に記載のMOSFET。

【請求項4】

前記チャンネル領域と前記ゲート誘電体膜との間に、前記チャンネル領域上面を平滑にして電子移動度を増加させるために、2 ~ 5 の範囲の厚さを有する界面バリアが設けられており、該界面バリアが、シリコン窒化膜およびシリコン酸窒化膜からなる群から選択される材料を含む、請求項1に記載のMOSFET。

【請求項5】

シリコン内に形成されたチャネル領域と、該チャネル領域の上に形成されるゲート電極との間に設けられるゲート誘電体の製造方法であって、

a) 酸素を含む雰囲気確立するステップと、

b) 該雰囲気内において、前記シリコンの表面を、室温～400の範囲の温度として確立した後に、前記シリコン表面上に、ZrおよびHfからなる群から選択される金属とアルミニウム(Al)、スカンジウム(Sc)、ランタン(La)からなる群から選択される三価の金属を含む、少なくとも1つのターゲット金属をスパッタリングして、金属酸化膜を形成するステップと、

c) その後に、形成された前記金属酸化膜を400～800の範囲の温度でアニーリングするステップと、

を包含するゲート誘電体の製造方法。

【請求項6】

前記ステップa)は、アルゴン(Ar)含む雰囲気を含み、Arに対するO₂の比率は5%～25%の範囲であり、1ミリトル(mT)～10ミリトル(mT)の範囲の圧力である、請求項5に記載のゲート誘電体の製造方法。

【請求項7】

前記ステップc)は、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし、および酸素プラズマからなる群から選択される要素を含む雰囲気確立するステップを含む、請求項5に記載のゲート誘電体の製造方法。

【請求項8】

前記ステップb)は、前記ZrおよびHfからなる群から選択される金属の第1のターゲット、および前記三価の金属を含む第2のターゲットを含む、別個のターゲットを用いて同時スパッタリングするステップを含む、請求項5に記載のゲート誘電体の製造方法。

【請求項9】

シリコン内に形成されたチャネル領域と、該チャネル領域の上に形成されるゲート電極との間に設けられるゲート誘電体の製造方法であって、

a) ZrおよびHfからなる群から選択される金属と、アルミニウム(Al)、スカンジウム(Sc)、ランタン(La)からなる群から選択される三価の金属とを含む、少なくとも1つの前駆物質を調整するステップと、

b) 酸素を含む雰囲気確立するステップと、

c) 該ステップb)にて確立された雰囲気内において前記前駆物質を気化して、前記シリコン表面に前記前駆物質を堆積するステップと、

d) 前記シリコン表面を300～500の範囲の温度で確立した後に、前記シリコン表面上に堆積した該前駆物質を分解し、化学蒸着法(CVD)によってZrおよびHfからなる群から選択される金属、前記三価の金属、および酸素を含む合金膜を形成するステップと、

e) 400～800の範囲の温度でアニーリングするステップと、
を包含する、ゲート誘電体の製造方法。

【請求項10】

前記ステップc)は、アルゴン(Ar)含む雰囲気を含み、Arに対するO₂の比率は5%～25%の範囲であり、1トル(T)～10トル(T)の範囲の圧力である、請求項9に記載のゲート誘電体の製造方法。

【請求項11】

前記ステップe)は、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし、および酸素プラズマからなる群から選択される要素を含む雰囲気確立するステップを含む、請求項9に記載のゲート誘電体の製造方法。

【請求項12】

前記ステップa)は、前記ZrおよびHfからなる群から選択される金属を含む第1の前駆物質と、前記三価の金属を含む第2の前駆物質とを含む、請求項9に記載のゲート誘電体の製造方法。

10

20

30

40

50

【請求項13】

シリコン内に形成されたチャネル領域と、該チャネル領域の上に形成されるゲート電極との間に設けられるゲート誘電体の製造方法であって、

a) ZrおよびHfからなる群から選択される金属と、アルミニウム(Al)、スカンジウム(Sc)、ランタン(La)からなる群から選択される三価の金属とを含む、少なくとも1つのるつぼを用意するステップと、

b) 真空雰囲気確立するステップと、

c) 該真空雰囲気中において、前記るつぼを、1000 ~ 2000 の範囲の温度まで加熱して、前記ステップa)で調整された該るつぼ内の金属を蒸発させ、ZrおよびHfからなる群から選択される金属と三価の金属とを含む合金膜を前記シリコン表面に堆積するステップと、

d) その後に、前記シリコン表面に堆積された合金膜を、400 ~ 800 の範囲の温度において、酸素を含む雰囲気中でアニーリングするステップと、を包含するゲート誘電体の製造方法。

10

【請求項14】

前記ステップa)は、前記ZrおよびHfからなる群から選択される金属の第1のるつぼと、前記三価の金属の第2のるつぼとを含み、前記ステップc)は、該第1のるつぼを1000 ~ 2000 の範囲の温度まで加熱するステップと、該第2のるつぼを1000 ~ 2000 の範囲の温度まで加熱するステップとを含む、請求項13に記載のゲート誘電体の製造方法。

20

【請求項15】

前記ステップd)は、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし、および酸素プラズマからなる群から選択される要素を含む雰囲気確立するステップを含む、請求項13に記載のゲート誘電体の製造方法。

【請求項16】

前記ステップd)は、

d₁) 400 ~ 800 の範囲の温度において、酸素を含む雰囲気中でアニーリングするステップと、

d₂) その後に、400 ~ 800 の範囲の温度において、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし、および酸素プラズマからなる群から選択される要素を含む雰囲気中でアニーリングするステップと、を含む、請求項15に記載のゲート誘電体の製造方法。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に集積回路(IC)製造工程、より詳しくは高誘電率ゲート絶縁膜、およびこのような膜の堆積方法に関する。

【0002】

【従来の技術】

現在のSi VLSI技術は、MOSデバイスにおいて、SiO₂をゲート誘電体として使用している。デバイスの寸法は減少し続けるので、SiO₂層の厚さも減少させ、ゲートとチャネル領域との間で同じ容量を維持しなければならない。将来的には、2ナノメートル(nm)より少ない厚さが期待されている。しかしながら、そのような薄いSiO₂層を通り抜ける高トンネル電流の発生により、代替りの材料を考慮することが必要とされる。高誘電率を有する材料は、ゲート誘電体層をより厚くすることを可能にし、従ってトンネル電流問題を軽減する。それらいわゆる高誘電体膜は、本明細書中で二酸化ケイ素に対して高誘電率を有するものとして定義されている。典型的には二酸化ケイ素は約4の誘電率を有し、一方高誘電体膜は約10より大きな誘電率を有している。現在の高誘電体の候補材料は酸化チタン(TiO₂)、酸化ジルコニウム(ZrO₂)、酸化タンタル(Ta₂O₅)、およびチタン酸バリウムストロンチウム((Ba, Sr)TiO₃)を含む。

40

50

【 0 0 0 3 】

【 発明が解決しようとする課題 】

上述の高誘電体の1つの共通の課題は、それら高誘電体が通常の生成条件のもとで結晶構造の開発が行なわれていることである。その結果、膜の表面は粗い。表面の粗さは、誘電体膜に隣接しているチャンネル領域における不均一な電界を引き起こす。このような膜は、M O S F E T デバイスのゲート誘電体としては適さない。

【 0 0 0 4 】

高いダイレクトトンネル電流のため、1.5 nmより薄いS i O₂膜はC M O S デバイスのゲート誘電体として使用できない。現在S i O₂を置き換えるための熱心な試みにおいて、T i O₂およびT i₂O₅は最大の注目を引いている。しかし、堆積後の高温でのアニーリング、およびS i O₂層界面の形成により、1.5 nmより薄い厚さに相当するS i O₂の厚さ(E O T)を達成させることを非常に困難にする。

10

【 0 0 0 5 】

M O S トランジスタにおいて、ゲート電極とその下にあるチャンネル領域との間の絶縁バリアとして高誘電体膜を使用し得る場合、有利である。

【 0 0 0 6 】

減少した表面の粗さ、減少した結晶性、および減少した電氣的な漏れを有する高誘電体膜を形成でき得れば、有利である。それら非晶質高誘電率材料を集積回路のゲート誘電体および記憶キャパシタに使用することができ得れば、有利である。

【 0 0 0 7 】

改良した高誘電体材料が、単にドーピングすること、または別のさらなる元素を既存の高誘電体材料に加えることにより形成され得る場合、有利である。

20

【 0 0 0 8 】

【 課題を解決するための手段 】

したがって、高誘電率(10~25)を有する薄膜を提供する。薄膜は、アルミニウム(A l)、スカンジウム(S c)、あるいはランタン(L a)のような三価の金属を含み、ジルコニウム(Z r)およびハフニウム(H f)からなる群から選択される金属を含み、さらに酸素を含む。

【 0 0 0 9 】

一般的には、膜中の三価の金属の割合は約50%を超えず、A lの割合は好適には約25%である。

30

【 0 0 1 0 】

M O S F E T トランジスタもまた同様に提供される。トランジスタはゲート電極、上記ゲート電極の下にある上部表面を有するチャンネル領域、およびゲート電極とチャンネル領域の上部表面との間に挿入されるゲート誘電体膜から成る。誘電体膜の含有量は上述した通りである。典型的にはゲート誘電体膜は約20~200の範囲の厚さを有する。

【 0 0 1 1 】

本発明のいくつかの局面はチャンネル領域とゲート誘電体膜との間に約2~5の範囲の厚さの界面バリアを有するトランジスタをさらに含む。界面材料は、シリコン窒化膜(s i l i c o n n i t r i d e)およびシリコン酸窒化膜(s i l i c o n o x y n i t r i d e)からなる群から選択され、それによってチャンネル領域上面をより平滑にし、M O S F E T の電子移動度の低下を防止する。

40

【 0 0 1 2 】

表面を有する集積回路(I C)製造において、I C表面上に、A lをドーブした金属酸化膜(m e t a l o x i d e f i l m)を形成するためスパッタリング法もまた提供されている。スパッタリング法は、

- a) 酸素を含む雰囲気確立するステップと、
- b) I Cシリコン表面上に、Z rおよびH fからなる群から選択された金属と三価の金属とを含む、少なくとも1つのターゲット金属をスパッタリングするステップと、
- c) ステップa)およびb)に応じて、A lをドーブした金属酸化膜を形成するステップ

50

と、

d) 約 400 ~ 約 800 の範囲の温度でアニーリングするステップを含み、それによって高誘電率および優れた絶縁特性を有する薄膜が形成される。

【0013】

本発明のステップ a) のある局面は、Zr および Hf からなる群から選択された金属の第 1 のターゲット、および三価の金属を含む第 2 のターゲットを含む別個のターゲットを用いて同時スパッタリングすることを含む。

【0014】

あるいは、Al をドーブした金属酸化膜の堆積は化学蒸着 (CVD) 法により提供され、

a) Zr および Hf からなる群から選択された金属と三価の金属とを含む、少なくとも 1 10

つの前駆物質を用意するステップと、

b) 前駆物質を気化するステップと、

c) 酸素を含む雰囲気確立するステップと、

d) IC 表面上で前駆物質を分解し、化学蒸着法 (CVD) により Zr および Hf からなる群から選択される金属、三価の金属、および酸素を含む合金膜を堆積させるステップと

e) 約 400 ~ 約 800 の範囲の温度でアニーリングし、それによって高誘電率および優れたバリア特性を有する薄膜を形成するステップを含む。

【0015】

別の代替において、Al をドーブした金属酸化膜の堆積は蒸着法により提供され得、 20

a) 真空 (ガスフリー) 雰囲気確立するステップと、

b) Zr および Hf からなる群から選択される金属と三価の金属とを含む、少なくとも 1 10

つのるつぼを用意するステップと、

c) ステップ b) で調整された金属を蒸発させるため、少なくとも 1 つのるつぼを、約 1000 ~ 約 2000 の範囲の温度まで加熱するステップと、

d) ステップ a) ~ c) の終了に応じて、Zr および Hf からなる群から選択された金属と三価の金属とを含む合金膜堆積するステップと、

e) 酸素を用いて合金膜を形成するため、約 400 ~ 約 800 の範囲の温度において、 30

酸素を含む雰囲気中でアニーリングするステップと、それによって高誘電率および優れたバリア特性を有する薄膜が形成される。

【0016】

本発明の二酸化ケイ素に対して高誘電率を有する薄膜は、三価の金属と、ジルコニウム (Zr) およびハフニウム (Hf) からなる群から選択される金属と、酸素とを含み、それによってアモルファス高誘電体膜が形成される。

【0017】

前記三価の金属は、アルミニウム (Al)、スカンジウム (Sc)、およびランタン (La) からなる群から選択されてもよい。

【0018】

前記薄膜は、約 20 ~ 約 200 の範囲の厚さを有してもよい。

【0019】

前記薄膜は、約 10 ~ 約 25 の範囲の誘電率を有してもよい。

【0020】

前記薄膜中の Al の割合は、約 50 % を超えなくてもよい。

【0021】

前記膜中の Al の割合は、約 25 % であってもよい。

【0022】

本発明の MOSFET トランジスタは、ゲート電極と、該ゲート電極の下にある上面を有するチャンネル領域と、該ゲート電極と該チャンネル領域の上面との間に挿入されるゲート誘電体であって、該ゲート誘電体は二酸化ケイ素に対して高誘電率を有し、ジルコニウム (Zr) およびハフニウム (Hf) からなる群から選択される金属と酸素とを含むゲート誘 50

電体と、を含む。

【0023】

前記ゲート誘電体膜は、アルミニウム（Al）、スカンジウム（Sc）、およびランタン（La）からなる群から選択される三価の金属を含んでもよい。

【0024】

前記膜中のAlの割合は、約0%～約50%の範囲であってもよい。

【0025】

前記膜中のAlの割合は、約25%であってもよい。

【0026】

前記ゲート誘電体膜は、約20～約200の範囲の厚さを有してもよい。

10

【0027】

前記ゲート誘電体膜は、約10～約25の範囲の誘電率を有してもよい。

【0028】

約2～約5の範囲の厚さを有し、前記チャネル領域と前記ゲート誘電体膜との間に挿入される界面バリアであって、該界面バリアが、シリコン窒化膜およびシリコン酸窒化膜からなる群から選択される材料を含む該界面バリアをさらに含み、それによって前記チャネル領域上面をより平滑にし、前記MOSFETの電子移動度を増加させてもよい。

【0029】

本発明の表面を有する集積回路（IC）製造においてIC表面上に、Alをドーブした金属酸化膜を形成する方法は、a）酸素を含む雰囲気確立するステップと、b）ICシリコン表面上に、ZrおよびHfからなる群から選択される金属と三価の金属とを含む、少なくとも1つのターゲット金属をスパッタリングするステップと、c）該ステップa）およびb）に応じてAlをドーブした金属酸化膜を形成するステップと、d）約400～約800の範囲の温度でアニーリングし、それによって高誘電率および優れたバリア特性を有する薄膜が形成されるステップと、を包含する。

20

【0030】

シリコンIC表面が提供され、前記ステップc）に先行してb₁) 約室温～約400の範囲の温度でシリコンICの表面を確立するステップをさらに包含してもよい。

【0031】

前記ステップa）は、アルゴン（Ar）含む雰囲気を含み、Arに対するO₂の比率は約5%～約25%の範囲であり、約1ミリトール（mT）～約10ミリトール（mT）の範囲の圧力であってもよい。

30

【0032】

前記ステップd）は、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし、および酸素プラズマからなる群から選択される要素を含む雰囲気確立するステップを含んでもよい。

【0033】

前記ステップb）は、アルミニウム（Al）、スカンジウム（Sc）、ランタン（La）からなる群から選択される三価の金属を含んでもよい。

【0034】

前記ステップb）は、ZrおよびHfからなる群から選択される金属の第1のターゲット、および三価の金属を含む第2のターゲットを含む、別個のターゲットを用いて同時スパッタリングするステップを含んでもよい。

40

【0035】

表面を有する集積回路（IC）製造において、本発明のAlをドーブした金属酸化膜を形成する方法は、a）ZrおよびHfからなる群から選択される金属と三価の金属とを含む、少なくとも1つの前駆物質を調整するステップと、b）該少なくとも1つの前駆物質を気化するステップと、c）酸素を含む雰囲気確立するステップと、d）IC表面上に堆積した該前駆物質を分解し、化学蒸着法（CVD）によってZrおよびHfからなる群から選択される金属、三価の金属、および酸素を含む合金膜を堆積するステップと、e）約

50

400 ~ 約800 の範囲の温度でアニーリングし、それによって高誘電率および優れたバリア特性を有する薄膜が形成されるステップと、を包含する。

【0036】

シリコンIC表面が提供され、前記ステップd)に先行し、c₁)約300 ~ 約500 の範囲の温度でシリコンICの表面を確立するステップをさらに含んでもよい。

【0037】

前記ステップc)は、アルゴン(Ar)含む雰囲気を含み、Arに対するO₂の比率は約5% ~ 約25%の範囲であり、約1トール(T) ~ 約10トール(T)の範囲の圧力であってもよい。

【0038】

前記ステップe)は、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし、および酸素プラズマからなる群から選択される要素を含む雰囲気を確立するステップを含んでもよい。

10

【0039】

前記ステップa)は、アルミニウム(Al)、スカンジウム(Sc)、ランタン(La)からなる群から選択される三価の金属を含んでもよい。

【0040】

前記ステップa)は、ZrおよびHfからなる群から選択される金属を含む第1の前駆物質を含み、該ステップa)は、三価の金属を含む第2の前駆物質を含んでもよい。

【0041】

シリコン表面を有する集積回路(IC)製造において、本発明のA1をドーブした金属酸化膜を形成する方法は、a)ZrおよびHfからなる群から選択される金属と三価の金属とを含む、少なくとも1つのるつぼを用意するステップと、b)真空雰囲気を確立するステップと、c)該少なくとも1つのるつぼを、約1000 ~ 約2000 の範囲のるつぼの温度まで加熱して、該ステップa)で調整された該金属を蒸発させるステップと、d)該ステップa) ~ c)に応じて、ZrおよびHfからなる群から選択される金属と三価の金属とを含む合金膜を堆積するステップと、e)約400 ~ 約800 の範囲の温度において、酸素を含む雰囲気中でアニーリングし、ZrおよびHfからなる群から選択される金属、三価の金属、および酸素を含む合金膜を形成し、それによって高誘電率および優れたバリア特性を有する薄膜が形成されるステップとを包含する。

20

30

【0042】

前記ステップa)は、ZrおよびHfからなる群から選択される金属の第1のるつぼと三価の金属の第2のるつぼとを含み、前記ステップc)は、該第1のるつぼを約1000 ~ 約2000 の範囲の温度まで加熱するステップと、該第2のるつぼを約1000 ~ 約2000 の範囲の温度まで加熱するステップとを含んでもよい。

【0043】

前記ステップe)は、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし、および酸素プラズマからなる群から選択される要素を含む雰囲気を確立するステップを含んでもよい。

【0044】

前記ステップe)は、以下のサブステップを含み、該サブステップが、e₁)約400 ~ 約800 の範囲の温度において、酸素を含む雰囲気中でアニーリングするステップと、e₂)約400 ~ 約800 の範囲の温度において、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし、および酸素プラズマからなる群から選択される要素を含む雰囲気中でアニーリングするステップと、を含んでもよい。

40

【0045】

前記ステップa)は、アルミニウム(Al)、スカンジウム(Sc)、ランタン(La)からなる群から選択される三価の金属を含んでもよい。

【0046】

【発明の実施の形態】

50

本発明は、Alをドーピングした酸化ジルコニウムの研究である。Alのドーピングにより漏れ電流を減少し、ゲート誘電体の結晶化温度を上昇させる。0.1 A/cm²より小さな漏れ電流を有し、約28フェムトファラッド(fF)/μm²の最大蓄積容量が、実効誘電率12~18を有する3nmのZr-Al-O膜に関して達成されている。優れた特性を有するZr-Al-Oゲート誘電体を使用して、サブミクロンPMOSFETが製作されている。要するに、Alのような三価の金属でドーピングしたZrO₂膜は典型的な(高温)プロセス条件のもとでアモルファス状態であるということが発見された。

【0047】

本発明は、二酸化ケイ素に対して高誘電率を持つ薄膜であり、薄膜は三価の金属、ジルコニウム(Zr)およびハフニウム(Hf)からなる群から選択される金属と酸素とを含む。高誘電体膜は、結晶化に対して抵抗性があり、アモルファス状態であり、それにより平滑な表面を形成する。三価の金属は、アルミニウム(Al)、スカンジウム(Sc)、ランタン(La)からなる群から選択される三価の金属を含む。

10

【0048】

有用な応用において、薄膜は典型的には約20~約200の範囲の厚さを有し、約10~約25の範囲の誘電率を有する。

【0049】

膜中のAl、またはその他の三価の金属の割合は、概して約50%を超えず、好適には約25%である。

【0050】

図1は、本発明のAlをドーピングした金属酸化膜のためのスパッタリング堆積法を示したフローチャートである。ステップ10は、1つの表面を有する集積回路(IC)を提供する。ステップ12は、酸素を含んだ雰囲気確立することである。また典型的にはステップ12は、Arに対するO₂の比率が約5%~25%の範囲であるアルゴン(Ar)を含む、雰囲気を含む。圧力は、約1ミリトール(mT)~約10ミリトール(mT)の範囲である。ステップ14は、ZrおよびHfからなる群から選択される金属を含む、少なくとも1つのターゲット金属をICの表面上にスパッタする。またステップ14は三価の金属をICの表面上にスパッタする。三価の金属は、アルミニウム(Al)、スカンジウム(Sc)、ランタン(La)からなる群から選択される。本発明のある局面において、ステップ14は、ZrおよびHfからなる群から選択される金属の第1のターゲットと三価の金属を含む第2のターゲットとを含む、別個のターゲットを用いて同時スパッタリングする。

20

【0051】

ステップ16は、ステップ12および14に応じて、Alをドーピングした金属酸化膜を形成する。ステップ18は、約400~約800の範囲の温度でアニールする。アニール時間は、アニール温度に依存して、約10秒~約30分の範囲において変化する。ステップ18は、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし(ガスフリー環境)、および酸素プラズマからなる群から選択される要素を含む雰囲気確立することを含む。ステップ20は生成物であり、高誘電率および優れた絶縁特性を有する薄膜が形成される。

40

【0052】

本発明のある局面において、ステップ10はシリコンIC表面を提供し、さらなるステップがステップ16に先行する。ステップ14a(図示せず)は、約室温~約400の範囲においてICシリコン表面の温度を確立する。

【0053】

Zr-Al-OおよびHf-Al-O膜は、上述の同時スパッタリングにより調整された。スパッタリング電力の比率を調節し、酸化ジルコニウム中のAl濃度を変化させた。

【0054】

以下の図は、混合ガスO₂:Ar=1:5ミリトール(mT)、スパッタリング比率Zr=300ワット(W)/Al=60Wで用意された63のZr-Al-O膜の容量対電

50

圧 (C - V) 特性、電流対電圧 (I - V) 特性を示した。膜を酸素中において、500 で30秒さらにアニールした。

【0055】

図2は、ZrO₂膜と本発明のAlをドーブしたZrO₂膜を比較したX線回折測定を示す。強いピークはZrO₂が結晶であることを示し、一方スパッタされたZr - Al - O膜は、800でのアニーリング後でさえもアモルファス状態のままである。

【0056】

Al / TiN上部電極はスパッタリングによって堆積され、そして電氣的試験のため100 μm² × 100 μm²のキャパシタを作るためパターン化した。図3は、厚さ63、Zr - Al - O膜の100マイクロメートル (μm) × 100 μmキャパシタの高周波CVプロットを示す。~1.5 nmの厚さに等価なSiO₂がCV特性から得られ、誘電率が~16であることを示唆する。

10

【0057】

図4は、上述の本発明の膜の漏れ特性を図示しているIVプロットである。漏れ電流は、約6 × 10⁻⁵ A / cm² であり、等価な膜さのSiO₂膜の漏れ電流に比べはるかに小さい。

【0058】

AlをドーブしたZrO₂膜は、室温で、酸素およびArの混合気体中において、電力比1 : 5で、AlおよびZrターゲットの同時スパッタリングにより調整された。図5は、約400 ~ 約500でポスト堆積アニーリング後の、漏れ電流特性を示す。この温度はTiO₂のような他の膜が必要とする温度よりも極めて低く、通常漏れ電流を減少するために750以上のアニールが必要とされる。膜の厚さを偏光解析分光法によって評価する。

20

【0059】

図6は、本発明の異なる3種類の膜厚の高周波CV曲線を示している。堆積後アニールは、500である。3 nmの膜に関してゲートバイアス - 1.5 Vにおいて、26 fF / μm²の最大蓄積電気容量が得られた。より高いゲートバイアスにおいて、ゲート漏れ電流は、CV曲線の急上昇を引き起こし、正確な電気容量の計測を妨げる。-2 Vのゲートバイアスにおいて、外挿法により容量は、約28 fF / μm²であると見積もられ得る。この結果は、古典的な誘電体の厚さ (CDT = SiO₂ / C)、1.2 nmに相当する。約0.3 nmであると見積もられる量子力学的補正を含み、1.0 nmより小さいEO Tが得られた。

30

【0060】

図7は膜厚を関数とした膜の実効誘電率のわずかな依存性を示し、これは最小SiO₂界面層が存在していることを示す。

【0061】

図8は、図6の膜のIV曲線を示す。3 nmの膜について、ゲートバイアス - 1.5 Vで、ゲート漏れ電流は約0.5 A / cm²であり、適当な動作電圧 - 1 Vでは、ゲート漏れ電流は約0.1 A / cm²である。

【0062】

図9は、n型基板の漏れ電流がp型基板の上の同様の厚さの膜の漏れ電流に比べ約10倍大きいことを示す。また漏れ電流の温度依存性も同様に、非常に大きい。このことは、伝導メカニズムがおそらくフレンケル - プール型であり、ホール伝導のエネルギー障壁に比べ電子伝導のエネルギー障壁が非常に小さいことを示唆する。誘電体膜はスパッタリング技術により作られたので、電子トラップの存在は驚くべきことではない。

40

【0063】

図10および図11は、膜中の電荷トラップの存在にもかかわらず、図6の膜の信頼性を示す。図10において、ストレス電圧を挿入表に記載する。約1.3 Vより低い動作電圧では、誘電体ブレイクダウン時間依存性 (TDD B) の寿命は10年以上であると推定され得る。図11において、TDD Bの外挿はゲート電圧を関数とした場合の破損までの時間

50

を意味する。動作電圧が1.3V以下の場合、10年以上平均寿命が得られ得る。

【0064】

Zr-Al-Oゲート誘電体を有するPMOSトランジスタは、ニトリドゲート置換工程を用いて加工された。この工程において、最終ゲートスタックが配置される前に、軽くドーブしたドレイン(LDD)およびソース/ドレイン領域が形成される。Zr-Al-Oゲート誘電体の厚さは、 $20\text{ fF}/\mu\text{m}^2$ 以上の蓄積で測定した C_{MAX} で、約6nmであり得る。

【0065】

本発明のキャパシタ膜の研究から集めた同じ一般的特徴は、ゲート誘電体、記憶キャパシタ、および1トランジスタ(1T)強誘電体メモリーのような他の応用例に適用され得る。

10

【0066】

図12および図13は、本発明のAlをドーブした金属酸化膜を使用して作られた完成したMOSFETトランジスタのステップを示す。図12は、上面54を備えたチャネル領域52を有するトランジスタ50を示す。ゲート誘電体膜56はチャネル領域52の上にある。

【0067】

図13は、ゲート電極58とチャネル領域の上面54との間に挿入したゲート誘電体膜56を示す。ゲート誘電体膜56は、二酸化ケイ素に対して高誘電率を有し、ジルコニウム(Zr)およびハフニウム(Hf)からなる群から選択される金属と酸素とを含む。ゲート誘電体膜56は、アルミニウム(Al)、スカンジウム(Sc)、およびランタン(La)からなる群から選択される三価の金属を含む。

20

【0068】

膜56中のAl、またはその他の三価の金属の割合は、約0%~50%の範囲である。好ましくは、膜56中のAlの割合は、約25%である。ゲート誘電体膜56は、約20~約200の範囲の厚さ60(図13)を有する。ゲート誘電体膜56は、約10~約25の範囲の誘電率を有する。

【0069】

本発明のある局面において、トランジスタ50は、約2~約5の範囲の厚さ64を有し、チャネル領域52とゲート誘電体膜56との間に挿入される界面バリア62をさらに含む。界面バリア62は、シリコン窒化膜およびシリコン酸窒化膜からなる群から選択される材料を含み、それによってチャネル領域上面54はより平滑になり、MOSFET50の電子移動度を増加させる。

30

【0070】

バルクCMOSデバイスの応用におけるゲート誘電体の場合、ウエハは任意の最新技術を用いて素子分離のような従来方法により加工され、p-ウェルおよびn-ウェルの形成後、チャネル領域を露出する。今後、酸化バリア超薄膜層が依然として必要とされ得る。この場合、可能なバリアはシリコン窒化膜およびシリコン酸窒化膜を含む。次に、高誘電体が堆積される。膜を調整する方法はいくつか存在する。

【0071】

- A. 不活性雰囲気または酸化雰囲気中で、ZrおよびAlを同時スパッタリングする、
- B. 不活性雰囲気または酸化雰囲気中で、Zr-Alのような化合物ターゲット同時スパッタリングする、
- C. Zr-Al-OおよびHf-Al-Oの化学蒸着法、または
- D. 蒸着法。

40

【0072】

堆積後、膜は不活性(例えば、Ar、 N_2 、 N_2 と H_2 とにより形成する気体)および/または酸化(O_2 、 H_2O 、 N_2O 、NO)および気体なし(ガスフリー)の雰囲気中で昇温して(400-900)アニールし、高誘電体膜および高誘電体/Si界面の状態をよくする。しかし、膜が蒸着法により堆積される場合、合金膜に酸素を含ませるため、通常

50

アニーリング工程は酸素を含む。

【0073】

アニーリング後、ゲートが堆積され、ゲートスタックにパターン化される。ゲート材料は金属またはポリシリコンであり得る。その後、任意の最新式デバイス製造工程を使用して、デバイスは従来の方法、またはニトリド(nitride)、ポリシリコン、またはポリSiGeダミーゲートを用いたゲート置換方法によって完成される。

【0074】

図14は、本発明のAlをドーブした金属酸化膜を形成するCVD法におけるステップを示すフローチャートである。ステップ100は1つの表面を有する集積回路(IC)を提供する。ステップ102は、ZrおよびHfからなる群から選択される金属と三価の金属とを含む、少なくとも1つの前駆物質を調整する。ステップ102は、アルミニウム(Al)、スカンジウム(Sc)、ランタン(La)からなる群から選択される三価の金属を含む。本発明のある局面において、ステップ102は、ZrおよびHfからなる群から選択される金属を含む第1の前駆物質と三価の金属を含む第2の前駆物質とを含む。ステップ104は、少なくとも1つの前駆物質を気化する。ステップ106は、酸素を含む雰囲気確立する。典型的には、ステップ106は、約5%~約25%の範囲にあるArに対するO₂の比率を有するアルゴン(Ar)を含む雰囲気を含み、圧力は約1T~約10Tの範囲にある。ステップ108は、IC表面上で前駆物質を分解し、ZrおよびHfからなる群から選択される金属、三価の金属、および酸素を含む合金膜を化学蒸着法(CVD)によって堆積させる。

10

20

【0075】

ステップ110は、約400~約800の範囲の温度でアニールする。ステップ110は、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし、および酸素プラズマからなる群から選択される要素を含む雰囲気確立することを含む。ステップ112は、生成物であり、高誘電率および優れた絶縁特性を有する薄膜が形成される。

【0076】

本発明のある局面において、ステップ100はシリコンIC表面を提供し、さらなるステップがステップ108に先行する。ステップ106aは、約300~約500の範囲の温度でシリコンICの表面を確立する。

30

【0077】

図15は、Alをドーブした金属酸化膜を形成する蒸着法におけるステップを示すフローチャートである。ステップ200はシリコン表面を有する集積回路(IC)を提供する。ステップ202は、ZrおよびHfからなる群から選択される金属と三価の金属とを含む少なくとも1つのるつぼを用意する。ステップ202は、アルミニウム(Al)、スカンジウム(Sc)、ランタン(La)からなる群から選択される三価の金属を含む。ステップ204は、真空(ガスフリー)雰囲気確立する。ステップ206は、少なくとも1つのるつぼを、約1000~約2000の範囲のるつぼの温度まで加熱し、ステップ202で調整された金属を蒸発させる。ステップ208は、ステップ202~206に応じて、ZrおよびHfからなる群から選択される金属と三価の金属とを含む合金膜を堆積する。ステップ210は、約400~約800の範囲の温度において、酸素を含む雰囲気中でアニールし、ZrおよびHfからなる群から選択される金属、三価の金属、および酸素を含む合金膜を形成する。ステップ210は、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし、および酸素プラズマからなる群から選択される要素を含む雰囲気確立することを含む。ステップ212は、生成物であり、高誘電率および優れた絶縁特性を有する薄膜が形成された。

40

【0078】

本発明のある局面において、ステップ202は、ZrおよびHfからなる群から選択される金属の第1のるつぼと三価の金属の第2のるつぼとを含む。その後、ステップ206は、第1のるつぼを約1000~約2000の範囲の温度まで加熱するステップ、およ

50

び第2のるつぼを約1000～約2000の範囲の温度まで加熱するステップとを含む。Zr/Hfのるつぼは三価の金属のるつぼの温度と同じ温度である必要はない。

【0079】

本発明のある局面において、ステップ210は、サブステップ(図示せず)を含む。ステップ210aは、約400～約800の範囲の温度において、酸素を含む雰囲気中でアニールする。ステップ210bは、約400～約800の範囲の温度において、Ar、N₂、N₂とH₂とにより形成する気体、O₂、H₂O、N₂O、NO、気体なし、および酸素プラズマからなる群から選択される要素を含む雰囲気中でアニールする。

【0080】

比較的高いアニーリング温度でアモルファス状態である高誘電体膜が、開示されている。膜が結晶構造を形成しないので、隣接する膜の界面の凹凸は少ない。ゲート誘電体として使用する場合、膜はチャンネル領域にゲート電界を結合させるために必要な容量を供給するため十分厚くされ、一方チャンネル領域の表面を平滑にし、それにより高い電子移動度を支援し得る。膜はCVD、スパッタリング、または蒸着法により形成される。本発明の他の変形および他の実施形態は、当業者によって容易に思い浮かぶであろう。

【0081】

【発明の効果】

比較的高いアニーリング温度においてアモルファス状態である高誘電体膜を提供する。高誘電体膜は、Alのような三価の金属をドーブした、ZrまたはHfの金属酸化物である。膜が結晶構造の形成を阻害するので隣接する膜の界面の凹凸は少ない。ゲート誘電体として使用する場合、より小さいトランジスタ形状をサポートするため、膜は薄くされ得、一方チャンネル領域の表面は平滑にされ、それにより高い電子移動度をサポートし得る。また上述の三価の金属をドーブした高誘電体膜は、CVD法、スパッタリング法および蒸着法により提供される。

【図面の簡単な説明】

【図1】図1は、本発明のAlをドーブした金属酸化膜のスパッタリング堆積法を示すフローチャートである。

【図2】図2は、ZrO₂膜と本発明におけるAlをドーブしたZrO₂膜を比較するX線回折測定を示す。

【図3】図3は、100マイクロメートル(μm)×100μmのキャパシタの膜厚63、Zr-Al-O膜の高周波CVプロットを示す。

【図4】図4は、上記本発明の膜の漏れ特性を示すIVプロットである。

【図5】図5は、約400～約500でポスト堆積アニーリング後の漏れ電流特性を示す。

【図6】図6は、本発明における3種類の異なる膜厚についての高周波CV曲線を示す。

【図7】図7は、SiO₂層最小界面が示す膜厚を関数とした膜の実効誘電率のわずかな依存性を示し、これは最小のSiO₂界面層が存在することを示す。

【図8】図8は、図6の膜のIV曲線を示す。

【図9】図9は、n型基板上の漏れ電流がp型基板上の同じ厚さの膜に比べ約10倍大きいことを示す。

【図10】図10は、膜中の電荷トラップの存在にもかかわらず、図6の膜の信頼度を示す。

【図11】図11は、膜中の電荷トラップの存在にもかかわらず、図6の膜の信頼度を示す。

【図12】図12は、本発明のAlをドーブした金属酸化膜を使用して作られた完成したトランジスタのステップを示す。

【図13】図13は、本発明のAlをドーブした金属酸化膜を使用して作られた完成したトランジスタのステップを示す。

【図14】図14は、本発明のAlをドーブした金属酸化膜を形成するCVD法のステップを示すフローチャートである。

10

20

30

40

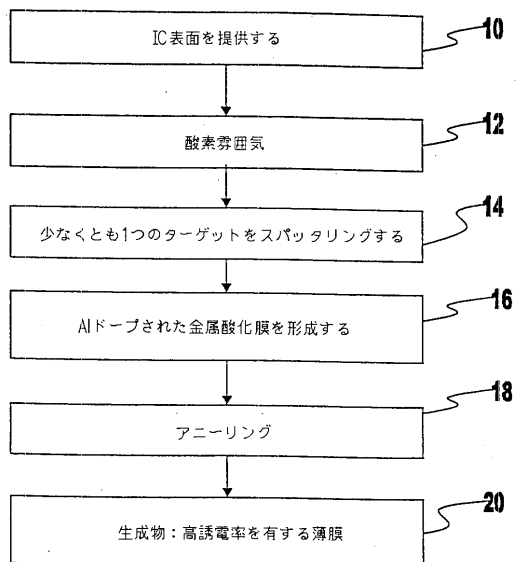
50

【図15】図15は、Alをドープした金属酸化膜を形成する蒸着法のステップを示すフローチャートである。

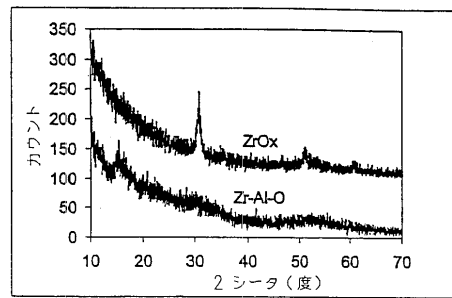
【符号の説明】

- 50 トランジスタ
- 52 チャンネル領域
- 54 上面
- 56 ゲート誘電体膜
- 58 ゲート電極
- 60 厚さ
- 62 界面バリア
- 64 厚さ

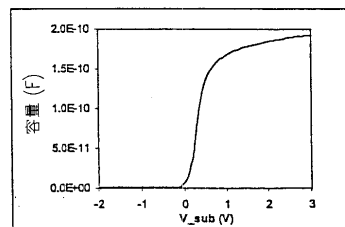
【図1】



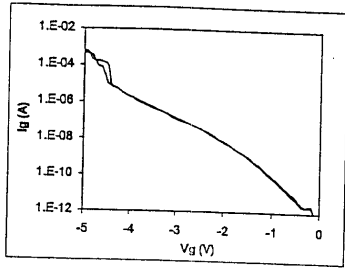
【図2】



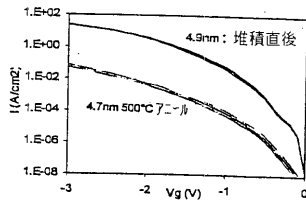
【図3】



【 図 4 】

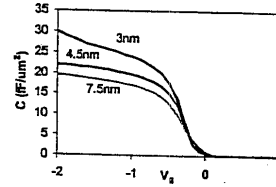


【 図 5 】



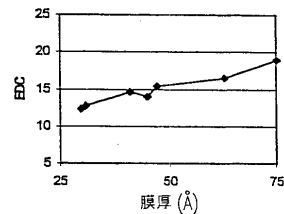
堆積直後およびアニール(500°C, 30s, O₂)したZr-Al-O膜のI-V曲線

【 図 6 】



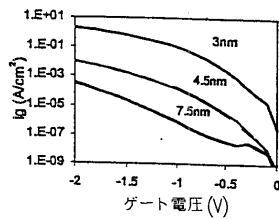
P型基板上の3~7.5nmのZr-Al-O膜の高周波(1MHz)CV特性

【 図 7 】



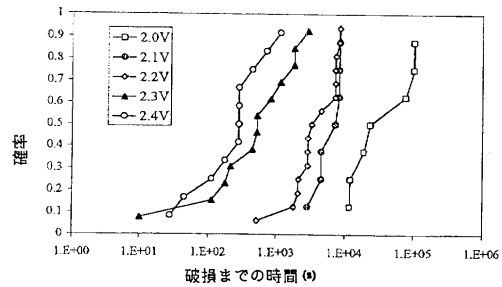
Zr-Al-Oの膜厚を開数とした実効誘電率

【 図 8 】



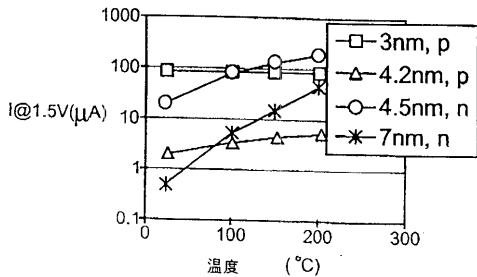
Zr-Al-O膜の蓄積IV特性

【 図 10 】



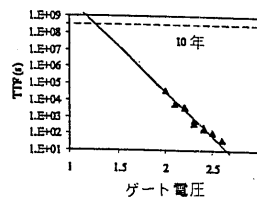
4.5nm Zr-Al-O膜のTDDB測定分布結果

【 図 9 】

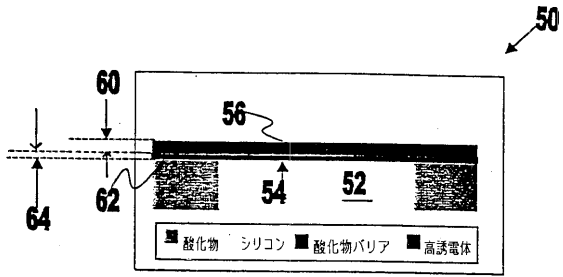


n型基板 (@1.5V) および p型基板 (@-1.5V) 上の Zr-Al-O膜の漏れ電流の温度依存性

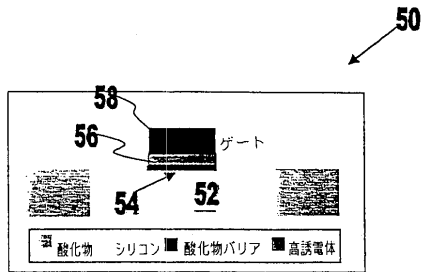
【 図 11 】



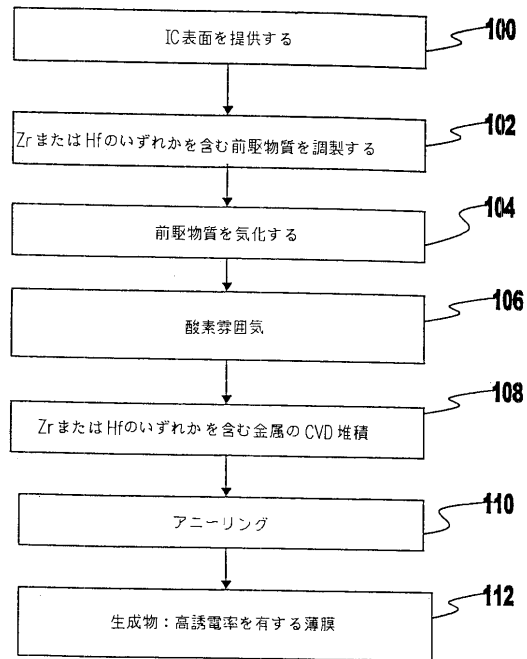
【 図 1 2 】



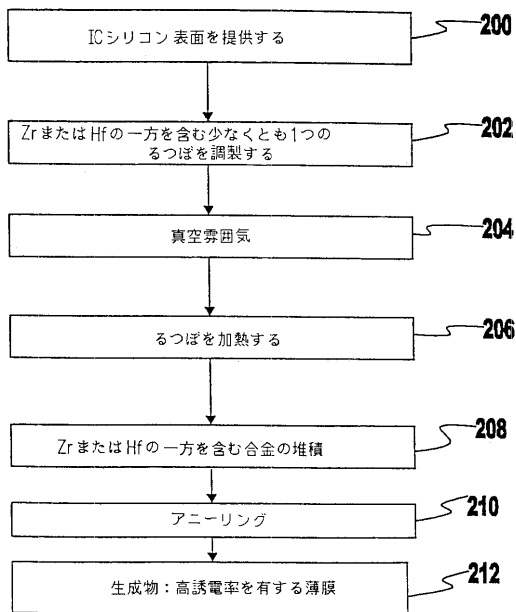
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51) Int.Cl.⁷

C 2 3 C 16/56

H 0 1 L 29/78

F I

C 2 3 C 16/56

H 0 1 L 29/78 3 0 1 G

(56) 参考文献 特開 2 0 0 1 - 0 1 5 7 3 9 (J P , A)

特開 2 0 0 0 - 0 5 8 8 3 1 (J P , A)

特開平 1 1 - 2 5 1 5 9 3 (J P , A)

特開平 0 9 - 3 1 2 3 8 1 (J P , A)

特開平 0 8 - 1 8 1 2 3 2 (J P , A)

特開平 0 2 - 2 7 0 3 6 6 (J P , A)

(58) 調査した分野(Int.Cl.⁷, DB名)

H01L 21/312

H01L 21/314

H01L 21/316

H01L 21/318

H01L 29/78

C23C 14/08

C23C 14/14

C23C 14/58

C23C 16/06

C23C 16/56