

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4594878号
(P4594878)

(45) 発行日 平成22年12月8日(2010.12.8)

(24) 登録日 平成22年9月24日(2010.9.24)

(51) Int. Cl.		F I		
G 1 1 C	13/00	(2006.01)	G 1 1 C	13/00 A
H O 1 L	27/10	(2006.01)	H O 1 L	27/10 4 5 1

請求項の数 11 (全 35 頁)

(21) 出願番号	特願2006-46234 (P2006-46234)	(73) 特許権者	000005049 シャープ株式会社
(22) 出願日	平成18年2月23日(2006.2.23)		大阪府大阪市阿倍野区長池町2番2号
(65) 公開番号	特開2007-226883 (P2007-226883A)	(74) 代理人	100114476 弁理士 政木 良文
(43) 公開日	平成19年9月6日(2007.9.6)	(72) 発明者	森本 英徳 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
審査請求日	平成19年2月14日(2007.2.14)	審査官	須原 宏光
		(56) 参考文献	国際公開第2004/055827 (W O, A1)

最終頁に続く

(54) 【発明の名称】 可変抵抗素子の抵抗制御方法及び不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

2端子構造の可変抵抗素子の両端に電圧パルスを印加して前記可変抵抗素子の抵抗特性を変化させる可変抵抗素子の抵抗制御方法であって、

前記可変抵抗素子は、製造後の初期状態において、同一極性の電圧パルスの印加時間の経過とともに、抵抗値が初期抵抗値から大きく変化せず略一定の第1抵抗変化状態と、抵抗値が所定のピーク値に向かって変化する第2抵抗変化状態と、抵抗値が前記ピーク値から前記初期抵抗値に向かって逆方向に変化する第3抵抗変化状態を順番に呈する可変抵抗特性を有し、

前記可変抵抗素子に対して第1パルス印加時間の書き込み電圧パルスを印加して前記可変抵抗素子の抵抗特性を書き込み抵抗特性とし、前記第1パルス印加時間より長い第2パルス印加時間の前記書き込み電圧パルスと同極性の消去電圧パルスを印加して前記可変抵抗素子の抵抗特性を消去抵抗特性とするモノポーラススイッチング動作が可能な可変抵抗状態に、前記可変抵抗素子を形成するためのフォーミング工程を有し、

前記フォーミング工程において、前記第2のパルス印加時間より長い第3のパルス印加時間で前記書き込み電圧パルスと同極性の単一または複数のフォーミング電圧パルスを前記初期状態にある前記可変抵抗素子に前記第1抵抗変化状態、前記第2抵抗変化状態、及び、前記第3抵抗変化状態を順番に呈するように印加して、前記可変抵抗素子を前記初期状態から前記可変抵抗状態へ変化させることを特徴とする可変抵抗素子の抵抗制御方法。

10

20

【請求項 2】

前記第 3 のパルス印加時間を調整して前記フォーミング工程後の前記可変抵抗素子の抵抗値を制御することを特徴とする請求項 1 に記載の可変抵抗素子の抵抗制御方法。

【請求項 3】

前記フォーミング工程において、前記フォーミング電圧パルスを少なくとも前記可変抵抗素子が前記第 2 抵抗変化状態から前記第 3 抵抗変化状態に変化するまで印加することを特徴とする請求項 1 又は 2 に記載の可変抵抗素子の抵抗制御方法。

【請求項 4】

前記フォーミング工程において、前記フォーミング電圧パルスの印加を、前記第 3 抵抗変化状態において前記可変抵抗素子の抵抗値が前記初期抵抗値に戻る手前で終了することを特徴とする請求項 3 に記載の可変抵抗素子の抵抗制御方法。

10

【請求項 5】

前記初期抵抗値が低抵抗状態であり、
前記ピーク値が前記初期抵抗値より高抵抗状態であり、
前記書き込み抵抗特性が高抵抗特性を示し、
前記消去抵抗特性が低抵抗特性を示すことを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の可変抵抗素子の抵抗制御方法。

【請求項 6】

前記書き込み電圧パルスの印加電圧の絶対値が、前記消去電圧パルスの印加電圧の絶対値より高いことを特徴とする請求項 1 ~ 5 の何れか 1 項に記載の可変抵抗素子の抵抗制御方法。

20

【請求項 7】

前記可変抵抗素子は、 $Pr_{1-x}Ca_xMnO_3$ ($0 < x < 1$) を 2 つの電極間に挟持した 2 端子構造であることを特徴とする請求項 1 ~ 6 の何れか 1 項に記載の可変抵抗素子の抵抗制御方法。

【請求項 8】

2 端子構造の可変抵抗素子を有するメモリセルを備えてなる不揮発性半導体記憶装置であって、

請求項 1 ~ 7 の何れかに記載の可変抵抗素子の抵抗制御方法の前記モノポーラスイッチング動作と前記フォーミング工程における前記書き込み電圧パルスと前記消去電圧パルスと前記フォーミング電圧パルスを前記メモリセルの前記可変抵抗素子の両端に印加可能な電圧パルス印加回路を備えていることを特徴とする不揮発性半導体記憶装置。

30

【請求項 9】

前記メモリセルの前記可変抵抗素子に対し前記フォーミング工程が実行され、前記モノポーラスイッチング動作が可能であることを特徴とする請求項 8 に記載の不揮発性半導体記憶装置。

【請求項 10】

前記メモリセルが、前記可変抵抗素子と非線形素子の直列回路により構成されていることを特徴とする請求項 8 または 9 に記載の不揮発性半導体記憶装置。

【請求項 11】

前記メモリセルが、前記可変抵抗素子とダイオードの直列回路により構成された 2 端子構造であることを特徴とする請求項 8 または 9 に記載の不揮発性半導体記憶装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2 端子構造の可変抵抗素子を備えた不揮発性半導体記憶装置に関し、特に、可変抵抗素子の両端に電圧パルスを印加して可変抵抗素子の抵抗特性を変化させる抵抗制御方法に関する。

【背景技術】

50

【0002】

近年、情報を何時でも、何処でも入手して、自由に携帯する時代になりつつある。携帯電話やPDA（個人向け携帯型情報通信機器）に代表されるモバイル機器の普及により、場所や時間を気にせず様々な情報にアクセスすることが可能になっている。しかしながら、モバイル機器の電池寿命、情報へのアクセススピード等、モバイル機器の性能はまだ充分とは言えず、その性能向上への要求は際限がない。特に、電池寿命はモバイル機器の使い勝手を決める主要な性能の一つであり、そのためにモバイル機器の構成要素に対する低消費電力化が強く求められている。

【0003】

そのキーデバイスの一つとして、不揮発性半導体メモリが益々重要になっている。モバイル機器は、アクティブな動作状態では論理機能を実行する論理回路の消費電力が支配的であるが、スタンバイ状態ではメモリデバイスの消費電力が支配的となる。このスタンバイ状態での消費電力がモバイル機器の電池駆動時間の長時間化において重要になってきている。不揮発性半導体メモリを用いることで、スタンバイ状態においてメモリデバイスへ電力を供給する必要がなくなるため、スタンバイ状態での消費電力を極限まで小さくすることが可能である。

【0004】

不揮発性半導体メモリには、フラッシュメモリ、FeRAM（Ferroelectric Random Access Memory）等、既に実用化されているものが多いが、これらは高速性、書き換え耐性、消費電力等の点に関して、各特性がトレードオフの関係性を有しており、全ての要求仕様を満たす理想的な不揮発性半導体メモリに対する研究開発が行われている。

【0005】

既に新しい材料を用いた不揮発性半導体メモリが幾つか提案されており、下部電極と金属酸化物と上部電極の積層構造を有し、下部電極と上部電極の間に電気的ストレスを印加することで下部電極と上部電極間の電気抵抗特性が可逆的に変化する可変抵抗型の不揮発性記憶素子（可変抵抗素子）を備えてなるRRAM（Resistance Random Access Memory、シャープ株式会社の登録商標）はその有望な候補の一つである。RRAMは、高速性、大容量性、低消費電力性等、そのポテンシャルの高さから、その将来性が期待されている。

【0006】

下記の非特許文献1に、RRAMに用いられる可変抵抗素子として、 $Pr_{1-x}Ca_xMnO_3$ （ $0 < x < 1$ 、以下「PCMO」と略称する）等のマンガン含有する酸化物からなるペロブスカイト型結晶構造を有する超巨大磁気抵抗（CMR：colossal magnetoresistance）や高温超伝導（HTSC：high temperature superconductivity）を示す材料に電圧パルスを印加することで抵抗値の変化することが詳述されている。

【0007】

上記可変抵抗素子の具体的な抵抗変化特性として、縦軸に抵抗値、横軸にパルス印加回数を取り、膜厚100nmのPCMOに±5Vの電圧を100ナノ秒のパルス印加したときの抵抗値の変化を図21に示す。パルス印加により、抵抗値が1kと1Mの間で変化し、3桁に及ぶ大きな抵抗値の変化が100回以上可逆的に起こる。更に、上記可変抵抗素子は、縦軸に抵抗値、横軸に4V、5ナノ秒のパルス印加回数を取ると、パルス印加回数に応じて抵抗値が段階的に変化することが図22に示されおり、低抵抗状態（例えば1k以下）と高抵抗状態（例えば100k以上）の2つの状態だけでなく、その間で任意の抵抗状態にすることが可能である。そのため、例えば10kから1Mの間で、例えば、図23に示すような範囲で抵抗値を4つの状態に分けることで多値化が可能であり、ビットコストの低減が可能となる。このような可変抵抗素子をメモリセルとして用いてメモリセルアレイを構成することで、理想的な高速で大容量の不揮発性半導体メモリが実現できると期待されている。

10

20

30

40

50

【0008】

上記特性のRAMを更に大容量化する場合、下記の非特許文献2に開示されているように、メモリセルアレイを基板表面に対して垂直方向に積層することにより単位面積当たりの記憶容量を増大させ、1ビット当たりの製造コストの低減を図ることが可能になる。非特許文献2に開示されている3次元半導体記憶装置は、メモリセルアレイを縦方向に基板表面に対して垂直方向に積層し3次元構造とした1回のみ書き込み可能なOTP型の不揮発性記憶装置である。ワード線とビット線の交差点上に記憶素子を配置したクロスポイント型のメモリセルアレイを垂直方向に積み重ねて4層構造としたものである。

【0009】

非特許文献2では、記憶素子を構成する膜の材料に多結晶シリコンを使う。1ビット当たりのメモリセル面積は $4F^2$ である。ここで、“F”は使用する製造プロセスで規定される最小設計寸法を示す。このメモリセル面積は、同じ設計ルールフラッシュメモリと等しい。ところが、上記3次元半導体記憶装置は、メモリセルアレイが4層構造をとるため、実効的なセル面積は $4F^2$ の4分の1の $1F^2$ となる。このため、製造コストをフラッシュメモリに比べて低減できる。メモリセルアレイを構成する各メモリセルは、「アンチヒューズ」と呼ばれる状態変化部とダイオードからなる選択部を直列に接続して形成され、このメモリセルの各端部をワード線とビット線に夫々接続した構造を有する。アンチヒューズはシリコン酸化膜からなり、ダイオードはP型シリコンとN型シリコンを積層させて形成する。データの記憶には、メモリセルに電圧を印加したときのアンチヒューズの抵抗変化を利用する。アンチヒューズは、初期状態で高い絶縁状態にあり、閾値電圧以上の電圧が印加されると導通状態に変化する。一旦導通状態になったアンチヒューズは絶縁状態に戻らないため、書き込みは1回しか行えない。ダイオードの役割は、選択メモリセルを流れる電流が回り込むのを防ぐことにある。

【0010】

このような3次元メモリセルアレイ構成でRAMを実現する場合、書き換え回数が増加し使用用途が広がるが、ダイオードが整流特性を持つため、正負両極性の電圧を使用してデータの書き換え（書き込みと消去）を行うことができない。そのため、非特許文献3に示すような、メモリセルの可変抵抗素子（RAM素子）にデータの書き込みまたは消去のために印加する各電圧パルスのパルス幅を変化させることによって書き込みと消去を区別して書き換えを行うモノポーラスイッチング動作を用いることで、整流特性を備えたメモリセルとクロスポイント型メモリセルアレイ構造を用いた大容量の電氣的に書き換え可能な不揮発性半導体記憶装置が実現可能になる。

【0011】

【非特許文献1】Zhuang, H. H. 他、“Novel Colossal Random Access Memory (RAM)”, IEDM, 論文番号7.5, 2002年12月

【非特許文献2】Feng Li 他、“Evaluation of SiO₂ Anti fuse in a 3D-OTP Memory”, IEEE Transactions on Device and Material Reliability Vol. 4 No. 3 (2004) pp. 416 - 421

【非特許文献3】I. G. Baek 他、“Highly scalable non-volatile resistive memory using simple binary oxide driven by asymmetric unipolar voltage pulses”, IEDM Technical Digest, pp. 587 - 590, 2004年12月

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかし、可変抵抗素子に対して上述のモノポーラスイッチング動作を可能とするには、製造後の初期状態にある可変抵抗素子にフォーミング電圧パルスを印加して、モノポーラ

10

20

30

40

50

スイッチング動作可能な可変抵抗状態を形成する必要がある。例えば、上記非特許文献3では、製造後の初期状態において絶縁状態にある可変抵抗素子内にフィラメントのような電流パスを形成するため、書き込み及び消去動作より高電圧のフォーミング電圧パルスを用いている。

【0013】

しかしながら、初期状態からモノポーラススイッチング動作可能な可変抵抗状態に遷移させる場合のフォーミング電圧パルスの印加条件と、その後の可変抵抗状態の抵抗特性との関係等に関する詳細な検討が未だ十分になされていないのが実情であり、フォーミング電圧パルスの印加後のモノポーラススイッチング動作における書き込み及び消去に係るパルス印加条件は、サンプル毎の特性に応じて適切な条件を設定しなければならない。

10

【0014】

本発明は、上記問題点に鑑みてなされたものであり、その第1の目的は、2端子構造の可変抵抗素子をモノポーラススイッチング動作可能な可変抵抗状態にするためのフォーミング電圧パルスの印加条件に基づいて適正なモノポーラススイッチング動作を可能とする可変抵抗素子の抵抗制御方法を提供する点にあり、第2の目的は、安定且つ適正な抵抗変化特性でのモノポーラススイッチング動作可能な可変抵抗素子を備えた不揮発性半導体記憶装置を提供する点にある。

【課題を解決するための手段】

【0015】

上記第1の目的を達成するための本発明に係る可変抵抗素子の抵抗制御方法は、前記可変抵抗素子は、製造後の初期状態において、同一極性の電圧パルスの印加時間の経過とともに、抵抗値が初期抵抗値から大きく変化せず略一定の第1抵抗変化状態と、抵抗値が所定のピーク値に向かって変化する第2抵抗変化状態と、抵抗値が前記ピーク値から前記初期抵抗値に向かって逆方向に変化する第3抵抗変化状態を順番に呈する可変抵抗特性を有し、前記可変抵抗素子に対して第1パルス印加時間の書き込み電圧パルスを印加して前記可変抵抗素子の抵抗特性を書き込み抵抗特性とし、前記第1パルス印加時間より長い第2パルス印加時間の前記書き込み電圧パルスと同極性の消去電圧パルスを印加して前記可変抵抗素子の抵抗特性を消去抵抗特性とするモノポーラススイッチング動作が可能な可変抵抗状態に、前記可変抵抗素子を形成するためのフォーミング工程を有し、前記フォーミング工程において、前記第2のパルス印加時間より長い第3のパルス印加時間で前記書き込み電圧パルスと同極性の単一または複数のフォーミング電圧パルスを前記初期状態にある前記可変抵抗素子に前記第1抵抗変化状態、前記第2抵抗変化状態、及び、前記第3抵抗変化状態を順番に呈するように印加して、前記可変抵抗素子を前記初期状態から前記可変抵抗状態へ変化させることを第1の特徴とする。

20

30

【0016】

尚、本発明において、可変抵抗素子に印加される電圧パルスのパルス印加時間は、電圧パルスが複数回に分散して印加される場合には、累積的なパルス印加時間を意味する。従って、特に断らない限り、パルス印加時間は累積パルス印加時間を意味する。

【0017】

上記第1の特徴の可変抵抗素子の抵抗制御方法は、更に、前記第3のパルス印加時間を調整して前記フォーミング工程後の前記可変抵抗素子の抵抗値を制御することを第2の特徴とする。

40

【0018】

上記第1又は第2の特徴の可変抵抗素子の抵抗制御方法は、更に、前記フォーミング工程において、前記フォーミング電圧パルスを少なくとも前記可変抵抗素子が前記第2抵抗変化状態から前記第3抵抗変化状態に変化するまで印加することを第3の特徴とする。

【0019】

上記第3の特徴の可変抵抗素子の抵抗制御方法は、更に、前記フォーミング工程において、前記フォーミング電圧パルスの印加を、前記第3抵抗変化状態において前記可変抵抗

50

素子の抵抗値が前記初期抵抗値に戻る手前で終了することを第4の特徴とする。

【0020】

上記何れかの特徴の可変抵抗素子の抵抗制御方法は、更に、前記初期抵抗値が低抵抗状態であり、前記ピーク値が前記初期抵抗値より高抵抗状態であり、前記書き込み抵抗特性が高抵抗特性を示し、前記消去抵抗特性が低抵抗特性を示すことを第5の特徴とする。

【0021】

上記何れかの特徴の可変抵抗素子の抵抗制御方法は、更に、前記書き込み電圧パルスの印加電圧の絶対値が、前記消去電圧パルスの印加電圧の絶対値より高いことを第6の特徴とする。

【0022】

上記何れかの特徴の可変抵抗素子の抵抗制御方法は、更に、前記可変抵抗素子は、 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ ($0 < x < 1$) を2つの電極間に挟持した2端子構造であることを第7の特徴とする。

【0023】

上記第2の目的を達成するための本発明に係る不揮発性半導体記憶装置は、2端子構造の可変抵抗素子を有するメモリセルを備えてなる不揮発性半導体記憶装置であって、上記何れかの特徴の可変抵抗素子の抵抗制御方法の前記モノポーラスイッチング動作と前記フォーミング工程における前記書き込み電圧パルスと前記消去電圧パルスと前記フォーミング電圧パルスを前記メモリセルの前記可変抵抗素子の両端に印加可能な電圧パルス印加回路を備えていることを第1の特徴とする。

【0024】

上記第1の特徴の不揮発性半導体記憶装置は、更に、前記メモリセルの前記可変抵抗素子に対し前記フォーミング工程が実行され、前記モノポーラスイッチング動作が可能であることを第2の特徴とする。

【0025】

上記第1または第2の特徴の不揮発性半導体記憶装置は、更に、前記メモリセルが、前記可変抵抗素子と非線形素子の直列回路により構成されていることを第3の特徴とする。

【0026】

上記第1または第2の特徴の不揮発性半導体記憶装置は、更に、前記メモリセルが、前記可変抵抗素子とダイオードの直列回路により構成された2端子構造であることを第4の特徴とする。

【0027】

ところで、モノポーラスイッチング動作による可変抵抗素子の抵抗制御では、異なるパルス幅の2種類の同極性の電圧パルスを用いて、一方の電圧パルス印加で可変抵抗素子の抵抗値或いは抵抗特性を高抵抗状態に遷移させ、他方の電圧パルス印加で可変抵抗素子の抵抗値或いは抵抗特性を低抵抗状態へ遷移させる。かかるモノポーラスイッチング動作が可能であるためには、現象的には、一方の電圧パルスの印加時間と他方の電圧パルスの印加時間の中間に、抵抗変化が反転する印加時間の臨界点があると考えられる。つまり、臨界点を超えないパルス幅での電圧パルス印加で、抵抗値が低抵抗状態または高抵抗状態から、逆の高抵抗状態または低抵抗状態に変化し、更に、臨界点を超えるパルス幅での電圧パルス印加で、元の低抵抗状態または高抵抗状態に戻るという現象が生じる。結局、可変抵抗素子の抵抗値を縦軸に、電圧パルスのパルス印加時間（対数表示）を横軸にとると、モノポーラスイッチング特性（モノポーラスイッチング動作が可能なる可変抵抗状態）は、図24に模式的に示すような可変抵抗特性となる。

【0028】

本願の発明者の鋭意研究により、一部の可変抵抗体において、当該可変抵抗体を2つの電極間に挟持してなる2端子構造の可変抵抗素子の可変抵抗特性が、製造後の初期状態では、図24に模式的に示すモノポーラスイッチング特性とは異なる初期状態の可変抵抗特性を示し、モノポーラスイッチング特性において電圧パルス印加直後から臨界点までの単調な抵抗変化時間帯において、殆ど抵抗変化を示さないことが判明している。

10

20

30

40

50

【0029】

図10～図12に、初期状態の可変抵抗特性とモノポーラスイッチング特性を重ねて表示する。図10～図12では、初期状態の可変抵抗特性からモノポーラスイッチング特性へと可変抵抗素子の可変抵抗特性を変化させるためのフォーミング電圧パルスの印加時間が異なる。図10～図12に示すように、初期状態の可変抵抗特性もフォーミング電圧パルスの印加時間が初期状態の臨界点までは、抵抗値が単調に変化し（図10～図12の例では、単調に増加し）、初期状態の臨界点を超えてフォーミング電圧パルスを印加すると、抵抗値は逆に変化して初期の抵抗状態に戻る（図10参照）。ここで、フォーミング電圧パルスの印加を初期の抵抗状態に戻る手前の臨界点との中間時点で止めると、その後のモノポーラスイッチング特性が異なることが分かる。図10～図12に示す例では、フォーミング電圧パルスの印加時間が初期状態の臨界点を超えて早い段階で停止すると、モノポーラスイッチング特性の抵抗変化の変化幅が大きく、また、モノポーラスイッチング特性の基準抵抗値が初期状態の可変抵抗特性のフォーミング電圧パルスの印加停止時の抵抗値で規定されることが分かる。

10

【0030】

以上の図10～図12に示す実験結果より、同様のモノポーラスイッチング特性を呈する可変抵抗素子においては、モノポーラスイッチング動作における書き込み電圧パルスと消去電圧パルスの各印加時間は、フォーミング電圧パルスの印加停止までの印加時間より短くなることが分かる。尚、図10～図12に示す例では、書き込み動作は可変抵抗素子を低抵抗状態から高抵抗状態へと遷移させる動作であり、消去動作は高抵抗状態から低抵抗状態へと遷移させる動作である。これは、消去電圧パルスの印加時間が、フォーミング電圧パルス印加前の初期状態の可変抵抗特性における臨界点の近傍にあることと、フォーミング電圧パルスの印加が初期状態の臨界点前で停止した場合は、その後の電圧パルスの印加で初期状態の可変抵抗特性に沿った抵抗変化が継続して生じるため、可変抵抗素子がモノポーラスイッチング特性に変化しきれていないことに基づく判断である。

20

【0031】

従って、上記第1の特徴の可変抵抗素子の抵抗制御方法によれば、フォーミング工程において、可変抵抗素子の製造後の初期状態からモノポーラスイッチング動作が可能な可変抵抗状態へ可変抵抗素子を形成でき、その後のモノポーラスイッチング動作を安定して実行できるようになる。

30

【0032】

また、上記第2の特徴の可変抵抗素子の抵抗制御方法によれば、モノポーラスイッチング動作における可変抵抗素子の低抵抗状態と高抵抗状態の各抵抗値がフォーミング電圧パルスのパルス印加時間で調整できるため、書き込みまたは消去動作において要求されるメモリセル電流の設計自由度が大きくなり、結果として高性能な可変抵抗素子の書き込みまたは消去動作が可能となる。

【0033】

上記第3の特徴の可変抵抗素子の抵抗制御方法によれば、フォーミング工程において、可変抵抗素子を確実にモノポーラスイッチング動作可能な可変抵抗特性に変化させることができる。

40

【0034】

上記第4の特徴の可変抵抗素子の抵抗制御方法によれば、フォーミング工程後のモノポーラスイッチング動作における可変抵抗素子の低抵抗状態と高抵抗状態の抵抗値の差を十分に確保でき、安定したモノポーラスイッチング動作とデータ読み出し動作時の動作マージンを大きく確保できる。

【0035】

上記第5の特徴の可変抵抗素子の抵抗制御方法によれば、例えば、図10～図12に例示するような製造後の初期状態の可変抵抗素子において、フォーミング工程後においてモノポーラスイッチング動作が可能となる。

【0036】

50

上記第6の特徴の可変抵抗素子の抵抗制御方法によれば、書き込み電圧パルスの印加時間を短くでき、書き込み動作の高速化が図れる。

【0037】

上記第1または第2の特徴の不揮発性半導体記憶装置によれば、電圧パルス印加回路によって上記第1の特徴の可変抵抗素子の抵抗制御方法におけるフォーミング工程を適正に実行できるため、フォーミング工程後においてモノポーラスイッチング動作可能な可変抵抗素子が得られ、更に、電圧パルス印加回路によって適正なモノポーラスイッチング動作が確実に実行されるため、モノポーラスイッチング動作可能な不揮発性半導体記憶装置が提供可能となる。

【0038】

上記第3の特徴の不揮発性半導体記憶装置によれば、非線形素子をメモリセルの選択や、或いは、メモリセルを流れる電流を制限したりする目的に利用でき、メモリセルをマトリクス状に配列してメモリセルアレイを構成した場合の、メモリセルに対する書き込み、消去、読み出し等のメモリ動作を特定のメモリセルに対して安定的に実現可能となる。

【0039】

上記第4の特徴の不揮発性半導体記憶装置によれば、ダイオードがメモリセル電流の整流作用を有することから、メモリセルをクロスポイント型メモリセルアレイ構造とした場合に、クロスポイント型メモリセルアレイに特有の回り込み電流を低減して安定したメモリ動作が可能となる。特に、メモリセルが一方向にのみメモリセル電流を流す構造であっても、可変抵抗素子がモノポーラスイッチング動作可能であるため、書き込み及び消去動作が可能である。

【発明を実施するための最良の形態】

【0040】

以下、本発明に係る不揮発性半導体記憶装置（以下、適宜「本発明装置」と略称する。）及び、本発明装置に使用される可変抵抗素子の抵抗制御方法（以下、適宜「本発明方法」と略称する。）の実施形態を図面に基づいて説明する。

【0041】

図1に、本発明装置10の一実施形態におけるブロック構成を示す。図1に示すように、本発明装置10は、メモリセルアレイ11、ワード線デコーダ12、ビット線デコーダ13、読み出し回路14、制御回路15、及び、電圧スイッチ回路16を備えて構成される。

【0042】

メモリセルアレイ11は、不揮発性のメモリセルを行方向及び列方向に夫々複数配列して構成され、外部からのアドレス入力で指定されるメモリセルに情報を電氣的に書き込むことができ、更に、アドレス入力で指定されるメモリセルに記憶された情報を読み出すことができる。より詳細には、アドレス線17から入力されたアドレス信号に対応したメモリセルアレイ11内の特定のメモリセルに情報が記憶され、その情報はデータ線18を通り、外部装置に出力される。

【0043】

更に詳細には、メモリセルアレイ11は、電気抵抗の変化により情報を記憶する可変抵抗素子を有する2端子構造のメモリセルを行方向及び列方向に夫々複数配列し、行方向に延伸する複数のワード線と列方向に延伸する複数のビット線を備え、同一行のメモリセルの夫々が、メモリセルの一端側を共通のワード線に接続し、同一列のメモリセルの夫々が、メモリセルの他端側を共通のビット線に接続してなるクロスポイント型のメモリセルアレイ構造を有している。尚、本実施形態におけるメモリセルとしては、可変抵抗素子の両端に電氣的ストレス（書き込み電圧パルスと消去電圧パルス）が印加されることで、可変抵抗素子の電気抵抗が変化することにより、記憶データの書き換え（書き込み及び消去）が可能に構成されているものを想定する。

【0044】

ワード線デコーダ12は、アドレス線17に入力された行選択用のアドレス信号に対応

10

20

30

40

50

するメモリセルアレイ 11 のワード線を選択ワード線として選択し、選択ワード線と選択されなかった非選択ワード線に、書き込み、消去、読み出しの各メモリ動作に応じた選択ワード線電圧と非選択ワード線電圧を各別に印加する。

【0045】

また、ワード線デコーダ 12 は、メモリセルアレイ 11 の各メモリセル中の可変抵抗素子を製造後の初期状態からモノポーラスイッチング動作が可能な可変抵抗状態に形成するためのフォーミング工程におけるフォーミング電圧パルスの印加（フォーミング動作）時におけるワード線の選択にも使用される。

【0046】

ビット線デコーダ 13 は、アドレス線 17 に入力された列選択用のアドレス信号に対応するメモリセルアレイ 11 のビット線を選択ビット線として選択し、選択ビット線と選択されなかった非選択ビット線に、書き込み、消去、読み出しの各メモリ動作に応じた選択ビット線電圧と非選択ビット線電圧を各別に印加する。

【0047】

また、ビット線デコーダ 13 は、メモリセルアレイ 11 の各メモリセル中の可変抵抗素子を製造後の初期状態からモノポーラスイッチング動作が可能な可変抵抗状態に形成するためのフォーミング動作時におけるビット線の選択にも使用される。

【0048】

制御回路 15 は、メモリセルアレイ 11 の書き込み、消去、読み出しの各メモリ動作、及び、フォーミング動作の制御を行う。制御回路 15 は、アドレス線 17 から入力されたアドレス信号、データ線 18 から入力されたデータ入力（書き込み動作或いは書き換え動作時）、制御信号線 19 から入力された制御入力信号に基づいて、ワード線デコーダ 12、ビット線デコーダ 13 を制御して、メモリセルアレイ 11 の読み出し、書き込み、消去動作、及び、フォーミング動作を制御する。図 1 に示す例では、制御回路 15 は、図示しないが一般的なアドレスバッファ回路、データ入出力バッファ回路、制御入力バッファ回路としての機能を具備している。尚、フォーミング動作は、後述するように、所定のテストモードにおいて実行される。

【0049】

電圧スイッチ回路 16 は、メモリセルアレイ 11 の読み出し、書き込み、消去動作、及び、フォーミング動作時に必要な選択ワード線電圧、非選択ワード線電圧、選択ビット線電圧、非選択ビット線電圧をワード線デコーダ 12 及びビット線デコーダ 13 に与える。Vcc は本発明装置 10 の供給電圧（電源電圧）、Vss は接地電圧、Vee は消去用の電圧、Vpp は書き込み用の電圧、Vr は読み出し用の電圧である。

【0050】

データの読み出しは、メモリセルアレイ 11 からビット線デコーダ 13、読み出し回路 18 を通って行われる。読み出し回路 18 は、データの状態を判定し、その結果を制御回路 15 に送り、データ線 18 へ出力する。

【0051】

図 2 に、クロスポイント型のメモリセルアレイ 11 の部分的な構成を模式的に示す。図 2 では、メモリセルアレイ 11 は 4 本のビット線 BL0 ~ 3 と 4 本のワード線 WL0 ~ 3 の交点にメモリセル M が挟持されている。図 3 に、ビット線 BL の延伸方向に平行な垂直断面でのメモリセルの断面図を示す。メモリセル M として、例えば、非特許文献 1 及び非特許文献 3 に示す電氣的ストレスによって抵抗変化する PCMO、NiO、TiO 等の遷移金属酸化物の可変抵抗体 20 からなる 2 端子構造の可変抵抗素子からなるメモリセル等が想定される。図 3 に示す断面構造では、ビット線 BL とワード線 WL が、可変抵抗体 20 を挟持するメモリセル電極となっており、可変抵抗素子は可変抵抗体 20 が 2 つの電極間に挟持された 3 層構造となっている。また、メモリセル M は、図 4 に示すように、上述の遷移金属酸化物の可変抵抗体 20 が 2 つの電極 21, 22 の間に挟持された可変抵抗素子 23 とダイオード等の非線形な電流・電圧特性を有する非線形素子 24 の直列回路からなる 2 端子構造のメモリセルであってもよい。特に、非線形素子 24 が整流特性を有する

10

20

30

40

50

ダイオードの場合には、本実施形態の書き換え動作に使用するモノポーラスイッチング動作との整合性が高く、クロスポイント型のメモリセルアレイ構造に起因する回り込み電流の影響を抑制できる。

【0052】

次に、本実施形態において使用する可変抵抗素子のスイッチング特性について説明する。尚、スイッチング特性とは、2端子構造の可変抵抗素子の両端子間に電圧パルス印加して可変抵抗素子の電気抵抗特性を、高抵抗状態と低抵抗状態の間に設定された2以上の抵抗状態間で遷移させる場合の電圧パルスの印加条件と可変抵抗素子の抵抗状態の間の関係をいう。ここで、可変抵抗素子の抵抗状態を、高抵抗状態から低抵抗状態に遷移させるために印加する電圧パルスの極性と、低抵抗状態から高抵抗状態に遷移させるために印加する電圧パルスの極性が異なる場合の抵抗変化動作を、バイポーラスイッチング動作と称し、両電圧パルスの極性が同じ場合の抵抗変化動作を、モノポーラスイッチング動作と称する。以下の説明では、白金(Pt)からなる2つの電極間にPCMOで形成される可変抵抗体を挟持した3層構造の可変抵抗素子の場合について説明する。

10

【0053】

図5に、上記3層構造の可変抵抗素子に対してバイポーラスイッチング動作を行った場合のスイッチング特性を示す。可変抵抗素子の抵抗特性を低抵抗状態から高抵抗状態に遷移させる書き込み電圧パルスの印加条件は、電圧が+3.5V、パルス幅(パルス印加時間)が2 μ sで、可変抵抗素子の抵抗特性を高抵抗状態から低抵抗状態に遷移させる消去電圧パルスの印加条件は、電圧が-3.5V、パルス幅(パルス印加時間)が1 μ sであり、安定したスイッチング特性が得られている。

20

【0054】

次に、上記3層構造の可変抵抗素子に対してモノポーラスイッチング動作を行う場合のスイッチング特性について説明する。モノポーラスイッチング動作では、可変抵抗素子の抵抗特性を低抵抗状態から高抵抗状態に遷移させる書き込み電圧パルスと、可変抵抗素子の抵抗特性を高抵抗状態から低抵抗状態に遷移させる消去電圧パルスとして、電圧極性が同極性でパルス幅の異なる2種類の電圧パルスを使用する。本実施形態では、可変抵抗素子の製造後の初期状態での抵抗特性が低抵抗状態であるため、可変抵抗素子の抵抗特性が、所定のパルス幅の書き込み電圧パルスの印加で高抵抗状態となり、書き込み電圧パルスより長いパルス幅で同極性の消去電圧パルスの印加で元の低抵抗状態に戻るモノポーラスイッチング特性である。

30

【0055】

以下、安定したモノポーラスイッチング特性を得るために製造後の初期状態の可変抵抗素子に対してフォーミング動作を行う必要性について説明する。

【0056】

図6に、製造後の初期状態の可変抵抗素子に対して、同一極性の電圧値+3.5Vの電圧パルスを累積的に印加した場合のパルス印加時間と可変抵抗素子の抵抗値を測定した結果を示す。図6に示すように、初期状態の可変抵抗特性では、パルス印加時間が10 μ s付近で抵抗値がピーク値(極大値)を示し、その後、パルス印加時間の増加に伴い、抵抗値が低下することが分かる。従って、図6に示す初期状態の可変抵抗特性をモノポーラスイッチング動作に使用するとすれば、書き込み電圧パルスのパルス幅を可変抵抗素子の抵抗値がピーク値付近となるパルス印加時間(抵抗変化が反転するパルス印加時間の臨界点)付近に設定し、消去電圧パルスのパルス幅を可変抵抗素子の抵抗値が初期の抵抗値に戻るパルス印加時間付近に設定する必要がある。そして、上記設定の書き込み電圧パルスと消去電圧パルスと同じ可変抵抗素子に交互に印加することでモノポーラスイッチング動作が可能であると推定される。

40

【0057】

次に、図7に、図6に示す初期状態の可変抵抗特性を示した可変抵抗素子に対して、2回繰り返して、同一極性の電圧値+4Vの電圧パルスを累積的に印加した場合のパルス印加時間と可変抵抗素子の抵抗値を測定した結果を示す。図7より、一旦初期状態の可変抵

50

抗素子に対して図6に示す電圧パルスの印加を行った後では、同様の可変抵抗特性を示さないことが分かる。つまり、抵抗値がピーク値を示す臨界点が早くなり(10 μ s付近から3 μ s付近に移動)、当該ピーク値も低抵抗となっている。また、図7に示す1回目と2回目の電圧パルスを累積的印加では、臨界点及びピーク値に大きな変化はない。更に、図7において、電圧パルス印加前の低抵抗状態に戻るのに要するパルス印加時間は、図6に示す初期状態の可変抵抗特性における臨界点付近である。つまり、図6に示す初期状態の可変抵抗特性と、図7に示す一旦電圧パルスを印加されて初期の抵抗状態に戻った抵抗素子の可変抵抗特性が大きく異なるため、初期状態の可変抵抗特性は、そのままでは、モノポーラスイッチング動作に使用できないことが分かる。また、図7に示す可変抵抗特性では、図6に示す初期状態の可変抵抗特性と異なり、短いパルス幅の電圧パルス印加でも抵抗値の変化が開始するため、書き込み電圧パルスのパルス幅の短縮が可能となる。

10

【0058】

従って、図7に示す可変抵抗特性をモノポーラスイッチング動作に使用するとすれば、書き込み電圧パルスのパルス幅を可変抵抗素子の抵抗値がピーク値付近となる臨界点の3 μ s付近に設定し、消去電圧パルスのパルス幅を可変抵抗素子の抵抗値が低抵抗状態に戻るパルス印加時間付近の10 μ s付近に設定すればよいことが分かる。つまり、図6に示す可変抵抗素子の初期状態の可変抵抗特性を、図7に示す安定したモノポーラスイッチング特性に形成するためのフォーミング動作として、製造後の初期状態において、書き込み電圧パルス及び消去電圧パルスと同極性のフォーミング電圧パルスを、図6に示す初期状態の可変抵抗特性における臨界点を超えて印加する必要がある。

20

【0059】

次に、フォーミング動作で使用するフォーミング電圧パルスのパルス幅(パルス印加時間)と、フォーミング動作後のモノポーラスイッチング特性の関係について調べた結果を、図8と図9に示す。図8は、横軸にフォーミング電圧パルスのパルス幅を取り、縦軸に、初期状態、フォーミング動作後、1回目の書き込み動作後、1回目の消去動作後、2回目の書き込み動作後の夫々における可変抵抗素子の抵抗値を示す。図9に、図8に示す測定結果を、横軸に、初期状態、フォーミング動作後、1回目の書き込み動作後、1回目の消去動作後、2回目の書き込み動作後の各状態を設定し、縦軸を抵抗値とし、フォーミング電圧パルスのパルス幅をパラメータとして可変抵抗素子の抵抗値を示す。図8及び図9に示す測定では、2 μ s、20 μ s、40 μ s、50 μ s、60 μ s、100 μ s、200 μ sの7種類の異なるパルス幅で電圧値が3.5Vのフォーミング電圧パルス、パルス幅が300nsで電圧値が4Vの書き込み電圧パルス、及び、パルス幅が3 μ sで電圧値が3.5Vの消去電圧パルスを用いた。

30

【0060】

図8と図9より、フォーミング動作後の抵抗値と、1回目の消去動作後の抵抗値が、フォーミング電圧パルスのパルス幅が2 μ sの場合を除いて一致していることが分かる。また、フォーミング動作後の抵抗値は、フォーミング電圧パルスのパルス幅が、2 μ sの場合を除いて、短い方が高くなっていることが分かる。つまり、フォーミング動作によって安定したモノポーラスイッチング特性が得られ、しかも、モノポーラスイッチング特性の低抵抗状態での可変抵抗素子の抵抗値は、フォーミング動作後の抵抗値によって決定でき、その抵抗値をフォーミング電圧パルスのパルス幅によって制御可能であることが分かる。図8と図9において、フォーミング電圧パルスのパルス幅が2 μ sの場合において、フォーミング動作後の抵抗値と1回目の消去動作後の抵抗値が一致していない理由は、パルス幅2 μ sのフォーミング電圧パルスでは、フォーミング動作が十分に完了していないためである。つまり、2回目の書き込み動作において、抵抗値がまだ増加傾向にあるため、フォーミング動作の未だ完了していないと考えられる。このことは、図6に示す初期状態の可変抵抗特性の臨界点が10 μ s付近にあることから説明できる。

40

【0061】

更に、フォーミング電圧パルスのパルス幅と、フォーミング動作後のモノポーラスイッチング特性の関係について調べた結果を、図10~図12に示す。図10~図12では、

50

フォーミング動作時の可変抵抗特性と、フォーミング動作後に繰り返して電圧パルスを累積的に印加した場合の可変抵抗特性（モノポーラスイッチング特性）を、夫々示している。図10は、フォーミング電圧パルスのパルス印加時間が $50\mu\text{s}$ の時点でフォーミング動作を終了した場合、図11は、フォーミング電圧パルスのパルス印加時間が $15\mu\text{s}$ の時点でフォーミング動作を終了した場合、図12は、フォーミング電圧パルスのパルス印加時間が $8\mu\text{s}$ の時点でフォーミング動作を終了した場合を、夫々示している。尚、図8と図9では、フォーミング電圧パルスと消去電圧パルスの電圧値が 3.5V と、書き込み電圧パルスの電圧値の 4V より 0.5V 低電圧であったが、図10～図12では、印加する全ての電圧パルスの電圧値は同じ 4V に設定することで、印加する電圧値の差の影響を排除して、純粋にフォーミング電圧パルスのパルス幅の影響を調べることができる。

10

【0062】

図10～図12に示す測定結果より、図8と図9に示す結果と同様に、フォーミング動作後の抵抗値と1回目の消去動作後の抵抗値が一致していること、また、フォーミング動作後の抵抗値が、フォーミング電圧パルスのパルス幅の短い方が高くなることから分かる。この結果、フォーミング動作によって安定したモノポーラスイッチング特性が得られ、しかも、モノポーラスイッチング特性の低抵抗状態での可変抵抗素子の抵抗値は、フォーミング動作後の抵抗値によって決定でき、その抵抗値をフォーミング電圧パルスのパルス幅によって制御可能であることが分かる。

【0063】

ところで、図8～図12に示す測定結果より、フォーミング電圧パルスのパルス幅が長過ぎると、低抵抗状態と高抵抗状態の抵抗比を大きく取れないため、フォーミング電圧パルスのパルス幅は、フォーミング動作後の抵抗値が製造後の初期状態の抵抗値にまで戻らない程度の短いパルス幅に抑えておく必要がある。

20

【0064】

次に、図13に、 $50\mu\text{s}$ のパルス幅で電圧値が 3.5V のフォーミング電圧パルスによるフォーミング動作後のモノポーラスイッチング動作を、 300ns のパルス幅で電圧値が 4V の書き込み電圧パルス、及び、 $3\mu\text{s}$ のパルス幅で電圧値が 3.5V の消去電圧パルスを用いて繰り返し実行した場合のモノポーラスイッチング特性を示す。図13より、適正なフォーミング電圧パルスによるフォーミング動作後は、安定したモノポーラスイッチング動作が継続して可能なことが分かる。

30

【0065】

更に、図14に、 $50\mu\text{s}$ のパルス幅で電圧値が -3.5V のフォーミング電圧パルスによるフォーミング動作後のモノポーラスイッチング動作を、 300ns のパルス幅で電圧値が -4V の書き込み電圧パルス、及び、 $3\mu\text{s}$ のパルス幅で電圧値が -3.5V の消去電圧パルスを用いて繰り返し実行した場合のモノポーラスイッチング特性を示す。図14より、各電圧パルスの電圧値が負極性の場合でも、各電圧パルスが同一極性であれば、適正なフォーミング電圧パルスによるフォーミング動作後は、安定したモノポーラスイッチング動作が継続して可能なことが分かる。

【0066】

次に、図6に示すような初期状態の可変抵抗特性を呈する可変抵抗素子に対する本発明方法によるフォーミング動作の処理手順の一例について、図15に示すフローチャートを参照して説明する。尚、フォーミング動作の対象となる可変抵抗素子は、図1に示すメモリセルアレイ11内のメモリセル中の可変抵抗素子である。以下の説明では、メモリセルアレイ11内の或る1本乃至複数本のワード線に接続する全てのメモリセルがフォーミング動作の対象として選択される場合を想定し、所定のテストモードにおいて、本発明装置10の制御回路15に対して、フォーミング動作の制御を外部のメモリテストから行うものとする。フォーミング動作をメモリセル単位で行わずに、所定本数のワード線単位で行うのは、フォーミング動作中に、フォーミング動作の対象外の他のメモリセルに対して不用意且つ不適正なフォーミング動作が行われるのを排除するためである。フォーミング電圧パルスの印加は、メモリセルアレイ11内の全てのビット線を接地電圧 V_{SS} とし、選

40

50

択ワード線にフォーミング電圧パルスを印加し、非選択のワード線は接地電圧 V_{SS} とする。これにより、選択されたメモリセルにのみフォーミング電圧パルスが印加され、その他のメモリセルには電圧が印加されずに中途半端なフォーミング動作が禁止される。

【0067】

まず、初回のフォーミング動作の対象となる1本乃至複数本のワード線を選択して(ステップ#10)、フォーミング電圧パルスを所定のパルス幅(例えば、100ns)で印加し(ステップ#11)、フォーミング電圧パルスの印加毎に各可変抵抗素子の抵抗値を測定して、テスト側で記憶する(ステップ#12)。テスト側では、各可変抵抗素子の抵抗値が1回前の印加時の抵抗値より低下したか否かを判定するとともに、モノポラスイッチング特性における低抵抗状態の抵抗値を設定するための所定の基準抵抗値に到達したかを判定する(ステップ#13)。ここで、ステップ#12で測定した可変抵抗素子の抵抗値が1回前の印加時に測定した抵抗値より低下していないか、或いは、基準抵抗値より高いフォーミング未完了のメモリセルが存在する場合は、ステップ#12で測定した可変抵抗素子の抵抗値が、1回前の印加時に測定した抵抗値より低下しており、且つ、基準抵抗値以下のフォーミング完了のメモリセルについてはフォーミング電圧パルスを中止し、その余のフォーミング未完了のメモリセルに対し、引き続いてステップ#11のフォーミング電圧パルスの印加を続ける。ステップ#13の判定で、選択ワード線に接続する全てのメモリセルについて、ステップ#12で測定した可変抵抗素子の抵抗値が1回前の印加時に測定した抵抗値より低下している場合には、フォーミング電圧パルスのパルス幅を初期のパルス幅より増加させ、例えば、1 μ sとする。選択ワード線に接続する全てのメモリセルの可変抵抗素子について、ステップ#12で測定した抵抗値が、1回前の印加時に測定した抵抗値より低下しており、且つ、基準抵抗値以下となると、つまり、フォーミング完了となると、選択ワード線がフォーミング動作の最後のワード線か否かを判定し(ステップ#14)、最後のワード線でない場合は、選択ワード線を非選択とし、次のワード線を選択して(ステップ#15)、ステップ#11に戻る。ステップ#14において、選択ワード線がフォーミング動作の最後のワード線と判定されると、メモリセルアレイ11全体のフォーミング動作が完了したと判断して、フォーミング動作を終了する。

【0068】

引き続き、例えば、フォーミング動作中に抵抗変化の最も早かったメモリセルと最も遅かったメモリセルに対して、書き込み電圧パルスを所定のパルス幅(例えば、100ns)で印加し(ステップ#16)、書き込み電圧パルスの印加毎に各可変抵抗素子の抵抗値を測定して、テスト側で記憶する(ステップ#17)。テスト側では、各可変抵抗素子の抵抗値が1回前の印加時の抵抗値より低下したか否かを判定するとともに、モノポラスイッチング特性における低抵抗状態の抵抗値を設定するための所定の基準抵抗値に到達したかを判定し(ステップ#18)、ステップ#16の処理に選択されたメモリセルが所定の基準抵抗値に到達するまで、ステップ#16とステップ#17の処理を繰り返し、フォーミング動作後のモノポラスイッチング特性における臨界点と、基準抵抗値に到達するまでのパルス印加時間を求める(ステップ#19)。更に、消去電圧パルスを所定のパルス幅(例えば、100ns)で印加し(ステップ#20)、消去電圧パルスの印加毎に各可変抵抗素子の抵抗値を測定して、テスト側で記憶する(ステップ#21)。テスト側では、各可変抵抗素子の抵抗値が1回前の印加時の抵抗値より低下したか否かを判定するとともに、モノポラスイッチング特性における低抵抗状態の抵抗値を設定するための所定の基準抵抗値に到達したかを判定し(ステップ#22)、ステップ#20の処理に選択されたメモリセルが所定の基準抵抗値に到達するまで、ステップ#20とステップ#21の処理を繰り返し、フォーミング動作後のモノポラスイッチング特性における臨界点と、基準抵抗値に到達するまでのパルス印加時間を求める(ステップ#23)。臨界点と基準抵抗値に到達するまでのパルス印加時間の結果より、書き込み電圧パルスのパルス幅をステップ#17で測定した臨界点(例えば、最小値または平均値)付近に、また、消去電圧パルスのパルス幅をステップ#21で測定した基準抵抗値に到達するまでのパルス印加時間(例えば、最大値または平均値)付近に設定する。尚、当該設定値は、制御回路15内

10

20

30

40

50

に記憶され、テストモードを終了する（ステップ# 24）。

【0069】

以上のフォーミング動作により、メモリセルアレイ11内の全てのメモリセルに対するフォーミング動作が完了して、同じ低抵抗状態に統一されたモノポーラスイッチング動作可能なメモリセルが形成される。

【0070】

尚、メモリセルアレイ11内のメモリセルの可変抵抗特性がある程度均一である場合には、上記処理手順を例えば一本の選択ワード線についてのみ実行して、基準抵抗値に到達するのに必要なフォーミング電圧パルスのパルス幅を調べて、残りのワード線については、当該パルス幅での1回のフォーミング電圧パルスの印加でフォーミング動作を終了する10ようにしてもよい。或いは、テスト用のメモリセルで基準抵抗値に到達するのに必要なフォーミング電圧パルスのパルス幅を調べて、全てのワード線について、当該パルス幅での1回のフォーミング電圧パルスの印加でフォーミング動作を終了する10ようにしてもよい。更に、書き込み電圧パルス及び消去電圧パルスの各パルス幅の設定に用いるためのフォーミング動作後のモノポーラスイッチング特性における臨界点と、基準抵抗値に到達するまでのパルス印加時間の測定も、テスト用のメモリセルで行うようにしてもよい。

【0071】

次に、上記要領でフォーミング動作を終了したクロスポイント型メモリセルアレイの各メモリ動作時の電圧印加条件を4行×4列のメモリセルアレイを例に説明する。以下の説明では、メモリ動作対象の選択メモリセルをメモリセルM22とする。20

【0072】

書き込み動作時の電圧印加条件は、図16に示すように、選択ビット線BL2に書き込み電圧 V_{pp} 、非選択ビット線BL0、BL1、BL3に書き込み電圧 V_{pp} の2分の1の書き込み抑止電圧 $V_{pp}/2$ 、選択ワード線WL2に接地電圧 V_{ss} 、非選択ワード線WL0、WL1、WL3に上記書き込み抑止電圧 $V_{pp}/2$ を、夫々印加する。その結果、選択メモリセルM22の両端には書き込み電圧 V_{pp} が、選択ビット線BL2及び選択ワード線WL2に接続する非選択メモリセル（以下、適宜「半非選択メモリセル」と称す）には、書き込み抑止電圧 $V_{pp}/2$ が夫々印加され、その他の非選択メモリセル（以下、適宜「完全非選択メモリセル」と称す）には、電圧が印加されない。ここで、メモリセルの書き込みに必要な書き込み電圧（絶対値）の下限値を書き込み抑止電圧 $V_{pp}/2$ （絶対値）より高くなるように設定することで、半非選択メモリセルの書き込みを抑止できる。ここで、選択メモリセルM22への書き込み電圧 V_{pp} の印加時間は、上記フォーミング動作後に設定された書き込み電圧パルスのパルス幅で制御される。30

【0073】

消去動作時の電圧印加条件は、図17に示すように、印加電圧が書き込み電圧 V_{pp} から消去電圧 V_{ee} に、また、書き込み抑止電圧 $V_{pp}/2$ から消去抑止電圧 $V_{ee}/2$ に変更になり、選択メモリセルM22への消去電圧 V_{pp} の印加時間が、書き込み電圧 V_{pp} の印加時間より長い上記フォーミング動作後に設定された消去電圧パルスのパルス幅で制御される点が異なるだけで、その他は書き込み動作時の電圧印加条件と同じである。40

【0074】

読み出し動作時の電圧印加条件は、図18に示すように、全てのビット線BL0～3に読み出し電圧 V_r 、選択ワード線WL2に接地電圧 V_{ss} 、非選択ワード線WL0、WL1、WL3に読み出し電圧 V_r を夫々印加する。各ビット線BL0～3には、選択ワード線WL2上の各メモリセルに対応する読み出し電流が、ワード線単位で夫々流れるので、選択ビット線BL2の読み出し電流を選択的に検出することで、選択メモリセルM22のデータが読み出せる。尚、選択ワード線WL2上の各メモリセルには読み出し電圧 V_r が印加されるが、当該電圧で不要な書き込み動作や消去動作が生じないように、読み出し電圧 V_r （絶対値）は書き込み抑止電圧 $V_{pp}/2$ 及び消去抑止電圧 $V_{ee}/2$ 以下に設定する。50

【0075】

次に、本発明装置の別実施形態について説明する。

1 上記実施形態では、メモリセルを構成する可変抵抗素子として、白金(Pt)からなる2つの電極間にPCMOで形成される可変抵抗体を挟持した3層構造の可変抵抗素子を例に、詳細な説明を行ったが、可変抵抗素子は、同一極性の電圧パルスを累積的に印加した場合に、抵抗変化が一方向に進行してピーク値(極大値または極小値)に到達した後に、電圧パルス印加前の抵抗値に戻るというモノポーラスイッチング動作可能な可変抵抗特性を有し、当該可変抵抗特性がフォーミング動作の前後で変化する特性を有する可変抵抗素子に適用できる。従って、可変抵抗体の材料は、PCMOに限定されるものではない。また、電極材料も白金に限定されるものではない。更に、可変抵抗素子の初期状態での抵抗状態は、必ずしも低抵抗状態に限定されるものではなく、高抵抗状態であってもよい。

10

【0076】

2 上記実施形態では、可変抵抗素子の抵抗特性が低抵抗状態から高抵抗状態に遷移する場合を書き込み動作、その逆に、可変抵抗素子の抵抗特性が高抵抗状態から低抵抗状態に遷移する場合を消去動作と規定したが、書き込み動作及び消去動作の定義は交替しても構わない。

【0077】

3 上記実施形態では、書き込み電圧パルス V_{pp} と消去電圧パルス V_{ee} の電圧値が異なる場合を想定して、フォーミング動作の処理手順の一例について説明したが(図15参照)、書き込み電圧パルス V_{pp} と消去電圧パルス V_{ee} の電圧値が同じ設定の場合には、当該処理手順におけるステップ#20~#23は省略することができる。

20

【0078】

4 上記実施形態では、2端子構造のメモリセルを想定し、クロスポイント型のメモリセルアレイ11について説明したが、本発明方法は、図19に例示する可変抵抗素子23と選択トランジスタ25(非線形素子の他の一例)が直列に接続した3端子構造のメモリセルを行方向及び列方向に夫々複数配列したメモリセルアレイにも適用可能である。この場合、同一行のメモリセルの夫々が、選択トランジスタのゲートを共通のワード線WLに接続し、同一列のメモリセルの夫々が、可変抵抗素子と選択トランジスタの直列回路の一端を共通のビット線BLに接続し、各メモリセルの当該直列回路の他端側が共通のソース線SLに接続したメモリセルアレイ構成となる。

30

【0079】

5 上記実施形態では、メモリセルアレイ11は、メモリセルを行方向及び列方向に夫々複数配列した2次元構造であったが、図20に示すように、2次元的なメモリセルアレイを基板に垂直方向に積層してなる3次元構造であってもよい。

【0080】

6 上記実施形態では、フォーミング動作において、フォーミング動作の対象となるメモリセルをワード線単位に選択して、選択されたワード線にフォーミング電圧パルスを印加する場合を説明したが、フォーミング動作の対象となるメモリセルをビット線単位に選択して、ワード線を接地電圧 V_{ss} として選択されたビット線にフォーミング電圧パルスを印加するようにしてもよい。

40

【0081】

7 上記実施形態で例示した、フォーミング動作及び各メモリ動作における電圧印加条件は一例であり、本発明の内容を限定するものではなく、適宜変更可能である。

【産業上の利用可能性】

【0082】

本発明は、不揮発性半導体記憶装置に利用可能であり、特に、モノポーラスイッチング動作可能な可変抵抗素子を備えたメモリセルを行方向及び列方向に夫々複数配列したメモリセルアレイを有する不揮発性半導体記憶装置に利用可能であり、メモリセルの安定したモノポーラスイッチング動作の実現に有用である。

【図面の簡単な説明】

50

【 0 0 8 3 】

【図 1】本発明に係る不揮発性半導体記憶装置の一実施形態における概略の回路構成例を示すブロック図

【図 2】クロスポイント型のメモリセルアレイの部分的な構成を模式的に示す斜視図

【図 3】図 2 に示すクロスポイント型メモリセルアレイにおける 2 端子構造のメモリセルの一例を示す垂直断面図

【図 4】図 2 に示すクロスポイント型メモリセルアレイにおける 2 端子構造のメモリセルの他の一例を示す垂直断面図と等価回路図

【図 5】2 つの電極間に P C M O を挟持した 3 層構造の可変抵抗素子に対してバイポーラスイッチング動作を行った場合のスイッチング特性を示す図

10

【図 6】製造後の初期状態の可変抵抗素子に対して同一極性の電圧パルスを累積的に印加した場合のパルス印加時間と可変抵抗素子の抵抗値を測定した結果を示す図

【図 7】図 6 に示す初期状態の可変抵抗特性を示した可変抵抗素子に対して追加的に同一極性の電圧パルスを累積的に印加した場合のパルス印加時間と可変抵抗素子の抵抗値を測定した結果を示す図

【図 8】フォーミング電圧パルスのパルス印加時間とモノポーラスイッチング特性の関係を示す特性図

【図 9】フォーミング電圧パルスのパルス印加時間とモノポーラスイッチング特性の関係を示す特性図

【図 10】フォーミング電圧パルスのパルス印加時間とモノポーラスイッチング特性の関係を示す特性図

20

【図 11】フォーミング電圧パルスのパルス印加時間とモノポーラスイッチング特性の関係を示す特性図

【図 12】フォーミング電圧パルスのパルス印加時間とモノポーラスイッチング特性の関係を示す特性図

【図 13】本発明に係る可変抵抗素子の抵抗制御方法によるフォーミング動作に後の安定したモノポーラスイッチング動作を示す図

【図 14】本発明に係る可変抵抗素子の抵抗制御方法によるフォーミング動作に後の安定したモノポーラスイッチング動作を示す図

【図 15】本発明に係る可変抵抗素子の抵抗制御方法によるフォーミング動作の処理手順の一例を示すフローチャート

30

【図 16】4 行 × 4 列のクロスポイント型メモリセルアレイにおける書き込み動作時の電圧印加条件の一例を示す等価回路図

【図 17】4 行 × 4 列のクロスポイント型メモリセルアレイにおける消去動作時の電圧印加条件の一例を示す等価回路図

【図 18】4 行 × 4 列のクロスポイント型メモリセルアレイにおける読み出し動作時の電圧印加条件の一例を示す等価回路図

【図 19】3 端子構造のメモリセルの一例を示す垂直断面図と等価回路図

【図 20】3 次元構造のクロスポイント型のメモリセルアレイの部分的な構成を模式的に示す等価回路図

40

【図 21】従来の可変抵抗素子のスイッチング特性を示す特性図

【図 22】従来の可変抵抗素子のスイッチング特性を示す特性図

【図 23】従来の可変抵抗素子を多値メモリに応用した場合の多値レベルの範囲を示す説明図

【図 24】可変抵抗素子のモノポーラスイッチング特性を模式的に示す特性図

【符号の説明】

【 0 0 8 4 】

10 : 本発明に係る不揮発性半導体記憶装置

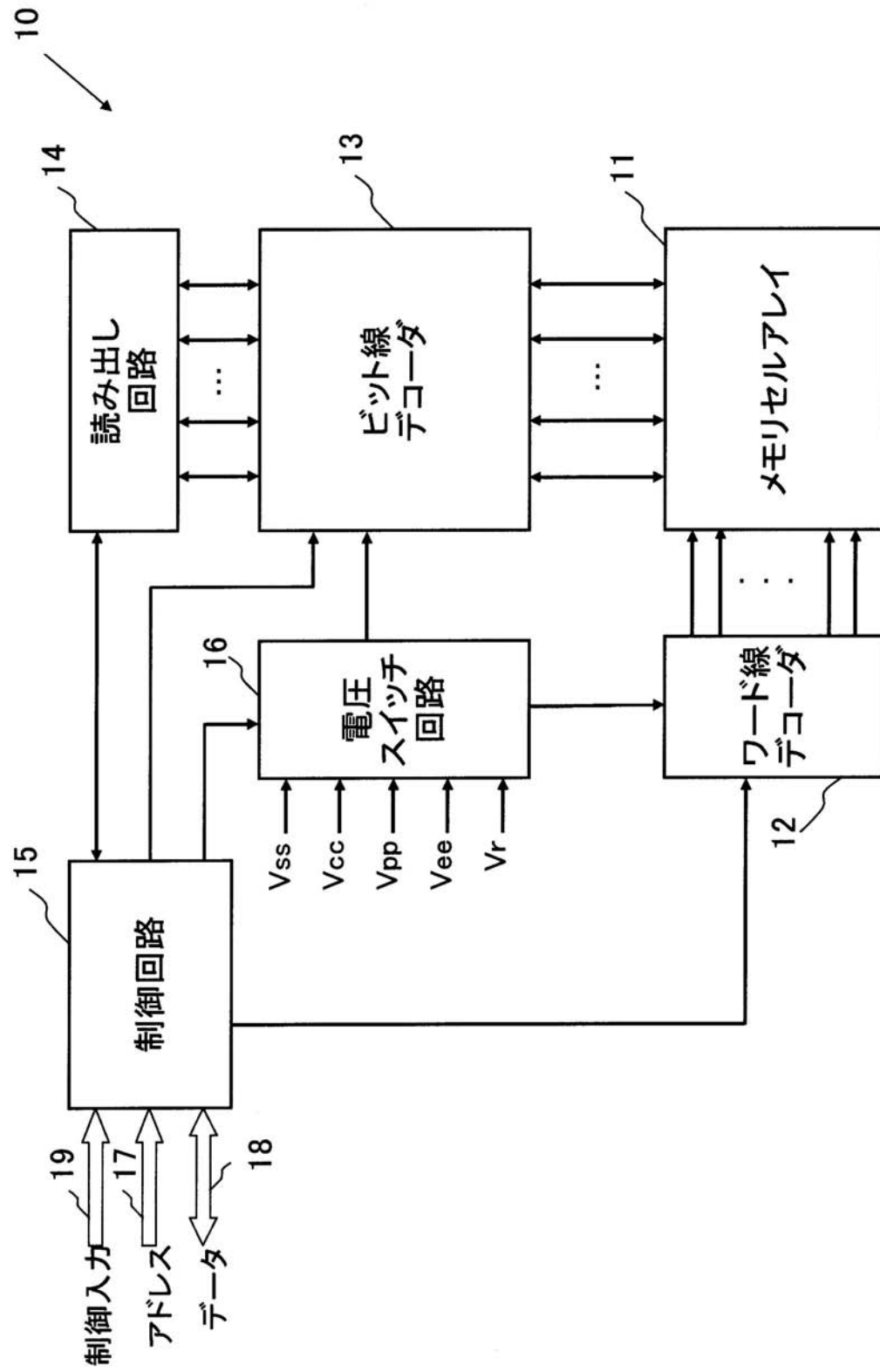
11 : メモリセルアレイ

12 : ワード線デコーダ

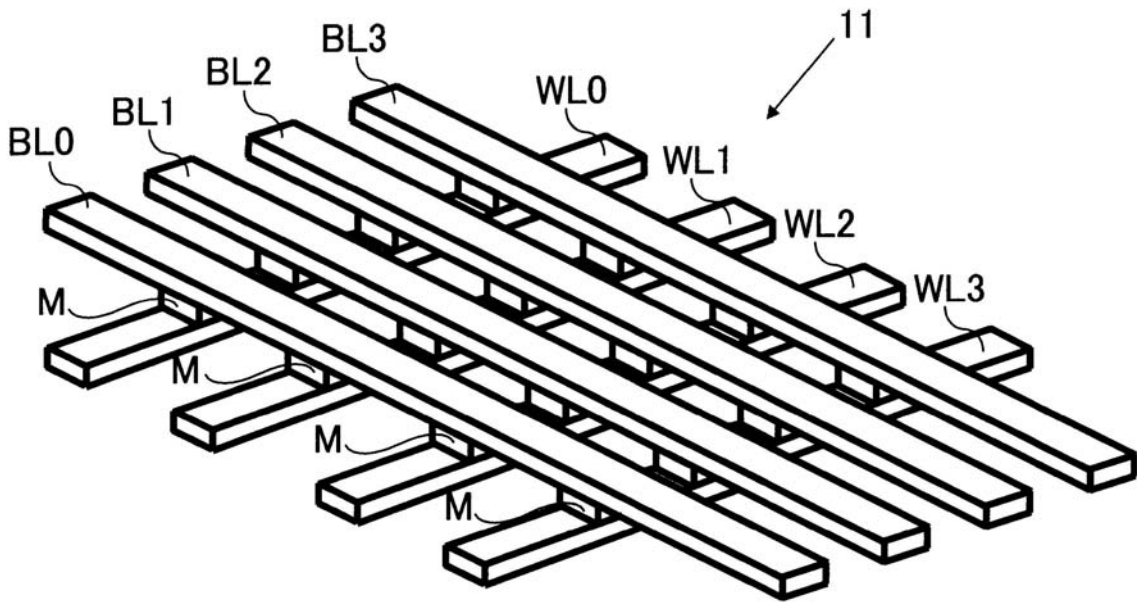
50

13 :	ビット線デコーダ	
14 :	読み出し回路	
15 :	制御回路	
16 :	電圧スイッチ回路	
17 :	アドレス線	
18 :	データ線	
19 :	制御信号線	
20 :	可変抵抗体	
21 , 22 :	電極	
23 :	可変抵抗素子	10
24 :	非線形素子、ダイオード	
25 :	非線形素子、選択トランジスタ	
BL、BL0 ~ BL3 :	ビット線	
M、M00 ~ M33 :	メモリセル	
SL :	ソース線	
Vcc :	供給電圧(電源電圧)	
Vee :	消去電圧	
Vee / 2 :	消去抑止電圧	
Vpp :	書き込み電圧	
Vpp / 2 :	書き込み抑止電圧	20
Vr :	読み出し電圧	
Vss :	接地電圧	
WL、WL0 ~ WL3 :	ワード線	

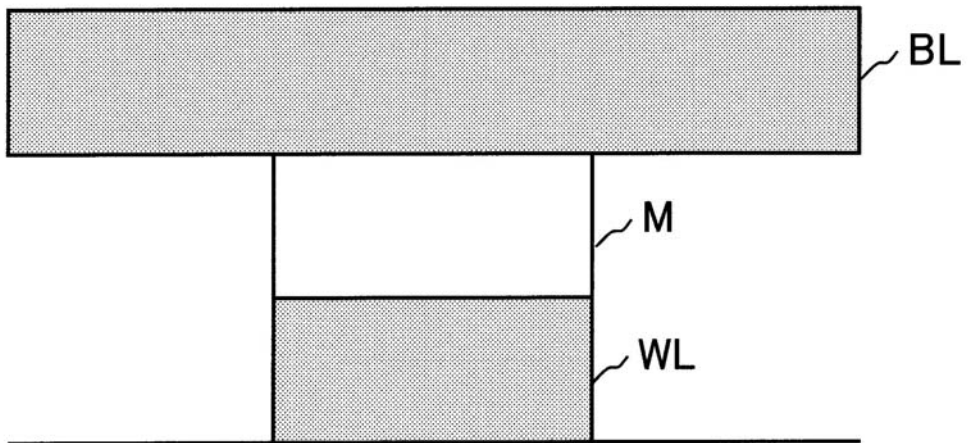
【図1】



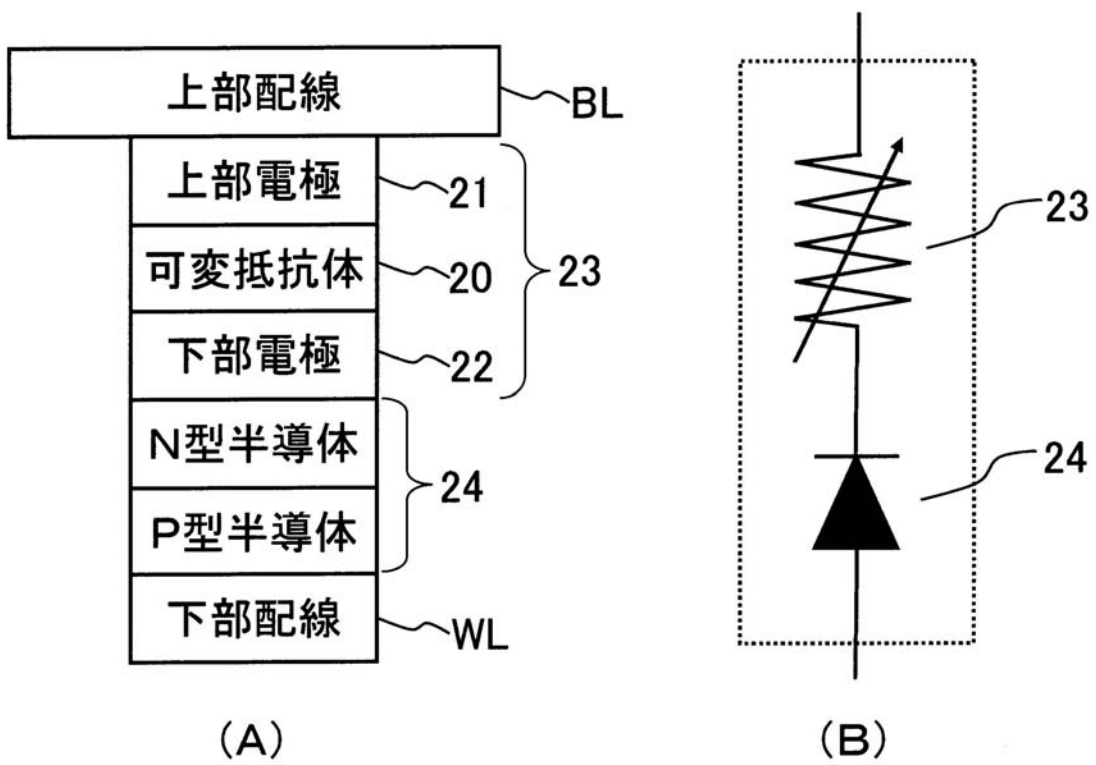
【図2】



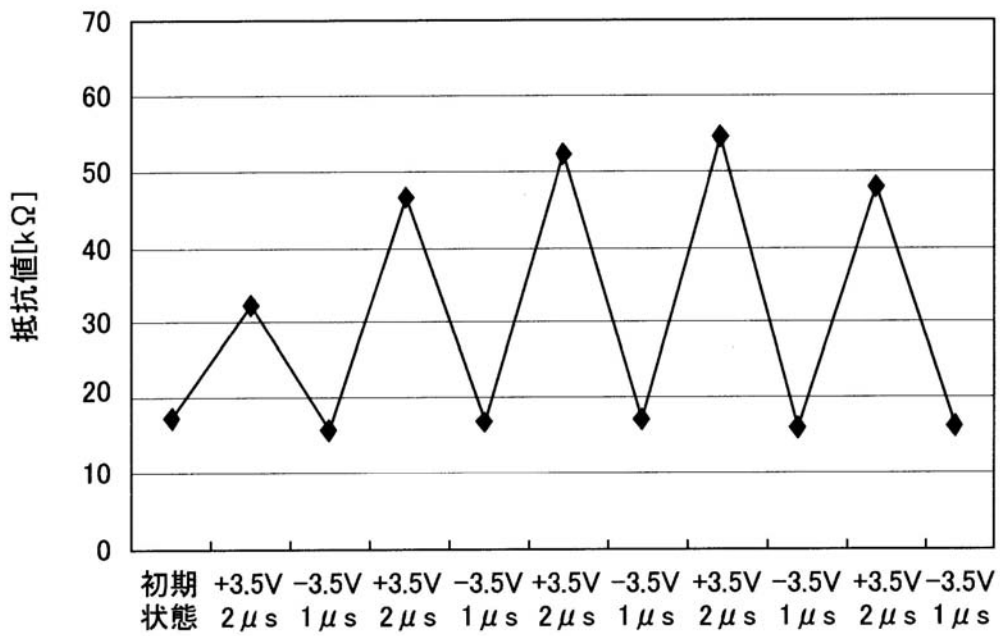
【図3】



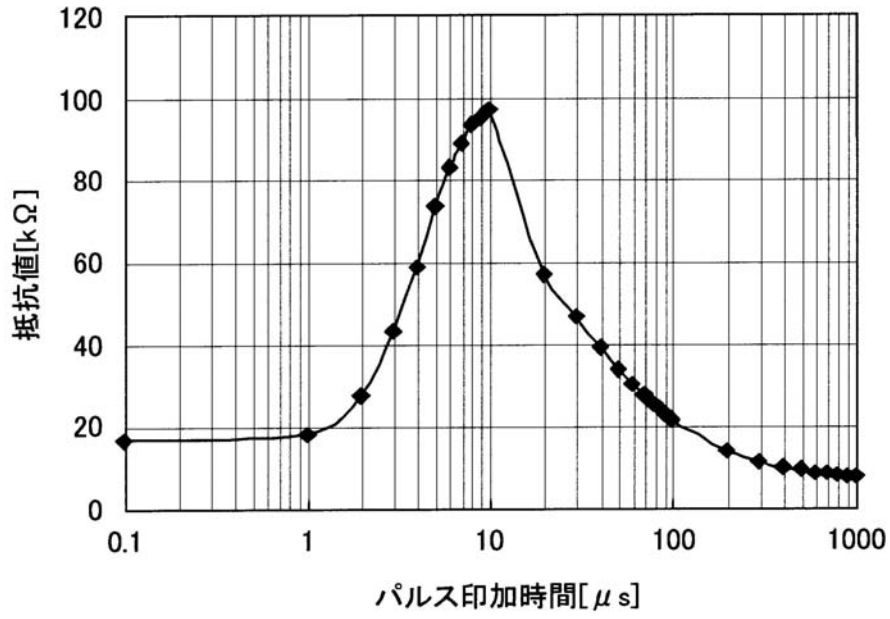
【 図 4 】



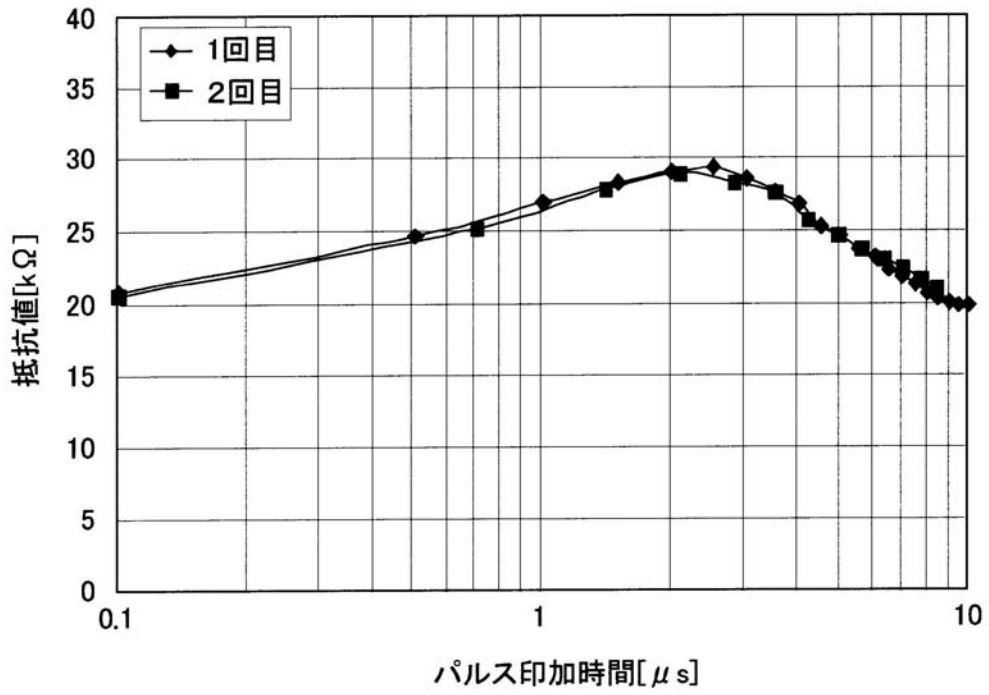
【 図 5 】



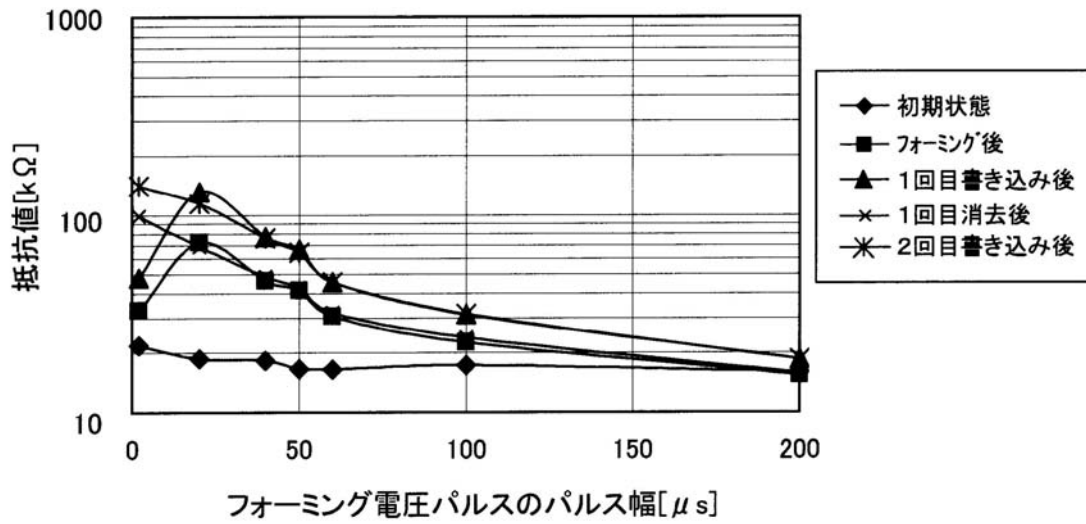
【 図 6 】



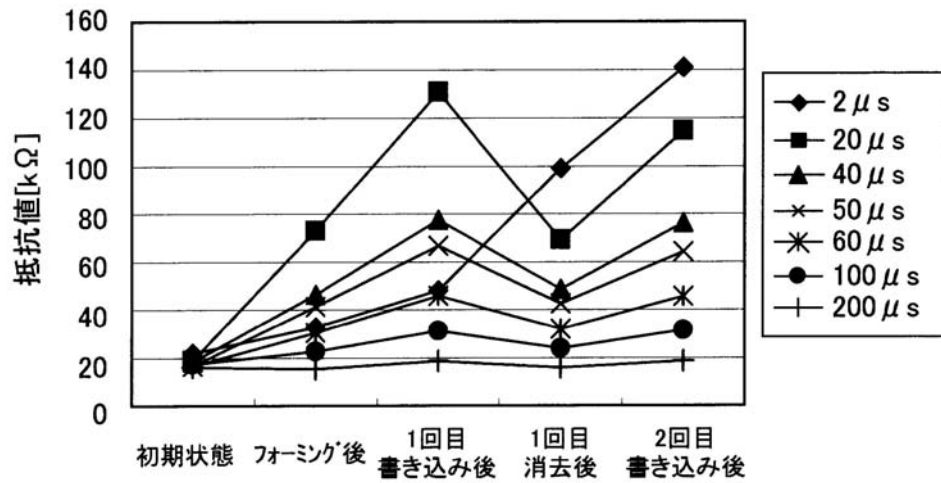
【 図 7 】



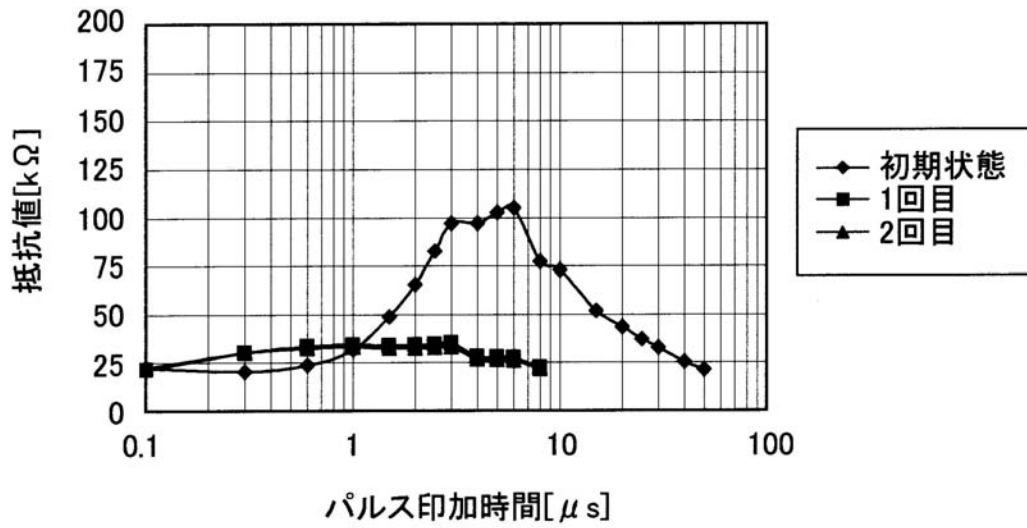
【 図 8 】



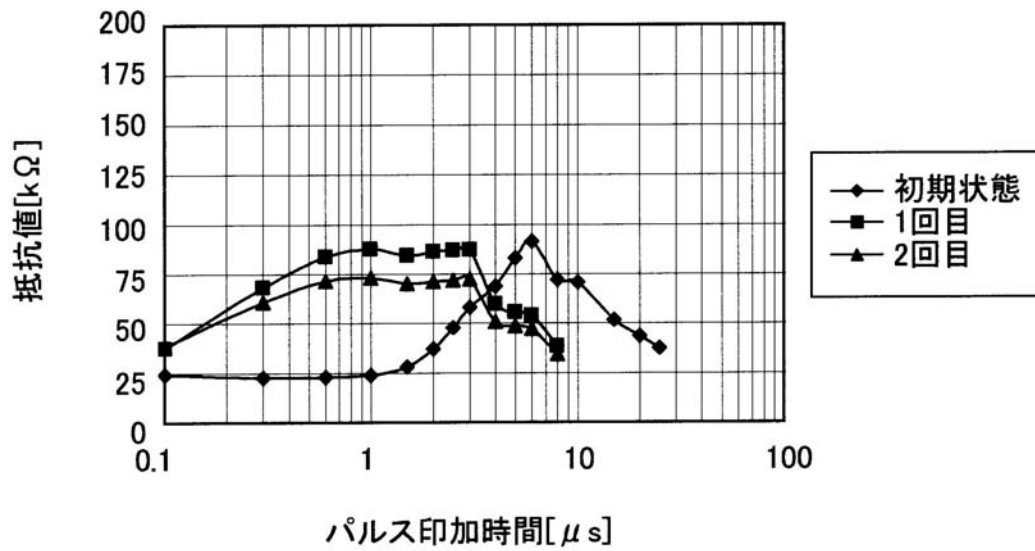
【 図 9 】



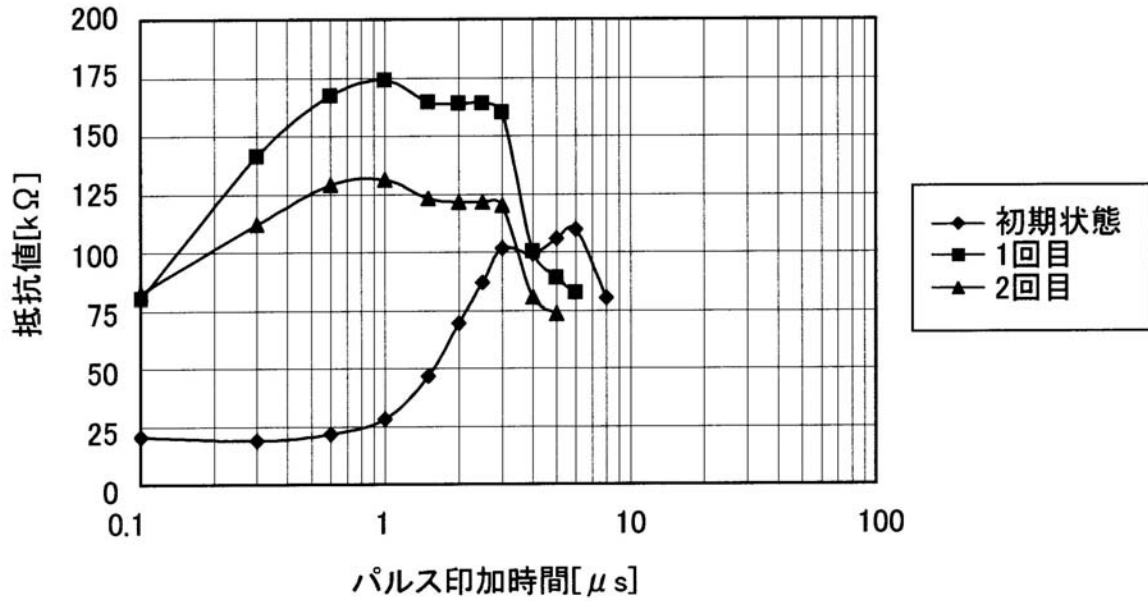
【図10】



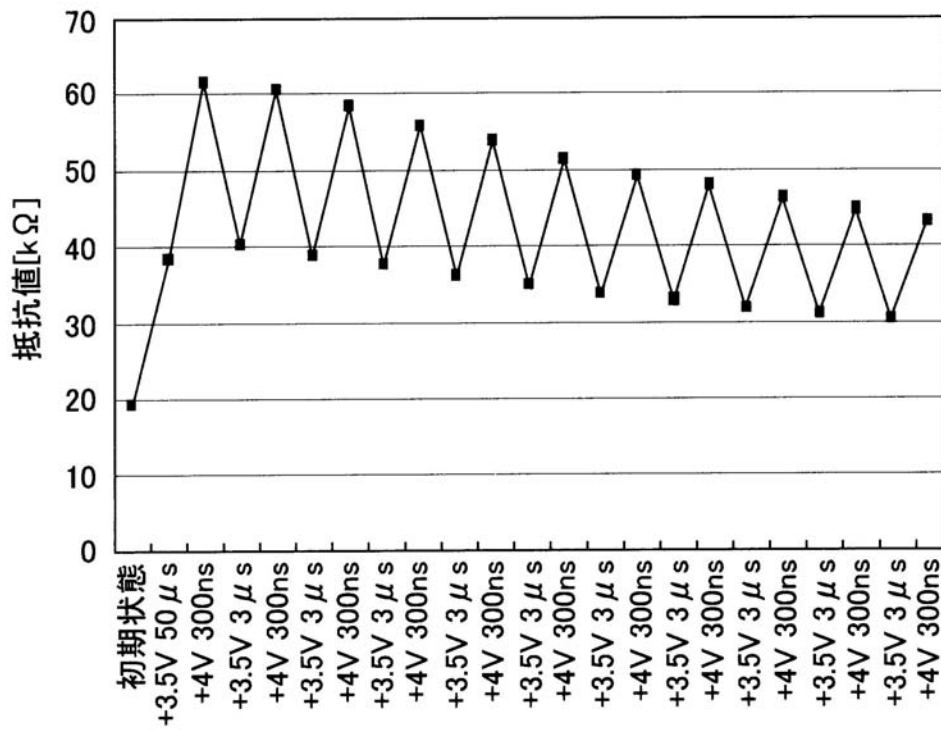
【図11】



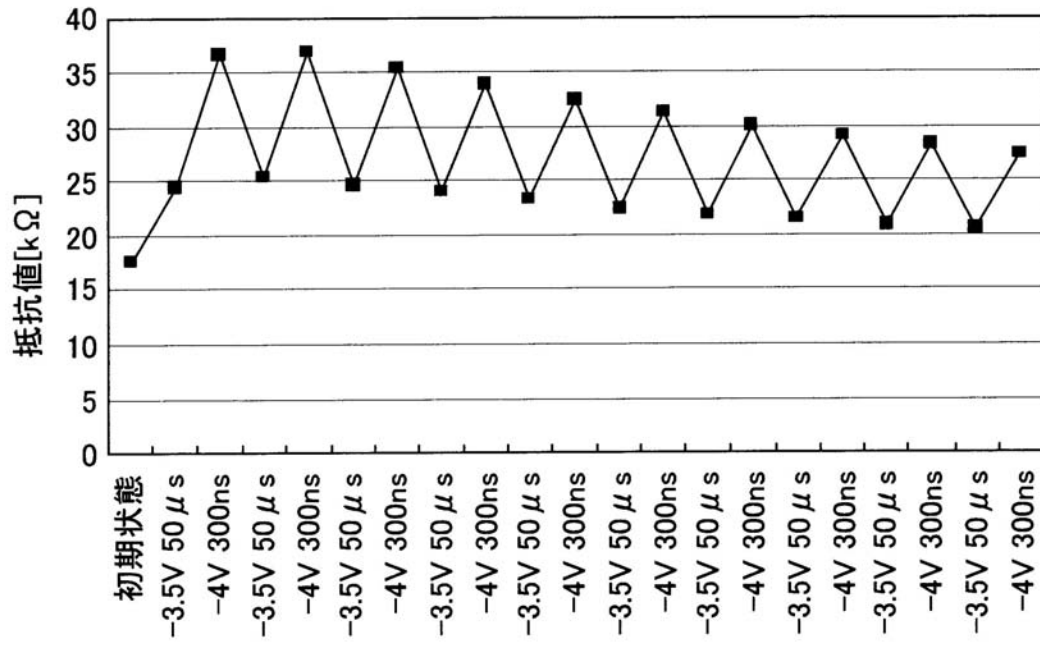
【 図 1 2 】



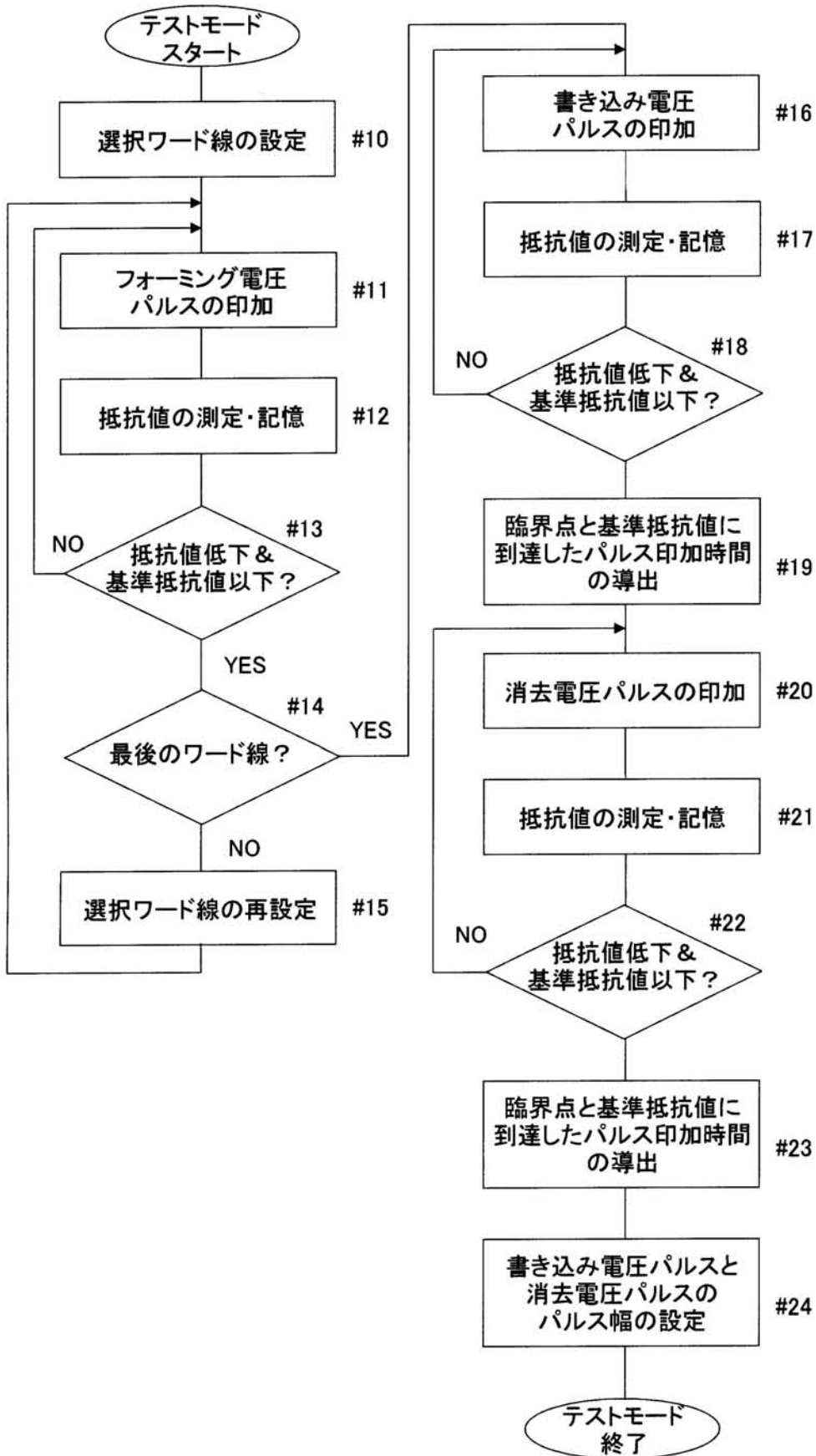
【 図 1 3 】



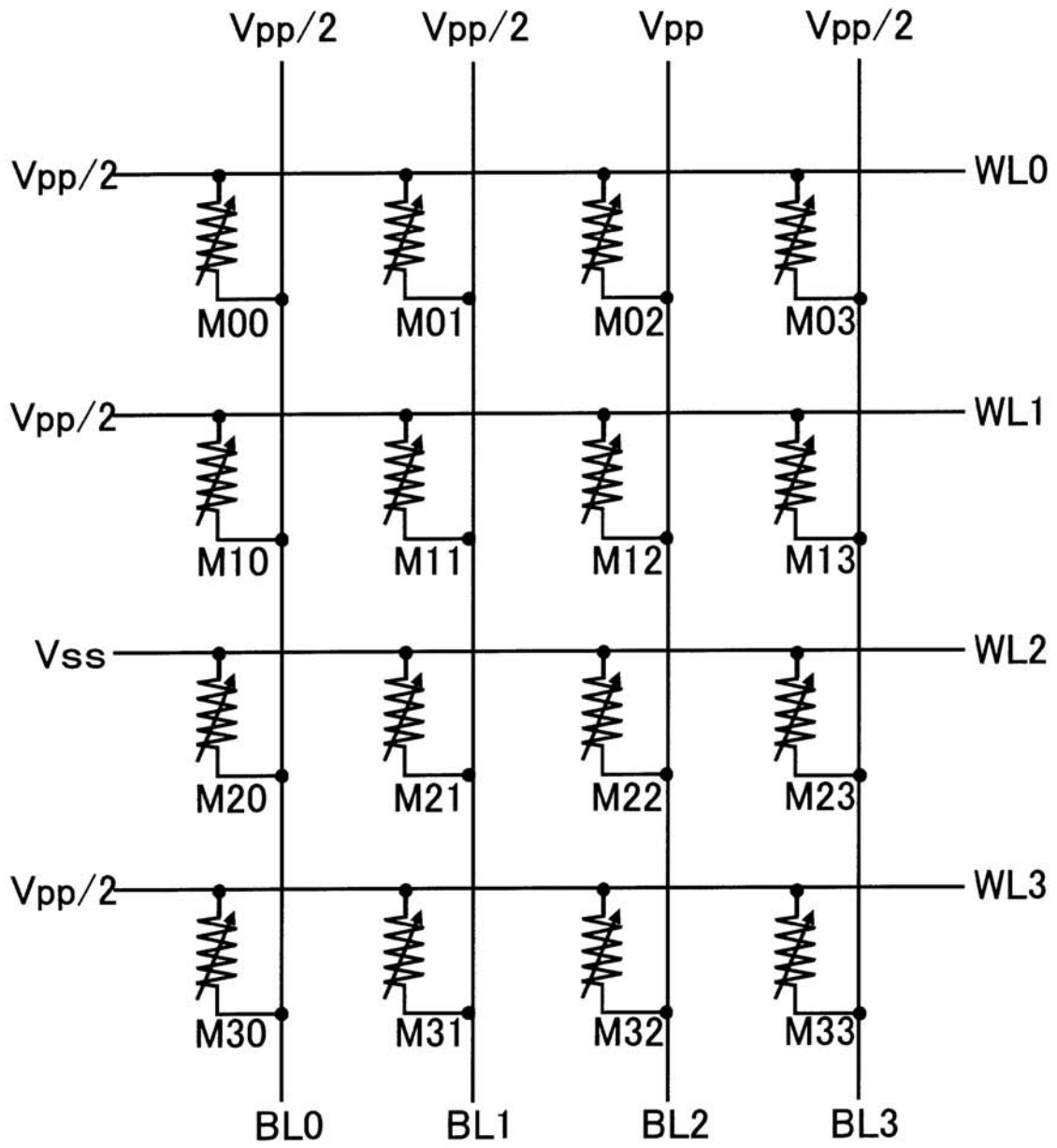
【 図 1 4 】



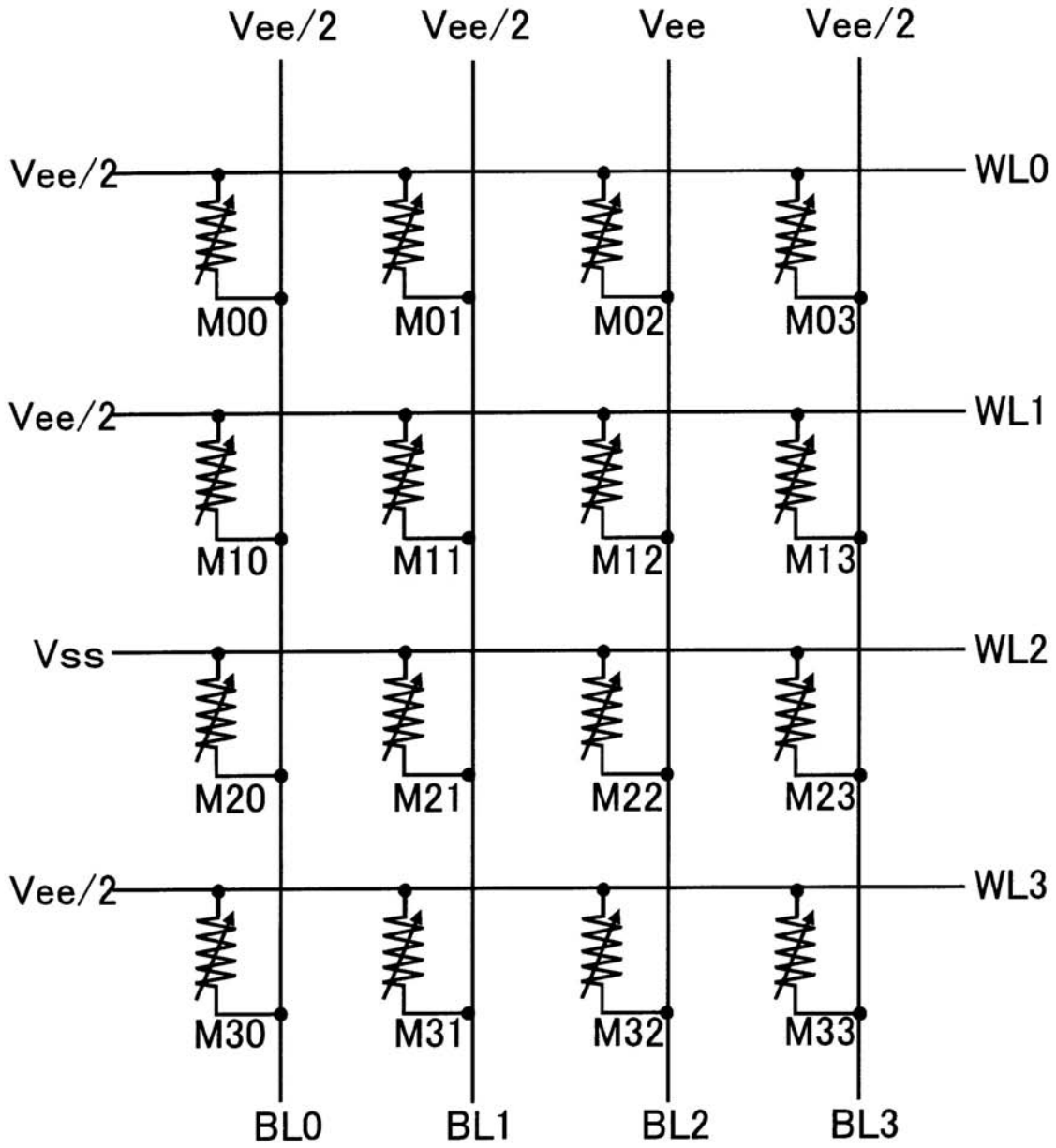
【 図 1 5 】



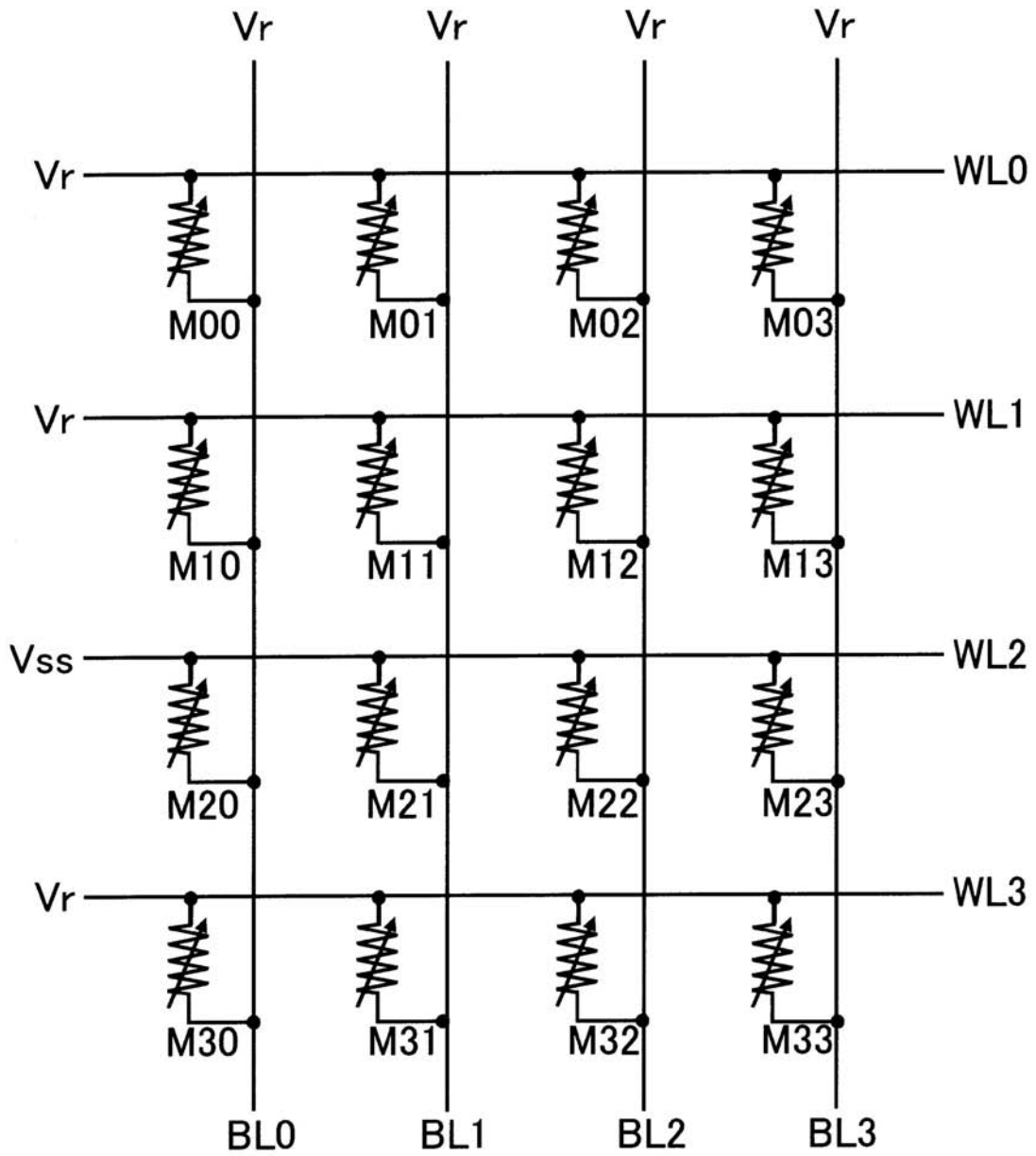
【図16】



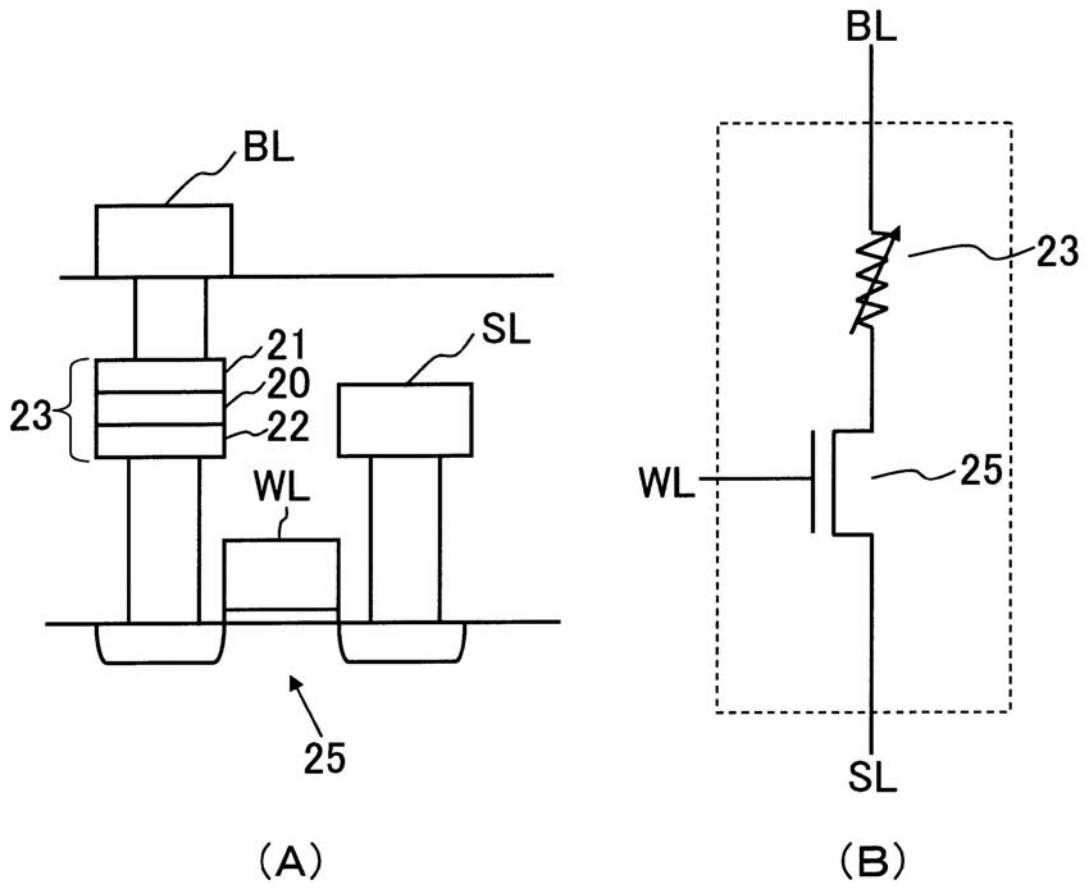
【図17】



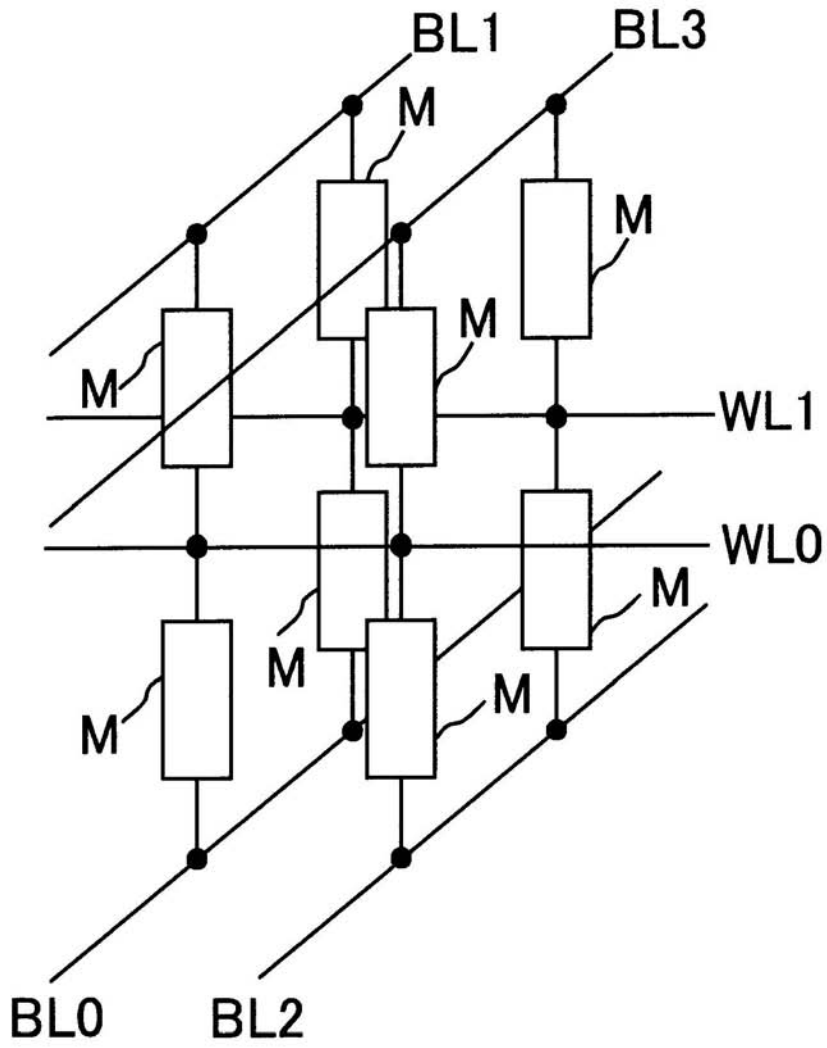
【図18】



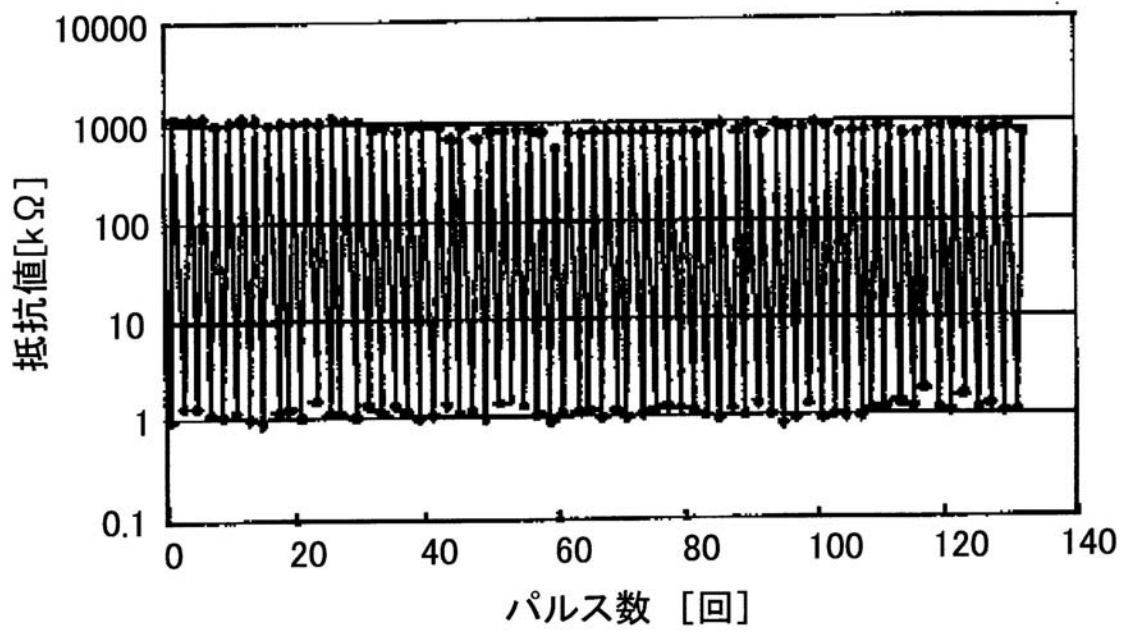
【図19】



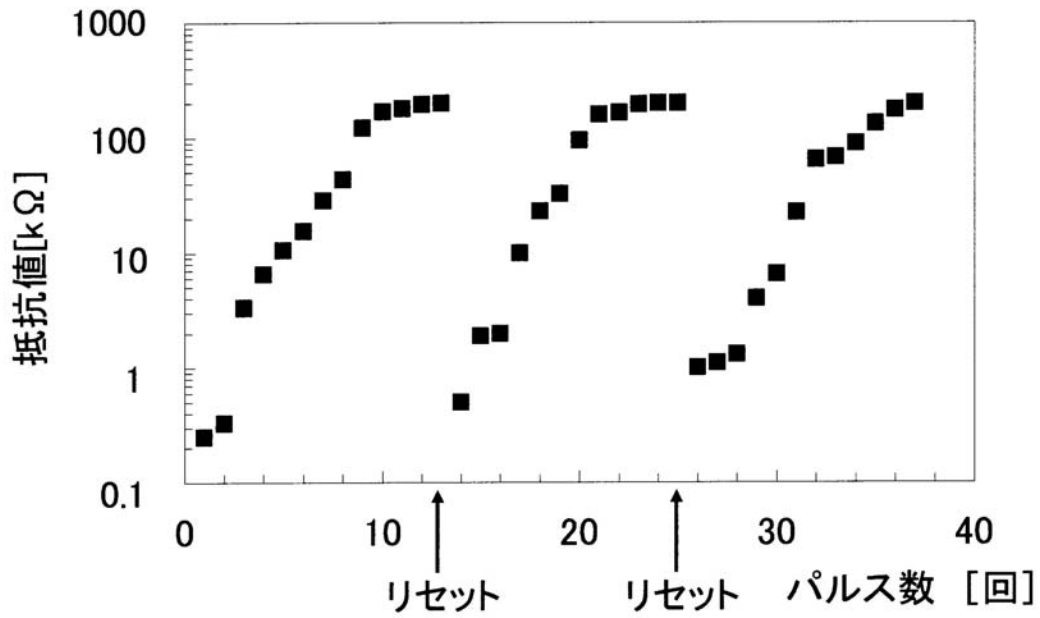
【 図 2 0 】



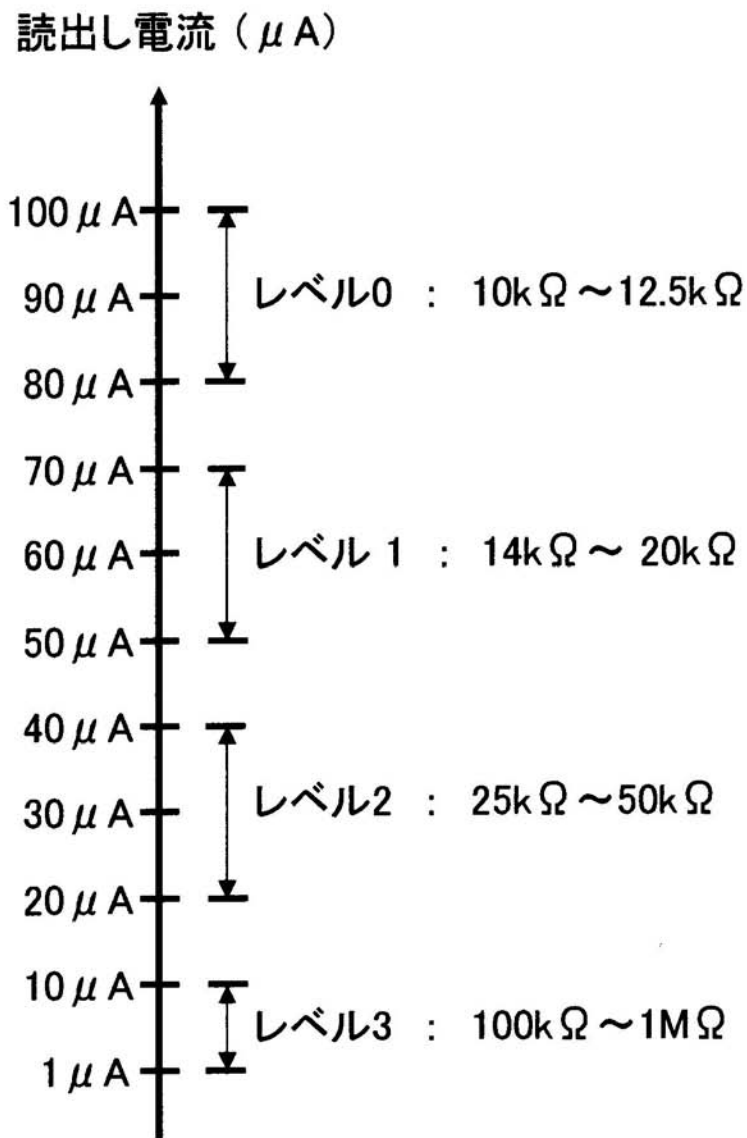
【図 2 1】



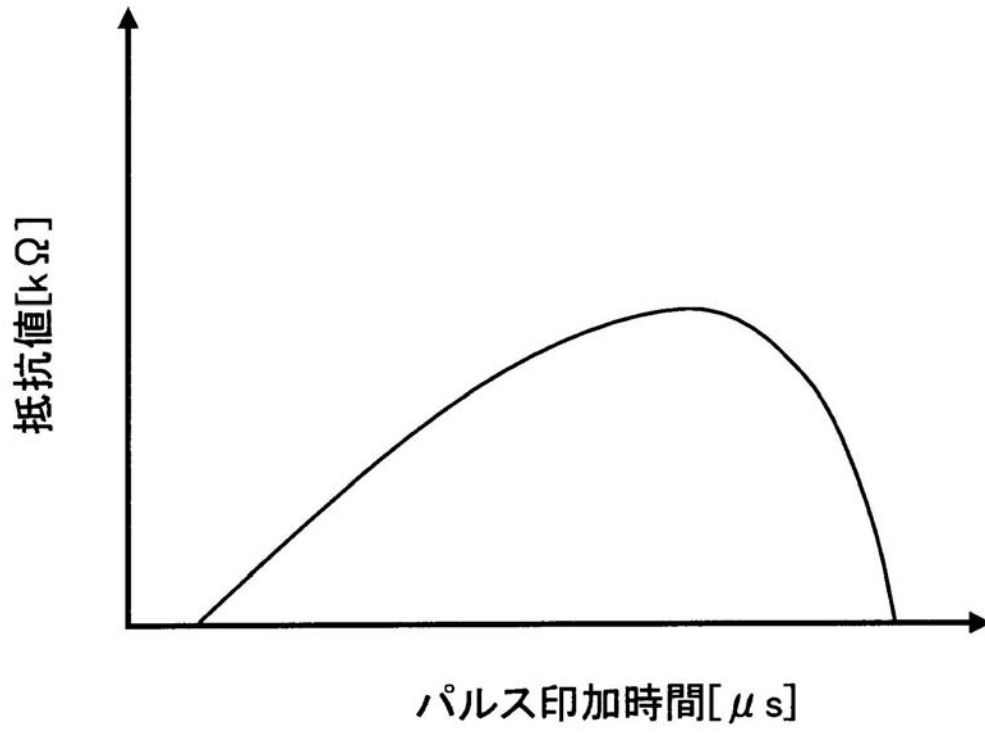
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G 1 1 C 1 3 / 0 0

H 0 1 L 2 7 / 1 0