



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I802181 B

(45)公告日：中華民國 112 (2023) 年 05 月 11 日

(21)申請案號：110148990

(22)申請日：中華民國 110 (2021) 年 12 月 27 日

(51)Int. Cl. : H01L21/56 (2006.01)

B32B7/06 (2019.01)

H01L21/60 (2006.01)

H01L21/304 (2006.01)

(30)優先權：2020/12/30 美國

17/137,811

(71)申請人：加拿大商萬國半導體國際有限合夥公司 (加拿大) ALPHA AND OMEGA
SEMICONDUCTOR INTERNATIONAL LP (CA)

加拿大

(72)發明人：薛 彥迅 XUE, YAN XUN (US)；博德 馬督兒 BOBDE, MADHUR (US)；王 隆
慶 WANG, LONG-CHING (US)；陳波 CHEN, BO (CN)

(74)代理人：賴國榕

(56)參考文獻：

TW 200847351A

TW 201340221A

TW 201411743A

TW 201822272A

CN 107611095A

CN 107845600A

CN 108122789A

審查人員：趙天生

申請專利範圍項數：20 項 圖式數：7 共 28 頁

(54)名稱

半晶圓級晶片級半導體封裝及其方法

(57)摘要

一種半晶圓級晶片級封裝及其方法，包括以下步驟：製備一個晶圓；研磨晶圓的背面；形成一個金屬化層；移除一個周邊環；黏合一個第一膠帶；應用切割工藝；黏合一個第二膠帶；移除第一膠帶；黏合一個支撐結構；黏合一個第三條膠帶；移除第二膠帶；以及應用一個分離過程。一種半晶圓級封裝方法，包括以下步驟：製備一個晶圓；將一個載體晶片連接到晶片；研磨晶圓的背面；形成一個金屬化層；應用切割工藝；黏合一個支撐結構；移除載體晶片；黏合一個膠帶；以及應用分離過程。

A semi-wafer level chip scale semiconductor package method comprises the steps of providing a wafer; grinding a back side of the wafer; forming a metallization layer; removing a peripheral ring; bonding a first tape; applying a dicing process; bonding a second tape; removing the first tape; bonding a supporting structure; bonding a third tape; removing the second tape; and applying a singulation process. A semi-wafer level packaging method comprises the steps of providing a wafer; attaching a carrier wafer to the wafer; grinding a back side of the wafer; forming a metallization layer; applying a dicing process; bonding a supporting structure; removing the carrier wafer; bonding a tape; and applying a singulation process.

指定代表圖：

符號簡單說明：

100:半導體封裝的工藝

102:區塊

104:區塊

106:區塊

108:區塊

110:區塊

112:區塊

114:區塊

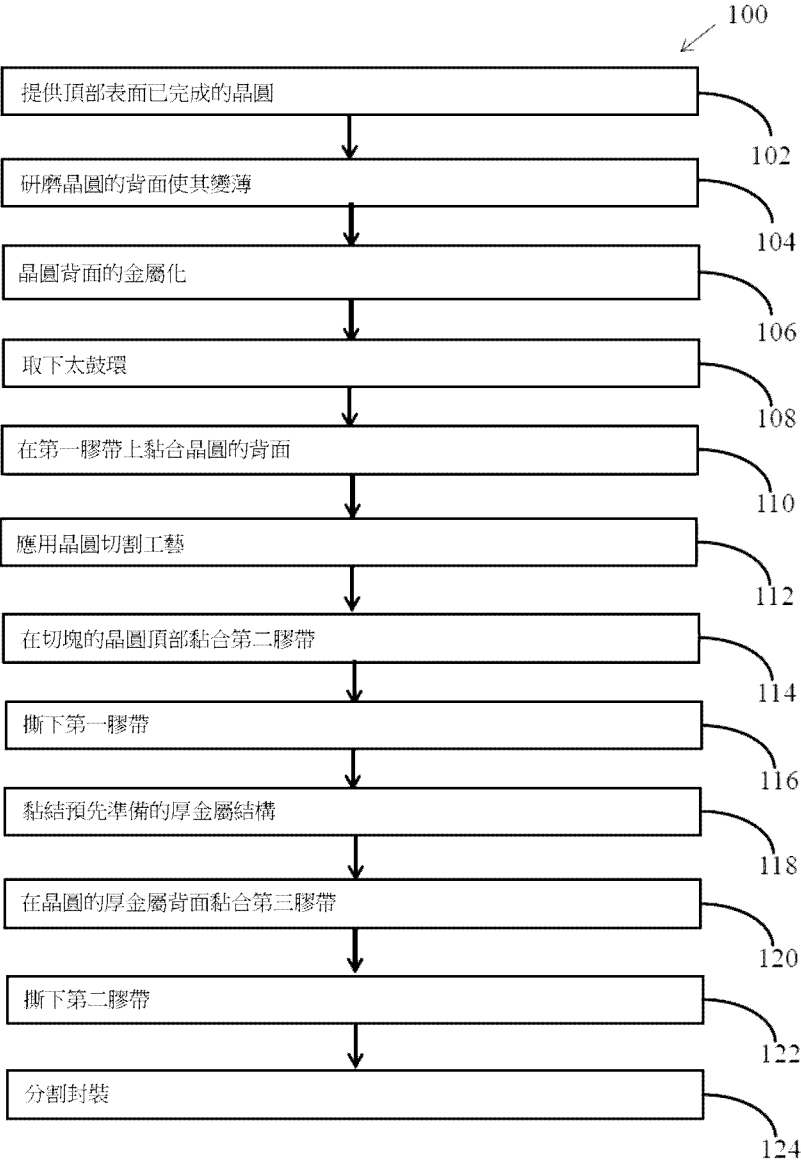
116:區塊

118:區塊

120:區塊

122:區塊

124:區塊



第1圖



I802181

【發明摘要】**【中文發明名稱】** 半晶圓級晶片級半導體封裝及其方法**【英文發明名稱】** SEMI-WAFER LEVEL CHIP SCALE SEMICONDUCTOR**PACKAGE AND METHOD THEREOF**

【中文】 一種半晶圓級晶片級封裝及其方法，包括以下步驟：製備一個晶圓；研磨晶圓的背面；形成一個金屬化層；移除一個周邊環；黏合一個第一膠帶；應用切割工藝；黏合一個第二膠帶；移除第一膠帶；黏合一個支撐結構；黏合一個第三條膠帶；移除第二膠帶；以及應用一個分離過程。一種半晶圓級封裝方法，包括以下步驟：製備一個晶圓；將一個載體晶片連接到晶片；研磨晶圓的背面；形成一個金屬化層；應用切割工藝；黏合一個支撐結構；移除載體晶片；黏合一個膠帶；以及應用分離過程。

【英文】 A semi-wafer level chip scale semiconductor package method comprises the steps of providing a wafer; grinding a back side of the wafer; forming a metallization layer; removing a peripheral ring; bonding a first tape; applying a dicing process; bonding a second tape; removing the first tape; bonding a supporting structure; bonding a third tape; removing the second tape; and applying a singulation process. A semi-wafer level packaging method comprises the steps of providing a wafer; attaching a carrier wafer to the wafer; grinding a back side of the wafer; forming a metallization layer; applying a dicing process; bonding a supporting structure; removing the carrier wafer; bonding a tape; and applying a singulation process.

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

100	半導體封裝的工藝
102	區塊
104	區塊
106	區塊
108	區塊
110	區塊
112	區塊
114	區塊
116	區塊
118	區塊
120	區塊
122	區塊
124	區塊

【發明說明書】

【中文發明名稱】半晶圓級晶片級半導體封裝及其方法

【英文發明名稱】SEMI-WAFER LEVEL CHIP SCALE SEMICONDUCTOR
PACKAGE AND METHOD THEREOF

【技術領域】

【0001】 本發明一般涉及一種半晶圓級晶片級半導體封裝及其方法。更具體地說，本發明涉及一種半導體封裝製造方法，其包括在連接金屬支撐結構之前分離器件層的切割工藝和分離金屬支撐結構的分離工藝。

【先前技術】

【0002】 傳統的包裝方法在包裝前採用單一的切割工藝。Yilmaz等人的美國專利號為9,087,828的晶圓級晶片級封裝（WLCSP）工藝在單個切割工藝之前應用了封裝工藝。當採用WLCSP工藝製造雙擴散金屬氧化物半導體場效應電晶體（DMOSFET）封裝時，需要將較薄的器件晶片附在較厚的背面金屬上，用以降低電阻。由於較薄的器件晶片和較厚的背面金屬之間的熱膨脹係數不匹配，較薄的器件晶片可能發生翹曲。較薄器件晶圓的翹曲可能引發開裂並導致器件故障。

【0003】 引入本發明的半晶圓級封裝方法以減少晶圓翹曲、降低電阻和提高器件可靠性性能，這一做法是有利的。該半晶圓級封裝方法包括在連接金屬支撐結構之前的切割工藝和分離器件層和分離金屬支撐結構的分離工藝。

【發明內容】

【0004】 一種半晶圓級封裝方法，包括以下步驟：提供一個晶圓；研磨晶圓的背面；形成金屬化層；移除周邊環；黏合第一膠帶；應用切割工藝；黏合

第二膠帶；移除第一膠帶；黏合支撐結構；黏合第三條膠帶；移除第二膠帶；以及應用分離過程。

【0005】 一種半晶圓級的封裝方法，包括以下步驟：提供一個晶圓；將載體晶片連接到晶片；研磨晶圓的背面；形成金屬化層；應用切割工藝；黏合支撐結構；移除載體晶片；黏合膠帶；以及應用分離過程。

【圖式簡單說明】

【0006】

第1圖表示在本發明的示例中，製備多個半導體封裝的工藝流程圖。

第2A圖-第2K圖表示在本發明的示例中，第1圖所示工藝中相應步驟的剖面圖。

第3圖表示在本發明的示例中，製備一個支撐結構的工藝流程圖。

第4A圖-第4C圖表示在本發明的示例中，第3圖所示工藝中相應步驟的剖面圖。

第5圖表示在本發明的示例中，製備多個半導體封裝工藝的另一個流程圖。

第6A圖-第6I圖表示在本發明的示例中，第5圖所示工藝中相應步驟的剖面圖。

第7圖表示在本發明的示例中，一種半導體封裝的剖面圖。

【實施方式】

【0007】 第1圖表示在本發明的示例中，製備多個半導體封裝的工藝100流程圖。第2A圖-第2K圖表示相應步驟的剖面圖。工藝100可以從區塊102開始。

【0008】 在區塊102中，現在參考第2A圖，其有一個晶圓202。在一個示例中，晶圓202的上表面由形成在其上的多個半導體器件完成。晶圓202包括前側204和與前側204相對的後側206。每個半導體器件包括多個金屬電極[圖中沒有

第2頁，共 12 頁(發明說明書)

表示出，金屬電極是37 CFR 1.83 (a) 中描述的常規特徵]。在一個示例中，晶圓202是矽晶圓。晶圓202可以是直徑為4英寸、6英寸、8英寸、12英寸或18英寸的晶圓。區塊102之後可以是區塊104。

【0009】 在區塊104中，現在參考第2B圖，將研磨過程應用於晶圓202的背面206，以便從其背面減薄晶圓202。在一個示例中，研磨工藝僅應用於晶片202的背面206的中心部分，以形成凹槽212和周邊環214。凹槽212為圓柱形。周邊環214為圓形。周邊環214可以是Taiko環。區塊104之後可以是區塊106。

【0010】 在區塊106中，現在參考第2C圖，在凹槽212中形成金屬化層218。金屬化層218沉積到晶圓的背面。在一個示例中，金屬化層218由銅製成。區塊106之後可以是區塊108。

【0011】 在區塊108中，現在參考第2D圖，移除周邊環214（在一個示例中，Taiko環）以形成平坦、圓形的後表面222。金屬化層218覆蓋減薄器件層224的整個後表面。區塊108後面可以是區塊110。

【0012】 在區塊110中，現在參考第2E圖，藉此將金屬化層218黏合到第一膠帶232，將晶圓的背面黏合到第一膠帶232。第一膠帶232的直徑大於減薄器件層224的直徑。區塊110後面可以是區塊112。

【0013】 在區塊112中，現在參考第2F圖，應用劃片處理。形成多個切塊器件部分234和多個切塊金屬化部分238。在一個示例中，從正面切割的切割過程停止在該第一條膠帶232的頂面。在另一個示例中，切割過程的切口切割第一條帶232，切割深度為第一條帶232厚度的5%至15%。第一條帶232將分離的器件固定在其位置上，以保持晶圓形狀。區塊112之後可以是區塊114。

【0014】 在區塊114中，現在參考第2G圖，多個切塊器件部分234連接到第二膠帶242。切塊晶圓的頂面連接到第二膠帶242。第二膠帶242的直徑大於減薄器件層224的直徑。區塊114後面可以是區塊116。

【0015】 在區塊116中，現在參考第2H圖，移除第一膠帶232。第二膠帶242將分離的器件保持在其位置上以保持晶圓形狀。區塊116之後可以是區塊118。

【0016】 在區塊118中，現在參考第2I圖，支撐結構252連接到多個切割金屬化部分238。在本發明的示例中，支撐結構252也被稱為包含預定厚度的厚金屬層的厚金屬結構。在一個示例中，支撐結構252包括薄膜層壓板254和金屬層256。在另一個示例中，支撐結構252包括薄膜層壓板254、金屬層256以及標記膜塗層258。金屬層256包括第一表面257和與第一表面257相對的第二表面255。薄膜層壓板254包括第一表面253和與第一表面253相對的第二表面251。薄膜層壓板254的第一表面253連接到金屬的第二表面255層256。薄膜層壓板254的第二表面251連接到多個切割金屬化部分238。在一個示例中，薄膜層壓板254是燒結銀膜。在另一個示例中，薄膜層壓板是導電晶圓附膜（CDAF）。

【0017】 第3圖表示在本發明的示例中，製備第2I圖所示的支撐結構252的過程300的流程圖。過程300可以從區塊302開始。

【0018】 在區塊302中，現在參考第4A圖，提供金屬層456。在本發明的示例中，金屬層456也稱為厚金屬層。在一個示例中，金屬層456由銅製成。金屬層456的厚度在10微米到100微米的範圍內。區塊302之後可以是區塊304或區塊306。

【0019】 在可選區塊304（由於是可選的，所以用虛線表示）中，現在參考第4B圖，將標記膜塗層458附著到金屬層456的第一側。區塊304後面可以是區塊306。

【0020】 在區塊306中，現在參考第4C圖，將薄膜層壓板454附接到與金屬層456的第一側相對的金屬層的第二側，以形成第2I圖所示的支撐結構252。

【0021】 區塊118之後可以是區塊120。

【0022】 在區塊120中，現在參考第2J圖，第三膠帶272連接到支撐結構252。在一個示例中，第三膠帶272直接連接到支撐結構252的標記膜塗層258。在另一個示例中，第三條膠帶272直接連接到支撐結構252的金屬層256（不帶標記膜塗層258）。區塊120後面可以是區塊122。

【0023】 在區塊122中，現在仍然參考第2J圖，移除第二膠帶242（以虛線示出）。支撐結構252將分離的器件保持在其位置上以保持晶圓形狀。區塊122之後可以是區塊124。

【0024】 在區塊124中，現在參考第2K圖，應用分離處理。與切割器件部分234和切割金屬化部分238的空間對齊的分離過程穿過支撐結構252，形成多個切割支撐結構部分292。在一個示例中，分離過程從正面切割開始，並停止在第三條帶272的頂面上。在另一個示例中，分離過程切割到第三條帶272的深度為第三條帶272厚度的5%到15%。形成多個半導體封裝299。多個半導體封裝299中的每一個封裝稍後可與第三帶272分離。

【0025】 現在參考第7圖，在本發明所述的示例中，進行切割處理的第一鋸的寬度大於進行分離處理的第二鋸的寬度，使得每個切割支撐結構部分792的第一寬度712大於多個切割器件部分731的每個的第二寬度714。因此，由於較窄

的第二寬度714，多個切塊器件部分731中的每一個部分藉此減少被觸摸的機會而得到保護。半導體封裝700包括標記膜塗層741，覆蓋透過薄膜層壓層743連接到背面金屬化層744的厚金屬層742器件半導體層745的表面。如第7圖所示，器件背面金屬化層744的側面基本上與器件半導體層745的對應側面在所有側面上共面。厚金屬層742的側表面基本上與膜疊層743的對應側表面和所有側面上的標記膜塗層741的對應側表面共面。器件背面金屬化層744的每個邊緣在所有側面上從厚金屬層742的對應邊緣凹陷。器件半導體層745可包括一個或多個場效電晶體（FET）。

【0026】 第5圖表示在本發明所述的示例中，製備多個半導體封裝的過程500的流程圖。第6A圖-第6I圖表示相應步驟的橫截面。過程500可以從區塊502開始。

【0027】 在區塊502中，現在參考第6A圖，有晶圓602。在一個示例中，晶圓602的上表面由形成在其上的多個半導體器件完成。晶圓602包括正面604和與正面604相對的背面606。每個半導體器件包括多個金屬電極[圖中沒有表示出，金屬電極是37 CFR 1.83（a）中描述的常規特徵]，放置在正面204上。在一個示例中，晶圓602是矽晶圓。晶圓602可以是直徑為4英寸、6英寸、8英寸、12英寸或18英寸的晶圓。區塊502之後可以是區塊504。

【0028】 在區塊504中，現在參考第6B圖，載體晶片612透過黏合劑614連接到晶片602的前側604。在一個示例中，黏合劑614是非導電黏合劑。在另一示例中，黏合劑614是導電黏合劑。區塊504之後可以是區塊506。

【0029】 在區塊506中，現在參考第6C圖，將研磨過程應用於晶圓602的背面606，以形成減薄的器件層616。區塊506之後可以是區塊508。

【0030】 在區塊508中，現在參考第6D圖，形成金屬化層618。金屬化層618沉積到晶圓的背面。在一個示例中，金屬化層618直接連接到減薄的器件層616。金屬化層618由銅製成。區塊508之後可以是區塊510。

【0031】 在區塊510中，現在參考第6E圖，應用劃片處理。形成多個切塊器件部分634和多個切塊金屬化部分638。在一個示例中，切割過程的切口在黏合劑614的上表面停止。在另一個示例中，切割過程的切口切割黏合劑614，切割深度為黏合劑614厚度的5%至15%。黏合劑614將分離的器件位置固定在載體晶片612上，以保持晶片形狀。區塊510後面可以是區塊512。

【0032】 在區塊512中，現在參考第6F圖，支撐結構652連接到多個切割金屬化部分638。在本發明的示例中，支撐結構652也被稱為包含預定厚度的厚金屬層的厚金屬結構。在一個示例中，支撐結構652包括薄膜層壓板654和金屬層656。在另一個示例中，支撐結構652包括薄膜層壓板654、金屬層656以及標記膜塗層658。金屬層656包括第一表面657和與第一表面657相對的第二表面655。薄膜層壓板654包括第一表面653和與第一表面653相對的第二表面651。薄膜層壓板654的第一表面653附著於金屬的第二表面655第656層。薄膜層壓板654的第二表面651連接到多個切割的金屬化部分638。區塊512後面可以是區塊514。

【0033】 在區塊514中，現在參考第6G圖，移除載體晶片612和黏合劑614。支撐結構652將分離的器件保持在其位置上以保持晶圓形狀。區塊514之後可以是區塊516。

【0034】 在區塊516中，現在參考第6H圖，將膠帶672連接到支撐結構652。在一個示例中，膠帶672直接連接到支撐結構652的標記膜塗層658。在另

一個示例中，膠帶672直接連接到支撐結構652的金屬層656（無標記膜塗層658）。區塊516後面可能是區塊518。

【0035】 在區塊518中，現在參考第6I圖，應用分離處理。與切割器件部分634和切割金屬化部分638的空間對齊的分離過程穿過支撐結構652，形成多個切割支撐結構部分692。在一個示例中，分離過程在膠帶672的頂面上停止。在另一個示例中，分離過程切割膠帶672，深度為膠帶672厚度的5%至15%。形成多個半導體封裝699。多個半導體封裝699中的每一個可隨後從第三帶672分離。

【0036】 在本發明所述的示例中，進行切割處理的第一鋸的寬度大於進行分離處理的第二鋸的寬度，使得每個切割支撐結構部分792的第7圖的第一寬度712大於多個切割器件部分731的每個的第二寬度714。厚金屬層742的面積為大於背面金屬化層744的面積，並且延伸超過器件半導體層745的所有邊緣。

【0037】 本创作所属技术领域中具有通常知识者可以認識到，存在修改本發明公開的實施例的可能性。例如，由一個晶圓製成的多個半導體封裝的數量可以變化。本領域的普通技術人員可以進行其他修改，並且所有該等修改都被認為屬於發明申請專利範圍所定義的本發明的範圍。

【符號說明】

- 100 半導體封裝的工藝
- 102 區塊
- 104 區塊
- 106 區塊
- 108 區塊

110	區塊
112	區塊
114	區塊
116	區塊
118	區塊
120	區塊
122	區塊
124	區塊
202	晶圓
204	前側
206	後側
212	凹槽
214	周邊環
218	金屬化層
222	後表面
224	減薄器件層
232	第一膠帶
234	切塊器件部分
238	切割金屬化部分
242	第二膠帶
251	第二表面
252	支撐結構
253	第一表面
254	薄膜層壓板

255	第二表面
256	金屬層
257	第一表面
258	標記膜塗層
272	第三膠帶
292	切割支撐結構部分
299	半導體封裝
300	過程
302	區塊
304	區塊
306	區塊
454	薄膜層壓板
456	金屬層
458	標記膜塗層
500	過程
502	區塊
504	區塊
506	區塊
508	區塊
510	區塊
512	區塊
514	區塊
516	區塊
518	區塊

602	晶圓
604	正面
606	背面
612	載體晶片
614	黏合劑
616	器件層
618	金屬化層
634	切塊器件部分
638	切割金屬化部分
651	第二表面
652	支撐結構
653	第一表面
654	薄膜層壓板
655	第二表面
656	金屬層
657	第一表面
658	標記膜塗層
672	膠帶
692	切割支撐結構部分
699	半導體封裝
700	半導體封裝
712	第一寬度
714	第二寬度
731	切割器件部分

- 741 標記膜塗層
- 742 厚金屬層
- 743 膜疊層
- 744 背面金屬化層
- 745 半導體層
- 792 切割支撐結構部分

【發明申請專利範圍】

【請求項1】 一種用於製造多個半晶圓級晶片級半導體封裝的方法，該方法係包括以下步驟：

提供一個晶圓，該晶圓包括一正面和與該正面相對的背面；
研磨該晶圓的背面，形成一個周邊環；
將一個金屬化層沉積到研磨表面；
移除該周邊環；
將該金屬化層黏合到第一膠帶；
應用切割工藝，形成多個切割器件部分和多個切割金屬化部分；
將該多個切割器件部分黏合到第二膠帶上；
移除該第一膠帶；
將一個支撐結構黏合到該多個切割金屬化部分上；
將第三膠帶黏合到該支撐結構上；
移除該第二膠帶；以及
應用切割工藝。

【請求項2】 如請求項1所述之方法，其中黏合該支撐結構的步驟包括以下子步驟

提供一個金屬層，該金屬層包括該金屬層的一個第一表面和與一個與該金屬層的該第一表面相對的該金屬層的第二表面；
提供一個薄膜層壓板，該薄膜層壓板包括該薄膜層壓板的一個第一表面和一個與該薄膜層壓板的該第一表面相對的該薄膜層壓板的第二表面；

將該薄膜層壓板的該第一表面附著到該金屬層的該第二表面，以形成該支撐結構；以及

透過將該薄膜層壓板的該第二表面連接到該多個切割金屬化部分，將該支撐結構連接到該多個切割金屬化部分。

【請求項3】 如請求項2所述之方法，其中黏合該支撐結構的步驟還包括：

在將該薄膜層壓板的該第一表面附著到該金屬層的該第二表面的子步驟之前，將標記膜塗層附著到該金屬層的該第一表面。

【請求項4】 如請求項3所述之方法，其中晶圓是一個矽晶圓，以及其中該金屬層中含有銅。

【請求項5】 如請求項4所述之方法，其中切割過程切割矽晶圓；其中切割過程切割該金屬化層；並且

其中切割過程切割第一條膠帶的深度為該第一條膠帶厚度的5%至15%。

【請求項6】 如請求項5所述之方法，其中分離過程穿過該支撐結構，形成多個切割支撐結構部分；並且

其中分離過程切割第三條膠帶的深度為該第三條膠帶厚度的5%到15%。

【請求項7】 如請求項6所述之方法，其中每個切割支撐結構部分的第一寬度大於該多個切割器件部分中每個切割器件部分的第二寬度。

【請求項8】 如請求項3所述之方法，其中該金屬層厚度的範圍為十微米至一百微米。

【請求項9】 一種用於製造多個半晶圓級晶片級半導體封裝的方法，該方法係包括以下步驟：

製備一個晶圓，該晶圓包括一個正面和一個與正面相對的背面；
將一個載體晶圓連接到該晶圓的正面；
研磨該晶圓的背面，形成一個減薄的晶圓；
在研磨後的表面上，形成一個金屬化層；
應用切割工藝，形成多個切割的金屬化部分和多個切割器件部分；
將一個支撐結構黏合到該多個切割的金屬化部分；
移除該載體晶圓；
將一個膠帶黏合到該支撐結構上；以及
應用一種分離工藝。

【請求項10】 如請求項9所述之方法，其中黏合該支撐結構的步驟包括以下子步驟

製備一個金屬層，該金屬層包括該金屬層的一個第一表面以及一個與該金屬層的該第一表面相對的該金屬層的第二表面；
製備一個薄膜層壓板，該薄膜層壓板包括該薄膜層壓板的一個第一表面和一個與該薄膜層壓板的該第一表面相對的該薄膜層壓板的第二表面；
將薄膜層壓板的該第一表面連接到該金屬層的該第二表面上，從而形成該支撐結構；以及
透過將該薄膜層壓板的該第二表面連接到該多個切割金屬化部分，將該支撐結構連接到該多個切割金屬化部分。

【請求項11】 如請求項10所述之方法，其中該支撐結構還包括在將薄膜層壓板的第一表面連接到該金屬層的該第二表面的子步驟之前，將一個標記膜塗層附著到該金屬層的該第一表面。

【請求項12】 如請求項11所述的方法，其中該晶圓是一個矽晶圓；以及

其中該金屬層中含有銅。

【請求項13】 如請求項12所述之方法，其中切割過程切割矽晶圓；以及

其中切割過程穿過該金屬化層。

【請求項14】 如請求項13所述之方法，其中分離過程穿過該支撐結構，形成多個切割支撐結構部分；以及

其中分離過程切割膠帶的深度為膠帶厚度的5%至15%。

【請求項15】 如請求項14所述之方法，其中每個切割支撐結構部分的第一寬度大於該多個切割器件部分的第二寬度。

【請求項16】 如請求項11所述之方法，其中該金屬層的厚度範圍為十微米至一百微米。

【請求項17】 一種半晶圓級晶片級半導體封裝，係包括：

一個器件半導體層，包括設置在所述器件半導體的前表面上的多個金屬電極；

一個背面金屬化層，連接到該器件半導體層的背面；以及

一個金屬層，透過薄膜層壓層附著到該背面金屬化層；

其中該背面金屬化層的每個側面與該器件半導體層的對應側面共面；

其中該金屬層的每個側表面與該薄膜層壓層的對應側表面共面；以及

其中該背面金屬化層的後表面的表面積小於該金屬層的前表面的表面積。

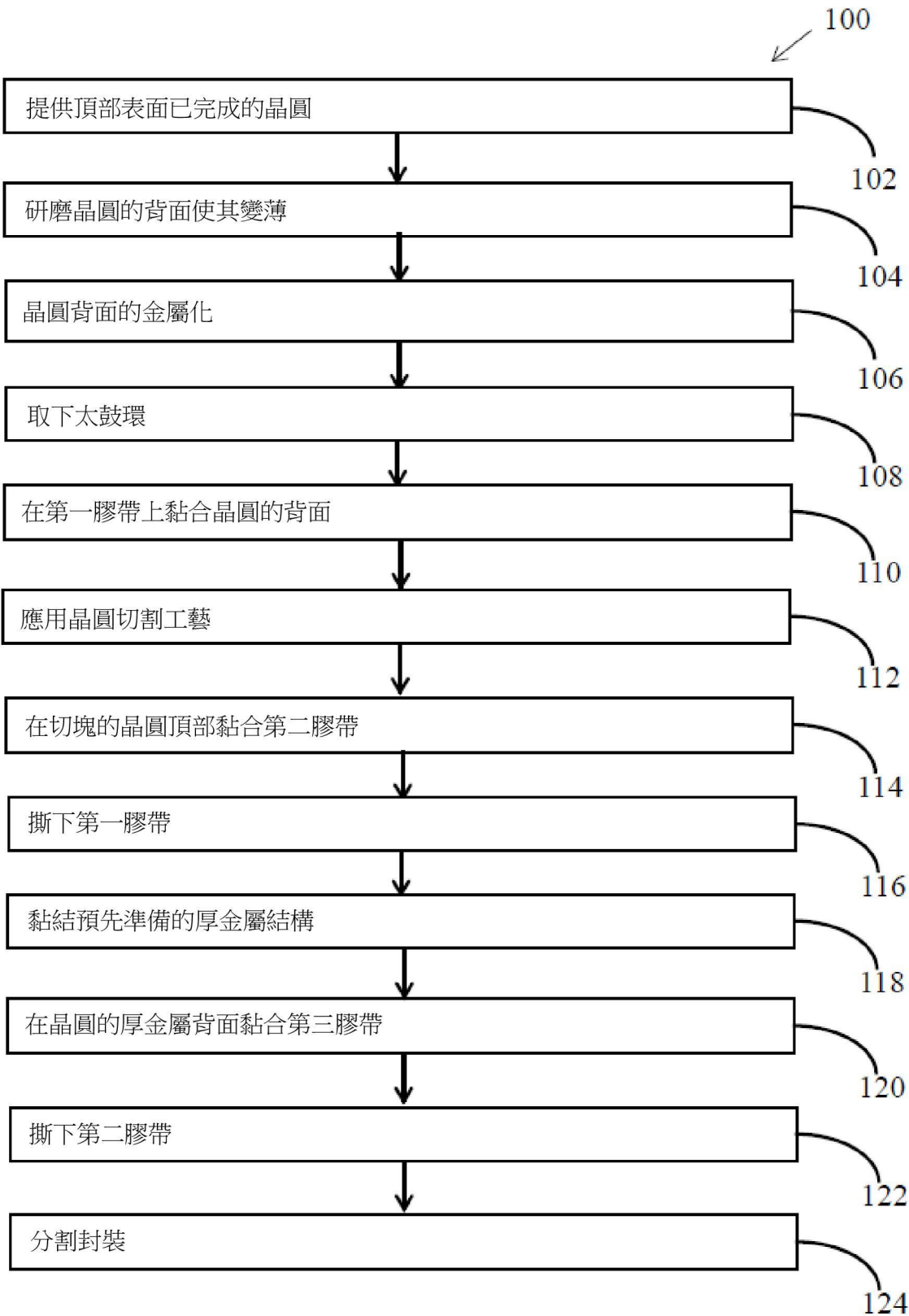
【請求項18】 如請求項17所述之晶圓級晶片級半導體封裝，還包括：

一個覆蓋該金屬層的標記膜塗層。

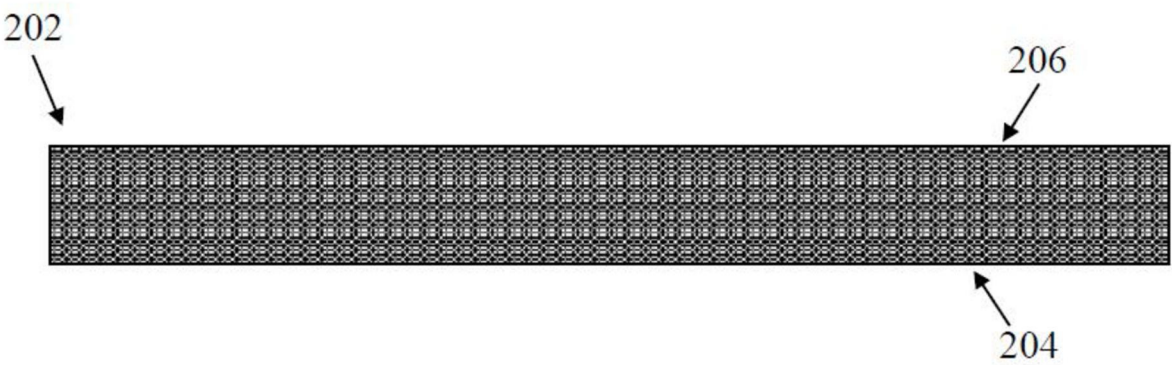
【請求項19】 如請求項18所述之晶圓級晶片級半導體封裝，其中該金屬層的每個側面與該標記膜塗層的相應側面共面。

【請求項20】 如請求項19所述之晶圓級晶片級半導體封裝，其中該金屬層的前表面的表面積延伸到該器件半導體層的所有邊緣之外。

【發明圖式】



第1圖



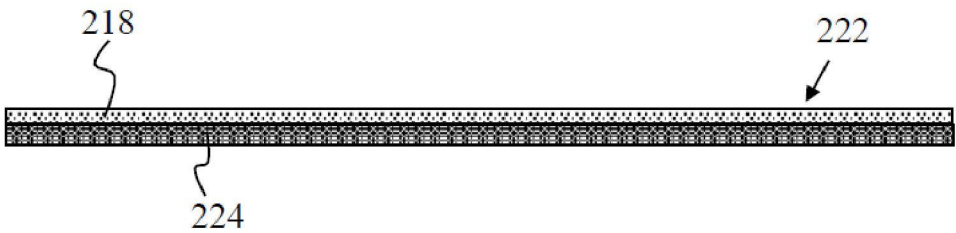
第2A圖



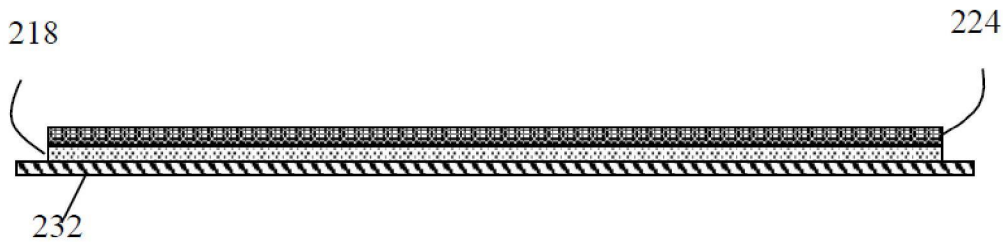
第2B圖



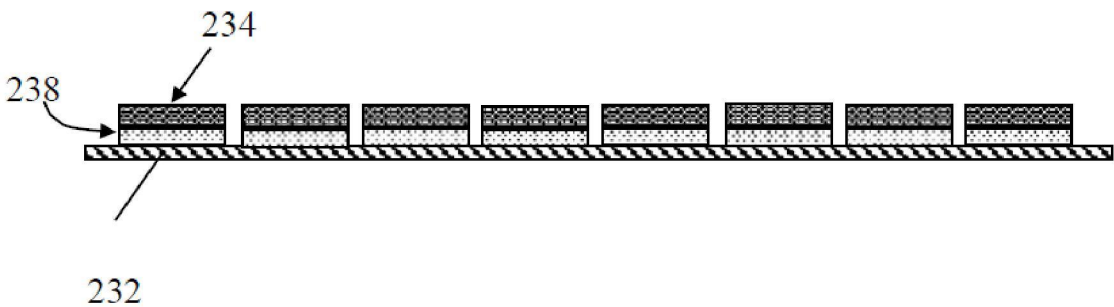
第2C圖



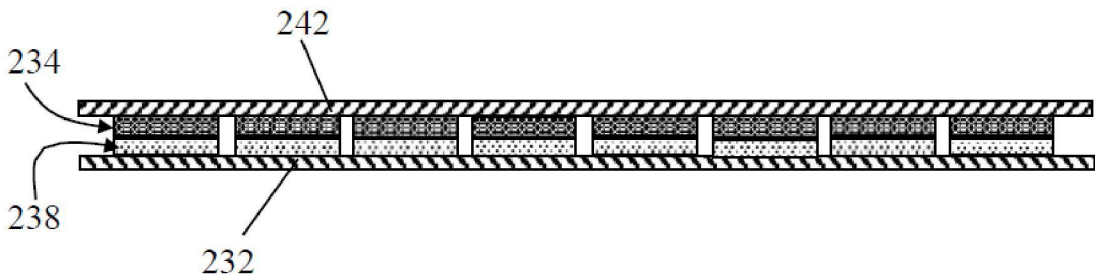
第2D圖



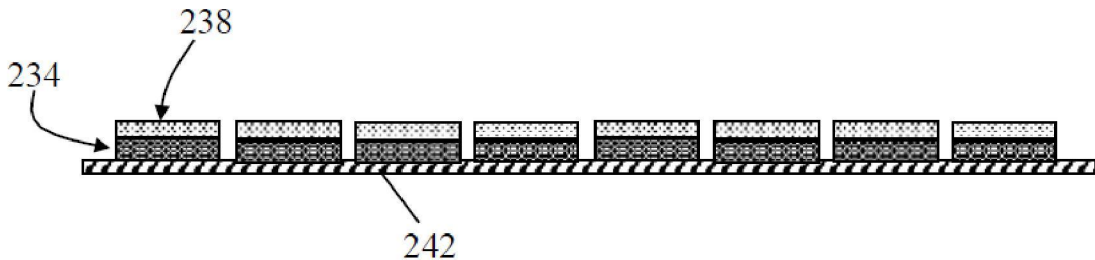
第2E圖



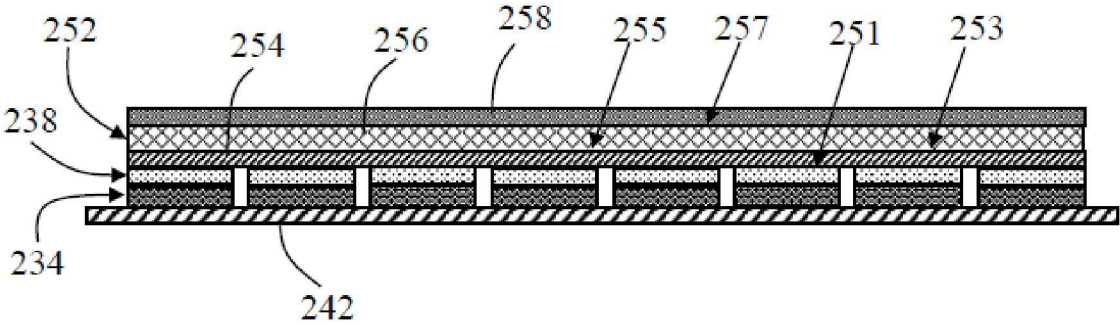
第2F圖



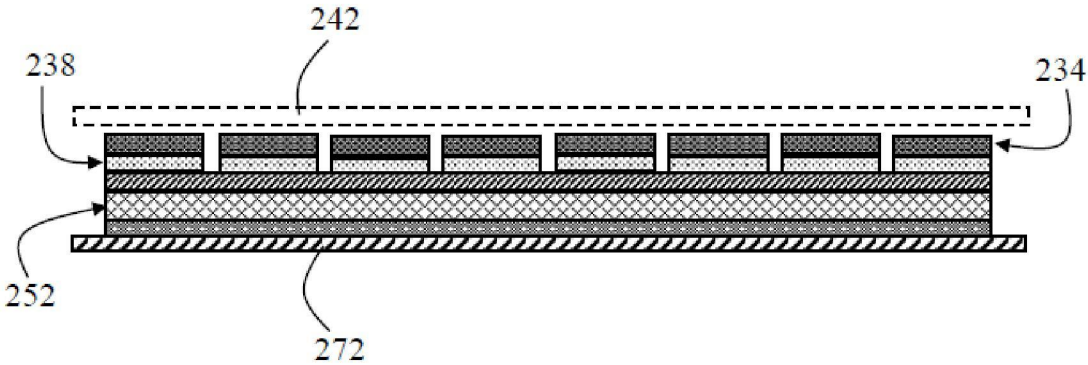
第2G圖



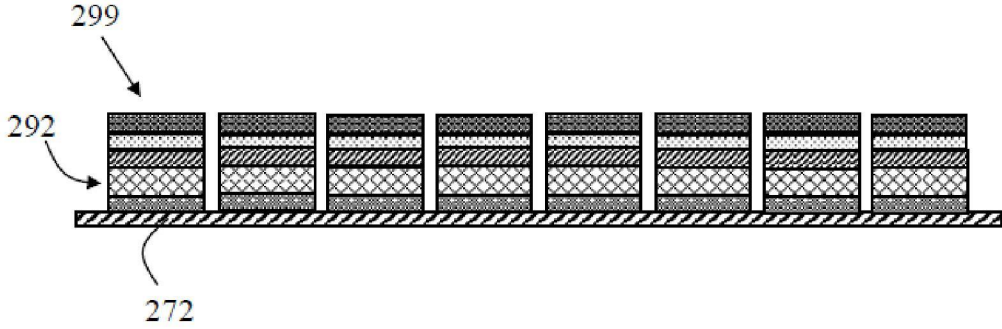
第2H圖



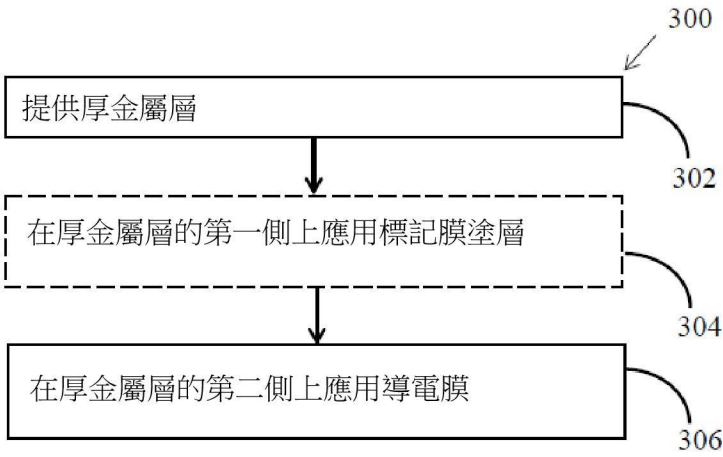
第2I圖



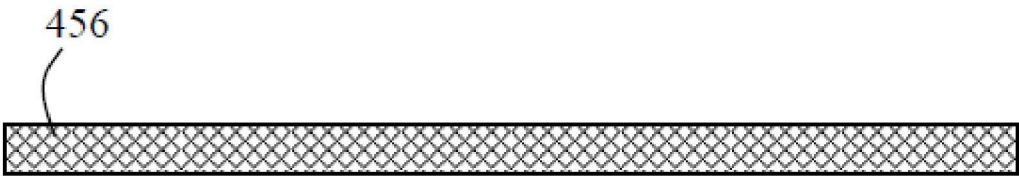
第2J圖



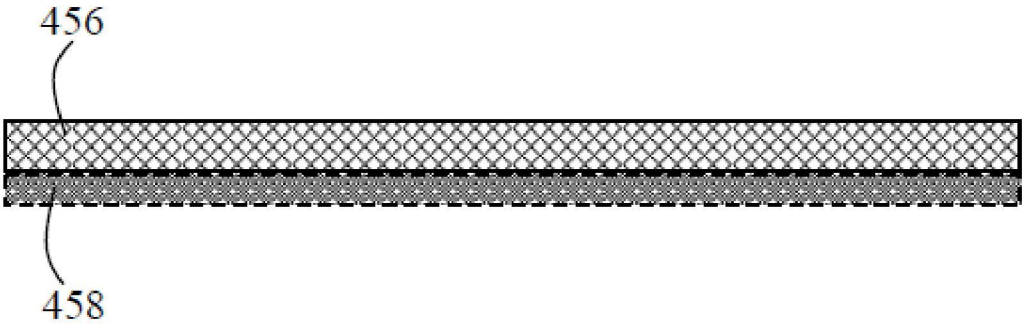
第2K圖



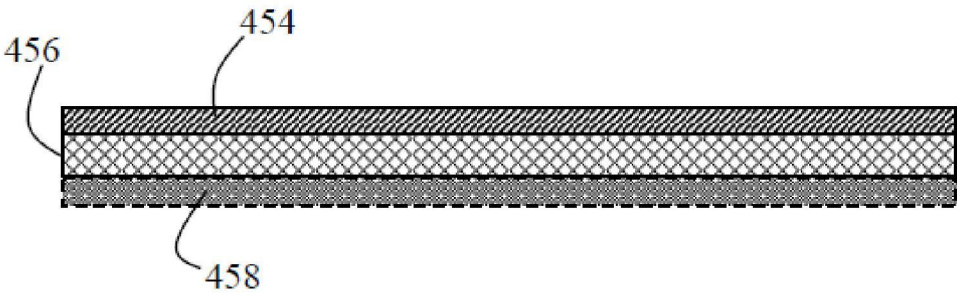
第3圖



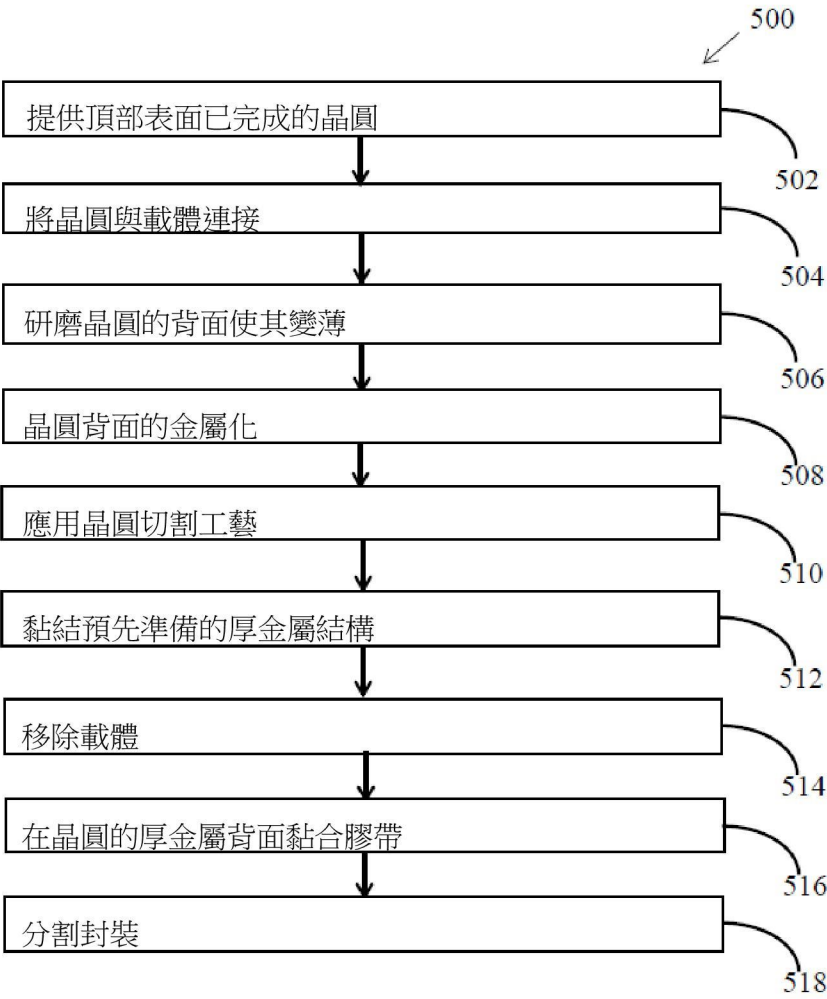
第4A圖



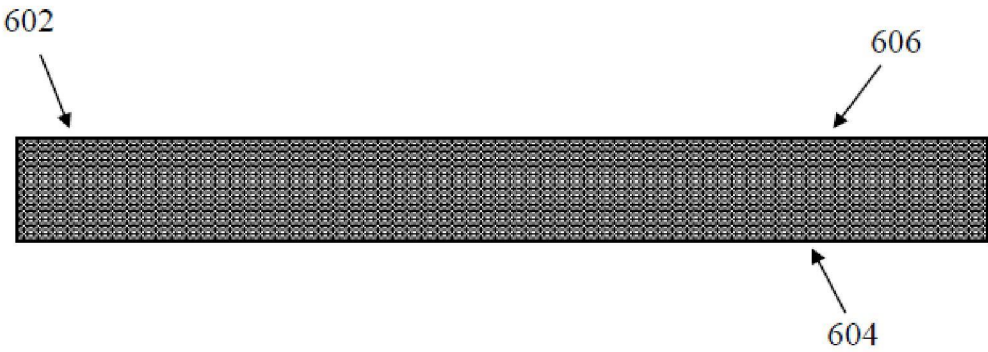
第4B圖



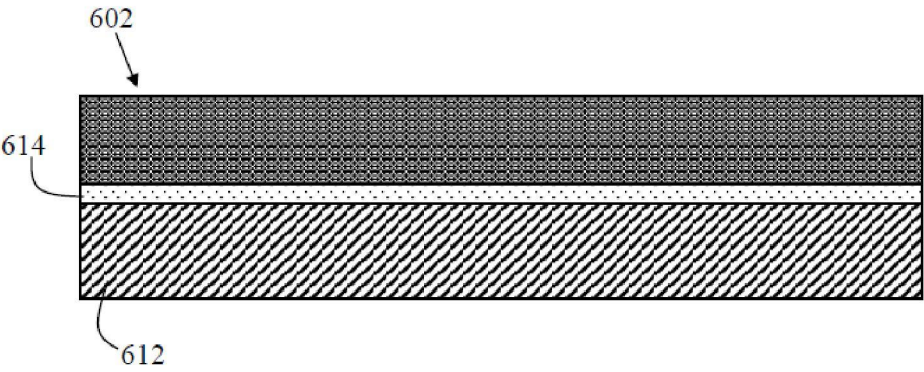
第4C圖



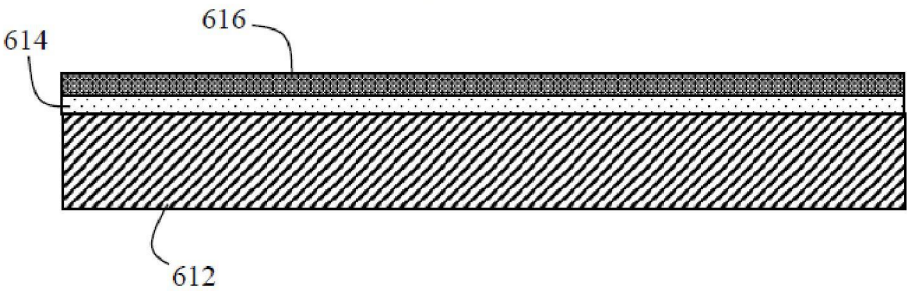
第5圖



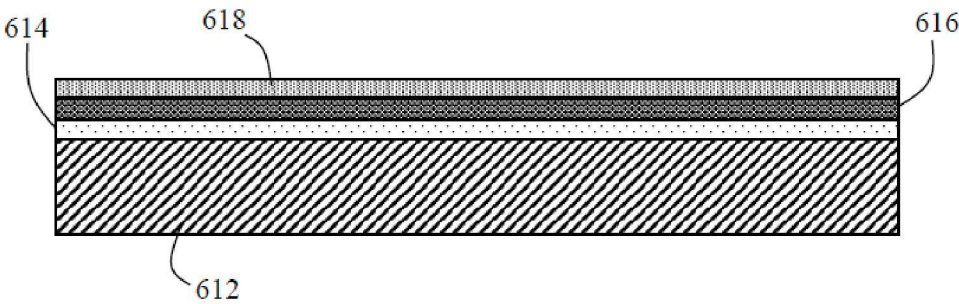
第6A圖



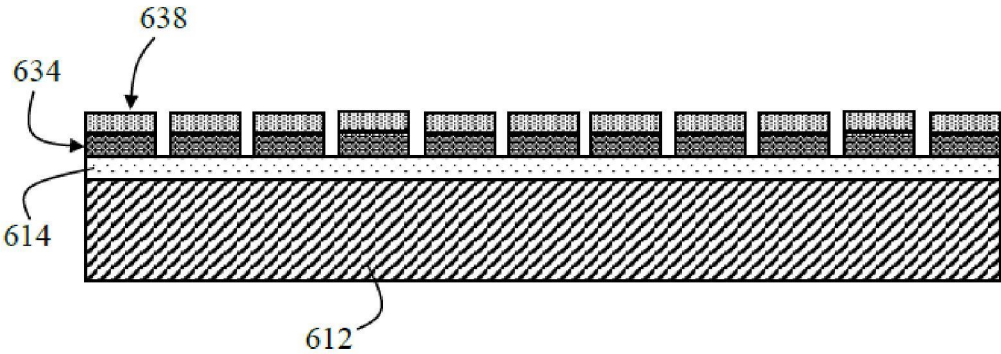
第6B圖



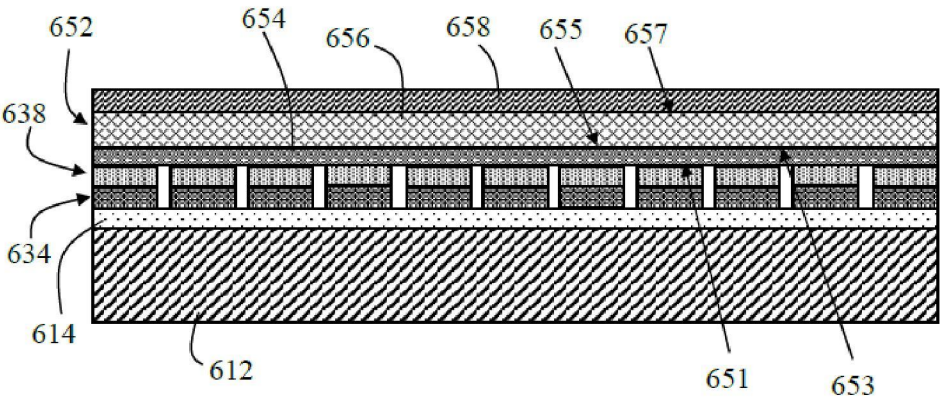
第6C圖



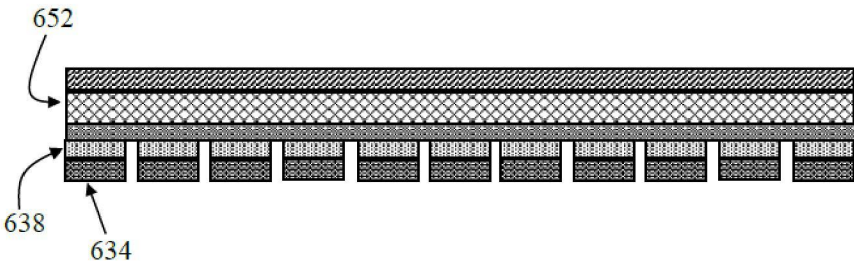
第6D圖



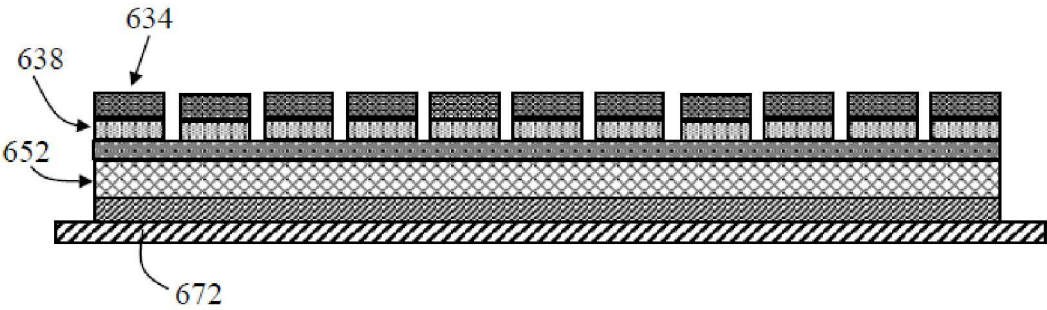
第6E圖



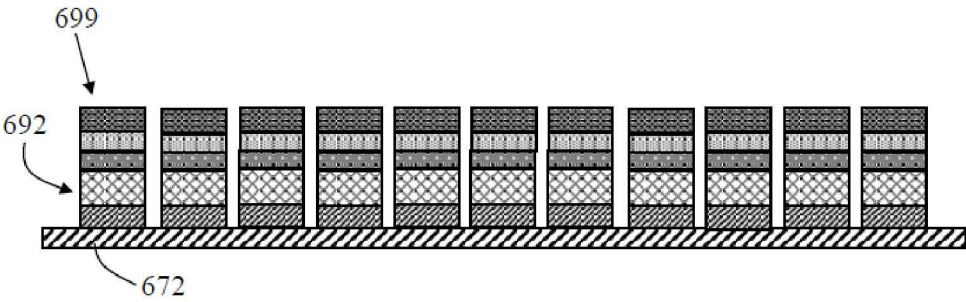
第6F圖



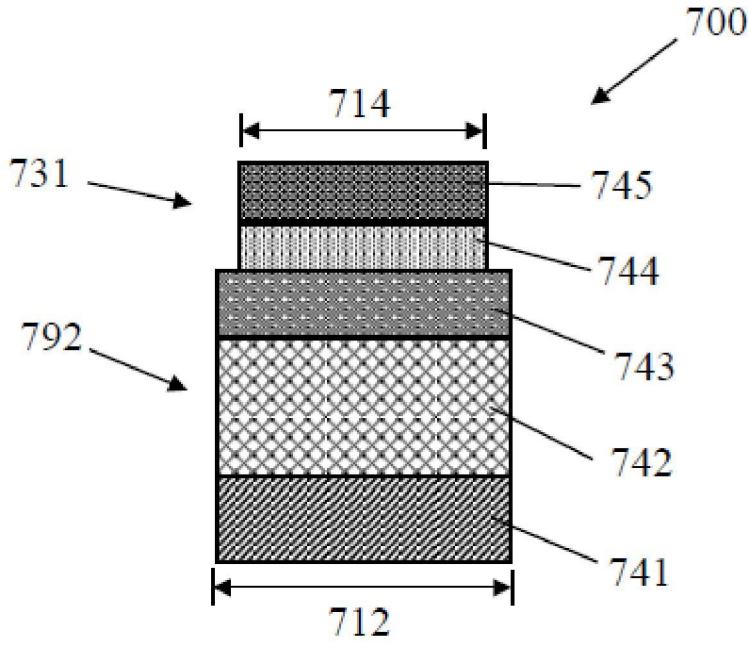
第6G圖



第6H圖



第6I圖



第7圖