

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月16日(16.01.2025)

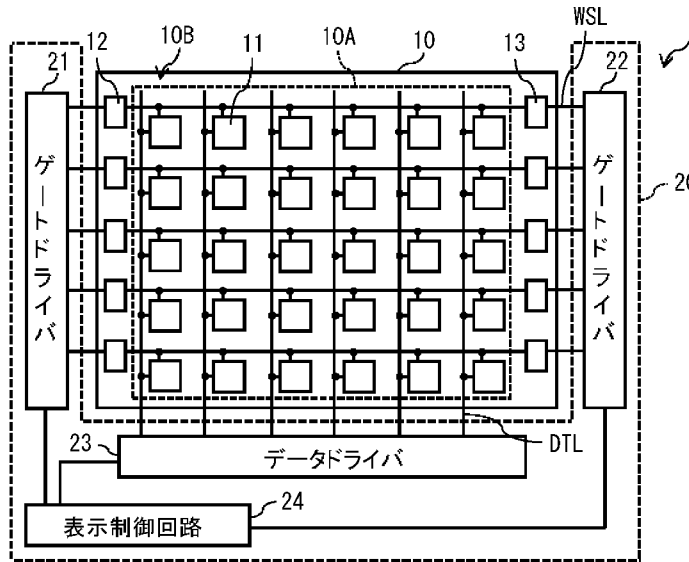


(10) 国際公開番号
WO 2025/013463 A1

- (51) 国際特許分類:
G09G 3/20 (2006.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2024/020366 (72) 発明者: 小田 雅彦(ODA, Masahiko); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).
- (22) 国際出願日: 2024年6月4日(04.06.2024)
- (25) 国際出願の言語: 日本語 (74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-114074 2023年7月11日(11.07.2023) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

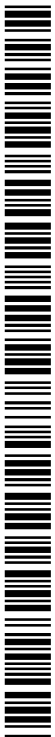
(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



21, 22 Gate driver
23 Data driver
24 Display control circuit

(57) Abstract: A display device according to an embodiment of the present disclosure comprises: a plurality of scanning lines; a first driver electrically connected to one end of each scanning line via a first buffer circuit; a second driver electrically connected to the other end of each scanning line via a second buffer circuit; and a display control circuit. In a first period, the display control circuit electrically connects an output terminal of the first driver to the scanning lines via the first buffer circuit, and electrically disconnects an output terminal of the second buffer circuit from the scanning



WO 2025/013463 A1

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO(BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア(AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

lines. In a second period, the display control circuit electrically disconnects an output terminal of the first buffer circuit from the scanning lines, and electrically connects an output terminal of the second driver to the scanning lines via the second buffer circuit.

(57) 要約: 本開示の一実施の形態に係る表示装置は、複数の走査線と、第1のバッファ回路を介して各走査線の一端に電氣的に接続された第1のドライバと、第2のバッファ回路を介して各走査線他端に電氣的に接続された第2のドライバと、表示制御回路とを備えている。表示制御回路は、第1の期間において、第1のドライバの出力端を、第1のバッファ回路を介して走査線へ電氣的に接続するとともに、第2のバッファ回路の出力端を走査線から電氣的に分離する。表示制御回路は、第2の期間において、第1のバッファ回路の出力端を走査線から電氣的に分離するとともに、第2のドライバの出力端を、第2のバッファ回路を介して走査線へ電氣的に接続する。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本開示は、表示装置に関する。

背景技術

[0002] 表示装置では、ドライバに多数のトランジスタが用いられる。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-186301号公報

発明の概要

[0004] ところで、表示装置の分野では、ドライバに用いられるトランジスタにおいて、BTI (Bias Temperature Instability) による特性変動が生じるという課題がある。BTIによる特性変動を抑制することの可能な表示装置を提供することが望ましい。

[0005] 本開示の一実施の形態に係る表示装置は、複数の表示画素と、複数の走査線と、各走査線の一端に接続された第1のバッファ回路と、各走査線他端に接続された第2のバッファ回路とを備えている。この表示装置は、さらに、第1のドライバと、第2のドライバと、表示制御回路とを備えている。第1のドライバは、第1のバッファ回路を介して各前記走査線の一端に電氣的に接続され、複数の走査線を介して複数の表示画素を単位画素行ごとに順次選択することが可能となっている。第2のドライバは、第2のバッファ回路を介して各走査線他端に電氣的に接続され、複数の走査線を介して複数の表示画素を単位画素行ごとに順次選択することが可能となっている。表示制御回路は、第1のバッファ回路、第2のバッファ回路、第1のドライバおよび第2のドライバを制御することが可能となっている。

図面の簡単な説明

[0006] [図1]図1は、本開示の一実施の形態に係る表示装置の概略構成の一例を表す

図である。

[図2]図2は、図1の表示装置における任意の走査線に接続された1つの画素ならびに2つのゲートドライバおよび2つのバッファ回路の回路構成の一例を表す図である。

[図3]図3(A)は、ゲートドライバで生成されるパルス信号CLKVの時間変化の一例を表したものである。図3(B)は、バッファ回路に入力される状態制御信号RSTLの時間変化の一例を表したものである。図3(C)は、状態制御信号RSTLが入力されるバッファ回路の状態の時間変化の一例を表したものである。図3(D)は、バッファ回路に入力される状態制御信号RSTRの時間変化の一例を表したものである。図3(E)は、状態制御信号RSTRが入力されるバッファ回路の状態の時間変化の一例を表したものである。

[図4]図4(A)は、ゲートドライバで生成されるパルス信号CLKVの時間変化の一例を表したものである。図4(B)は、バッファ回路に入力される状態制御信号RSTLの時間変化の一例を表したものである。図4(C)は、状態制御信号RSTLが入力されるバッファ回路の状態の時間変化の一例を表したものである。図4(D)は、バッファ回路に入力される状態制御信号RSTRの時間変化の一例を表したものである。図3(E)は、状態制御信号RSTRが入力されるバッファ回路の状態の時間変化の一例を表したものである。

[図5]図5は、図2の一組のゲートドライバおよびバッファ回路によって構成される論理回路の真理値表の一例を表す図である。

[図6]図6は、図5の真理値表において入力が「L、L」のときの論理回路の動作の一例を表す図である。

[図7]図7は、図5の真理値表において入力が「L、H」のときの論理回路の動作の一例を表す図である。

[図8]図8は、図5の真理値表において入力が「H、L」のときの論理回路の動作の一例を表す図である。

[図9]図9は、図5の真理値表において入力「H、H」のときの論理回路の動作の一例を表す図である。

[図10]図10(A)は、ゲートドライバで生成されるパルス信号CLKVの時間変化の一例を表したものである。図10(B)は、バッファ回路に入力される状態制御信号RSTLの時間変化の一変形例を表したものである。図10(C)は、状態制御信号RSTLが入力されるバッファ回路の状態の時間変化の一変形例を表したものである。図10(D)は、バッファ回路に入力される状態制御信号RSTRの時間変化の一変形例を表したものである。図10(E)は、状態制御信号RSTRが入力されるバッファ回路の状態の時間変化の一変形例を表したものである。

[図11]図11は、図1の表示装置における任意の走査線に接続された1つの画素ならびに2つのゲートドライバおよび2つのバッファ回路の回路構成の一変形例を表す図である。

[図12]図12は、図11の一組のゲートドライバおよびバッファ回路によって構成される論理回路の真理値表の一例を表す図である。

発明を実施するための形態

[0007] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。

[0008] <1. 背景>

表示装置の分野では、ドライバに用いられるトランジスタにおいて、BTI (Bias Temperature Instability) による特性変動の影響により、長期間の連続稼働において動作不具合が生じ得る。光による特性変動の加速もあるが、これに対してはトランジスタを遮光する策が採られ得る。電界による特性変動に対しては、酸化膜の膜質を改善し界面準位を減らすなどプロセス面で対応することが可能である。しかし、酸化膜の膜質改善では、より一層の改善は容易ではない。ドライバの動作周波数上昇に対応するために、酸化膜として高誘電率膜を採用することが考えられる。しかし、そのようにした場合には、高誘電率膜の界面に起因する特性変化が問題となる。また、プロジェクタの分野では、固体光源化、材料の長寿命化が進み、長期間連続稼働さ

れるユース・ケースも想定されており、BTIによる特性変動の改善が求められている。本出願人は、このような問題に鑑みて、表示品質を悪化させることなく、ドライバに用いられるトランジスタの駆動時間を削減することで、BTIによる特性変動を改善することを想起した。以下では、BTIによる特性変動を抑制する方策について詳細に説明する。

[0009] <2. 実施の形態>

[構成]

本開示の一実施の形態に係る表示装置1について説明する。図1は、表示装置1の概略構成の一例を表したものである。表示装置1は、例えば、図1に示したように、表示パネル10と、ロジックIC (Integrated Circuit) 20とを備えている。

[0010] 表示パネル10は、例えば、行方向および列方向に2次元配置された複数の表示画素11が設けられた画素アレイ領域10Aを有している。画素アレイ領域10Aは、表示パネル10における映像表示領域に相当する。表示パネル10は、さらに、例えば、複数のバッファ回路12および複数のバッファ回路13が設けられた周辺領域10Bを有している。周辺領域10Bは、平面視において画素アレイ領域10Aを囲む領域であり、表示パネル10における額縁領域に相当する。表示パネル10は、例えば、複数の表示画素11がロジックIC20によってアクティブ駆動されることにより、表示装置1の外部から入力された映像信号に基づく映像を表示することが可能となっている。

[0011] 表示パネル10は、例えば、行方向に延在する複数の走査線WSLと、列方向に延在する複数の信号線DTLとを有している。表示パネル10において、信号線DTLと走査線WSLとの交差部分に対応して、表示画素11が設けられている。各走査線WSLは、後述のゲートドライバ21、22の出力端に接続されている。各信号線DTLは、後述のデータドライバ23の出力端に接続されている。

[0012] 図2は、表示装置1における任意の走査線WSLに接続された1つの表示

画素11ならびにゲートドライバ21, 22およびバッファ回路12, 13の回路構成の一例を表したものである。各表示画素11は、例えば、図2に示したように、表示画素11に信号電圧を書き込むトランジスタ T_r と、表示画素11に書き込んだ電圧を保持する保持容量 C_s と、保持容量 C_s と並列に接続された光学素子 O_E とを有している。光学素子 O_E には、保持容量 C_s に保持された電圧が印加される。光学素子 O_E は、保持容量 C_s に保持された電圧の大きさ、または、保持容量 C_s に保持された電圧によって光学素子 O_E に流れる電流の大きさに応じて光変調もしくは発光を行うことのできる素子であり、例えば、液晶層、有機EL (Electro Luminescence) 層または電気泳動層等によって構成されている。保持容量 C_s および光学素子 O_E の一端が走査線 $W_S L$ に接続されており、保持容量 C_s および光学素子 O_E の他端が、例えば、共通電位線 $C O M$ に接続されている。

[0013] バッファ回路12は、走査線 $W_S L$ の一端に接続されており、ゲートドライバ21の出力端と走査線 $W_S L$ との間に配置されている。バッファ回路13は、走査線 $W_S L$ の他端に接続されており、ゲートドライバ22の出力端と走査線 $W_S L$ との間に配置されている。バッファ回路12, 13は、例えば、図2に示したように、電源電位線 $V D D$ と電源電位線 $V S S$ との間に、直列接続されたp型MOSトランジスタ P_1 およびn型MOSトランジスタ N_1 と、直列接続されたp型MOSトランジスタ P_2 およびn型MOSトランジスタ N_2 とを有している。バッファ回路12, 13は、さらに、例えば、図2に示したように、p型MOSトランジスタ P_0 を有している。電源電位線 $V D D$ の電圧 $V d d$ は、電源電位線 $V S S$ の電圧 $V s s$ よりも高い電圧値となっている。図2のバッファ回路12に含まれるトランジスタ P_0 は、本開示の一実施の形態に係る「第1のスイッチ素子」の一具体例に対応している。図2のバッファ回路13に含まれるトランジスタ P_0 は、本開示の一実施の形態に係る「第2のスイッチ素子」の一具体例に対応している。

[0014] p型MOSトランジスタ P_1 のソースとn型MOSトランジスタ N_1 のドレインとが互いに接続されており、これらの接続点 a が走査線 $W_S L$ に接続

されている。p型MOSトランジスタP1のゲートとn型MOSトランジスタN1のゲートとが互いに接続されており、これらの接続点bが、p型MOSトランジスタP2のソースとn型MOSトランジスタN2のドレインとの接続点に接続されている。p型MOSトランジスタP2のゲートとn型MOSトランジスタN2のゲートとが互いに接続されている。p型MOSトランジスタP0は、電源電位線VDDとp型MOSトランジスタP1のドレインとに接続されている。

[0015] バッファ回路12におけるp型MOSトランジスタP0のゲートには、後述の状態制御信号RSTLが入力される。バッファ回路13におけるp型MOSトランジスタP0のゲートには、後述の状態制御信号RSTRが入力される。バッファ回路12における、p型MOSトランジスタP2のゲートとn型MOSトランジスタN2のゲートとの接続点cが、ゲートドライバ21の出力回路211の出力端に接続されている。バッファ回路13における、p型MOSトランジスタP2のゲートとn型MOSトランジスタN2のゲートとの接続点dが、ゲートドライバ22の出力回路221の出力端に接続されている。

[0016] バッファ回路12は、ゲートドライバ21からの出力（選択パルス）を走査線WSLに出力することが可能となっている。バッファ回路13は、ゲートドライバ22からの出力（選択パルス）を走査線WSLに出力することが可能となっている。バッファ回路12において、p型MOSトランジスタP0は、後述の状態制御信号RSTLに基づいて、「通常期間 $\Delta T a$ 」と「回復期間 $\Delta T b$ 」とを切り替えることの可能なスイッチとして機能する。このとき、バッファ回路12において、p型MOSトランジスタP0は、バッファ回路12の出力端と電源電位線VDDとを電氣的に継断することの可能なスイッチ素子である。バッファ回路13において、p型MOSトランジスタP0は、後述の状態制御信号RSTRに基づいて、「通常期間 $\Delta T c$ 」と「回復期間 $\Delta T d$ 」とを切り替えることの可能なスイッチとして機能する。このとき、バッファ回路13において、p型MOSトランジスタP0は、バッ

ファ回路13の出力端と電源電位線VDDとを電氣的に継断することの可能なスイッチ素子である。

[0017] 図3は、バッファ回路12における「通常期間 $\Delta T a$ 」および「回復期間 $\Delta T b$ 」の切り替えの様子と、バッファ回路13における「通常期間 $\Delta T c$ 」および「回復期間 $\Delta T d$ 」の切り替えの様子とを例示したものである。図3(A)は、1フレーム期間単位の同期信号VSTおよびパルス信号CLKVの時間変化の一例を表したものである。同期信号VSTは、1フレーム期間(1F)の逆数の周波数となっており、例えば、120Hzとなっている。パルス信号CLKVは、ゲートドライバ21、22で生成される制御信号である。パルス信号CLKVは、1フレーム期間(1F)を、表示パネル10に含まれる単位画素行の数で割った値の逆数の周波数となっている。単位画素行とは、ゲートドライバ21、22によって一度に選択される1または複数の画素行を指している。

[0018] 図3(B)は、状態制御信号RSTLの時間変化の一例を表したものである。状態制御信号RSTLは、後述の表示制御回路24からバッファ回路12に入力される制御信号である。図3(C)は、バッファ回路12の状態(「通常期間 $\Delta T a$ 」「回復期間 $\Delta T b$ 」)の時間変化の一例を表したものである。図3(D)は、状態制御信号RSTRの時間変化の一例を表したものである。状態制御信号RSTRは、後述の表示制御回路24からバッファ回路13に入力される制御信号である。図3(E)は、バッファ回路13の状態(「通常期間 $\Delta T c$ 」「回復期間 $\Delta T d$ 」)の時間変化の一例を表したものである。

[0019] なお、図3(A)～図3(E)には、「通常期間 $\Delta T a$ 」および「回復期間 $\Delta T b$ 」が1フレーム期間(1F)ごとに交互に切り替わるとともに、「通常期間 $\Delta T c$ 」および「回復期間 $\Delta T d$ 」が1フレーム期間(1F)ごとに交互に切り替わる様子が例示されている。ただし、本実施の形態において、「通常期間 $\Delta T a$ 」および「回復期間 $\Delta T b$ 」の切り替わり周期は、1フレーム期間(1F)に限定されるものではなく、「通常期間 $\Delta T c$ 」および

「回復期間 $\Delta T d$ 」の切り替わり周期は、1フレーム期間(1F)に限定されるものではない。また、本実施の形態において、「通常期間 $\Delta T a$ 」および「回復期間 $\Delta T b$ 」は、例えば、数フレーム期間ごとに交互に切り替わるとともに、「通常期間 $\Delta T c$ 」および「回復期間 $\Delta T d$ 」は、例えば、数フレーム期間ごとに交互に切り替わってもよい。例えば、図4(A)~図4(E)に示したように、「通常期間 $\Delta T a$ 」および「回復期間 $\Delta T b$ 」が、例えば、2フレーム期間ごとに交互に切り替わるとともに、「通常期間 $\Delta T c$ 」および「回復期間 $\Delta T d$ 」が、例えば、2フレーム期間ごとに交互に切り替わってもよい。図3、図4において通常期間 $\Delta T a$ と回復期間 $\Delta T d$ とが互いに重なり合う期間が、本開示の一実施の形態に係る「第1の期間」の一具体例に対応している。図3、図4において回復期間 $\Delta T b$ と通常期間 $\Delta T c$ とが互いに重なり合う期間が、本開示の一実施の形態に係る「第2の期間」の一具体例に対応している。

[0020] p型MOSトランジスタP0がONとなっているとき、バッファ回路12, 13は、ゲートドライバ21, 22からの出力(選択パルス)を走査線WSLに出力することが可能となっている。バッファ回路12がこのような状態となっている期間を「通常期間 $\Delta T a$ 」と称する。同様に、バッファ回路13がこのような状態となっている期間を「通常期間 $\Delta T c$ 」と称する。「通常期間 $\Delta T a$ 」および「通常期間 $\Delta T c$ 」において、p型MOSトランジスタP2およびn型MOSトランジスタN1がONしている期間(ON期間)と、p型MOSトランジスタP2およびn型MOSトランジスタN1がOFFしている期間(OFF期間)との割合は、ON:OFF=99%:1%程度となっている。このとき、p型MOSトランジスタP2のゲートには、例えば、 $-(V_{dd}-V_{ss})$ の電位が印加されており、n型MOSトランジスタN1のゲートには、例えば、 $(V_{dd}-V_{ss})$ の電位が印加されている。従って、ON期間に比例して、BTIによる特性劣化が顕著となり得る。なお、以下では、p型MOSトランジスタP2およびn型MOSトランジスタN1がONしている期間(ON期間)を、単に「ON期間」と称する

ものとする。また、p型MOSトランジスタP2およびn型MOSトランジスタN1がOFFしている期間（OFF期間）を、単に「OFF期間」と称するものとする。

[0021] p型MOSトランジスタP0がOFFしているとき、バッファ回路12, 13は、ゲートドライバ21, 22からの出力（選択パルス）を走査線WSLに出力せず、バッファ回路12, 13の出力端の出力インピーダンスをハイインピーダンス（Hi-z）にすることが可能となっている。このとき、バッファ回路12, 13において、p型MOSトランジスタP2およびn型MOSトランジスタN1はOFFしている。そのため、ON期間において変動したp型MOSトランジスタP2およびn型MOSトランジスタN1の特性がOFF期間において時間の経過とともに徐々に元の特性に回復する。バッファ回路12がこのような状態となっている期間を「回復期間 ΔT_b 」と称する。同様に、バッファ回路13がこのような状態となっている期間を「回復期間 ΔT_d 」と称する。

[0022] ロジックIC20は、例えば、1または複数のICを含んで構成されている。ロジックIC20は、例えば、表示パネル10の周辺領域10Bに設けられている。なお、ロジックIC20は、例えば、FPC（Flexible printed circuits）を介して、表示パネル10と電氣的に接続されていてもよい。ロジックIC20は、例えば、図1に示したように、ゲートドライバ21, 22と、データドライバ23と、表示制御回路24とを有している。ロジックIC20は、例えば、表示パネル10の複数の表示画素11をアクティブ駆動することにより、表示装置1の外部から入力された映像信号に基づく映像を表示パネル10に表示させることが可能となっている。

[0023] 表示制御回路24は、例えば、入力された映像信号を1画面ごと（1フレームの表示ごと）にフレームメモリに格納して保持することが可能となっている。表示制御回路24は、また、例えば、表示パネル10を駆動するゲートドライバ21, 22およびデータドライバ23が連動して動作するように制御することが可能となっている。具体的には、データドライバ23は、例

例えば、ゲートドライバ21, 22に走査タイミング制御信号（例えば、同期信号VSTおよびクロック信号）を供給し、データドライバ23に、フレームメモリに保持されている映像信号に基づいた単位画素行分の映像信号と、表示タイミング制御信号を供給することが可能となっている。

[0024] データドライバ23は、例えば、表示制御回路24から供給される単位画素行分の映像信号を、各表示画素11に信号電圧として供給することが可能となっている。具体的には、データドライバ23は、例えば、単位画素行分の映像信号に対応する信号電圧を、データドライバ23により選択された単位画素行の各表示画素11に、信号線DTLを介してそれぞれ供給することが可能となっている。

[0025] ゲートドライバ21, 22は、バッファ回路12, 13を介して、共通の複数の走査線WSLに接続されている。ゲートドライバ21は、バッファ回路12を介して、複数の走査線WSLの一端に接続されており、ゲートドライバ22は、バッファ回路13を介して、複数の走査線WSLの他端に接続されている。

[0026] ゲートドライバ21, 22は、例えば、表示制御回路24から供給される走査タイミング制御信号（例えば、同期信号VSTおよびクロック信号）に基づいて、駆動対象の表示画素11を選択することが可能となっている。具体的には、ゲートドライバ21, 22は、例えば、走査線WSLを介して、選択パルスを表示画素11のトランジスタのゲートに印加することにより、画素アレイ領域10Aに二次元配置された複数の表示画素11のうちの単位画素行の各表示画素11を駆動対象として選択することが可能となっている。そして、これらの表示画素11では、データドライバ23から供給される信号電圧に応じて、単位画素行の表示がなされる。このようにして、ゲートドライバ21, 22は、例えば、時分割的に単位画素行ずつ順次走査を行い、表示領域全体に亘った表示を表示パネル10に行わせることが可能となっている。

[0027] ゲートドライバ21, 22は、例えば、シフトレジスタ回路を有している

。シフトレジスタ回路は、表示制御回路24から供給される走査タイミング制御信号（例えば、同期信号VSTおよびクロック信号）に基づいて、選択する単位画素行を、走査方向に順次シフトするパルス信号CLKVを生成することが可能となっている。

[0028] ゲートドライバ21は、シフトレジスタ回路の後段に、例えば、図2に示したように、単位画素行ごとに出力回路211を有している。出力回路211は、例えば、図2に示したように、NOR回路およびNOT回路を含んで構成されている。具体的には、ゲートドライバ21において、出力回路211は、例えば、図2に示したように、状態制御信号RSTLおよびパルス信号CLKVが入力されるNOR回路と、NOR回路の出力が入力されるNOT回路とを含んで構成されている。

[0029] ゲートドライバ22は、シフトレジスタ回路の後段に、例えば、図2に示したように、単位画素行ごとに出力回路221を有している。出力回路221は、例えば、図2に示したように、NOR回路およびNOT回路を含んで構成されている。具体的には、ゲートドライバ22において、出力回路221は、例えば、図2に示したように、状態制御信号RSTRおよびパルス信号CLKVが入力されるNOR回路と、NOR回路の出力が入力されるNOT回路とを含んで構成されている。

[0030] 図5は、出力回路211およびバッファ回路12、または、出力回路221およびバッファ回路13によって構成される論理回路の真理値表の一例を表したものである。図6は、図5の真理値表において入力が「L、L」のときの論理回路の動作の一例を表したものである。図7は、図5の真理値表において入力が「L、H」のときの論理回路の動作の一例を表したものである。図8は、図5の真理値表において入力が「H、L」のときの論理回路の動作の一例を表したものである。図9は、図5の真理値表において入力が「H、H」のときの論理回路の動作の一例を表したものである。

[0031] 図5、図6に示したように、状態制御信号RSTLおよびパルス信号CLKVとして、ともに「Lレベルの信号」が入力されたとき、p型MOSトラ

ンジスタP2およびn型MOSトランジスタN1がONし、走査線WSLに「Lレベルの信号」が出力される。図5、図7に示したように、状態制御信号RSTLとして「Lレベルの信号」が入力され、パルス信号CLKVとして「Hレベルの信号」が入力されたとき、p型MOSトランジスタP2およびn型MOSトランジスタN1がOFFし、走査線WSLに「Hレベルの信号」が出力される。このとき、出力回路211およびバッファ回路12の動作は、例えば、図4(C)における「通常期間 ΔT_a 」における動作に対応している。従って、このときは、P2およびN1のON期間と、P2およびN1のOFF期間との割合が、例えば、図4(B)に示したように、ON:OFF=99%:1%程度となっている。

[0032] なお、出力回路221およびバッファ回路13においても、図6、図7に記載の動作と同様の動作とすることが可能である。このとき、出力回路221およびバッファ回路13の動作は、例えば、図4(E)における「通常期間 ΔT_c 」における動作に対応している。従って、このときは、P2およびN1のON期間と、P2およびN1のOFF期間との割合が、例えば、図4(D)に示したように、ON:OFF=99%:1%程度となる。

[0033] 図5、図8に示したように、状態制御信号RSTLとして「Hレベルの信号」が入力され、パルス信号CLKVとして「Lレベルの信号」が入力されたとき、p型MOSトランジスタP2およびn型MOSトランジスタN1がOFFする。このとき、p型MOSトランジスタP2およびn型MOSトランジスタN1では、ON期間（通常期間 ΔT_a ）において変動した特性が時間の経過とともに徐々に元の特性に回復する。つまり、このときの出力回路211およびバッファ回路12の動作は、例えば、図4(C)における「回復期間 ΔT_b 」における動作に対応している。また、このとき、バッファ回路12の出力端の出力インピーダンスが「ハイインピーダンス H_i-z 」となり、走査線WSLは、バッファ回路12の電源電位線VDDから電氣的に分離される。このときの走査線WSLの信号レベルは、バッファ回路13の出力電圧に応じた信号レベルとなる。

[0034] 図5、図9に示したように、状態制御信号RSTLおよびパルス信号CLKVとして、ともに「Hレベルの信号」が入力されたとき、p型MOSトランジスタP2およびn型MOSトランジスタN1がOFFする。このとき、p型MOSトランジスタP2およびn型MOSトランジスタN1では、ON期間（通常期間 $\Delta T a$ ）において変動した特性が時間の経過とともに徐々に元の特性に回復する。つまり、このときの出力回路211およびバッファ回路12の動作は、例えば、図4（C）における「回復期間 $\Delta T b$ 」における動作に対応している。また、このとき、バッファ回路12の出力端の出力インピーダンスが「ハイインピーダンス $H i - z$ 」となり、走査線WSLは、バッファ回路12の電源電位線VDDから電氣的に分離される。このときの走査線WSLの信号レベルは、バッファ回路13の出力電圧に応じた信号レベルとなる。

[0035] なお、出力回路221およびバッファ回路13においても、図8、図9に記載の状態と同様の状態とすることが可能である。このときも、p型MOSトランジスタP2およびn型MOSトランジスタN1では、ON期間（通常期間 $\Delta T c$ ）において変動した特性が時間の経過とともに徐々に元の特性に回復する。つまり、このときの出力回路221およびバッファ回路13の動作は、例えば、図4（E）における「回復期間 $\Delta T d$ 」における動作に対応している。

[0036] 次に、改めて、図3、図4について詳細に説明する。

[0037] 表示制御回路24は、例えば、バッファ回路12へ状態制御信号RSTLを入力することによって、バッファ回路12による走査線WSLへの選択パルスの出力の可否を設定することが可能となっている。表示制御回路24は、例えば、状態制御信号RSTLとして「Lレベル信号」をバッファ回路12へ入力したとする。このとき、バッファ回路12は、表示制御回路24から状態制御信号RSTLとして「Lレベル信号」が入力されている間（通常期間 $\Delta T a$ ）、走査線WSLへ選択パルスを出力することが可能となっている。

[0038] 表示制御回路24は、例えば、状態制御信号RSTLとして「Hレベル信号」をバッファ回路12へ入力したとする。このとき、バッファ回路12は、表示制御回路24から状態制御信号RSTLとして「Hレベル信号」が入力されている間（回復期間 ΔT_b ）、走査線WSLへ選択パルスを出力することができない。また、このとき、p型MOSトランジスタP2およびn型MOSトランジスタN1がOFFし、p型MOSトランジスタP2およびn型MOSトランジスタN1では、ON期間（通常期間 ΔT_a ）において変動した特性が時間の経過とともに徐々に元の特性に回復する。

[0039] また、表示制御回路24は、例えば、バッファ回路13へ状態制御信号RSTRを入力することによって、バッファ回路13による走査線WSLへの選択パルスの出力の可否を設定することが可能となっている。表示制御回路24は、例えば、状態制御信号RSTLとして「Lレベル信号」をゲートドライバ22へ入力したとする。このとき、バッファ回路13は、表示制御回路24から状態制御信号RSTRとして「Lレベル信号」が入力されている間（通常期間 ΔT_c ）、走査線WSLへ選択パルスを出力することが可能となっている。

[0040] 表示制御回路24は、例えば、状態制御信号RSTRとして「Hレベル信号」をバッファ回路13へ入力したとする。このとき、バッファ回路13は、表示制御回路24から状態制御信号RSTRとして「Hレベル信号」が入力されている間（回復期間 ΔT_d ）、走査線WSLへ選択パルスを出力することができない。また、このとき、p型MOSトランジスタP2およびn型MOSトランジスタN1がOFFし、p型MOSトランジスタP2およびn型MOSトランジスタN1では、ON期間（通常期間 ΔT_c ）において変動した特性が時間の経過とともに徐々に元の特性に回復する。

[0041] 表示制御回路24は、状態制御信号RSTLとして「Hレベル信号」を入力するとともに、状態制御信号RSTRとして「Lレベル信号」を入力するとする。このとき、表示制御回路24は、ゲートドライバ22の出力端を、バッファ回路13を介して走査線WSLに電氣的に接続するとともに、バッ

ファ回路12の出力端を走査線WSLから電氣的に分離する（時刻t1、図3、図4参照）。その後、表示制御回路24は、状態制御信号RSTLを「Hレベル信号」から「Lレベル信号」に切り替えるとともに、状態制御信号RSTRを「Lレベル信号」から「Hレベル信号」に切り替えるとする。このとき、表示制御回路24は、バッファ回路13の出力端を走査線WSLから電氣的に分離するとともに、バッファ回路12の出力端を走査線WSLに接続する（時刻t2、図3、図4参照）。

[0042] その後、表示制御回路24は、状態制御信号RSTLとして「Lレベル信号」を入力するとともに、状態制御信号RSTRとして「Hレベル信号」を入力とする。このとき、表示制御回路24は、バッファ回路13の出力端を走査線WSLから電氣的に分離するとともに、ゲートドライバ21の出力を、バッファ回路12を介して走査線WSLに電氣的に接続する（時刻t3、図3、図4参照）。その後、表示制御回路24は、状態制御信号RSTLを「Lレベル信号」から「Hレベル信号」に切り替えるとともに、状態制御信号RSTRを「Hレベル信号」から「Lレベル信号」に切り替える。このとき、表示制御回路24は、バッファ回路13の出力端を走査線WSLに接続するとともに、バッファ回路12の出力端を走査線WSLから電氣的に分離する（時刻t4、図3、図4参照）。

[0043] その後、表示制御回路24は、状態制御信号RSTLとして「Hレベル信号」を入力するとともに、状態制御信号RSTRとして「Lレベル信号」を入力する。このとき、表示制御回路24は、ゲートドライバ22の出力端を、バッファ回路13を介して走査線WSLに電氣的に接続するとともに、バッファ回路12の出力端を走査線WSLから電氣的に分離する（時刻t5、図3、図4参照）。

[0044] 表示制御回路24は、状態制御信号RSTLにおいて「Hレベル信号」および「Lレベル信号」を切り替える周期や、状態制御信号RSTRにおいて「Hレベル信号」および「Lレベル信号」を切り替える周期を、1フレーム期間（1F）としてもよい。表示制御回路24は、これらの周期を、Nフレ

ーム期間 ($N \geq 2$) としてもよい。このとき、表示制御回路 24 は、バッファ回路 12 の出力端を走査線 WSL に接続したり分離したりする周期や、バッファ回路 13 の出力端を走査線 WSL に接続したり分離したりする周期を、1 フレーム期間 (1 F) としてもよい。表示制御回路 24 は、これらの周期を、N フレーム期間としてもよい。

[0045] 表示制御回路 24 は、例えば、図 3、図 4 に示したように、状態制御信号 RSTL において「H レベル信号」を「L レベル信号」に切り替えるタイミングを、状態制御信号 RSTR において「L レベル信号」を「H レベル信号」に切り替えるタイミングを一致させてもよい。表示制御回路 24 は、例えば、図 10 に示したように、状態制御信号 RSTL において「H レベル信号」を「L レベル信号」に切り替えるタイミングを、状態制御信号 RSTR において「L レベル信号」を「H レベル信号」に切り替えるタイミングをずらしてもよい。このとき、バッファ回路 12 における通常期間 $\Delta T a$ と、バッファ回路 13 における通常期間 $\Delta T c$ とが互いに重なり合う期間 Δt は、例えば、映像非表示の期間 (ブランキング期間) 内となっていることが好ましい。

[0046] 以上のことから、表示制御回路 24 は、通常期間 $\Delta T a$ と回復期間 $\Delta T d$ とが互いに重なり合う期間 (第 1 の期間)、および回復期間 $\Delta T b$ と通常期間 $\Delta T c$ とが互いに重なり合う期間 (第 2 の期間) が 1 フレーム期間または数フレーム期間ごとに交互に切り替わるように、バッファ回路 12、13 およびドライバ 21、22 を制御することが可能となっている。本開示の一実施の形態に係る「第 1 の期間」の一具体例は、図 10 において通常期間 $\Delta T a$ と回復期間 $\Delta T d$ とが互いに重なり合う期間に対応している。本開示の一実施の形態に係る「第 2 の期間」の一具体例は、図 10 において回復期間 $\Delta T b$ と通常期間 $\Delta T c$ とが互いに重なり合う期間に対応している。

[0047] [効果]

次に、表示装置 1 の効果について説明する。

[0048] 本実施の形態では、通常期間 $\Delta T a$ と回復期間 $\Delta T d$ とが互いに重なり合

う期間（第1の期間）において、ドライバ21の出力端が、バッファ回路12を介して走査線WSLへ電氣的に接続されるとともに、バッファ回路13の出力端が走査線WSLから電氣的に分離される。さらに、回復期間 ΔT_b と通常期間 ΔT_c とが互いに重なり合う期間（第2の期間）において、バッファ回路12の出力端が走査線WSLから電氣的に分離されるとともに、ドライバ22の出力端が、バッファ回路13を介して走査線WSLへ電氣的に接続される。これにより、第1の期間にバッファ回路13に含まれるp型MOSトランジスタP0のOFF期間を設けることができ、第2の期間にバッファ回路12に含まれるp型MOSトランジスタP0のOFF期間を設けることができる。その結果、第1の期間にバッファ回路13に含まれるp型MOSトランジスタP0の特性を回復させることができ、第2の期間にバッファ回路12に含まれるp型MOSトランジスタP0の特性を回復させることができる。従って、バッファ回路12に含まれるp型MOSトランジスタP0や、バッファ回路13に含まれるp型MOSトランジスタP0による特性変動を抑制することができる。

[0049] 本実施の形態では、回復期間 ΔT_b と通常期間 ΔT_c とが互いに重なり合う期間（第2の期間）において、バッファ回路12のp型MOSトランジスタP0がオフされることにより、バッファ回路12の出力端が電源電位線VDDから電氣的に分離される。さらに、通常期間 ΔT_a と回復期間 ΔT_d とが互いに重なり合う期間（第1の期間）において、バッファ回路13のp型MOSトランジスタP0がオフされることにより、バッファ回路13の出力端が電源電位線VDDから電氣的に分離される。これにより、各走査線WSLの一端にバッファ回路12が接続され、各走査線WSLの他端にバッファ回路13が接続されている状態であっても、ゲートドライバ21、22のうち、各走査線WSLに接続されていない方のドライバによって各走査線WSLの電位が乱れるのを防止することができる。

[0050] 本実施の形態では、第1の期間および第2の期間が1フレーム期間または数フレーム期間ごとに交互に切り替わるように、バッファ回路12、13お

よびドライバ21, 22が制御される。これにより、第1の期間にバッファ回路13に含まれるp型MOSトランジスタP0のOFF期間を設けることができ、第2の期間にバッファ回路12に含まれるp型MOSトランジスタP0のOFF期間を設けることができる。その結果、第1の期間にバッファ回路13に含まれるp型MOSトランジスタP0の特性を回復させることができ、第2の期間にバッファ回路12に含まれるp型MOSトランジスタP0の特性を回復させることができる。従って、バッファ回路12に含まれるp型MOSトランジスタP0や、バッファ回路13に含まれるp型MOSトランジスタP0による特性変動を抑制することができる。

[0051] 本実施の形態では、ドライバ21, 22は、NOR回路と、NOT回路とを含んで構成されている。ドライバ21において、状態制御信号RSTLおよびパルス信号CLKVがNOR回路に入力され、NOR回路の出力がNOT回路に入力され、バッファ回路12において、状態制御信号RSTLがp型MOSトランジスタP0に入力される。ドライバ22において、状態制御信号RSTRおよびパルス信号CLKVがNOR回路に入力され、NOR回路の出力がNOT回路に入力され、バッファ回路13において、状態制御信号RSTRがp型MOSトランジスタP0に入力される。これにより、第1の期間にバッファ回路13に含まれるp型MOSトランジスタP0のOFF期間を設けることができ、第2の期間にバッファ回路12に含まれるp型MOSトランジスタP0のOFF期間を設けることができる。その結果、第1の期間にバッファ回路13に含まれるp型MOSトランジスタP0の特性を回復させることができ、第2の期間にバッファ回路12に含まれるp型MOSトランジスタP0の特性を回復させることができる。従って、バッファ回路12に含まれるp型MOSトランジスタP0や、バッファ回路13に含まれるp型MOSトランジスタP0による特性変動を抑制することができる。

[0052] <3. 変形例>

次に、上記実施の形態に係る表示装置1の変形例について説明する。

[0053] 上記実施の形態に係るゲートドライバ21において、出力回路211は、

例えば、図11に示したように、状態制御信号RSTLの負理論が入力されるNOT回路と、状態制御信号RSTLの負理論およびパルス信号CLKVの負理論が入力されるNAND回路とを含んで構成されていてもよい。また、上記実施の形態に係るゲートドライバ22において、出力回路221は、例えば、図11に示したように、状態制御信号RSTRの負理論が入力されるNOT回路と、状態制御信号RSTLの負理論およびパルス信号CLKVの負理論が入力されるNAND回路とを含んで構成されていてもよい。このとき、p型MOSトランジスタP0のゲートには、NOT回路の出力が印加される。

[0054] このようにした場合には、出力回路211およびバッファ回路12、または、出力回路221およびバッファ回路13によって構成される論理回路の真理値表は、図12に示した真理値表となる。従って、上記実施の形態と同様の効果を得ることができる。

[0055] このように、本変形例では、ドライバ21、22は、NOT回路と、NAND回路とを含んで構成されている。ドライバ21において、状態制御信号RSTLの負理論がNOT回路に入力され、状態制御信号RSTLの負理論およびパルス信号CLKVの負理論がNAND回路に入力され、バッファ回路12において、NOT回路の出力がp型MOSトランジスタP0に入力される。ドライバ22において、状態制御信号RSTRの負理論がNOT回路に入力され、状態制御信号RSTLの負理論およびパルス信号CLKVの負理論がNAND回路に入力され、バッファ回路13において、NOT回路の出力がp型MOSトランジスタP0に入力される。これにより、第1の期間にバッファ回路13に含まれるp型MOSトランジスタP0のOFF期間を設けることができ、第2の期間にバッファ回路12に含まれるp型MOSトランジスタP0のOFF期間を設けることができる。その結果、第1の期間にバッファ回路13に含まれるp型MOSトランジスタP0の特性を回復させることができ、第2の期間にバッファ回路12に含まれるp型MOSトランジスタP0の特性を回復させることができる。従って、バッファ回路12

に含まれるp型MOSトランジスタP0や、バッファ回路13に含まれるp型MOSトランジスタP0による特性変動を抑制することができる。

[0056] 以上、実施の形態およびその変形例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていてもよい。

[0057] また、例えば、本開示は以下のような構成を取ることができる。

(1)

複数の表示画素と、

複数の走査線と、

各前記走査線の一端に接続された第1のバッファ回路と、

各前記走査線の他端に接続された第2のバッファ回路と、

前記第1のバッファ回路を介して各前記走査線の一端に電氣的に接続され、前記複数の走査線を介して前記複数の表示画素を単位画素行ごとに順次選択することの可能な第1のドライバと、

前記第2のバッファ回路を介して各前記走査線の他端に電氣的に接続され、前記複数の走査線を介して前記複数の表示画素を単位画素行ごとに順次選択することの可能な第2のドライバと、

前記第1のバッファ回路、前記第2のバッファ回路、前記第1のドライバおよび前記第2のドライバを制御することの可能な表示制御回路と

を備え、

前記表示制御回路は、

第1の期間において、前記第1のドライバの出力端を、前記第1のバッファ回路を介して前記走査線へ電氣的に接続するとともに、前記第2のバッファ回路の出力端を前記走査線から電氣的に分離することが可能となっており、

前記第2の期間において、前記第1のバッファ回路の出力端を前記走査線

から電氣的に分離するとともに、前記第2のドライバの出力端を、前記第2のバッファ回路を介して前記走査線へ電氣的に接続することが可能となっている

表示装置。

(2)

前記第1のバッファ回路は、前記第1のバッファ回路の出力端と第1の電源電位線とを電氣的に継断することの可能な第1のスイッチ素子を有し、

前記第2のバッファ回路は、前記第2のバッファ回路の出力端と第2の電源電位線とを電氣的に継断することの可能な第2のスイッチ素子を有し、

前記表示制御回路は、

前記第2の期間において、前記第1のスイッチ素子をオフすることにより、前記第1のバッファ回路の出力端を前記第1の電源電位線から電氣的に分離することが可能となっており、

前記第1の期間において、前記第2のスイッチ素子をオフすることにより、前記第2のバッファ回路の出力端を前記第2の電源電位線から電氣的に分離することが可能となっている

(1)に記載の表示装置。

(3)

前記表示制御回路は、前記第1の期間および前記第2の期間が1フレーム期間または数フレーム期間ごとに交互に切り替わるように、前記第1のバッファ回路、前記第2のバッファ回路、前記第1のドライバおよび前記第2のドライバを制御することが可能となっている

(1)または(2)に記載の表示装置。

(4)

前記第1のドライバは、第1のNOR回路と、前記第1のNOR回路の出力が入力される第1のNOT回路とを含んで構成され、

前記第2のドライバは、第2のNOR回路と、前記第2のNOR回路の出力が入力される第2のNOT回路とを含んで構成され、

前記表示制御回路は、第1の状態制御信号およびパルス信号を前記NOR回路に入力し、前記第1の状態制御信号を前記第1のスイッチ素子に入力し、前記第2の状態制御信号を前記第2のスイッチ素子に入力することが可能となっている

(2)に記載の表示装置。

(5)

前記第1のドライバは、第1のNOT回路と、第1のNAND回路とを含んで構成され、

前記第2のドライバは、第2のNOT回路と、第2のNAND回路とを含んで構成され、

前記表示制御回路は、第1の状態制御信号の負理論を前記第1のNOT回路に入力し、前記第1の状態制御信号の負理論およびパルス信号の負理論を前記第1のNAND回路に入力し、第2の状態制御信号の負理論を前記第2のNOT回路に入力し、前記第2の状態制御信号の負理論および前記パルス信号の負理論を前記第2のNAND回路に入力することが可能となっている

(2)に記載の表示装置。

[0058] 本出願は、日本国特許庁において2023年7月11日に出願された日本特許出願番号第2023-114074号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0059] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1]

複数の表示画素と、

複数の走査線と、

各前記走査線の一端に接続された第1のバッファ回路と、

各前記走査線の他端に接続された第2のバッファ回路と、

前記第1のバッファ回路を介して各前記走査線の一端に電氣的に接続され、前記複数の走査線を介して前記複数の表示画素を単位画素行ごとに順次選択することの可能な第1のドライバと、

前記第2のバッファ回路を介して各前記走査線の他端に電氣的に接続され、前記複数の走査線を介して前記複数の表示画素を単位画素行ごとに順次選択することの可能な第2のドライバと、

前記第1のバッファ回路、前記第2のバッファ回路、前記第1のドライバおよび前記第2のドライバを制御することの可能な表示制御回路と

を備え、

前記表示制御回路は、

第1の期間において、前記第1のドライバの出力端を、前記第1のバッファ回路を介して前記走査線へ電氣的に接続するとともに、前記第2のバッファ回路の出力端を前記走査線から電氣的に分離することが可能となっており、

前記第2の期間において、前記第1のバッファ回路の出力端を前記走査線から電氣的に分離するとともに、前記第2のドライバの出力端を、前記第2のバッファ回路を介して前記走査線へ電氣的に接続することが可能となっている

表示装置。

[請求項2]

前記第1のバッファ回路は、前記第1のバッファ回路の出力端と第1の電源電位線とを電氣的に継断することの可能な第1のスイッチ素子を有し、

前記第2のバッファ回路は、前記第2のバッファ回路の出力端と第2の電源電位線とを電氣的に継断することの可能な第2のスイッチ素子を有し、

前記表示制御回路は、

前記第2の期間において、前記第1のスイッチ素子をオフすることにより、前記第1のバッファ回路の出力端を前記第1の電源電位線から電氣的に分離することが可能となっており、

前記第1の期間において、前記第2のスイッチ素子をオフすることにより、前記第2のバッファ回路の出力端を前記第2の電源電位線から電氣的に分離することが可能となっている

請求項1に記載の表示装置。

[請求項3]

前記表示制御回路は、前記第1の期間および前記第2の期間が1フレーム期間または数フレーム期間ごとに交互に切り替わるように、前記第1のバッファ回路、前記第2のバッファ回路、前記第1のドライバおよび前記第2のドライバを制御することが可能となっている

請求項1に記載の表示装置。

[請求項4]

前記第1のドライバは、第1のNOR回路と、前記第1のNOR回路の出力が入力される第1のNOT回路とを含んで構成され、

前記第2のドライバは、第2のNOR回路と、前記第2のNOR回路の出力が入力される第2のNOT回路とを含んで構成され、

前記表示制御回路は、第1の状態制御信号およびパルス信号を前記NOR回路に入力し、前記第1の状態制御信号を前記第1のスイッチ素子に入力し、前記第2の状態制御信号を前記第2のスイッチ素子に入力することが可能となっている

請求項2に記載の表示装置。

[請求項5]

前記第1のドライバは、第1のNOT回路と、第1のNAND回路とを含んで構成され、

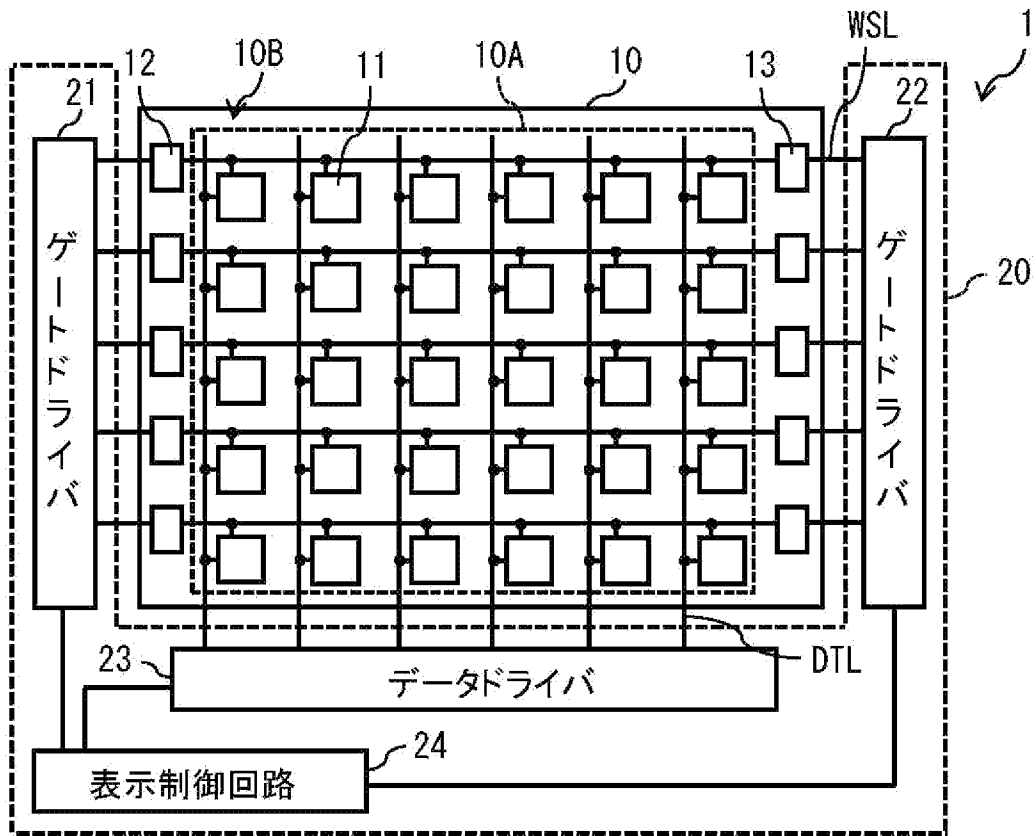
前記第2のドライバは、第2のNOT回路と、第2のNAND回路

とを含んで構成され、

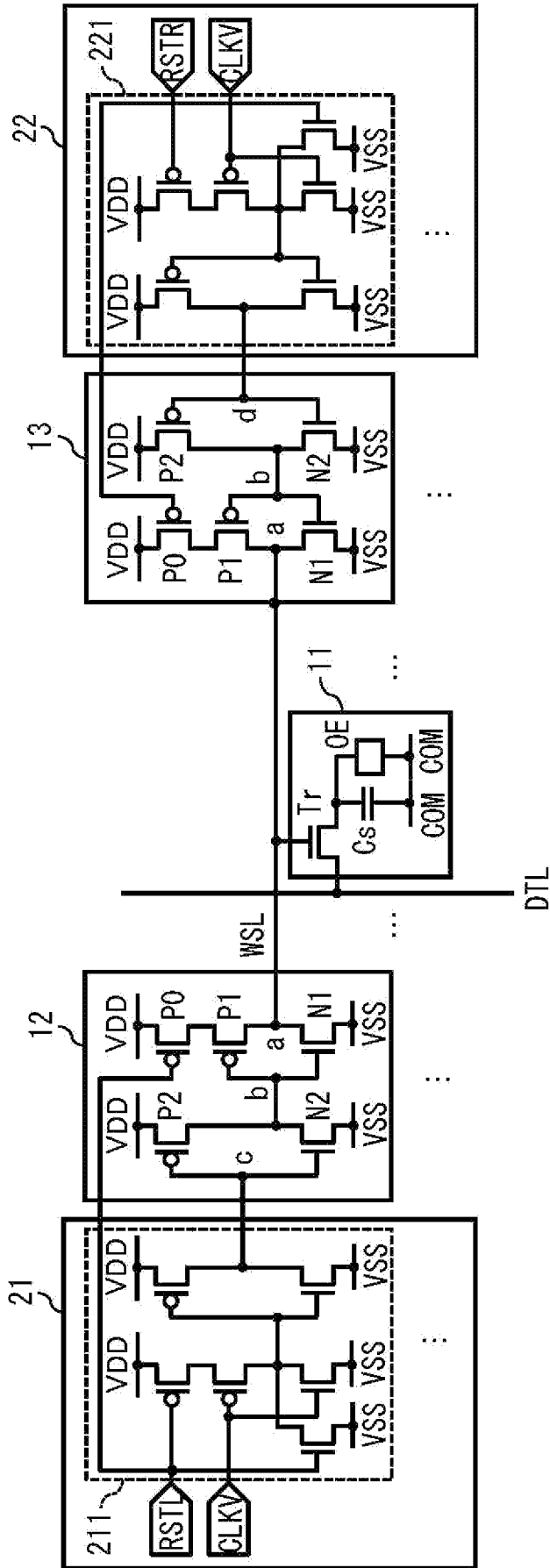
前記表示制御回路は、第1の状態制御信号の負理論を前記第1のNOT回路に入力し、前記第1の状態制御信号の負理論およびパルス信号の負理論を前記第1のNAND回路に入力し、第2の状態制御信号の負理論を前記第2のNOT回路に入力し、前記第2の状態制御信号の負理論および前記パルス信号の負理論を前記第2のNAND回路に入力することが可能となっている

請求項2に記載の表示装置。

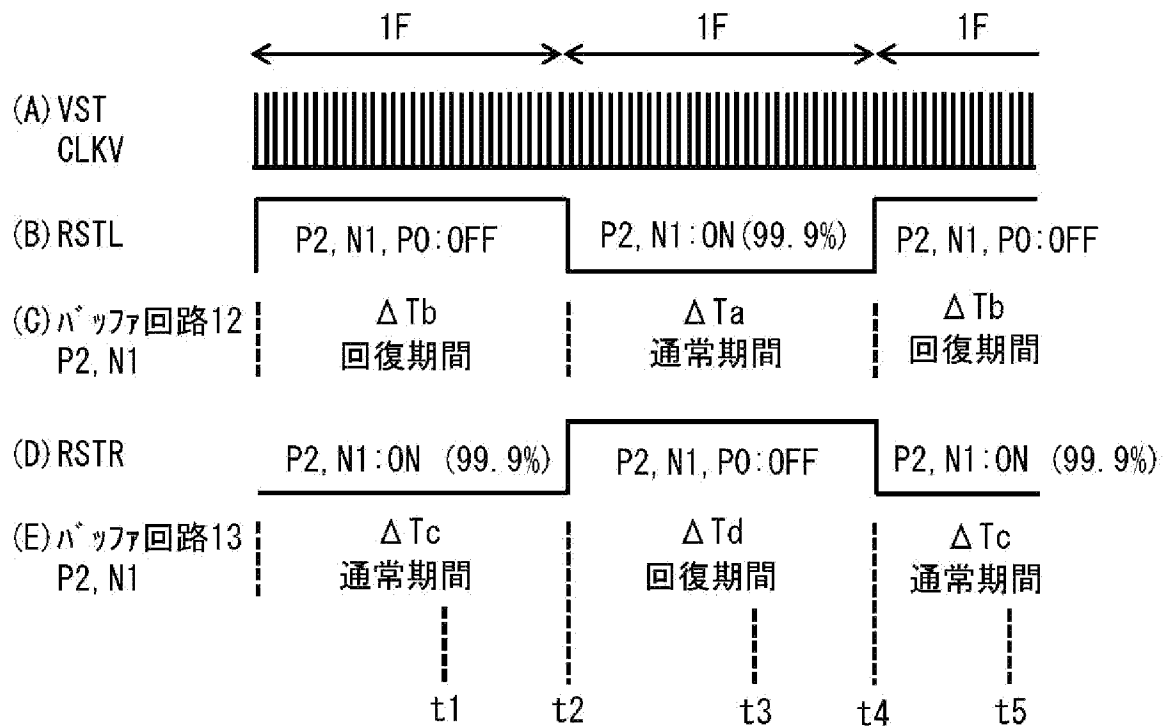
[図1]



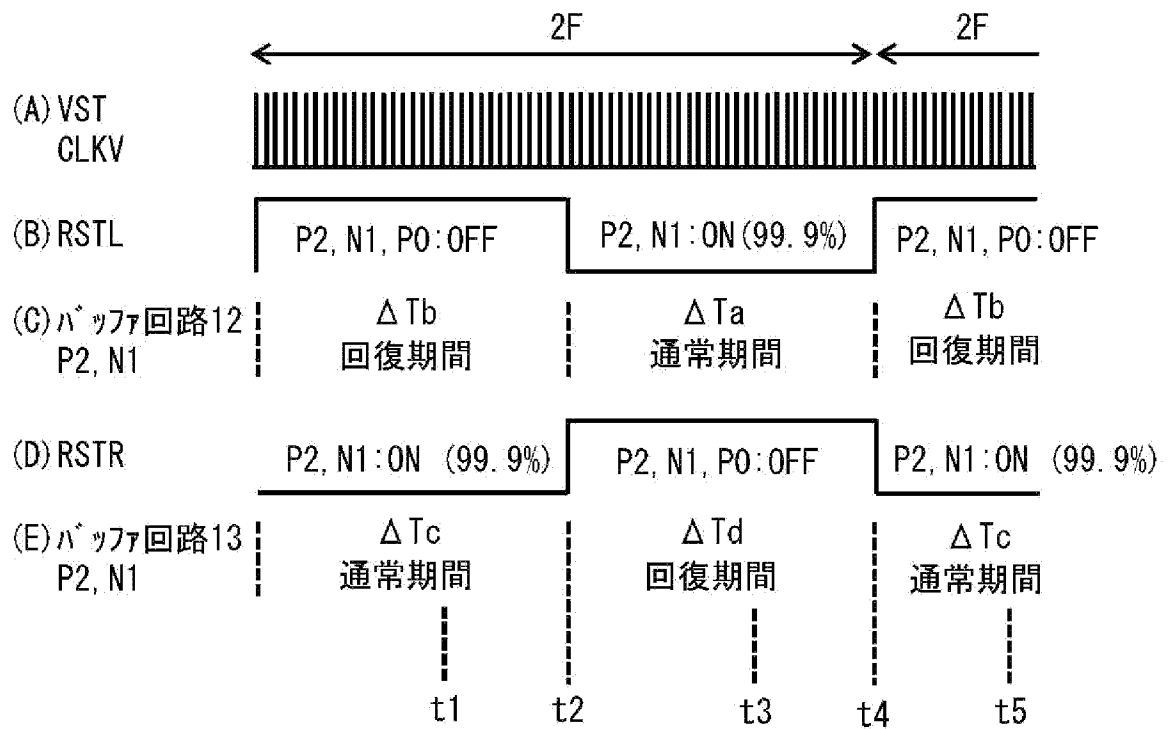
[図2]



[図3]



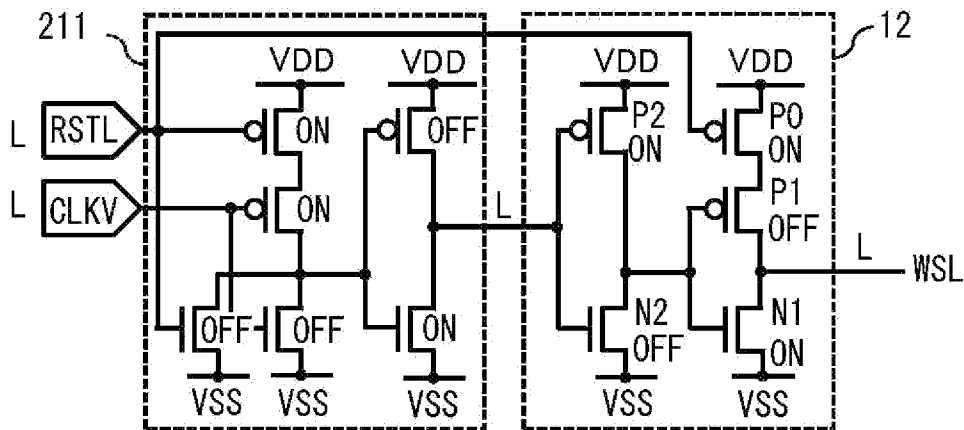
[図4]



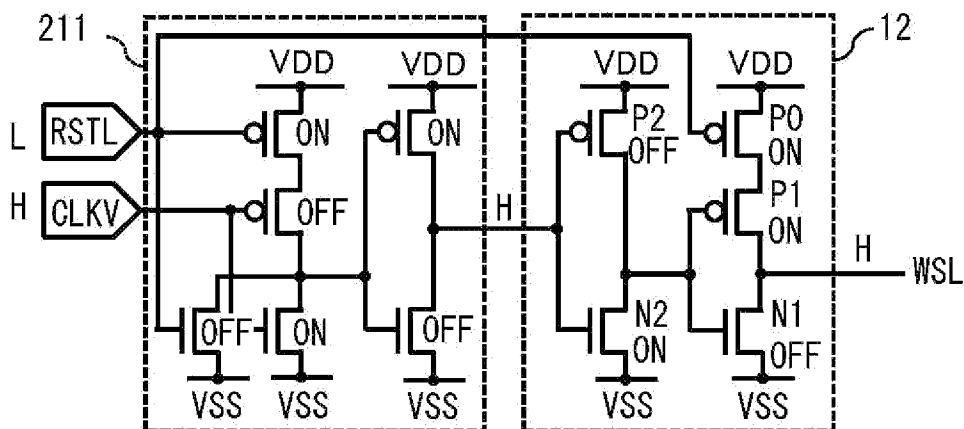
[図5]

RSTL, RSTR	VST, CLKV	WSL	P2, N1
L	L	L	ON
L	H	H	OFF
H	L	-	OFF
H	H	-	OFF

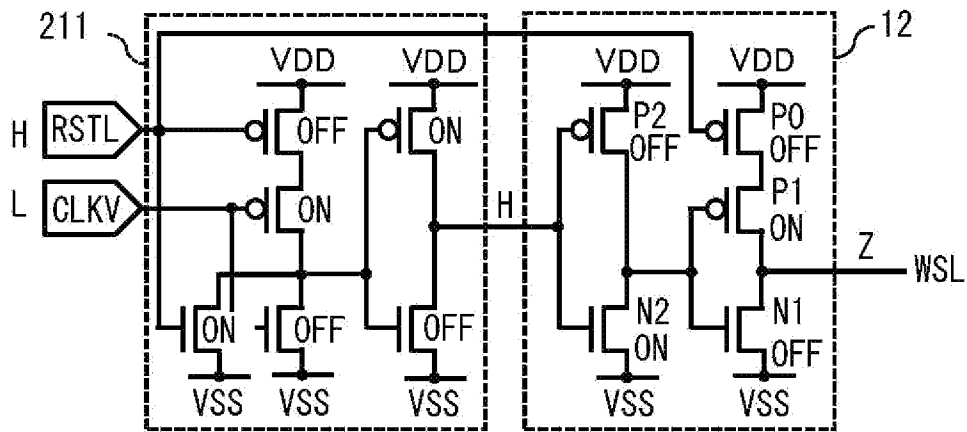
[図6]



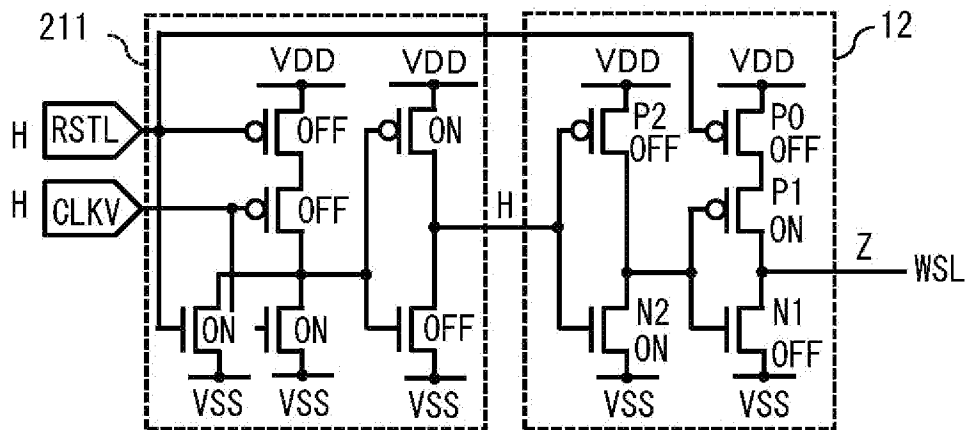
[図7]



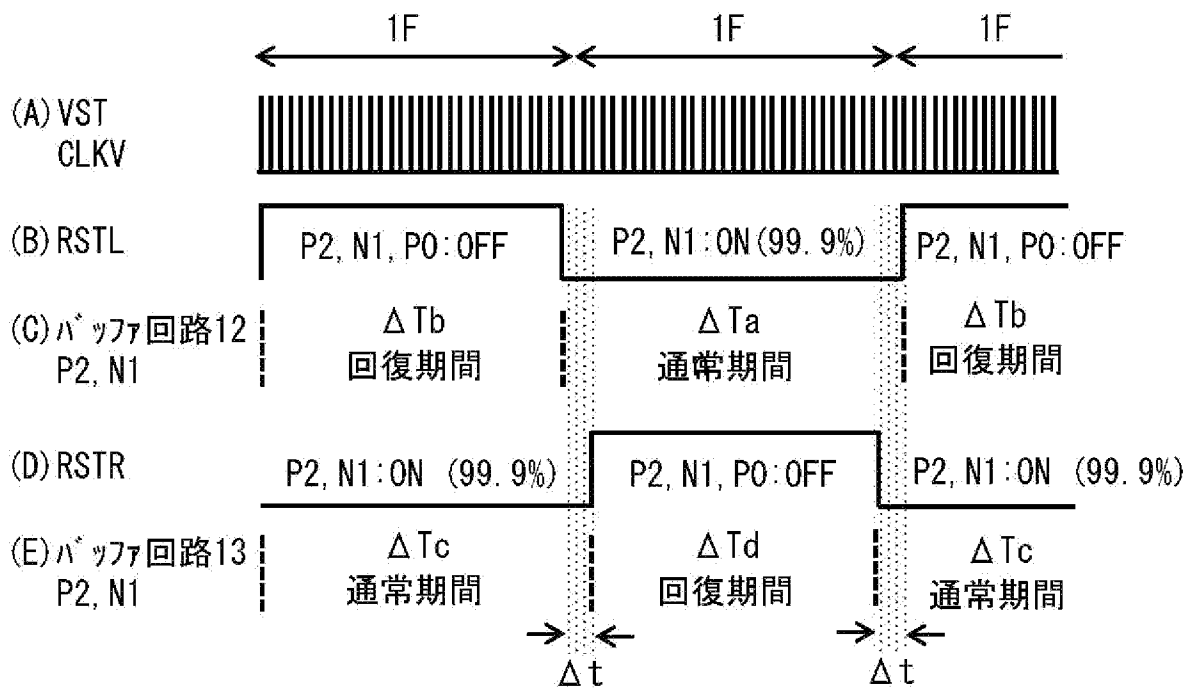
[図8]



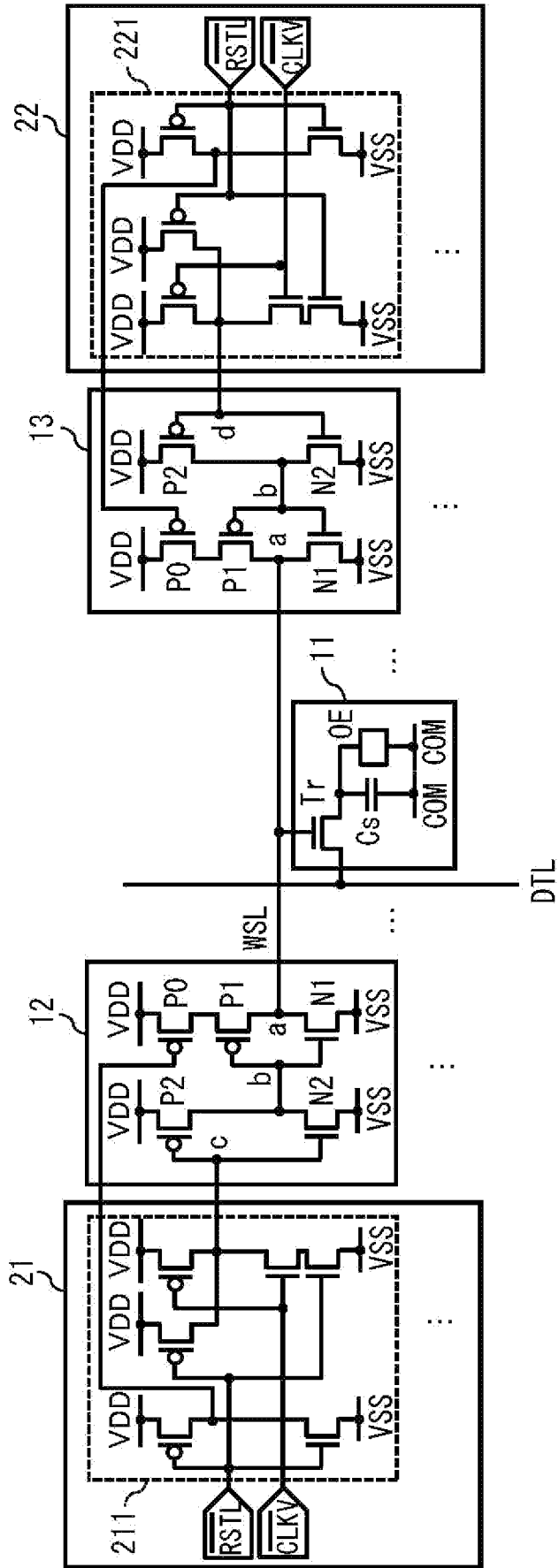
[図9]



[図10]



[図11]



[図12]

$\overline{\text{RSTL}}, \overline{\text{RSTR}}$	$\text{VST}, \overline{\text{CLKV}}$	WSL	P2, N1
L	L	L	ON
L	H	H	OFF
H	L	–	OFF
H	H	–	OFF

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020366

A. CLASSIFICATION OF SUBJECT MATTER		
<i>G09G 3/20</i> (2006.01)i FI: G09G3/20 622B; G09G3/20 670J; G09G3/20 612L; G09G3/20 622G		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/20		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-133930 A (VICTOR CO OF JAPAN LTD.) 21 May 1999 (1999-05-21) paragraphs [0018]-[0028], fig. 1	1-5
Y	JP 2006-011024 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 12 January 2006 (2006-01-12) paragraphs [0023]-[0039], [0060], [0062], fig. 1-2	1-5
X	JP 2006-178430 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 July 2006 (2006-07-06) paragraphs [0018]-[0036], fig. 1, 6	1
Y	paragraphs [0018]-[0036], fig. 1, 6	1-5
Y	JP 2014-142489 A (PANASONIC CORPORATION) 07 August 2014 (2014-08-07) paragraph [0132], fig. 18	1-5
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 July 2024		Date of mailing of the international search report 23 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/020366

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-341414 A (SHARP KABUSHIKI KAISHA) 02 December 2004 (2004-12-02) paragraphs [0053]-[0075]	3-5
A	paragraphs [0053]-[0075]	1-2
Y	WO 2013/047363 A1 (SHARP KABUSHIKI KAISHA) 04 April 2013 (2013-04-04) paragraph [0062], fig. 9	4-5
Y	JP 11-201830 A (FUJI ELECTRIC CO., LTD.) 30 July 1999 (1999-07-30) paragraph [0018], fig. 4	4-5
A	WO 2014/061235 A1 (JOLED INC.) 24 April 2014 (2014-04-24) entire text, all drawings	1-5
A	WO 2009/081634 A1 (SHARP KABUSHIKI KAISHA) 02 July 2009 (2009-07-02) entire text, all drawings	1-5

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/020366

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 11-133930 A	21 May 1999	US 6104370 A column 4, line 31 to column 6, line 53, fig. 6 EP 911797 A2	
JP 2006-011024 A	12 January 2006	US 2005/0285830 A1 paragraphs [0041]-[0054], [0074], [0076], fig. 1-2	
JP 2006-178430 A	06 July 2006	US 2006/0109215 A1 paragraphs [0029]-[0049], fig. 1, 6 US 2012/0062612 A1 EP 1662468 A2 KR 10-2006-0058044 A CN 1783191 A	
JP 2014-142489 A	07 August 2014	(Family: none)	
JP 2004-341414 A	02 December 2004	(Family: none)	
WO 2013/047363 A1	04 April 2013	US 2014/0340600 A1 paragraph [0083], fig. 9	
JP 11-201830 A	30 July 1999	(Family: none)	
WO 2014/061235 A1	24 April 2014	US 2015/0262528 A1 entire text, all drawings JP 2018-60798 A US 2018/0005582 A1 US 2015/0255015 A1 US 2015/0279272 A1 WO 2014/057650 A1 WO 2014/061231 A1	
WO 2009/081634 A1	02 July 2009	US 2010/0207919 A1 entire text, all drawings CN 101874265 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/20(2006.01)i FI: G09G3/20 622B; G09G3/20 670J; G09G3/20 612L; G09G3/20 622G		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/20 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2024年 日本国実用新案登録公報 1996 - 2024年 日本国登録実用新案公報 1994 - 2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 11-133930 A（日本ビクター株式会社）21.05.1999（1999-05-21） 段落 [0018] - [0028]、[図1]	1-5
Y	JP 2006-011024 A（株式会社半導体エネルギー研究所）12.01.2006（2006-01-12） 段落 [0023] - [0039]、[0060]、[0062] [図1] - [図2]	1-5
X	JP 2006-178430 A（株式会社半導体エネルギー研究所）06.07.2006（2006-07-06） [0018] - 「0036」、[図1]、[図6]	1
Y	[0018] - 「0036」、[図1]、[図6]	1-5
Y	JP 2014-142489 A（パナソニック株式会社）07.08.2014（2014-08-07） 段落 [0132]、[図18]	1-5
Y	JP 2004-341414 A（シャープ株式会社）02.12.2004（2004-12-02） 段落 [0053] - [0075]	3-5
A	段落 [0053] - [0075]	1-2
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 03.07.2024	国際調査報告の発送日 23.07.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 薄井 義明 2I 3816 電話番号 03-3581-1101 内線 3273	

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2013/047363 A1 (シャープ株式会社) 04.04.2013 (2013 - 04 - 04) 段落 [0062]、[図9]	4-5
Y	JP 11-201830 A (富士電機株式会社) 30.07.1999 (1999 - 07 - 30) 段落 [0018]、[図4]	4-5
A	WO 2014/061235 A1 (株式会社 J O L E D) 24.04.2014 (2014 - 04 - 24) 全文全図	1-5
A	WO 2009/081634 A1 (シャープ株式会社) 02.07.2009 (2009 - 07 - 02) 全文全図	1-5

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/020366

引用文献	公表日	パテントファミリー文献	公表日
JP 11-133930 A	21.05.1999	US 6104370 A Col. 4 line 31- Col. 6 line 53, Fig. 6 EP 911797 A2	
JP 2006-011024 A	12.01.2006	US 2005/0285830 A1 paragraphs [0041]-[0054], [0074], [0076], Figs. 1-2	
JP 2006-178430 A	06.07.2006	US 2006/0109215 A1 paragraphs [0029]-[0049], Figs. 1, 6 US 2012/0062612 A1 EP 1662468 A2 KR 10-2006-0058044 A CN 1783191 A	
JP 2014-142489 A	07.08.2014	(ファミリーなし)	
JP 2004-341414 A	02.12.2004	(ファミリーなし)	
WO 2013/047363 A1	04.04.2013	US 2014/0340600 A1 paragraph [0083], Fig. 9	
JP 11-201830 A	30.07.1999	(ファミリーなし)	
WO 2014/061235 A1	24.04.2014	US 2015/0262528 A1 全文全図 JP 2018-60798 A US 2018/0005582 A1 US 2015/0255015 A1 US 2015/0279272 A1 WO 2014/057650 A1 WO 2014/061231 A1	
WO 2009/081634 A1	02.07.2009	US 2010/0207919 A1 全文全図 CN 101874265 A	