[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H04L 7/04

[12]发明专利说明书

[21] ZL 专利号 95115239.4

[45]授权公告日 2002 年 1 月 16 日

[11]授权公告号 CN 1078028C

[22]申请日 1995.7.25 [24]颁证日 2002.1.16
[21]申请号 95115239.4
[30]优先权
[32]1994.7.25 [33]JP [31]192807/1994
[32]1994.9.9 [33]JP [31]242255/1994
[73]专利权人 索尼公司
地址 日本东京都
[72]发明人 志贺知久
[56]参考文献

EP 0237106A	1987. 9.16	H04J3/06
US 505029A	1991. 9.24	H04L12/417

审查员 汪 涛

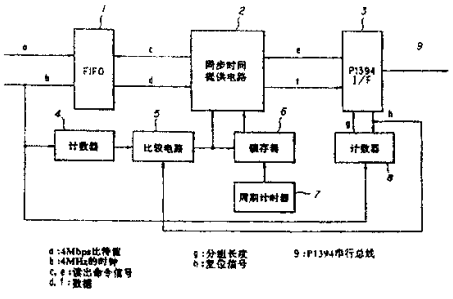
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 马铁良 王 岳

权利要求书 2 页 说明书 10 页 附图页数 10 页

[54]发明名称 分组传输方法

[57]摘要

在用于发送规定速率的比特值,同时分组该比特流的分组传输系统中,发送侧 提供用于周期地给分组比特流提供首标比特位置信息的装置,和用于把每个分 组与供给首标比特位置时间相加的装置,并且接收侧提供临时存储的装置,用 于临时地存储接收的分组;用于提取加到接收的分组上首标比特位置时间的装 置;和使用提取的时间,用于控制来自临时存储装置的比特流读出操作速率的 装置。



ISSN1008-4274

权 利 要 求 书

1. 一种分组传输方法，用于发送规定速率的比特流，而且同时分组该比特流，包括步骤:

在发送侧周期地提供首标比特的位置给一个比特流;

把一个分组与相应于提供的首标比特位置的时间相加;

在接收侧临时地存储接收的分组;

提取加到该分组的首标比特位置的时间；和

用提取的时间控制从临时存储装置读出的比特流的速率。

2. 根据权利要求 1 的分组传输方法，其中用于提供首标比特位置的所述装置包括一个计数器，该计数器工作在与比特流相同的速率。

3. 根据权利要求 1 的分组传输方法，进一步包括步骤：在首标比特位置的提取时间和在接收侧对于比特流的首标比特位置的规定值的和时间固定比特流的位置，并且根据所述首标比特位置的间隔控制接收侧的读出速率。

4. 根据权利要求 1 的分组传输方法，其中在发送侧提供相加装置，用于在每个预定时间将比特流的比特位置加到一个分组上，在接收侧提供设定装置，用于根据加的比特位置设定接收侧首标比特位置，和提供控制装置，用于根据从所述临时存储装置读出接收侧首标比特位置的时间和从该分组中提取首标比特位置的时间，控制从所述临时存储装置读出比特流速率。

5. 根据权利要求 4 的分组传输方法，进一步包括步骤：在发送侧把分组长度加给该分组和在接收侧使用该分组长度和比特流的比特位置，计算在传输操作时间数据的丢失量。

6. 根据权利要求 1 的分组传输方法，进一步包括步骤：匹配发

送时间的时间和接收时间的时间。

7. 根据权利要求 5 的分组传输方法，其中在发送侧和接收侧的每个设备包括视频磁带记录器。

8. 根据权利要求 5 的分组传输方法，其中在发送侧和接收侧的设备包括一个视频信号再生装置和一个计算机。

9. 根据权利要求 5 的分组传输方法，其中发送侧的设备包括一个视频信号再生装置和在接收侧的设备包括一个编辑器。

说　　明　　书

分组传输方法

本发明涉及分组传输系统，该系统适用于使用通信控制总线发送固定速率比特流，同时分组该比特流，该总线符合 IEEE－P1394（以后称“P1394 串行总线”）。上面描述的串行总线详细公开在“IEEE 串行总线的技术规范”（1993 年 10 月 14 日发布）。

在常规的分组传输系统中，当从发送侧向接收侧发送比特流且分组该比特流时，在发送侧的首标提供在比特流的首部，该比特流道部以预定的格式分组，并且在接收侧，该分组首标的位置被检测以与发送侧首标的位置同步。

然而，在这个常规的方法中，用于检测首标位置的装置每当比特流的格式变化时必须改变，因此，存在着与应用有关的问题。

本发明的目的是提供一种分组传输系统，当发送任何速率和任何格式的比特流时，该系统能够匹配接收侧和发送侧之间的比特速率，而无需取决于任何应用。

本发明的另一个目的是提供一种分组传输系统，该系统能够匹配接收侧和发送侧之间的比特流速率，并能控制它们之间的相位为固定相位。

本发明的再一个目的是提供一种分组传输系统，该系统能够检测在传输运行期间的数据丢失量。

本申请的申请人具有如下申请作为与本申请相关的申请：

1. 欧洲公开专利申请 No. 0614297
2. 日本专利申请 No. 平－5—126682
3. 日本专利申请 No. 平－5—200055
4. 日本专利申请 No. 平－6—51246
5. 日本专利申请 No. 平－6—134940
6. 日本专利申请 No. 平－6—165883

对于上述 6 个申请的相应的美国专利申请现在尚未授权。

为了达到上述目的，根据本发明的一个方面，一种分组传输系统，用于发送规定速率的比特流，而同时分组该比特流，其特征在于：发送侧具有用

于周期性地供给分组的比特流，该比特流具有其首称比特的位置信息（此后称为“首标比特位置”）的装置和用于把供给首标比特位置的时间与每个分组相加的装置；并且接收侧具有临时存储的装置，用于临时地存储接收的分组，用于提取首标比特位置的时间的装置，该比特位置被加到接收的分组信息；和使用提取的时间用于控制从临时存储装置中读出比特流操作速率的装置。

在上述的分组传输系统中，用于供给首标比特位置的装置包括一个计数器，该计数器工作在与比特流相同的速率。在通过相加预定值到从接收的分组提取首标比特位置的时间而得到的时间，比特流位置被置于在接收侧的比特流的首标比特的位置，并且根据首标比特位置的间隔控制在接收侧比特流的读出速率。

根据本发明的另一个方面，一种分组传输系统，用于发送预定速率的比特流，而同时分组该比特流，其特征在于，发送侧提供用于相加比特流的比特位置到每个分组的每个预定时间的装置，和接收侧根据在发送侧加到比特流的比特位置用于设定在接收侧首标比特位置的装置，并发送它到临时存储装置；和根据在接收侧首标比特位置从临时存储装置读出的时间和从分组信息包中提取首标比特位置的时间，用于控制从临时存储装置中读出比特流速率的装置。

在如上所描述的分组传输系统中，在发送侧的该分组长度被加给该分组并在接收侧使用该分组长度和比特流的比特位置检测在传输操作期间的数据丢失量。

而且，在上述的分组传输系统中，发送侧的时间与接收侧的时间相符合。

根据本发明，在接收侧，提取在发送侧加给该分组比特流的首标比特位置的时间，并根据提取的时间，控制在接收侧从临时存储装置中读出比特流的速率。因此，在发送侧和接收侧之间比特流的速率能被匹配。

在接收侧读出比特流的速率被控制，以便在通过相加预定值到从接收的分组信息包提取首标比特位置的时间而得到的时间，比特流位置被置于在接收侧比特流的首标比特的位置，并且首标比特位置的间隔之间的差被置于等于零。

根据在发送侧加上的比特流的比特位置，设置在接收侧的首标比特位置，并且根据从临时存储装置读出的首标比特位置的时间和从分组中提取的首标比特位置的时间，控制在接收侧读出比特流的速率。根据这种操

作,发送侧和接收侧之间比特流的速率能够匹配,而且它们之间的相位关系能保持固定。

根据本发明,当任何速率或任何格式的一个比特流被发送时,在发送侧的比特流速率和在接收侧的比特流速率能够互相匹配,而与任何应用无关。

因此,根据本发明,在发送侧比特流速率和在接收侧比特流速率能够互相匹配,而且它们之间的相位关系能被控制为固定的。此外,根据本发明,能够检测在数据传输操作期间的数据丢失量。

附图的简单描述:

图 1 是在本发明的第一个实施例中在发送侧对于信号的时间图;

图 2 是表示根据本发明的第一实施例的传输电路的方框图;

图 3 是在本发明的第一实施例中在接收侧对于信号的时间图;

图 4 是表示在第一实施例中在发送和接收侧在首标比特和周期之间关系的图;

图 5 是表示在本发明的第一实施例中接收电路的方框图;

图 6 是在本发明的第二实施例中在发送侧对于信号的时间图;

图 7 是表示根据本发明的第二实施例的发送电路的方框图;

图 8 是根据本发明的第二实施例的接收侧对于信号的时间图;

图 9 是表示根据本发明的第二实施例的接收电路的方框图;

图 10 是使用 P1394 串行总线的通信系统的图;和

图 11 是表示 P1394 串行总线的通信周期的图。

本发明将以下面的次序详细描述:

(1)使用 P1394 串行总线的通信系统,

(2)本发明的第一实施例

(3)本发明的第二实施例

1)使用 P1394 串行总线的通信系统

将描述两个实施例在 P1394 串行总线上发送 4Mbps 的比特流。首先,将描述使用 P1394 串行总线的通信系统,该总线为两个实施例公共使用。

图 10 表示这样一个通信系统。该通信系统包括四个数字视频磁带记录器(VTR1 至 4),一个数字摄像编码器(CAM),一个编辑器和一个计算机。这些设备通过 P1394 串行总线的电缆一个一个地连接。这些设备具有中继信息信号和控制信号的功能,这些信号能通过 P1394 串行总线输

出,以便该通信系统等效于各个设备被连接到该公共 P1394 串行总线的通信系统。

具有公共总线的设备的数据发送以每个预定通信周期(例如 125μs)的时分复用方式来进行,如图 11 所示。在总线上通信周期的管理由预定设备来执行,该设备被称为"周期控制器"(Cyclemaster),而且周期控制器发送一个代表通信周期开始时间的同步分组到总线上的另一个设备,启动通信周期内的数据传输。当各个设备通过 P1394 串行总线互相连接构成一个通信系统时,通过在 IEEE－P1394 规定的装置周期控制器被自动地确定。

在一个通信周期期间作为数据传输方式有两种类型的数据,等时数据例如视频数据,音频数据等,和异步数据,例如连接控制命令等。在异步数据分组之前发送等时数据分组。多个等时数据分组可通过分别附加具有信道号 1,2,3,…N 各个等时数据分组来互相区别开。从发送所有信道的等时数据分组传输的结束直到下一个周期开始分组的期间被用于传输异步数据信息组。

2)第一实施例

参见图 1 首先描述第一实施例中发送侧的定时,在图 1 中,(a)代表输入比特流,(b)代表用于计数时钟 4MHz 的计数器的输出值,和(c)代表发送的等时数据分组。在本发明中传输目标的分组被限定为等时数据分组,因此这里称为"分组"。

如在 IEEE－P1394 的技术规范中规定,被发送的输入比特流每 124μs 被分一组。在这种情况下,如后面所描述,在周期 T1 期间被写入到 FIFO 的比特流被发送作为分组 P1,和在周期 T2 期间被写入到 FIFO 的比特流被发送作为分组 P2。

在这个实施例中,输入的比特流被假定为是以固定周期重复的比特阵列的集合,即实际没有固定周期或是以另一个周期重复的比特流被认为比特阵列的集合,这些比特阵列以固定周期重复,而且它实际上是处于成帧工作。使用计数器执行成帧工作,而计数器工作在与输入比特率相同的速率。计数器的输出值表示在图 1 的(b)。

有两种类型的分组。分组的一种类型是在其首标处提供同步时间(Sync Time),另一种类型的分组在其首标处未提供同步时间。这取决于在发送的分组中的比特流内是否包含比特流的首标比特。在这个实施例中,在计数器值等于零的位置被设置为首标。

同步时间规定为 P1394 的周期计时器指示在帧的首标比特的时间。在每个设备中提供周期计时器,并且它具有进行一周的时间为预定期间(例如 128 秒)。

在发送侧和接收侧的时钟是相互独立的,而且因此它们相互是不同步的。因此,时钟的误差是累积的,而且因此在发送侧写入到 FIFO 的比特流的速率和从 FIFO 读出比特流的速率是相互逐渐偏离的。使用的同步时间作为调整这种偏离的信息。后面将描述这种调整方法的细节。

在这个实施例的传输系统中,通过分析比特流的内容不能确定首标比特,因为这个系统不取决于任何应用。因此,准备一个计数器,该计数器以与比特流相同速率逐一增加,而且在计数器的输出值等于零的位置为长于 125μs,它等于 P1394 的一个周期,因为两个或更多个同步时间不能被写入到一个分组中。在这个实施例中使用具有一个周期长 250μs 的计数器,例如,当计数 4MHz 的时钟 1000 次时,计数器进行一周。

因为在图 1 的周期 T1 期间,计数器输出值等于零,同步时间提供分组 P1。同样,在周期 T3 期间同步时间提供分组 P3,因为计数器的输出值等于零。但是,在周期 T2 期间,计数器的值不等于零,没有同步时间提供到分组 P2。在图 1 中从当计数计输出值等于零时比特流的值假定是 A,B,C,…。在后面为描述接收侧将使用这些值。A,B,C,…的每一个不限于 1 比特,但可能是多比特。

2—2)下面参见图 2 将描述传输电路,输入比特流 a 被同步于 4MHz 时钟 b 写入到 FIFO。另一方面,P1394 接口(以后称为"P1394I/F")3 输出读出请求信号 e 到同步时间提供电路 2 指示同步时间提供电路 2 从 FIFO1 读出数据。

同步时间提供电路 2 判断同步时间是否应当写入到被输出的分组。如果判断同步时间被写入,同步时间作为数据 f 输出到 P1394I/F3。此后,读出的请求信号 c 响应读出请求信号 e 从 FIFO1 读出的数据,输出到 FIFO1 并且传送数据 d 到 P1394I/F3。

执行同步时间是否应当提供的判断如下。计数器由时钟 6 计数的计数器 4 的输出值被输出到比较电路 5。当计数器 14 的输出值等于零时,比较电路 5 输出其输出信号到同步时间提供电路 2 和锁存器 6。用这种操作,有可能同步时间提供电路 2 能判断同步时间是否应当被写入到是有关被写入的分组。

在这种情况下,作为同步时间被写入的值是锁存器 6 的输出值。当比

较电路 5 输出并输出它到同步时间提供电路 2 时，锁存器 6 锁存周期计时器 7 的值。

从计数器 8 输出的分组长度 g 相应于在前面周期被写的比特流的长度。这个值被提供到 P1394I/F3。在实际的电路中，如图 1 所示，由于在写入定时和时钟之间的抖动，在 125μs 的一个周期期间被写入的比特流的长度不需要是固定的。因此，该分组长度被提供到 P1394I/F3 的每个周期。P1394I/F3 在 125μs 周期的首标处输出一个复位信号。比较电路 5 和计数器 8 用复位信号 h 复位，并且为下一个周期工作备用。

2—3)接收侧的时间

接着，参见图 3，将描述接收侧的时间。在图 3 中，(a)表示接收的分组，(b)表示根据接收分组产生的比特流，和(c)表示用于计数 4MHz 的时钟的计数器的输出值。

通过 P1394 串行总线接收的分组被读出，作为通过 FIFO 的比特流，如后所描述。像发送侧一样，接收侧有一个计数器，该计数器工作在与比特流同步机制，接收侧的计数器工作与发送侧的计数器无关，以及它有一个不同于发送侧计数器不同的值，甚至在同时。如上所述，发送侧的时钟和接收侧的时钟互相独立的工作。以便在这些时钟之间出现时间迟后(偏差)。发送侧的比特速率和接收侧的比特速率必须等于相互平均值，因此，使用同步时间校正这个时间迟后。

下面将描述使用同步时间校正时间迟后的方法。

当接收具有同步时间写入分组(例如图 3 的分组 P4)的分组时，从该分组读出该同步时间，并且通过把同步时间与预定延迟时间 td 相加得到的时间被设置为接收侧比特流的首标比特。为什么加延迟时间 td 的理由如下。即，写入到该分组中同步时间的时间是在发送侧的该时间，而且当在接收侧接收该分组并作为比特流读出写入到该分组中的数据时，由于例如分组的抖动△T 等原因，该时间已经越过了该同步时间。抖动的出现对于 P1394 串行总线来说是固有的。

因此，在同步时间和延迟时间 td 的相加时间，计数器的输出值被锁存。在图 3 的(C)的例子中，它等于 59。当写入分组的同步时间后来再被接收时，执行相同的处理，锁存计数器的输出值，和然后计算前面锁存计数器值和当前锁存计数器值之间的差值。像发送侧一样，接收侧的计数器以 1000 倍计数 4MHz 的时钟时进行一周。因此，如果发送侧的比特速率等于接收侧的比特速率，两个锁存的值将互相相等，所以这些计数器值之间

的差等于零。如果其差不等于零,该差被输出到 PLL(详细地将在后面描述),该 PLL 装备有接收侧的读出时钟,用来调整接收侧的比特速率。用这种操作,发送和接收侧的比特速率能够相互平均相等。

在图 1 的例子中,比特流的点 A 相应于发送侧的首标比特。但是,首标比特不需要相应于接收侧的点 A(在图 3 的例子中,它相应于点 C)。因此,发送侧和接收侧的周期之间的相位原始于互相之间的偏离。但是,如果发送和接收侧的比特率平均相互相等,就不存在上述问题,因此,相位偏离不会产生问题。

2—4)接收电路

接着,参见图 5 描述接收电路。通过 P1394 串行总线 9 由 P1394I/F11 接收的分组 j 被输出到 FIFO12,并且读出作为同步机制的 4MHz 的比特流 K,该同步机制具有从 PLL22 输出的 4MHz 的时钟 m。

此外,从 P1394I/F11 输出的分组 j 还输出到同步时间提取电路 13,以便提取同步时间。在加法器 14 中,同步时间与延迟时间 td 相加,延迟时间 td 被置于寄存器 15 中,相加的结果在比较电路 16 中与周期计时器 17 的输出进行比较。如果这些值相互相等,比较电路 16 输出一个信号。

相对于周期计时器的值,发送时间和接收时间二者具有相同的绝对时间。这是因为提供给周期主机的周期计时器的绝对时间被写入在周期开始分组,周期主机每 125μs 发送其到该总线,并且连接到该总线的每个设备接收周期开始分组,根据写入到接收周期开始分组的绝对时间校正其本身的周期计时器的时间。

比较电路 16 的输出被输出到“与”电路 19 和锁存器 18 和 23。锁存器 23 根据比较电路 16 的输出锁存计数器 20 的输出。计数器 20 响应于比特流的读出时钟 m 逐一增加其计数值,而且其周期等于发送侧,即 1000。

在电源接通之后,锁存器 21 仅执行一次锁存操作。由锁存器 21 锁存的值被设置为接收侧的首标比特。此后,为了防止这个值改变,仅允许一次锁存操作。由锁存器 18 执行这种操作。在电源接通后,锁存器 18 根据比较电路 16 的第一输出锁存低电平,并且因此它继续输出低电平到“与”电路 19。因此,锁存器 21 仅由比较电路 16 的输出通过“与”电路 19 供给一次,而且因此锁存器 21 仅执行一次锁存操作。

在减法器 24 中,锁存器 23 的输出从锁存器 21 的输出中减去,并且减的结果被输出到 PLL22。如果减法器 24 的输出大于零,就意味着被锁存的值小于前面首标比特的位置。在这种情况下,PLL22 提供相位提前的

值。反之,如果减法器 24 的输出小于零,则 PLL 提供迟后相位的值。因此,接收侧的比特速率能与发送侧的比特速率相匹配。

3)第二实施例

接着,参见图 6 至 9 将描述根据本发明的第二实施例。用相同的参考数字表示相应于第一实施例的那些部分。

3—1)发送侧的时间

首先,参见图 6 将描述发送侧的时间。在图 6 中,(a)代表输入比特流,(b)代表用于计数 4MHz 的时钟的计数器的输出值,和(c)代表被发送的分组。

第二实施例和第一实施例之间的区别在于所有分组与分组长度及数据块数(数据块数其后称为"DBN")相加。如在第一实施例所描述,分组长度是比特流的长度,该比特流在前面周期被写入在 FIFO,并且 DBN 对于在每个分组的首标写入的比特是计数器的输出值。

在这个实施例中,在接收侧,通过利用同步时间代表帧首标比特的时间,在同步时间和延迟时间 td 的相加时间,从 FIFO 读出帧的首标比特,因此,它可用于控制输入到发送侧的比特流和从接收侧输出的比特流之间的相位。

3—2)发送电路

接着,参见图 7 将描述发送电路。输入的比特流以 4MHz 的时钟 6 的同步机制被写入到 FIFO。因此,P1394I/F3 输出读出请求信号 e 到同步时间,DBN 提供电路 2′,命令该电路从 FIFO1 中读出数据。

同步时间,DBN 提供电路 2′判断同步时间是否应当写入到有关被输出的分组。如果判断同步时间被写入到该分组,同步时间和从计数器 4 输入的 DBN 被输出作为数据 f′到 P1394I/F3。此后,同步时间,DBN 提供电路 2′响应读出请求信号 e 输出请求信号 c,以便从 FIFO1 中读出数据,并传送该数据到 P1394I/F3。如果判断没有同步时间被写入,仅 DBN 被传送到 P1394I/F3。

有关是否提供同步时间和作为同步时间是否写入该值的判断准则与第一实施例中的那些准则是相同的。而且,从计数器 8 输出的分组长度 g 和从 P1394I/F3 输出的复位信号 h 的作用都与第一实施例的那些相同。

3—3)接收侧的定时

接着,参见图 8 将描述接收侧的时间。在图 8 中,(a)代表接收的分组,(b)代表根据接收的分组产生的比特流,(c)代表定帧比特,和(d)代表

用于计数 4MHz 时钟的计数器的输出值。

如后所述,通过 P1394 串行总线接收的分组作为比特流从 FIFO 中读出。如第一实施例所述,发送侧的时钟和接收侧的时钟是相互独立工作的,所以它们之间出现时间的滞后。发送侧的比特速率和接收侧的比特速率必须是平均相互相等。因此,将描述同用步时间校正时间滞后的方法和控制发送侧和接收侧比特流和之间相位的方法。

当分组 P4 被接收到时,数据部分被写入 FIFO 并且提取 DBN 和同步时间。接收侧提供一个计数器,该计数器随时对读出的分组数据计数,和图 8 的(d)代表该计数器的输出值。每当它接收 DNB 时,计数器的输出值被置于 DBN。因为 DBN = 99 被写入到图 8 的分组 P4 中,计数器的输出值预置于 998。因此,如果计数器工作正常,在当它接收 DBN 时,计数器的输出值将置于 998。

当用 DBN 校正其计数器的输出值等于零时,定帧比特被置于 1 并且写入到 FIFO 中,而且在同时被写入到 FIFO 的数据被表示为帧的首标比特。因此,FIFO 具有的数据总线比数据的宽度较宽为 1 比特。定帧比特与比特流同时地从 FFIO 中也读出。这种情况表示在图 8 的(c)。如上所述,定帧比特等于 1 的数据相应于该帧的首标比特,并且在读出侧的 PLL,以便读出数据的时间相应于同步时间与预定延迟时间 td 相加得到的时间。用这种操作,在发送侧和接收侧之间能保持固定的相位关系。

3—4)接收电路

下面参见图 9 将描述接收电路。当接收分组时,P1394I/F11 输出写入信号 n 和分组 P 到数据部分提取电路 25,DBN 提取电路 26 和同步提取电路 13。

该 DBN 提取电路从该分组 P 中读出 DBN 并把它输出到计数器 27。该计数器 27 用写入信号 q 计数,并且它的输出值在 DBN 从 DBN 提取电路 26 中输入时被置于 DBN。计数器 27 输出计数值至比较电路 28。

比较电路 28 把计数器的输出与零比较,如果它等于零,比较电路 28 输出信号到数据部分提取电路 25。在数据部分提取电路 25 中,从分组 P 中提取数据部分 r,分组 P 从 P1394I/F11 输入,并且它和写入信号 q 一起写入到 FIFO12′中。这时,当相应于计数器 27 的输出值等于零的信号从比较电路 28 输入时,写入到 FIFO12′的定帧比特被置于 1。用这种操作,发现在 FIFO12′内的定帧比特等于 1 的数据相应在于帧的首标。

该同步提取电路 13 从该分组中提取同步时间,并且该同步时间在加

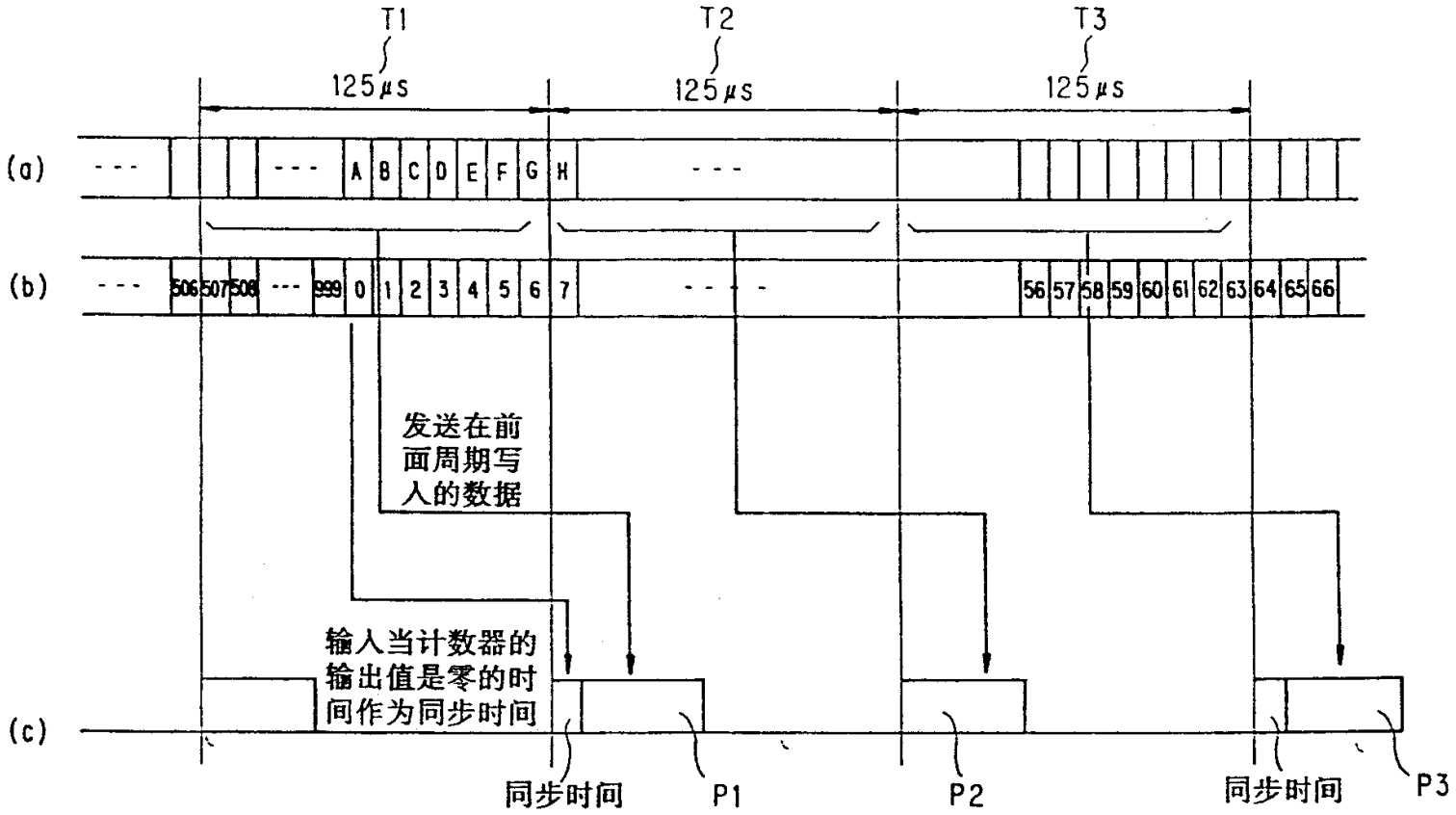
法器 14 中与预定时间 td 相加。加的结果输出到减法器 24。与该数据一起被写入到 FIFO12′的定帧比特与该数据一起被读出，并输出到锁存器 29。在锁存器 29 中，当从 FIFO12′的输出等于 1 时，来自周期计时器 17 的值被锁存，并且该锁存的值被输出到减法器 24。

该减法器 24 从由锁存器 29 的输入的时间减去从加法器 64 输入的时间，并输出相减的结果至 PLL22，PLL22 根据该值的幅度在提前方向（频率增加方向）改变时钟 m。另一方面，当负的值输入到 PLL22 时，PLL22 根据该值的幅度在迟后方向（频率降低方向）改变时钟 m。用这种操作，能够保持输入到发送侧的比特流和从接收侧读出的比特流之间固定相位关系。

而且，在这个实施例中，使用分组长度能计算分组的数据丢失量。例如，在图 8 的情况下，在分组 P4 之前，分组的 DBN 正好等于 498 和其分组长度等于 500。因此，如果正常地工作，由 DBN 与分组长度相加得到的值等于分组 P4 的 DBN。但是，如果 P4 遭受到丢失，由 DBN 提取电路 26 提取的 DBN 等于 498，它提供一个分组到要接收的下一个分组，以便它能发现 500 比特被丢失。

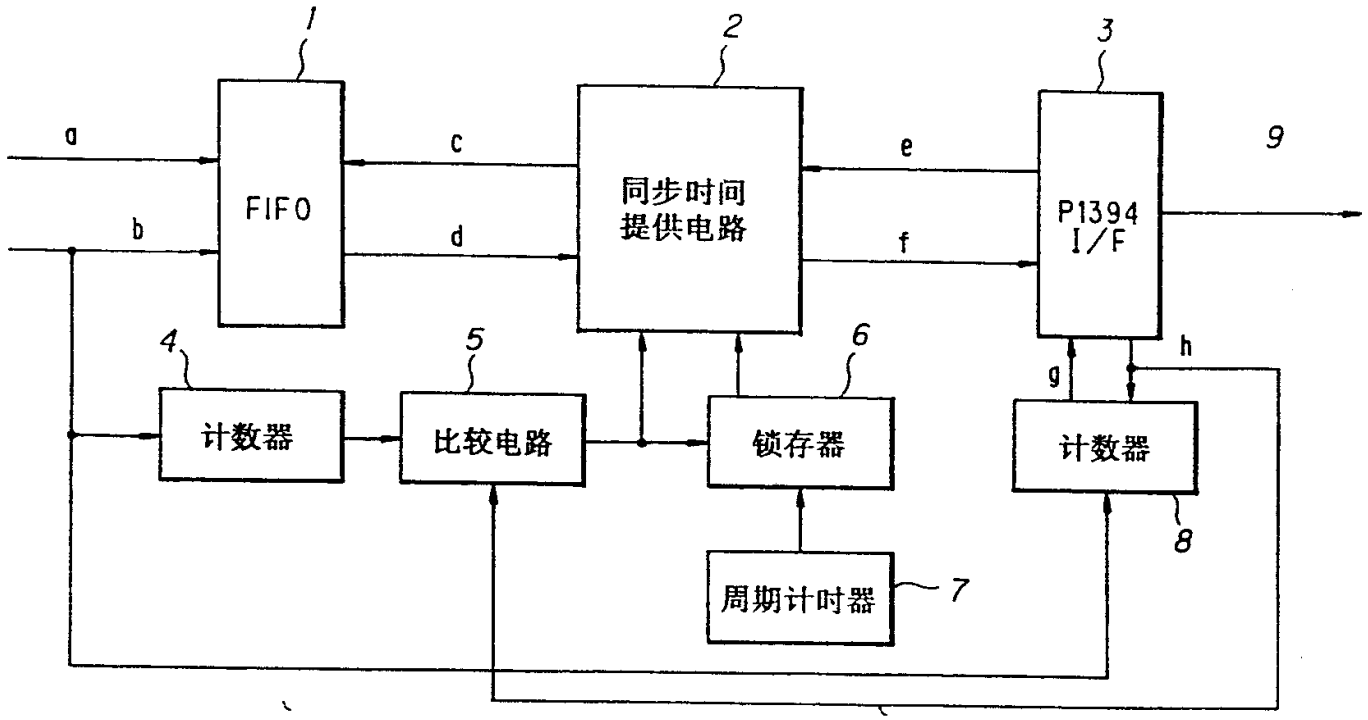
而且，在这个实施例中，通过检测当接收侧接收 DBN 不同于该 DBN 时计数器 27 的输出值，可检测分组的丢失。例如，在图 8 的情况下，如果分组 P4 遭受到丢失，由 DBN 提取电路 26 提取的 DBN 等于 498，它提供一个分组到接收的下一个分组。另一方面，计数器 27 的输出值被置于 998。

图 1


T1
T2
T3
125μs
125μs
125μs
(a)
(b)
(c)
A B C D E F G H
506 507 508 999 0 1 2 3 4 5 6 7
56 57 58 59 60 61 62 63 64 65 66
发送在前面周期写入的数据
输入当计数器的输出值是零的时间作为同步时间
同步时间
P1
P2
同步时间
P3

说 明 书 附 图

图 2



a :4Mbps比特流
b :4MHz的时钟
c, e :读出命令信号
d, f :数据
g :分组长度
h :复位信号
9 :P1394串行总线

图 3

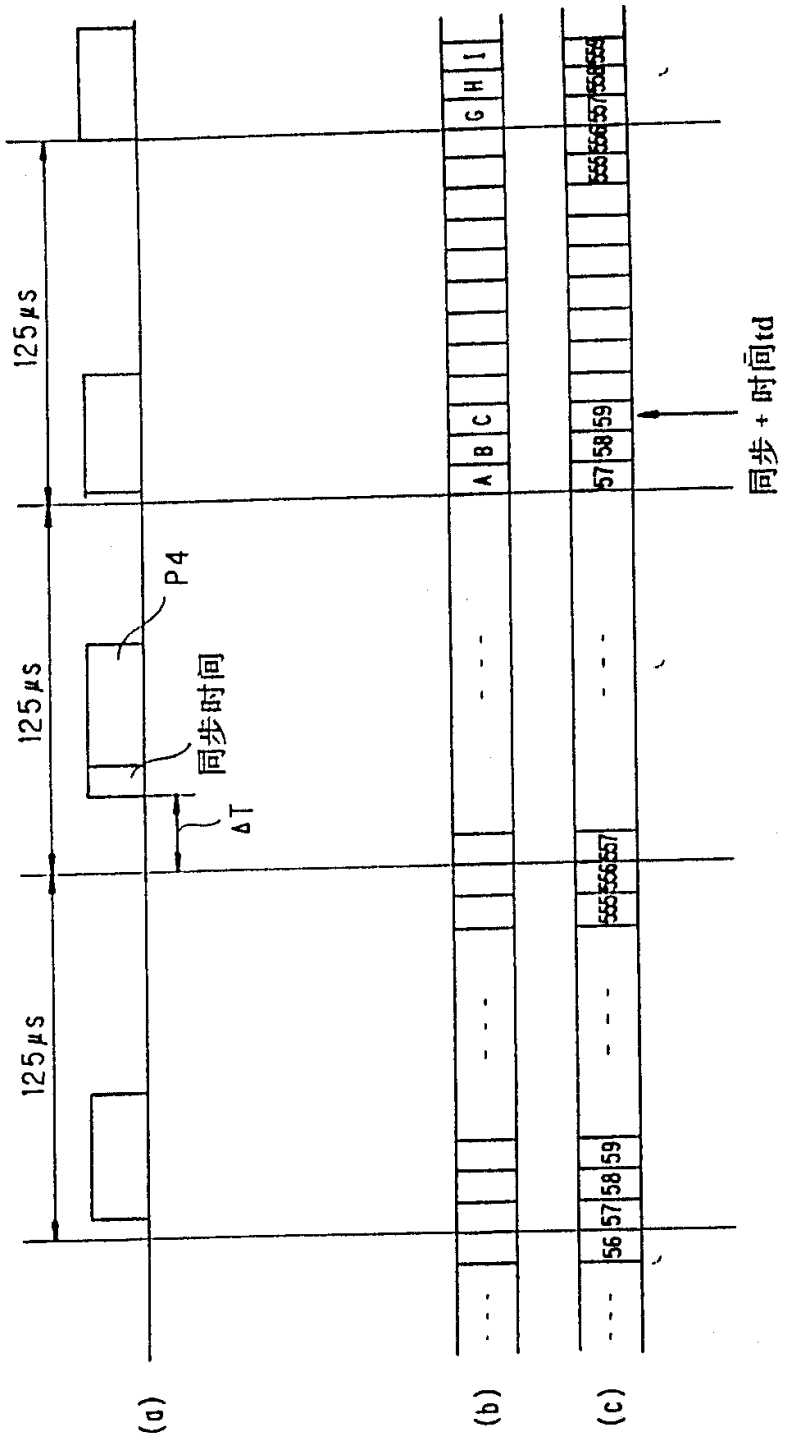


图 4

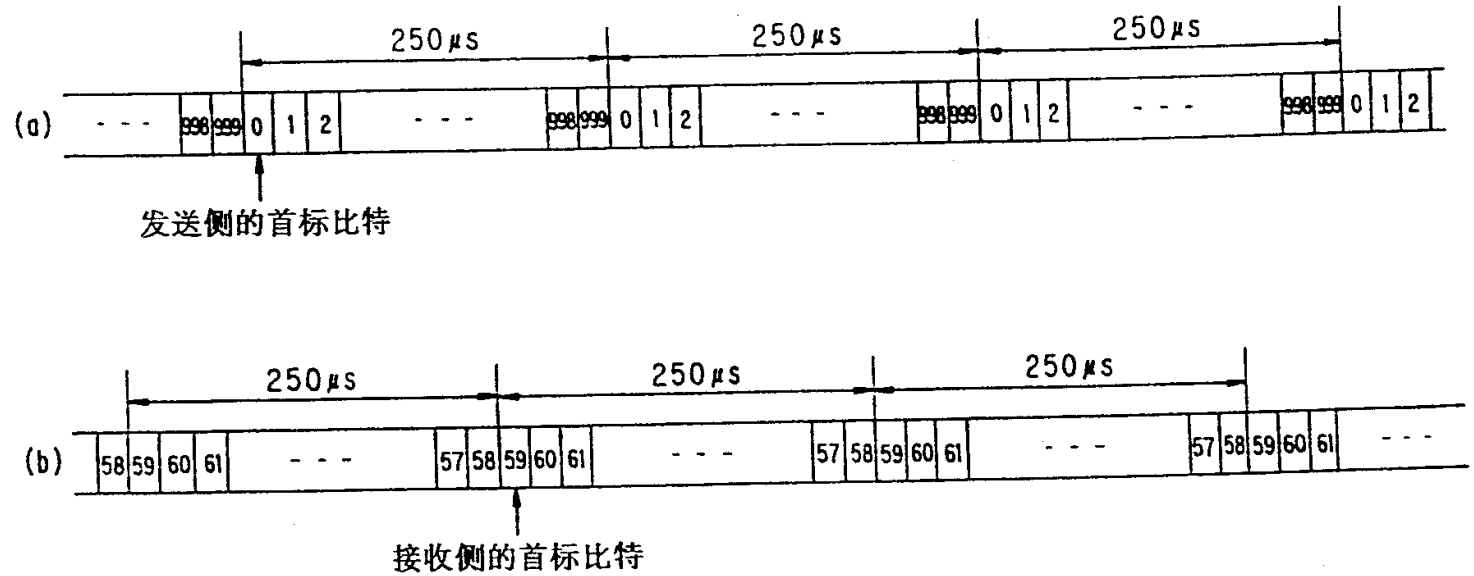

250μs
250μs
250μs
(a)
998 999 0 1 2
发送侧的首标比特
250μs
250μs
250μs
(b)
58 59 60 61
57 58 59 60 61
接收侧的首标比特

图 5

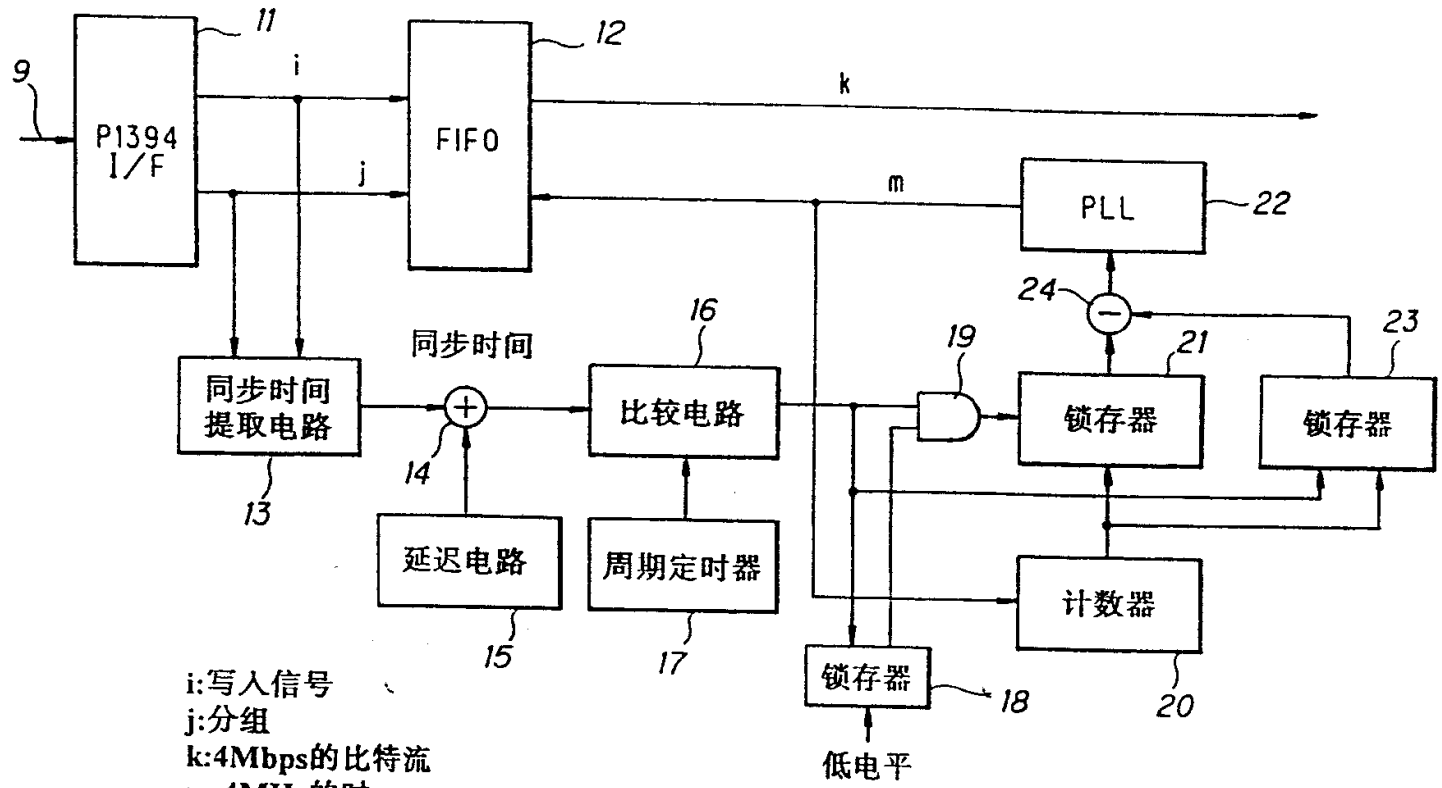

9
P1394
I/F
11
i
j
FIFO
12
k
m
PLL
22
24
23
21
19
16
同步时间
同步时间
提取电路
比较电路
锁存器
锁存器
13
14
延迟电路
15
周期定时器
17
计数器
20
锁存器
18
低电平
i:写入信号
j:分组
k:4Mbps的比特流
m:4MHz的时

图 6

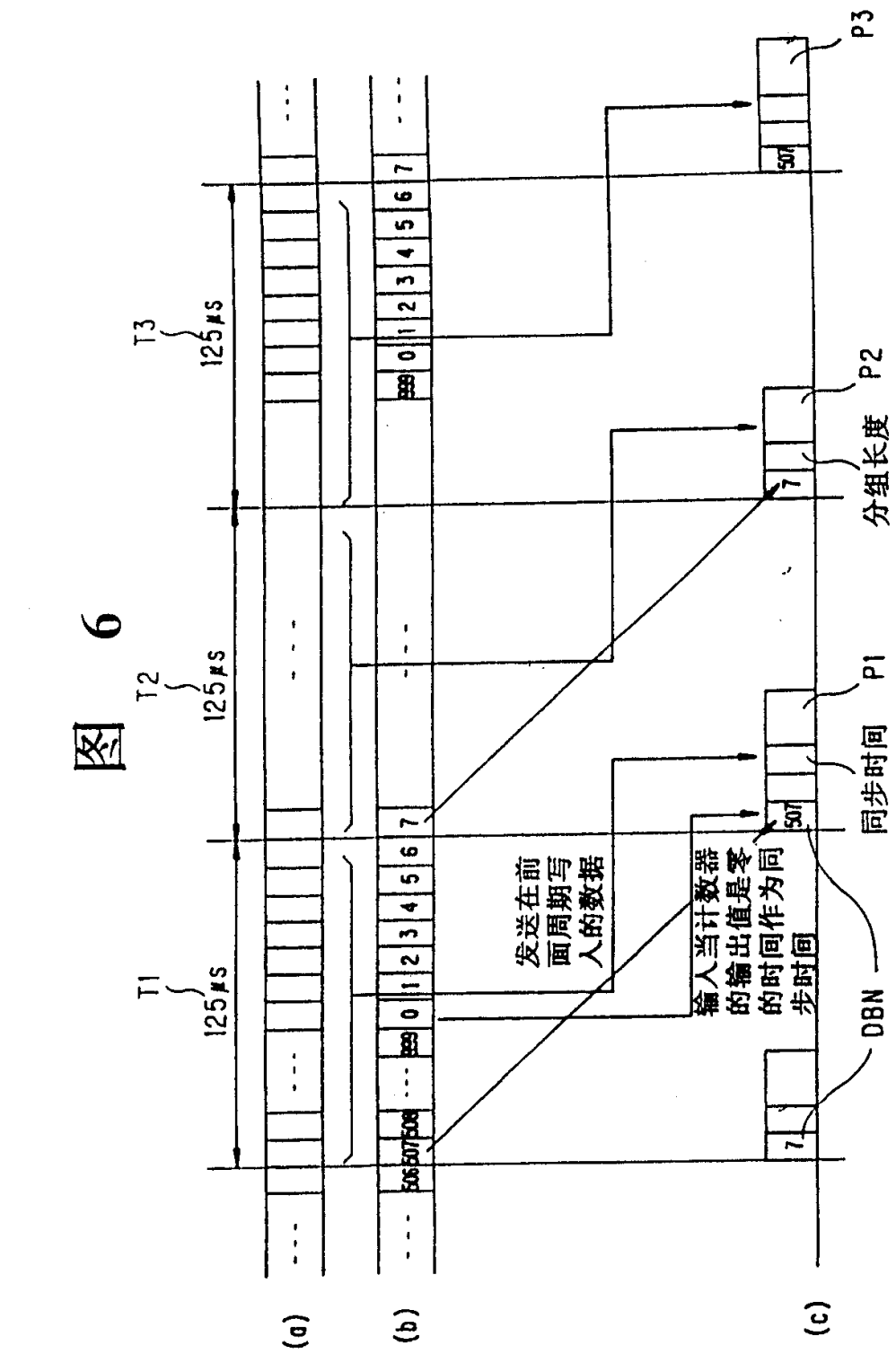
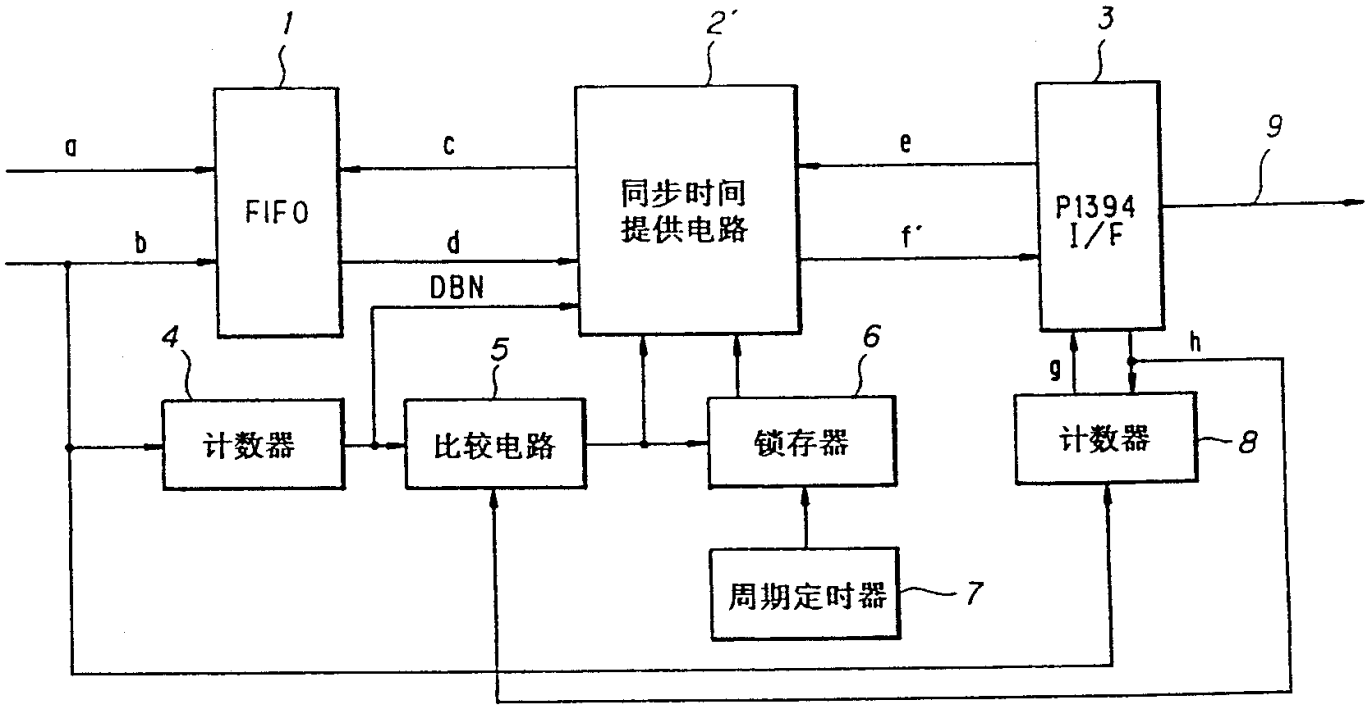

T1
125μs
T2
125μs
T3
125μs
(a)
(b)
(c)
发送在前面周期写入的数据
输入当计数器的输出值是零的时间作为同步时间
同步时间
DBN
P1
P2
P3
分组长度
0
1
2
3
4
5
6
7
506
507
508
999

图 7



a :4Mbps的比特流
b :4MHz的时钟
c, e :读出命令信号
d, f :数据

g :分组长度
h :复位信号

9 :P1394串行总线

图 8

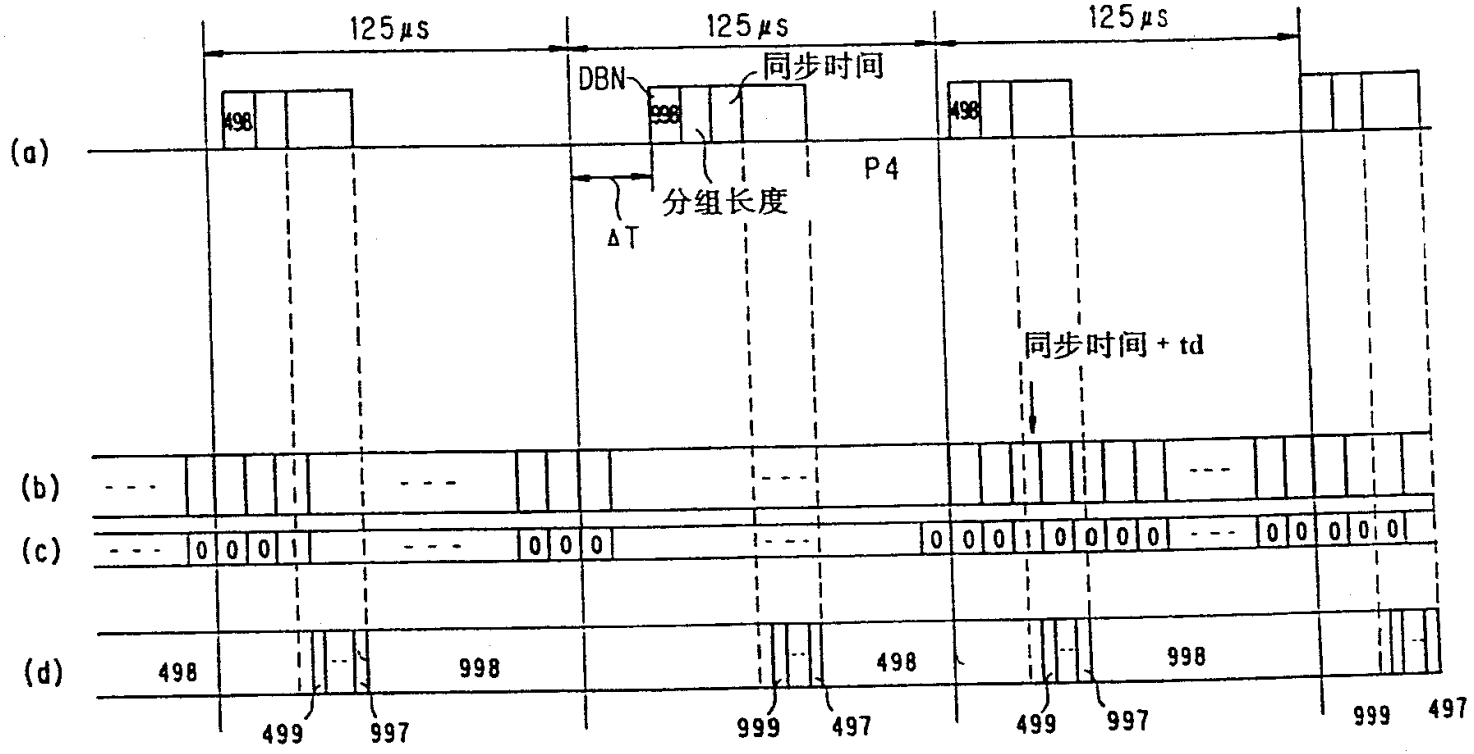
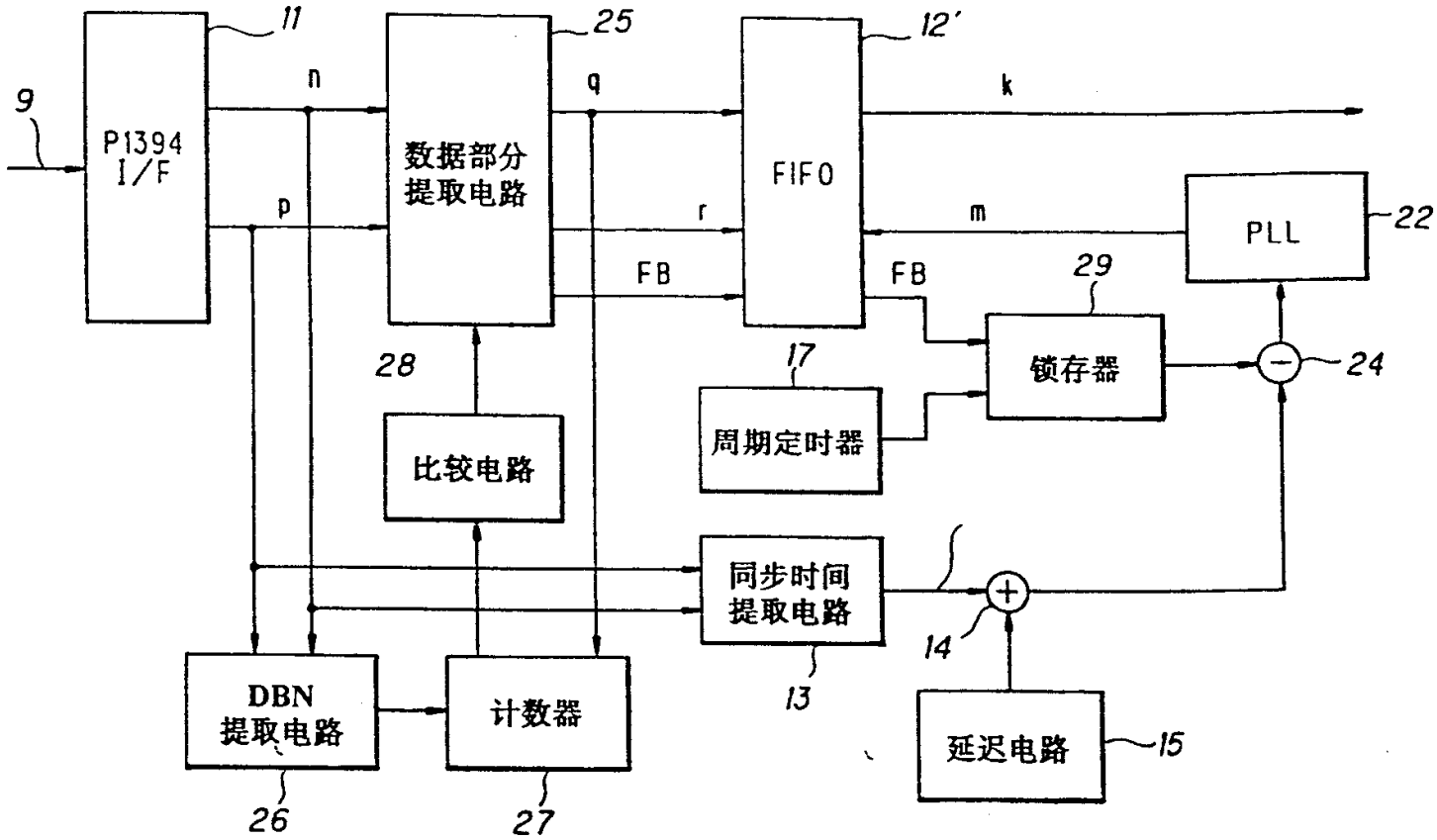

125μs
125μs
125μs
DBN
同步时间
498
998
498
(a)
P4
分组长度
ΔT
同步时间 + td
(b)
(c)
0 0 0 1
0 0 0
0 0 0 1 0 0 0 0
0 0 0 0 0
(d)
498
998
498
998
499
997
999
497
499
997
999
497

图 9



n, q :写入信号　　p :分组　　r :数据部分　　FB :定帧比特

图 10

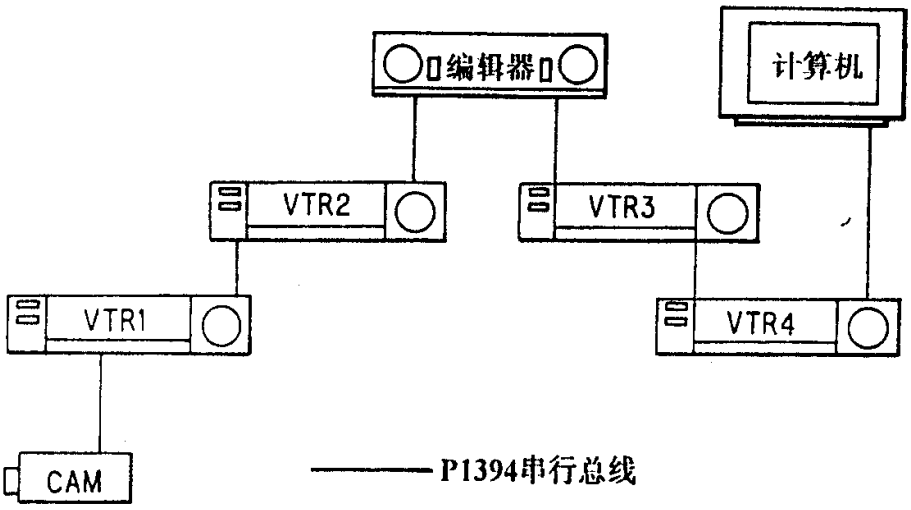
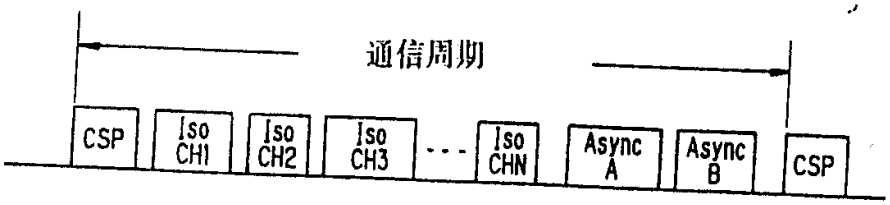


图 11



CSP: 周期开始分组
Iso:同步型数据分组
Async:异步型数据分组