



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1388995** **A1**

(51) 4 Н 03 М 7/12

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

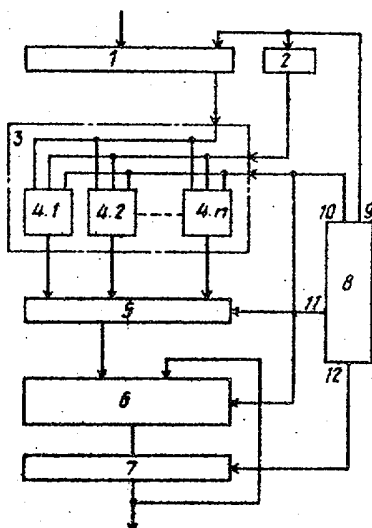
(21) 4147864/24-24
(22) 12.11.86
(46) 15.04.88. Бюл. № 14
(72) Э.Г. Андреасян, А.В. Габриелян,
А.Г. Арутюнян и Х.Г. Шароян
(53) 681.325(088.8)
(56) Патент Великобритании № 1544015,
кл. G 4A, опубл. 1979.

Авторское свидетельство СССР
№ 1142826, кл. G 06 F 5/00, 1983.

(54) УСТРОЙСТВО ДЛЯ ПРЕОБРАЗОВАНИЯ
ДВОИЧНЫХ ЧИСЕЛ В ДВОИЧНО-ДЕСЯТИЧНЫЕ И
ОБРАТНО

(57) Изобретение относится к вычисли-
тельной технике и может быть исполь-
зовано в арифметических устройствах
ЭВМ. Цель изобретения - повышение
быстродействия преобразования. Пред-
лагаемое устройство содержит входной

сдвиговый регистр 1, блок 3 промежу-
точных преобразований, распределитель
8 импульсов, выходной регистр 7. Но-
вым в устройстве является введение
счетчика 2 цифр, регистра 5 промежу-
точных преобразований, сумматора 6,
а также новая структура блока про-
межуточных преобразований. Принцип ра-
боты предлагаемого устройства основан
на том, что исходное число, подлежа-
щее преобразованию и состоящее из K
шестнадцатиричных или десятичных
цифр, может быть представлено как
сумма K чисел, каждое из которых сос-
тоит из одной какой-либо цифры исход-
ного числа и нулей в остальных пози-
циях. Позиция каждой цифры в этих
числах соответствует ее весовому ко-
эффициенту в исходном числе. 1 ил.



(19) **SU** (11) **1388995** **A1**

Изобретение относится к вычислительной технике и может быть использовано в арифметических устройствах ЭВМ.

Цель изобретения - повышение быстродействия преобразования.

На чертеже представлена блок-схема предлагаемого устройства.

Предлагаемое устройство содержит входной сдвиговый регистр 1, счетчик 2 цифр, блок 3 промежуточных преобразований, элементы 4.1-4.n памяти, регистр 5 промежуточных преобразований, сумматор 6, выходной регистр 7, распределитель 8 импульсов, выходы 9-12 распределителя импульсов.

Принцип действия устройства основан на том, что исходное число, подлежащее преобразованию и состоящее из K шестнадцатиричных или десятичных цифр, может быть представлено как сумма K чисел, каждое из которых состоит из одной какой-либо цифры исходного числа и нулей в остальных позициях. Позиция каждой цифры в этих числах соответствует ее весовому коэффициенту в исходном числе. Следовательно, результат преобразования можно представить в виде суммы преобразованных значений цифр преобразуемого числа с учетом их весовых коэффициентов. Преобразование цифр исходного числа происходит в элементах 4.1-4.n памяти.

Работу устройства представим на примере преобразования 32-битного двоичного числа в десятичное. Максимальное положительное двоичное число, которое может быть представлено в 32-битном регистре, равно 7. Это число после преобразования в десятичное имеет значение 214783647, следовательно, количество элементов памяти $n=9$. Предполагается, что в исходный момент преобразуемое число находится во входном сдвиговом регистре 1, а счетчик 2 цифр, регистр 5 промежуточных преобразований и выходной регистр 7 имеют нулевое значение.

В начале работы устройства младшая цифра преобразуемого числа с выхода входного регистра 1 поступает на первые входы элементов 4.1-4.9 памяти. На вторые входы этих элементов поступает нулевое значение счетчика 2 цифр. Код адреса, образованный значением преобразуемой цифры и значе-

нием счетчика цифр, вызывает чтение в элементах памяти преобразованного значения этой цифры. Например, если эта цифра имеет значение F (1111), то код адреса F0 (11110000) в элементе 4.9 памяти вызывает чтение цифры 5 (0101), а в элементе 4.8 - чтение цифры 1 (0001). В остальных элементах код адреса F0 вызывает чтение нулей. Образованное число на выходе элементов 4.1-4.9 памяти, состоящее из нулей в старших разрядах и кода 0001 0101 (15) в младших разрядах, представляет собой преобразованное десятичное значение шестнадцатиричной цифры F. Это число с выходов элементов 4.1-4.9 памяти через регистр 5 промежуточных преобразований поступает на первый вход сумматора 6 и на первом шаге преобразования складывается с нулями. Полученная сумма поступает на выходной регистр 7.

В следующем шаге преобразования содержимое регистра 1 под управлением сигнала сдвига, поступающего с выхода 9 распределителя 8 импульсов, сдвигается на одну тетраду вправо и на первые входы элементов 4.1-4.9 памяти поступает следующая цифра преобразуемого числа. Одновременно сигнал сдвига увеличивает на единицу значение счетчика 2. Если значение второй цифры также F (1111), то код адреса F1 (11110001), образованный значением этой цифры и значением счетчика цифр, вызывает чтение и передачу на выход элементов 4.7-4.9 памяти кода 0010 (2), 0100 (4), 0000 (0) соответственно, который является десятичным значением (240) шестнадцатиричного числа F0. На выходе остальных элементов памяти появляются нули. Это число (00000240) через регистр 5 промежуточных преобразований поступает на первый вход сумматора 6, на второй вход которого с выхода регистра 7 поступает результат преобразования предыдущей цифры (00...015). Сумма этих чисел (00...0255) представляет собой преобразованное десятичное значение шестнадцатиричного числа FF младших двух цифр исходного числа. Эта сумма является промежуточным результатом преобразования и с выхода сумматора 6 через регистр 7 поступает на второй вход сумматора 6 для участия в сложении в следующем шаге преобразования с результатом преобразования третьей циф-

ры исходного числа. Далее сдвигается вправо на одну тетраду содержимое входного регистра 1, увеличивается значение счетчика 2 цифр и цикл преобразования повторяется. В последнем шаге на выходном регистре 7 образуется результат преобразования исходного числа, расположенного на входном регистре 1.

Режим работы устройства определяется значением сигнала на выходе 10 распределителя 8 импульсов. В зависимости от значения этого сигнала происходит активизация одной из областей адресного пространства элементов памяти и устройство работает или в режиме преобразования двоичных чисел в десятичные, или в режиме преобразования десятичных чисел в двоичные. Значение сигнала на выходе 10 распределителя импульсов определяет также режим работы сумматора 6, который работает или в режиме сложения десятичных чисел, когда речь идет о преобразовании двоичных чисел в десятичные, или в режиме сложения двоичных чисел, когда идет речь о преобразовании десятичных чисел в двоичные.

Устройство работает конвейерным способом.

Когда в элементах 4.1-4.n памяти происходит преобразование очередной цифры исходного числа, в сумматоре 6 происходит сложение промежуточного результата преобразования с результатом преобразования предыдущей цифры преобразуемого числа. Когда результат преобразования очередной цифры передается в регистр 5, выходная информация сумматора передается в регистр 7, а содержимое входного регистра 1 сдвигается вправо и увеличивается на единицу значение счетчика 2 цифр.

Конвейерная работа устройства обеспечивается разделительными регистрами 5 и 7, которые синхронизированы тактирующими синхросигналами, поступающими с выходов 11 и 12 распределителя 8 импульсов.

Ф о р м у л а и з о б р е т е н и я

Устройство для преобразования двоичных чисел в двоично-десятичные и обратно, содержащее входной сдвиговый регистр, информационный вход которого соединен с информационным входом устройства, а вход синхронизации с первым выходом распределителя импульсов, блок промежуточных преобразований, первый и второй входы которого подключены соответственно к выходу входного сдвигового регистра и второму выходу распределителя импульсов, выходной регистр, выход которого является выходом устройства, а вход синхронизации подключен к третьему выходу распределителя импульсов, отличающееся тем, что, с целью повышения быстродействия, в него введены счетчик цифр, регистр промежуточных преобразований и сумматор, а блок промежуточных преобразований содержит $n = N/4$ элементов памяти (где N - разрядность преобразуемого числа), причем счетный вход счетчика цифр соединен с первым выходом распределителя импульсов, а выход - с третьим входом блока промежуточных преобразований, выходы которого подключены к информационным входам регистра промежуточных преобразований, вход синхронизации которого соединен с четвертым выходом распределителя импульсов, второй выход которого подключен к входу задания режима сумматора, первый и второй информационные входы которого соединены соответственно с выходом регистра промежуточных преобразований и выходом выходного регистра, а выход - с информационным входом выходного регистра, первый, второй и третий адресные входы элементов памяти являются соответственно первым, третьим и вторым входами блока промежуточных преобразований, а выходы элементов памяти являются выходами блока промежуточных преобразований.

Составитель Э. Андреасян

Редактор Т. Парфенова

Техред Л. Олийнык

Корректор И. Муска

Заказ 1585/56

Тираж 928

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4