

(43) 国際公開日
2008年9月18日 (18.09.2008)

PCT

(10) 国際公開番号
WO 2008/111171 A1

- (51) 国際特許分類:
H04L 7/00 (2006.01) G06F 1/04 (2006.01)
- (21) 国際出願番号: PCT/JP2007/054947
- (22) 国際出願日: 2007年3月13日 (13.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 奥達也 (OKU, Tatsuya) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 橋爪 幹人 (HASHIZUME, Masato) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 西田 裕士

(NISHIDA, Hiroshi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 茂泉 修司 (MOIZUMI, Shuji); 〒1080074 東京都港区高輪3丁目24番21号DK品川ビル3階 Tokyo (JP).

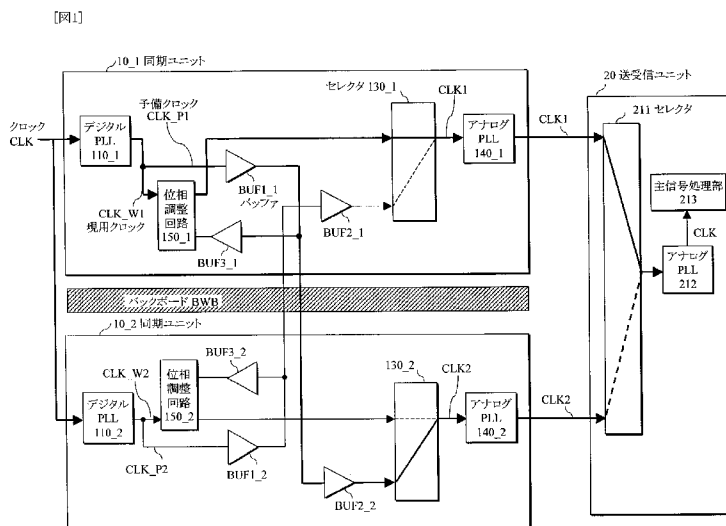
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: CLOCK REDUNDANCY DEVICE

(54) 発明の名称: クロック冗長装置



CLK CLOCK
10_1 SYNCHRONOUS UNIT
110_1 DIGITAL PLL
CLK_P1 STANDBY CLOCK
CLK_W1 CLOCK IN USE
150_1 PHASE REGULATION CIRCUIT
BUF1_1 BUFFER
130_1 SELECTOR
140_1 ANALOG PLL
BWB BACKBOARD
10_2 SYNCHRONOUS UNIT
110_2 DIGITAL PLL
150_2 PHASE REGULATION CIRCUIT
140_2 ANALOG PLL
20 TRANSMISSION/RECEPTION UNIT
211 SELECTOR
212 ANALOG PLL
213 MAIN SIGNAL PROCESSING SECTION

(57) Abstract: In order to synchronize the phase of a clock made redundant from an input clock more accurately, a first unit branches the input clock into first and second clocks, and a second unit delivers the second clock through a first element for interrupting the impact of the first unit. A phase regulation circuit constituting the first unit synchronizes the phase of the first clock with the phase of the second clock passing a second element having operating characteristics identical to those of the first element.

(57) 要約: 入力クロックから冗長化されたクロックの位相をより正確に同期させるため、第1のユニットが、入力クロックを第1及び第2のクロックに分岐し、第2のユニットが、該第2のクロックを、該第1のユニットの影響を遮断するための第1の素子を経由して送出する。この際、該第1のユニットを構成する位相調整回路が、該第1のクロックの位相を、該第1の素子と同一の動作特性を有する第2の素子を通する該第2のクロックの位相に合わせる。



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

クロック冗長装置

技術分野

[0001] 本発明は、クロック冗長装置に関し、特にSONET/SDH等の光ネットワークを構成する伝送装置において用いられるクロック冗長装置に関するものである。

背景技術

[0002] 図4は、従来より一般的に知られている光ネットワークの構成を示したものである。この光ネットワークNWは、クロック供給装置BTSにより基準クロックCLK_Bが供給される伝送装置1と、この伝送装置1に光ファイバFBを介してリング状に接続された伝送装置2₁,2₂,2₃,...,2_m(以下、符号2で総称することがある。)とで構成されている。

[0003] また、これらの伝送装置1及び2は、それぞれ、冗長構成された同期ユニット10₁及び10₂(以下、符号10で総称することがある。)と、この同期ユニット10から供給されたクロックCLKにより伝送装置同士間でデータを送受信する送受信ユニット20と、これらのユニット10及び20を制御する制御部30とを備えている。

[0004] また、送受信ユニット20は、データの送受信をインタフェースするインタフェースユニット21₁~21_n(以下、符号21で総称することがある。)と、このインタフェースユニット21に対するスイッチ処理を行う冗長構成されたスイッチ22₁及び22₂(以下、符号22で総称することがある。)とを備えている。また、インタフェースユニット21は、光ファイバFBを介して受信したデータから再生したクロックCLK_Rを同期ユニット10に与える。

[0005] 次に、上記の伝送装置1及び2のクロック伝送動作例を、図5を参照して概略的に説明する。

[0006] 伝送装置1内の制御部30は、自装置に図4に示したクロック供給装置BTSが接続されていることを予め認識しているため、図5(1)に示すように、同期ユニット10を構成するセクタ160に対して、クロック供給装置BTSからの基準クロックCLK_Bを選択するように選択指示INSを与える。

[0007] これを受けたセクタ160は、基準クロックCLK_Bを、伝送装置1内の各インタフェースユニット21₁~21_nを動作させるためのクロックCLKとしてデジタルPLL110に与える

。デジタルPLL 110は、クロックCLKに含まれるジッタやノイズ等を除去して同期確立を行った後、バッファ170に一旦格納する。これにより、各インタフェースユニット21₁～21_nに対してクロックCLKが共通に与えられる。なお、図示されていないが、クロックCLKは、図4に示したスイッチ22₁及び22₂にも共通に与えられる。

[0008] インタフェースユニット21₁～21_n内の電気／光変換部214₁～214_nは、それぞれ、他の伝送装置に対するデータDTにクロックCLKの情報を含ませた形で光ファイバFB₁～FB_nを介して送出する。

[0009] 一方、伝送装置2に関しては、図5(2)に示すように、インタフェースユニット21₁～21_n内の光／電気変換部215₁～215_nが、それぞれ、光ファイバFB₁～FB_nを介して受信した光信号のデータDTを電気信号に変換してクロック・データリカバリ(CDR)回路216₁～216_nに与えると、CDR回路216₁～216_nが送信側のクロックCLKを再生する。

[0010] 各クロック・データリカバリ回路216₁～216_nで再生されたクロックCLK_{R1}～CLK_{Rn}を受けた同期ユニット10内のセクタ160は、制御部30からの選択指示INSに基づき、再生クロックCLK_{R1}～CLK_{Rn}の内のいずれか1つを伝送装置2内の各インタフェースユニット21₁～21_nを動作させるためのクロックCLKとして選択する。

[0011] ここで、制御部30は、例えばインタフェースユニット21₁が上記の伝送装置1から直接データDTを受信している場合(すなわち、より信頼性の高いクロック情報を含んだデータDTを受信している場合)には、このインタフェースユニット21₁から出力されたクロックCLK_{R1}が選択されるように選択指示INSを与える。これにより、図5(1)と同様、各インタフェースユニット21₁～21_n(並びにスイッチ22₁及び22₂)に対してクロックCLKが共通に与えられる。

[0012] また、インタフェースユニット21及びスイッチ22は、図4に示した同期ユニット10₁及び10₂により冗長化されたクロックに対する選択切替を行っている。SONET/SDH等の規格では、この選択切替が、主信号(データDT)に例えばビット化け等のエラーを発生させずに無瞬断で実行されること(以下、HITLESS機能と称する。)を要求しており、これを同期ユニット10₁及び10₂同士間の相互動作により実現している。

[0013] 以下、HITLESS機能を実現する同期ユニット10₁及び10₂の従来の具体的な構成と動作を、図6及び7を参照して説明する。

[0014] 従来例:図6及び7

図6に示すように、同期ユニット10_1及び10_2をそれぞれ構成するデジタルPLL110_1及び110_2は、それぞれ、図5に示したセクタ160から出力されたクロックCLKに含まれるジッタやノイズ等を除去して同期確立を行う。この後、クロックCLKは、現用クロックCLK_W1及びCLK_W2(以下、符号CLK_Wで総称することがある。)と予備クロックCLK_P1及びCLK_P2(以下、符号CLK_Pで総称することがある。)とにそれぞれ分岐される。

[0015] 予備クロックCLK_P1は、バッファBUF1_1を通過して同期ユニット10_2へ入力され、さらに同期ユニット10_1の影響を遮断するバッファBUF2_2を通過してセクタ130_2に与えられる。また、予備クロックCLK_P2は、バッファBUF1_2を通過して同期ユニット10_1へ入力された後、バッファBUF2_1を通過してセクタ130_1に与えられる。

[0016] ここで、上記のバッファBUF2_2及びBUF2_1は、それぞれ、運用中にバックボードBWBから同期ユニット10_1及び10_2が挿抜される際に生ずる突入電流からセクタ130_2及び130_1を保護する等の目的で設けられるものであり、バッファBUF1_1及びBUF1_2は、同期ユニット10_1及び10_2同士間の電圧レベルを合わせるために、バッファBUF2_2及びBUF2_1にそれぞれ対応して設けられるものである。

[0017] なお、以降の説明においては、バッファBUF1_1及びBUF1_2を、符号BUF1で総称し、バッファBUF2_1及びBUF2_2を、符号BUF2で総称することがある。

[0018] 一方、予備クロックCLK_P1がバッファBUF1_1及びBUF2_2を通過することにより遅延されるため、この遅延量に相当する遅延量を発生するように設計されたディレイライン120_1が、現用クロックCLK_W1を該遅延量だけ遅延させてセクタ130_1に与える。また同様に、ディレイライン120_2は、バッファBUF1_2及びBUF2_1を通過することによる予備クロックCLK_P2の遅延量だけ現用クロックCLK_W2を遅延させてセクタ130_2に与える。

[0019] 今、図6に太線で示すように、同期ユニット10_1が現用系として運用されている場合を例にとると、セクタ130_1及び130_2は、それぞれ、位相遅延された現用クロックCLK_W1及び予備クロックCLK_P1を、後段の送受信ユニット20に与えるべきクロックCLK1及びCLK2として選択してアナログPLL140_1及び140_2に与える。アナログPLL 140_

1及び140_2は、それぞれ、クロックCLK1及びCLK2に含まれるジッタやノイズ等を除去して再び同期確立を行うと共にスムージングを行って送受信ユニット20に与える。

[0020] なお、同期ユニット10_2を現用系として運用する場合には、セクタ130_1及び130_2が、それぞれ、予備クロックCLK_P2及びディレイライン120_2によって位相遅延された現用クロックCLK_W2を後述するようにして選択する。

[0021] 送受信ユニット20を構成するセクタ211は、ここでは現用系の同期ユニット10_1から出力されたクロックCLK1を選択してアナログPLL212に与える。アナログPLL 212は、クロックCLK1に含まれるジッタやノイズ等を除去して同期確立を行い、クロックCLKとして主信号処理部213に与える。

[0022] また、この状態からクロックCLK2への選択切替を行う場合には、図7(1)に太線で示すように、送受信ユニット20内のセクタ211がクロックCLK2を選択するように切り替える。この時、クロックCLK1及びCLK2同士間の位相が図6に示した通りに調整されているため、この選択切替に伴うアナログPLL212からの出力クロックCLKの位相変動を最小限に抑えることができ、以てHITLESS機能を実現することが可能となる。

[0023] また、この後、現用系とする同期ユニットをユニット10_1からユニット10_2へ切り替える場合には、同図(2)に太線で示すように、同期ユニット10_1内のセクタ130_1及び同期ユニット10_2内のセクタ130_2が、予備クロックCLK_P2及び現用クロックCLK_W2をそれぞれクロックCLK1及びCLK2として選択するように切り替える。この時、アナログPLL140_1及び141_2のスムージング効果により、クロックCLK1の位相が、現用クロックCLK_W1の位相から予備クロックCLK_P2の位相へ徐々に変動し、クロックCLK2の位相が、予備クロックCLK_P1の位相から現用クロックCLK_W2の位相へ徐々に変動するため、アナログPLL212からの出力クロックCLKの位相変動には影響を及ぼさない。

[0024] なお、参考例として、PLL回路が、入力クロックの位相と、出力クロックを所定時間分だけ遅延させてフィードバックしたクロックの位相とが同一となるように、出力クロックの位相を調整し、以てクロック入力回路及びデータ出力回路により生じる伝送遅延に対処可能にしたタイミング調整回路がある(例えば、特許文献1参照。)

特許文献1:特開2005-316879号公報

発明の開示

発明が解決しようとする課題

[0025] 図6及び図7に示した従来例では、ディレイラインを用いて現用クロックの位相を遅延させているが、ディレイラインの製造バラツキや、伝送装置が動作する環境条件(例えば、温度条件)の変化等に伴って冗長化された両クロック同士間の位相がずれてしまうという課題があった。また、上記の製造バラツキや環境条件の変化が無くても、現用クロックの遅延時間値がディレイラインの性能(遅延時間間隔や最大遅延時間値等)によって制限されるため、遅延量が不足したり過剰になったりする。このため、冗長化された両クロック同士を正確に同期させることは困難であった。

[0026] すなわち、図8に示すように、予備クロックCLK_Pは、バッファBUF1を通過することにより時間T1だけ遅延し(バッファBUF1からの出力クロックCLK_PO1参照。)、バッファBUF1—BUF2間を接続する伝送路により時間T2だけ遅延し(バッファBUF2への入力クロックCLK_PI2参照。)、さらにバッファBUF2を通過することにより時間T3だけ遅延し、以て実際には時間Trだけ遅延されたクロックCLK2として出力されるが、現用クロックCLK_Wは、ディレイラインにより固定的に時間Tdだけ遅延されたクロックCLK1として出力されるため、クロックCLK1及びCLK2の位相は、図示の如くディレイラインの調整誤差時間Teだけ余分となってずれてしまう。さらに、素子、例えばバッファBUF1及びBUF2の遅延量の経時変化も誤差の要因となる。

[0027] 従って、本発明は、入力クロックから冗長化されたクロックの位相をより正確に同期させることが可能なクロック冗長装置を提供することを目的とする。

課題を解決するための手段

[0028] [1]上記の目的を達成するため、本発明の一態様に係るクロック冗長装置は、入力クロックを第1及び第2のクロックに分岐する第1のユニットと、該第2のクロックを、該第1のユニットの影響を遮断するための第1の素子を経由して送出する第2のユニットとを備え、該第1のユニットが、該第1の素子と同一の動作特性を有し該第2のクロックを通過させる第2の素子と、該第2の素子を通過する該第2のクロックの位相に該第1のクロックの位相を合わせる位相調整回路とを備えたことを特徴とする。

[0029] すなわち、本発明では、第2のユニットが、図6に示した従来例と同様、入力クロックから分岐された第1及び第2のクロックの内、該第2のクロックを、第1のユニットの影

響を遮断するための第1の素子を経由させて送出するが、該第1のユニット内の位相調整回路が、従来例とは異なり、該第1のクロックの位相を、該第2のクロックを該第1の素子と同一の動作特性を有する第2の素子を通過させた時の位相に合わせて動的に調整する。

[0030] これにより、伝送装置が動作する環境条件の変化に依存せず、常時、冗長化されたクロックの位相を同期させることが可能である。また、ディレイラインのようなクロックの位相を固定的に遅延させる回路も不要となる。

[0031] [2]また、上記[1]において、該位相調整回路が、該第1のクロックの位相を順次遅延させる同一段数のフリップフロップをそれぞれが有する第1及び第2のシフトレジスタと、該第2の素子を通過した該第2のクロックの位相と、該第2のシフトレジスタの各フリップフロップの出力クロックの位相とを比較して一致する出力クロックを制御クロックとして選択する制御回路と、該第1のシフトレジスタの各フリップフロップの出力クロックの中から該制御クロックと同一位相の出力クロックを選択するセクタとを備えるようにしても良い。

[0032] [3]また、上記[2]において、該位相調整回路が、該第1及び第2のクロックをそれぞれ微分パルスに変換し、該第2のシフトレジスタ及び該制御回路に与える微分回路をさらに含むようにしても良い。

[0033] すなわち、この場合、制御回路は、該第2のクロックの位相と、各フリップフロップの出力クロックの位相とを、より精密に比較することができる。

[0034] [4]また、上記[2]において、該位相調整回路が、該第2のクロックの位相を、該第1の素子に接続される伝送路と該第2の素子に接続される伝送路の経路差に応じた所定時間分だけ遅延させて該制御回路に与える経路差遅延挿入部をさらに含むようにしても良い。

[0035] すなわち、このように、該第1の素子に接続される伝送路と該第2の素子に接続される伝送路の経路差も考慮して該第1のクロックの位相を調整すれば、より一層正確な位相調整が実現できる。

[0036] [5]また、上記[2]において、該第1及び第2のシフトレジスタの該フリップフロップの段数が、該第1又は第2の素子の固有最大遅延量に対応して設けられれば良い。

[0037] このように、該フリップフロップの段数を最適に変更することにより、余剰又は不足フリップフロップを無くすることができる。

[0038] [6]また、上記[1]において、該第1及び第2の素子は、例えばバッファである。

[0039] [7]また、上記[2]において、各フリップフロップの動作クロックレートを変更するレート変更回路をさらに設けるようにしても良い。

[0040] すなわち、例えば各フリップフロップの動作クロックレートを速くした場合には、該第1のクロックの位相調整時間間隔をより細かくすること(すなわち、位相調整分解能を向上させること)ができる。

発明の効果

[0041] 本発明によれば、入力クロックから冗長化されたクロックの位相を、ディレイラインを用いた場合に比べてより正確に同期させることができ、以てこれを適用する伝送装置等のデータ通信品質及び信頼性を向上させることができる。

発明を実施するための最良の形態

[0042] 本発明に係るクロック冗長装置の実施例を、図1～図3を参照して以下に説明する。

[0043] 構成例：図1及び2

図1に示す本実施例に係る同期ユニット10_1及び10_2は、それぞれ、図6に示したディレイライン120_1及び120_2に代えて、他方のユニットに設けられたバッファBUF2_2及びBUF2_1と同一の動作特性を有するバッファBUF3_1及びBUF3_2(以下、符号BUF3で総称することがある。)と、これらのバッファBUF3_1及びBUF3_2を通過する予備クロックCLK_P1及びCLK_P2の位相に合わせて、現用クロックCLK_W1及びCLK_W2の位相を調整する位相調整回路150_1及び150_2(以下、符号150で総称することがある。)とを備えている。

[0044] また、位相調整回路150は、図2に示すように、現用クロックCLK_Wの位相を順次遅延させる5段のフリップフロップFF1～FF5を有するシフトレジスタ151と、現用クロックCLK_W、並びにバッファBUF1及びBUF3を通過して戻って来た予備クロックCLK_Pを、微分パルス(以下、単にパルスと称する。)PLS_W及びPLS_Pにそれぞれ変換する微分回路152及び153と、バッファBUF2に接続される伝送路とバッファBUF3に接続される伝送路の経路差に応じて、パルスPLS_Pの位相を所定時間分だけ遅延させたパルス

PLS_PDを発生する経路差遅延挿入部154と、シフトレジスタ151と同一段数のフリップフロップFF1～FF5を有し、パルスPLS_Wを順次遅延させるシフトレジスタ155と、経路差遅延挿入部154から出力されたパルスPLS_PDの位相と、シフトレジスタ155内の各フリップフロップFF1～FF5から出力されたパルスPLS_O1～PLS_O5の位相とを比較して一致する出力パルスを制御パルスPLS_Cとして選択する制御回路156と、シフトレジスタ151内の各フリップフロップFF1～FF5の出力クロックCLK_O1～CLK_O5の中から制御クロックCLK_Cと同一位相の出力クロックを現用クロックCLK_Wとして後段のセクタ130に与えるセクタ157とを備えている。

[0045] また、制御回路156は、シフトレジスタ155内の各フリップフロップFF1～FF5の出力パルスPLS_O1～PLS_O5の位相とパルスPLS_PDの位相とをそれぞれ比較する比較器CMP1～CMP5と、これらの比較器CMP1～CMP5の出力レベルに応じて制御パルスPLS_Cを発生するOR回路1561とを備えている。

[0046] なお、上記の経路差遅延挿入部154は必須では無く、バッファBUF2及びBUF3にそれぞれ接続された伝送路間の経路差が大きいことが予測される場合(すなわち、経路差が無視できない場合)に設ければ良い。

[0047] 次に、この同期ユニット10の動作を、図3を参照して以下に説明する。

[0048] 動作例:図3

図3に示すように、同期ユニット10内の位相調整回路150には、予備クロックCLK_Pが、バッファBUF1を通過して時間T1だけ遅延し(バッファBUF1からの出力クロックCLK_PO1参照。)、バッファBUF3を通過して時間T3だけ遅延(バッファBUF3からの出力クロックCLK_PO3参照。)して入力される。この時、位相調整回路150内の微分回路153は、この予備クロックCLK_PをパルスPLS_Pに変換して経路差遅延挿入部154に与える。経路差遅延挿入部154は、このパルスPLS_Pを、バッファBUF2に接続される伝送路とバッファBUF3に接続される伝送路の経路差に応じた所定時間(経路差遅延時間)Tpdだけ遅延させたパルスPLS_PDを発生する。

[0049] 一方、現用クロックCLK_Wを受けた微分回路152は、パルスPLS_Wを発生してシフトレジスタ155に与える。シフトレジスタ155内の各フリップフロップFF1～FF5は、図示の如く順次位相をシフトした出力パルスPLS_O1～PLS_O5を発生し、制御回路156内の

比較器CMP1～CMP5に与える。

- [0050] 今、パルスPLS_PDの位相と出力パルスPLS_O5の位相が一致しているとすると、比較器CMP1～CMP4の出力レベルは“L(不一致)”を示し、比較器CMP5の出力レベルのみが“H(一致)”を示すため、OR回路1561は、出力パルスPLS_O5を制御パルスPLS_Cとしてセクタ157に与える。
- [0051] これにより、セクタ157は、シフトレジスタ151内の各フリップフロップFF1～FF5の出力クロックCLK_O1～CLK_O5の中から、出力クロックCLK_O5を現用クロックCLK_Wとして選択して後段のアナログPLL140に与える。
- [0052] このようにして、現用クロックCLK_Wの位相と予備クロックCLK_Pの位相とを同期させること(すなわち、同期ユニット10_1から出力されるクロックCLK1と同期ユニット10_2から出力されるクロックCLK2とを同期させること)ができる。
- [0053] また、本実施例では、各シフトレジスタ151及び155内のフリップフロップの段数を5段としたが、バッファBUF3による遅延時間が大きいことが予測される場合には、その最大遅延時間に応じてフリップフロップの段数を増加させることができる。また、図示されないが、同期ユニット10内(外部であっても良い。)に、例えばシンセサイザ等のレート変更回路を設け、各フリップフロップの動作クロックレートを変更して位相調整回路150の調整時間間隔を変更することもできる。
- [0054] なお、上記実施例によって本発明は限定されるものではなく、特許請求の範囲の記載に基づき、当業者によって種々の変更が可能なことは明らかなである。

図面の簡単な説明

- [0055] [図1]本発明に係るクロック冗長装置の実施例の構成例を示すブロック図である。
- [図2]本発明に係るクロック冗長装置の実施例に用いる位相調整回路の構成例を示したブロック図である。
- [図3]本発明に係るクロック冗長装置の実施例の動作例を示したタイムチャート図である。
- [図4]光ネットワークの一般的な構成例を示したブロック図である。
- [図5]光ネットワークを構成する伝送装置のクロック伝送動作例を概略的に示したブロック図である。

[図6]従来のクロック冗長装置の構成例を示したブロック図である。

[図7]従来のクロック冗長装置におけるクロック選択切替動作例を示したブロック図である。

[図8]従来のクロック冗長装置におけるクロック位相ずれの発生例を示したタイムチャート図である。

符号の簡単な説明

- [0056] 1, 2, 2_1～2_m 伝送装置
 10, 10_1, 10_2 同期ユニット
 20 送受信ユニット
 21, 21_1～21_n インタフェースユニット
 22, 22_1, 22_2 スイッチ
 30 制御部
 110, 110_1, 110_2 デジタルPLL
 120, 120_1, 120_2 デレイライン
 130, 130_1, 130_2, 157, 160, 211 セレクタ
 140, 140_1, 140_2, 212 アナログPLL
 150, 150_1, 150_2 位相調整回路
 151, 155 シフトレジスタ
 152, 153 微分回路
 154 経路差遅延挿入部
 156 制御回路
 1561 OR回路
 170 バッファ
 213 主信号処理部
 214, 214_1～214_n 電気／光変換部
 215, 215_1～215_n 光／電気変換部
 216, 216_1～216_n クロック・データリカバリ回路
 NW 光ネットワーク

BTS クロック供給装置

FB, FB1～FBn 光ファイバ

BUF1, BUF1_1, BUF1_2, BUF2, BUF2_1, BUF2_2, BUF3, BUF3_1, BUF3_2 バッフ

ア

BWB バックボード

FF1～FF5 フリップフロップ

CMP1～CMP5 比較器

DT データ

INS 選択指示

CLK_B 基準クロック

CLK_R, CLK_R1～CLK_Rn 再生クロック

CLK, CLK1, CLK2 クロック

CLK_W, CLK_W1, CLK_W2 現用クロック

CLK_P, CLK_P1, CLK_P2 予備クロック

CLK_O1～CLK_O5 出力クロック

PLS_W, PLS_P, PLS_PD パルス

PLS_O1～PLS_O5 出力パルス

PLS_C 制御パルス

H, L レベル

T1, T2, T3, Tr, Td 遅延時間

Te 調整誤差時間

Tpd 経路差遅延時間

図中、同一符号は同一又は相当部分を示す。

請求の範囲

- [1] 入力クロックを第1及び第2のクロックに分岐する第1のユニットと、
該第2のクロックを、該第1のユニットの影響を遮断するための第1の素子を經由して送出する第2のユニットと、
を備え、該第1のユニットが、該第1の素子と同一の動作特性を有し該第2のクロックを通過させる第2の素子と、該第2の素子を通過する該第2のクロックの位相に該第1のクロックの位相を合わせる位相調整回路とを備えたことを特徴とするクロック冗長装置。
- [2] 請求項1において、
該位相調整回路が、
該第1のクロックの位相を順次遅延させる同一段数のフリップフロップをそれぞれが有する第1及び第2のシフトレジスタと、
該第2の素子を通過した該第2のクロックの位相と、該第2のシフトレジスタの各フリップフロップの出力クロックの位相とを比較して一致する出力クロックを制御クロックとして選択する制御回路と、
該第1のシフトレジスタの各フリップフロップの出力クロックの中から該制御クロックと同一位相の出力クロックを選択するセレクトと、
を備えたことを特徴としたクロック冗長装置。
- [3] 請求項2において、
該位相調整回路が、該第1及び第2のクロックをそれぞれ微分パルスに変換し、該第2のシフトレジスタ及び該制御回路に与える微分回路をさらに含むことを特徴としたクロック冗長装置。
- [4] 請求項2において、
該位相調整回路が、該第2のクロックの位相を、該第1の素子に接続される伝送路と該第2の素子に接続される伝送路の経路差に応じた所定時間分だけ遅延させて該制御回路に与える経路差遅延挿入部をさらに含むことを特徴としたクロック冗長装置。
- [5] 請求項2において、

該第1及び第2のシフトレジスタの該フリップフロップの段数が、該第1又は第2の素子の固有最大遅延量に対応して設けられることを特徴としたクロック冗長装置。

[6] 請求項1において、

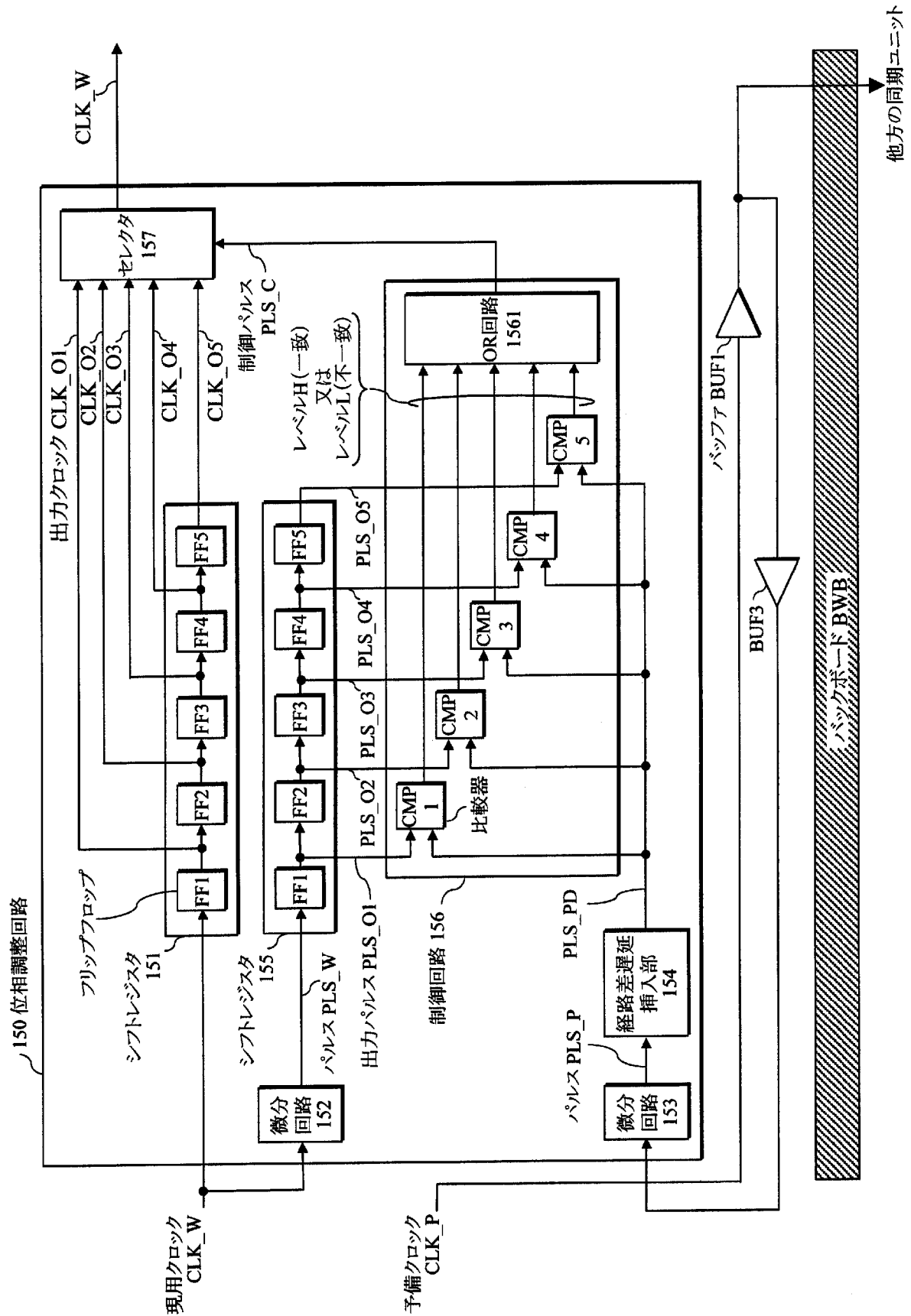
該第1及び第2の素子が、バッファであることを特徴としたクロック冗長装置。

[7] 請求項2において、

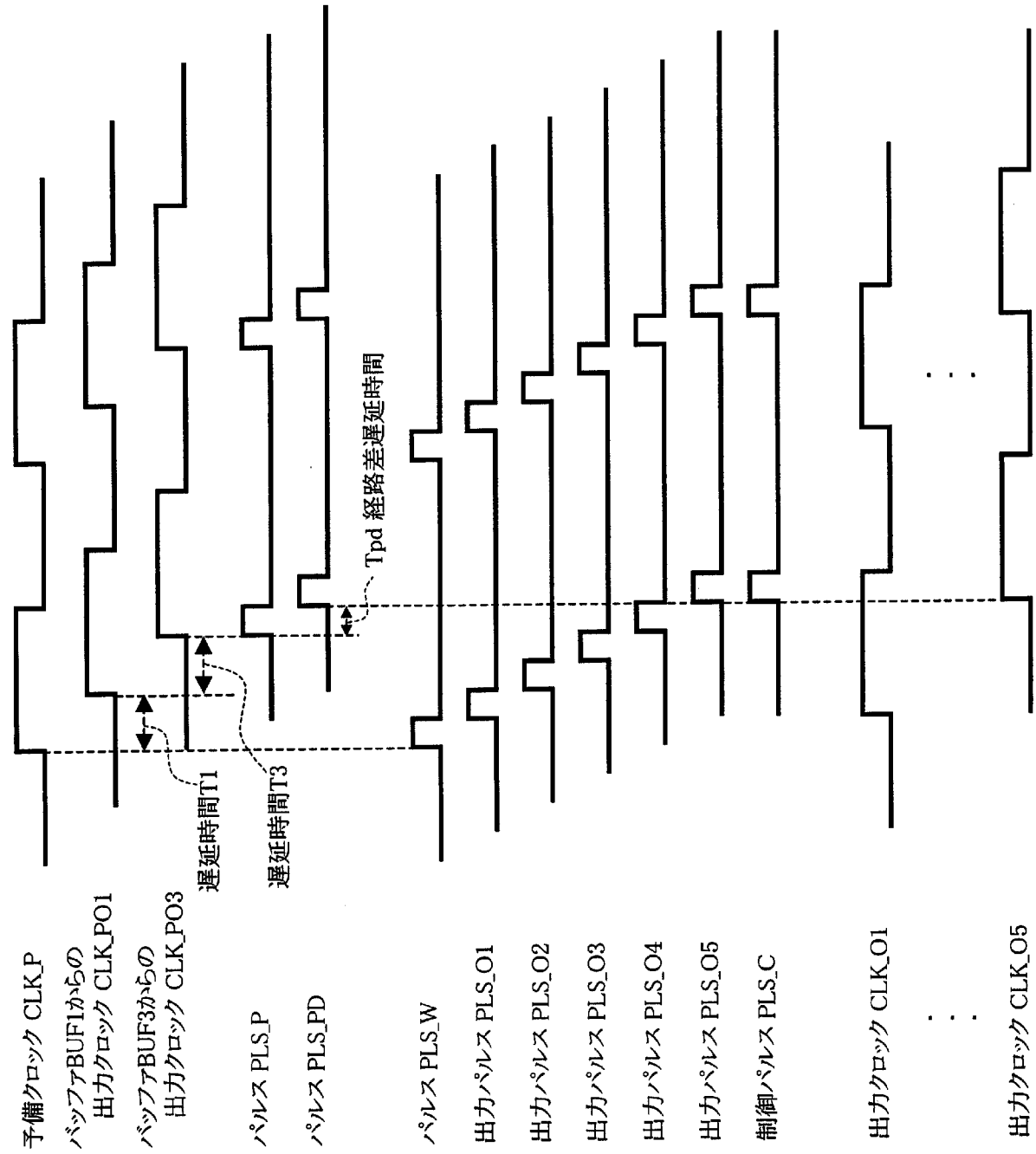
各フリップフロップの動作クロックレートを変更するレート変更回路をさらに設けたことを特徴としたクロック冗長装置。



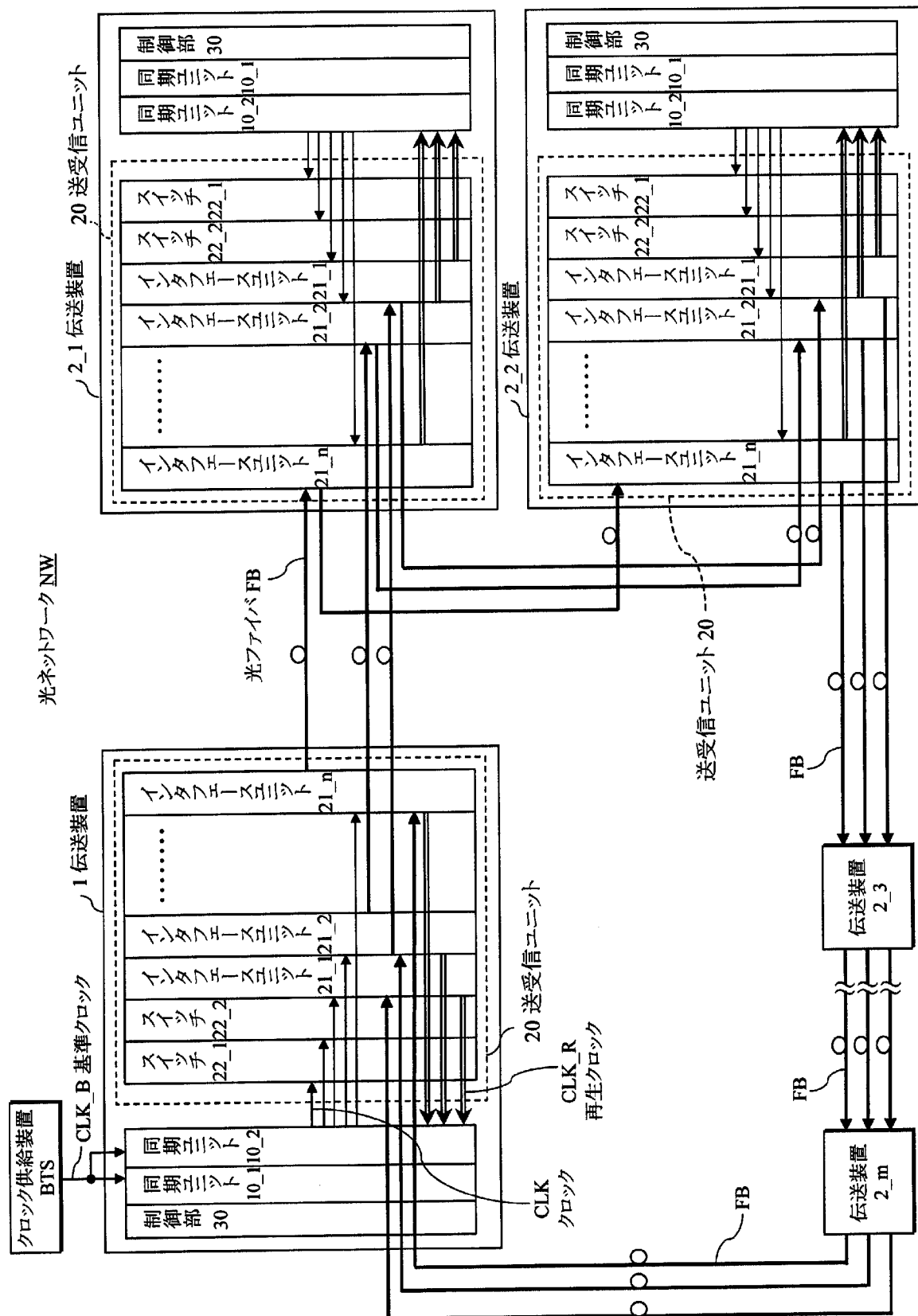
[図2]



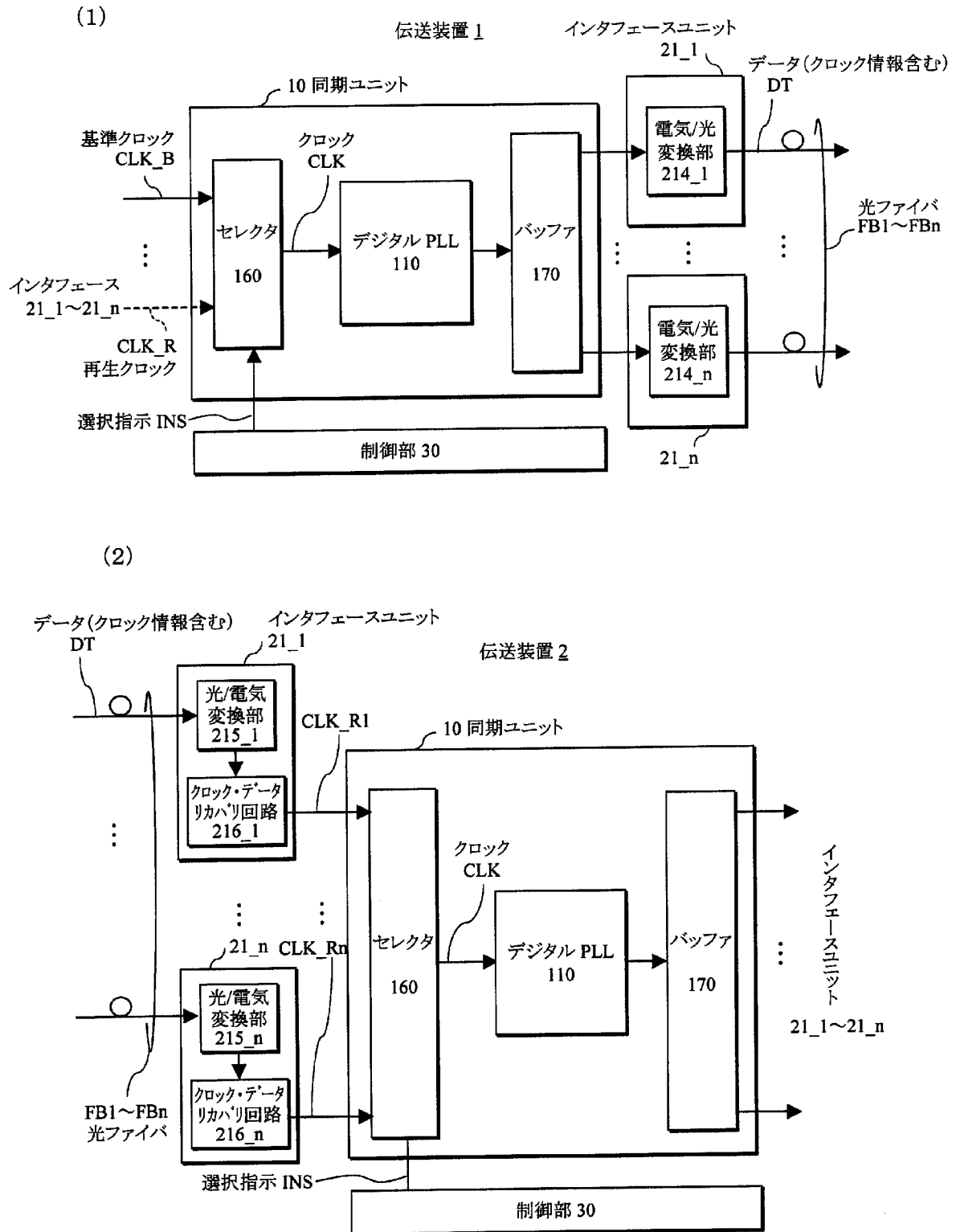
[図3]



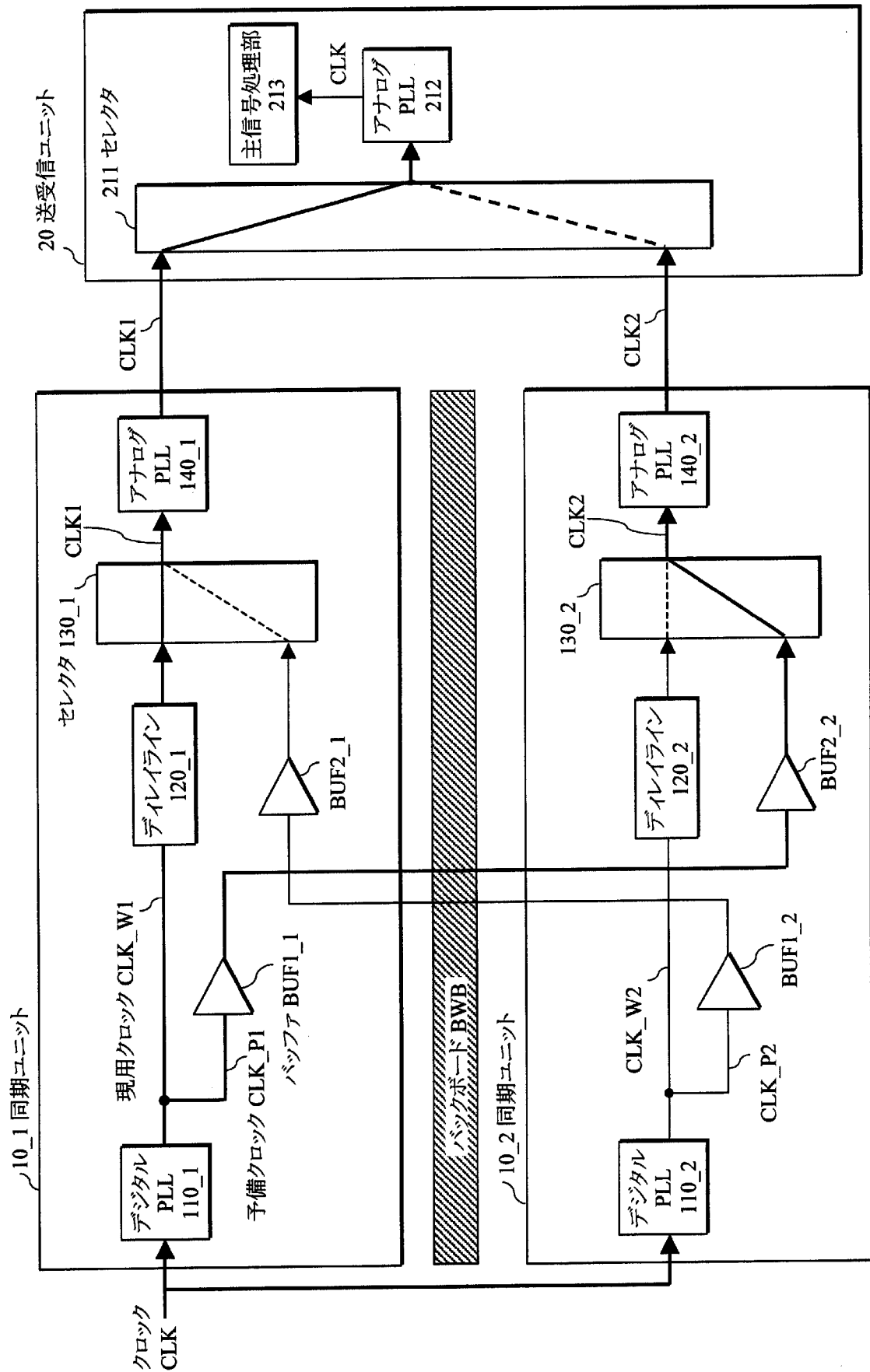
[図4]



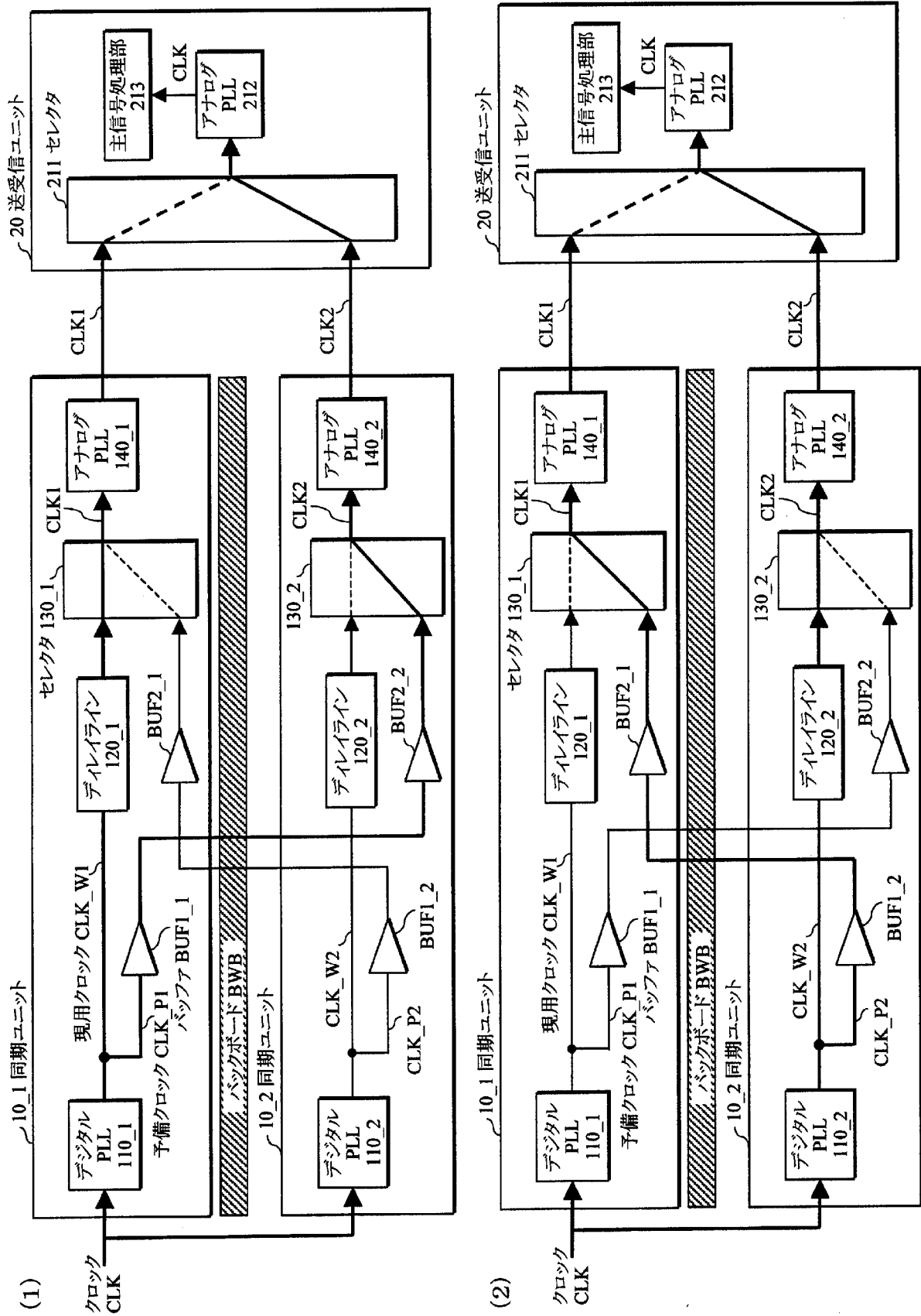
[図5]



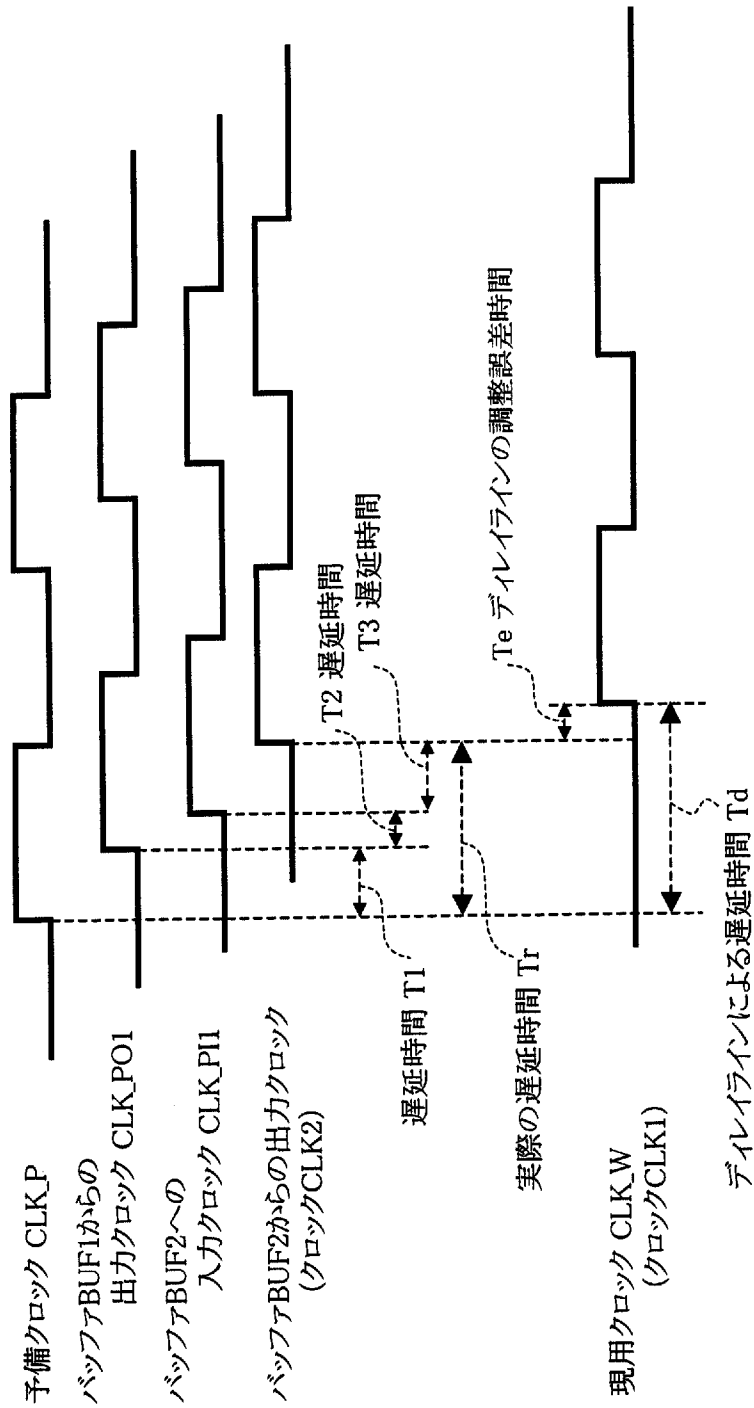
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/054947

A. CLASSIFICATION OF SUBJECT MATTER

H04L7/00(2006.01) i, G06F1/04(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L7/00, G06F1/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 9-214476 A (Nippon Telegraph And Telephone Corp.), 15 August, 1997 (15.08.97), Full text (Family: none)	1-7
A	JP 2002-135234 A (Mitsubishi Electric Corp.), 10 May, 2002 (10.05.02), Full text & US 6335647 B1	2-5, 7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
26 April, 2007 (26.04.07)

Date of mailing of the international search report
15 May, 2007 (15.05.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H04L7/00(2006.01)i, G06F1/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H04L7/00, G06F1/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 9-214476 A (日本電信電話株式会社) 1997. 08.15, 全文 (ファミリーなし)	1-7
A	J P 2002-135234 A (三菱電機株式会社) 2002. 05.10, 全文 & U S 6335647 B1	2-5, 7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

26.04.2007

国際調査報告の発送日

15.05.2007

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿部 弘

5 K

9382

電話番号 03-3581-1101 内線 3556