

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5118614号
(P5118614)

(45) 発行日 平成25年1月16日(2013.1.16)

(24) 登録日 平成24年10月26日(2012.10.26)

(51) Int.Cl. F I
H O 1 L 23/12 (2006.01) H O 1 L 23/12 5 O 1 P

請求項の数 7 (全 10 頁)

<p>(21) 出願番号 特願2008-309765 (P2008-309765) (22) 出願日 平成20年12月4日(2008.12.4) (65) 公開番号 特開2010-135554 (P2010-135554A) (43) 公開日 平成22年6月17日(2010.6.17) 審査請求日 平成23年11月29日(2011.11.29)</p>	<p>(73) 特許権者 308033711 ラピスセミコンダクタ株式会社 東京都八王子市東浅川町550番地1 (74) 代理人 100079119 弁理士 藤村 元彦 (74) 代理人 100109036 弁理士 永岡 重幸 (74) 代理人 100147728 弁理士 高野 信司 (72) 発明者 吉田 勝治 東京都八王子市東浅川町550番地1 K I セミコンダクタ株式会社 審査官 宮本 靖史</p>
---	---

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

複数の配線を備える集積回路部が形成された基板上に、前記集積回路部に電氣的に接続された接続パッドを形成する接続パッド形成工程と、

前記接続パッドの一部を露出する接続パッド露出孔を有する絶縁膜及び保護膜を積層して形成する積層工程と、

前記接続パッド露出孔を充填し、且つ、前記保護膜の露出面の一部を覆う副配線を形成する副配線形成工程と、

前記副配線及び前記保護膜を覆う被覆膜を形成する被覆膜形成工程と、

前記被覆膜上にドライフィルムを貼り付けるドライフィルム貼り付け工程と、

前記被覆膜及び前記ドライフィルムを貫通し、前記副配線の一部を露出させる貫通孔を形成する貫通孔形成工程と、

前記貫通孔を充填する外部接続電極を形成する電極形成工程と、

前記ドライフィルムを除去し、前記被覆膜及び前記外部接続電極を覆う封止層を形成する封止層形成工程と、を有し、

前記副配線上に形成された前記被覆膜の膜厚が、前記副配線の膜厚よりも薄いことを特徴とする半導体装置の製造方法。

【請求項2】

前記被覆膜形成工程は、液状樹脂を塗布して前記被覆膜を形成することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項 3】

前記被覆膜形成工程は、前記液状樹脂をスピンコート法によって塗布することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記被覆膜は、ポリイミド系樹脂又はポリベンゾオキサゾール (P B O : Poly Benzo O xysazole) 系樹脂等の有機樹脂からなることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

前記被覆膜形成工程は、前記副配線の一部を露出する副配線露出孔を形成する副配線露出孔形成工程を含むことを特徴とする請求項 1 乃至 4 のいずれか 1 に記載の半導体装置の製造方法。

10

【請求項 6】

前記貫通孔形成工程は、前記副配線露出孔に連通する連通孔を前記ドライフィルムに形成することによって前記貫通孔を形成することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記被覆膜形成工程は、前記被覆膜を露光することで前記副配線露出孔を形成することを特徴とする請求項 5 又は 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】**

20

【0001】

本発明は、半導体装置の製造方法、特に、C S P (Chip Size Package) と呼ばれる半導体装置の製造方法に関する。

【背景技術】**【0002】**

近年において、携帯電話、モバイルコンピュータ、パーソナル携帯情報端末 (P D A : Personal Digital Assistant)、家庭用ビデオカメラ及びデジタルカメラ等の電子機器及び当該電子機器の周辺部品に対する小型軽量化が飛躍的に進んでいる。このような市場動向に伴い、電子機器に用いられる半導体チップには、小型化、薄肉化、軽量化及び微細配線基板への高密度実装の要求が強くなっている。このような要求に対応するために、チップサイズと同等かあるいはわずかに大きいパッケージサイズの半導体装置、いわゆる C S P (Chip Size Package) の開発が注目されている。

30

【0003】

かかる C S P の利点としては、チップサイズに近い超小型・薄型であること以外にも、プリント基板への実装に従来から知られている表面マウント技術が使用できることがある。また、C S P の他の利点としては、直接的に半導体チップをプリント基板に実装するベアチップ実装と比較すると、パッケージ構造として半導体チップが実装されるので、高品質の実装を保証することができることもある。

【0004】

このような C S P と呼ばれる半導体装置の製造方法は、例えば、集積回路及びかかる集積回路に電氣的に接続された接続パッドが形成された半導体ウエハ上に、絶縁膜及び保護膜が形成される。続いて、接続パッド上の絶縁膜及び保護膜が除去され、接続パッドを介して集積回路に電氣的に接続された再配線 (副配線とも称する) が形成される。その後、開口を有するレジスト層が形成され、再配線に電氣的に接続された柱状の突起電極 (以下、ポストパンプと称する) が当該開口内部に形成される。更に、レジスト層が除去され、ポストパンプが樹脂からなる封止層に覆われことでウエハレベルの C S P の製造が完了する。

40

【0005】

上述したレジスト層には液体状のものがあるが、レジスト液の塗布が非常に難しい。このため、ポストパンプ形成用の膜厚の厚いレジスト層には、光によって固化する樹脂がポ

50

リエチレンとポリエステルのフィルムによって挟まれた構造のドライフィルムが一般的に使用されている。

【0006】

また、更なる小型化、薄肉化の要求に対応するために、再配線の微細化が必須となってきた。しかしながら、かかる再配線の微細化が進むと、ドライフィルムの貼り付け前の表面状態（すなわち、再配線による凹凸）が無視できなくなり、ドライフィルムを平坦に貼り付けることが困難になってしまう。ドライフィルムが平坦に貼り付けることができないと、ドライフィルムにしわが発生してしまい、ドライフィルムと再配線との間及びドライフィルムと保護膜との間に空隙が形成されてしまう。そして、このような空隙が形成された状態において、ポストバンプを形成するためのメッキ工程が行われると、当該空隙内にメッキが成長してしまい、再配線間で短絡が発生する問題があった。

10

【0007】

また、上述したCSPにおいては、再配線が樹脂からなる封止層に覆われているので、再配線中の金属イオンが封止層中に拡散（すなわち、エレクトロマイグレーションが発生）してしまい、再配線間で短絡が発生する問題もあった。

【0008】

特許文献1には、スピコート法等によって再配線上に液状樹脂を塗布して被覆膜を形成し、当該被覆層上にドライフィルムを塗布し、ポストバンプを形成する技術が開示されている。また、特許文献2には、ポストバンプ形成後にエレクトロマイグレーション防止膜を形成する技術が開示されている。

20

【特許文献1】特開2008-84919

【特許文献2】特開2008-244383

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、特許文献1及び2に開示された技術は、上述した2つの問題点のいずれか一方のみに対応したものであるので、上述した2つの問題を同時に解消することは困難であった。

【0010】

本発明は、以上の如き事情に鑑みてなされたものであり、半導体装置内の配線間の短絡を防止するとともに、歩留まりの向上及び高い信頼性を備える半導体装置を提供することができる半導体装置の製造方法を提供する。

30

【課題を解決するための手段】

【0011】

上述した課題を解決するために、複数の配線を備える集積回路部が形成された基板上に、集積回路部に電氣的に接続された接続パッドを形成する接続パッド形成工程と、接続パッドの一部を露出する接続パッド露出孔を有する絶縁膜及び保護膜を積層して形成する積層工程と、接続パッド露出孔を充填し、且つ、保護膜の露出面の一部を覆う副配線を形成する副配線形成工程と、副配線及び保護膜を覆う被覆膜を形成する被覆膜形成工程と、被覆膜上にドライフィルムを貼り付けるドライフィルム貼り付け工程と、被覆膜及びドライフィルムを貫通し、副配線の一部を露出させる貫通孔を形成する貫通孔形成工程と、貫通孔を充填する外部接続電極を形成する電極形成工程と、ドライフィルムを除去し、被覆膜及び外部接続電極を覆う封止層を形成する封止層形成工程と、を有し、前記副配線上に形成された前記被覆膜の膜厚が、前記副配線の膜厚よりも薄いことを特徴とする。

40

【発明の効果】

【0012】

本発明の半導体装置の製造方法によれば、半導体基板に形成された集積回路部と接続パッドを介して電氣的に接続された副配線上に被覆膜を形成することで、副配線形成に伴う副配線形成面の凹凸が緩和される。これによって、外部接続電極の形成のために使用されるドライフィルムが、しわの発生無く貼り付けられるので、副配線とドライフィルムとの

50

間及び保護膜とドライフィルムとの間に空隙が形成されることが無い。従って、外部接続電極の形成において、副配線同士の短絡を生じさせるメッキ成長を防止することができる。

【0013】

また、本発明の半導体装置の製造方法によれば、封止層形成時においても副配線が被覆膜に覆われているので、エレクトロマイグレーションの発生が防止され、封止後における副配線間の短絡を防止することができる。

【0014】

更に、本発明の半導体装置の製造方法によれば、被覆膜の形成後においては、副配線の大部分が露出されることがないので、副配線に不要な金属屑等のゴミの付着を防止することができる。

10

【0015】

以上のような効果があるので、本発明の半導体装置の製造方法によれば、半導体装置内の配線間の短絡を防止するとともに、歩留まりの向上及び高い信頼性を備える半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施例について添付図面を参照しつつ詳細に説明する。

【実施例】

【0017】

先ず、図1を参照しつつ、本発明の実施例である半導体装置の製造方法によって形成された半導体装置の構造について説明する。図1は、本発明の実施例である半導体装置の製造方法によって形成された半導体装置の断面図である。

20

【0018】

図1に示されているように、半導体装置10は、半導体基板であるp型シリコン基板11、接続パッド12、絶縁膜13、保護膜14、再配線（副配線とも称する）15、被覆膜16、柱状の外部接続電極17（以下、ポストバンプ17と称する）、封止層18から構成されている。

【0019】

p型シリコン基板11には、所望の形状の配線を備える集積回路部19が形成されている。集積回路部19は、接続パッド12に電氣的に接続されている。接続パッド12及び集積回路部19を覆うように、絶縁膜13が形成されている。絶縁膜13は、例えば、シリコン酸化膜である。絶縁膜13を覆うように保護膜14が形成されている。保護膜14は、例えば、ポリイミド系樹脂又はポリベンゾオキサゾール（PBO: Poly Benzo Oxazole）系樹脂等の有機樹脂である。また、絶縁膜13及び保護膜14には、接続パッド12を露出させるための接続パッド露出孔が設けられている。再配線15は、保護膜14上に形成され、且つ、接続パッド12を露出させるための接続パッド露出孔を充填している。

30

【0020】

保護膜14及び再配線15を覆うように、被覆膜16が形成されている。被覆膜16は、例えば、ポリイミド系樹脂又はPBO系樹脂等の有機樹脂である。被覆膜16上には、再配線15を露出させるための再配線露出孔が設けられている。ポストバンプ17は、被覆膜16上に形成され、且つ、再配線15を露出させるための再配線露出孔を充填している。また、再配線15上には、ポストバンプ17の側面を覆うように封止層18が形成されている。封止層18は、例えば、シリカ等からなるフィラーが混入されたエポキシ樹脂である。

40

【0021】

上述した半導体装置10の構成においては、ポストバンプ17が半導体装置10の表面に露出しているため、集積回路部19と半導体層地10の外部とを接続パッド12、再配線15及びポストバンプ17を電氣的に接続することが可能である。すなわち、集積回路

50

部 19 に対して外部から所望の電圧を印加することができる。

【 0022 】

なお、ポストバンプ 17 の露出面には、半田ボール（図示せず）が設けられていても良い。半田ボールが形成されることにより、実装基板への半導体装置 10 の実装が容易に行えることになる。

【 0023 】

次に、図 2 乃至図 5 を参照しつつ、本実施例である半導体装置の製造方法について説明する。図 2 乃至図 5 のそれぞれは、本発明の実施例である半導体装置の製造工程における部分断面図である。

【 0024 】

10
先ず、半導体基板としてウエハ状の p 型シリコン基板 11 が準備される（図 2（a））。例えば、P 型シリコン基板 11 の比抵抗は $3 \cdot \text{cm}$ である。準備された p 型シリコン基板 11 に、公知の集積回路形成技術によって所望の形状の配線を備える集積回路部 19 が形成される（図 2（b））。なお、図 2（b）においては、集積回路部 19 が 1 つだけ記載されているが、実際にはシリコン基板 11 に複数の集積回路部 19 が形成されている。

【 0025 】

次に、スパッタ法を用いて p 型シリコン基板 11 上に、Al 又は Cu からなる金属膜が形成される。続いて、当該金属膜上にレジストが塗布される。更に、リソグラフィによってかかるレジストがパターンニングされる。パターンニングされたレジストをマスクとしてドライエッチングが施され、集積回路部 19 に電気的に接続された接続パッド 12 が形成される（図 2（c））。なお、接続パッド 12 が形成された後に、当該レジストが除去される。

【 0026 】

20
接続パッド 12 が形成された後に、熱酸化法又は CVD（Chemical Vapor Deposition）法等の公知の成膜技術により、p 型シリコン基板 11 の接続パッド形成面及び接続パッド 12 を覆おう絶縁膜 13 が形成される（図 2（d））。続いて、絶縁膜 13 上にレジストが塗布される。更に、リソグラフィによってかかるレジストがパターンニングされる。パターンニングされたレジストをマスクとしてドライエッチングが施され、絶縁膜 13 に接続パッド 12 を露出させる第 1 の接続パッド露出孔 21 が形成される（図 2（e））。

【 0027 】

次に、スピンコート法等により、液状のポリイミド系樹脂又は PBO 系樹脂等からなる保護膜 14 が形成される。すなわち、p 型シリコン基板 11 上に絶縁膜 13 及び保護膜 14 が積層されることになる。続いて、リソグラフィによって保護膜 14 がパターンニングされ、接続パッド 12 を露出させる第 2 の接続パッド露出孔 31 が形成される（図 3（a））。すなわち、第 1 の接続パッド露出孔 21 及び第 2 の接続パッド露出孔 31 により、絶縁膜 13 及び保護膜 14 が貫通され、且つ、接続パッド 12 が露出される。

【 0028 】

30
第 2 の接続パッド露出孔 31 が形成された後に、保護膜 14、第 1 の接続パッド露出孔 21 及び第 2 の接続パッド露出孔 31 の側面並びに露出した接続パッド 12 上に金属膜（図示せず）がスパッタ法により形成される。形成された金属膜上にレジストが塗布され、当該レジストがパターンニングされる。当該パターンニングによって形成されたレジストの開口部に、電界メッキ法によって Cu からなる再配線 15 が形成される。その後、当該金属膜及び当該レジストが除去される（図 3（b））。ここで、再配線 15 が形成された面には、再配線 15 同士の離間による凹部 32 と、第 1 の接続パッド露出孔 21 及び第 2 の接続パッド露出孔 31 に起因した再配線 15 の表面形状である凹部 33 とが形成されている。

【 0029 】

40
なお、再配線 15 は以下のような方法によって形成されても良い。例えば、第 2 の接続パッド露出孔 31 が形成された後に、無電界メッキ法又は真空蒸着法等の公知のメッキ技

10

20

30

40

50

術を利用して、第1の接続パッド露出孔21及び第2の接続パッド露出孔31を充填しつつ保護膜14上にCuからなる金属膜が形成される。続いて、当該金属膜上にレジストが塗布される。続いて、リソグラフィによってかかるレジストがパターンニングされる。パターンニングされたレジストをマスクとしてドライエッチングが施され、第1の接続パッド露出孔21及び第2の接続パッド露出孔31を充填する所望の形状の再配線15が形成される。また、再配線15は、スパッタ法によって形成されたTi及びCuからなる金属多層膜によって構成されても良い。

【0030】

再配線15が形成された後に、保護膜14及び再配線15上に、スピンコート法等によって液状のポリイミド系樹脂又はPBO系樹脂等からなる被覆膜16が塗布される(図3(c))。ここで、再配線15上に形成される被覆膜16の膜厚は、再配線15の膜厚よりも薄く設定し、被覆膜16に後述する開口が形成された状態においても、後述するドライフィルムの貼り付けに影響が無いようにすることが望ましい。保護膜14及び再配線15上に被覆膜16が形成されることにより、凹部32及び凹部33に起因した凹凸が緩和される。すなわち、被覆膜16は、再配線15の形成面(すなわち、半導体ウエハの表面)を平坦化する役割がある。

10

【0031】

被覆膜16が塗布された後に、リソグラフィ(すなわち、露光されること)によって被覆膜16がパターンニングされ、被覆膜16に再配線露出孔34が形成される。再配線露出孔34が形成されることにより、再配線15の一部が露出されることになる(図3(d))。なお、再配線15上に形成される被覆膜16の膜厚が再配線15の膜厚よりも薄いことから、再配線露出孔34の深さは凹部32及び凹部33の深さよりも浅くなる。なお、再配線露出孔34が形成された後に、再配線15が形成された状態の半導体ウエハに約摂氏300度~摂氏400度の加熱処理が施される。かかる加熱処理により、被覆膜16が固化することになる。

20

【0032】

次に、ドライフィルム41が被覆膜14上に貼り付けられる(図4(a))。ここで、被覆膜16の表面上は平坦に形成されているので、ドライフィルム41にしわ等を発生させること無く、被覆膜16上にドライフィルム41を貼り付けることができる。また、再配線露出孔34の深さが再配線15の膜厚よりも薄く、ドライフィルム41の貼り付けに影響が無いので、再配線露出孔34を充填するようにドライフィルム41が貼り付けられる。すなわち、再配線15上に被覆膜16が形成されることによってドライフィルム41の貼り付け面が平坦化されるので、再配線15間及び再配線15上に不要な空隙が形成されることが無く、ドライフィルム41の正確な貼り付けが可能になる。

30

【0033】

次に、リソグラフィによってドライフィルム41がパターンニングされ、ドライフィルム41に連通路42が形成される(図4(b))。連通路42は、再配線露出孔34と連通するように形成される。例えば、連通路42は、被覆膜16に形成された再配線露出孔34よりもその開口面積が大きくなるように形成される。連通路42が形成されることにより、再配線15の一部が露出されることになる。すなわち、再配線露出孔34及び連通路42が形成されることで、再配線15の一部を露出することになる貫通孔が形成されることになる。

40

【0034】

なお、上述した製造工程においては、再配線露出孔34と連通路42とを別々に形成したが、被覆膜16の形成時には再配線露出孔34を形成せず、ドライフィルム41の貼り付け後に被覆膜16及びドライフィルム41を貫通する貫通孔を形成しても良い。かかる場合においても、リソグラフィによって貫通孔が形成されることになる。

【0035】

再配線15の一部が露出した後に、再配線15をメッキ電流路とした銅の電界メッキにより、再配線露出孔34及び連通路42を充填するポストバンプ17が形成される(図4

50

(c))。ここで、上述したドライフィルム41の貼り付け工程において、再配線15間及び再配線15上に不要な空隙が形成されることが無いので、再配線15間及び再配線15上に不要なメッキが成長することは無い。従って、本工程における再配線間の短絡を防止することができる。なお、ポストパンプ17は、銅以外の金属の電界メッキによって形成されても良い。続いて、ドライフィルム41が除去され、被覆膜16が露出される(図4(d))。

【0036】

ドライフィルム41が除去された後に、スクリーン印刷法又はスピンコート法等により、シリカ等からなるフィラーが混入されたエポキシ系樹脂からなる封止層18が形成される(図5(a))。形成される封止層18により、被覆膜16の露出面及びポストパンプ17の側面が覆われることになる。ここで、再配線15は被覆膜16によって覆われているので、再配線15が封止層18に接していない構造となる。これによって、従来のような再配線15が封止層18に覆われることで発生したエレクトロマイグレーションの発生が抑制され、再配線中の金属イオンの封止層18中への拡散及びこれに伴う再配線間で短絡の発生が防止される。すなわち、被覆膜16は、再配線15におけるエレクトロマイグレーションの防止膜としても機能することになる。

10

【0037】

次に、ポストパンプ17及び封止層18一部が、ダイヤモンドスラリーを用いた機械研磨法、化学機械研磨法(CMP:Chemical Mechanical Polishing)又はこれらを組み合わせた研磨等の周知の研磨技術方法により除去される。かかる除去により、封止層18が形成され半導体ウエハの表面全体(すなわち、ポストパンプ17の露出面)が平坦化されることになる(図5(b))。

20

【0038】

上記工程を経て形成された半導体ウエハをチップに個片化するためには、ダイヤモンドスクライブツールが装着された専用のスクライブ装置が使用される。当該半導体ウエハがスクライブ装置に装着され、スクライブラインに沿って罫書かれていくことにより、当該半導体ウエハがチップ単位に個片化される(図5(c))。具体的には、図5(b)の線5c-5c(一点鎖線で示す)がスクライブラインに対応することになる。なお、パルスレーザを用いたダイシングにより、当該半導体ウエハがチップ化されても良い。

【0039】

以上の各工程を経て、CSP(Chip Size Package)と呼ばれる、チップサイズと同等かあるいはわずかに大きいパッケージサイズの半導体装置10が完成する。

30

【0040】

以上のように、本発明の半導体装置の製造方法によれば、p型シリコン基板11に形成された集積回路部19と接続パッド12を介して電氣的に接続された再配線15上に被覆膜16を形成することで、再配線15の形成に伴う半導体ウエハ表面(再配線形成面)の凹凸が緩和される。これによって、ポストパンプ17の形成のために使用されるドライフィルム41が、しわの発生が無く貼り付けられるので、再配線15とドライフィルム41との間及び保護膜14とドライフィルム41との間に空隙が形成されることが無い。従って、ポストパンプ17の形成において、再配線15同士の短絡を生じさせるメッキ成長を防止することができる。

40

【0041】

また、本発明の半導体装置の製造方法によれば、封止層18の形成時においても再配線15が被覆膜16に覆われているので、エレクトロマイグレーションの発生が防止され、封止後における再配線15間の短絡を防止することができる。

【0042】

更に、本発明の半導体装置の製造方法によれば、被覆膜16の形成後においては、再配線15の大部分が露出されることがないので、再配線15に不要な金属屑等のゴミの付着を防止することができる。

【0043】

50

以上のような効果があるので、本発明の半導体装置の製造方法によれば、半導体装置内の配線間の短絡を防止するとともに、歩留まりの向上及び高い信頼性を備える半導体装置を提供することができる。

【図面の簡単な説明】

【0044】

【図1】本発明の実施例としての半導体装置の製造方法によって製造される半導体装置の断面図である。

【図2】本発明の実施例としての半導体装置の各製造工程における部分断面図である。

【図3】本発明の実施例としての半導体装置の各製造工程における部分断面図である。

【図4】本発明の実施例としての半導体装置の各製造工程における部分断面図である。

【図5】本発明の実施例としての半導体装置の各製造工程における部分断面図である。

【符号の説明】

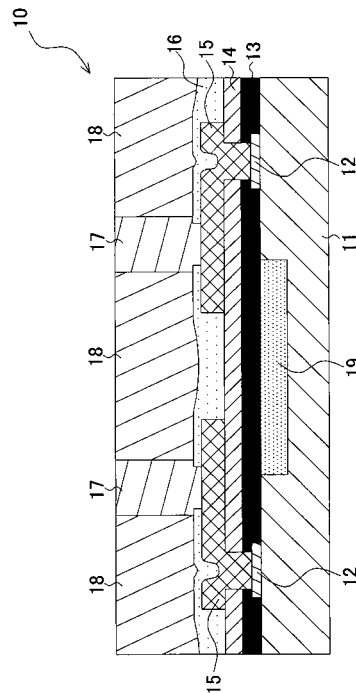
【0045】

- 10 半導体装置
- 11 p型シリコン基板
- 12 接続パッド
- 13 絶縁膜
- 14 保護膜
- 15 再配線
- 16 被覆膜
- 17 ポストバンプ（柱状の外部接続電極）
- 18 封止層
- 19 集積回路部
- 41 ドライフィルム

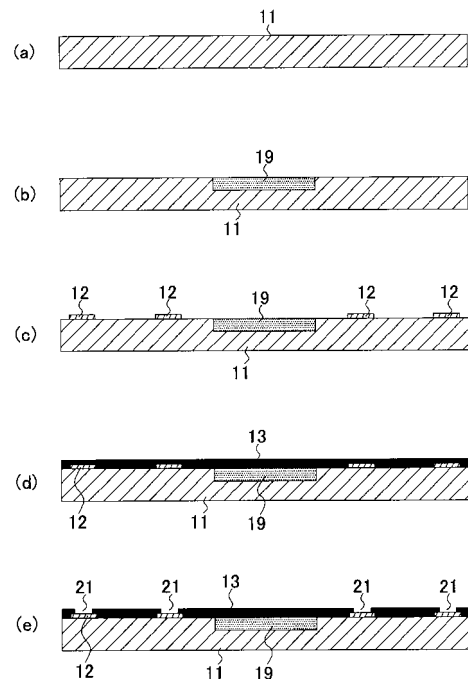
10

20

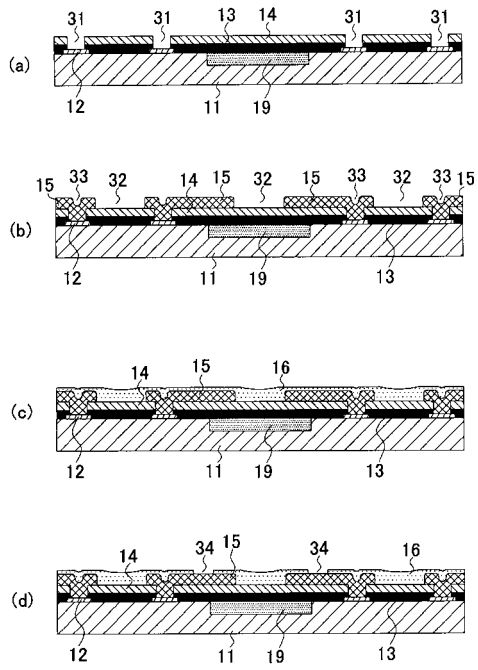
【図1】



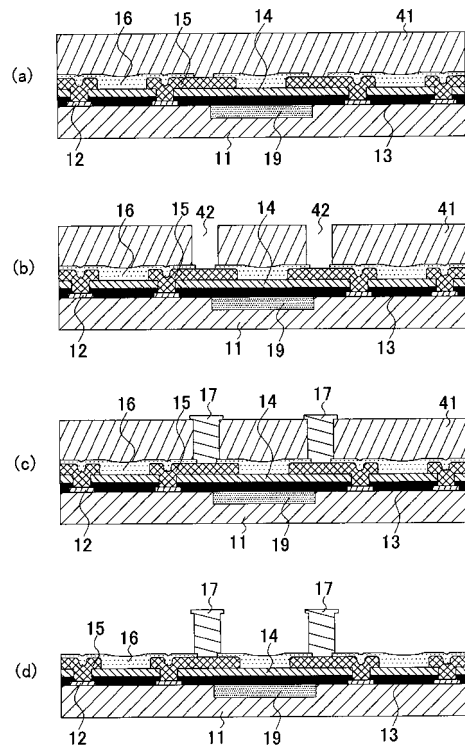
【図2】



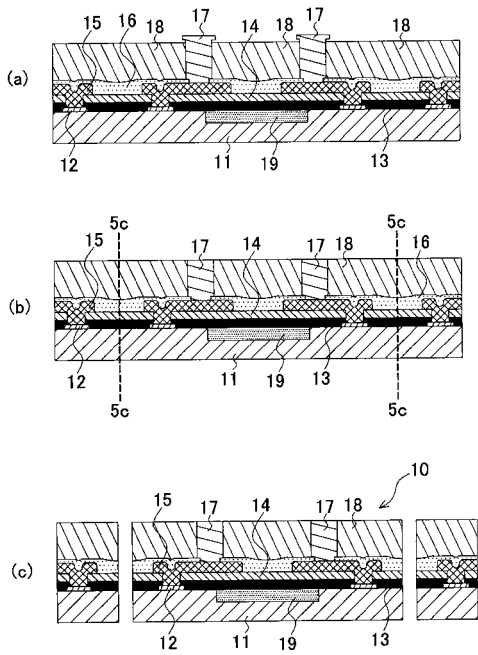
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (56)参考文献 特開2008-218731(JP,A)
特開2004-349610(JP,A)
特開2003-318326(JP,A)
特開2000-188305(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12

H01L 21/60