



(12) 发明专利申请

(10) 申请公布号 CN 116018683 A

(43) 申请公布日 2023. 04. 25

(21) 申请号 202180055481.4

(22) 申请日 2021.09.09

(30) 优先权数据

2020-169285 2020.10.06 JP

(85) PCT国际申请进入国家阶段日

2023.02.14

(86) PCT国际申请的申请数据

PCT/JP2021/033155 2021.09.09

(87) PCT国际申请的公布数据

W02022/075003 JA 2022.04.14

(71) 申请人 罗姆股份有限公司

地址 日本京都府

(72) 发明人 林口匡司 小野寺健一

(74) 专利代理机构 北京银龙知识产权代理有限公司

11243

专利代理师 曾贤伟 李平

(51) Int.Cl.

H01L 25/07 (2006.01)

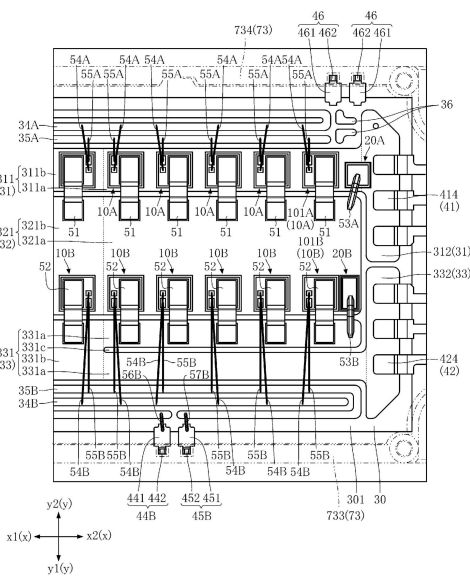
权利要求书3页 说明书19页 附图16页

(54) 发明名称

半导体装置

(57) 摘要

半导体装置具备：相互并联连接的多个半导体元件；与上述多个半导体元件反向并联连接的整流元件；与上述多个半导体元件导通的电力端子；以及包含上述多个半导体元件所接合的焊盘部而且与上述电力端子及上述多个半导体元件导通的导电体。上述多个半导体元件包含第一元件以及第二元件。上述第一元件的至上述电力端子的最短导通路径比上述第二元件的至上述电力端子的最短导通路径短。上述焊盘部包含上述第一元件所接合的第一部、以及上述第二元件所接合的第二部。上述整流元件配置在上述焊盘部的上述第一部。



1. 一种半导体装置,其特征在于,

具备:

多个第一半导体元件,其分别进行开关动作,而且相互电性地并联连接;

一个以上的第一整流元件,其与上述多个第一半导体元件电性地反向并联连接;

第一电力端子,其与上述多个第一半导体元件的各个导通;以及

第一导电体,其包含上述多个第一半导体元件所接合的第一焊盘部,而且与上述第一电力端子以及上述多个第一半导体元件导通,

上述多个第一半导体元件包含至上述第一电力端子的最短导通路径的长度相互不同的第一元件以及第二元件,

上述第一元件的上述最短导通路径的长度比上述第二元件的上述最短导通路径的长度短,

上述第一焊盘部包含上述多个第一半导体元件中至少上述第一元件所接合的第一部、以及上述多个第一半导体元件中至少上述第二元件所接合的第二部,

上述第一整流元件的数量比上述第一半导体元件的数量少,

上述一个以上的第一整流元件中的一个配置在上述第一部。

2. 根据权利要求1所述的半导体装置,其特征在于,

上述第一整流元件的数量是一个。

3. 根据权利要求1或2所述的半导体装置,其特征在于,

还具备:

多个第二半导体元件,其分别进行开关动作,而且相互电性地并联连接;以及

第二导电体,其包含上述多个第二半导体元件所接合的第二焊盘部,而且从上述第一导电体隔开间隔,

上述多个第一半导体元件的各个与上述多个第二半导体元件的各个电性地串联连接。

4. 根据权利要求3所述的半导体装置,其特征在于,

还具备:

第二电力端子,其与上述多个第二半导体元件的各个导通;以及

第三电力端子,其与上述多个第一半导体元件的各个和上述多个第二半导体元件的各个的连接点导通。

5. 根据权利要求4所述的半导体装置,其特征在于,

还包含第三导电体,该第三导电体从上述第一导电体以及上述第二导电体隔开间隔,

上述第一电力端子与上述第一导电体接合,

上述第二电力端子与上述第三导电体接合,

上述第三电力端子与上述第二导电体接合。

6. 根据权利要求5所述的半导体装置,其特征在于,

还具备:

多个第一连接部件,其分别使上述多个第一半导体元件的各个与上述第二导电体导通;以及

多个第二连接部件,其分别使上述多个第二半导体元件的各个与上述第三导电体导通,

上述第二焊盘部还与上述多个第一连接部件的各个接合，

上述第三导电体包含与上述多个第二连接部件的各个接合的第三焊盘部。

7. 根据权利要求6所述的半导体装置，其特征在于，

还具备与上述多个第二半导体元件电性地反向并联连接的一个以上的第二整流元件，

上述多个第二半导体元件包含至上述第一电力端子的最短导通路径的长度相互不同的第三元件以及第四元件，

上述第三元件的上述最短导通路径的长度比上述第四元件的上述最短导通路径的长度短，

上述第二焊盘部包含上述多个第二半导体元件中至少上述第三元件所接合的第三部、以及上述多个第二半导体元件中至少上述第四元件所接合的第四部，

上述第二整流元件的数量比上述第二半导体元件的数量少，

上述一个以上的第二整流元件中的一个配置在上述第三部。

8. 根据权利要求7所述的半导体装置，其特征在于，

上述第二整流元件的数量是一个。

9. 根据权利要求7或8所述的半导体装置，其特征在于，

上述第一导电体还包含与上述第一焊盘部连接且上述第一电力端子所接合的第一接合部，

上述第一焊盘部具有上述多个第一半导体元件的各个所接合的第一接合面，在与上述第一接合面垂直的厚度方向上观察时，从上述第一接合部沿与上述厚度方向正交的第一方向延伸。

10. 根据权利要求9所述的半导体装置，其特征在于，

上述多个第一半导体元件沿上述第一方向配置，

上述第一元件在上述多个第一半导体元件中离上述第一接合部最近，而且在上述多个第一半导体元件中至上述第一电力端子的最短导通路径最短，

在上述厚度方向上观察时，上述一个以上的第一整流元件中的一个配置在上述第一部中的与上述第一接合部连接的端缘与上述第一元件之间。

11. 根据权利要求10所述的半导体装置，其特征在于，

上述第二导电体还包含与上述第二焊盘部连接且上述第三电力端子所接合的第二接合部，

在上述厚度方向上观察时，上述第二焊盘部从上述第二接合部沿上述第一方向延伸。

12. 根据权利要求11所述的半导体装置，其特征在于，

上述多个第二半导体元件沿上述第一方向配置。

13. 根据权利要求12所述的半导体装置，其特征在于，

上述第三导电体还包含与上述第三焊盘部连接且上述第二电力端子所接合的第三接合部，

在上述厚度方向上观察时，上述第三焊盘部从上述第三接合部沿上述第一方向延伸。

14. 根据权利要求13所述的半导体装置，其特征在于，

在与上述厚度方向以及上述第一方向正交的第二方向上观察时，上述第一焊盘部、上述第二焊盘部以及上述第三焊盘部相互重叠，

上述第一焊盘部以及上述第三焊盘部在上述第二方向上隔着上述第二焊盘部而位于彼此相反的一侧。

15. 根据权利要求14所述的半导体装置, 其特征在于,

上述第一电力端子和上述第二电力端子沿上述第二方向配置。

16. 根据权利要求15所述的半导体装置, 其特征在于,

上述第一电力端子以及上述第二电力端子与上述第三电力端子在上述第一方向上隔着上述第一焊盘部、上述第二焊盘部以及上述第三焊盘部而位于彼此相反的一侧。

17. 根据权利要求16所述的半导体装置, 其特征在于,

在上述第二方向上观察时, 上述多个第一半导体元件与上述多个第二半导体元件相互重叠,

在上述厚度方向上观察时, 上述多个第一连接部件的各个沿上述第二方向延伸,

在上述厚度方向上观察时, 上述多个第二连接部件的各个沿上述第二方向延伸。

18. 根据权利要求17所述的半导体装置, 其特征在于,

在上述第二方向上观察时, 上述第一元件与上述第三元件相互重叠,

上述第三元件在上述多个第二半导体元件中至上述第一电力端子的最短导通路径最短,

在上述厚度方向上观察时, 上述一个以上的第二整流元件中的一个配置在上述第三部中的在上述第一方向上靠近上述第一电力端子的端缘与上述第三元件之间。

19. 根据权利要求18所述的半导体装置, 其特征在于,

上述第三焊盘部包含在上述厚度方向上观察时在上述第一方向上延伸的狭缝、以及被该狭缝在上述第二方向上分离的一对分离部,

在上述第二方向上观察时, 上述一对分离部分别与上述第三部重叠。

20. 根据权利要求7~19任一项中所述的半导体装置, 其特征在于,

上述多个第一半导体元件的各个以及上述多个第二半导体元件的各个是MOSFET,

上述一个以上的第一整流元件以及上述一个以上的第二整流元件是肖特基势垒二极管。

半导体装置

技术领域

[0001] 本公开涉及半导体装置。

背景技术

[0002] 近年来,公知有具备MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor,金属氧化物半导体场效应晶体管)、IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极晶体管)等的半导体元件的半导体装置。例如公知有如下结构:将两个半导体元件(第一半导体元件以及第二半导体元件)串联连接,通过各半导体元件的开关动作,将直流电压变换成交流电压。另外,在这样的半导体装置中,公知有如下结构:为了确保较大的容许电流,将多个第一半导体元件并联连接,而且将多个第二半导体元件并联连接(例如专利文献1)。在专利文献1所记载的结构中,具备并联连接的多个第一半导体元件和并联连接的多个第二半导体元件,多个第一半导体元件的各个和多个第二半导体元件的各个串联连接。各第一、第二半导体元件由MOSFET构成,具有内置二极管。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2016—225493号公报

发明内容

[0006] 发明所要解决的课题

[0007] 在专利文献1所记载的半导体装置中,伴随多个第一半导体元件以及多个第二半导体元件的开关动作,有时在各第一半导体元件以及各第二半导体元件流动浪涌电流。该浪涌电流向各半导体元件的内置二极管流动,流动的方向是各半导体元件的反方向(内置二极管的正向)。该浪涌电流引起的向内置二极管的过剩的通电导致各半导体元件的特性恶化(例如接通电阻的增大)。

[0008] 鉴于上述事情,本公开的一个课题是提供一种半导体装置,其能够抑制向各半导体元件的内置二极管的过剩的通电,能够抑制多个半导体元件的特性恶化。

[0009] 用于解决课题的方案

[0010] 本公开的半导体装置具备:多个第一半导体元件,其分别进行开关动作,而且相互电性地并联连接;一个以上的第一整流元件,其与上述多个第一半导体元件电性地反向并联连接;第一电力端子,其与上述多个第一半导体元件的各个导通;以及第一导电体,其包含上述多个第一半导体元件所接合的第一焊盘部,而且与上述第一电力端子以及上述多个第一半导体元件导通。上述多个第一半导体元件包含至上述第一电力端子的最短导通路径的长度相互不同的第一元件以及第二元件。上述第一元件的上述最短导通路径的长度比上述第二元件的上述最短导通路径的长度短。上述第一焊盘部包含上述多个第一半导体元件中至少上述第一元件所接合的第一部、以及上述多个第一半导体元件中至少上述第二元件所接合的第二部。上述第一整流元件的数量比上述第一半导体元件的数量少,上述一个以

上的第一整流元件中的一个配置在上述第一部。

[0011] 发明效果

[0012] 根据基于本公开的结构,能够抑制向半导体元件的内置二极管的过剩的通电,抑制半导体元件的特性恶化。

附图说明

[0013] 图1是表示第一实施方式的半导体装置的立体图。

[0014] 图2是在图1的立体图中省略了散热板以及外壳的图。

[0015] 图3是表示第一实施方式的半导体装置的俯视图。

[0016] 图4是在图3的俯视图中用想象线表示散热板以及外壳的图。

[0017] 图5是放大了图4的一部分的局部放大图。

[0018] 图6是放大了图5的一部分的局部放大图。

[0019] 图7是放大了图4的一部分的局部放大图。

[0020] 图8是表示第一实施方式的半导体装置的主视图。

[0021] 图9是表示第一实施方式的半导体装置的侧视图(左侧视图)。

[0022] 图10是表示第一实施方式的半导体装置的侧视图(右侧视图)。

[0023] 图11是表示第一实施方式的半导体装置的仰视图。

[0024] 图12是沿图4的XII—XII线的剖视图。

[0025] 图13是沿图6的XIII—XIII线的剖切端面图。

[0026] 图14是沿图6的XIV—XIV线的剖切端面图。

[0027] 图15是表示第一实施方式的半导体装置的电路结构的一例的电路图。

[0028] 图16是表示第二实施方式的半导体装置的俯视图。

[0029] 图17是表示第三实施方式的半导体装置的俯视图。

[0030] 图18是表示第四实施方式的半导体装置的俯视图。

[0031] 图19是表示第五实施方式的半导体装置的俯视图。

具体实施方式

[0032] 参照附图对本公开的半导体装置的优选的实施方式进行以下说明。在以下的说明中,对相同或者类似的构成要素标注相同符号并省略重复的说明。

[0033] 图1~图15表示第一实施方式的半导体装置A1。半导体装置A1具备多个半导体元件10A、10B、多个整流元件20A、20B、支撑部件3、多个电力端子41、42、43A、43B、一对信号端子44A、44B、多个检测端子45A、45B、46、47、多个连接部件51、52、53A、53B、54A、54B、55A、55B、56A、56A、57A、57B、58、散热板70以及外壳71。

[0034] 图1是表示半导体装置A1的立体图。图2是在图1的立体图中省略了散热板70以及外壳71的图。图3是表示半导体装置A1的俯视图。图4是在图3的俯视图中分别用想象线(双点划线)表示散热板70以及外壳71的图。图5是放大了图4的一部分的局部放大图。图6是放大了图5的一部分的局部放大图。图7是放大了图4的一部分的局部放大图。图8是表示半导体装置A1的主视图。图9是表示半导体装置A1的侧视图(左侧视图)。图10是表示半导体装置A1的侧视图(右侧视图)。图11是表示半导体装置A1的仰视图。图12是沿图4的XII—XII线的

剖视图。图13是沿图6的XIII—XIII线的剖切端面图。图14是沿图6的XIV—XIV线的剖切端面图。图15是表示半导体装置A1的电路结构的一例的电路图。

[0035] 为了便于说明,将相互正交的三个方向设为x方向、y方向、z方向。z方向是半导体装置A1的厚度方向。x方向是半导体装置A1的俯视图(参照图3、4)中的左右方向。y方向是半导体装置A1的俯视图(参照图3、4)中的上下方向。将x方向的一方设为x1方向、将x方向的另一方设为x2方向。同样,将y方向的一方设为y1方向、将y方向的另一方设为y2方向,将z方向的一方设为z1方向、将z方向的另一方设为z2方向。在以下的说明中,“俯视”是指在z方向上观察时。z方向是“厚度方向”的一例。另外,x方向是“第一方向”的一例,y方向是“第二方向”的一例,但本公开并不限于此。

[0036] 如图11以及图12所示,散热板70是俯视时呈矩形形状的板状。散热板70由热传导系数高的材料构成,例如由铜或者铜合金构成。也可以在散热板70的表面实施镀镍。根据需要,在散热板70的z1方向侧的表面安装有冷却部件(例如散热器)。如图12所示,支撑部件3载置在该散热板70上。

[0037] 如从图1以及图3所理解的那样,外壳71是大致长方体。外壳71由具有电绝缘性而且耐热性优异的合成树脂构成,例如由PPS(聚苯硫醚)构成。外壳71在俯视时是与散热板70大致相同大小的矩形形状。外壳71具备:固定于散热板70的z2方向侧的表面的框部73;以及固定于该框部73的顶板72。如图1以及图12所示,顶板72封闭框部73的z2方向侧的开口。如图12所示,顶板72与封闭框部73的z1方向侧的散热板70对置。通过顶板72、散热板70以及框部73,在外壳71的内部划分出电路收放空间(收放多个半导体元件10A、10B、多个整流元件20A、20B以及支撑部件3等的空间)。

[0038] 如图3所示,框部73具有在x方向上隔开间隔的一对侧壁731、732以及在y方向上隔开间隔的一对侧壁733、734。一对侧壁731、732在俯视时分别在y方向上延伸。侧壁732位于比侧壁731靠x2方向。一对侧壁733、734在俯视时在x方向上延伸。侧壁734位于比侧壁733靠y2方向。侧壁733与一对侧壁731、732的y1方向侧的各端缘部连接,侧壁734与一对侧壁731、732的y2方向侧的各端缘部连接。

[0039] 如图1、图3以及图9所示,在侧壁731的外表面形成有两个端子台771、772。两个端子台771、772沿y方向配置。端子台771覆盖电力端子43A的一部分,而且在z2方向侧的表面配置有电力端子43A的一部分。端子台772覆盖电力端子43B的一部分,而且在z2方向侧的表面配置有电力端子43B的一部分。在俯视时,端子台771相对于侧壁731的长度方向(y方向)中央配置在y2方向侧,端子台772相对于侧壁731的长度方向(y方向)中央配置在y1方向侧。上述端子台771、772与侧壁731一体地形成。

[0040] 如图1、图3以及图10所示,在侧壁732的外表面形成有两个端子台773、774。两个端子台773、774沿y方向配置。端子台773覆盖电力端子41的一部分,而且在z2方向侧的表面配置有电力端子41的一部分。端子台774覆盖电力端子42的一部分,而且在z2方向侧的表面配置有电力端子42的一部分。在俯视时,端子台773相对于侧壁732的长度方向(y方向)中央配置在y2方向侧,端子台774相对于侧壁732的长度方向(y方向)中央配置在y1方向侧。上述端子台773、774与侧壁732一体地形成。在各端子台771~774例如埋设有螺母(省略图示)。该螺母的螺纹孔的中心轴线与z方向一致。

[0041] 如图1、图3以及图8~10所示,在框部73的z2方向侧的表面中的四个角部分别形

成有凹部74。凹部74的底壁形成贯通底壁的安装用贯通孔75。筒状金属部件76以嵌入的状态固定于安装用贯通孔75。在散热板70形成有与安装用贯通孔75连通的安装用贯通孔(参照图11)。半导体装置A1通过在外壳71的安装用贯通孔75以及散热板70的安装用贯通孔插通的紧固件(例如螺栓)固定于安装对象的预定的固定位置。也可以利用上述的安装用贯通孔75来安装上述散热器等冷却机构。

[0042] 如图15所示,多个半导体元件10A、10B例如分别是MOSFET。各半导体元件10A、10B也可以不是MOSFET、而是包含MISFET(Metal-Insulator-Semiconductor FET,金属绝缘体半导体FET)的场效应晶体管、或者IGBT那样的双极晶体管等。各半导体元件10A、10B具有图示的内置二极管。各半导体元件10A、10B例如由SiC(碳化硅)构成。各半导体元件10A、10B也可以由Si(硅)、GaAs(砷化镓)或者GaN(氮化镓)等构成,来代替SiC。各半导体元件10A、10B在俯视时例如是矩形形状。

[0043] 如图13以及图14所示,多个半导体元件10A、10B分别具有元件主面100a以及元件背面100b。在各半导体元件10A、10B中,元件主面100a与元件背面100b在z方向上隔开间隔,元件主面100a朝向z2方向,元件背面100b朝向z1方向。

[0044] 如图6、图13以及图14所示,多个半导体元件10A、10B分别具有第一电极11、第二电极12、第三电极13以及第四电极14。在各半导体元件10A、10B中,第一电极11、第三电极13以及第四电极14形成于元件主面100a,第二电极12形成于元件背面100b。在各半导体元件10A、10B为MOSFET的例子中,第一电极11是源极电极,第二电极12是漏极电极,第三电极13是栅极电极,第四电极14是源极感测电极(源极电流检测用电极)。各半导体元件10A、10B所具有的内置二极管中,阳极与第一电极11(源极电极)连接,阴极与第二电极12(漏极电极)连接。各半导体元件10A、10B中,若向第三电极13(栅极电极)输入驱动信号(例如栅极电压),则根据该驱动信号切换导通状态和断开状态。将切换该导通状态和断开状态的动作称为开关动作。在导通状态下,电流从第二电极12(漏极电极)向第一电极11(源极电极)流动,在断开状态下,该电流不流动。半导体装置A1通过多个半导体元件10A、10B的开关动作将输入至两个电力端子41、42间的直流电压变换成例如交流电压。

[0045] 半导体装置A1例如作为半桥型的开关电路而构成。该情况下,多个半导体元件10A构成半导体装置A1的上臂电路,多个半导体元件10B构成半导体装置A1的下臂电路。因而,各半导体元件10A和各半导体元件10B串联连接,构成电桥。在图2、图4以及图15所示的例子中,半导体装置A1包含10个半导体元件10A和10个半导体元件10B。半导体元件10A、10B的数量并不限定于本结构,根据半导体装置A1所要求的性能适当变更。

[0046] 如图4~图7、图12以及图13所示,多个半导体元件10A分别搭载于支撑部件3。在图4所示的例子中,多个半导体元件10A例如沿x方向配置,相互隔开间隔。各半导体元件10A经由未图示的导电性接合材料(例如烧结银、烧结铜等的烧结金属、银、铜等的金属糊料、或者焊锡等)而与支撑部件3(后述的导电体31)导通接合。各半导体元件10A与导电体31接合时,元件背面100b与导电体31对置。

[0047] 如图4~图7所示,多个半导体元件10A包含第一元件101A以及第二元件102A。第一元件101A和第二元件102A至电力端子41的最短导通路径的长度相互不同。第一元件101A的该最短导通路径比第二元件102A短。在半导体装置A1中,将多个半导体元件10A中至电力端子41的最短导通路径最短的半导体元件10A设为第一元件101A,将多个半导体元件10A中至

电力端子41的最短导通路径最长的半导体元件10A设为第二元件102A。此外,在多个半导体元件10A中的两个半导体元件10A中,如果将至电力端子41的最短导通路径较短的一方设为第一元件101A,将至电力端子41的最短导通路径较长的一方设为第二元件102A,则第一元件101A也可以不是至电力端子41的最短导通路径最短的半导体元件10A,另外,第二元件102A也可以不是至电力端子41的最短导通路径最长的半导体元件10A。

[0048] 如图4~图7、图12以及图14所示,多个半导体元件10B分别搭载于支撑部件3。在图4所示的例子中,多个半导体元件10B例如沿x方向配置,相互隔开间隔。各半导体元件10B经由未图示的导电性接合材(例如烧结银、烧结铜等的烧结金属、银、铜等的金属糊料、或者焊锡等)而与支撑部件3(后述的导电体32)导通接合。各半导体元件10B与导电体32接合时,元件背面100b与导电体32对置。在图4以及图5所示的例子中,在y方向上观察,多个半导体元件10A与多个半导体元件10B重叠,但它们也可以不重叠。

[0049] 如图4~图7所示,多个半导体元件10B包含第三元件101B以及第四元件102B。第三元件101B和第四元件102B至电力端子41的最短导通路径的长度相互不同。第四元件102B的该最短导通路径比第三元件101B短。在半导体装置A1中,将多个半导体元件10B中至电力端子41的最短导通路径最短的半导体元件10B设为第三元件101B,将多个半导体元件10B中至电力端子41的最短导通路径最长的半导体元件10B设为第四元件102B。此外,在多个半导体元件10B中的两个半导体元件10B中,如果将至电力端子41的最短导通路径较短的一方设为第三元件101B,将至电力端子41的最短导通路径较长的一方设为第四元件102B,则第三元件101B也可以不是至电力端子41的最短导通路径最短的半导体元件10B,另外,第四元件102B也可以不是至电力端子41的最短导通路径最长的半导体元件10B。

[0050] 多个整流元件20A、20B例如分别是二极管。在各半导体元件10A、10B由MOSFET构成的例子中,作为该二极管,如图15所示,例如使用肖特基势垒二极管。另外,在各半导体元件10A、10B由IGBT构成的情况下,使用快速恢复二极管。各整流元件20A、20B并不限于二极管,只要是具有整流作用的电子部件即可,例如也可以是与各半导体元件10A、10B的开关动作一致地进行开关动作的晶体管。

[0051] 如图13以及图14所示,多个整流元件20A、20B分别具有元件主面200a以及元件背面200b。在各整流元件20A、20B中,元件主面200a与元件背面200b在z方向上隔开间隔,元件主面200a朝向z2方向,元件背面200b朝向z1方向。

[0052] 如图13以及图14所示,各整流元件20A、20B具有第一电极21以及第二电极22。第一电极21形成于元件主面200a,第二电极22形成于元件背面200b。在各整流元件20A、20B为二极管(例如肖特基势垒二极管)的例子中,第一电极21是阳极电极,第二电极22是阴极电极。

[0053] 如图15所示,整流元件20A与各半导体元件10A电性地反向并联连接。该反向并联连接是各半导体元件10A的正向电流与整流元件20A的正向电流反向并联连接的状态,具体而言,整流元件20A的第一电极21(阳极电极)与各半导体元件10A的第一电极11(源极电极)连接,整流元件20A的第二电极22(阴极电极)与各半导体元件10A的第二电极12(漏极电极)连接。由此,整流元件20A的第一电极21(阳极电极)与各半导体元件10A的第一电极11(源极电极)导通,整流元件20A的第二电极22(阴极电极)与各半导体元件10A的第二电极12(漏极电极)导通。当伴随各半导体元件10A的开关动作而产生了浪涌电压时,向整流元件20A流动正向电流(浪涌电流),可抑制施加于各半导体元件10A的浪涌电压。在图4所示的例子中,整

流元件20A与第一元件101A相邻。半导体装置A1具备一个整流元件20A,但只要整流元件20A的数量比多个半导体元件10A的数量少,则也可以具备一个以上的整流元件20A。

[0054] 如图15所示,整流元件20B与各半导体元件10B电性地反向并联连接。该反向并联连接是各半导体元件10B的正向电流与整流元件20B的正向电流反向并联连接的状态,具体而言,整流元件20B的第一电极21(阳极电极)与各半导体元件10B的第一电极11(源极电极)连接,整流元件20B的第二电极22(阴极电极)与各半导体元件10B的第二电极12(漏极电极)连接。由此,整流元件20B的第一电极21(阳极电极)与各半导体元件10B的第一电极11(源极电极)导通,整流元件20B的第二电极22(阴极电极)与各半导体元件10B的第二电极12(漏极电极)导通。当伴随各半导体元件10B的开关动作而产生了浪涌电压时,向整流元件20B流动正向电流(浪涌电流),可抑制施加于各半导体元件10B的浪涌电压。在图4所示的例子中,整流元件20B与第三元件101B相邻。半导体装置A1具备一个整流元件20B,但只要整流元件20B的数量比多个半导体元件10B少,则也可以具备一个以上的整流元件20B。

[0055] 支撑部件3支撑多个半导体元件10A、10B以及多个整流元件20A、20B。支撑部件3构成多个半导体元件10A、10B以及多个整流元件20A、20B与多个电力端子41、42、43A、43B、一对信号端子44A、44B以及多个检测端子45A、45B、46、47的导通路径。支撑部件3包含绝缘基板30、多个导电体31~33、一对导电体34A、34B、一对导电体35A、35B以及一对导电体36。

[0056] 绝缘基板30具有电绝缘性。绝缘基板30的构成材料例如是导热性优异的陶瓷。作为这样的陶瓷,例如使用AlN(氮化铝)、SiN(氮化硅)、Al₂O₃(氧化铝)等。绝缘基板30例如是平板状。

[0057] 如图12~图14所示,绝缘基板30具有主面301以及背面302。主面301与背面302在z方向上隔开间隔。主面301朝向z2方向,背面302朝向z1方向。

[0058] 如图4以及图12所示,多个导电体31~33、一对导电体34A、34B、一对导电体35A、35B以及一对导电体36配置在绝缘基板30的主面301。多个导电体31~33、一对导电体34A、34B、一对导电体35A、35B以及一对导电体36例如是金属层。多个导电体31~33、一对导电体34A、34B、一对导电体35A、35B以及一对导电体36例如由铜或者铜合金构成。多个导电体31~33、一对导电体34A、34B、一对导电体35A、35B以及一对导电体36也可以由铝或者铝合金等构成,来代替铜或者铜合金。多个导电体31~33、一对导电体34A、34B、一对导电体35A、35B以及一对导电体36相互隔开间隔。

[0059] 导电体31搭载有多个半导体元件10A。导电体31与电力端子41导通。导电体31包含第一焊盘部311、第一接合部312以及伸出部313。第一焊盘部311、第一接合部312以及伸出部313相互连接,且一体地形成。

[0060] 第一焊盘部311与多个半导体元件10A接合,并与多个半导体元件10A的各第二电极12(漏极电极)导通。第一焊盘部311从第一接合部312沿x方向延伸。在图4等所示的例子中,第一焊盘部311是x方向为长度方向的带状。多个半导体元件10A在该第一焊盘部311上沿x方向配置。如图4、图12以及图13所示,第一焊盘部311具有第一接合面311z。第一接合面311z朝向z2方向,与x-y平面大致平行。第一接合面311z与多个半导体元件10A的各个接合。

[0061] 第一焊盘部311包含第一部311a以及第二部311b。第一部311a与第二部311b相互连接。第一部311a至少与第一元件101A接合。在图4~图7所示的例子中,在第一部311a接合

有多个半导体元件10A中的至电力端子41的最短导通路径相对较短的五个半导体元件10A(包含第一元件101A)。另外,在第一部311a接合有整流元件20A。尤其是,在图5所示的例子中,整流元件20A跨越第一部311a和第一接合部312地接合。第二部311b至少与第二元件102A接合。在图4~图7所示的例子中,在第二部311b接合有多个半导体元件10A中的至电力端子41的最短导通路径相对较长的五个半导体元件10A(包含第二元件102A)。另外,在第二部311b未接合有整流元件20A。在图4所示的例子中,将第一焊盘部311在x方向上分为大致两半,将靠近电力端子41的一方作为第一部311a,将远离电力端子41的一方作为第二部311b。此外,在多个半导体元件10A的数量为奇数的情况下,配置在x方向中央的半导体元件10A可以与第一部311a或者第二部311b的任一接合。第一焊盘部311中的第一部311a和第二部311b的各区域并不限定于图4所示的例子,也可以如下设定。也可以将至电力端子41的最短导通路径相对不同的两个半导体元件10A中的该最短导通路径较短的半导体元件10A所接合的区域作为第一部311a,将该最短导通路径较长的半导体元件10A所接合的区域作为第二部311b。或者,也可以将多个半导体元件10A中的满足以下条件的半导体元件10A所接合的区域作为第一部311a,将剩余的区域作为第二部311b。作为其条件,是至电力端子41的各最短导通路径的长度比上述的各最短导通路径的长度的平均小。第一接合面311z由第一部311a以及第二部311b的各上表面(朝向z2方向的面)构成。

[0062] 如图4~图6等所示,第一接合部312与电力端子41接合。第一接合部312是将y方向设为长度方向的带状。第一接合部312与第一焊盘部311的x2方向侧的端缘连接。因此,第一元件101A是多个半导体元件10A中位于最靠x2方向的半导体元件10A。另一方面,第二元件102A是多个半导体元件10A中位于最靠x1方向的半导体元件10A。

[0063] 如图7所示,伸出部313从第一焊盘部311的x1方向侧的端部沿y方向延伸。在图7所示的例子中,伸出部313配置为在俯视时夹在导电体32(后述的第二接合部322)与导电体34A以及导电体35A之间。

[0064] 导电体32搭载有多个半导体元件10B。导电体32与各电力端子43A、43B导通。导电体32包含第二焊盘部321以及第二接合部322。第二焊盘部321以及第二接合部322相互连接,且一体地形成。

[0065] 第二焊盘部321与多个半导体元件10B接合,并与多个半导体元件10B的各第二电极12(漏极电极)导通。另外,第二焊盘部321分别与多个连接部件51接合,经由各连接部件51而与各半导体元件10A的第一电极11(源极电极)导通。第二焊盘部321从第二接合部322沿x方向延伸。在图4等所示的例子中,第二焊盘部321是x方向为长度方向的带状。多个半导体元件10B在该第二焊盘部321上沿x方向配置。如图4、图12以及图14所示,第二焊盘部321具有第二接合面321z。第二接合面321z朝向z2方向,与x-y平面大致平行。第二接合面321z与多个半导体元件10B的各个接合。

[0066] 第二焊盘部321包含第三部321a以及第四部321b。第三部321a与第四部321b相互连接。第三部321a至少与第三元件101B接合。在图4~图7所示的例子中,在第三部321a接合有多个半导体元件10B中至电力端子41的最短导通路径相对较短的五个半导体元件10B(包含第三元件101B)。另外,在第三部321a接合有整流元件20B。尤其是,整流元件20B在俯视时位于第三部321a中的在x方向上靠近电力端子41的端缘与第三元件101B之间。第四部321b至少与第四元件102B接合。在图4~图7所示的例中,在第四部321b接合有多个半导体元件

10B中至电力端子41的最短导通路径相对较长的五个半导体元件10B(包含第四元件102B)。另外,在第四部321b未接合有整流元件20B。在图4所示的例中,将第二焊盘部321在x方向上分成大致两半,将靠近电力端子41的一方作为第三部321a,将远离电力端子41的一方作为第四部321b。此外,在多个半导体元件10B的数量为奇数的情况下,配置在x方向中央的半导体元件10B也可以与第三部321a或者第四部321b的任一接合。第二焊盘部321中的第三部321a和第四部321b的各区域并不限于图4所示的例子,也可以如下设定。也可以将至电力端子41的最短导通路径相对不同的两个半导体元件10B中的该最短导通路径较短的半导体元件10B所接合的区域作为第三部321a,将该最短导通路径较长的半导体元件10B所接合的区域作为第四部321b。或者,也可以将多个半导体元件10B中的满足以下条件的半导体元件10B所接合的区域作为第三部321a,将剩余的区域作为第四部321b。其条件是,至电力端子41的各最短导通路径的长度比上述的各最短导通路径的长度的平均小。第二接合面321z由第三部321a以及第四部321b的各上表面(朝向z2方向的面)构成。

[0067] 如图4以及图7所示,第二接合部322与一对电力端子43A、43B接合。第二接合部322是以y方向为长度方向的带状。第二接合部322与第二焊盘部321的x1方向侧的端缘连接。

[0068] 导电体33与电力端子42导通。如图4所示,导电体33包含第三焊盘部331以及第三接合部332。第三焊盘部331以及第三接合部332相互连接,且一体地形成。

[0069] 第三焊盘部331分别与多个连接部件52接合,经由各连接部件52而与各半导体元件10B的第一电极11(源极电极)导通。第三焊盘部331从第三接合部332沿x方向延伸。在图4所示的例中,第三焊盘部331是x方向为长度方向的带状。如图4以及图12所示,第三焊盘部331具有第三接合面331z。第三接合面331z朝向z2方向,与x-y平面大致平行。第三接合面331z与多个连接部件52的各个接合。

[0070] 如图5~图7所示,第三焊盘部331包含一对分离部331a、连结部331b以及狭缝331c。一对分离部331a在y方向上由狭缝331c分离。在一对分离部331a的一方接合有多个连接部件52,一对分离部331a的另一方与第三接合部332连接。在y方向上观察时,一对分离部331a与第一部311a以及第三部321a重叠。也就是,在y方向上观察时,狭缝331c与第一部311a以及第三部321a重叠。连结部331b分别与一对分离部331a连接,将一对分离部331a连结。在连结部331b接合有多个连接部件52。第三接合面331z由一对分离部331a以及连结部331b的各上表面(朝向z2方向的面)构成。

[0071] 如图5以及图6所示,第三接合部332与电力端子42接合。第三接合部332是以y方向为长度方向的带状。第三接合部332与第三焊盘部331的x2方向侧的端缘连接。尤其是,第三接合部332与第三焊盘部331的一对分离部331a的一方(在图5所示的例子中为y1方向侧的分离部331a)连接。

[0072] 一对导电体34A、34B分别与各半导体元件10A、10B的第三电极13(栅极电极)导通。如图5~图7所示,导电体34A经由各连接部件54A而与各半导体元件10A的第三电极13(栅极电极)导通。如图5~图7所示,导电体34B经由各连接部件54B而与各半导体元件10B的第三电极13(栅极电极)导通。

[0073] 一对导电体35A、35B分别与各半导体元件10A、10B的第四电极14(源极感测电极)导通。如图5~图7所示,导电体35A经由各连接部件55A而与各半导体元件10A的第四电极14(源极感测电极)导通。如图5~图7所示,导电体35B经由各连接部件55B而与各半导体元件

10B的第四电极14(源极感测电极)导通。

[0074] 在图4~图6所示的例中,一对导电体36分别不与任何部件连接,但在与半导体装置A1不同的结构中,例如与热敏电阻(省略图示)连接。该热敏电阻跨越一对导电体36地配置。

[0075] 多个电力端子41、42、43A、43B、一对信号端子44A、44B、多个检测端子45A、45B、46、47各自的一部分从外壳71露出。

[0076] 两个电力端子41、42与电源连接,施加有电源电压(例如直流电压)。例如电力端子41是正极(P端子),电力端子42是负极(N端子)。两个电力端子41、42相互隔开间隔,沿y方向配置。因而,多个半导体元件10A以及多个半导体元件10B分别在电力端子41和电力端子42排列的方向(y方向)正交的方向(x方向)上排列。

[0077] 如图15所示,电力端子41与多个半导体元件10A导通。如图2以及图4所示,电力端子41包含前端部411、基部412以及立起部413。前端部411沿端子台773的z2方向侧的表面形成。基部412在前端部411的z1方向侧与前端部411平行地配置。立起部413将前端部411的y1方向侧端缘部与基部412的y1方向侧端缘部连结。基部412的大部分和立起部413埋入到侧壁732以及端子台773的内部。在基部412的x2方向侧端缘部,形成有朝向外壳71的内方突出的梳齿部414。如图4~图6所示,梳齿部414与导电体31的第一接合部312接合。该接合可以是使用了导电性接合材(例如焊锡或者烧结金属等)的接合、激光接合、或者超音波接合等的任意的的方法。通过该接合,电力端子41经由导电体31而与多个半导体元件10A分别导通。

[0078] 如图15所示,电力端子42与多个半导体元件10B导通。如图2以及图4所示,电力端子42包含前端部421、基部422以及立起部423。前端部421沿端子台774的z2方向侧的表面形成。基部422在前端部421的z1方向侧与前端部421平行地配置。立起部423将前端部421的y2方向侧端缘部与基部422的y2方向侧端缘部连结。基部422的大部分和立起部423埋入到侧壁732以及端子台774的内部。在基部422的x2方向侧端缘部,形成有朝向外壳71的内方突出的梳齿部424。如图4~图6所示,梳齿部424与导电体33的第三接合部332接合。该接合可以是使用了导电性接合材(例如焊锡或者烧结金属等)的接合、激光接合、或者超音波接合等的任意的的方法。通过该接合,电力端子42经由导电体33而与多个半导体元件10B分别导通。

[0079] 如图15所示,一对电力端子43A、43B与多个半导体元件10A的每个和多个半导体元件10B的每个的连接点导通。从一对电力端子43A、43B输出由多个半导体元件10A、10B变换电力后的交流电压。在与半导体装置A1不同的结构中,也可以仅具备一对电力端子43A、43B的任一方。该情况下,该一对电力端子43A、43B的一方也可以配置在y方向的中央。

[0080] 如图2以及图4所示,一对电力端子43A、43B分别包含前端部431、基部432以及立起部433。在电力端子43A中,前端部431沿端子台771的z2方向侧的表面形成。基部432在前端部431的z1方向侧与前端部431平行地配置。立起部433将前端部431的y1方向侧端缘部与基部432的y1方向侧端缘部连结。基部432的大部分和立起部433埋入到侧壁731以及端子台771的内部。在基部432的x1方向侧端缘部,形成有朝向外壳71的内方突出的梳齿部434。如图4以及图7所示,梳齿部434与导电体32的第二接合部322接合。该接合可以是使用了导电性接合材(例如焊锡或者烧结金属等)的接合、激光接合、或者超音波接合等的任意的的方法。通过该接合,电力端子43B经由导电体32而与多个半导体元件10A的每个以及多个半导体元件10B的每个导通。另一方面,在电力端子43B中,前端部431沿端子台772的z2方向侧的表面

形成。基部432在前端部431的z1方向侧与前端部431平行地配置。立起部433将前端部431的y2方向侧端缘部与基部432的y2方向侧端缘部连结。基部432的大部分和立起部433埋入到侧壁731以及端子台772的内部。在基部432的x1方向侧端缘部,形成有朝向外壳71的内方突出的梳齿部434。如图4以及图7所示,梳齿部434与导电体32的第二接合部322接合。该接合可以是使用了导电性接合材(例如焊锡或者烧结金属等)的接合、激光接合、或者超音波接合等的任意的的方法。通过该接合,电力端子43B经由导电体32而与多个半导体元件10A的每个以及多个半导体元件10B的每个导通。

[0081] 如图2以及图4所示,在多个电力端子41、42、43A、43B分别形成有插通孔。通过在上述的插通孔插通螺栓(省略图示),将该螺栓嵌入上述螺母,从而能够将各电力端子41、42、43A、43B连接于半导体装置A1的安装对象所配备的电源装置、负载等。

[0082] 一对信号端子44A、44B被输入有对各半导体元件10A、10B的开关动作进行控制的控制信号。如图15所示,信号端子44A与多个半导体元件10A的各第三电极13(栅极电极)导通,对各半导体元件10A的开关动作进行控制的控制信号被输入至信号端子44A。如图15所示,信号端子44B与多个半导体元件10B的各第三电极13(栅极电极)导通,对各半导体元件10B的开关动作进行控制的控制信号被输入至信号端子44B。

[0083] 如图5以及图7所示,一对信号端子44A、44B分别包含焊盘部441以及端子部442。各信号端子44A、44B的焊盘部441收放于外壳71(框部73)。如图7所示,信号端子44A的焊盘部441与连接部件56A接合,经由连接部件56A而与导电体34A导通。如图5所示,信号端子44B的焊盘部441与连接部件56B接合,经由连接部件56B而与导电体34B导通。各信号端子44A、44B的端子部442从外壳71露出。信号端子44A中将焊盘部441与端子部442连结的部位贯通侧壁734。根据该结构,信号端子44A支撑于外壳71(框部73)。信号端子44B中将焊盘部441与端子部442连结的部位贯通侧壁733。根据该结构,信号端子44B支撑于外壳71(框部73)。

[0084] 一对检测端子45A、45B输出表示各半导体元件10A、10B的动作状态的检测信号(源极信号)。如从图15所理解的那样,检测端子45A与多个半导体元件10A的各第四电极14(源极感测电极)导通,输出施加于各半导体元件10A的第四电极14的电压(与源极电流对应的电压)。如从图15理解的那样,检测端子45B与多个半导体元件10B的各第四电极14(源极感测电流)导通,输出施加于各半导体元件10B的第四电极14的电压(与源极电流对应的电压)。

[0085] 如图5以及图7所示,一对检测端子45A、45B分别包含焊盘部451以及端子部452。各检测端子45A、45B的焊盘部451收放于外壳71(框部73)。如图7所示,检测端子45A的焊盘部451与连接部件57A接合,经由连接部件57A而与导电体35A导通。如图5所示,检测端子45B的焊盘部451经由连接部件57A而与导电体35B导通。各检测端子45A、45B的端子部452从外壳71露出。检测端子45A中将焊盘部451与端子部452连结的部位贯通侧壁734。根据该结构,检测端子45A支撑于外壳71(框部73)。检测端子45B中将焊盘部451与端子部452连结的部位贯通侧壁733。根据该结构,检测端子45B支撑于外壳71(框部73)。

[0086] 在一对导电体36连接有热敏电阻的情况下,一对检测端子46成为用于检测外壳71内部的温度的端子。在图5所示的例中,由于不在一对导电体36连接热敏电阻,因此一对检测端子46分别是虚拟端子。

[0087] 如图5所示,一对检测端子46分别包含焊盘部461以及端子部462。各检测端子46的

焊盘部461收放于外壳71(框部73)。各检测端子46的端子部462从外壳71露出。各检测端子46中将焊盘部461与端子部462连结的部位贯通侧壁734。根据该结构,各检测端子46支撑于外壳71(框部73)。在一对导电体36连接有热敏电阻的情况下,通过在各焊盘部461和各导电体36接合连接部件(例如接合引线),从而各检测端子46成为用于检测外壳71内部的温度的温度检测端子。

[0088] 检测端子47输出与施加于各半导体元件10A的第二电极12(漏极电极)的直流电压相应的检测信号(电源电压信号)。如从图15所理解的那样,检测端子47与多个半导体元件10A的各第二电极12(漏极电极)导通,输出施加于各半导体元件10A的第二电极12的电压(电源电压)。

[0089] 如图7所示,检测端子47包含焊盘部471以及端子部472。焊盘部471收放于外壳71(框部73)。如图7所示,焊盘部471与连接部件58接合,经由连接部件58而与伸出部313(导电体31)导通。端子部472从外壳71露出。检测端子47中将焊盘部471与端子部472连结的部位贯通侧壁734。根据该结构,检测端子47支撑于外壳71(框部73)。

[0090] 多个连接部件51、52、53A、53B、54A、54B、55A、55B、56A、56A、57A、57B、58分别使相互隔开间隔的两个部位导通。

[0091] 多个连接部件51、52分别是金属板。多个连接部件51、52的各构成材料例如是铜或者铜合金。各连接部件51、52也可以不是金属板而是板状的层叠材料或者板状的复合材料。

[0092] 如图4~图7以及图12所示,多个连接部件51分别与各半导体元件10A的第一电极11(源极电极)和导电体32的第二焊盘部321接合。各连接部件51使各半导体元件10A的第一电极11与第二焊盘部321导通。如图4~图7所示,各连接部件51是在俯视时在y方向上延伸的带状。

[0093] 如图4~图7以及图12所示,多个连接部件52分别与各半导体元件10B的第一电极11(源极电极)和导电体33的第三焊盘部331接合。各连接部件52使各半导体元件10B的第一电极11与第三焊盘部331导通。如图4~图7所示,各连接部件52是在在俯视时在y方向上延伸的带状。

[0094] 多个连接部件53A、53B、54A、54B、55A、55B、56A、56A、57A、57B、58分别为接合引线。多个连接部件53A、53B、54A、54B、55A、55B、56A、56A、57A、57B、58的各构成材料是铝、金或者铜的任一种,或者是包含它们任一种的合金。

[0095] 如图6所示,连接部件53A与整流元件20A的第一电极21(阳极电极)和导电体32的第二焊盘部321接合,并使它们导通。因而,整流元件20A的第一电极21(阳极电极)与半导体元件10A的第一电极11(源极电极)经由连接部件53A、导电体32以及各连接部件51而导通。如图6所示,连接部件53B与整流元件20B的第一电极21(阳极电极)和导电体33的第三焊盘部331接合,使它们导通。因而,整流元件20B的第一电极21(阳极电极)与各半导体元件10B的第一电极11(源极电极)经由连接部件53B、导电体33以及各连接部件52而导通。

[0096] 如图5~图7所示,多个连接部件54A与各半导体元件10A的第三电极13(栅极电极)和导电体34A接合,使它们导通。如图5~图7所示,多个连接部件54B与各半导体元件10B的第三电极13(栅极电极)和导电体34B接合,使它们导通。

[0097] 如图5~图7所示,多个连接部件55A与各半导体元件10A的第四电极14(源极感测电极)和导电体35A接合,使它们导通。如图5~图7所示,多个连接部件55B分别与各半导体

元件10B的第四电极14(源极感测电极)和导电体35B接合,使它们导通。

[0098] 如图7所示,连接部件56A与导电体34A和信号端子44A的焊盘部441接合,使它们导通。导电体34A经由各连接部件54A而与各半导体元件10A的第三电极13(栅极电极)导通,因此信号端子44A经由连接部件56A、导电体34A以及各连接部件54A而与各半导体元件10A的第三电极13(栅极电极)导通。因而,信号端子44A成为向各半导体元件10A的第三电极13(栅极电极)输入的控制信号的输入端子。如图5所示,连接部件56B与导电体34B和信号端子44B的焊盘部441接合,使它们导通。导电体34B经由各连接部件54B而与各半导体元件10B的第三电极13(栅极电极)导通,因此信号端子44B经由连接部件56B、导电体34B以及各连接部件54B而与各半导体元件10B的第三电极13(栅极电极)导通。因而,信号端子44B成为向各半导体元件10B的第三电极13(栅极电极)输入的控制信号的输入端子。

[0099] 如图7所示,连接部件57A与导电体35A和检测端子45A的焊盘部451接合,使它们导通。导电体35A经由各连接部件55A而与各半导体元件10A的第四电极14(源极感测电极)导通,因此检测端子45A经由连接部件57A、导电体35A以及各连接部件55A而与各半导体元件10A的第四电极14(源极感测电极)导通。因而,由检测端子45A检测从各半导体元件10A的第四电极14(源极感测电极)输出的源极电流。如图5所示,连接部件57B与导电体35B和检测端子45B的焊盘部451接合,使它们导通。导电体35B经由各连接部件55B而与各半导体元件10B的第四电极14(源极感测电极)导通,因此检测端子45B经由连接部件57B、导电体35B以及各连接部件55B而与各半导体元件10B的第四电极14(源极感测电极)导通。因而,由检测端子45B检测从各半导体元件10B的第四电极14(源极感测电极)输出的源极电流。

[0100] 如图7所示,连接部件58与导电体31的伸出部313和检测端子47的焊盘部471接合,使它们导通。导电体31与各半导体元件10A的第二电极12(漏极电极)导通,因此检测端子47经由连接部件58以及导电体31而与各半导体元件10A的第二电极12(漏极电极)导通。

[0101] 在与半导体装置A1不同的结构中,在一对导电体36连接有热敏电阻的情况下,也可以还具备将各导电体36与各检测端子46(焊盘部461)分别连接的连接部件。

[0102] 半导体装置A1的作用、效果如下。

[0103] 半导体装置A1具备:多个第一半导体元件(半导体元件10A或者半导体元件10B);以及一个以上的第一整流元件(整流元件20A或者整流元件20B)。第一整流元件与多个第一半导体元件电性地反向并联连接。根据该结构,即使因多个第一半导体元件的各开关动作而产生浪涌电流,通过第一整流元件通电,流向多个第一半导体元件的内置二极管的电流也减少。也就是,半导体装置A1能够抑制向各第一半导体元件的内置二极管的通电,抑制各第一半导体元件的特性恶化。

[0104] 在半导体装置A1中,多个半导体元件10A包含至电力端子41的最短导通路径的长度相互不同的第一元件101A以及第二元件102A。第一元件101A的该最短导通路径的长度比第二元件102A的该最短导通路径的长度短。并且,整流元件20A至少配置在第一元件101A所接合的第一部311a。根据发明者的研究,在不具备整流元件20A的半导体装置中,在因多个半导体元件10A的各开关动作而产生了浪涌电流的情况下,可知多个半导体元件10A中至电力端子41的最短导通路径越短的半导体元件10A,流向该半导体元件10A的内置二极管的电流越大。也就是,与至电力端子41的最短路径较长的半导体元件10A(第二元件102A)相比,至电力端子41的最短导通路径较短的半导体元件10A(第一元件101A)流向内置二极管的电

流变大,产生过剩的通电的可能性较高。因此,在半导体装置A1中,通过将整流元件20A配置在第一焊盘部311的第一部311a,从而降低流向产生过剩的通电的可能性较高的半导体元件10A(第一元件101A)的内置二极管的电流。也就是,半导体装置A1抑制向第一元件101A的内置二极管的过剩的通电,能够抑制第一元件101A的特性恶化。尤其是,在半导体装置A1中,整流元件20A的数量比半导体元件10A的数量少,不具备与多个半导体元件10A相同数量的整流元件20A,能够抑制多个半导体元件10A的特性恶化。

[0105] 在半导体装置A1中,多个半导体元件10B包含至电力端子41的最短导通路径的长度相互不同的第三元件101B以及第四元件102B。第三元件101B的该最短导通路径的长度比第四元件102B的该最短导通路径的长度短。并且,整流元件20B至少配置在第三元件101B所接合的第三部321a。根据发明者的研究,与多个半导体元件10A同样,在多个半导体元件10B中,也可知多个半导体元件10B中至电力端子41的最短导通路径越短的半导体元件10B,流向该半导体元件10B的内置二极管的电流越大。也就是,与至电力端子41的最短路径较长的半导体元件10B(第四元件102B)相比,至电力端子41的最短导通路径较短的半导体元件10B(第三元件101B)流向内置二极管的电流变大,产生过剩的通电的可能性较高。因此,在半导体装置A1中,通过将整流元件20B配置在第二焊盘部321的第三部321a,从而降低流向产生过剩的通电的可能性较高的半导体元件10B(第三元件101B)的内置二极管的电流。也就是,半导体装置A1抑制向第三元件101B的内置二极管的过剩的通电,能够抑制第三元件101B的特性恶化。尤其是,在半导体装置A1中,整流元件20B的数量比半导体元件10B的数量少,不具备与多个半导体元件10B相同数量的整流元件20B,能够抑制多个半导体元件10B的特性恶化。

[0106] 在半导体装置A1中,第一元件101A是多个半导体元件10A中至电力端子41的最短导通路径最短的半导体元件10A。另外,整流元件20A与第一元件101A相邻。根据该结构,通过整流元件20A,能够进一步抑制向第一元件101A的内置二极管的过剩的通电。尤其是,在半导体装置A1中,在第一部311a中的与电力端子41所接合的第一接合部312连接的端缘与第一元件101A之间配置整流元件20A。根据发明者的研究,通过在这样的位置配置整流元件20A,在使流向第一元件101A的内置二极管的电流降低的方面是最有效的。由于多个半导体元件10A中至电力端子41的最短导通路径最短,因此第一元件101A产生向内置二极管的过剩的通电的可能性较高。因此,在半导体装置A1中,在产生过剩的通电的可能性较高的第一元件101A中,能够抑制向内置二极管的过剩的通电,因此这样的整流元件20A的配置在抑制多个半导体元件10A的特性恶化的方面是优选的。

[0107] 在半导体装置A1中,第三元件101B是多个半导体元件10B中至电力端子41的最短导通路径最短的半导体元件10B。另外,整流元件20B与第三元件101B相邻。根据该结构,通过整流元件20B,能够进一步抑制向第三元件101B的内置二极管的过剩的通电。因此,在半导体装置A1中,在产生过剩的通电的可能性较高的第三元件101B中,能够抑制向内置二极管的过剩的通电,因此这样的整流元件20B的配置在抑制多个半导体元件10B的特性恶化的方面是优选的。

[0108] 在半导体装置A1中,多个半导体元件10A沿与电力端子41和电力端子42排列的方向(y方向)正交的方向(x方向)排列。在该结构中,在从电力端子41至多个半导体元件10A的各最短导通路径产生较大的距离差。这是使向第一元件101A的内置二极管的通电增大的主

要原因。因而,在半导体装置A1中,在第一元件101A的附近配置有整流元件20A在抑制各半导体元件10A的特性恶化的方面是有效的。同样,在半导体装置A1中,多个半导体元件10B沿与电力端子41和电力端子42排列的方向(y方向)正交的方向(x方向)排列。因而,在半导体装置A1中,在第三元件101B的附近配置有整流元件20B在抑制各半导体元件10B的特性恶化的方面是有效的。

[0109] 图16表示第二实施方式的半导体装置A2。图16是表示半导体装置A2的俯视图,省略了散热板70以及外壳71。与半导体装置A1比较,半导体装置A2在具备多个整流元件20A以及多个整流元件20B的方面不同。

[0110] 图16所示的半导体装置A2具备三个整流元件20A和三个整流元件20B。三个整流元件20A分别与第一焊盘部311的第一部311a接合。因而,在半导体装置A2中,也与半导体装置A1同样,各整流元件20A均不与第二部311b接合。

[0111] 在图16所示的例子中,从第一部311a的x2方向侧(靠近电力端子41的一侧)的端缘至x1方向侧的端缘沿x方向依次配置有整流元件20A、半导体元件10A(第一元件101A)、半导体元件10A、整流元件20A、半导体元件10A、半导体元件10A、整流元件20A、半导体元件10A。此外,这样的多个整流元件20A的配置是一个例子,并不限于图16所示的例子。例如,也可以与图16所示的例子不同,多个整流元件20A集中配置在第一元件101A的周围。

[0112] 三个整流元件20B分别与第二焊盘部321的第三部321a接合。因而,在半导体装置A2中,也与半导体装置A1同样,各整流元件20B均不与第四部321b接合。

[0113] 在图16所示的例子中,从第三部321a的x2方向侧(靠近电力端子41的一侧)的端缘至x1方向侧的端缘沿x方向依次配置有整流元件20B、半导体元件10B(第三元件101B)、半导体元件10B、整流元件20B、半导体元件10B、半导体元件10B、整流元件20B、半导体元件10B。此外,这样的多个整流元件20B的配置是一个例子,并不限于图16所示的例子。例如,也可以与图16所示的例子不同,多个整流元件20B集中配置在第三元件101B的周围。

[0114] 在半导体装置A2中,也能够起到与半导体装置A1相同的效果。尤其是,在半导体装置A2中,多个整流元件20A中的一个接合在与半导体装置A1的整流元件20A相同的位置。因而,在半导体装置A2中,也与半导体装置A1同样,在产生过剩的通电的可能性较高的第一元件101A(半导体元件10A)中,能够抑制向内置二极管的过剩的通电。同样,在半导体装置A2中,多个整流元件20B中的一个接合在与半导体装置A1的整流元件20B相同的位置。因而,在半导体装置A2中,也与半导体装置A1同样,在产生过剩的通电的可能性较高的第三元件101B(半导体元件10B)中,能够抑制向内置二极管的过剩的通电。

[0115] 在第二实施方式中,多个整流元件20A的数量以及配置并不限于图16所示的例子。只要多个整流元件20A中的至少一个与第一部311a接合,则其它的整流元件20A既可以与第一部311a接合、也可以与第二部311b接合。但是,将多个整流元件20A全部与第一部311a接合的情况抑制多个半导体元件10A的特性恶化的效果变大。同样,多个整流元件20B的数量以及配置并不限于图16所示的例子。只要多个整流元件20B中的至少一个与第三部321a接合,则其它的整流元件20B既可以与第三部321a接合、也可以与第四部321b接合。但是,将多个整流元件20B的全部与第三部321a接合的情况抑制多个半导体元件10B的特性恶化的效果变大。

[0116] 图17表示第三实施方式的半导体装置A3。图17是表示半导体装置A3的俯视图,省

略了散热板70以及外壳71。半导体装置A3与半导体装置A1比较,整流元件20A以及整流元件20B的配置以及连接方法不同。

[0117] 本实施方式的整流元件20A配置在比第一元件101A更靠y2方向。另外,如图17所示,与第一元件101A接合的连接部件51在俯视时一部分与整流元件20A重叠,该重叠的部分与整流元件20A的第一电极21(阳极电极)接合。由此,整流元件20A的第一电极21(阳极电极)与第一元件101A的第一电极11(源极电极)经由连接部件51而导通。

[0118] 本实施方式的整流元件20B配置在比第三元件101B更靠y2方向。另外,如图17所示,与第三元件101B接合的连接部件52在俯视时一部分与整流元件20B重叠,该重叠的部分与整流元件20B的第一电极21(阳极电极)接合。由此,整流元件20B的第一电极21(阳极电极)与第三元件101B的第一电极11(源极电极)经由连接部件52而导通。

[0119] 在半导体装置A3中,也能够起到与半导体装置A1相同的效果。

[0120] 在第三实施方式中,示出了整流元件20A配置在比第一元件101A更靠y2方向的例子,但整流元件20A也可以配置在比第一元件101A更靠y1方向。同样,在第三实施方式中,示出了整流元件20B配置在比第三元件101B更靠y2方向的例子,但整流元件20B也可以配置在比第三元件101B更靠y1方向。

[0121] 在第三实施方式中,示出了半导体装置A3具备一个整流元件20A以及一个整流元件20B的例子,但也可以与半导体装置A2同样,具备多个整流元件20A以及多个整流元件20B。但是,整流元件20A的数量比半导体元件10A的数量少,整流元件20B的数量比半导体元件10B的数量少。

[0122] 图18表示第四实施方式的半导体装置A4。图18是表示半导体装置A4的俯视图,用想象线(双点划线)示出散热板70以及外壳71。与半导体装置A1比较,半导体装置A4在导电体33的第三焊盘部331未形成狭缝331c这方面不同。

[0123] 在半导体装置A4中,第三焊盘部331形成为从第三接合部332沿x方向延伸的带状。由于在第三焊盘部331未形成狭缝331c,因此一对分离部331a不分离。

[0124] 在半导体装置A4中,也能够起到与半导体装置A1相同的效果。

[0125] 在第一实施方式至第四实施方式中,各半导体装置A1~A4具备一个以上的整流元件20A以及一个以上的整流元件20B这双方。在与上述的例子不同的半导体装置中,也可以不具备整流元件20A或者整流元件20B的任一个。例如,通过多个电力端子41、42、43A、43B的各配置以及各形状、多个导电体31、32、33的各配置以及各形状、与多个半导体元件10A以及多个半导体元件10B的各配置,而从电力端子41至各半导体元件10A的最短导通路径的距离差变小。由于这样的半导体装置不会产生向各半导体元件10A的内置二极管的过剩的通电,因此也可以不具备整流元件20A。同样,从电力端子41至各半导体元件10B的最短导通路径的距离差变小。由于这样的半导体装置不会产生向各半导体元件10B的内置二极管的过剩的通电,因此也可以不具备整流元件20B。

[0126] 图19表示第五实施方式的半导体装置A5。图19是表示半导体装置A5的俯视图,用想象线(双点划线)示出散热板70以及外壳71。与半导体装置A1比较,半导体装置A5在不具备整流元件20A以及整流元件20B这方面不同。

[0127] 在半导体装置A5中,也与半导体装置A1同样,在第三焊盘部331(导电体33)形成有狭缝331c。根据该结构,能够减小从多个半导体元件10B至电力端子42的各最短导通路径的

差。由此，与在第三焊盘部331未形成狭缝331c的情况比较，半导体装置A5能够使内部电感降低。这在第三焊盘部331形成有狭缝331c的半导体装置A1～A3中也相同。

[0128] 在第一实施方式至第五实施方式中，示出了多个半导体元件10A、10B以及支撑部件3等收放于散热板70以及外壳71的例子，但并不限于此，例如也可以利用由环氧树脂构成的树脂封装件来覆盖。

[0129] 本公开的半导体装置并不限于上述的实施方式。本公开的半导体装置的各部的具体的结构自由地进行各种设计变更。例如，本公开的半导体装置包含以下的附记所记载的实施方式。

[0130] 附记1.

[0131] 一种半导体装置，具备：

[0132] 多个第一半导体元件，其分别进行开关动作，而且相互电性地并联连接；

[0133] 一个以上的第一整流元件，其与上述多个第一半导体元件电性地反向并联连接；

[0134] 第一电力端子，其与上述多个第一半导体元件的各个导通；以及

[0135] 第一导电体，其包含上述多个第一半导体元件所接合的第一焊盘部，而且与上述第一电力端子以及上述多个第一半导体元件导通，

[0136] 上述多个第一半导体元件包含至上述第一电力端子的最短导通路径的长度相互不同的第一元件以及第二元件，

[0137] 上述第一元件的上述最短导通路径的长度比上述第二元件的上述最短导通路径的长度短，

[0138] 上述第一焊盘部包含上述多个第一半导体元件中至少上述第一元件所接合的第一部、以及上述多个第一半导体元件中至少上述第二元件所接合的第二部，

[0139] 上述第一整流元件的数量比上述第一半导体元件的数量少，

[0140] 上述一个以上的第一整流元件中的一个配置在上述第一部。

[0141] 附记2.

[0142] 根据附记1所记载的半导体装置，

[0143] 上述第一整流元件的数量是一个。

[0144] 附记3.

[0145] 根据附记1或附记2任一项中所记载的半导体装置，还具备：

[0146] 多个第二半导体元件，其分别进行开关动作，而且相互电性地并联连接；以及

[0147] 第二导电体，其包含上述多个第二半导体元件所接合的第二焊盘部，而且从上述第一导电体隔开间隔，

[0148] 上述多个第一半导体元件的各个与上述多个第二半导体元件的各个电性地串联连接。

[0149] 附记4.

[0150] 根据附记3所记载的半导体装置，还具备：

[0151] 第二电力端子，其与上述多个第二半导体元件的各个导通；以及

[0152] 第三电力端子，其与上述多个第一半导体元件的各个和上述多个第二半导体元件的各个的连接点导通。

[0153] 附记5.

- [0154] 根据附记4所记载的半导体装置，
- [0155] 还包含第三导电体，该第三导电体从上述第一导电体以及上述第二导电体隔开间隔，
- [0156] 上述第一电力端子与上述第一导电体接合，
- [0157] 上述第二电力端子与上述第三导电体接合，
- [0158] 上述第三电力端子与上述第二导电体接合。
- [0159] 附记6.
- [0160] 根据附记5所记载的半导体装置，还具备：
- [0161] 多个第一连接部件，其分别使上述多个第一半导体元件的各个与上述第二导电体导通；以及
- [0162] 多个第二连接部件，其分别使上述多个第二半导体元件的各个与上述第三导电体导通，
- [0163] 上述第二焊盘部还与上述多个第一连接部件的各个接合，
- [0164] 上述第三导电体包含与上述多个第二连接部件的各个接合的第三焊盘部。
- [0165] 附记7.
- [0166] 根据附记6所记载的半导体装置，
- [0167] 还具备与上述多个第二半导体元件电性地反向并联连接的一个以上的第二整流元件，
- [0168] 上述多个第二半导体元件包含至上述第一电力端子的最短导通路径的长度相互不同的第三元件以及第四元件，
- [0169] 上述第三元件的上述最短导通路径的长度比上述第四元件的上述最短导通路径的长度短，
- [0170] 上述第二焊盘部包含上述多个第二半导体元件中至少上述第三元件所接合的第三部、以及上述多个第二半导体元件中至少上述第四元件所接合的第四部，
- [0171] 上述第二整流元件的数量比上述第二半导体元件的数量少，
- [0172] 上述一个以上的第二整流元件中的一个配置在上述第三部。
- [0173] 附记8.
- [0174] 根据附记7所记载的半导体装置，
- [0175] 上述第二整流元件的数量是一个。
- [0176] 附记9.
- [0177] 根据附记7或附记8任一项中所记载的半导体装置，
- [0178] 上述第一导电体还包含与上述第一焊盘部连接且上述第一电力端子所接合的第一接合部，
- [0179] 上述第一焊盘部具有上述多个第一半导体元件的各个所接合的第一接合面，在与上述第一接合面垂直的厚度方向上观察时，从上述第一接合部沿与上述厚度方向正交的第一方向延伸。
- [0180] 附记10.
- [0181] 根据附记9所记载的半导体装置，
- [0182] 上述多个第一半导体元件沿上述第一方向配置，

[0183] 上述第一元件在上述多个第一半导体元件中离上述第一接合部最近,而且在上述多个第一半导体元件中至上述第一电力端子的最短导通路径最短,

[0184] 在上述厚度方向上观察时,上述一个以上的第一整流元件中的一个配置在上述第一部中的与上述第一接合部连接的端缘与上述第一元件之间。

[0185] 附记11.

[0186] 根据附记10所记载的半导体装置,

[0187] 上述第二导电体还包含与上述第二焊盘部连接且上述第三电力端子所接合的第二接合部,

[0188] 在上述厚度方向上观察时,上述第二焊盘部从上述第二接合部沿上述第一方向延伸。

[0189] 附记12.

[0190] 根据附记11所记载的半导体装置,

[0191] 上述多个第二半导体元件沿上述第一方向配置。

[0192] 附记13.

[0193] 根据附记12所记载的半导体装置

[0194] 上述第三导电体还包含与上述第三焊盘部连接且上述第二电力端子所接合的第三接合部,

[0195] 在上述厚度方向上观察时,上述第三焊盘部从上述第三接合部沿上述第一方向延伸。

[0196] 附记14.

[0197] 根据附记13所记载的半导体装置,

[0198] 在与上述厚度方向以及上述第一方向正交的第二方向上观察时,上述第一焊盘部、上述第二焊盘部以及上述第三焊盘部相互重叠,

[0199] 上述第一焊盘部以及上述第三焊盘部在上述第二方向上隔着上述第二焊盘部而位于彼此相反的一侧。

[0200] 附记15.

[0201] 根据附记14所记载的半导体装置,

[0202] 上述第一电力端子和上述第二电力端子沿上述第二方向配置。

[0203] 附记16.

[0204] 根据附记15所记载的半导体装置,

[0205] 上述第一电力端子以及上述第二电力端子与上述第三电力端子在上述第一方向上隔着上述第一焊盘部、上述第二焊盘部以及上述第三焊盘部而位于彼此相反的一侧。

[0206] 附记17.

[0207] 根据附记16所记载的半导体装置,

[0208] 在上述第二方向上观察时,上述多个第一半导体元件与上述多个第二半导体元件相互重叠,

[0209] 在上述厚度方向上观察时,上述多个第一连接部件的各个沿上述第二方向延伸,

[0210] 在上述厚度方向上观察时,上述多个第二连接部件的各个沿上述第二方向延伸。

[0211] 附记18.

- [0212] 根据附记17所记载的半导体装置，
- [0213] 在上述第二方向上观察时，上述第一元件与上述第三元件相互重叠，
- [0214] 上述第三元件在上述多个第二半导体元件中至上述第一电力端子的最短导通路径最短，
- [0215] 在上述厚度方向上观察时，上述一个以上的第二整流元件中的一个配置在上述第三部中的在上述第一方向上靠近上述第一电力端子的端缘与上述第三元件之间。
- [0216] 附记19.
- [0217] 根据附记18所记载的半导体装置，
- [0218] 上述第三焊盘部包含在上述厚度方向上观察时在上述第一方向上延伸的狭缝、以及被该狭缝在上述第二方向上分离的一对分离部，
- [0219] 在上述第二方向上观察时，上述一对分离部的各个与上述第三部重叠。
- [0220] 附记20.
- [0221] 根据附记7至附记19任一项中所记载的半导体装置，
- [0222] 上述多个第一半导体元件的各个以及上述多个第二半导体元件的各个是MOSFET，
- [0223] 上述一个以上的第一整流元件以及上述一个以上的第二整流元件是肖特基势垒二极管。
- [0224] 符号的说明
- [0225] A1~A5—半导体装置，10A、10B—半导体元件，100a—元件主面，100b—元件背面，101A—第一元件，102A—第二元件，101B—第三元件，102B—第四元件，11—第一电极，12—第二电极，13—第三电极，14—第四电极，20A、20B—整流元件，200a—元件主面，200b—元件背面，21—第一电极，22—第二电极，3—支撑部件，30—绝缘基板，301—主面，302—背面，31—导电体，311—第一焊盘部，311a—第一部，311b—第二部，311z—第一接合面，312—第一接合部，313—伸出部，32—导电体，321—第二焊盘部，321a—第三部，321b—第四部，321z—第二接合面，322—第二接合部，33—导电体，331—第三焊盘部，331a—分离部，331b—连结部，331c—狭缝，331z—第三接合面，332—第三接合部，34A、34B—导电体，35A、35B—导电体，36—导电体，41—电力端子，411—前端部，412—基部，413—立起部，414—梳齿部，42—电力端子，421—前端部，422—基部，423—立起部，424—梳齿部，43A、43B—电力端子，431—前端部，432—基部，433—立起部，434—梳齿部，44A、44B—信号端子，441—焊盘部，442—端子部，45A、45B—检测端子，451—焊盘部，452—端子部，46—检测端子，461—焊盘部，462—端子部，47—检测端子，471—焊盘部，472—端子部，51、52、53A、53B、54A、54B—连接部件，55A、55B、56A、56B、57A、57B、58—连接部件，70—散热板，71—外壳，72—顶板，73—框部，731~734—侧壁，74—凹部，75—安装用贯通孔，76—筒状金属部件，771~774—端子台。

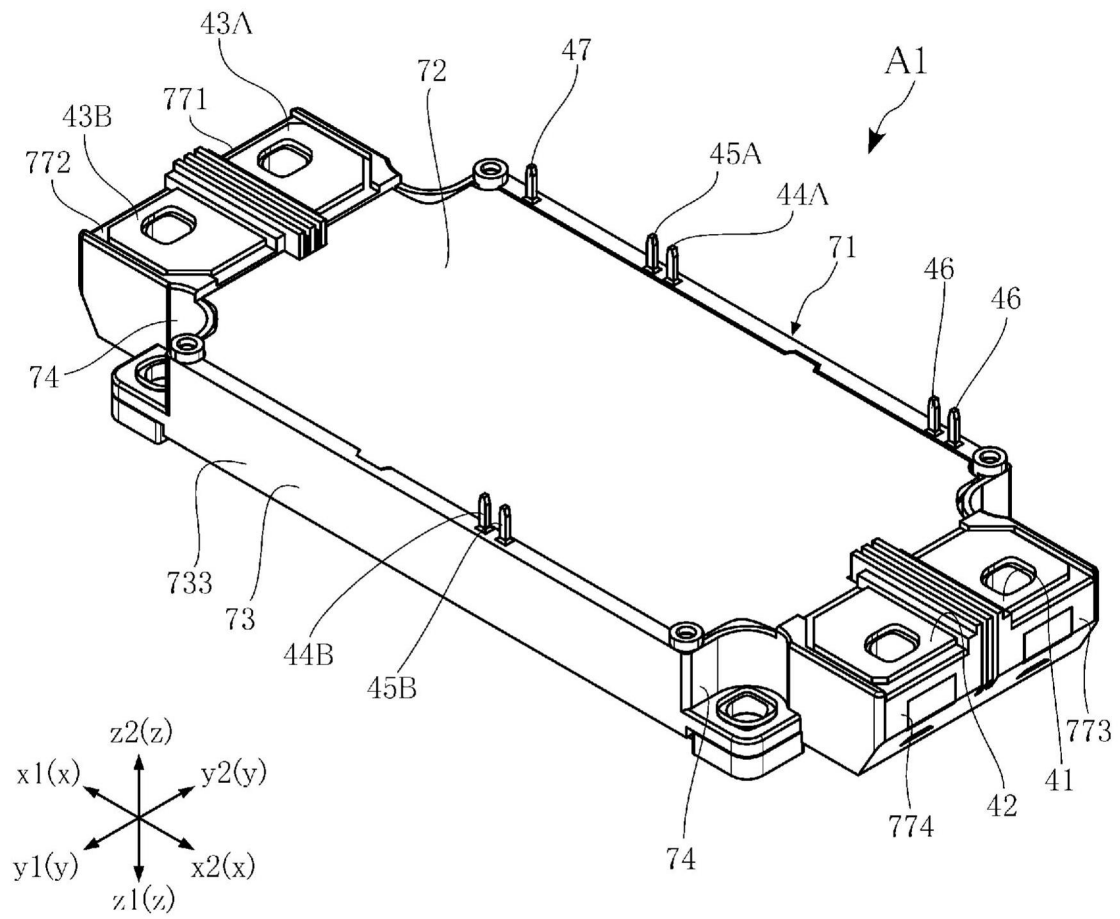


图1

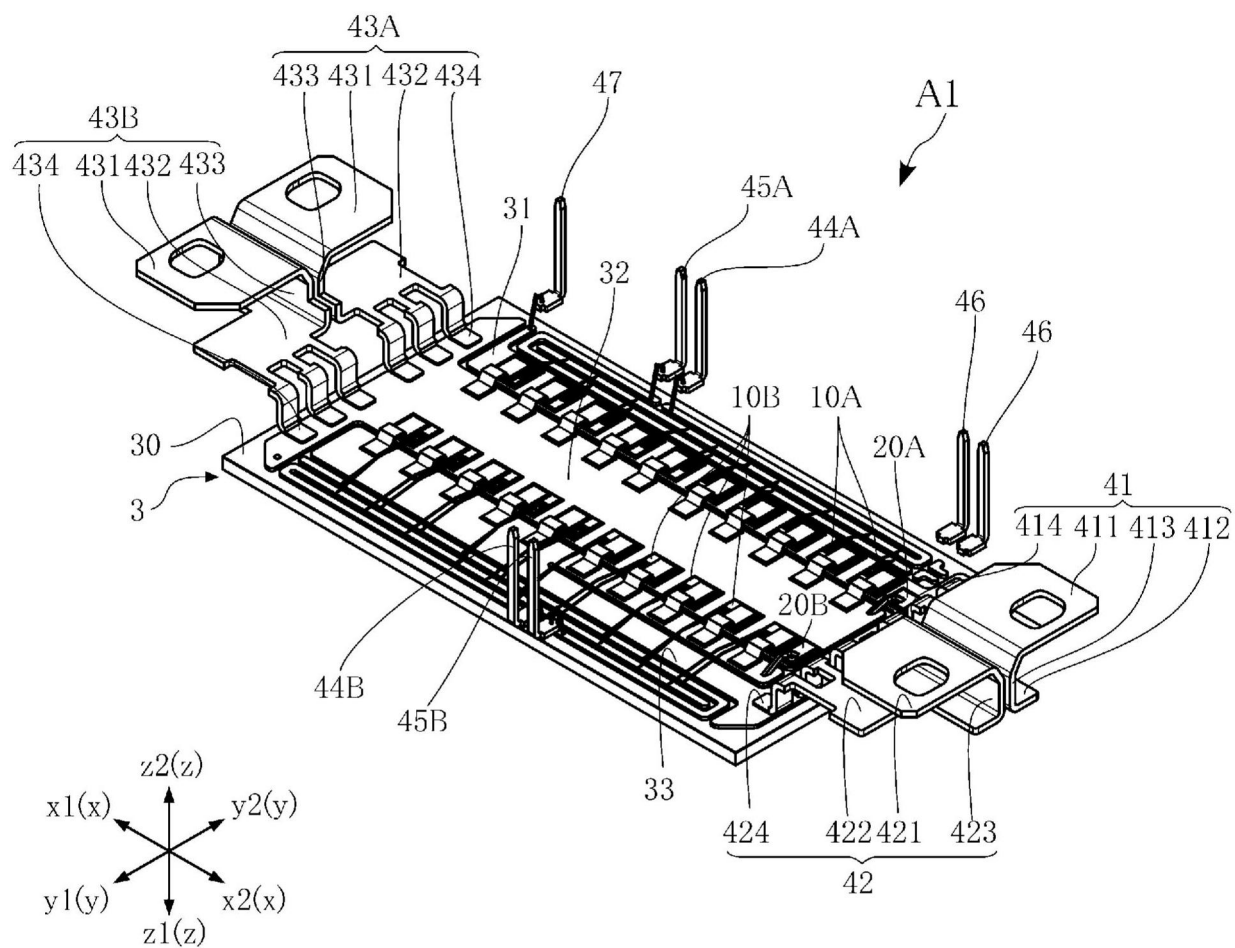


图2

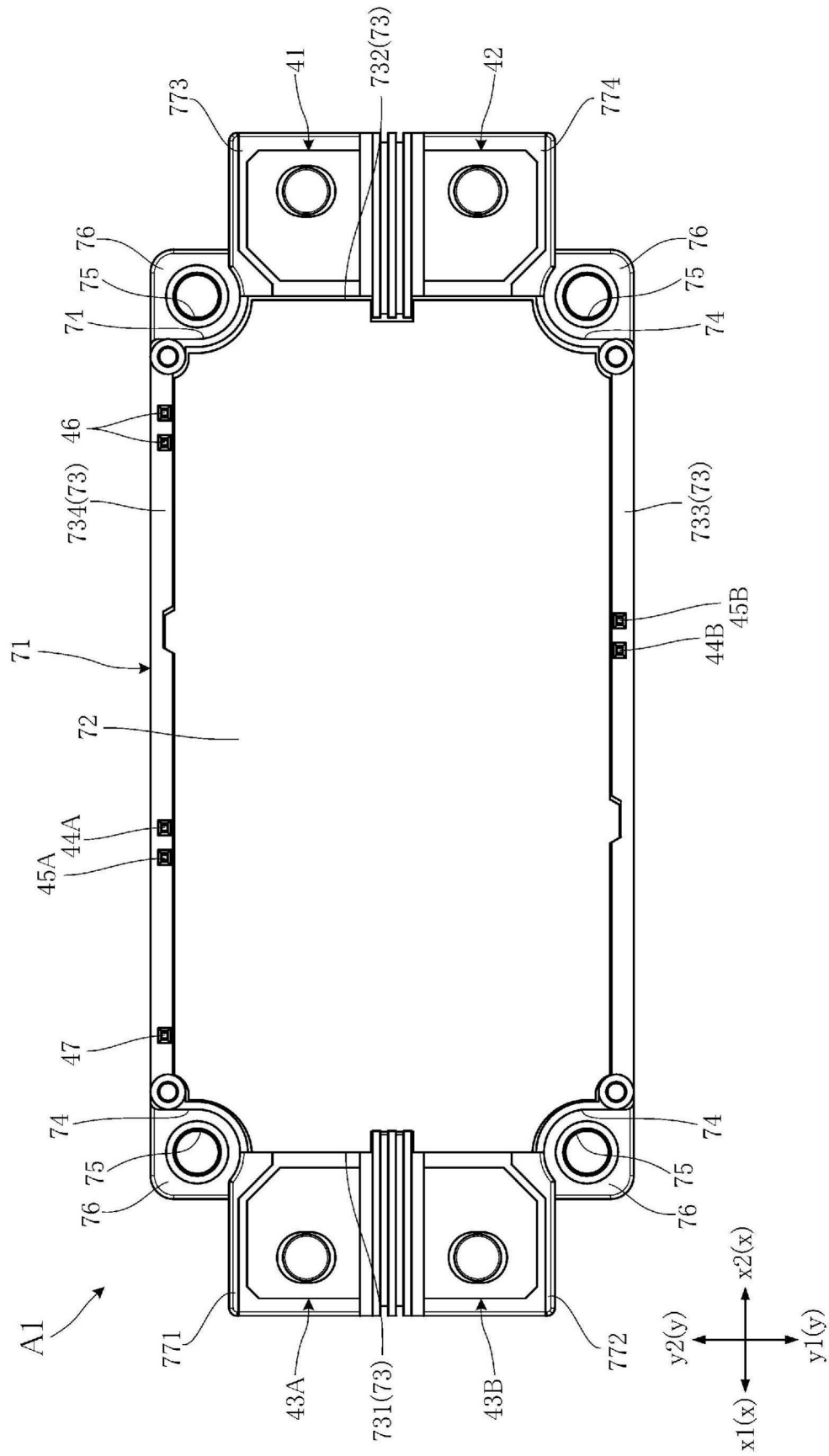


图3

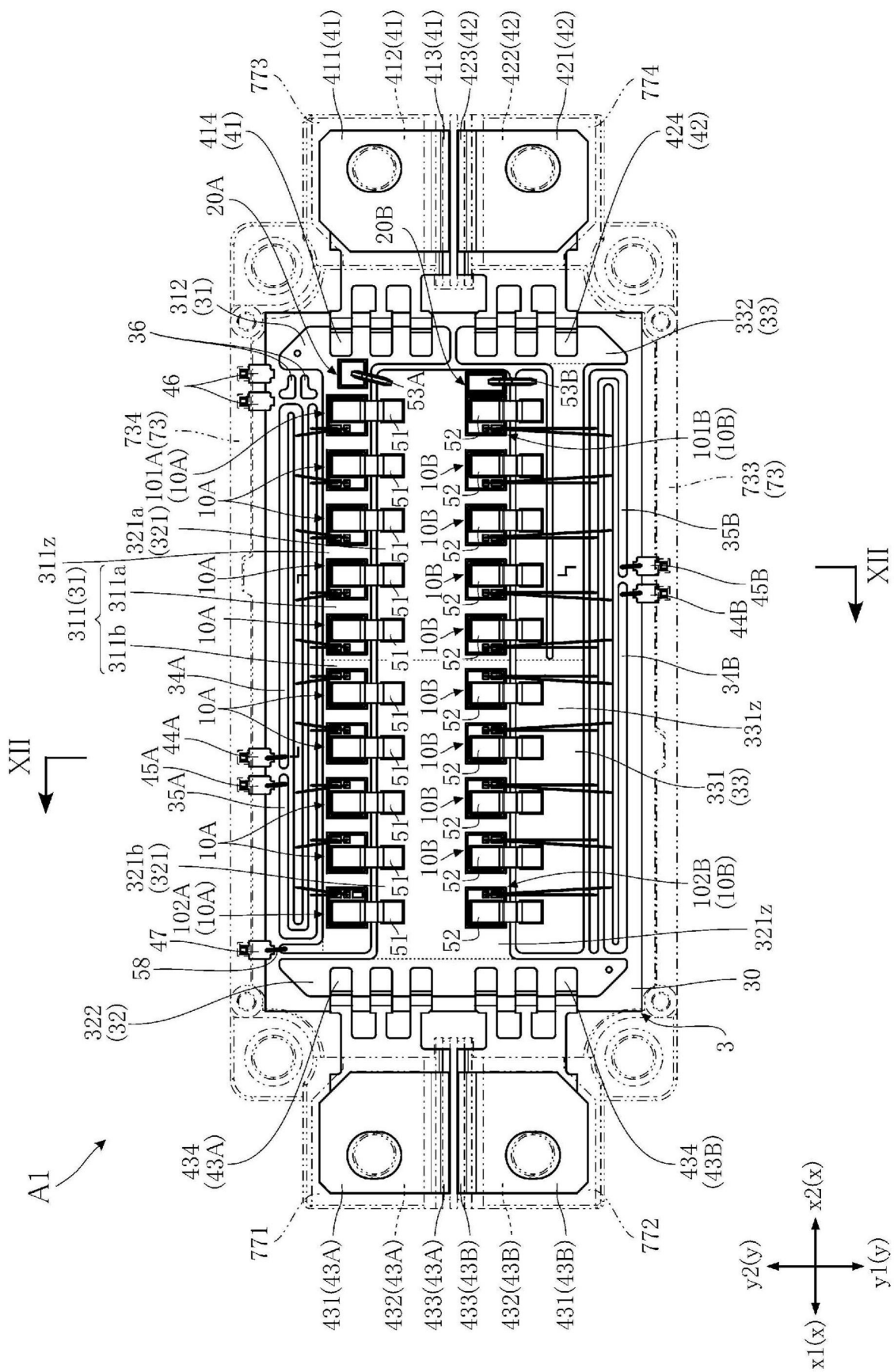


图4

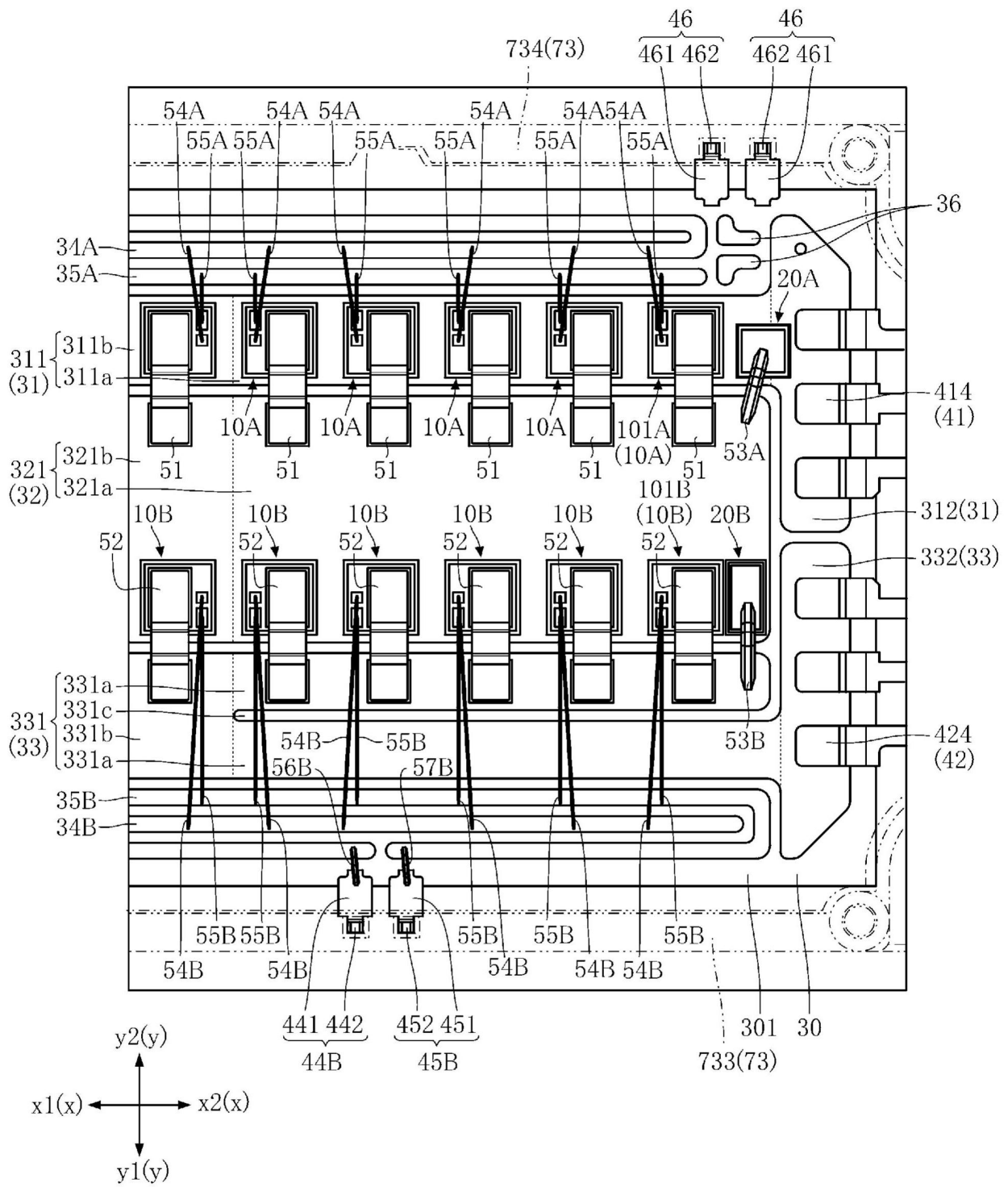


图5

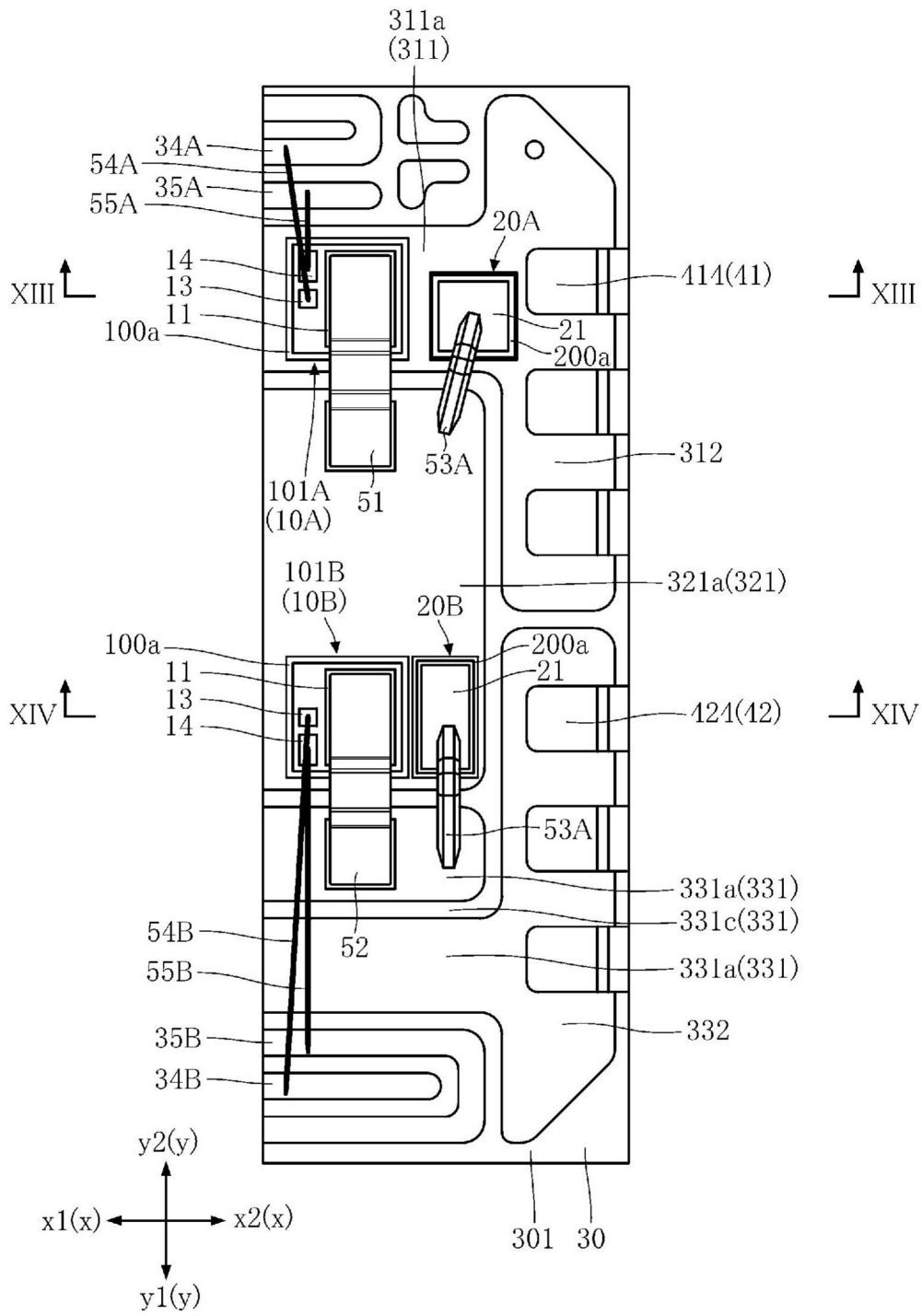


图6

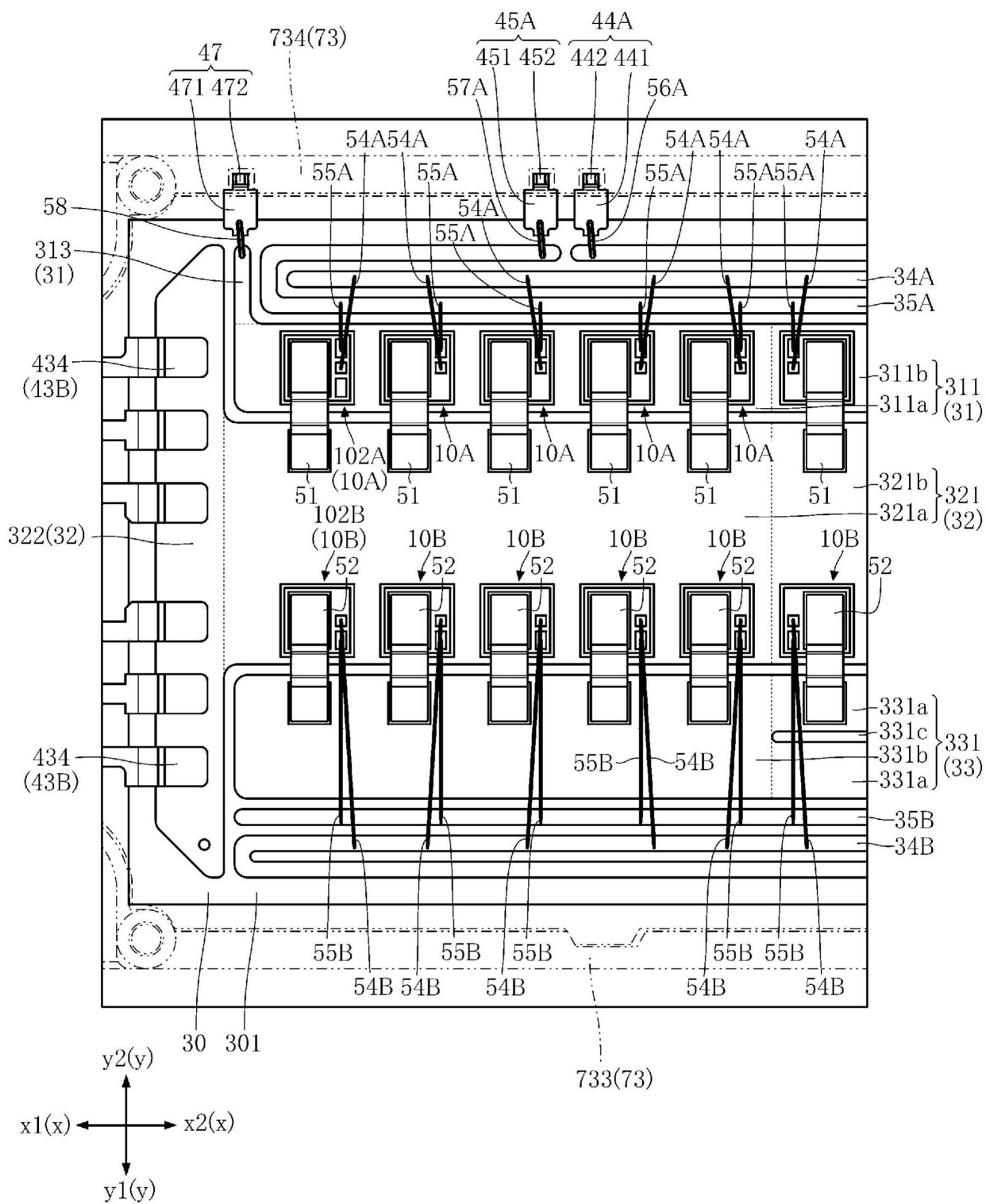


图7

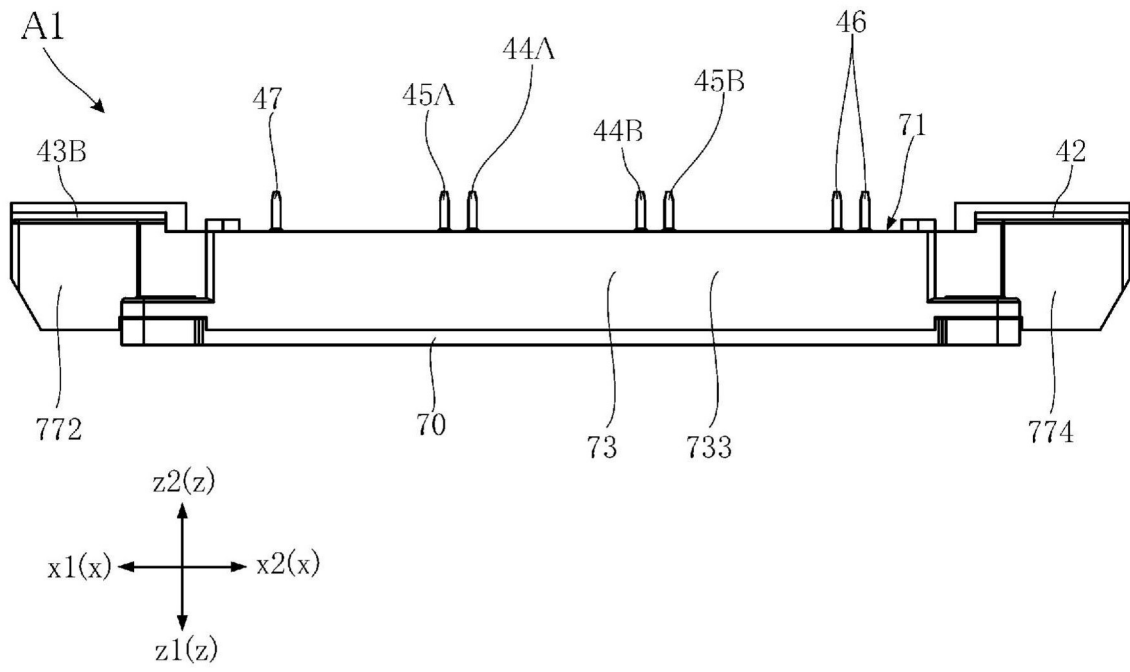


图8

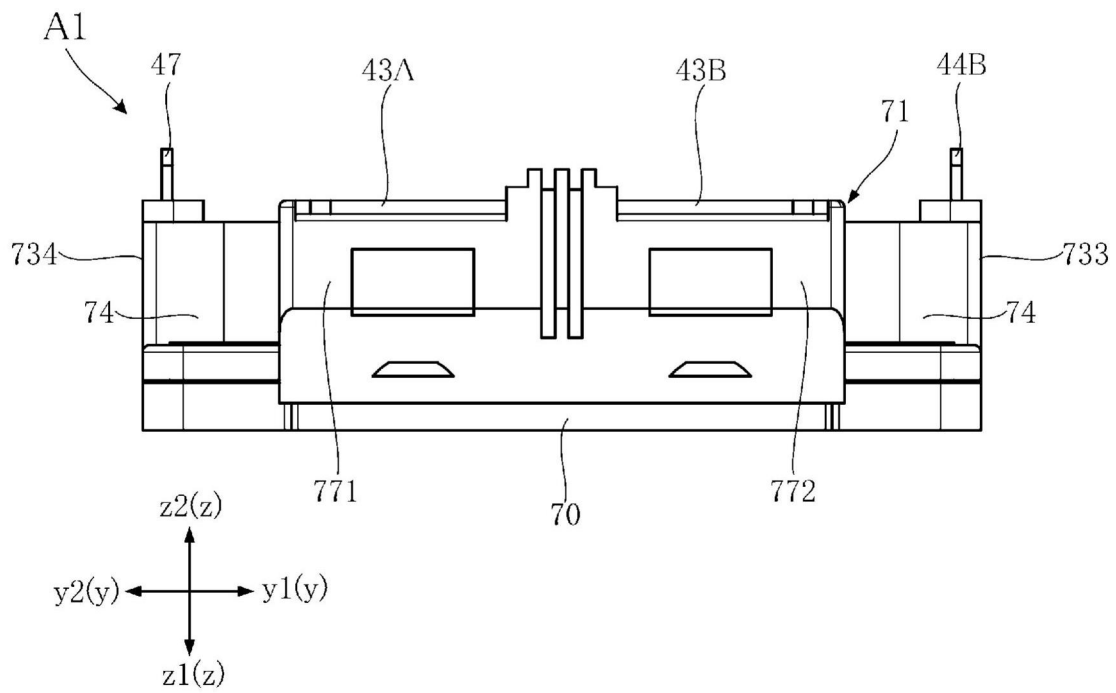


图9

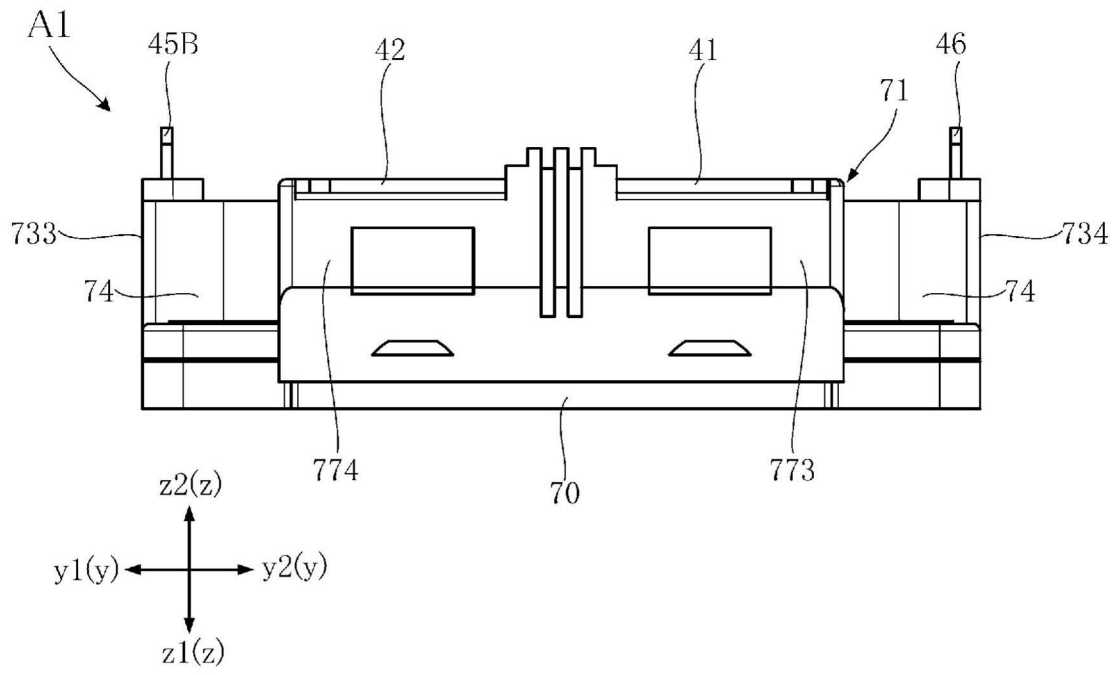


图10

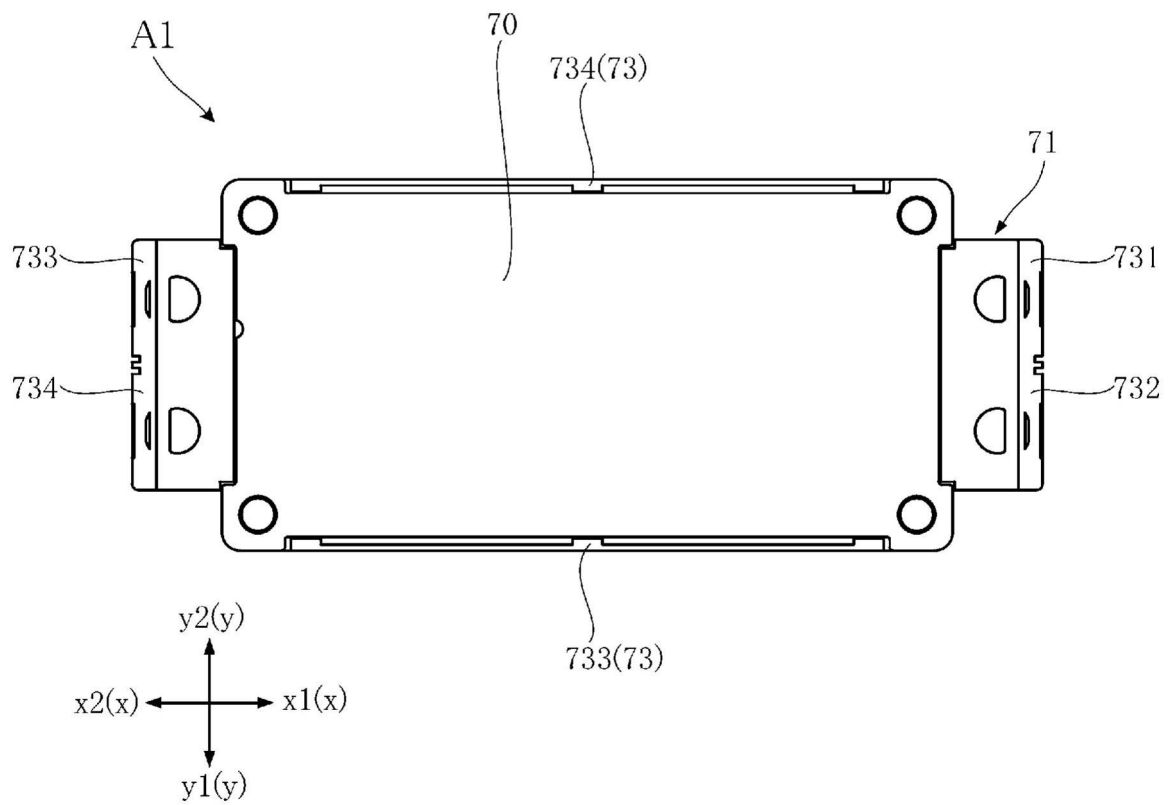


图11

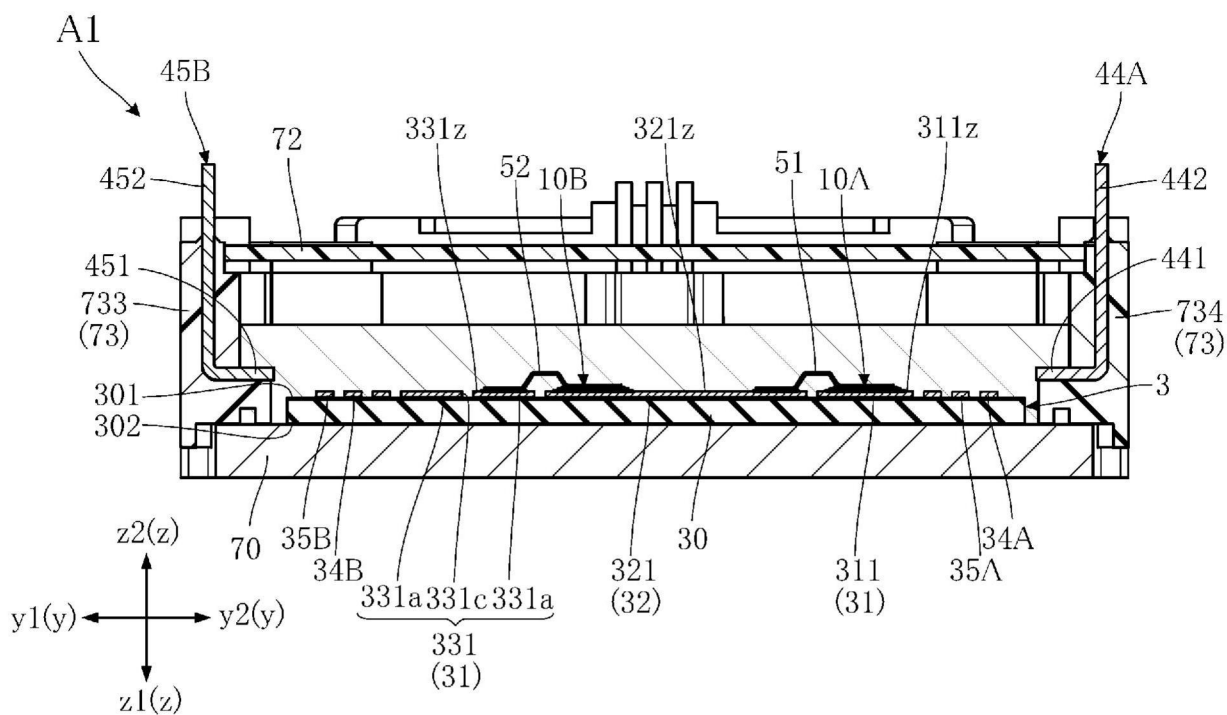


图12

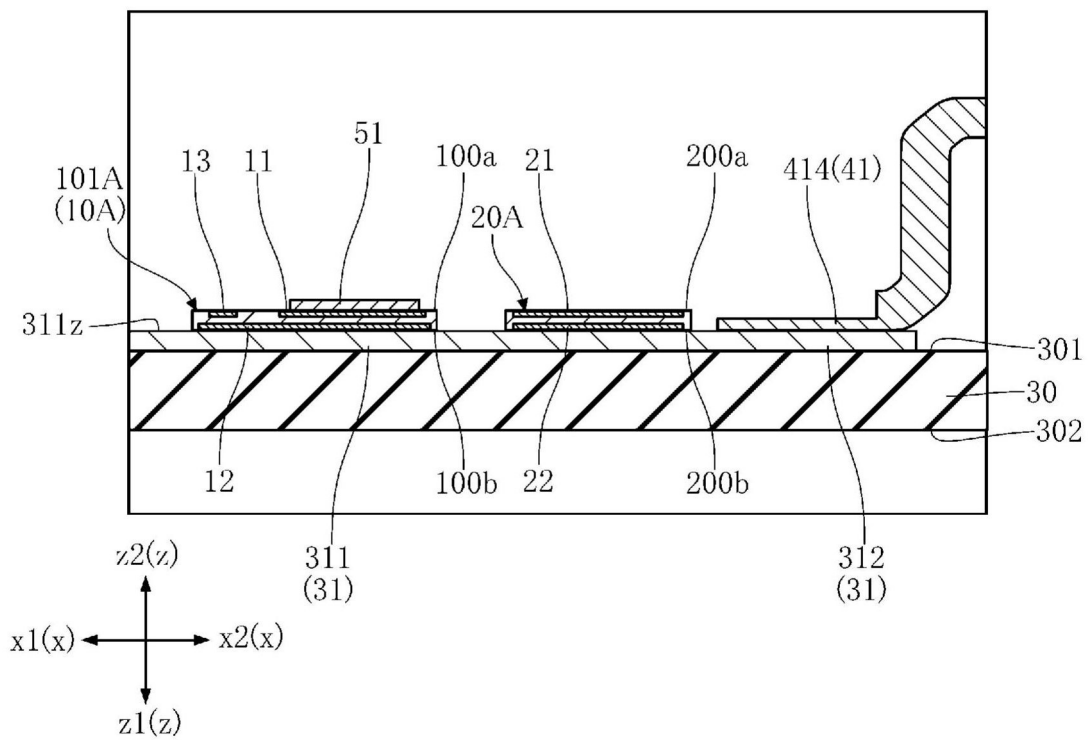


图13

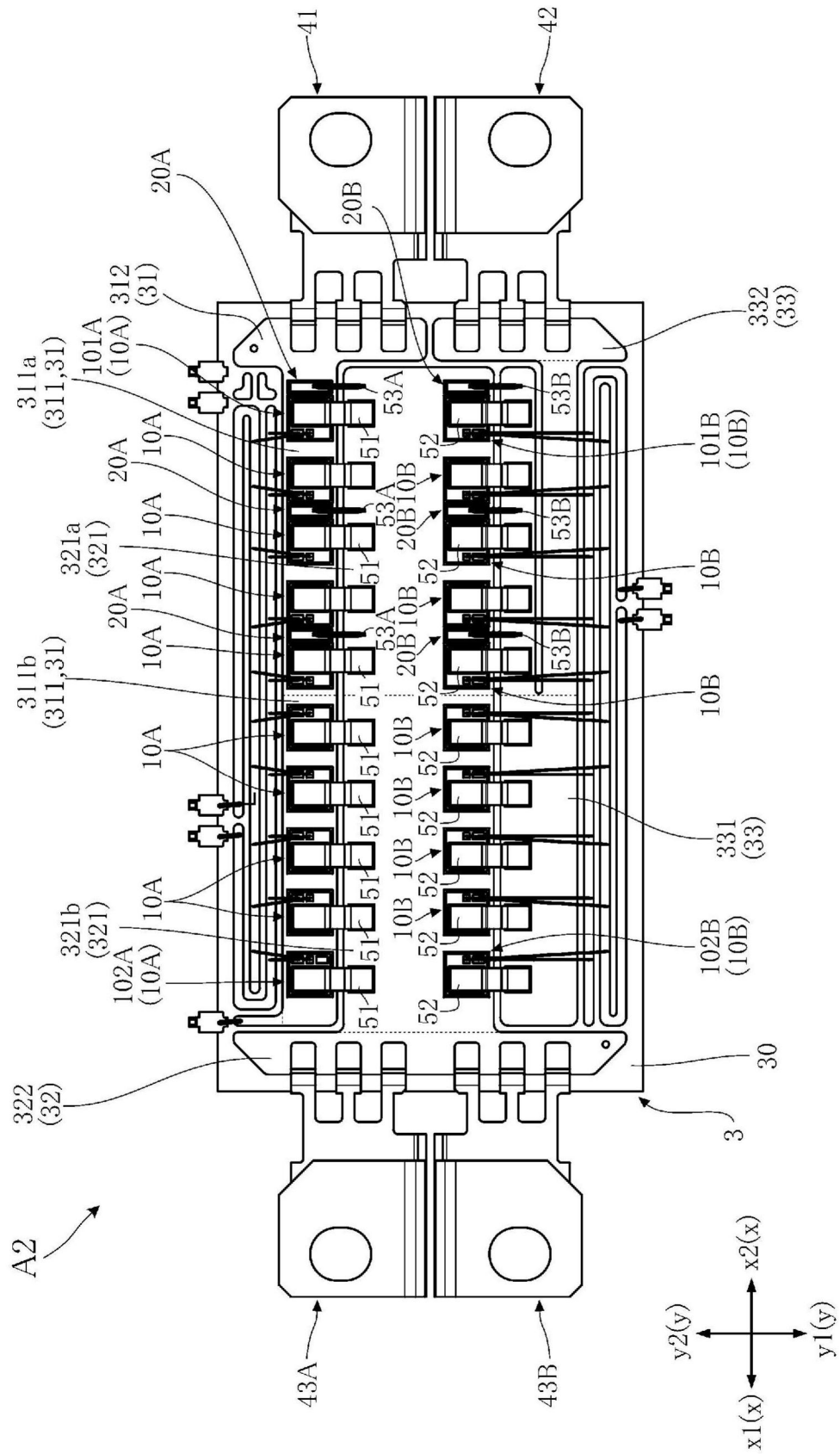


图16

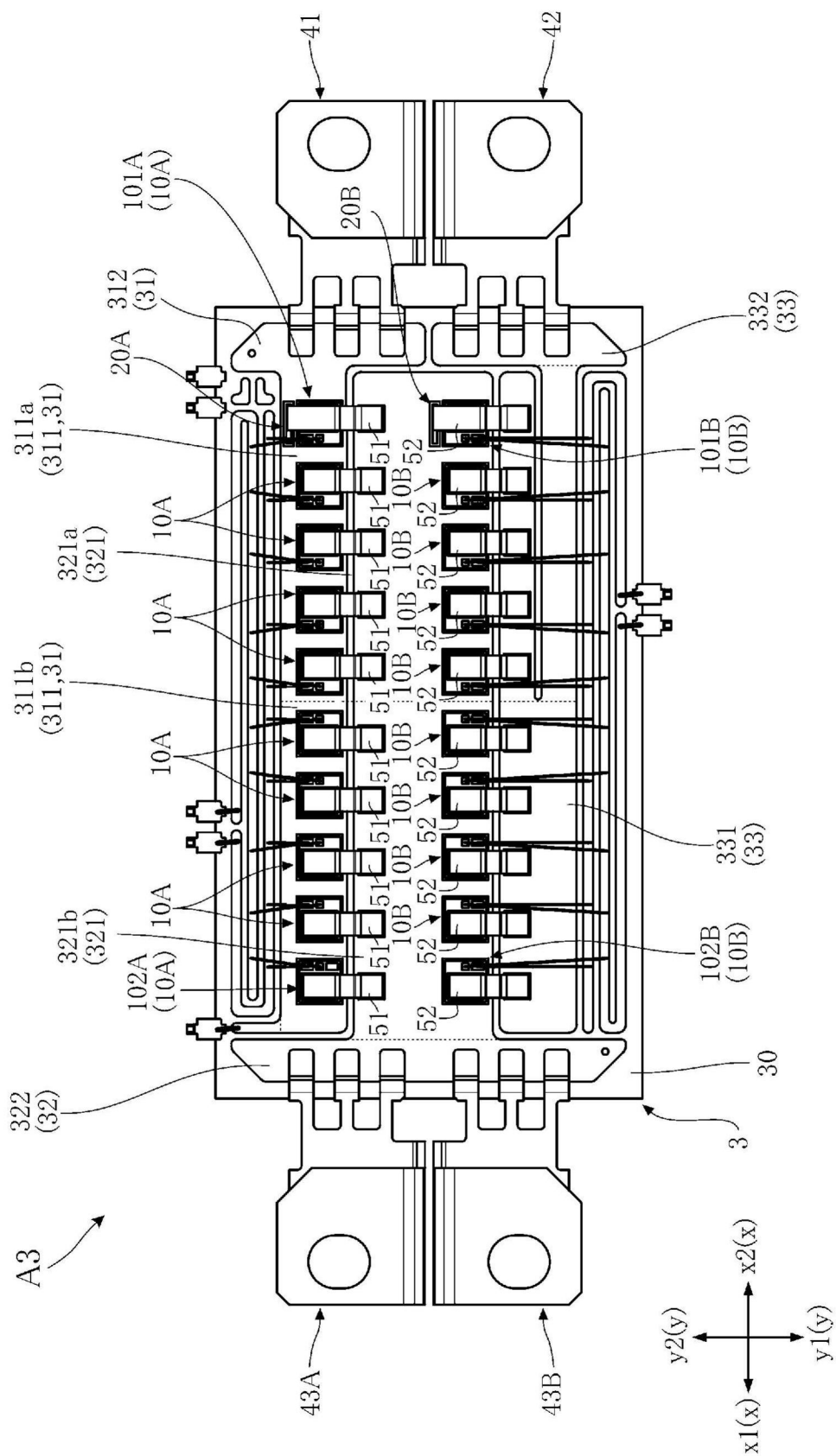


图17

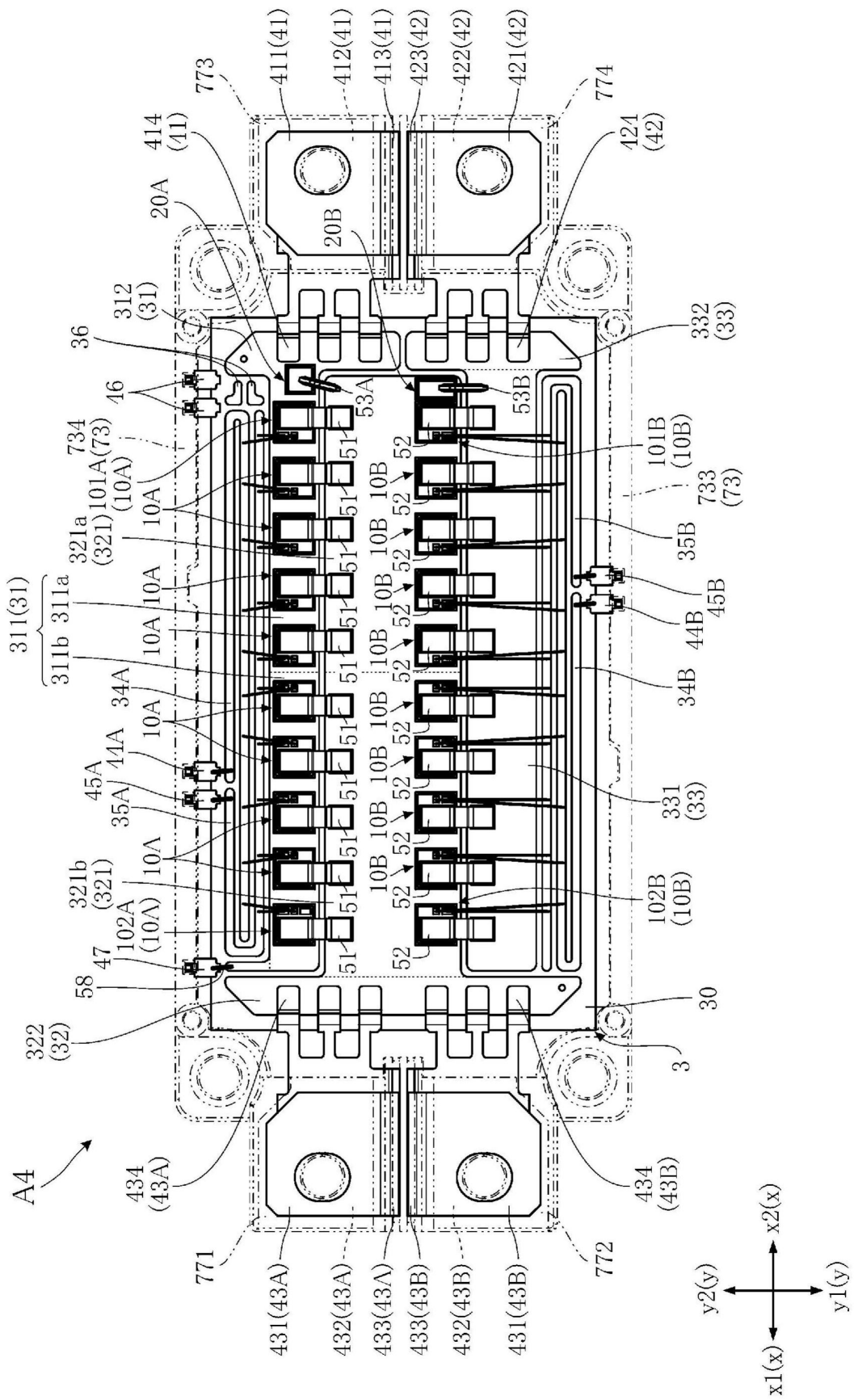


图18

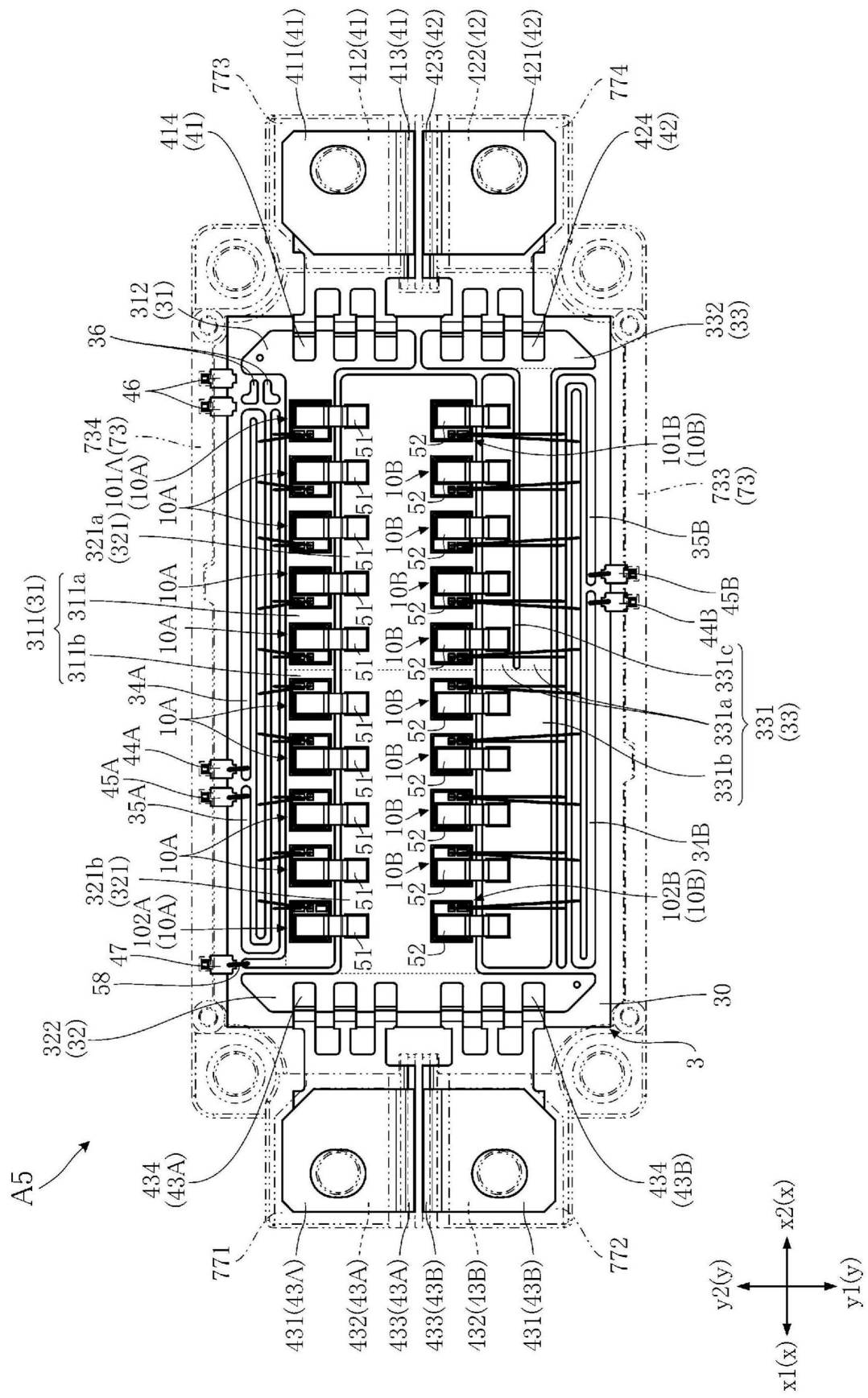


图19