

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5728088号  
(P5728088)

(45) 発行日 平成27年6月3日(2015.6.3)

(24) 登録日 平成27年4月10日(2015.4.10)

(51) Int.Cl. F I  
**G 0 6 F 13/38 (2006.01)** G 0 6 F 13/38 3 5 0

請求項の数 7 (全 19 頁)

(21) 出願番号	特願2013-522360 (P2013-522360)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(86) (22) 出願日	平成23年6月29日(2011.6.29)	(74) 代理人	100093861 弁理士 大賀 真司
(86) 国際出願番号	PCT/JP2011/003739	(74) 代理人	100129218 弁理士 百本 宏之
(87) 国際公開番号	W02013/001578	(72) 発明者	門司 秀明 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
(87) 国際公開日	平成25年1月3日(2013.1.3)	(72) 発明者	清田 雄策 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
審査請求日	平成25年10月11日(2013.10.11)	審査官	保田 亨介

最終頁に続く

(54) 【発明の名称】 入出力制御装置及び入出力制御装置のフレーム処理方法

(57) 【特許請求の範囲】

【請求項1】

コマンド発行元のアクセス対象とインタフェースを介してデータの送受信を行うと共に、前記コマンド発行元のアクセス対象と送受信されるデータを送受信フレーム毎にフレーム単位で制御する1又は複数のインタフェース制御回路と、

前記インタフェース制御回路で送受信される送受信フレームのうち受信フレームのデータを受信データとして受信データバッファに格納し、前記受信データバッファに格納された前記受信データを前記コマンド発行元へ転送する受信バッファ制御回路と、

前記コマンド発行元から送信される送信データを送信データバッファに格納し、前記送信データバッファに格納された前記送信データを前記インタフェースへ転送する送信バッファ制御回路と、

前記受信バッファ制御回路に対して前記受信データの転送を制御すると共に、前記送信バッファ制御回路に対して前記送信データの転送を制御する複数のプロトコル制御回路と

、  
 前記コマンド発行元のアクセス対象で生成されるフレームに付加され、前記プロトコル制御回路固有の識別情報を含む制御情報であって、前記インタフェース制御回路で送受信される送受信フレームのうち受信フレームに付加される制御情報を基に前記受信フレームの割当先を前記複数のプロトコル制御回路の中から選択し、前記選択したプロトコル制御回路に前記受信フレームの処理を割り当てる受信フレームルーティング制御回路と、を有し、

前記複数のプロトコル制御回路のうち、前記コマンド発行元から起動コマンドを受信したプロトコル制御回路は、

前記起動コマンドに従って送信フレームに付加される前記制御情報として、当該プロトコル制御回路固有の識別情報を含む制御情報を生成し、前記生成した制御情報を前記送信データバッファに格納された送信データに付加し、

前記複数のプロトコル制御回路のうち、前記受信フレームルーティング制御回路により、前記受信フレームの処理が割り当てられたプロトコル制御回路は、

前記受信バッファ制御回路に対して前記受信フレームに対応した受信データの転送を指示することを特徴とする入出力制御装置。

【請求項 2】

請求項 1 に記載の入出力制御装置であって、

前記送信フレームに付加される前記制御情報は、前記送信フレーム送信側の動作を特定する動作情報を含み、前記プロトコル制御回路固有の識別情報は、前記各プロトコル制御回路を一意に識別するためのエクステンジ番号を含むことを特徴とする入出力制御装置。

【請求項 3】

コマンド発行元のアクセス対象とインタフェースを介してデータの送受信を行うと共に、前記コマンド発行元のアクセス対象と送受信されるデータを送受信フレーム毎にフレーム単位で制御する1又は複数のインタフェース制御回路と、

前記インタフェース制御回路で送受信される送受信フレームのうち受信フレームのデータを受信データとして受信データバッファに格納し、前記受信データバッファに格納された前記受信データを前記コマンド発行元へ転送する受信バッファ制御回路と、

前記コマンド発行元から送信される送信データを送信データバッファに格納し、前記送信データバッファに格納された前記送信データを前記インタフェースへ転送する送信バッファ制御回路と、

前記受信バッファ制御回路に対して前記受信データの転送を制御すると共に、前記送信バッファ制御回路に対して前記送信データの転送を制御する複数のプロトコル制御回路と、

前記コマンド発行元のアクセス対象で生成されるフレームに付加され、前記プロトコル制御回路固有の識別情報を含む制御情報であって、前記インタフェース制御回路で送受信される送受信フレームのうち受信フレームに付加される制御情報を基に前記受信フレームの割当先を前記複数のプロトコル制御回路の中から選択し、前記選択したプロトコル制御回路に前記受信フレームの処理を割り当てる受信フレームルーティング制御回路と、を有することを特徴とする入出力制御装置。

【請求項 4】

請求項 3 に記載の入出力制御装置であって、

前記受信フレームに付加される制御情報は、前記受信フレームの送信元の動作を特定する動作情報を含み、前記プロトコル制御回路固有の識別情報は、前記各プロトコル制御回路を一意に識別するためのエクステンジ番号を含むことを特徴とする入出力制御装置。

【請求項 5】

請求項 1 又は 3 に記載の入出力制御装置であって、

前記受信フレームルーティング制御回路は、

前記受信フレームに付加される制御情報の中に前記プロトコル制御回路を識別するための識別情報として、前記いずれかのプロトコル制御回路を特定する識別情報が存在しない場合、全ての前記プロトコル制御回路に対して、前記受信フレームの処理を割り当てるブロードキャストの処理を実行することを特徴とする入出力制御装置。

【請求項 6】

コマンド発行元のアクセス対象とインタフェースを介してデータの送受信を行うと共に、前記コマンド発行元のアクセス対象と送受信されるデータを送受信フレーム毎にフレーム単位で制御する1又は複数のインタフェース制御回路と、

10

20

30

40

50

前記インタフェース制御回路で送受信される送受信フレームのうち受信フレームのデータを受信データとして受信データバッファに格納し、前記受信データバッファに格納された前記受信データを前記コマンド発行元へ転送する受信バッファ制御回路と、

前記コマンド発行元から送信される送信データを送信データバッファに格納し、前記送信データバッファに格納された前記送信データを前記インタフェースへ転送する送信バッファ制御回路と、

前記受信バッファ制御回路に対して前記受信データの転送を制御すると共に、前記送信バッファ制御回路に対して前記送信データの転送を制御する複数のプロトコル制御回路と、

前記インタフェース制御回路で送受信される送受信フレームのうち受信フレームのルーティングを制御する受信フレームルーティング制御回路と、を有する入出力制御装置のフレーム処理方法であって、

10

前記受信フレームルーティング制御回路が、前記コマンド発行元のアクセス対象で生成されるフレームに付加され、前記プロトコル制御回路固有の識別情報を含む制御情報であって、前記インタフェース制御回路で送受信される送受信フレームのうち受信フレームに付加される制御情報を基に前記受信フレームの割当先を前記複数のプロトコル制御回路の中から選択するステップと、

前記受信フレームルーティング制御回路が、前記選択したプロトコル制御回路に前記受信フレームの処理を割り当てるステップと、

前記コマンド発行元から起動コマンドを受信したプロトコル制御回路が、前記起動コマンドに従って送信フレームに付加される前記制御情報として、当該プロトコル制御回路固有の識別情報を含む制御情報を生成するステップと、

20

前記コマンド発行元から起動コマンドを受信したプロトコル制御回路が、前記生成した制御情報を前記送信データバッファに格納された送信データに付加するステップと、

前記受信フレームルーティング制御回路により、前記受信フレームの処理が割り当てられたプロトコル制御回路が、前記受信バッファ制御回路に対して前記受信フレームに対応した受信データの転送を指示するステップと、を含むことを特徴とする入出力制御装置のフレーム処理方法。

#### 【請求項 7】

請求項 6 に記載のフレーム処理方法であって、

30

前記受信フレームルーティング制御回路が、前記受信フレームに付加される制御情報の中に前記プロトコル制御回路を識別するための識別情報として、前記いずれかのプロトコル制御回路を特定する識別情報が存在しない場合、全ての前記プロトコル制御回路に対して、前記受信フレームの処理を割り当てるブロードキャストの処理を実行するステップを含むことを特徴とする入出力制御装置のフレーム処理方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、計算機システム内でデータを送受信するための入出力制御装置及び入出力制御装置のフレーム処理方法に関する。

40

#### 【背景技術】

#### 【0002】

超高速データリンクの分野においては、飛躍的な技術的発展がある。計算機システムでは、コンピュータと入出力(I/O)装置間のネットワークの相互接続には、さらなる高速化が望まれており、実用的で安価な相互接続手段として、ファイバチャネル(FC)が選択されている。

#### 【0003】

また、ファイバチャネルとホストプロセッサの接続手段として、PCI-SIGにて策定されたPCI(Peripheral Component Interconnect)を用いる機構が広く用いられており、各社からファイバチャネルのHBA(Host Bus Adapter)が市場に提供されている。

50

## 【 0 0 0 4 】

近年のHBAにおける市場では、仮想化技術やクラウドコンピューティングの台頭により、一つのHBAを複数のゲストOS (Operating System) で共有して使用することで、TCO (Total Cost of Ownership) を削減するホストシステムが普及しており、共有によるネットワークの負荷増大に伴うHBAの性能 (単位時間当たりのトランザクション数) 向上に対する要求が飛躍的に増大している。

## 【 0 0 0 5 】

HBAの性能を高めるに際して、例えば、全く独立した複数のファイバチャネル制御回路を1つのLSI (Large Scale Integrated circuit) に集積する方法が報告されている (特許文献1参照)。この特許文献1には、複数のファイバチャネルポートで送受信されるフレームの処理を1つのプロトコル制御回路で実行する方法が言及されている。

10

## 【先行技術文献】

## 【特許文献】

## 【 0 0 0 6 】

【特許文献1】特開2009-223918号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【 0 0 0 7 】

しかし、特許文献1に記載されている方式では、トランザクション数の増加に伴い、プロトコル制御回路の負荷が増大することがある。

20

## 【 0 0 0 8 】

この場合、プロトコル制御回路の動作周波数を上げることで、処理性能を向上させることは可能である。しかし、プロトコル制御回路の動作周波数の向上には技術的限界があり、この方法のみで、プロトコル制御回路に求められる性能を満足することは難しい。

## 【 0 0 0 9 】

また、別の性能向上手法として、複数のファイバチャネルポートに対して、1対1にプロトコル制御回路を搭載することも可能である。この方法によれば、プロトコル制御回路の負荷を重くすることなく、複数のファイバチャネルポートで送受信されるフレームの処理を同時に制御することが可能となる。

## 【 0 0 1 0 】

しかし、負荷の軽いファイバチャネルポートが存在する場合、そのファイバチャネルポートを制御するプロトコル制御回路の処理も軽くなるため、一部のプロトコル制御回路のアイドル時間が多くなり、複数のプロトコル制御回路全体としては、アイドル時間を有効に使用できなくなる。

30

## 【 0 0 1 1 】

本発明は、前記従来技術の課題に鑑みて為されたものであり、その目的は、複数の受信フレームを、複数のプロトコル制御回路に割り当て、複数の受信フレームの処理を並列に実行することができる入出力制御装置及び入出力制御装置のフレーム処理方法を提供することにある。

## 【課題を解決するための手段】

40

## 【 0 0 1 2 】

前記目的を達成するために、本発明は、コマンド発行元のアクセス対象と送受信されるデータを送受信フレーム毎にフレーム単位で制御する1又は複数のインタフェース制御回路と、前記インタフェース制御回路で送受信される送受信フレームのうち受信フレームの受信データを受信データバッファに格納し、前記受信データバッファに格納された前記受信データを前記コマンド発行元へ転送する受信バッファ制御回路と、前記コマンド発行元から送信される送信データを送信データバッファに格納し、前記送信データバッファに格納された前記送信データを前記インタフェースへ転送する送信バッファ制御回路と、前記受信バッファ制御回路に対して前記受信データの転送を制御すると共に、前記送信バッファ制御回路に対して前記送信データの転送を制御する複数のプロトコル制御回路と、前記

50

インタフェース制御回路で送受信される送受信フレームのうち受信フレームに付加される制御情報を基に前記受信フレームの割当先を前記複数のプロトコル制御回路の中から選択し、前記選択したプロトコル制御回路に前記受信フレームの処理を割り当てる受信フレームルーティング制御回路と、を有することを特徴とする。

【発明の効果】

【0013】

本発明によれば、複数の受信フレームを、複数のプロトコル制御回路に割り当て、複数の受信フレームの処理を並列に実行することができる。

【図面の簡単な説明】

【0014】

【図1】本発明に係る入出力制御装置が用いられたコンピュータシステムの全体構成図である。

【図2】本発明に係る入出力制御装置のブロック図である。

【図3】ファイバチャネルフレームの構成図である。

【図4】ファイバチャネルフレーム内のFC-PHヘッダのフォーマット構成図である。

【図5】エクステンジ番号のフォーマット構成図である。

【図6】入出力制御装置がオリジネータとして動作する場合の動作説明図である。

【図7】入出力制御装置がレスポンドとして動作する場合の動作説明図である。

【図8】受信フレームルーティング制御回路のブロック図である。

【図9】受信フレームルーティング制御回路の動作を説明するためのフローチャートである。

【発明を実施するための形態】

【0015】

<実施例>

本実施例は、インタフェース制御回路で受信した受信フレームに付加される制御情報を基に受信フレームの割当先を複数のプロトコル制御回路の中から選択し、選択したプロトコル制御回路に受信フレームの処理を割り当てるものである。

【0016】

また、本実施例は、本発明を、4つのファイバチャネルポートに対して4つのプロトコル制御回路を有する入出力制御装置に適用した場合の例であり、ファイバチャネルポートに対するプロトコル制御回路の数は実施例に限定されるものではない。

【0017】

以下、本発明の一実施例を図面に基づいて説明する。

【0018】

図1は、本発明に係る入出力制御装置を備えたコンピュータシステムのシステム構成図である。

【0019】

図1において、コンピュータシステムは、ホスト装置10と、入出力装置12、14と、ディスク制御装置16から構成される。

【0020】

ホスト装置10は、1台または複数台のCPU(中央処理装置)20と、ホストバスコントローラ22と、主記憶装置24で構成され、コマンド発行元となる。

【0021】

CPU20は、処理プログラムに従ってホスト装置10全体を統括制御するプロセッサとして構成される。主記憶装置24は各種データを記憶するデータ記憶領域として構成される。ホストバスコントローラ22は、CPU20と主記憶装置24間のデータ転送、入出力制御装置12とCPU20間のデータ転送又は入出力制御装置12と主記憶装置24間のデータ転送を制御する。ホストバスコントローラ22と入出力制御装置12との間には、インタフェースとして、例えば、PCI-Expressインタフェース60が構成される。

【0022】

入出力制御装置12は、ホスト装置10又は入出力制御装置14とデータの授受を行う

10

20

30

40

50

装置であって、4つのポート（入出力ポート）30、32、34、36を備えている。入出力制御装置14は、入出力制御装置12又はディスク制御装置16とデータの授受を行う装置であって、4つのポート（入出力ポート）40、42、44、46を備えている。ポート30～36とポート40～46には、例えば、光トランシーバが配置されており、各ポート間で、光トランシーバを介してデータの授受が行われる。この場合、入出力制御装置12と入出力制御装置14の間には、インタフェースとして、例えば、ファイバチャネルインタフェース62が構成される。

**【0023】**

ディスク制御装置16は、入出力制御装置14とデータの授受を行う装置であって、ディスク装置50と、ディスクコントローラ52で構成され、コマンド発行元（ホスト装置10）のアクセス対象となる。

10

**【0024】**

ディスク制御装置16と入出力制御装置14の間には、インタフェースとして、例えば、PCI-Expressインタフェース64が構成される。

**【0025】**

ディスク装置50は、複数の記憶デバイス、例えば、HDD（Hard Disk Drive）で構成される。ディスクコントローラ52は、ディスク装置50に対するデータの入出力を制御する。ディスクコントローラ52は、入出力制御装置14に接続される。

**【0026】**

次に、図2に入出力制御装置12のブロック図を示す。

20

**【0027】**

図2において、入出力制御装置12は、光トランシーバ70、72、74、76と、ファイバチャネルインタフェース制御回路78、80、82、84と、送信データバッファ86と、送信バッファ制御回路88と、受信データバッファ90と、受信バッファ制御回路92と、受信フレームルーティング制御回路94と、4つのプロトコル制御回路96、98、100、102と、DMA（Direct Memory Access）制御回路104と、起動キュー制御回路106と、PCI-Express制御回路108から構成される。

**【0028】**

光トランシーバ70～76は、それぞれポート30～36に配置され、入出力制御装置14のポート40～46に配置される光トランシーバとデータ（フレーム）の送受信を行う。

30

**【0029】**

ファイバチャネルインタフェース制御回路78、80、82、84は、シリアライザデシリアライザ（Serdes）110と、フレーム生成回路112と、フレーム解析回路114とを有し、コマンド発行元のアクセス対象と送受信されるデータを送受信フレーム毎にフレーム単位で制御するインタフェース回路として構成される。

**【0030】**

なお、ファイバチャネルインタフェース制御回路78、80、82、84は、それぞれ同一の構成であるので、以下、ファイバチャネルインタフェース制御回路78についてのみ説明する。

40

**【0031】**

シリアライザデシリアライザ（Serdes）110は、光トランシーバ70の受信による受信フレームに付加されたシリアルデータをパラレルデータに変換し、変換されたパラレルデータをフレーム解析回路114に出力し、フレーム生成回路112から送出された送信フレームを光トランシーバ70に出力する。

**【0032】**

フレーム生成回路112は、送信データバッファ86から送信される送信データを基に送信フレームのフレームヘッダを生成し、生成したフレームヘッダに送信データを付加し、送信データとフレームヘッダが付加された送信フレームをシリアライザデシリアライザ（Serdes）110に出力する。

50

## 【 0 0 3 3 】

フレーム解析回路 1 1 4 は、シリアルライザデシリアルライザ (Serdes) 1 1 0 で変換されたパラレルデータからオーダーセットを認識すると共に、フレーム組み立ておよびCRC (Cyclic Redundancy Check) を用いた誤り検出等の処理を行い、処理結果を受信フレームに反映し、処理結果が反映された受信フレームを受信データバッファ 9 0 へ出力する。

## 【 0 0 3 4 】

送信データバッファ 8 6 は、ファイバチャンネルインタフェース制御回路 7 8 ~ 8 4 共通の送信データバッファであって、DMA制御回路 1 0 4 から送出される送信データを格納する。送信バッファ制御回路 8 8 は、プロトコル制御回路 9 6 ~ 1 0 2 のうちいずれか 1 つのプロトコル制御回路からの指示を基に送信データバッファ 8 6 内の送信データをファイバチャンネルインタフェース制御回路 7 8 ~ 8 4 のうちいずれか 1 つのファイバチャンネルインタフェース制御回路に転送する制御を実行する。

10

## 【 0 0 3 5 】

受信データバッファ 9 0 は、ファイバチャンネルインタフェース制御回路 7 8 ~ 8 4 共通の受信データバッファであって、光トランシーバ 7 0 ~ 7 6 の受信による受信フレームに付加された受信データを格納する。受信バッファ制御回路 9 2 は、受信データバッファ 9 0 に格納された受信データをDMA制御回路 4 0 へ転送する制御を実行すると共に、受信データバッファ 9 0 に格納された受信フレームのバッファアドレスを、受信フレームルーティング制御回路 9 4 を介してプロトコル制御回路 9 6 ~ 1 0 2 に割り込み処理で通知する。

20

## 【 0 0 3 6 】

受信フレームルーティング制御回路 9 4 は、ファイバチャンネルインタフェース制御回路 7 8 ~ 8 4 の出力による受信フレームに付加された制御情報を判別し、4 つのプロトコル制御回路 9 6 ~ 1 0 2 のうちいずれか 1 つのプロトコル制御回路を受信フレームの割当先として決定するためのルーティング制御を実行する。

## 【 0 0 3 7 】

プロトコル制御回路 9 6 ~ 1 0 2 は、受信バッファ制御回路 9 2 に対して受信データの転送を制御すると共に、送信バッファ制御回路 8 8 に対して送信データの転送を制御する。また、プロトコル制御回路 9 6 ~ 1 0 2 は、起動キュー制御回路 1 0 6 からの起動コマンドをスタックする起動キュー 1 1 6 をそれぞれ備えている。

30

## 【 0 0 3 8 】

プロトコル制御回路 9 6 ~ 1 0 2 は、それぞれが備える起動キュー 1 1 6 にスタックされた起動コマンドに従って処理を実行する。例えば、ライトコマンドがプロトコル制御回路 9 6 の起動キュー 1 1 6 にスタックされた場合、プロトコル制御回路 9 6 は、送信フレームを送信するための指示をDMA制御回路 1 0 4 と送信バッファ制御回路 8 8 へ出力する。プロトコル制御回路 9 8 ~ 1 0 2 も同様に、それぞれが備える起動キュー 1 1 6 にコマンドがスタックされると、送信フレームを送信するための指示をDMA制御回路 1 0 4 と送信バッファ制御回路 8 8 へ出力する。

## 【 0 0 3 9 】

一方、受信フレームルーティング制御回路 9 4 によって受信フレームの割当先が決定された場合、プロトコル制御回路 9 6 ~ 1 0 2 のうち受信フレームが割り当てられたプロトコル制御回路は、受信バッファ制御回路 9 2 から割り込みで通知されたバッファアドレスを基に主記憶装置 2 4 におけるデータの格納先をDMA制御回路 1 0 4 に指定するための処理を実行する。

40

## 【 0 0 4 0 】

DMA制御回路 1 0 4 は、例えばPCI-Express制御回路などのバス制御回路 1 0 8 からの送信フレームを送信データバッファ 8 6 に送出する制御を実行し、また受信データバッファ 9 0 から送出される受信フレームをPCI-Express制御回路 1 0 8 に送出する制御を実行する。この際、プロトコル制御回路 9 6 ~ 1 0 2 のうちいずれかの 1 つのプロトコル制御回路から受信フレームの送出が指示された場合、DMA制御回路 1 0 4 は、受信データバッ

50

ア 90 から、指定の受信フレームを読み出し、読み出した受信フレームをPCI-Express制御回路108に送出する。

【0041】

PCI-Express制御回路108は、ホスト装置10とDMA制御回路104との間で授受される受信フレームまたは送信フレームの中継を行うとともに、ホスト装置10のデバイスドライバ28から送出される起動コマンドを起動キュー制御回路106に送出するとともに、起動キュー116の状態を、PCI-Express制御回路108を介してホスト装置10に出力する。なお、デバイスドライバ28は、CPU20がデバイス処理プログラムを実行することによって構成される。

【0042】

入出力制御装置14は、入出力制御装置12と同一の要素を用いて構成することができる。また、入出力制御装置14は、入出力制御装置12を構成する要素のうち受信フレームルーティング制御回路94を除外し、4つのプロトコル制御回路を用いる代わりに、1つのプロトコル制御回路を用いて構成することもできる。

【0043】

次に、図3に、ファイバチャネルフレームの構成図を示す。

【0044】

図3において、ファイバチャネルフレーム200は、各プロトコル制御回路96~102で解析される受信フレームとして構成される。このファイバチャネルフレーム200は、4バイトのSOF(Start Of Frame)202と、24バイトのFC-PH(Fibre Channel Physical)ヘッダ204と、0~2112バイトのデータペイロード206と、4バイトのCRC208と、4バイトのEOF(End Of Frame)210から構成される。

【0045】

SOF202とEOF210は、デリミタと呼ばれ、ファイバチャネルフレーム200の区切りを識別するためのオーダーセットである。FC-PHヘッダ204は、ファイバチャネルフレーム200の制御情報として構成される。データペイロード206は、例えば、ホスト装置10が利用するデータで構成される。CRC208は、誤り検出用のデータで構成される。この際、データペイロード206は、CRCを用いて妥当性が保証されたデータとして構成される。

【0046】

次に、図4に、ファイバチャネルフレーム内のFC-PHヘッダのフォーマット構成図を示す。

【0047】

図4において、ファイバチャネルフレーム200内のFC-PHヘッダのフォーマット300は、ワードアドレス302と、バイトアドレス304から構成される。ワードアドレス302には、アドレスとして「0」~「5」が割り当てられ、バイトアドレス304には、アドレスとして「0」~「3」が割り当てられる。各アドレスは、複数のフィールド306~328に対応付けられる。

【0048】

これら複数のフィールド306~328のうちフィールド316はF-CTLとして構成され、このF-CTLには、Exchange Context(以下、E-Cと称する。)と呼ばれるフィールドが含まれている。フィールド316のE-C内には、フレームの送信側が、オリジネータ(Originator)として動作する場合、「0」の情報が、フレームの送信側の動作を特定する動作情報として付与され、フレームの送信側が、レスポнда(Responder)として動作する場合には、「1」の情報が、フレームの送信側の動作を特定する動作情報として付与される。

【0049】

ここで、送受信フレームとしてファイバチャネルフレーム200を用いる場合、ホスト装置10とディスク制御装置16との間の1回のリード/ライト動作で送受信される、論理的なフレームの集合をエクスチェンジ(Exchange)と称し、ファイバチャネルでは、こ

10

20

30

40

50

の論理的なフレームの送受信に伴うデータ転送をエクステンジ毎に多重動作することとしている。

【0050】

そこで、本実施例では、エクステンジ毎に割り当てる番号を各プロトコル制御回路96～102でユニークに決定し、各プロトコル制御回路で決定されたエクステンジ番号をファイバチャネルフレーム200のFC-PHヘッダ内に付与することとしている。

【0051】

即ち、送受信フレームに付加される制御情報に属する識別情報であって、各プロトコル制御回路96～102固有の識別情報として、各プロトコル制御回路96～102を一意に識別するためのエクステンジ番号をファイバチャネルフレーム200のFC-PHヘッダ内に付与する。

10

【0052】

具体的には、フォーマット300のうちフィールド324をOX-ID (Originator Exchange Identifier) として構成し、フィールド326をRX-ID (Responder Exchange Identifier) として構成する。

【0053】

この際、フレーム送信側が、オリジネータとして動作する場合、フィールド324の「OX-ID」にエクステンジ番号が付与され、フレームの送信側が、レスポндаとして動作する場合、フィールド326のRX-IDに、エクステンジ番号が付与される。なお、エクステンジ番号は、後述するように、プロトコル制御回路番号を含む番号である。

20

【0054】

次に、図5に、エクステンジ番号のフォーマットの構成図を示す。

【0055】

図5において、エクステンジ番号のフォーマット400は、バイトアドレス402と、ビットアドレス404と、マッピング406から構成される。バイトアドレス402のうちバイト0、1またはバイト2、3にはビットアドレス404として、「0」～「7」がそれぞれ割り当てられる。16ビットで構成されるビットアドレス404のうち先頭の2ビットには、4つのプロトコル制御回路96～102の中から1つのプロトコル制御回路を選択するためのプロトコル制御回路番号408がマッピングされる。ビットアドレス404のうち残りの14ビットには、エクステンジ番号410がマッピングされる。

30

【0056】

次に、入出力制御装置12がオリジネータとして動作するときの処理を図6に従って説明する。

【0057】

ホスト装置10のデバイスドライバ28が、トランザクションを実行するに際して、プロトコル制御回路96～102の中から1つのプロトコル制御回路、例えば、プロトコル制御回路96を選択し、選択したプロトコル制御回路96に起動コマンドを送出する場合、デバイスドライバ28は、起動キュー制御回路106に対して起動コマンドを送出する。起動キュー制御回路106は、プロトコル制御回路96の起動キュー116に、起動コマンドとして、フレーム送信起動命令をスタックする(601)。

40

【0058】

フレーム送信起動命令を受けたプロトコル制御回路96は、送信フレームを生成するとともに、送信フレームのフィールド316のE-Cに、“0”を設定し、フィールド324のOX-IDに、ユニークなエクステンジ番号(プロトコル制御回路番号408とエクステンジ番号410を含む番号)を付与する(602)。

【0059】

その後、プロトコル制御回路96は、送信バッファ制御回路88と送信データバッファ86を介して、例えば、ファイバチャネルインタフェース制御回路78に送信フレームを送信する(603)。この送信フレームは、ファイバチャネルインタフェース制御回路78から、光トランシーバ70を介して入出力制御装置14に送信された後、ディスク制御

50

装置 1 6 に送信される。

【 0 0 6 0 】

この後、ディスク制御装置 1 6 は、送信フレームに回答する応答フレームを生成する。この際、ディスク制御装置 1 6 は、レスポンドとして動作し、応答フレームのフィールド 3 1 6 の E-C に “ 1 ” を設定し、フィールド 3 2 4 の OX-ID には、受信フレームに付与されたエクスチェンジ番号と同じ番号を付与し、各フィールドに制御情報が設定された応答フレームを入出力制御装置 1 4 に送信する。

【 0 0 6 1 】

入出力制御装置 1 4 は、ディスク制御装置 1 6 から受信した応答フレームを入出力制御装置 1 2 に送信する ( 6 0 4 )。

10

【 0 0 6 2 】

この後、応答フレームを受信した入出力制御装置 1 2 は、応答フレームを受信フレームとして処理し、この受信フレームを、プロトコル制御回路 9 6 ~ 1 0 2 のうち 1 つのプロトコル制御回路へ割り当てるためのルーティング処理を実行する。

【 0 0 6 3 】

フィールド 3 2 4 の OX-ID に、ユニークなエクスチェンジ番号 ( 各プロトコル制御回路 9 6 ~ 1 0 2 を識別するための番号 ) を付与する場合、例えば、プロトコル制御回路 9 6 は、プロトコル制御回路番号 4 0 8 に、2 ビットの番号として、“ 0 0 ” を付与することができる。

【 0 0 6 4 】

20

また、プロトコル制御回路 9 8 ~ 1 0 2 が、フィールド 3 2 4 の OX-ID に、ユニークなエクスチェンジ番号を付与する場合には、例えば、プロトコル制御回路 9 8 は、プロトコル制御回路番号 4 0 8 に、2 ビットの番号として、“ 0 1 ” を付与し、プロトコル制御回路 1 0 0 は、プロトコル制御回路番号 4 0 8 に、2 ビットの番号として、“ 1 0 ” を付与し、プロトコル制御回路 1 0 2 は、プロトコル制御回路番号 4 0 8 に、2 ビットの番号として、“ 1 1 ” を付与することができる。

【 0 0 6 5 】

次に、入出力制御装置 1 2 がレスポンドとして動作するときの処理を図 7 に従って説明する。

【 0 0 6 6 】

30

まず、ディスク制御装置 1 6 が、例えば、リード処理又はライト処理とは異なる処理を実行するに際して、オリジネータとして動作する場合、送信フレームのフィールド 3 1 6 の E-C に “ 0 ” を設定し、フィールド 3 2 6 の RX-ID にエクスチェンジ番号 ( プロトコル制御回路番号 4 0 8 とエクスチェンジ番号 4 1 0 を含む番号 ) をそれぞれ制御情報として設定し、これら制御情報が設定された送信フレームを、入出力制御装置 1 6 を介して、入出力制御装置 1 2 に送信する ( 7 0 1 )。

【 0 0 6 7 】

入出力制御装置 1 2 は、受信したフレームのフィールド 3 1 6 の E-C が “ 0 ” に設定されているので、レスポンドとして動作し、受信した受信フレームのフィールド 3 2 6 の RX-ID に設定されたエクスチェンジ番号を判別し、この判別結果から、受信フレームの割当先となるプロトコル制御回路を決定する。

40

【 0 0 6 8 】

例えば、受信フレームルーティング制御回路 9 4 は、受信フレームのフィールド 3 2 6 の RX-ID に設定されたエクスチェンジ番号を基に受信フレームの割当先となるプロトコル制御回路、例えば、プロトコル制御回路 9 6 を決定し、決定したプロトコル制御回路 9 6 にフレーム受信を通知する ( 7 0 2 )。この後、プロトコル制御回路 9 6 は、受信フレームをホスト装置 1 0 のデバイスドライバ 2 8 に通知 ( 送信 ) する ( 7 0 3 )。

【 0 0 6 9 】

次に、ホスト装置 1 0 のデバイスドライバ 2 8 は、受信フレームに回答する応答フレームを生成し、生成した応答フレームを起動するための応答フレーム起動命令をプロトコル

50

制御回路 96 に送信する (704)。

【0070】

プロトコル制御回路 96 は、応答フレームのフィールド 316 の E-C に “1” を設定するとともに、フィールド 326 の RX-ID に、受信フレームに設定されているエクステンジ番号と同じエクステンジ番号 (受信フレームにエクステンジ番号が設定されていない場合は、新規のエクステンジ番号) を付与し、これら制御情報が設定された応答フレームを、送信バッファ制御回路 88 と送信データバッファ 86 を介して、例えば、ファイバチャネルインタフェース制御回路 78 に送出する (705)。

【0071】

応答フレームを受信したファイバチャネルインタフェース制御回路 78 は、光トランシーバ 70 を介して、応答フレームを入出力制御装置 14 に送信する (706)。この後、入出力制御装置 14 は、受信した応答フレームをディスク制御装置 16 に送信する。

【0072】

次に、図 8 に、受信フレームルーティング制御回路のブロック図を示す。

【0073】

図 8 において、受信フレームルーティング制御回路 94 は、レジスタ 500、502、504 と、デコーダ 506、508 と、AND ゲート 510 と、NOT ゲート 512 と、AND ゲート 514 ~ 520 と、AND ゲート 522 ~ 530 と、OR ゲート 532、534、536、538 から構成され、レジスタ 500、502、504 の入力側が、それぞれファイバチャネルインタフェース制御回路 78 ~ 84 に接続され、OR ゲート 532 ~ 538 の出力側が、それぞれプロトコル制御回路 96 ~ 102 に接続される。

【0074】

レジスタ 500 は、ファイバチャネルインタフェース制御回路 78 ~ 84 から出力される受信フレームのフィールド 316 の E-C に付加された制御情報を判別し、E-C が、“0” の場合、“0” の信号を、AND ゲート 514 ~ 520 に出力するとともに、“0” の信号を、NOT ゲート 512 を介して、“1” の信号に変換して AND ゲート 522 ~ 530 に出力する。

【0075】

一方、E-C が “1” の場合、レジスタ 500 は、“1” の信号を、AND ゲート 514 ~ 520 に出力するとともに、“1” の信号を、NOT ゲート 512 を介して、“0” の信号に変換して AND ゲート 522 ~ 530 に出力する。

【0076】

レジスタ 502 は、受信フレームのうちフィールド 324 の OX-ID に付与された制御情報を判別し、この制御情報のうち先頭の 2 ビットのプロトコル制御回路番号 408 を示す信号をデコーダ 506 に出力する。

【0077】

デコーダ 506 は、レジスタ 502 の出力信号をデコードし、デコードした信号をそれぞれ AND ゲート 514 ~ 520 に出力する。

【0078】

例えば、デコーダ 506 は、レジスタ 502 から、“00” の信号を入力した場合、「1000」の信号を出力し、“01” の信号を入力した場合、「0100」の信号を出力し、“10” の信号を入力した場合、「0010」の信号を出力し、“11” の信号を入力した場合、「0001」の信号を出力する。

【0079】

AND ゲート 514 ~ 520 は、レジスタ 500 の出力信号とデコーダ 506 の出力信号の論理積を条件とした信号を OR ゲート 532 ~ 538 に出力する。

【0080】

例えば、入出力制御装置 12 がオリジネータとして動作する場合であって、レジスタ 500 から “1” の信号が出力される場合、AND ゲート 514 は、デコーダ 506 から「1000」の信号が出力されたことを条件に、“1” の信号を OR ゲート 532 に出力し、AN

10

20

30

40

50

Dゲート516は、デコーダ506から「0100」の信号が出力されたことを条件に、“1”の信号をORゲート534に出力し、ANDゲート518は、デコーダ506から「0010」の信号が出力されたことを条件に、“1”の信号をORゲート536に出力し、ANDゲート520は、デコーダ506から「0001」の信号が出力されたことを条件に、“1”の信号をORゲート538に出力する。

【0081】

ORゲート532～538は、それぞれANDゲート514～520から“1”の信号が出力されたことを条件に、それぞれプロトコル制御回路96～102に受信フレームを割り当てるための割り込み信号をプロトコル制御回路96～102に出力する。

【0082】

この際、入出力制御装置12が、オリジネータとして動作する場合、受信フレームのうちフィールド324のOX-IDに、“00”が設定されている場合には、プロトコル制御回路96が、受信フレームの割当先として決定され、フィールド324のOX-IDに、“01”が設定されている場合には、プロトコル制御回路98が、受信フレームの割当先として決定され、フィールド324のOX-IDに、“10”が設定されている場合には、プロトコル制御回路100が、受信フレームの割当先として決定され、フィールド324のOX-IDに、“11”が設定されている場合には、プロトコル制御回路102が、受信フレームの割当先として決定されることになる。

【0083】

即ち、プロトコル制御回路96が、送信フレームのフィールド324のOX-IDに、プロトコル制御回路番号408として、“00”を付与し、同様にして、プロトコル制御回路98～102が、送信フレームのフィールド324のOX-IDに、プロトコル制御回路番号408として、それぞれ“01”、“10”、“11”を付与した場合、各プロトコル制御回路96～102は、送信フレームに付与したプロトコル制御回路番号408と同一のプロトコル制御回路番号408が付与された応答フレームを、受信フレームとして処理することになる。

【0084】

このように、複数の受信フレームを入出力制御装置12で処理する場合でも、各受信フレームをプロトコル制御回路番号408に従って各プロトコル制御回路96～102に割り当てることで、複数のトランザクションを並列に処理することができ、結果として、各トランザクションの性能を向上させることができる。

【0085】

レジスタ504は、受信フレームのフィールド326のRX-IDを判別し、プロトコル制御回路番号408を示す信号をデコーダ508に出力するとともに、プロトコル制御回路番号408を示す信号とエキステンジ番号410を示す信号(0～15ビットの信号)をそれぞれANDゲート510に出力する。

【0086】

デコーダ508は、レジスタ504の出力信号をデコードし、デコードした信号をANDゲート522～528に出力する。

【0087】

例えば、デコーダ508は、レジスタ504の出力が“00”である場合、「1000」の信号をANDゲート522～528に出力し、レジスタ504の出力が“01”である場合、「0100」の信号をANDゲート522～528に出力し、レジスタ504の出力が“10”である場合、「0010」の信号をANDゲート522～528に出力し、レジスタ504の出力が“1”である場合、「0001」の信号をANDゲート522～528に出力する。

【0088】

ANDゲート522～528は、NOTゲート512の出力信号とデコーダ508の出力信号との論理積を条件とした信号をORゲート532～538に出力する。

【0089】

10

20

30

40

50

例えば、入出力制御装置 12 が、レスポндаとして動作し、受信フレームのE-Cが“ 0 ”であって、レジスタ 500 から“ 0 ”の信号が出力され、NOTゲート 512 の出力が“ 1 ”であることを条件に、ANDゲート 522 ~ 528 のうち、デコーダ 508 から“ 1 ”の信号を入力するANDゲートから“ 1 ”の信号が出力される。

【 0090 】

具体的には、NOTゲート 512 の出力が“ 1 ”であることを条件に、デコーダ 508 の出力が、「 1000 」であった場合、ANDゲート 522 から“ 1 ”の信号がORゲート 532 に出力され、デコーダ 508 の出力が「 0100 」である場合、ANDゲート 524 から“ 1 ”の信号がORゲート 534 に出力され、デコーダ 508 の出力が「 0010 」である場合、ANDゲート 526 から“ 1 ”の信号がORゲート 536 に出力され、デコーダ 508 の出力が「 0001 」である場合、ANDゲート 528 から“ 1 ”の信号がORゲート 538 に出力される。

10

【 0091 】

ORゲート 532 ~ 538 は、ANDゲート 522 ~ 528 から“ 1 ”の信号が入力されたことを条件に、プロトコル制御回路 96 ~ 102 に対して受信フレームを割り当てるための割り込み信号を出力する。

【 0092 】

この際、入出力制御装置 12 が、レスポндаとして動作する場合、受信フレームのうちフィールド 326 のRX-IDに、“ 00 ”が設定されている場合には、プロトコル制御回路 96 が、受信フレームの割当先として決定され、フィールド 326 のRX-IDに、“ 01 ”が設定されている場合には、プロトコル制御回路 98 が、受信フレームの割当先として決定され、フィールド 326 のRX-IDに、“ 10 ”が設定されている場合には、プロトコル制御回路 100 が、受信フレームの割当先として決定され、フィールド 326 のRX-IDに、“ 11 ”が設定されている場合には、プロトコル制御回路 102 が、受信フレームの割当先として決定されることになる。

20

【 0093 】

このように、複数の受信フレームを入出力制御装置 12 で処理する場合でも、各受信フレームをプロトコル制御回路番号 408 に従って各プロトコル制御回路 96 ~ 102 に割り当てることで、複数のトランザクションを並列に処理することができ、結果として、各トランザクションの性能を向上させることができる。

30

【 0094 】

また、ANDゲート 510 は、0 ~ 15 ビットの信号であって、プロトコル制御回路番号 408 とエクステンジ番号 410 を示す信号がそれぞれ“ 1 ”である場合、“ 1 ”の信号をANDゲート 530 に出力する。

【 0095 】

ANDゲート 530 は、NOTゲート 512 の出力が“ 1 ”であることを条件に、ANDゲート 510 から“ 1 ”の信号が出力された場合、“ 1 ”の信号を全てのORゲート 532 ~ 538 に“ 1 ”の信号を出力する。

【 0096 】

即ち、ORゲート 532 ~ 538 は、ANDゲート 530 から“ 1 ”の信号が出力された場合、ブロードキャストの処理として、全てのプロトコル制御回路 96 ~ 102 に割り込み信号を出力し、受信フレームの割当先を全てのプロトコル制御回路 96 ~ 102 に決定する。

40

【 0097 】

この場合、各プロトコル制御回路 96 ~ 102 は、自身が処理すべき受信フレームであれば、受信フレームの処理を実行し、自身が処理すべき受信フレームでない場合には、受信フレームの処理を無効とすることもできる。

【 0098 】

次に、入出力制御装置 12 が受信フレームを処理する場合の処理内容を図 9 のフローチャートに従って説明する。

50

## 【 0 0 9 9 】

この処理は、図 6 に示す応答フレーム送信 ( 6 0 4 ) の後のルーティング処理または図 7 のフレーム受信通知 ( 7 0 2 ) におけるルーティング処理として、受信フレームルーティング制御回路 9 4 によって実行される。

## 【 0 1 0 0 】

まず、受信フレームルーティング制御回路 9 4 は、受信フレームに付加されたフィールド 3 1 6 の E-C の内容を判別し、レスポンド動作か否かを判定する ( S 1 1 )。レスポンド動作でない場合、即ち、E-C = 1 である場合、受信フレームルーティング制御回路 9 4 は、入出力制御装置 1 2 がオリジネータとして動作するため、受信フレームのうちフィールド 3 2 4 の OX-ID に付与されたエクスチェンジ番号のうち、先頭 2 ビットのプロトコル制御回路番号 4 0 8 を基に、ルーティング先のプロトコル制御回路番号を決定するための処理を実行する ( S 1 2 )。

10

## 【 0 1 0 1 】

この場合、受信フレームルーティング制御回路 9 4 では、レジスタ 5 0 0 から “ 1 ” の信号が出力されるとともに、レジスタ 5 0 2 から、プロトコル制御回路番号 4 0 8 を示す 2 ビットの信号がデコーダ 5 0 6 に出力される。この結果、2 ビットのプロトコル制御回路番号 4 0 8 を基にプロトコル制御回路 9 6 ~ 1 0 2 のうちいずれか 1 つのプロトコル制御回路に受信フレームを割り当てるための割り込み信号が出力され、割り込みが起動され ( S 1 3 )、その後、このルーチンでの処理を終了する。

## 【 0 1 0 2 】

この割り込み処理では、受信フレームのうちフィールド 3 2 4 の OX-ID に、“ 0 0 ” が設定されている場合、プロトコル制御回路 9 6 が、受信フレームの割当先として決定され、フィールド 3 2 4 の OX-ID に、“ 0 1 ” が設定されている場合、プロトコル制御回路 9 8 が、受信フレームの割当先として決定され、フィールド 3 2 4 の OX-ID に、“ 1 0 ” が設定されている場合、プロトコル制御回路 1 0 0 が、受信フレームの割当先として決定され、フィールド 3 2 4 の OX-ID に、“ 1 1 ” が設定されている場合、プロトコル制御回路 1 0 2 が、受信フレームの割当先として決定されることになる。

20

## 【 0 1 0 3 】

一方、ステップ S 1 1 でレスポンド動作と判定された場合、即ち、E-C = 0 である場合、受信フレームルーティング制御回路 9 4 では、レジスタ 5 0 0 から、“ 0 ” の信号が出力されるとともに、レジスタ 5 0 4 からプロトコル制御回路番号 4 0 8 を示す信号とエクスチェンジ番号 4 1 0 を示す信号がそれぞれ出力される。

30

## 【 0 1 0 4 】

ステップ S 1 1 でレスポンド動作と判定された場合、受信フレームルーティング制御回路 9 4 は、受信フレームのフィールド 3 2 6 の RX-ID に、プロトコル制御回路番号 4 0 8 が付与されているか否かを判定する ( S 1 4 )。

## 【 0 1 0 5 】

ステップ S 1 4 で肯定の判定結果を得た場合、入出力制御装置 1 2 がレスポンドとして動作するため、受信フレームのうちフィールド 3 2 6 の RX-ID に付与されたエクスチェンジ番号のうち、先頭 2 ビットのプロトコル制御回路番号 4 0 8 を基に、ルーティング先のプロトコル制御回路番号を決定するための処理を実行する ( S 1 5 )。

40

## 【 0 1 0 6 】

この場合、受信フレームルーティング制御回路 9 4 では、レジスタ 5 0 0 から “ 0 ” の信号が出力されるとともに、レジスタ 5 0 4 から、プロトコル制御回路番号 4 0 8 を示す 2 ビットの信号がデコーダ 5 0 8 に出力される。この結果、2 ビットのプロトコル制御回路番号 4 0 8 を基にプロトコル制御回路 9 6 ~ 1 0 2 のうちいずれか 1 つのプロトコル制御回路に受信フレームを割り当てるための割り込み信号が出力され、割り込みが起動され ( S 1 6 )、その後、このルーチンでの処理を終了する。

## 【 0 1 0 7 】

この割り込み処理では、受信フレームのうちフィールド 3 2 6 の RX-ID に、“ 0 0 ” が

50

設定されている場合、プロトコル制御回路 9 6 が、受信フレームの割当先として決定され、フィールド 3 2 6 のRX-IDに、“ 0 1 ” が設定されている場合、プロトコル制御回路 9 8 が、受信フレームの割当先として決定され、フィールド 3 2 6 のRX-IDに、“ 1 0 ” が設定されている場合、プロトコル制御回路 1 0 0 が、受信フレームの割当先として決定され、フィールド 3 2 6 のRX-IDに、“ 1 1 ” が設定されている場合、プロトコル制御回路 1 0 2 が、受信フレームの割当先として決定されることになる。

【 0 1 0 8 】

一方、ステップ S 1 4 で否定の判定結果を得た場合、受信フレームルーティング制御回路 9 4 は、全てのプロトコル制御回路 9 6 ~ 1 0 2 に対してブロードキャストを実行するための処理を実行する ( S 1 7 ) 。

【 0 1 0 9 】

即ち、受信フレームルーティング制御回路 9 4 は、受信フレームに付加される制御情報の中に、全てのプロトコル制御回路 9 6 ~ 1 0 2 を選択するための識別情報が存在する場合、全てのプロトコル制御回路 9 6 ~ 1 0 2 に対してブロードキャストを実施するための処理を実行する。

【 0 1 1 0 】

具体的には、レジスタ 5 0 4 から出力される 1 6 ビットの信号が全て “ 1 ” であって、ANDゲート 5 1 0 から “ 1 ” の信号が出力され、ANDゲート 5 3 0 から全てのORゲート 5 3 2 ~ 5 3 8 に “ 1 ” の信号が出力され、プロトコル制御回路 9 6 ~ 1 0 2 に対して割り込みが起動され ( S 1 8 ) 、その後、このルーチンでの処理を終了する。

【 0 1 1 1 】

この場合、各プロトコル制御回路 9 6 ~ 1 0 2 は、自身が処理すべき受信フレームであれば、受信フレームの処理を実行し、自身が処理すべき受信フレームでない場合には、受信フレームの処理を無効とする。

【 0 1 1 2 】

本実施例によれば、複数の受信フレームを、複数のプロトコル制御回路に割り当て、複数の受信フレームの処理を並列に実行することができる。

【 0 1 1 3 】

また、本実施例によれば、複数の受信フレームを入出力制御装置 1 2 で処理する場合でも、各受信フレームをプロトコル制御回路番号 4 0 8 に従って各プロトコル制御回路 9 6 ~ 1 0 2 に割り当てることで、複数のトランザクションを並列に処理することができ、結果として、各トランザクションの性能を向上させることができる。

【 0 1 1 4 】

本実施例は、4つのファイバチャネルポートに対して4つのプロトコル制御回路を有する入出力制御装置 1 2 の場合について説明したが、ファイバチャネルポートに対するプロトコル制御回路の数は、実施例に限定されるものではない。例えば、1つのファイバチャネルポートに対して2つ以上のプロトコル制御回路を有する入出力制御装置 1 2 を構成したり、2つ以上のファイバチャネルポートに対して2つ以上のプロトコル制御回路を有する入出力制御装置 1 2 を構成したりすることができる。

【 0 1 1 5 】

本実施例では、ホスト装置 1 0 とディスク制御装置 1 6 との間に入出力制御装置 1 2 、 1 4 を配置した計算機システムに、本発明を適用したものについて述べたが、図 1 の入出力制御装置 1 4 の位置に、本実施例で述べた入出力制御装置 1 2 を配置した計算機システムにも、本発明を適用することができる。

【 0 1 1 6 】

なお、本発明は、上記した実施例に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

【 0 1 1 7 】

10

20

30

40

50

また、上記の各構成、機能等は、それらの一部又は全部を、例えば、集積回路で設計する等によりハードウェアで実現してもよい。また、上記の各構成、機能等は、プロセッサがそれぞれの機能を実現するプログラムを解釈し、実行することによりソフトウェアで実現してもよい。各機能を実現するプログラム、テーブル、ファイル等の情報は、メモリや、ハードディスク、SSD (Solid State Drive) 等の記録装置、または、IC (Integrated Circuit) カード、SD (Secure Digital) メモリカード、DVD (Digital Versatile Disc) 等の記録媒体に記録して置くことができる。

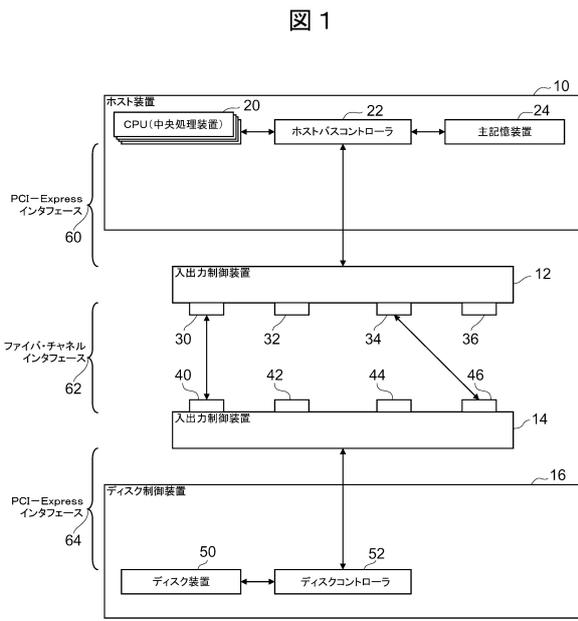
【符号の説明】

【0118】

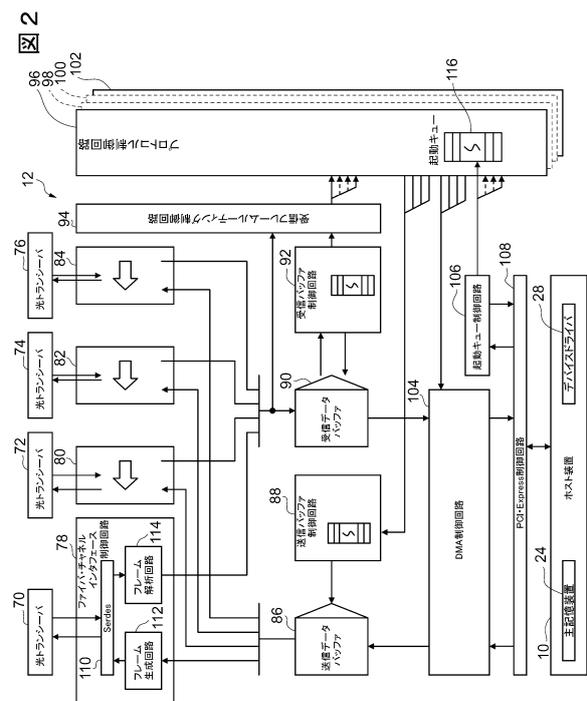
10 ホスト装置、12、14 入出力制御装置、16 ディスク制御装置、28 デバイスドライバ、70~76 光トランシーバ、78~84 ファイバチャネルインタフェース制御回路、86 送信データバッファ、88 送信バッファ制御回路、90 受信データバッファ、92 受信バッファ制御回路、94 受信フレームルーティング制御回路、96~102 プロトコル制御回路、104 DMA制御回路、106 起動キュー制御回路、108 PCI-Express制御回路、110 シリアライザデシリアライザ回路、112 フレーム生成回路、114 フレーム解析回路、116 起動キュー。

10

【図1】

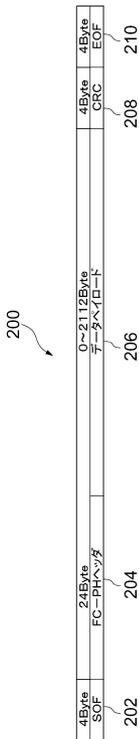


【図2】



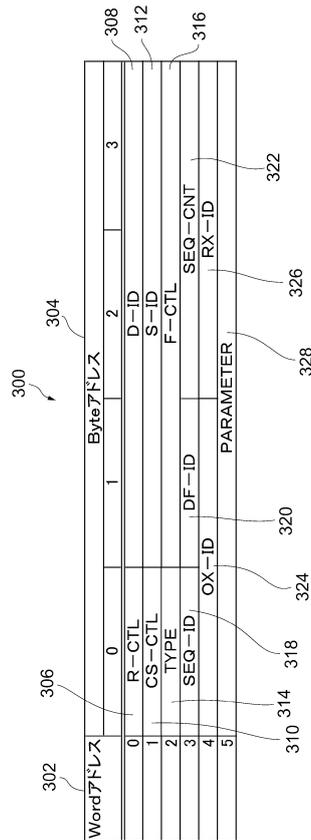
【 図 3 】

図 3



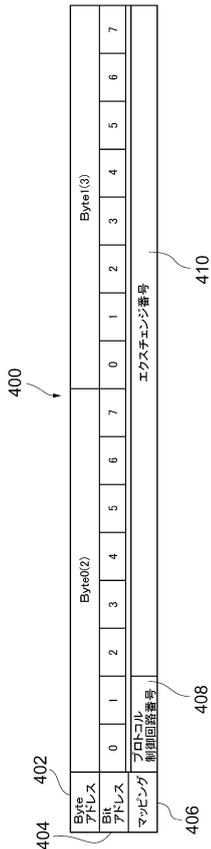
【 図 4 】

図 4



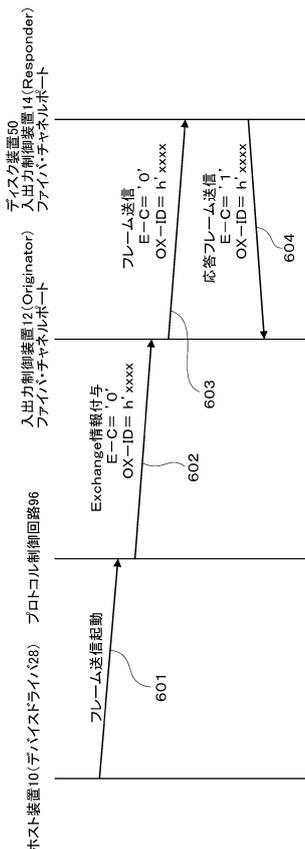
【 図 5 】

図 5



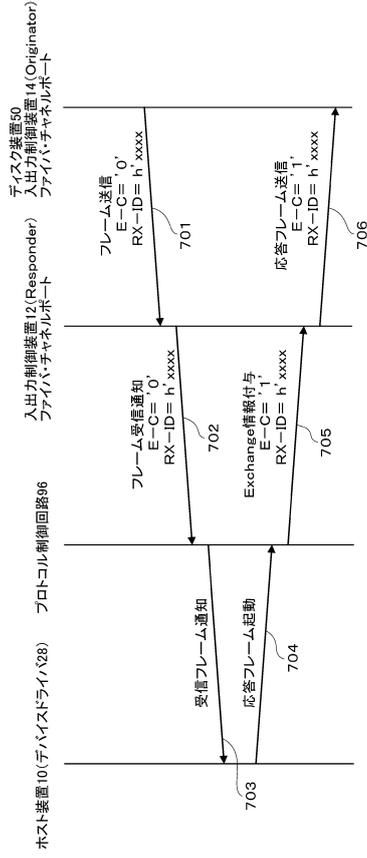
【 図 6 】

図 6



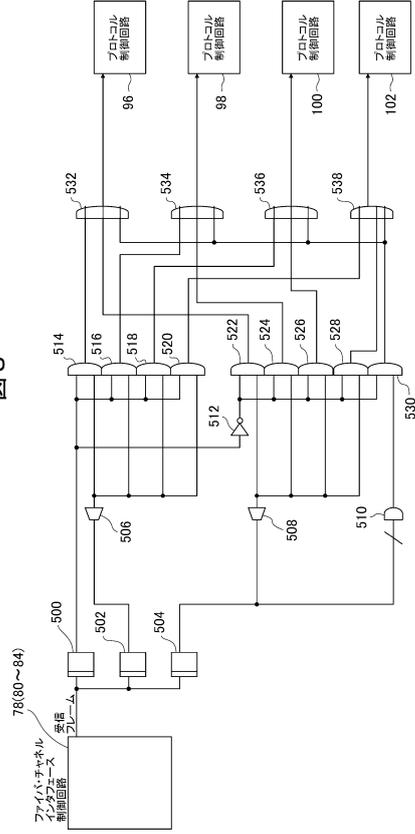
【 図 7 】

図 7



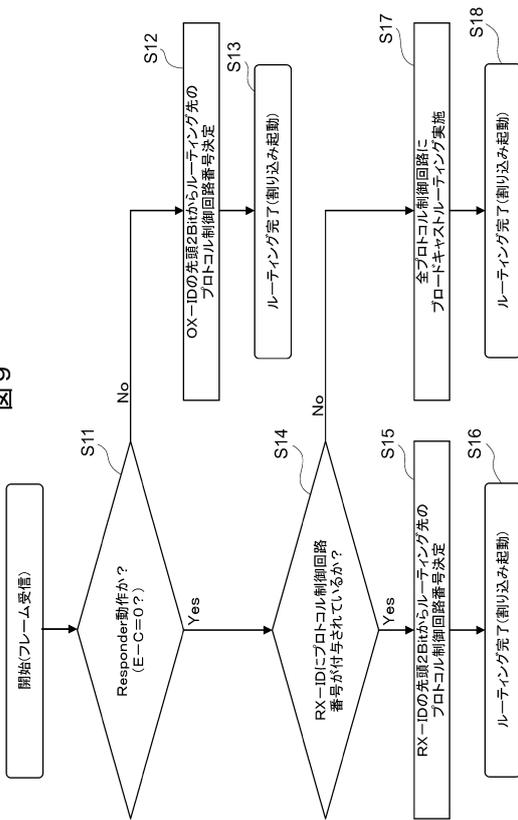
【 図 8 】

図 8



【 図 9 】

図 9



---

フロントページの続き

- (56)参考文献 特開平09 - 289524 (JP, A)  
特開平10 - 112726 (JP, A)  
特開2005 - 001969 (JP, A)  
特表2002 - 503914 (JP, A)  
特開平10 - 340243 (JP, A)  
特開2009 - 223918 (JP, A)  
米国特許第07596621 (US, B1)

(58)調査した分野(Int.Cl., DB名)

G06F 3/06 - 3/08  
G06F 12/00 - 12/16  
G06F 13/00 - 13/42