(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3792749号

(P3792749)

(45)発行日　平成18年7月5日(2006.7.5)　(24)登録日　平成18年4月14日(2006.4.14)

(51)Int.Cl.		F I	
G02F 1/1368	(2006.01)	G02F	1/1368
G02F 1/1343	(2006.01)	G02F	1/1343
H01L 29/786	(2006.01)	H01L	29/78　612C

請求項の数 5　(全 15 頁)

(21)出願番号　特願平7-136655
(22)出願日　平成7年6月2日(1995.6.2)
(65)公開番号　特開平8-328036
(43)公開日　平成8年12月13日(1996.12.13)
審査請求日　平成14年5月23日(2002.5.23)
審判番号　不服2003-17675(P2003-17675/J1)
審判請求日　平成15年9月11日(2003.9.11)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100077849
弁理士　須山　佐一
(72)発明者　青木　良朗
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝　横浜事業所内
(72)発明者　佐藤　肇
神奈川県横浜市磯子区新杉田町８番地　株式会社東芝　横浜事業所内

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【特許請求の範囲】

【請求項１】

基板上に互いに交差するように配列された複数行の走査配線と複数列の信号配線と前記走査配線および前記信号配線に接続されたスイッチング素子と該スイッチング素子ごとに接続された画素電極と、前記スイッチング素子の出力端に接続された補助容量とが形成されたスイッチング素子アレイ基板と、前記スイッチング素子アレイ基板に間隙を有して対向配置される対向電極が形成された対向基板と、前記スイッチング素子アレイ基板と前記対向基板との間に封入された液晶組成物と、を有する液晶表示装置において、

前記走査配線は、前記画素電極を横切る位置に形成され、

前記補助容量は、前記スイッチング素子の出力端と接続された電極層と、この電極層に絶縁層を介して対向し前記走査配線に沿って配置される補助容量線との対向部分で形成され、前記補助容量線は、前記信号配線に沿った方向に前記画素電極と交互に列設され、前記補助容量線の各々は当該方向に沿って隣接する前記画素電極の各々の一辺と重複配置されることにより前記隣接する画素電極の間隙を遮光することを特徴とする液晶表示装置。

【請求項２】

請求項１記載の液晶表示装置において、前記スイッチング素子が、絶縁層を介して前記信号線と重複する平面的位置に形成されたことを特徴とする液晶表示装置。

【請求項３】

請求項１又は２記載の液晶表示装置において、前記スイッチング素子に接続された走査配線の行と、該スイッチング素子に接続された画素電極の行とが、異なる行であることを

特徴とする液晶表示装置。
【請求項４】
請求項１乃至３いずれか１項記載の液晶表示装置において、前記信号配線が、前記画素電極の前記信号配線と平行な方向の辺を含む端部に対して絶縁層を介して対向するように形成されたことを特徴とする液晶表示装置。
【請求項５】
請求項１乃至４のいずれか１項記載の液晶表示装置において、前記走査配線および前記信号配線に接続されて、各行ごとの画素電極又は各画素電極ごとに映像信号電圧の極性を切り換えて書き込む液晶駆動回路を具備することを特徴とする液晶表示装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は液晶表示装置に係り、特に画素部開口率の高いアクティブマトリックス型の液晶表示装置に関する。
【０００２】
【従来の技術】
液晶表示装置は、薄型、低消費電力等の特徴を生かして、テレビあるいはグラフィックディスプレイなどの表示素子として盛んに利用されている。
【０００３】
中でも、薄膜トランジスタ（Thin Film Transistor；以下、ＴＦＴと略称）をスイッチング素子として用いたアクティブマトリックス型液晶表示装置は、高速応答性に優れ、高精細化に適しており、ディスプレイ画面の高画質化、大型化、カラー画像化を実現するものとして注目されている。
【０００４】
このアクティブマトリックス型液晶表示装置の表示素子部分は、一般的にＴＦＴのようなスイッチング用アクティブ素子とこれに接続された画素電極が配設されたアクティブ素子アレイ基板と、これに対向して配置される対向電極が形成された対向基板と、これら基板間に挟持される液晶組成物と、さらに各基板の外表面側に貼設される偏光板とからその主要部分が構成されている。
【０００５】
【発明が解決しようとする課題】
このようなアクティブマトリックス型液晶表示装置は、画素電極と対向電極と、これら両電極の間に挟持された液晶層とで各画素ごとに液晶画素セルが形成される。
【０００６】
画素電極に印加する電圧を変化させることによってその液晶画素セルの液晶分子の光学的状態を変化させて、画面に画像を表示する。その画素電極の外側の領域のいわゆる非画素部に存在している液晶層については、映像信号電圧に対応した電界は印加されない。このため、これら非画素領域は光学的に遮蔽される。
【０００７】
このように、画素電極が形成された画素部の電界を変化させることで、その画素部の液晶層の光学的状態を変化させて表示を行なう。
【０００８】
液晶層のうち、画素電極と対向電極との間に挟持されて表示に関与する部分の液晶分子は、理論上では上記のように画素電極から印加される電界のみを正確に受けて光学的状態が変化するはずである。
【０００９】
しかしながら、そのような各画素ごとの液晶画素セルは実際上、画素電極とその周囲に配設された信号線や走査線との間に発生する電界の影響を受けて、特に画素電極の周縁部付近の液晶分子が反転した状態となる、いわゆるエッジリバース現象を発生するという問題がある。

【００１０】
即ち、このような画素電極の周縁部付近（つまり各画素部の周縁部）に存在する液晶分子は、映像信号に対応して画素電極から印加される映像信号電圧に正確に対応した電界の他に、信号線や走査線との間に発生する電界の影響を受けるため、画像を表示した際に映像信号に正確に対応した光学的状態とはならない。このため、画素部の周縁部で光が漏れるなどしてコントラストが低下し、画面の表示品質を著しく低下させるという問題がある。
【００１１】
このような画素部の周縁部での光の漏れ等の現象に起因したコントラスト低下を防ぐことを企図して、図１０に示すように、画素電極１の周縁部の配線、特に信号線２および走査線３と画素電極１との間に、数μｍ程度の隙間を設け、さらに画素電極１の外側つまり非画素領域およびエッジリバースを発生する領域には、重複するようにブラックマトリックス４を形成する、という方策が提案されている。このブラックマトリックス４によって、光シャッタとして正確には機能しない領域が光学的に遮蔽されて、画面の表示品質を向上することができる。
【００１２】
しかしながら、表示品質の向上を目的として形成するブラックマトリックス４も、遮光領域が増加することで表示装置の光利用効率の低下を招くという別の側面を持つ。それ故、ブラックマトリックス４の面積を増加させることは、液晶表示装置の全体の消費電力増加に結びつく傾向にある。従って、表示品質と光利用効率とを同時に向上するには、各液晶画素セルを駆動（制御）するための画素電極１の有効面積を拡大する一方で、十分な遮光効果を確保しつつ遮光領域の面積は小さくすることが必要である。このようにして画素部開口率をできるだけ大きくすることが必要である。
【００１３】
そのような画素部開口率を向上する方策の一つとして、隣り合った 2行の補助容量線を 1本の補助容量線５で兼用する方法が提案されている。図１１は、このような従来の液晶表示装置の概要を示す図、図１２はその等価回路図である。
【００１４】
これにより、表示領域内の走査線３と平行な方向の配線つまり走査線３と補助容量線５との総本数は図１０に示した液晶表示装置と比較して 3／ 4となるため、画素部開口率を向上することが出来る。
【００１５】
しかしながら、上記の構成においても、画素電極１とその周辺の走査線３や信号線２などとの間に発生する電界の影響を避けるために、特に画素電極１と走査線３との間などに一定の間隔を設ける必要がある。また、走査線３が 2行ずつ隣り合うように配列されるため、短絡不良等を回避する必要上、それら隣り合う 2本の走査線３どうしの間をある程度以上には近接して配置することが困難であり、場合によってはそれら走査線３どうしの間の距離の分、むしろ画素部開口率を低下させてしまうという問題がある。
【００１６】
画素部開口率の向上を企図したもう一つの方策として、図１３、図１４に示すように、補助容量線５と走査線３とを 1本の配線６で兼用する方法が提案されている。
【００１７】
これにより、表示領域内の走査線方向（つまり図１３中の横方向）の配線の総本数が従来方式の 1／ 2となるため、上記の液晶表示装置と比較してさらに画素部開口率を向上することが可能と考えられる。
【００１８】
しかしながら、上記の液晶表示装置の場合、配線６に付随する一行分の補助容量Ｃｓは、走査パルス印加時には全て寄生容量として働くことになるため、走査線３として機能する際の配線６の電気的な時定数が大きくなって、水平ブランキング期間内で画素スイッチング素子である画素部ＴＦＴ素子７の駆動を行ごとに切り換える実用的なスイッチングスピードが得られないという問題がある。

【００１９】
さらには、画素電極１の図１３中左右端部には画素部ＴＦＴ素子７のＯＮ・ＯＦＦ動作を繰り返すための急峻な走査パルスが印加される走査線３が配置されており、この走査線３と画素電極１との間の電界の相互作用によって液晶分子（図示省略）がエッジリバースを発生しやすい状態となる。従って、これら走査線３（前記したように補助容量線５と兼用）と画素電極１との間には一定の間隔を設ける必要があり、それ以上に近接させることはできない。従って、このような走査線３と補助容量線５とを兼用する配線６を採用した場合でも、開口率の向上はすでに限界にきており、それ以上の向上は困難であるという問題がある。
【００２０】
また、走査線３と補助容量線５とが兼用されているため、この兼用の配線６が補助容量Ｃｓとして機能するためには画素部ＴＦＴ素子７のＯＦＦ信号が配線６に印加された状態でなくてはならない。
【００２１】
例えば、上記の補助容量Ｃｓとして画素部ＴＦＴ素子７と同極性の半導体層で形成されたＭＯＳ型の容量を用いた場合、画素ＴＦＴ素子７のＯＦＦ信号では十分なゲート電圧が確保できないため、絶縁膜と半導体層との界面に反転層を形成することが困難であり、このＭＯＳ型の容量を効果的に機能させることが不可能となる。そのため、図１１に示したような構造の従来の液晶表示装置では、駆動用の電圧を印加することが必要なＭＯＳ型の容量は用いることができない。従ってこれとは別の材料および構造の容量を採用せざるを得ず、その構造および製造プロセスが大幅に煩雑化するという問題がある。
【００２２】
さらには、上記の 3つの従来の構造の液晶表示装置に共通の問題として、ブラックマトリクスを設計する際に各工程での種々の精度を考慮して設計しなくてはならないという問題がある。
【００２３】
特に、対向基板上にブラックマトリックスが形成された液晶表示装置の場合、ブラックマトリックスの加工精度以外にもセル製造工程におけるアクティブ素子アレイ基板と対向基板との合わせ精度をも考慮する必要があり、その誤差を見込んだマージンを考慮に入れてあらかじめ面積を最低必要面積よりも拡大してブラックマトリックスの設計を行なわねばならない。その結果、液晶表示装置の開口率が必要以上に低下するという問題があった。
【００２４】
本発明はこのような問題を解決するために成されたもので、その目的は、画素部開口率の向上と表示品質の向上とを両立させて、高輝度でコントラスト比が高く、かつ高品質な画像表示を実現できる液晶表示装置を提供することにある。
【００２５】
【課題を解決するための手段】
本発明の液晶表示装置は、基板上に互いに交差するように配列された複数行の走査配線と複数列の信号配線と前記走査配線および前記信号配線に接続されたスイッチング素子と該スイッチング素子ごとに接続された画素電極と、前記スイッチング素子の出力端に接続された補助容量とが形成されたスイッチング素子アレイ基板と、前記スイッチング素子アレイ基板に間隙を有して対向配置される対向電極が形成された対向基板と、前記スイッチング素子アレイ基板と前記対向基板との間に封入された液晶組成物と、を有する液晶表示装置において、前記走査配線は、前記画素電極を横切る位置に形成され、前記補助容量は、前記スイッチング素子の出力端と接続された電極層と、この電極層に絶縁層を介して対向し前記走査配線に沿って配置される補助容量線との対向部分で形成され、前記補助容量線は、前記信号配線に沿った方向に前記画素電極と交互に列設され、前記補助容量線の各々は当該方向に沿って隣接する前記画素電極の各々の一辺と重複配置されることにより前記隣接する画素電極の間隙を遮光することを特徴としている。
【００２６】

また、上記の液晶表示装置において、前記スイッチング素子が、絶縁層を介して前記信号配線と重複する平面的位置に形成されたことを特徴としている。

【００２７】

また、上記の液晶表示装置において、前記スイッチング素子に接続された走査配線の行と、該スイッチング素子に接続された画素電極の行とが、異なる行であることを特徴としている。

【００２８】

また、上記いずれかに記載の液晶表示装置において、前記信号配線が、前記画素電極の前記信号配線と平行な方向の辺を含む端部に対して絶縁層を介して対向するように形成されたことを特徴としている。

【００２９】

また、上記いずれかに記載の液晶表示装置において、前記走査配線および前記信号配線に接続されて各行ごとの画素電極又は各画素電極ごとに映像信号電圧の極性を切り換えて書き込む液晶駆動回路とを具備することを特徴としている。

【００３０】

【作用】

本発明によれば、補助容量線を画素電極の端部と一部重複するように形成することにより、これをブラックマトリックスの一部として併用することができ、アレイ工程、セル工程での位置合わせズレによる画素部開口率の低下を解消することができる。

【００３１】

また、一般にほぼ矩形状である画素電極の、周縁部（周囲のエッジ部）における液晶分子の姿勢を、補助容量線によって定電位で安定な状態に維持することができ、エッジリバースの発生に起因した表示品質の低下を防ぐことができる。

【００３２】

また、画素部スイッチング素子である例えばｐ－ＳｉＴＦＴやａ－ＳｉＴＦＴを信号配線で遮光するように配置することによって、そのスイッチング素子への光入射に起因した光リークの発生などの悪影響を解消することができる。また、画素開口部へのスイッチング素子の張り出しを防ぐことができ、画素部開口率をさらに向上させることができる。

【００３３】

また、スイッチング素子に接続された走査線の行と、そのスイッチング素子に接続された画素電極の行とを、異なる行とすることにより、書き込み中の画素電極と、動作中の走査線とが重複した一本の配線であるという状態を避けることができ、走査線の駆動に伴なった突き抜け電圧の発生を防いで、表示品質の向上と信頼性の向上とを実現できる。

【００３４】

また、信号配線をブラックマトリックスの一部として併用することによって、アレイ工程、セル工程での合わせズレに起因した画素部開口率の低下を防ぎ、さらに信号配線と補助容量線でブラックマトリックスとしての機能を全て果たすことが可能となり、新たに遮光層を形成する必要がなくなる。よって液晶表示装置の製造工程を大幅に簡略化することができる。

【００３５】

また、表示領域内の画素への映像信号の供給に際し、各行もしくは各ドット単位で極性を切り替えて信号を供給することによって、表示領域内の信号配線の電位を、 1フィールド期間の平均で、補助容量線の電位もしくは対向基板の電位と同電位に保つことが可能となる。従って、表示領域内の各配線群の電位が 1フィールド期間において平均的に一定電位となり、エッジリバースやクロストークの発生を防いで、液晶表示装置の表示品質を大幅に向上することができる。

【００３６】

【実施例】

以下、本発明の液晶表示装置の実施例を、図面に基づいて詳細に説明する。

【００３７】

（実施例１）
図１は、本発明に係る第１の実施例の液晶表示装置の画素部を中心として示す図である。なお、以降の各図において、図示の理解の簡潔化を企図して、画素開口部を太線で示している。また、走査線１０２が画素電極１０５と重複している部分、および補助容量線１０３には、斜線を付して示している。

【００３８】
信号配線１０１、走査配線１０２、および補助容量線１０３がマトリックス状に配線され、信号配線１０１と走査配線１０２との各交差部には、スイッチング素子としてＴＦＴ１０４、このＴＦＴ１０４に接続した画素電極１０５および補助容量（Ｃｓ）１０６が形成されている。走査配線１０２と補助容量線１０３とは、図１中で上から下に順次交互に配列されている。画素電極１０５の上下両端部分は、補助容量線１０３と重複し、またその中央部は走査配線１０２と重複するように、それらの各部位が配設されている。これが本実施例の液晶表示装置の構造の特徴的な点である。

【００３９】
図１のＡ－Ａ´における断面を、図２に示す。透明絶縁膜によるマトリックス基板２０１と、カラーフィルタ２０２が形成された対向基板２０３との間に、液晶２１７が封入されて、液晶セルが形成されている。

【００４０】
マトリックス基板２０１上には、低温ポリシリコンプロセスを用いて画素部スイッチング素子としてＴＦＴ１０４、補助容量１０６等が形成されている。

【００４１】
次に、簡単にマトリックスアレイ基板２０１の製造方法について説明する。

【００４２】
透明絶縁基板２０５上に、プラズマＣＶＤ法でアモルファスシリコン薄膜を形成し、これをパターニングした後、エキシマレーザ照射を行なって再結晶化し、多結晶シリコン膜２０６を得る。

【００４３】
次に常圧ＣＶＤ法を用いて、ゲート絶縁膜および補助容量の絶縁膜を形成するためのシリコン酸化膜２０７を成膜する。

【００４４】
次にスパッタ法によってＭｏ（モリブデン）－Ｗ（タングステン）薄膜を形成し、これをパターニングして、ＴＦＴ１０４のゲート電極２０８および補助容量（Ｃｓ）１０６の上部電極２０９を得る。この上部電極２０９は、補助容量線１０３のうちの特に補助容量（Ｃｓ）１０６を形成する部分として、図２の断面図に上部電極２０９として示した。

【００４５】
その後、上記のゲート電極２０８および上部電極２０９をマスクとして用いて、イオンドーピング法により不純物添加を行ない、ＴＦＴ１０４のソース領域２１０ａ、ドレイン領域２１０ｂを形成する。

【００４６】
そして常圧ＣＶＤ法により、層間絶縁膜２１１を形成し、コンタクトホールを開口した後、アルミ膜をスパッタ法にて成膜する。そしてこのアルミ膜をパターニングすることで、ソース電極２１２ａ、ドレイン電極２１２ｂを形成する。

【００４７】
さらに第２層間絶縁膜２１３を形成し、コンタクトホールを開口した後、透明導電膜としてＩＴＯ膜を成膜し、これをパターニングして、画素電極１０５を形成する。

【００４８】
なお、画素部スイッチング素子であるＴＦＴ１０４の製造方法は、ｐ－ＳｉＴＦＴとして形成する上記のような製造方法のみには限定されないことは言うまでもない。

【００４９】
一方、対向基板２０３上には、カラーフィルタ２０２、ブラックマトリックス２１４およ

び透明導電膜からなる対向電極２１５が形成されている。
【００５０】
そしてさらに、両基板の最上層には、液晶の配向方向を制御するために、ポリイミド膜を成膜しその表面に配向処理を行なって、配向膜２１６ａ、ｂを形成、両基板間に液晶２１７を注入することで、液晶セルを構成する。
【００５１】
上記の実施例において、補助容量１０６はＭＯＳ型としているが、補助容量線１０３の電位を任意の電位とするためには、補助容量１０６の下部電極２１８に不純物注入を行なって、ＭＩＭ型の電気容量として形成することが望ましい。
【００５２】
また、スイッチング素子としては、ドレイン近傍の電界を緩和するための構造、例えばＬＤＤ構造を取ることで、ドレイン近傍でのトンネル電流を抑えることができ、リーク電流を減らすこともできる。
【００５３】
また、上記のソース領域２１０ａ／ドレイン領域２１０ｂを形成するための不純物としては、Ｐ（燐）のようなｎ型の不純物を用いても良く、あるいはＢ（ホウ素）のようなｐ型の不純物を用いても、上記実施例と同様の効果を得ることができる。
【００５４】
また、マトリックスアレイ基板２０１上に液晶ドライバ回路（図示省略）を一体に形成する場合には、その液晶ドライバ回路についてはＣＭＯＳ構造として構成することによって、低い消費電力での高速な駆動を実現することができる。
【００５５】
上記のような構造を採ることにより、ブラックマトリックス２１４の他にも補助容量線１０３が、非画素部やＴＦＴ１０４を覆うための遮光部材として機能するため、ブラックマトリックス２１４としては、従来の走査配線１０２と同方向の部分は不要となる。その結果、走査配線１０２に平行な方向に関しては、対向基板上にブラックマトリックス２１４を形成した際に問題となるセル組み工程での合わせ精度や、マトリックスアレイ基板２０１上にブラックマトリックス２１４を形成する場合に問題となる、ブラックマトリックス２１４と各配線との合わせ精度や、ブラックマトリックス２１４自体の加工精度等を考慮する必要がなくなるため、画素部開口率を飛躍的に向上させることができる。
【００５６】
また本実施例においては、補助容量線１０３を画素電極１０５の両端部でそれぞれ重複するように配設してあり、各画素どうしの間のスペース、いわゆる非画素部に補助容量（Ｃｓ）１０６を配置しているため、ＴＦＴ１０４の形状変更等により補助容量１０６の容量値を増加せざるを得ないような場合であっても、容量値の増加に伴なう画素部開口率への影響を小さく抑えることが可能となる。
【００５７】
また、本実施例においては、画素電極１０５の両端部にそれぞれ重なるように補助容量線１０３を配置することにより、その画素電極１０５の両端部の領域に存在している液晶分子の状態を、補助容量線１０３の電位によって、常に安定的な状態に維持することが可能となる。これにより、ＴＦＴ１０４のＯＮ／ＯＦＦ動作を繰り返す走査配線１０２が同位置に配線された場合と比較して、液晶層における画素周辺部でのエッジリバースの発生を解消することができ、エッジリバースの遮蔽を目的とした部分のブラックマトリックス２１４の面積は省略することができる。その結果、画素部開口率や表示品質を大幅に向上させることができる。これは、補助容量線１０３の電位を正負の映像信号振幅の中央の値と同電位にした場合に最も効果が表れる。
【００５８】
また、本実施例においては、走査配線１０２は画素電極１０５によって液晶分子から電気的にシールドされた構造となっている。これにより、液晶分子の誘電率の影響に起因した走査配線１０２の時定数の変化を防ぐことが可能となり、液晶材料の設計や選定の自由度

が高くなり、より最適な設定を採用することができるという利点もある。

【００５９】

さらには、本実施例においては、補助容量線１０３と走査配線１０２とが独立して形成されており、走査配線１０２と補助容量線１０３とを兼用した場合に不可能だったＭＯＳ型の容量素子の適用が可能となるため、従来の構成の液晶表示装置と比較して、素子構造の設計の自由度がさらに大きくなる。

【００６０】

また、本実施例においては、下部電極２１８と補助容量線１０３の特に上部電極２０９の部分とがシリコン酸化膜２０７を誘電体層として介して対向して、補助容量１０６が形成されている。そしてまた、画素電極１０５の図１中上下端部と補助容量線１０３の上部電極２０９の部分とが層間絶縁膜２１１を介して対向することで電気容量が形成されるが、これは補助容量１０６を助ける電気容量の一部となっている。ここで、補助容量１０６は、本実施例のような場合以外にも、例えば下部電極２１８は省略し、画素電極１０５と補助容量線１０３の上部電極２０９の部分とが層間絶縁膜２１１を介して対向することで形成される電気容量のみを補助容量１０６としてもよく、あるいは逆に、画素電極１０５と補助容量線１０３の上部電極２０９の部分とが重ならないようにする一方、補助容量線１０３の上部電極２０９の部分と下部電極２１８とが重なるように形成して、これで形成される電気容量のみを補助容量１０６としてもよい。

【００６１】

以上の実施例に示したように、補助容量線１０３を画素電極１０５の信号配線に沿った方向の両端に配置して、その部分をブラックマトリックス２１４に代る遮光膜の一部として機能させ、走査配線１０２を画素電極１０５に重複して形成することによって、設計、プロセス、及び液晶材料の設計、選択等に対して自由度が高く、高い表示品質でかつ開口率が大きく、光利用効率の高い、消費電力の小さい液晶表示装置を得ることができる。

【００６２】

なお、本発明は上記の実施例のみには限定されない。この他にも、画素電極１０５の上下両端部に補助容量線１０３が重なるように配設し、その部分で補助容量線１０３をブラックマトリックス２１４に代る遮光膜として機能させ、さらに各走査配線１０２を、画素電極１０５を横切るように配置しているものであれば、ＴＦＴの構造や形成方法はどのような方式のものでもよく、また各配線材料にはどのような材料が使用されていても良い。またＴＦＴ１０４のチャネル部分が非晶質Ｓｉであってもよく、あるいはＳｉ以外の素材で形成されていても良い。また画素スイッチング素子としてはＴＦＴ以外の素子を用いてもよい。

【００６３】

（実施例２）

図３は、本発明に係る第２の実施例の液晶表示装置の画素部を中心として示す図である。

【００６４】

図３に示すように、ＴＦＴ１０４を信号配線１０１と重なる位置に配設したことで、信号配線１０１をＴＦＴ１０４の遮光膜として用いることが可能となる。特にバックライトもしくは投射光源から入射する光に起因したＴＦＴ１０４の光リーク電流の発生を解消することができる。

【００６５】

そのため、画素電極１０５の映像信号保持を目的として補助容量１０６を増加する必要がなくなる。その結果、画素部開口率および画面の表示品質の向上を実現することができる。

【００６６】

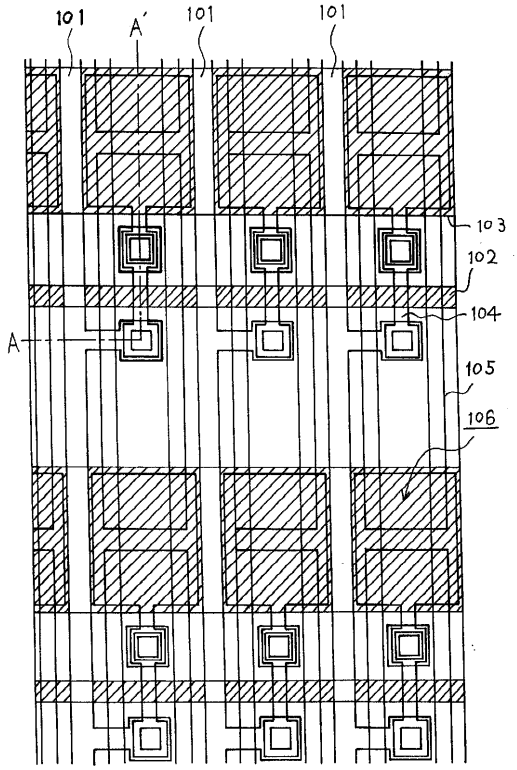
（実施例３）

図４は、前記の図３に示した第２の実施例の液晶表示装置における、補助容量線１０３を信号配線１０１よりも下層の、画素電極１０５の上下端部のさらに周縁部にも重複する形状に配設して、開口率をさらに向上した、第３の実施例の液晶表示装置を示す図である。

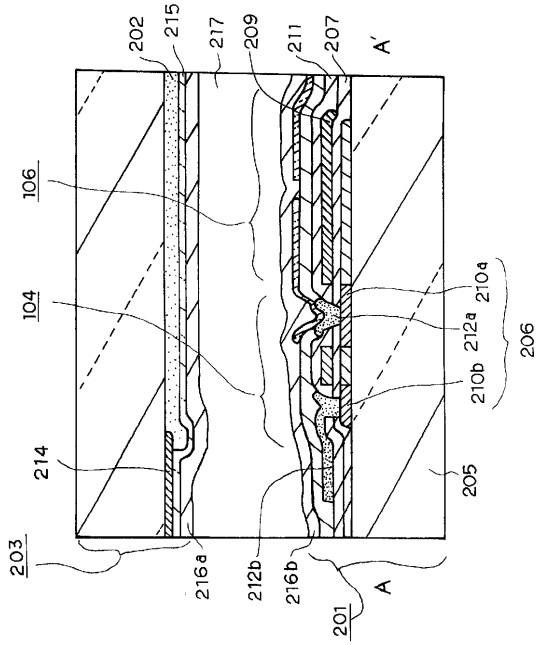
【００６７】
図４に示すように、補助容量線１０３を信号配線１０１の下層に形成することにより、補助容量線１０３がブラックマトリクス２１４と同様に遮光膜として機能する領域が広がる。しかも、それに伴なって補助容量１０６を信号配線１０１の下層にも形成できるようになるため、第２の実施例と比較して、さらに画素部開口率を向上することができる。
【００６８】
（実施例４）
図５は、第４の実施例の液晶表示装置の画素部を中心として示す図である。
【００６９】
ＴＦＴ１０４のソース／ドレインのうちの一方の端子は信号配線１０１に接続されており、他方の端子は補助容量１０６を形成しつつ補助容量線１０３の下層を経由して、前段もしくは次段の行の、走査配線１０２と重複する形状に形成された画素電極１０５に接続されている。
【００７０】
図５に示すように、ＴＦＴ１０４を制御する走査パルスを供給するための走査配線１０２と、書き込みが行なわれる画素電極１０５との、重複を避けることによって、従来は走査配線１０２と画素電極１０５との間に形成されていた寄生容量に起因した突き抜け電圧の発生を抑制することができる。その結果、映像信号の書き込み誤差を解消することができ、表示品質の向上が実現できる。
【００７１】
（実施例５）
図６は、第５の実施例の液晶表示装置の画素部を中心として示す図である。
【００７２】
画素電極１０５の図中で左右の両端部が、絶縁膜（図示省略）を介して信号配線１０１と重複して形成されており、この信号配線１０１をブラックマトリックスの代りに遮光膜として機能させることができる。
【００７３】
そして画素電極１０５の図中で上下の両端部は、上記実施例５等と同様の構造に形成されて、遮光されている。従って、上記の各実施例で述べたブラックマトリックス２１４は全く不要となる。
【００７４】
このような構造を採ることにより、従来の液晶表示装置においては必須であったブラックマトリックスの形成が不要となり、また、セル工程での合わせ精度やブラックマトリックスの形成工程での加工精度等を考慮する必要がなくなるため、．従来の液晶表示装置と比較して、さらに画素部開口率を向上させることができ、表示品質の向上を実現することができる。
【００７５】
（実施例６）
図７は、図６に示した第５の実施例の液晶表示装置における画素電極１０５を、信号配線１０１にさらに近い位置に配置して形成した、第６の実施例の液晶表示装置を示す図である。ブラックマトリクスとして機能する信号配線１０１の面積をさらに減少させて、第５の実施例の液晶表示装置と比較してさらに画素部開口率を向上することができる。
【００７６】
（実施例７）
図８は、図７に示した第６の実施例の液晶表示装置において、補助容量線１０３のコーナー部分を45°の角度に形成した、第７の実施例の液晶表示装置を示す図である。
【００７７】
これにより、補助容量１０６の電気容量値は減らすことなく、補助容量線１０３による開口部の損失面積は減少させることができる。つまり、開口部の面積をさらに増大することができ、画素部開口率をさらに向上することができる。

【００７８】
（実施例８）
図９は、本発明に係る液晶表示装置の駆動方法の一例を示す図である。
【００７９】
同図に示すように、画素電極１０５への映像信号の書き込みに際して、 1行もしくは 1ドットごとに映像信号の極性を反転して供給することにより、信号配線１０１の電位が 1フレーム期間の平均で常に映像信号の駆動振幅の中央に位置することになる。よって、信号配線１０１と画素電極１０５との間の寄生容量に起因した縦方向のクロストークを抑制することができ、液晶表示装置の表示品質を大幅に向上することができる。
【００８０】
なお、本発明は上記の実施例のみに限定されるものではなく、画素電極の信号配線に平行な方向の両端部が絶縁膜を介して補助容量線に重複して形成され、走査配線が画素電極に重複して形成された構造を持つものであれば、画素の縦横比が 3： 1である必要はなく、各配線の形状、間隔がそれぞれ異なっていても同様の効果をもたらす。
【００８１】
また、特に上記の液晶表示装置が直視型のディスプレイとして用いられる場合に、表示領域内の配線を酸化クロム、光吸収生黒色樹脂材料等に代表される仮反射材料で遮蔽することにより、さらに表示品質を向上させることが可能である。また、上記の低反射材料は、対向基板上に形成される場合でもアレイ基板上に形成される場合であっても、外光の映り込み防止の効果は同様に発揮され、またマトリックスアレイ基板上に形成する場合は表示領域内の各配線をマスクとした裏面露光工程を経て形成することなどによって、低反射材料の付加に伴なう工程の繁雑化を防ぐことができる。
【００８２】
【発明の効果】
以上、詳細な説明で明示したように、本発明によれば、画素部開口率の向上と表示品質の向上とを両立させて、高輝度でコントラスト比が高く、かつ高品質な画像表示を実現できる液晶表示装置を提供することができる。
【図面の簡単な説明】
【図１】第１の実施例の液晶表示装置の画素部を中心として示す図である。
【図２】図１のＡ－Ａ´における断面を示す図である。
【図３】第２の実施例の液晶表示装置の画素部を中心として示す図である。
【図４】第３の実施例の液晶表示装置を示す図である。
【図５】第４の実施例の液晶表示装置の画素部を中心として示す図である。
【図６】第５の実施例の液晶表示装置の画素部を中心として示す図である。
【図７】第６の実施例の液晶表示装置を示す図である。
【図８】第７の実施例の液晶表示装置を示す図である。
【図９】本発明に係る液晶表示装置の駆動方法の一例を示す図である。
【図１０】従来の液晶表示装置を示す図である。
【図１１】従来の液晶表示装置を示す図である。
【図１２】従来の液晶表示装置の等価回路図である。
【図１３】従来の液晶表示装置を示す図である。
【図１４】従来の液晶表示装置の等価回路図である。
【符号の説明】
１０１……信号配線
１０２……走査配線
１０３……補助容量線
１０４……ＴＦＴ
１０５……画素電極
１０６……補助容量（Ｃｓ）
２１４……ブラックマトリックス

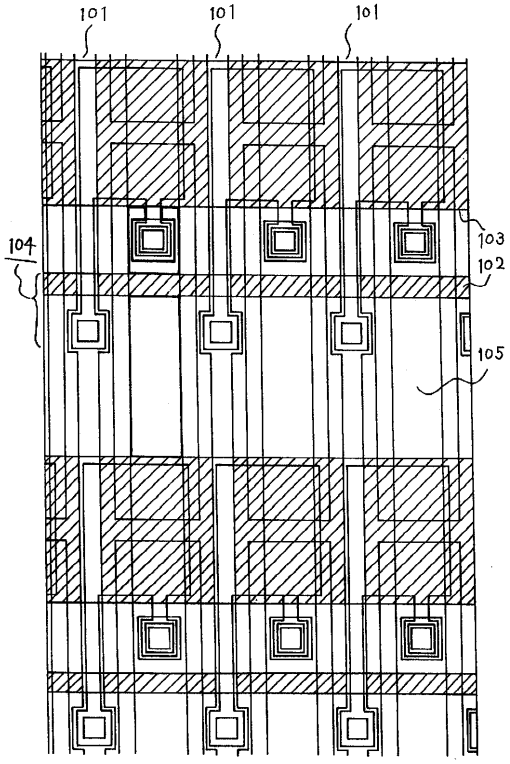
【図１】


101
A'
101
101
103
102
104
A
105
106

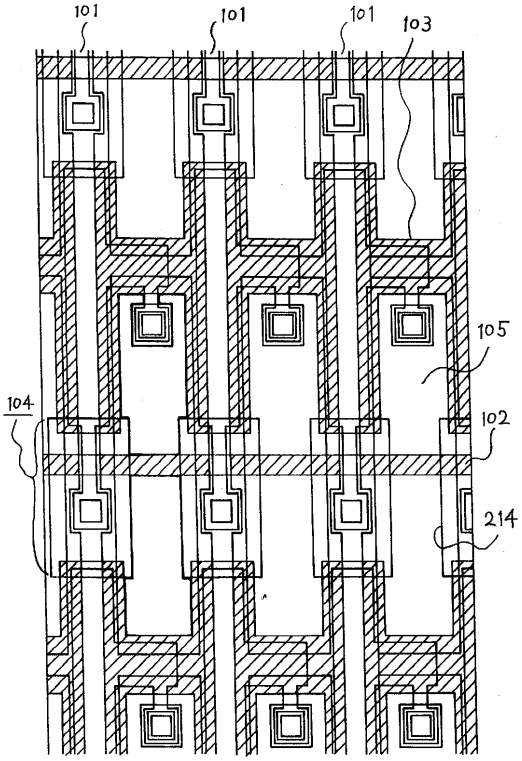
【図２】


202
215
217
209
211
207
A'
106
104
210a
212a
210b
206
214
205
203
216a
212b
216b
A
201

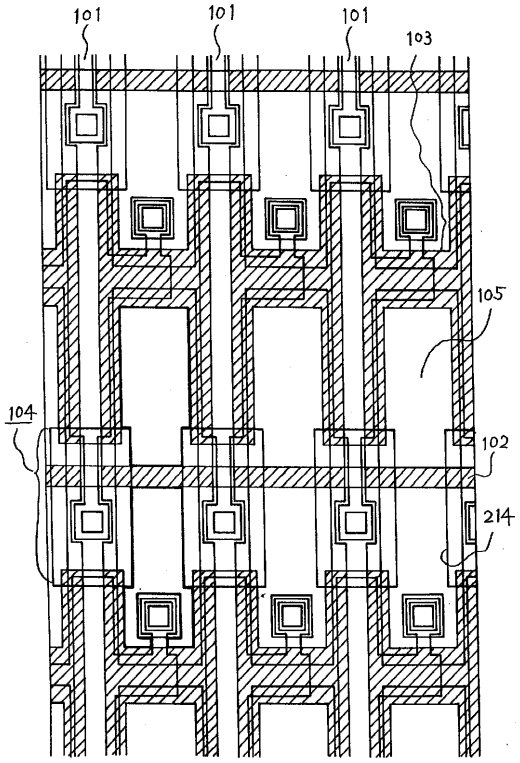
【図３】


101
101
101
104
103
102
105

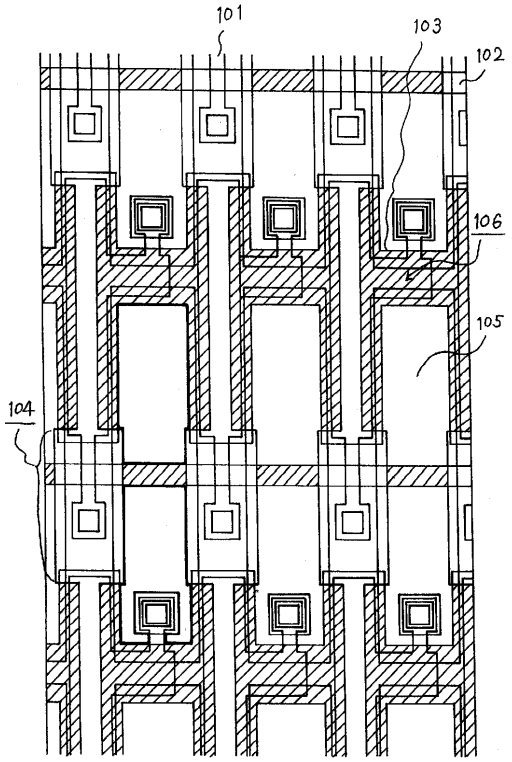
【図４】


101
101
101
103
105
104
102
214

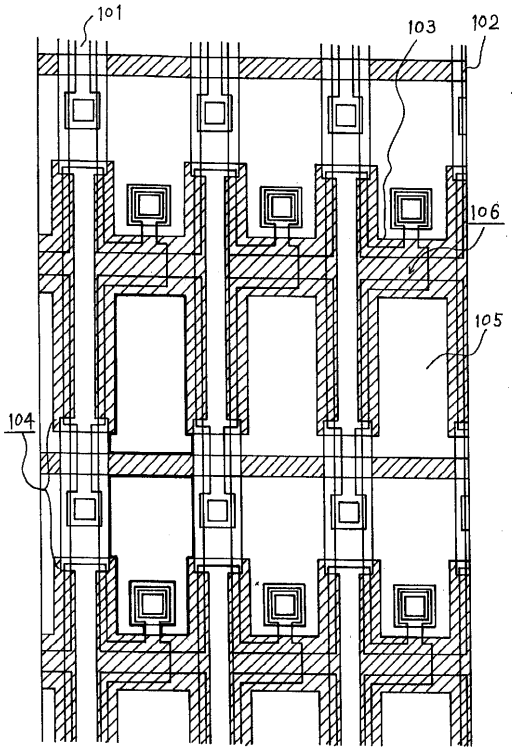
【図５】


101
101
101
103
105
104
102
214

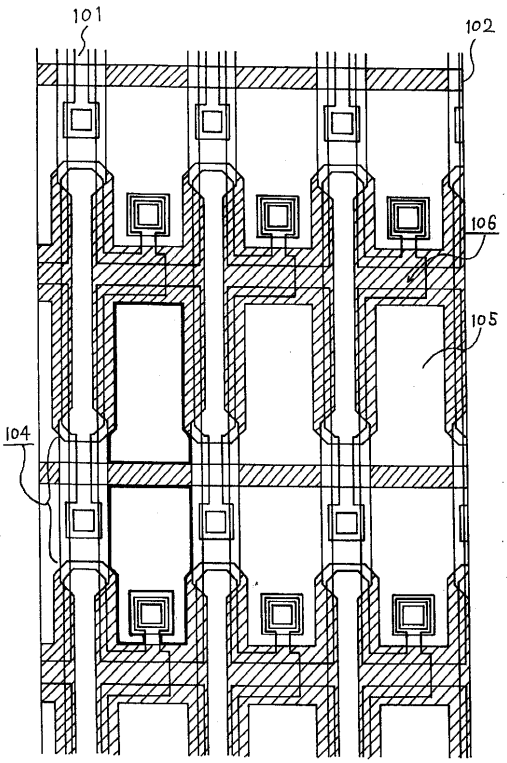
【図６】


101
103
102
106
105
104

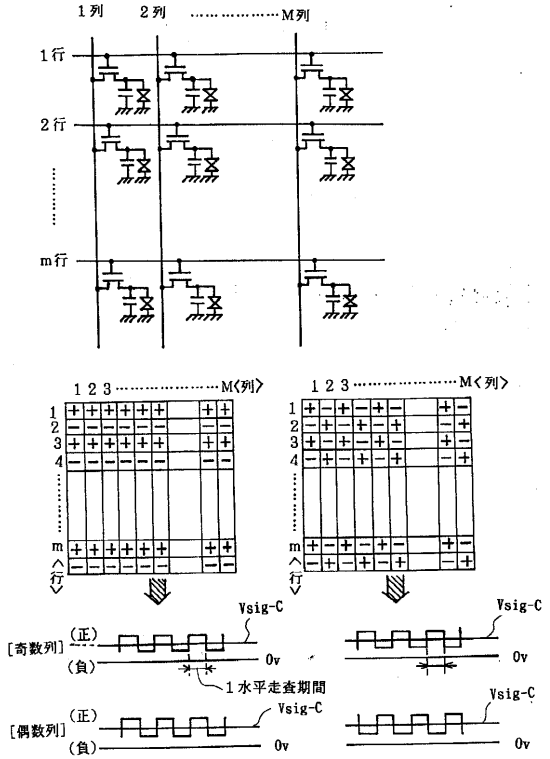
【図７】


101
103
102
106
105
104

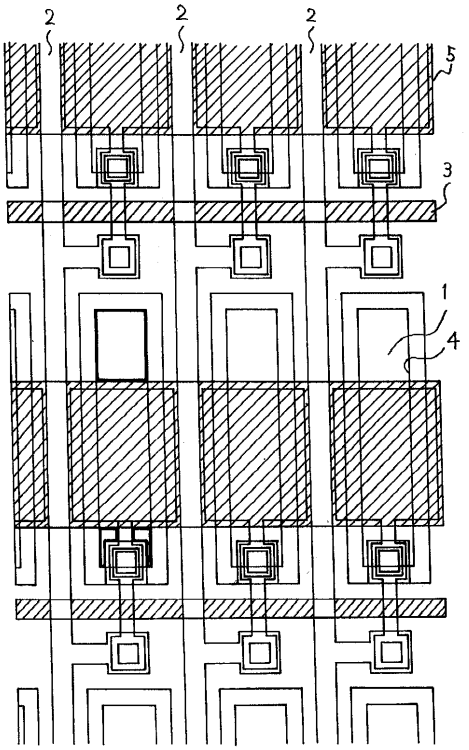
【図８】


101
102
106
105
104

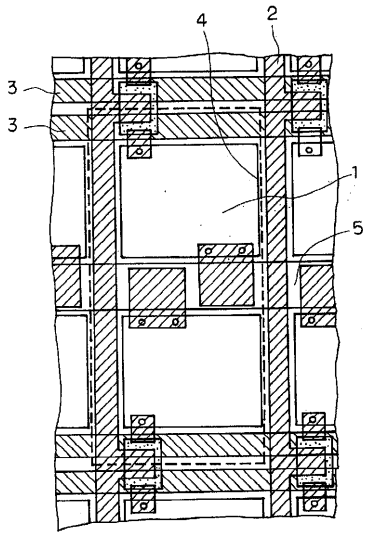
【図９】



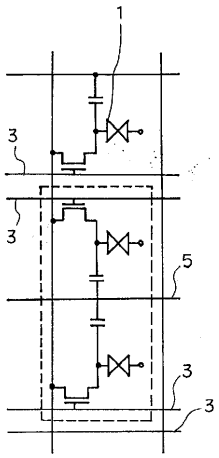
【図１０】



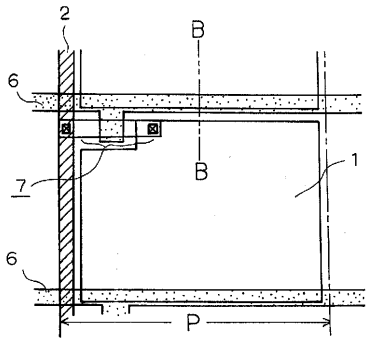
【図１１】



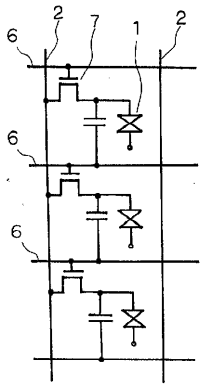
【図１２】



【図１３】



【図１４】



フロントページの続き

合議体
審判長　向後　晋一
審判官　樋口　信宏
審判官　鈴木　俊光

(56)参考文献　特開平６－１１７３４（ＪＰ，Ａ）