



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0141920
(43) 공개일자 2014년12월11일

(51) 국제특허분류(Int. Cl.)

H04L 29/10 (2006.01)

(21) 출원번호 10-2013-0063271

(22) 출원일자 2013년06월03일

심사청구일자 2013년06월03일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울 성북구 길음로 16, 605동 1301호 (길음동, 삼성래미안3차아파트)

송준영

서울 동대문구 약령사로 25, 103동 902호 (제기동, 벽산아파트)

김가빈

서울 강북구 삼각산로34길 8-3, 301호 (수유동, 청솔하이빌)

(74) 대리인

송인호, 민영준, 최관락

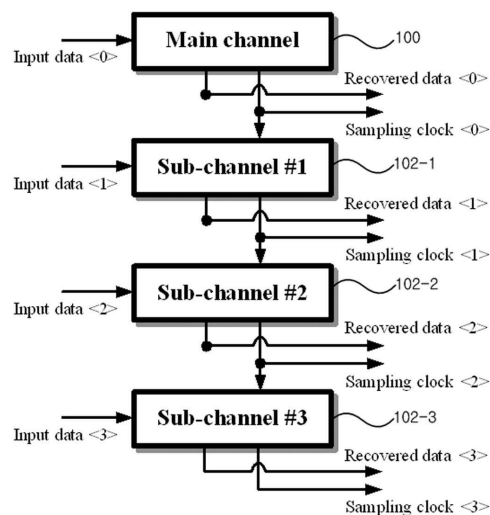
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 멀티채널 인터페이스 장치

(57) 요약

본 발명은 멀티채널 인터페이스 장치를 개시한다. 본 발명에 따르면, 초기 입력 데이터를 입력 받아 초기 샘플링 클록으로 샘플링하여 초기 복원 데이터를 출력하는 메인 채널; 및 상기 초기 샘플링 클록 및 제1 입력 데이터 각각을 서로 다른 시간으로 지연시켜 위상을 변경하고, 서로 다른 위상을 갖는 샘플링 클록으로 서로 다른 위상을 갖는 제1 입력 데이터를 샘플링하여 최적 위상을 결정하며, 상기 결정된 최적 위상에 상응하는 샘플링 클록을 제1 샘플링 클록으로 출력하고, 상기 제1 샘플링 클록으로 상기 최적 위상에 상응하는 제1 입력 데이터를 샘플링한 결과를 제1 복원 데이터로 출력하는 제1 서브 채널을 포함하는 멀티채널 인터페이스 장치가 제공된다.

대표도 - 도1



특허청구의 범위

청구항 1

멀티채널 인터페이스 장치로서,

초기 입력 데이터를 입력 받아 초기 샘플링 클록으로 샘플링하여 초기 복원 데이터를 출력하는 메인 채널; 및

상기 초기 샘플링 클록 및 제1 입력 데이터 각각을 서로 다른 시간으로 지연시켜 위상을 변경하고, 서로 다른 위상을 갖는 샘플링 클록으로 서로 다른 위상을 갖는 제1 입력 데이터를 샘플링하여 최적 위상을 결정하며, 상기 결정된 최적 위상에 상응하는 샘플링 클록을 제1 샘플링 클록으로 출력하고, 상기 제1 샘플링 클록으로 상기 최적 위상에 상응하는 제1 입력 데이터를 샘플링한 결과를 제1 복원 데이터로 출력하는 제1 서브 채널을 포함하는 멀티채널 인터페이스 장치.

청구항 2

제1항에 있어서,

상기 제1 샘플링 클록 및 제2 입력 데이터 각각을 서로 다른 시간으로 지연시켜 위상을 변경하고, 서로 다른 위상을 갖는 샘플링 클록으로 서로 다른 위상을 갖는 제2 입력 데이터를 샘플링하여 최적 위상을 결정하며, 상기 결정된 최적 위상에 상응하는 샘플링 클록을 제2 샘플링 클록으로 출력하고, 상기 제2 샘플링 클록으로 상기 최적 위상에 상응하는 제2 입력 데이터를 샘플링한 결과를 제2 복원 데이터로 출력하는 제2 서브 채널을 더 포함하는 멀티채널 인터페이스 장치.

청구항 3

제1항에 있어서,

상기 제1 서브 채널은,

제1 지연 시간이 설정된 복수의 지연 셀을 포함하여 상기 초기 샘플링 클록을 지연시키는 제1 지연 라인; 및

제2 지연 시간이 설정된 복수의 지연 셀을 포함하여 상기 제1 입력 데이터를 지연시키는 제2 지연 라인을 포함하는 멀티채널 인터페이스 장치.

청구항 4

제3항에 있어서,

상기 제1 서브 채널은 상기 제1 지연 라인 및 상기 제2 지연 라인에서 입력되는 서로 다른 위상의 샘플링 클록 및 제1 입력 데이터 간의 스큐를 검출하여 상기 최적 위상을 결정하는 스큐 검출부를 포함하는 멀티채널 인터페이스 장치.

청구항 5

제4항에 있어서,

상기 스큐 검출부는 복수의 플립플롭을 포함하는 샘플링부를 포함하며,

상기 샘플링부의 k번째 플립플롭은 상기 제1 지연 라인의 k번째 지연 셀에서 입력되는 샘플링 클록으로 상기 제2 지연 라인의 k번째 지연 셀에서 입력되는 제1 입력 데이터를 샘플링한 신호를 출력하는 멀티패스 인터페이스 장치.

청구항 6

제5항에 있어서,

상기 스큐 검출부는,

상기 샘플링부의 복수의 플립플롭 각각에서 출력되는 샘플링 신호의 상향 엣지를 카운팅하는 카운터; 및

상기 카운터에 의해 카운팅된 결과를 비교하여 동일한 카운팅 결과가 출력되는 구간 내에서 상기 최적 위상을 결정하고, 상기 결정된 최적 위상에 상응하는 선택 신호를 출력하는 신호 선택부를 더 포함하는 멀티채널 인터페이스 장치.

청구항 7

제6항에 있어서,

상기 신호 선택부는,

상기 구간 중 중간에 위치한 지점을 상기 최적 위상으로 결정하는 멀티채널 인터페이스 장치.

청구항 8

제6항에 있어서,

상기 스큐 검출부는,

상기 선택 신호에 따라 상기 제1 지연 라인으로부터 입력되는 위상이 다른 샘플링 클록 중 하나를 제1 샘플링 클록으로 출력하는 샘플링 클록 출력부; 및

상기 선택 신호에 따라 상기 제2 지연 라인으로부터 입력되는 위상이 다른 입력 데이터 중 하나를 복원 데이터로 출력하는 복원 데이터 출력부를 더 포함하는 멀티채널 인터페이스 장치.

청구항 9

제7항에 있어서,

상기 카운터는 상기 복수의 플립플롭에 대응되는 복수의 카운터 셀을 포함하는 멀티채널 인터페이스 장치.

청구항 10

제9항에 있어서,

상기 신호 선택부는,

상기 복수의 카운터 셀에서 출력되는 카운팅 결과를 비교하여 동일한 카운터 결과를 출력하는 카운터 셀 중 하나에 상응하는 선택 신호를 출력하는 멀티채널 인터페이스 장치.

명세서

기술 분야

[0001] 본 발명은 멀티채널 인터페이스 장치에 관한 것으로서, 보다 상세하게는 클록 및 데이터 복원 회로 없이 입력 데이터를 복원할 수 있는 장치에 관한 것이다.

배경 기술

[0002] 클록 및 데이터 복원 회로는 하나의 채널에서 수신된 데이터를 에러없이 복원하기 위해서 사용되는 블록으로서, 다수의 채널을 가지고 있는 유선 통신 인터페이스에서는 각 채널마다 한 개씩 포함하고 있다.

[0003] 기존에 사용되는 방식은 각 채널마다 하나의 발진기를 가지고 있으면서 이를 이용하여 데이터를 샘플링하기 위한 클록을 각각 만들어 주는 방식이다.

[0004] 하지만 이와 같은 경우 클록 및 데이터 복원 회로를 구현하기 위하여 필요한 블록들을 모두 포함하고 여기에는 피드백 루프(Feedback Loop)를 안정화시키기 위한 커패시터(Capacitor)가 포함되어 있다.

[0005] 커패시터가 차지하는 면적으로 인하여 각 채널의 클록 및 데이터 복원 회로는 많은 면적을 차지하고 또한 개별 발진기에서 발생하는 노이즈의 영향으로 인하여 복원된 클록과 데이터의 성능이 저하될 수 있다.

[0006] 다수의 발진기를 사용하지 않기 위하여 하나의 발진기만 사용을 하고 나머지 블록에서는 Delay Locked Loop (DLL) 또는 Phase Interpolator (PI)를 이용하여 채널마다 스큐(Skew)로 인하여 다른 위상을 갖는 데이터를 최적의 위치에서 샘플링하기 위한 클록의 위상을 조절하는 방식도 제안되었다.

[0007] 하지만 이들은 피드백 구조를 사용하고 있기 때문에 별도의 Locking time이 필요하고 또한 Locking time이 길다.

발명의 내용

해결하려는 과제

[0008] 상기한 종래기술의 문제점을 해결하기 위해, 본 발명은 멀티채널에서 하나의 클록 및 데이터 복원 회로를 이용하여 채널 스큐를 보상하고 최적의 데이터 샘플링 위상을 찾을 수 있는 멀티채널 인터페이스 장치에 관한 것이다.

과제의 해결 수단

[0009] 상기한 기술적 과제를 해결하기 위해, 본 발명의 바람직한 일 실시예에 따르면, 멀티채널 인터페이스 장치로서, 초기 입력 데이터를 입력 받아 초기 샘플링 클록으로 샘플링하여 초기 복원 데이터를 출력하는 메인 채널; 및 상기 초기 샘플링 클록 및 제1 입력 데이터 각각을 서로 다른 시간으로 지연시켜 위상을 변경하고, 서로 다른 위상을 갖는 샘플링 클록으로 서로 다른 위상을 갖는 제1 입력 데이터를 샘플링하여 최적 위상을 결정하며, 상기 결정된 최적 위상에 상응하는 샘플링 클록을 제1 샘플링 클록으로 출력하고, 상기 제1 샘플링 클록으로 상기 최적 위상에 상응하는 제1 입력 데이터를 샘플링한 결과를 제1 복원 데이터로 출력하는 제1 서브 채널을 포함하는 멀티채널 인터페이스 장치가 제공된다.

[0010] 상기 제1 샘플링 클록 및 제2 입력 데이터 각각을 서로 다른 시간으로 지연시켜 위상을 변경하고, 서로 다른 위상을 갖는 샘플링 클록으로 서로 다른 위상을 갖는 제2 입력 데이터를 샘플링하여 최적 위상을 결정하며, 상기 결정된 최적 위상에 상응하는 샘플링 클록을 제2 샘플링 클록으로 출력하고, 상기 제2 샘플링 클록으로 상기 최적 위상에 상응하는 제2 입력 데이터를 샘플링한 결과를 제2 복원 데이터로 출력하는 제2 서브 채널을 더 포함할 수 있다.

[0011] 상기 제1 서브 채널은, 제1 지연 시간이 설정된 복수의 지연 셀을 포함하여 상기 초기 샘플링 클록을 지연시키는 제1 지연 라인; 및 제2 지연 시간이 설정된 복수의 지연 셀을 포함하여 상기 제1 입력 데이터를 지연시키는 제2 지연 라인을 포함할 수 있다.

[0012] 상기 제1 서브 채널은 상기 제1 지연 라인 및 상기 제2 지연 라인에서 입력되는 서로 다른 위상의 샘플링 클록 및 제1 입력 데이터 간의 스큐를 검출하여 상기 최적 위상을 결정하는 스큐 검출부를 포함할 수 있다.

[0013] 상기 스큐 검출부는 복수의 플립플롭을 포함하는 샘플링부를 포함하며, 상기 샘플링부의 k번째 플립플롭은 상기 제1 지연 라인의 k번째 지연 셀에서 입력되는 샘플링 클록으로 상기 제2 지연 라인의 k번째 지연 셀에서 입력되는 제1 입력 데이터를 샘플링한 신호를 출력할 수 있다.

[0014] 상기 스큐 검출부는, 상기 샘플링부의 복수의 플립플롭 각각에서 출력되는 샘플링 신호의 상향 엣지를 카운팅하는 카운터; 및 상기 카운터에 의해 카운팅된 결과를 비교하여 동일한 카운팅 결과가 출력되는 구간 내에서 상기 최적 위상을 결정하고, 상기 결정된 최적 위상에 상응하는 선택 신호를 출력하는 신호 선택부를 더 포함할 수 있다.

[0015] 상기 신호 선택부는, 상기 구간 중 중간에 위치한 지점을 상기 최적 위상으로 결정할 수 있다.

[0016] 상기 스큐 검출부는, 상기 선택 신호에 따라 상기 제1 지연 라인으로부터 입력되는 위상이 다른 샘플링 클록 중 하나를 제1 샘플링 클록으로 출력하는 샘플링 클록 출력부; 및 상기 선택 신호에 따라 상기 제2 지연 라인으로부터 입력되는 위상이 다른 입력 데이터 중 중 하나를 복원 데이터로 출력하는 복원 데이터 출력부를 더 포함할 수 있다.

[0017] 상기 카운터는 상기 복수의 플립플롭에 대응되는 복수의 카운터 셀을 포함할 수 있다.

[0018] 상기 신호 선택부는, 상기 복수의 카운터 셀에서 출력되는 카운팅 결과를 비교하여 동일한 카운터 결과를 출력하는 카운터 셀 중 하나에 상응하는 선택 신호를 출력할 수 있다.

발명의 효과

- [0019] 본 발명에 따르면, 각 채널에 인가되는 임의의 데이터를 바탕으로 각 채널에 발진기와 함께 동작하는 클록 및 데이터 복원 회로 없이도 데이터를 복원할 수 있는 장점이 있다.
- [0020] 또한, 본 발명에 따르면, 빠른 Locking time을 갖기 때문에 시스템 초기화 시간을 단축시킬 수 있고, 기존에 사용되던 DLL이나 클록 및 데이터 복원 회로보다 적은 노이즈를 발생하고, 또한 적은 면적을 차지하는 장점이 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명에 따른 멀티채널 인터페이스 장치의 상세 구성을 도시한 도면.
- 도 2는 본 발명의 바람직한 일 실시예에 따른 서브 채널의 상세 구성을 도시한 도면.
- 도 3은 본 발명의 바람직한 일 실시예에 따른 스큐 검출부의 상세 구성을 도시한 도면.
- 도 4는 본 발명에 따른 서브 채널의 상세 구성을 도시한 도면.
- 도 5는 샘플링 클록의 지연을 도시한 도면.
- 도 6은 입력 데이터의 지연을 도시한 도면.
- 도 7은 도 5의 샘플링 클록으로 샘플링된 신호를 도시한 도면.
- 도 8은 도 7의 샘플링 신호를 카운팅한 결과를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

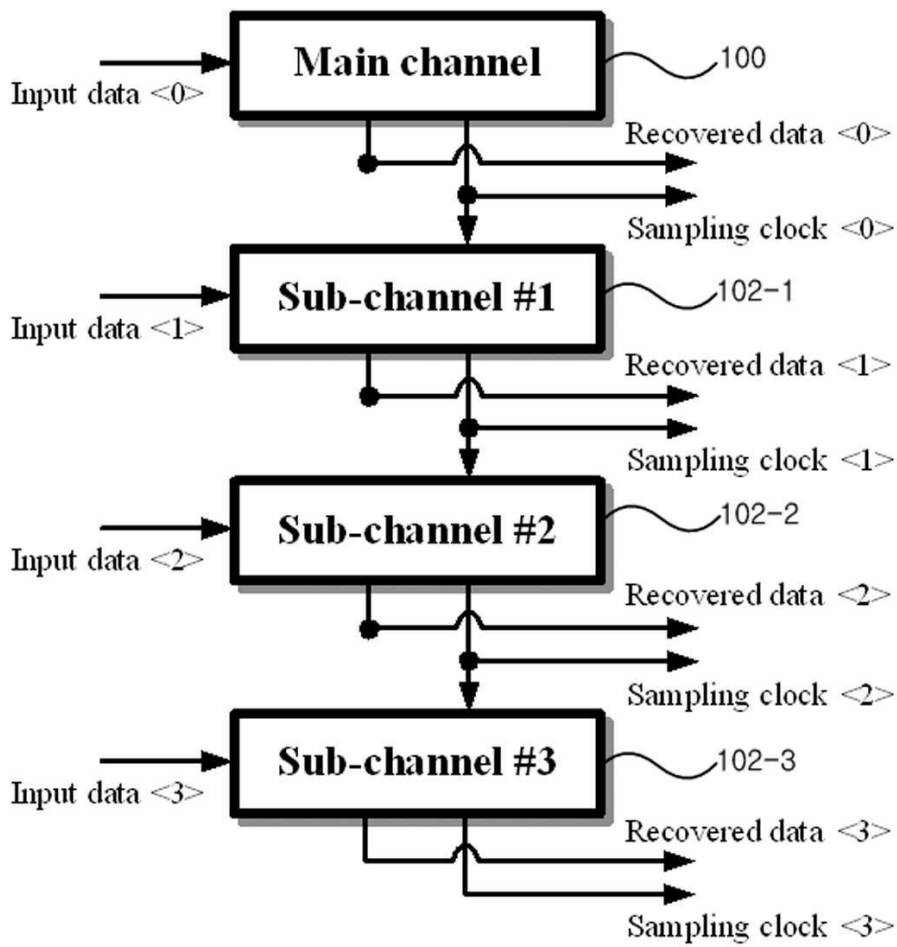
- [0022] 본 발명은 다양한 변형을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0023] 이하, 본 발명의 바람직한 실시예를 첨부한 도면들을 참조하여 상세히 설명하기로 한다. 본 발명을 설명함에 있어 전체적인 이해를 용이하게 하기 위하여 도면 번호에 상관없이 동일한 수단에 대해서는 동일한 참조 번호를 사용하기로 한다.
- [0024] 본 발명에서는 메인 채널을 제외한 서브 채널에서 클록 및 데이터 복원 회로 없이 데이터를 복원하는 방식을 개시한다.
- [0025] 도 1은 본 발명에 따른 멀티채널 인터페이스 장치의 상세 구성을 도시한 도면이다.
- [0026] 본 발명에 따른 멀티채널 인터페이스 장치는 멀티채널을 사용하는 송수신기에서 채널 간 발생하는 스큐를 검출하고 클록과 데이터를 에러 없이 검출하는 Feed-Forward Type의 수신기이다.
- [0027] 도 1에 도시된 바와 같이, 본 발명에 따른 멀티채널 인터페이스 장치는 메인 채널(100) 및 하나 이상의 서브 채널(102-1 내지 102-3)을 포함할 수 있다.
- [0028] 본 발명에 따른 메인 채널(100)은 초기 입력 데이터(Input data<0>)를 받아 초기 샘플링 클록(Sampling clock<0>)과 초기 복원 데이터(Recovered data<0>)를 출력한다.
- [0029] 초기 복원 데이터는 상기한 초기 샘플링 클록에 의해 초기 입력 데이터를 샘플링함으로써 출력될 수 있다.
- [0030] 제1 서브 채널(102-1)에는 메인 채널(100)에서 출력된 초기 샘플링 클록과 제1 입력 데이터(Input data<1>)가 입력된다.
- [0031] 제1 서브 채널(102-1)은 초기 샘플링 클록 및 제1 입력 데이터 각각을 서로 다른 시간으로 지연시켜 위상을 변경하고, 서로 다른 위상을 갖는 샘플링 클록으로 서로 다른 위상을 갖는 제1 입력 데이터를 샘플링하여 최적 위상을 결정한다.

- [0032] 제1 서브 채널(102-1)은 이처럼 결정된 최적 위상에 상응하는 샘플링 클록을 제1 샘플링 클록(Sampling clock<1>)으로 출력하고, 상기 제1 샘플링 클록으로 상기 최적 위상에 상응하는 제1 입력 데이터를 샘플링한 결과를 제1 복원 데이터(Recovered data<1>)로 출력한다.
- [0033] 제2 서브 채널(102-2)에는 제1 서브 채널(102-1)에서 출력된 제1 샘플링 클록과 제2 입력 데이터(Input data<2>)가 입력된다.
- [0034] 제1 서브 채널(102-1)과 마찬가지로, 제2 서브 채널(102-2)은 제1 샘플링 클록과 제2 입력 데이터의 위상을 결정한 후, 결정된 제2 샘플링 클록(Sampling clock<2>) 및 제2 샘플링 클록으로 샘플링된 제2 복원 데이터(Recovered data<2>)를 출력한다.
- [0035] 상기한 바와 같이, 본 발명에 따른 멀티채널 인터페이스 장치는 메인 채널(100) 및 복수의 서브 채널(102-n)을 구비하면서, 메인 채널은 초기 입력 데이터만으로 샘플링 클록 및 복원 데이터를 출력한다. 그리고 서브 채널은 메인 채널 또는 전단 서브 채널로부터 입력된 샘플링 클록과 입력 데이터의 위상을 맞춘 후 이에 의해 결정된 샘플링 클록과 상기한 샘플링 클록에 의해 입력 데이터를 샘플링하여 복원 데이터를 출력한다.
- [0036] 도 2는 본 발명의 바람직한 일 실시예에 따른 서브 채널의 상세 구성을 도시한 도면이다.
- [0037] 도 2에 도시된 바와 같이, 본 발명에 따른 서브 채널(102)은 복수의 지연 라인(200-1, 200-2) 및 스큐 검출부(Skew Detection Logic: SDL, 202)를 포함할 수 있다.
- [0038] 도 2에 도시된 바와 같이, 서브 채널(102-N)에서, 제1 지연 라인(200-1)에는 전단 메인 채널 또는 서브 채널로부터 입력되는 샘플링 클록(Sampling clock<N-1>)이 입력되고, 제2 지연 라인(200-2)에는 입력 데이터(Input data<N>)가 입력된다.
- [0039] 본 발명에 따르면, 제1 지연 라인(200-1)과 제2 지연 라인(200-2)은 서로 다른 지연 시간을 가지고 있다.
- [0040] 이처럼 서로 다르게 지연 시간을 갖는 제1 지연 라인(200-1) 및 제2 지연 라인(200-2)에서 출력된 샘플링 클록과 입력 데이터는 스큐 검출부(202)로 입력된다.
- [0041] 상기한 같은 제1 지연 라인(200-1) 및 제2 지연 라인(200-2)에 의해 전단에서 입력된 샘플링 클록 및 입력 데이터의 위상이 계속적으로 바뀌게 된다.
- [0042] 본 발명에 따른 스큐 검출부(202)는 위상이 변경되는 샘플링 클록을 통해 역시 위상이 변경되는 입력 데이터를 샘플링하고, 샘플링된 결과를 이용하여 최적 샘플링 클록(Sampling clock<N>)을 결정하며, 이와 함께 입력 데이터를 최적 샘플링 클록으로 샘플링한 결과를 복원 데이터(Recovered data<N>)로서 출력한다.
- [0043] 도 3은 본 발명의 바람직한 일 실시예에 따른 스큐 검출부의 상세 구성을 도시한 도면이다.
- [0044] 도 3에 도시된 바와 같이, 본 발명에 따른 스큐 검출부(202)는 샘플링부(300), 카운터(302), 신호 선택부(304), 샘플링 클록 출력부(306) 및 복원 데이터 출력부(308)를 포함할 수 있다.
- [0045] 한편, 도 4는 본 발명에 따른 서브 채널의 상세 구성을 도시한 도면으로서, 상기한 제1 지연 라인(200-1) 및 제2 지연 라인(200-2)을 통한 스큐 검출부(202)의 샘플링, 신호 선택, 카운팅, 샘플링 클록 출력 및 복원 데이터 출력 과정을 상세하게 도시한 도면이다.
- [0046] 도 4를 참조하면, 본 발명에 따른 제1 지연 라인(200-1)은 제1 지연 시간을 갖는 복수의 제1 지연 셀(400-N)을 포함하며, 제2 지연 라인(200-2)은 제2 지연 시간을 갖는 복수의 제2 지연 셀(402-N)을 포함한다.
- [0047] 본 발명에 따르면, 제1 지연 시간과 제2 지연 시간은 서로 다르게 설정된다.
- [0048] 전단 서브 채널의 샘플링 클록(Sampling clock<N-1>)이 제1 지연 셀(400-N)에 의해 지연되어 샘플링부(300)로 입력된다.
- [0049] 또한, 입력 데이터(Input data<N>)는 제2 지연 셀(402-N)에 의해 지연되어 샘플링부(300)로 입력된다.
- [0050] 도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 샘플링부(300)는 복수의 플립플롭(404-N)으로 구성될 수 있다.
- [0051] k번째 플립플롭(404-k)은 k번째 제2 지연 셀(402)에 의해 지연된 입력 데이터(D=<k>)를 역시 k번째 제1 지연 셀(400)에 의해 지연된 전단 샘플링 클록(C=<k>)을 이용하여 샘플링 신호(F<k>)를 출력한다.

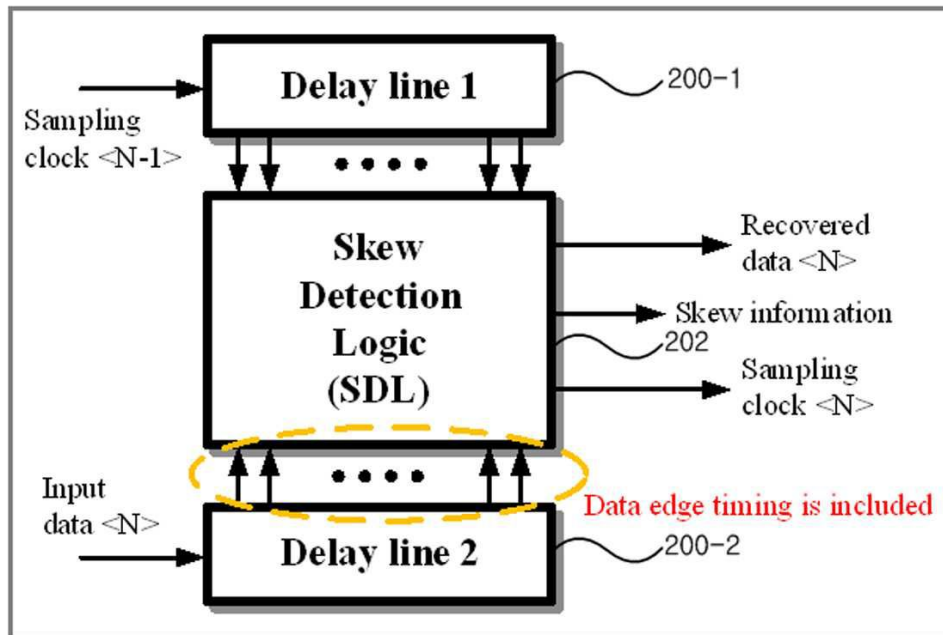
- [0052] 도 5는 샘플링 클록의 지연을 도시한 것이고, 도 6은 입력 데이터의 지연을 도시한 도면이다.
- [0053] 샘플링부(300)는 도 5와 도 6과 같이 서로 다른 시간만큼 지연된 샘플링 클록으로 입력 데이터를 샘플링하여 도 7과 같은 샘플링 신호를 출력한다.
- [0054] 도 7에 도시된 바와 같이, 샘플링 클록 및 입력 데이터가 서로 다른 시간만큼 지연됨에 따라 셋업 및 홀드 타임이 변경됨에 따라 적절한 샘플링 포인트 및 부적절한 샘플링 포인트가 구분된다.
- [0055] 적절한 샘플링 포인트는 다른 샘플링 신호와 동일한 패턴의 신호인 경우로 정의될 수 있다.
- [0056] 이처럼 샘플링부(300)에 의해 샘플링된 결과는 카운터(302)로 입력된다.
- [0057] 도 4에 도시된 바와 같이, 본 발명에 따른 카운터(302)는 샘플링부(300)의 각 플립플롭에서 출력하는 N+1개의 샘플링 신호의 상향 엣지(또는 하향 엣지)를 각각 카운팅하기 위해 복수의 카운터 셀(406-N)을 포함할 수 있다.
- [0058] k번째 카운터 셀(406-k)은 k번째 플립플롭(404-k)에서 출력되는 샘플링 신호에서 상향 엣지의 수를 카운팅한 결과($CO<k>$)한다.
- [0059] 각 카운터 셀(406-k)의 카운팅 결과($CO<0:N>$)는 신호 선택부(304)로 입력된다.
- [0060] 도 4에 도시된 바와 같이, 본 발명에 따른 신호 선택부(304)는 통상의 디지털 신호 프로세서(Digital Signal Processor: DSP, 408)일 수 있다.
- [0061] 본 발명에 따른 신호 선택부(304)는 0부터 N번째 카운터 셀(406)에서 입력되는 카운팅 결과를 비교하여 각 카운터 셀(406)의 카운팅 결과가 동일한지 여부를 판단한다.
- [0062] 카운팅 결과가 동일하다는 것은 도 8과 같이 동일한 샘플링 결과가 출력되는 것으로 정의될 수 있다.
- [0063] 본 발명에 따른 신호 선택부(304)는 동일한 카운팅 결과가 출력되는 구간을 결정하고, 해당 구간의 소정 지점을 샘플링 포인트(최적 위상)로 결정하고, 결정된 샘플링 포인트에 관한 선택 신호($SEL<0:N>$)를 출력한다.
- [0064] 예를 들어, 신호 선택부(304)는 k번째부터 k+m번째까지의 카운팅 결과가 동일한 경우, 해당 구간의 중간 지점에 상응하는 $2k+m/2$ 번째 지점을 샘플링 포인트로 결정하고, 이에 상응하는 선택 신호를 출력할 수 있다.
- [0065] 신호 선택부(304)에서 출력된 선택 신호는 샘플링 클록 출력부(306) 및 복원 데이터 출력부(308)로 입력된다.
- [0066] 본 발명에 따른 샘플링 클록 출력부(306)에는 제1 지연 라인(200)의 각 지연 셀(400-N)에서 출력되는 위상이 다른 샘플링 클록이 입력된다. 샘플링 클록 출력부(306)는 상기한 선택 신호에 따라 복수의 샘플링 클록 중 하나를 선택적으로 출력한다.
- [0067] 한편, 복원 데이터 출력부(308)에는 제2 지연 라인(202)의 각 지연 셀(402-N)에서 출력되는 위상이 다른 복원 데이터가 입력된다. 샘플링 클록 출력부(306)는 상기한 선택 신호에 따라 복수의 샘플링 클록 중 하나를 선택적으로 출력한다.
- [0068] 도 4에 도시된 바와 같이, 샘플링 클록 출력부(306) 및 복원 데이터 출력부(308)는 복수의 입력 중 하나를 선택적으로 출력하는 믹스(MUX, 410, 412)로 구성될 수 있다.
- [0069] 본 발명에 따르면, 스큐 검출부(202)에서 서로 다른 위상을 갖는 샘플링 클록으로 입력 데이터를 샘플링하여 동일한 출력을 갖는 위상을 결정하고, 결정된 위상에 기초하여 최종적으로 샘플링된 결과, 즉 복원 데이터를 출력하기 때문에 클록 및 데이터 복원 회로 없이도 데이터를 복원할 수 있다.
- [0070] 상기한 본 발명의 바람직한 실시예는 예시의 목적을 위해 개시된 것이고, 본 발명에 대해 통상의 지식을 가진 당업자라면 본 발명의 사상과 범위 안에서 다양한 수정, 변경, 부가가 가능할 것이며, 이러한 수정, 변경 및 부가는 하기의 특허청구범위에 속하는 것으로 보아야 할 것이다.

도면

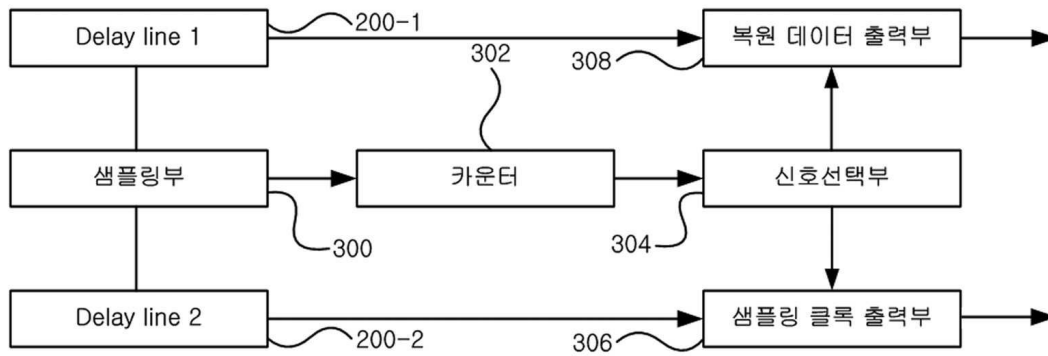
도면1



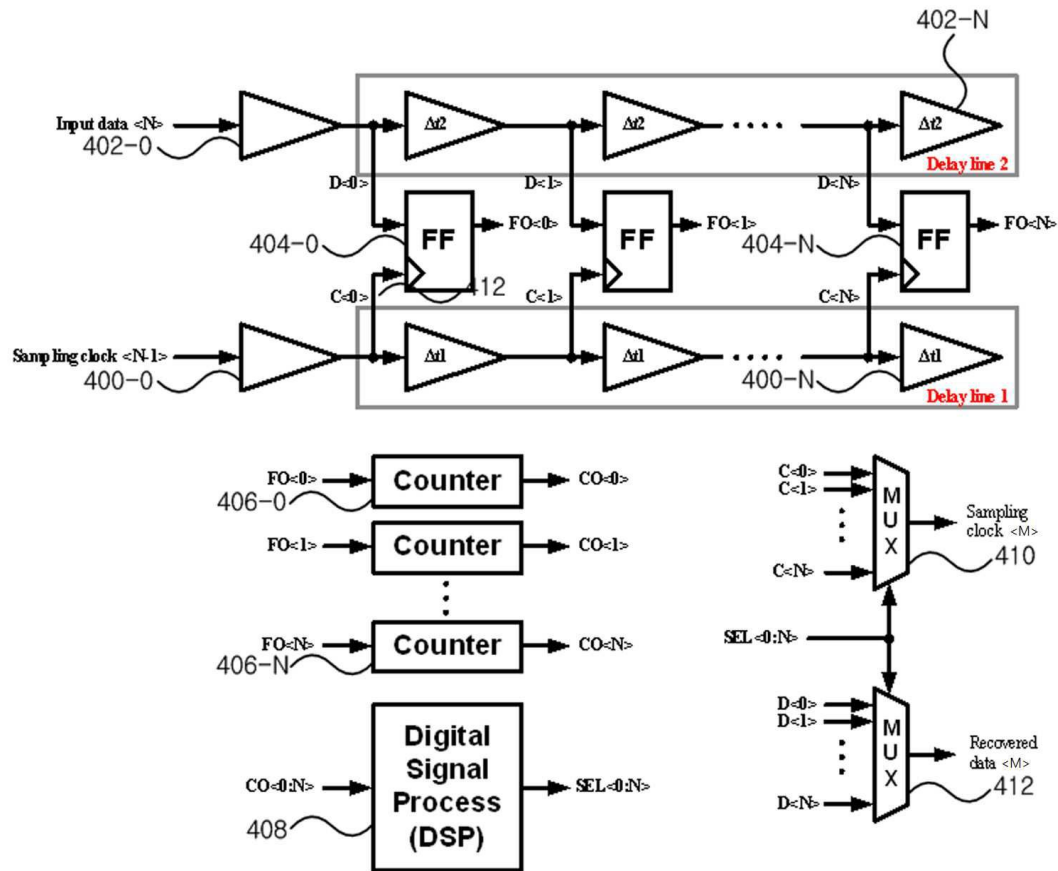
도면2



도면3

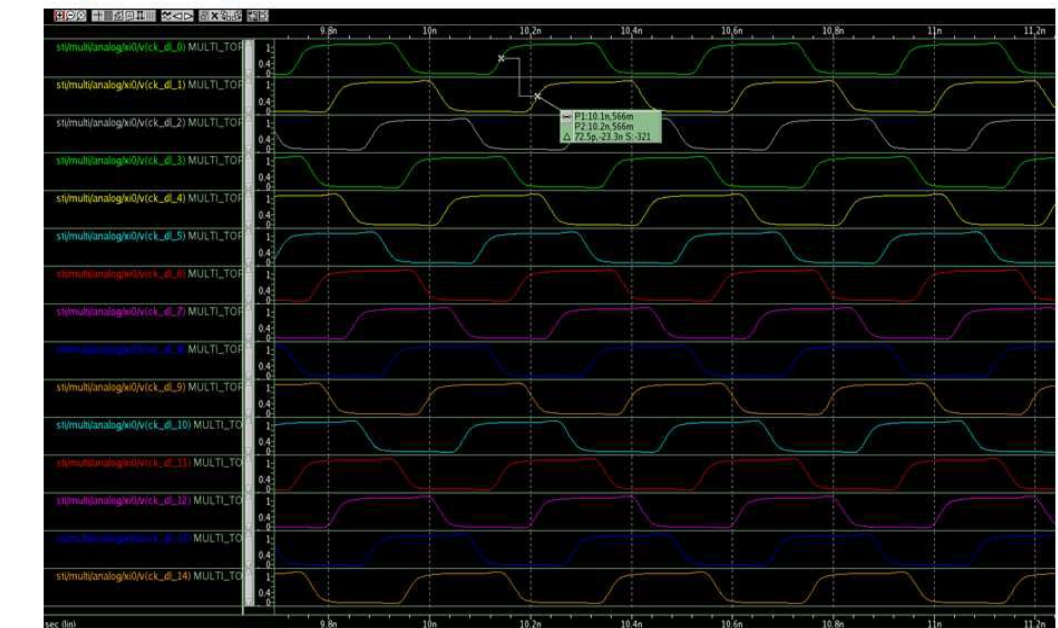


도면4



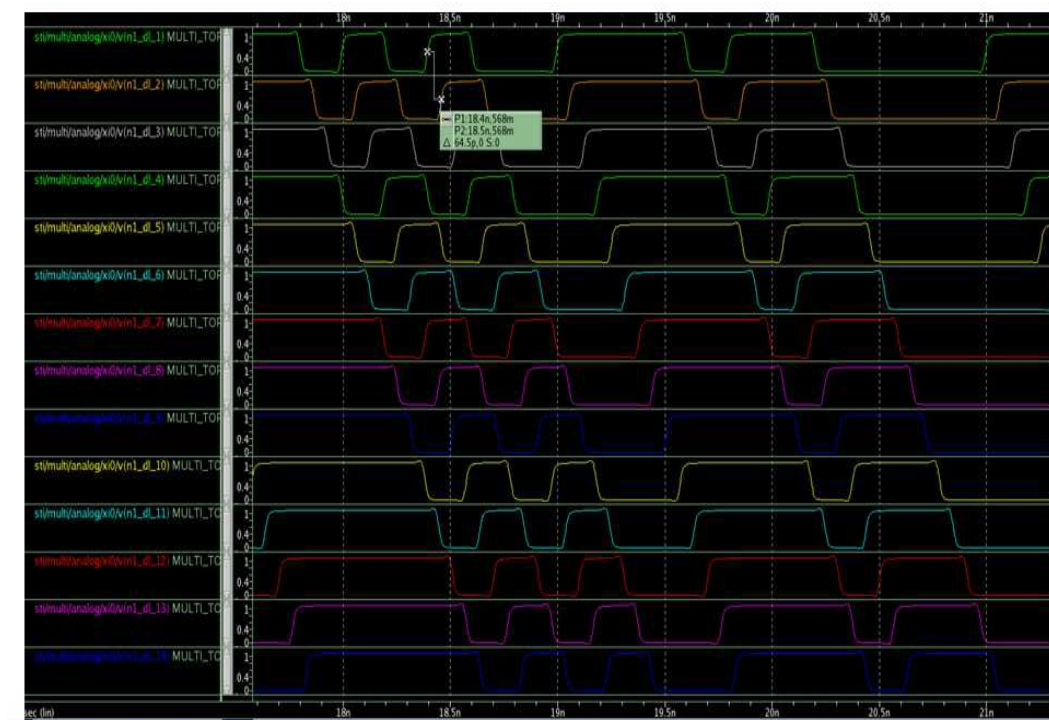
도면5

Delay line 1 output (Clock)



도면6

Delay line 2 output (Data)



도면7

FO[0]~FO[N]



도면8

C[0]~C[N]

