

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013 年 1 月 17 日 (17.01.2013)



(10) 国际公布号
WO 2013/006992 A1

- (51) 国际专利分类号:
H01L 21/28 (2006.01) H01L 21/336 (2006.01)
H01L 29/78 (2006.01)
- (21) 国际申请号: PCT/CN2011/001315
- (22) 国际申请日: 2011 年 8 月 9 日 (09.08.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110192592.8 2011 年 7 月 11 日 (11.07.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人; 及
(75) 发明人/申请人 (仅对美国): 闫江 (YAN, Jiang) [US/US]; 美国纽约州纽堡市蕾蒙娜路 30 号, New York 12550 (US)。 赵利川 (ZHAO, Lichuan) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (74) 代理人: 中国专利代理(香港)有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 字楼, Hongkong (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,

[见续页]

(54) Title: TRANSISTOR AND SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 一种晶体管 and 半导体器件及其制作方法

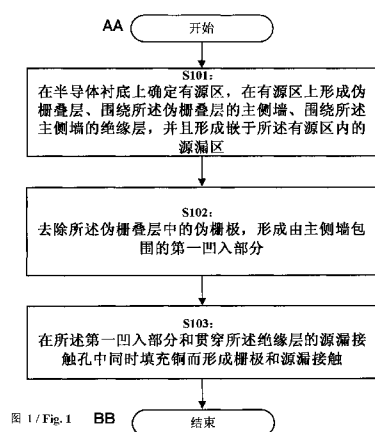


图 1 / Fig. 1

AA Start
BB End

S101 Determining an active region on a semiconductor substrate, forming on the active region a pseudo-gate lamination, a main side wall around the pseudo-gate lamination, and an insulation layer around the main side wall, and forming a source and drain region embedded in the active region
S102 Removing the pseudo-gate electrode in the pseudo-gate lamination to form a first concave part surrounded by the main side wall
S103 Simultaneously filling in copper in the first concave part and a source and drain contact hole through the insulation layer to form a gate electrode and a source and drain contact

(57) Abstract: Provided are a transistor and a semiconductor device and a method for manufacturing same. The method for manufacturing a transistor includes the steps of: determining an active region on a semiconductor substrate, forming on the active region a pseudo-gate lamination, a main side wall around the pseudo-gate lamination, and an insulation layer around the main side wall, and forming a source and drain region embedded in the active region; removing the pseudo-gate electrode in the pseudo-gate lamination to form a first concave part surrounded by the main side wall; and simultaneously filling in copper in the first concave part and a source and drain contact hole through the insulation layer to form a gate electrode and a source and drain contact. By simultaneously filling in metal copper in the gate electrode and the source and drain contact hole in a "Gate Last" structure, the series resistance of the gate electrode and the resistance of the source and drain contact hole in a "Gate Last" process is reduced, at the same time improving the effect of filling in with metal in the case of small dimensions, and effectively decreasing the complexity and difficulties of the process.

(57) 摘要: 提供了一种晶体管 and 半导体器件及其制作方法。该制作晶体管的方法, 包括下列步骤: 在半导体衬底上确定有源区, 在有源区上形成伪栅叠层、围绕所述伪栅叠层的主侧墙、围绕所述主侧墙的绝缘层, 并且形成嵌于所述有源区内的源漏区; 去除所述伪栅叠层中的伪栅极, 形成由主侧墙包围的第一凹入部分; 在所述第一凹入部分和贯穿所述绝缘层的源漏接触孔中同时填充铜而形成栅极和源漏接触。通过在"替代栅极"结构中对于栅极、源漏接触孔同时填充金属铜, 减小了"替代栅极"工艺中栅极串联电阻和源漏接触孔电阻, 同时提高了小尺寸情况下金属填充的效果, 并有效地减小了工艺复杂度和难度。



TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,
ZA, ZM, ZW。

HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,
PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG)。

- (84) **指定国** (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种晶体管和半导体器件及其制作方法

本申请要求了 2011 年 7 月 11 日提交的、申请号为 201110192592.8、
发明名称为“一种晶体管和半导体器件及其制作方法”的中国专利申请
5 的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明通常涉及半导体技术，更具体地涉及一种制作晶体管和半
导体器件的方法。

10

背景技术

随着 CMOS 器件尺寸的不断减小，特别是进入 32 纳米以下技术
代后，栅介质厚度也在相应的不断减小，从而造成栅极漏电迅速增加。
在传统 CMOS 器件中使用多晶硅栅结构会出现栅极耗尽层，使有效的
15 栅极氧化层厚度增加，导致晶体管导通电流减少。另一方面，随着
CMOS 器件尺寸的不断减小，源漏接触孔的尺寸也在不断减小，源漏
接触孔的高宽比不断增加造成常规源漏接触孔金属钨层的填充越来越
困难，而且源漏接触孔电阻也随着尺寸缩小不断增加。

在现有技术中，本领域技术人员曾经设想过使用“替代栅极”
20 （Gate Last）工艺来缓解上述存在的问题之一，例如高 K 金属栅结构
通过“替代栅极”（Gate Last）工艺来实现。即。通过首先形成多晶硅
伪栅极，在形成源漏区及其金属硅化物接触后，去除栅极结构中的多
晶硅伪栅极，再淀积金属栅极材料。其中金属栅极一般由功函数金属
层和填充金属层组成。但是同时存在的问题是随着栅极尺寸的减少，
25 栅极填充金属在保证低电阻前提下的填充工艺难度也越来越大。

为此，在本领域中存在对于晶体管技术进行改进的迫切需要。

发明内容

有鉴于此，本发明提供一种晶体管和半导体器件及其制作方法，其能够解决或者至少缓解现有技术中存在的至少一部分缺陷。

根据本发明的第一个方面，提供了一种制作晶体管的方法，可以包括下列步骤：

- 5 在半导体衬底上确定有源区，在有源区上形成伪栅叠层、围绕所述伪栅叠层的主侧墙、围绕所述主侧墙的绝缘层，并且形成嵌于所述有源区内的源漏区；

去除所述伪栅叠层中的伪栅极，形成由主侧墙包围的第一凹入部分；

- 10 在所述第一凹入部分和贯穿所述绝缘层的源漏接触孔中同时填充铜而形成栅极和源漏接触。

在本发明的一个实施例中，其中在半导体衬底上确定有源区，在有源区上形成伪栅叠层、围绕所述伪栅叠层的主侧墙步骤之后，在形成围绕所述主侧墙的绝缘层步骤之前还包括下面的步骤：

- 15 在所述源漏区内形成金属硅化物。

在本发明的另一个实施例中，其中在所述第一凹入部分和贯穿所述绝缘层的源漏接触孔中同时填充铜而形成栅极和源漏接触的步骤可以包括下面的步骤：

- 20 在所述第一凹入部分的表面上淀积栅极功函数金属层，形成第二凹入部分。

在本发明的又一个实施例中，还可以包括下面的步骤：

在与所述源漏区对应的位置形成贯穿所述绝缘层的两个第三凹入部分。

在本发明的再一个实施例中，还可以包括下面的步骤：

- 25 在所述第二凹入部分和两个第三凹入部分的表面上淀积金属阻挡层，分别形成第四凹入部分和两个第五凹入部分。

在本发明的另一个实施例中，还可以包括下面的步骤：

在所述第四凹入部分和两个第五凹入部分的表面上淀积铜，使得

所述铜同时填充所述第四凹入部分和两个第五凹入部分。

在本发明的又一个实施例中，还可以包括下面的步骤：

将填充的铜平坦化以露出绝缘层，而形成铜栅极和铜源漏接触。

在本发明的再一个实施例中，其中在有源区上形成伪栅叠层的步

5 骤可以包括下面的步骤：

在有源区上形成栅介质层；

在所述栅介质层上形成伪栅极。

优选地，其中所述半导体衬底是硅衬底，所述金属硅化物是镍的硅化物。

10 优选地，其中去除所述伪栅极的步骤包括完全去除所述伪栅极。

根据本发明的第二个方面，提供了一种制作半导体器件的方法，包括上面所述的制作晶体管的方法步骤。

根据本发明的第三个方面，提供了一种晶体管，可以包括：

15 位于半导体衬底上的有源区，在有源区上的栅叠层、围绕所述栅叠层的主侧墙、围绕所述主侧墙的绝缘层，和嵌于所述有源区内的源漏区，和

所述栅叠层中的栅极和贯穿所述绝缘层的源漏接触都包括铜。

在本发明的一个实施例中，还可以包括在源漏区表面内的金属硅化物。

20 在本发明的另一个实施例中，其中所述栅叠层还可以包括位于有源区上的栅介质层和所述栅介质层上的栅极。

在本发明的又一个实施例中，其中所述栅叠层还可以包括位于所述栅介质层上的栅极功函数金属层。

25 在本发明的再一个实施例中，其中所述栅叠层还可以包括位于所述栅极功函数金属层上的金属阻挡层。

在本发明的另一个实施例中，其中所述栅叠层还可以包括位于所述金属阻挡层上的铜栅极。

在本发明的又一个实施例中，本发明的晶体管还可以包括位于所

述源漏接触和所述金属硅化物之间的金属阻挡层。

在本发明的再一个实施例中，其中所述源漏接触可以包括填充在所述金属阻挡层表面上的铜。

优选地，其中所述半导体衬底是硅衬底，所述金属硅化物是镍的
5 硅化物。

根据本发明的第四个方面，提供了一种半导体器件，包括上面所述的晶体管。

借助于本发明关于晶体管方面的新颖设计，利用低电阻率的铜金属材料以及其优越的电镀工艺，代替金属钨及其它栅极填充金属，同
10 时作为栅极和源漏接触孔的填充金属材料，实现了在“替代栅极”（在本发明说明书的其他地方也称为“伪栅极”）结构中对于栅极、源漏接触孔同时填充金属铜，减小了“替代栅极”工艺中栅极串联电阻和源漏接触孔电阻，同时提高了小尺寸情况下金属填充的效果，还有效地减小了工艺复杂度和难度。

15

附图说明

通过对结合附图示出的实施例进行详细说明，本发明的上述以及其他特征将更加明显，其中：

图 1 示意性地示出了根据本发明一个实施例的制作晶体管方法的
20 流程图。

图 2 至图 8 示意性地示出了根据本发明一个实施例制作晶体管时各中间结构的结构剖示图。

具体实施方式

25 首先需要指出的是，在本发明中提到的关于位置和方向的术语，诸如“上”、“下”等，是从附图的纸面正面观察时所指的方向。因此本发明中的“上”、“下”等关于位置和方向的术语仅仅表示附图所示情况下的相对位置关系，这只是出于说明的目的而给出的，并非意在限制本发

明的范围。

下面，一并参考本发明的图 1-8 详细描述制作本发明晶体管的方法和得到的相应晶体管结构。图 2 至图 8 是以硅衬底作为实例示出，然而除了硅衬底之外，也可以使用锗 (Ge) 衬底、SOI (绝缘体上的硅) 衬底等任何适当的半导体衬底。因此，本发明并不局限于示出的硅衬底的情形。

如图 1 和图 2 所示，在步骤 S101 中，在半导体衬底 1 上确定有源区，在有源区上形成伪栅叠层、围绕所述伪栅叠层的主侧墙 20、围绕所述主侧墙 20 的绝缘层，并且形成嵌于所述有源区内的源漏区 2。

10 在半导体衬底 1 上确定有源区之后，首先形成伪栅叠层。图 2 中示出的伪栅叠层可以包括形成于所述有源区上的栅介质层 7 和形成于栅介质层 7 上的伪栅极 6。在本实施例中，所述栅介质层可以为氧化硅、氮化硅及其组合形成，在其他实施例中，也可以是高 K 介质 (可采用化学气相淀积工艺形成)，例如， HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、
15 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 、 LaAlO 中的一种或其组合，其厚度可以为 2nm-10nm。所述伪栅极 6 可以采用本领域常用的各种材料制成。此外，在所述伪栅叠层中，也可以不包括所述栅介质层 7。

接着，在形成伪栅叠层之后，形成围绕伪栅叠层的主侧墙 20。可以选择氮化硅、氧化硅或者氮氧化硅等材料作为主侧墙 20 的材料。至
20 于形成主侧墙 20 的沉积工艺和参数，本领域技术人员根据已经掌握的知识是不难实现的。

优选的，在半导体衬底 1 上确定有源区，在有源区上形成伪栅叠层、围绕伪栅叠层的主侧墙 20 步骤之后，在形成围绕所述主侧墙 20 的绝缘层步骤之前还包括下面的步骤：在所述源漏区 2 内形成金属硅
25 化物 3。在有源区上形成围绕栅叠层的主侧墙 20 之后，在紧靠主侧墙 20 周围的有源区上，或者优选的，为了沉积的便利，在整个主侧墙 20 和有源区的表面上沉积金属例如镍或者镍的合金例如 NiPt，然后借助于退火工艺使得镍扩散进入有源区而与半导体衬底 1 中的硅反应，形

成镍的硅化物，然后除去未反应的镍或者镍的合金，镍的硅化物可以实现随后形成的源漏接触与相应源漏区的低阻连接。当然，在本发明的可替换实施例中，源漏区 2 也可以在形成伪栅叠层之后在形成主侧墙 20 之前就借助于掺杂、注入等工艺形成源漏区 2。在本发明的另一

5 实施例中，也可以在随后形成的围绕所述主侧墙 20 的绝缘层之后通过掺杂、注入等工艺形成源漏区 2。

然后，在有源区上形成围绕主侧墙 20 的绝缘层。在有源区内已经形成金属硅化物 3 例如镍的硅化物的实施例中，在镍的硅化物上形成围绕主侧墙 20 的绝缘层。在图 2 中示出的绝缘层包括两层绝缘层，即

10 靠近有源区一侧并覆盖在主侧墙 20 上的第一绝缘层 4 和距离有源区相对较远并覆盖在第一绝缘层 4 上的第二绝缘层 5。为了防止氧或者氧离子扩散到金属栅极中与金属栅极反应，第一绝缘层 4 优选为不含氧的材料，例如氮化硅。当然本领域技术人员也可以选择其他适当的不含氧的材料，例如碳化硅。在形成第一绝缘层 4 之后，沉积第二绝缘层 5。

15 优选地，第二绝缘层 5 也是两层绝缘层结构（图 2 中未示出），即，第二绝缘层 5 可以包括靠近第一绝缘层 4 一侧的氧化硅层和该氧化硅层上沉积的氮化硅层。优选的，在第一绝缘层 4 是氮化硅材料制成的情况下，第二绝缘层 5 中靠近第一绝缘层 4 一侧的氧化硅层和该氧化硅层上的氮化硅层有助于提高在第一绝缘层 4 和第二绝缘层 5 内刻蚀

20 形成源漏接触孔的过程中所使用刻蚀剂的选择性。这是由于同一刻蚀剂往往对于氧化硅和氮化硅具有不同的刻蚀速率，从而有助于防止在刻蚀形成源漏接触孔的过程中刻蚀损伤主侧墙 20 甚至于损伤栅极材料。当然，在本发明的另一实施例中，也可以仅仅使用一层绝缘层，或使用第一绝缘层 4 或使用第二绝缘层 5，这种情形在图 2 中未示出。

25 备选地，如在上面提到的，在形成绝缘层之后再通过掺杂、注入等工艺形成源漏区 2 的实施例中，使用第一绝缘层 4 和第二绝缘层 5 作为掩膜通过掺杂或者注入所需要的离子来形成源漏区 2。至于掺杂或注入的离子类型、剂量和时间等工艺参数，本领域技术人员根据已经

掌握的现有知识是不难确定的，在此不再赘述。

接着，如在步骤 S102 所示的，去除所述伪栅叠层中的伪栅极 6，形成由主侧墙 20 包围的第一凹入部分 8，如参考如 3 所示。由于在沉积绝缘层之后常常造成绝缘层的高度比伪栅叠层要高，因此需要借助于化学机械抛光等平坦化工艺去除一部分绝缘层以露出伪栅叠层中的伪栅极 6。在本发明的说明书中，之所以将此时的栅极称为“伪栅极”，将此时的栅叠层称之为“伪栅叠层”，这是由于在随后的工艺步骤中需要将该栅叠层中的栅极去除，因此其作为栅极的存在只是暂时性的，并不是成品晶体管中真正意义上的栅极。图 3 是在图 2 所示基底上去除伪栅极 6 以后的剖面图。伪栅极 6 的去除可以在不损失栅介质层 7 的前提下，利用干法刻蚀选择性地去除伪栅极 6，也可利用湿法腐蚀去除，从而露出栅介质层 7 的上表面 9，形成第一凹入部分 8。优选的是，完全去除所述伪栅极 6。

接下来，进行到步骤 S103，在所述第一凹入部分 8 和贯穿所述绝缘层的源漏接触孔中同时填充铜而形成栅极和源漏接触。可选地，步骤 S103 还可以包括下面的步骤：在所述第一凹入部分 8 的表面上淀积栅极功函数金属层 10，形成第二凹入部分 11。为了制作的便利，优选的，图 4 的剖面图中示出了在栅介质层的上表面、第一凹入部分的侧面、主侧墙 20 的表面、以及包括第一绝缘层 4 和第二绝缘层 5 的绝缘层的表面上同时淀积一层金属层作为栅极功函数金属层 10。此栅极功函数金属层 10 为具有特定功函数的金属，从而使晶体管具有相应的性能。对于不同的器件，栅极功函数金属层 10 可以选择不同的金属，一般采用 TiN，也可采用 TaN、TaSiN、TiAlN 等。栅极功函数金属层 10 的淀积可以采用原子层淀积（ALD）、物理化学气相淀积（PVD）或化学气相淀积（CVD）的方法。优选的是，淀积的栅极功函数金属层 10 在第一凹入部分 8 的底部即栅介质层 7 的上表面 9 上均匀分布。

可选地，步骤 S103 还可以包括下面的步骤：在与所述源漏区 2 对应的位置形成贯穿所述绝缘层的两个第三凹入部分 13。对此可以参考

图 5a 和 5b, 图 5a 示意性示出了在栅极功函数金属层 10 表面覆盖一层光致抗蚀剂膜 12, 通过光刻方法把源漏接触孔图案转移到光致抗蚀剂膜 12 上, 然后通过刻蚀源漏接触孔 (也称为第三凹入部分 13) 相应区域的栅极功函数金属层 10 和第二绝缘层 5、第一绝缘层 4 得到图 5a 所示的贯穿栅极功函数金属层 10、第二绝缘层 5、第一绝缘层 4 的剖面。

源漏接触孔刻蚀后就露出了作为接触用的金属硅化物 3。图 5b 为去除光致抗蚀剂膜 12 后的剖面图。图 5b 中形成了三个凹陷, 即一个第二凹入部分 11 和两个源漏接触孔 (第三凹入部分 13)。本领域技术人员知晓的是, 由于源漏接触孔相对于栅极基本上是对称分布的, 因此源漏接触孔在称谓上可以互换。

可选地, 步骤 S103 还可以包括下面的步骤: 在所述第二凹入部分 11 和两个第三凹入部分 13 的表面上淀积金属阻挡层 14, 分别形成第四凹入部分 16 和两个第五凹入部分 15。优选的, 为了制作的便利, 在图 5b 所示基底的整个表面上, 包括栅极功函数金属层 10、源漏接触孔 13 的整个内表面、主侧墙 20 和包括第一绝缘层 4、第二绝缘层 5 的绝缘层表面、以及第二凹入部分 11 的整个内表面上同时淀积金属阻挡层 14。图 6 就示出了在图 5b 所示基底的整个表面上淀积一层金属阻挡层 14 后的剖面图。但是同时淀积一层金属阻挡层 14 仅仅是一个实例, 本发明并不局限于此。此金属阻挡层 14 可以防止随后填充的金属铜扩散进入器件区域, 造成器件性能下降。同时此金属阻挡层 14 可以提高随后填充的金属与基底材料 (被金属阻挡层 14 覆盖的材料) 之间的粘附性, 防止该随后填充的金属与基底材料脱离, 并且还作为电镀方法填充铜的电流通路和结晶的籽晶层。优选的是, 此金属阻挡层 14 为多层结构, 一般采用 Ta/TaN 的结构, 也可采用 Ta/TaN/Ru 或 TaN/Cu 等结构。此金属阻挡层 14 的淀积可以采用原子层淀积 (ALD)、物理气相淀积 (PVD) 或化学气相淀积 (CVD) 等方法。本领域技术人员知晓的是, 对于不同的金属, 也可以采用不同的方法实现淀积。第二凹入部分 11、源漏接触孔 (第三凹入部分 13) 在淀积金属阻挡层 14 后形

成空间更加狭小的第四凹入部分 16、第五凹入部分 15。

可选地，步骤 S103 还可以包括下面的步骤：在所述第四凹入部分 16 和两个第五凹入部分 15 的表面上淀积铜 17，使得所述铜 17 同时填充所述第四凹入部分 16 和两个第五凹入部分 15。图 7 为淀积填充材料 5 铜后的剖面图。优选地，填充材料 17 填满图 6 中示出的第四凹入部分 16 和两个第五凹入部分 15。

可选地，步骤 S103 还可以包括下面的步骤：将填充的铜 17 平坦化以露出绝缘层，而形成铜栅极 19 和铜源漏接触 18。

图 8 为平坦化之后的剖面图。平坦化可以采用化学机械抛光的方法，将不需要的部分填充材料 17 铜、金属阻挡层 14 和栅极功函数金属层 10 去除，以露出绝缘层 5 的上表面，从而得到栅极和源漏接触孔采用同一金属铜填充的器件。

然后，可以继续进行所需的后续工艺以制作完整的晶体管。这些后续工艺对于本领域技术人员来讲是公知的，因此不再赘述。

15 本发明的第二方面还提供一种制作半导体器件的方法，包括上面所述的制作晶体管的方法步骤。

在详细介绍了本发明晶体管的制作方法后，根据本发明的第三方面，下面简要介绍本发明所提供的晶体管结构，该晶体管可以包括：

20 位于半导体衬底上的有源区，在有源区上的栅叠层、围绕所述栅叠层的主侧墙、围绕所述主侧墙的绝缘层，和嵌于所述有源区内的源漏区，

所述栅叠层中的栅极和贯穿所述绝缘层的源漏接触都包括铜。

备选地，所述晶体管还包括在源漏区 2 表面内的金属硅化物 3。

25 备选地，所述栅叠层还包括位于有源区 2 上的栅介质层 7 和所述栅介质层 7 上的栅极。

备选地，其中所述栅叠层还包括位于所述栅介质层 7 上的栅极功函数金属层 10。

备选地，其中所述栅叠层还包括位于所述栅极功函数金属层 10 上

的金属阻挡层 14。

备选地，其中所述栅叠层还包括位于所述金属阻挡层 14 上的铜栅极 19。

备选地，本发明的晶体管还包括位于所述源漏接触和所述金属硅化物 3 之间的金属阻挡层 10。

备选地，其中所述源漏接触包括填充在所述金属阻挡层 10 表面上的铜。

优选地，其中所述半导体衬底 1 是硅衬底，所述金属硅化物 3 是镍的硅化物。

10 在本发明的第四方面中，本发明还提供一种半导体器件，其包括上面所述的至少一个晶体管。

需要指出的是，本发明说明书的上述公开内容是以例如 MOSFET 晶体管的制作作为实例，本领域技术人员知晓的是，根据本发明的精神和原理，本发明的晶体管及其制作方法不限于 MOSFET 的情形，而是可以适用于双极晶体管、结型场效应晶体管等其他类型晶体管和其他半导体器件。因此，本发明的保护范围同样涵盖了半导体器件及其制作方法，其包括上述的晶体管及其制作方法步骤。

20 虽然已经参考目前考虑到的实施例描述了本发明，但是应该理解本发明不限于所公开的实施例。相反，本发明旨在涵盖所附权利要求的精神和范围内所包括的各种修改和等同变型。以下权利要求的范围符合最广泛解释，以便包含所有这样的修改及等同变型。

权 利 要 求

1. 一种制作晶体管的方法，包括下列步骤：

5 在半导体衬底上确定有源区，在有源区上形成伪栅叠层、围绕所述伪栅叠层的主侧墙、围绕所述主侧墙的绝缘层，并且形成嵌于所述有源区内的源漏区；

去除所述伪栅叠层中的伪栅极，形成由主侧墙包围的第一凹入部分；

10 在所述第一凹入部分和贯穿所述绝缘层的源漏接触孔中同时填充铜而形成栅极和源漏接触。

2. 根据权利要求 1 所述的方法，其中在半导体衬底上确定有源区，在有源区上形成伪栅叠层、围绕所述伪栅叠层的主侧墙步骤之后，在形成围绕所述主侧墙的绝缘层步骤之前还包括下面的步骤：

在所述源漏区内形成金属硅化物。

15 3. 根据权利要求 1 所述的方法，其中在所述第一凹入部分和贯穿所述绝缘层的源漏接触孔中同时填充铜而形成栅极和源漏接触的步骤包括下面的步骤：

在所述第一凹入部分的表面上淀积栅极功函数金属层，形成第二凹入部分。

20 4. 根据权利要求 3 所述的方法，还包括下面的步骤：

在与所述源漏区对应的位置形成贯穿所述绝缘层的两个第三凹入部分。

5. 根据权利要求 4 所述的方法，还包括下面的步骤：

25 在所述第二凹入部分和两个第三凹入部分的表面上淀积金属阻挡层，分别形成第四凹入部分和两个第五凹入部分。

6. 根据权利要求 5 所述的方法，还包括下面的步骤：

在所述第四凹入部分和两个第五凹入部分的表面上淀积铜，使得所述铜同时填充所述第四凹入部分和两个第五凹入部分。

7. 根据权利要求 6 所述的方法，还包括下面的步骤：

将填充的铜平坦化以露出绝缘层，而形成铜栅极和铜源漏接触。

8. 根据权利要求 1 所述的方法，其中在有源区上形成伪栅叠层的步骤包括下面的步骤：

5 在有源区上形成栅介质层；

在所述栅介质层上形成伪栅极。

9. 根据权利要求 2 所述的方法，其中所述半导体衬底是硅衬底，所述金属硅化物是镍的硅化物。

10 10. 根据权利要求 1 所述的方法，其中去除所述伪栅极的步骤包括完全去除所述伪栅极。

11. 一种制作半导体器件的方法，包括权利要求 1-10 中任一项所述的制作晶体管的方法步骤。

12. 一种晶体管，包括：

15 位于半导体衬底上的有源区，在有源区上的栅叠层、围绕所述栅叠层的主侧墙、围绕所述主侧墙的绝缘层，和嵌于所述有源区内的源漏区，其特征不在于，

所述栅叠层中的栅极和贯穿所述绝缘层的源漏接触都包括铜。

13. 根据权利要求 12 所述的晶体管，还包括在源漏区表面内的金属硅化物。

20 14. 根据权利要求 12 所述的晶体管，其中所述栅叠层还包括位于有源区上的栅介质层和所述栅介质层上的栅极。

15. 根据权利要求 14 所述的晶体管，其中所述栅叠层还包括位于所述栅介质层上的栅极功函数金属层。

25 16. 根据权利要求 15 所述的晶体管，其中所述栅叠层还包括位于所述栅极功函数金属层上的金属阻挡层。

17. 根据权利要求 16 所述的晶体管，其中所述栅叠层还包括位于所述金属阻挡层上的铜栅极。

18. 根据权利要求 13 所述的晶体管，还包括位于所述源漏接触和

所述金属硅化物之间的金属阻挡层。

19. 根据权利要求 18 所述的晶体管，其中所述源漏接触包括填充在所述金属阻挡层表面上的铜。

20. 根据权利要求 13 所述的晶体管，其中所述半导体衬底是硅衬
5 底，所述金属硅化物是镍的硅化物。

21. 一种半导体器件，包括权利要求 12-20 中任一项所述的晶体管。

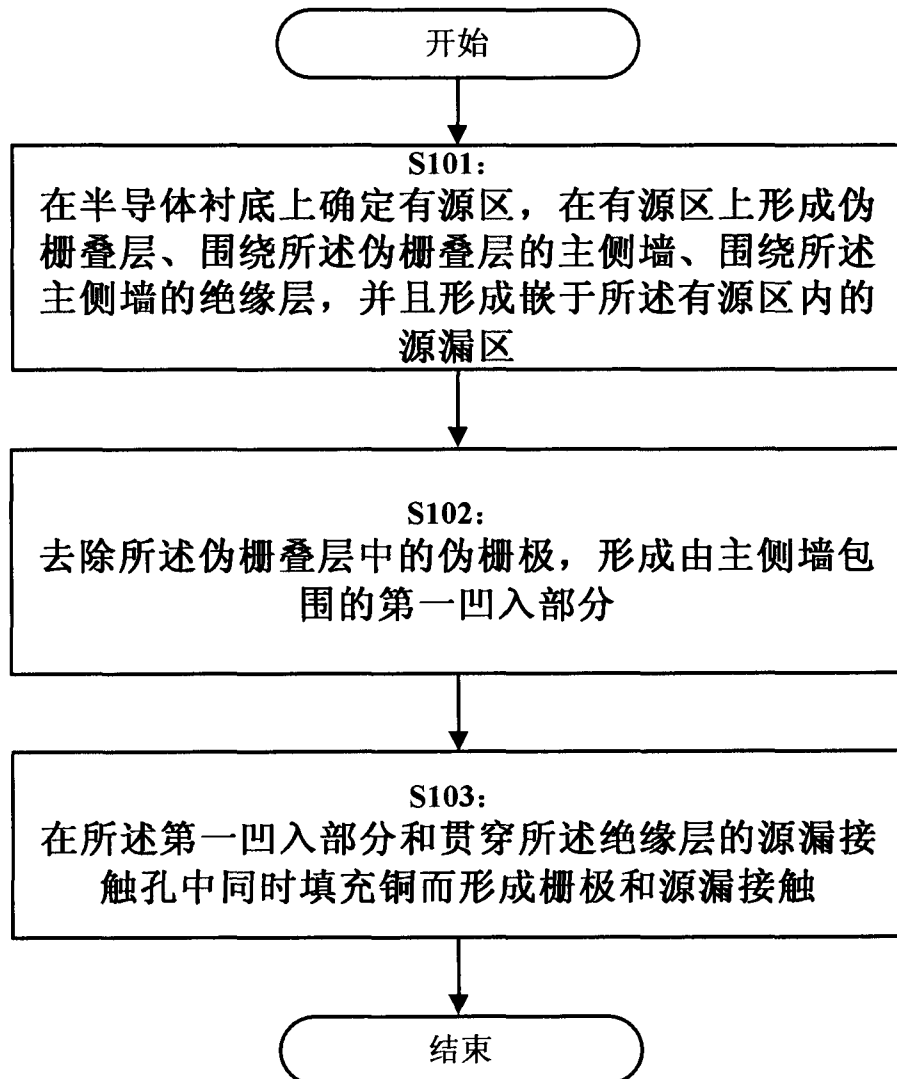


图 1

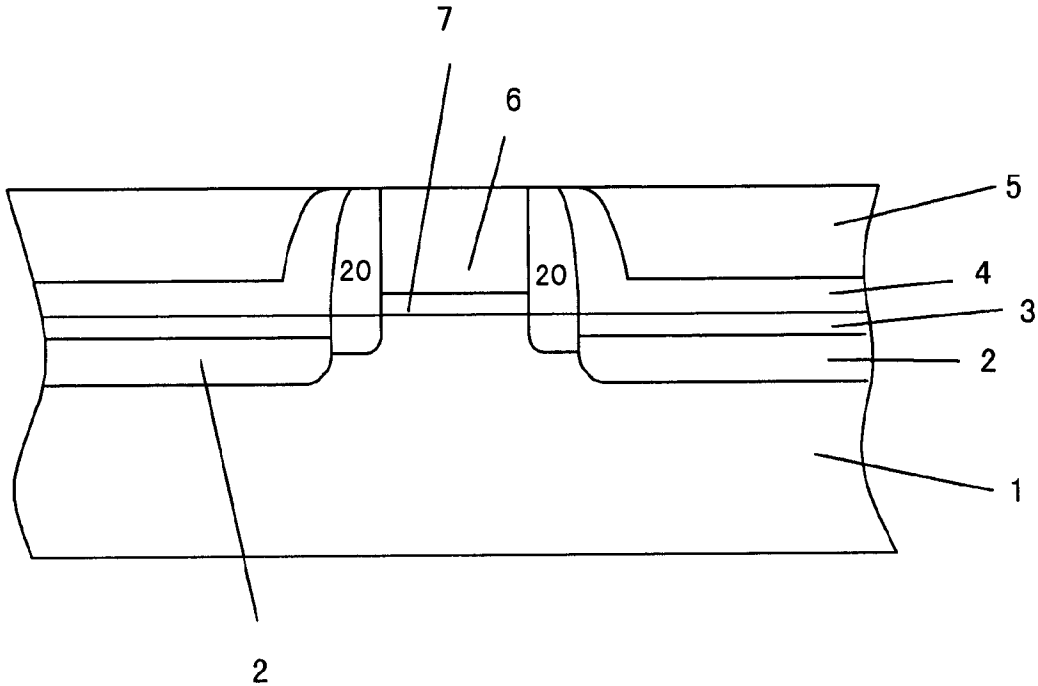


图 2

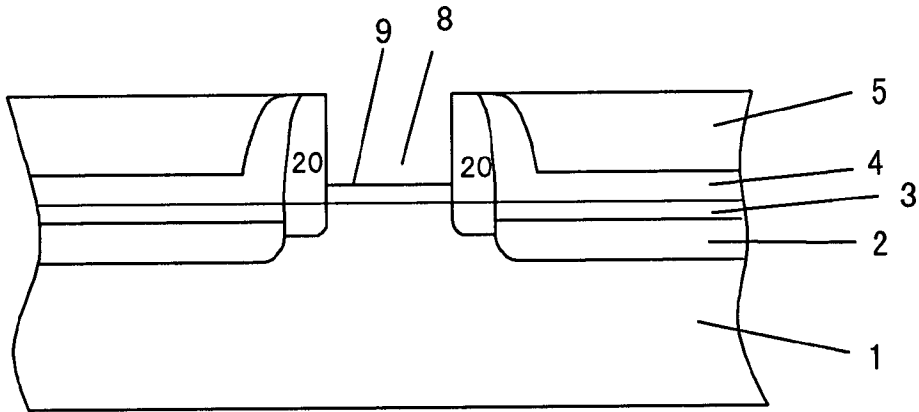


图 3

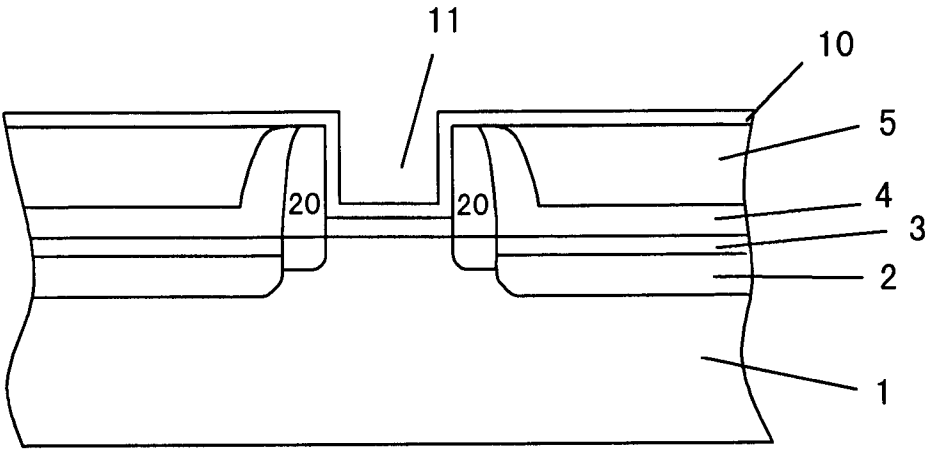


图 4

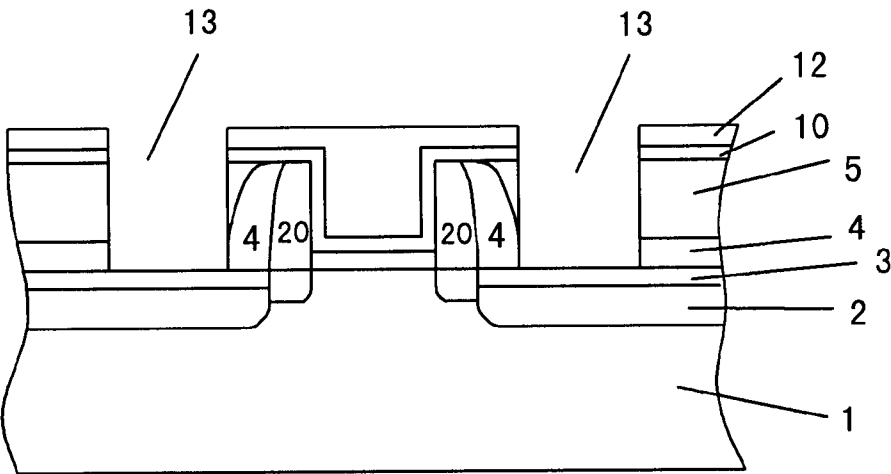


图 5a

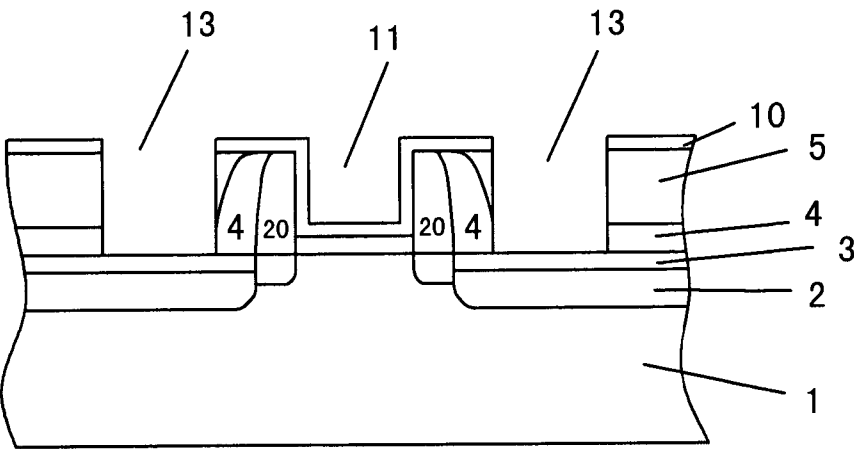


图 5b

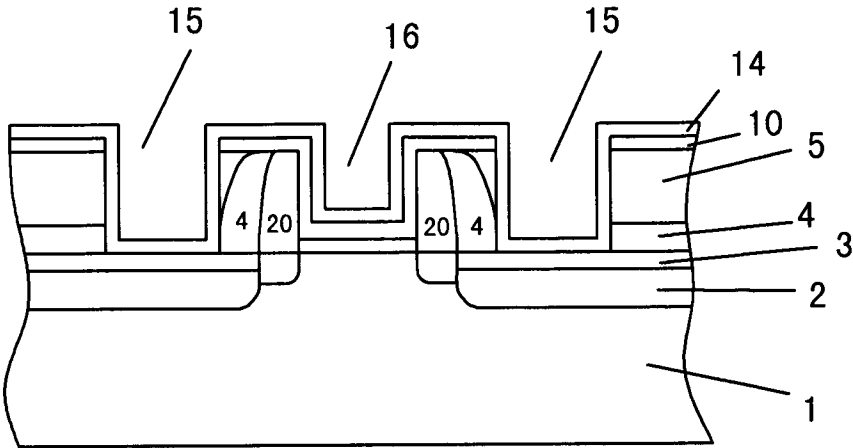


图 6

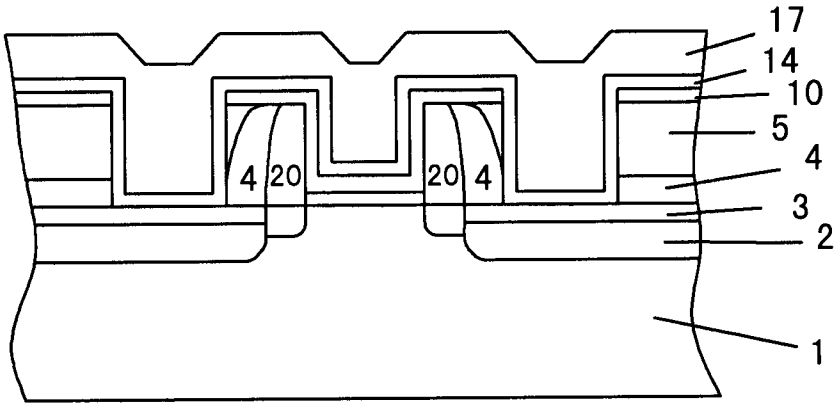


图 7

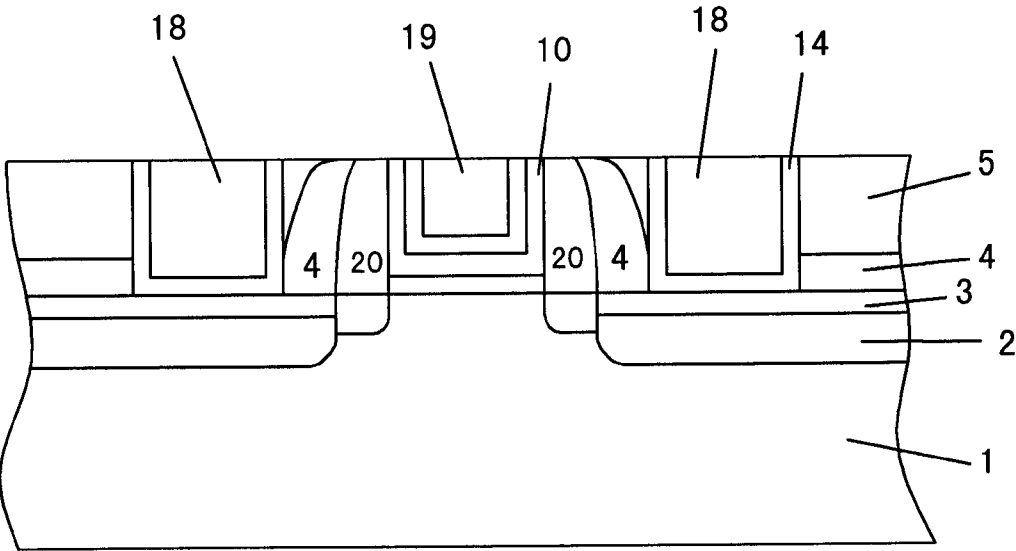


图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2011/001315

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-,H01L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: transistor dummy gate spacer sidewall remove etch work function copper Cu

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN101789368A (TAIWAN SEMICONDUCTOR MFG CO LTD) 28 Jul. 2010 (28.07.2010) the description, paragraphs 17-39, figures 1-15	1-21
A	CN102117750A (INST MICROELECTRONICS CHINESE ACAD SCI) 06 Jul. 2011 (06.07.2011) the whole document	1-21
A	CN1893114A (TOSHIBA KK) 10 Jan. 2007 (10.01.2007) the whole document	1-21
A	JP2007158294A (ELECTRONICS&TELECOM RES INST) 21 Jun. 2007 (21.06.2007) the whole document	1-21

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
28 Mar. 2012 (28.03.2012)

Date of mailing of the international search report
19 Apr. 2012 (19.04.2012)

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10)62019451

Authorized officer
WANG, Lin
Telephone No. (86-10)6241 1816

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/001315

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101789368A	28.07.2010	CN101789368B	01.02.2012
		TW201013792A	01.04.2010
		US2010065926A1	18.03.2010
		US8039381B1	18.10.2011
CN102117750A	06.07.2011	WO2011079596A1	07.07.2011
		US2011227170A1	22.09.2011
CN1893114A	10.01.2007	US2007004049A1	04.01.2007
		JP2007012922A	18.01.2007
		JP4851740B2	11.01.2012
		CN100466288C	04.03.2009
JP2007158294A	21.06.2007	KR100698013B1	23.03.2007
		US2007034951A1	15.02.2007
		US7545000B2	09.06.2009

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/001315

CLASSIFICATION OF SUBJECT MATTER

H01L21/28 (2006.01) i

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) n

国际检索报告

国际申请号

PCT/CN2011/001315

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-, H01L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNKI,WPI,EPODOC: 晶体管 电晶体 伪栅 虚设 假 侧墙 侧壁 间隙壁 去除 移除 蚀刻 功函数 铜
transistor dummy gate spacer sidewall remove etch work function copper Cu

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101789368A (台湾积体电路制造股份有限公司) 28.7 月 2010 (28.07.2010) 说明书第 17-39 段, 附图 1-15	1-21
A	CN102117750A (中国科学院微电子研究所) 06.7 月 2011 (06.07.2011) 全文	1-21
A	CN1893114A (株式会社东芝) 10.1 月 2007 (10.01.2007) 全文	1-21
A	JP2007158294A (韩国电子通信研究院) 21.6 月 2007 (21.06.2007) 全文	1-21



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

28.3 月 2012 (28.03.2012)

国际检索报告邮寄日期

19.4 月 2012 (19.04.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

王琳

电话号码: (86-10) **6241 1816**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/001315

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101789368A	28.07.2010	CN101789368B	01.02.2012
		TW201013792A	01.04.2010
		US2010065926A1	18.03.2010
		US8039381B2	18.10.2011
CN102117750A	06.07.2011	WO2011079596A1	07.07.2011
		US2011227170A1	22.09.2011
CN1893114A	10.01.2007	US2007004049A1	04.01.2007
		JP2007012922A	18.01.2007
		JP4851740B2	11.01.2012
		CN100466288C	04.03.2009
JP2007158294A	21.06.2007	KR100698013B1	23.03.2007
		US2007034951A1	15.02.2007
		US7545000B2	09.06.2009

主题的分类

H01L 21/28 (2006.01) i

H01L 29/78 (2006.01) i

H01L 21/336 (2006.01) n