



## (12)发明专利

(10)授权公告号 CN 103390432 B

(45)授权公告日 2017.04.12

(21)申请号 201310166721.5

(51)Int.Cl.

(22)申请日 2013.05.08

G11C 29/54(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 103390432 A

(43)申请公布日 2013.11.13

(30)优先权数据

13/466,922 2012.05.08 US

(73)专利权人 三星电子株式会社

地址 韩国京畿道

(72)发明人 A.E.昂格

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 钱大勇

(56)对比文件

CN 102290166 A, 2011.12.21,

CN 101901631 A, 2010.12.01,

CN 102354537 A, 2012.02.15,

审查员 赵鹏翔

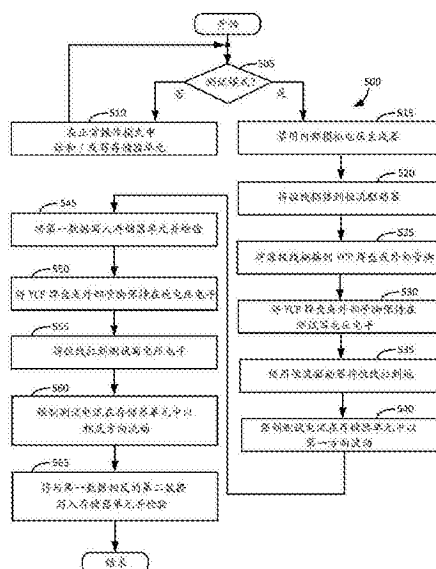
权利要求书5页 说明书14页 附图11页

## (54)发明名称

用于测试电阻型存储器的结构、系统和方法

## (57)摘要

示例实施例包括一种用于大批量并行应力测试电阻型存储器的方法。所述方法可以包括例如：禁用一个或多个内部模拟电压生成器；配置存储器电路使用公共平面电压(VCP)焊盘或外部管脚；将存储器设备的位线连接到恒流驱动器，该恒流驱动器与VCP焊盘或外部管脚协力地工作以执行大批量并行读或写操作。本发明构思包括存储器阵列的快速测试设置和初始化。数据可被进行保持力测试或者另外使用类似的大批量并行测试技术来检验。实施例也包括存储器测试系统，该存储器测试系统包括具有DFT电路的存储器设备，该DFT电路被配置成执行大批量并行应力测试、保持力测试、功能性测试以及测试设置和初始化。



1. 一种用于大批量并行测试电阻型存储器的方法,所述方法包括:

将多个电阻型存储器单元的位线耦接到电流驱动器,并且将存储器单元的源极线耦接到公共平面电压VCP焊盘或外部管脚;

当电流驱动器将位线拉到地电压电平时,保持VCP焊盘或外部管脚为测试写电压电平达一与测试写脉冲宽度关联的时间段;

并行驱动第一写测试电流以第一方向流经存储器单元,以便将第一数据写入存储器单元;

当电流驱动器将位线拉到测试写电压电平时,保持VCP焊盘或外部管脚为地电压电平达测试写脉冲宽度或时间;和

并行驱动第二写测试电流以第二方向流经存储器单元,以便将第二数据写入存储器单元,所述第二方向与第一方向相反,所述第二数据与第一数据相反。

2. 如权利要求1所述的用于大批量并行测试电阻型存储器的方法,其中,所述多个存储器单元是包括至少1024个存储器单元的存储器设备或者存储器块的全部存储器单元。

3. 如权利要求1所述的用于大批量并行测试电阻型存储器的方法,还包括:

禁用一个或多个内部模拟电压生成器。

4. 如权利要求1所述的用于大批量并行测试电阻型存储器的方法,其中:

第一和第二写测试电流是正常写电流的X%,其中X小于100;

第一和第二写脉冲宽度或时间短于正常写脉冲宽度或时间;和

所述方法还包括将测试环境温度降低在正常操作温度范围以下。

5. 如权利要求1所述的用于大批量并行测试电阻型存储器的方法,还包括:

在将第一数据并行写入存储器单元之后,从每个存储器单元读取第一数据;

检验第一数据的准确度;

在将第二数据并行写入存储器单元之后,从每个存储器单元读取第二数据;和

检验第二数据的准确度。

6. 如权利要求1所述的用于大批量并行测试电阻型存储器的方法,还包括:

将存储器单元初始化为第一数据或者第二数据。

7. 如权利要求6所述的用于大批量并行测试电阻型存储器的方法,其中,初始化存储器单元包括:

并行驱动初始化电流流经存储器单元。

8. 如权利要求7所述的用于大批量并行测试电阻型存储器的方法,还包括:通过并行驱动读干扰测试电流流经存储器单元,筛选存储器单元中的读错误。

9. 如权利要求8所述的用于大批量并行测试电阻型存储器的方法,其中,筛选读错误还包括:

并行驱动读干扰测试电流以第一或第二方向流经存储器单元;

在并行驱动读干扰测试电流流经存储器单元之后,使用正常读电流从每个存储器单元读取第一或第二数据;和

在读压缩模式中检验第一或第二数据的准确度。

10. 如权利要求9所述的用于大批量并行测试电阻型存储器的方法,其中:

读干扰电流是正常读电流的X%,其中X大于100;和

所述方法还包括将测试环境温度增加在正常操作温度范围以上。

11. 如权利要求9所述的用于大批量并行测试电阻型存储器的方法, 其中, 驱动读干扰测试电流还包括:

当电流驱动器将位线拉到地电压电平时, 保持VCP焊盘或外部管脚为测试读电压电平达一与测试读脉冲宽度关联的时间段, 其中所述测试读脉冲宽度或时间长于正常读脉冲宽度或时间。

12. 如权利要求9所述的用于大批量并行测试电阻型存储器的方法, 其中, 驱动读干扰测试电流还包括:

当电流驱动器将位线拉到测试读电压电平时, 保持VCP焊盘或外部管脚为地电压电平达一测试读脉冲宽度或时间, 其中所述测试读脉冲宽度或时间长于正常读脉冲宽度或时间。

13. 如权利要求1所述的用于大批量并行测试电阻型存储器的方法, 还包括: 声明快速错误应力测试信号以便将多个存储器单元的每条位线耦接到电流驱动器。

14. 如权利要求1所述的用于大批量并行测试电阻型存储器的方法, 其中, 所述电阻型存储器单元包括以下中的至少一个: 自旋转移力矩(STT)磁阻随机存取存储器(MRAM)单元、MRAM单元、相变RAM单元、忆阻器RAM单元、ReRAM单元或CBRAM单元。

15. 一种存储器设备, 包括:

多个电阻型存储器单元;

内部模拟电压生成器;

公共平面电压VCP焊盘或外部管脚;

开关, 被配置成响应于第一测试控制信号来选择将要耦接到存储器单元的源极线的内部模拟电压生成器或VCP焊盘或外部管脚;

电流驱动器; 和

与多条位线中的每一条关联的晶体管, 每个晶体管被配置成响应于第二测试控制信号将相应的位线耦接到电流驱动器。

16. 如权利要求15所述的存储器设备, 其中, 所述第一和第二测试控制信号被配置成提供快速错误应力测试模式。

17. 如权利要求15所述的存储器设备, 其中:

当电流驱动器被配置成将位线拉到地电压电平时, VCP焊盘或外部管脚被配置成保持在测试写电压电平达与第一写脉冲宽度相关的时间段;

VCP焊盘或外部管脚和电流驱动器被配置成驱动第一写测试电流以第一方向流经存储器单元; 和

VCP焊盘或外部管脚和电流驱动器被配置成将第一数据并行写入存储器单元。

18. 如权利要求17所述的存储器设备, 其中:

当电流驱动器被配置成将位线拉到测试写电压电平时, VCP焊盘或外部管脚被配置成保持在地电压电平达第二写脉冲宽度或时间;

VCP焊盘或外部管脚和电流驱动器被配置成驱动第二写测试电流以第二方向流经存储器单元, 该第二方向与第一方向相反; 和

VCP焊盘或外部管脚和电流驱动器被配置成将第二数据并行写入存储器单元, 该第二

数据与第一数据相反。

19. 如权利要求18所述的存储器设备, 其中:

第一和第二写测试电流是正常写电流的X%, 其中X小于100; 和

第一和第二写脉冲宽度或时间短于正常写脉冲宽度或时间。

20. 如权利要求15所述的存储器设备, 其中:

VCP焊盘或外部管脚和电流驱动器被配置成通过并行驱动初始化电流流经存储器单元将第一数据或第二数据并行初始化到存储器单元。

21. 如权利要求20所述的存储器设备, 其中:

VCP焊盘或外部管脚和电流驱动器被配置成通过并行驱动读干扰测试电流流经存储器单元来筛选存储器单元中的读错误。

22. 如权利要求21所述的存储器设备, 其中:

VCP焊盘或外部管脚和电流驱动器被进一步配置成将读干扰测试电流并行驱动为以第一或第二方向流经存储器单元; 和

所述存储器设备进一步包括被配置成以下的电路:

使用正常读电流从每个存储器单元读取第一或第二数据; 和

在读压缩模式中检验第一或第二数据的准确度。

23. 如权利要求22所述的存储器设备, 其中:

所述读干扰电流是正常读电流的X%, 其中X大于100。

24. 如权利要求22所述的存储器设备, 其中, VCP焊盘或外部管脚和电流驱动器被进一步配置成:

当电流驱动器将位线拉到地电压电平时, 将VCP焊盘或外部管脚保持为测试读电压电平达与测试读脉冲宽度相关联的时间段, 其中测试读脉冲宽度或时间长于正常读脉冲宽度或时间。

25. 如权利要求22所述的存储器设备, 其中, VCP焊盘或外部管脚和电流驱动器被进一步配置成:

当电流驱动器将位线拉到测试读电压电平时, 保持VCP焊盘或外部管脚为地电压电平达一测试读脉冲宽度或时间, 其中所述测试读脉冲宽度或时间长于正常读脉冲宽度或时间。

26. 如权利要求15所述的存储器设备, 其中, 所述多个存储器单元基本上包括存储器设备的全部存储器单元。

27. 如权利要求15所述的存储器设备, 其中, 所述多个存储器单元包括具有至少1024个存储器单元的存储器块的全部存储器单元。

28. 如权利要求15所述的存储器设备, 其中, 所述电阻型存储器单元包括以下中的至少一个: 自旋转移力矩(STT)磁阻随机存取存储器(MRAM)单元、MRAM单元、相变RAM单元、忆阻器RAM单元、ReRAM单元或CBRAM单元。

29. 如权利要求15所述的存储器设备, 其中, 所述电流驱动器是恒流驱动器。

30. 如权利要求15所述的存储器设备, 其中, 所述电流驱动器是第一电流驱动器, 所述设备进一步包括:

第二电流驱动器,

其中第一电流驱动器耦接到偶数位线,第二电流驱动器耦接到奇数位线;和

其中第一和第二电流驱动器被配置成使得电流同时以第一方向流经与偶数位线相关联的存储器单元和以第二方向流经与奇数位线相关联的存储器单元,第二方向与第一方向相反。

31.如权利要求15所述的存储器设备,其中:

VCP焊盘或外部管脚包括第一VCP焊盘或外部管脚;和

电流驱动器耦接到第二VCP焊盘或外部管脚。

32.一种存储器设备,包括:

电阻型存储器单元阵列;和

可测试性设计电路,包括:

电流驱动器,被配置成利用第一测试写电流电平以第一方向和利用第二测试写电流电平以第二方向驱动存储器单元阵列的位线;和

写脉冲宽度控制电路,被配置成将多个测试控制信号提供给电流驱动器。

33.如权利要求32所述的存储器设备,其中,所述写脉冲宽度控制电路进一步包括:

第一输入缓冲器,被配置成接收时钟信号;

第二输入缓冲器,被配置成从多用途输入/输出DQx管脚接收信号;

地址缓冲器,被配置成接收A<0:i>地址信号;和

测试写控制电路,其耦接到第一输入缓冲器、第二输入缓冲器和地址缓冲器,且被配置成至少基于时钟信号、来自多用途DQx管脚的信号和A<0:i>地址信号而生成多个测试控制信号。

34.如权利要求33所述的存储器设备,其中:

所述测试写控制电路进一步包括n位计数器;

所述写脉冲宽度控制电路进一步包括与地址缓冲器和测试写控制电路耦接的寄存器;

所述寄存器被配置成基于A<0:i>地址信号生成DLY<0:n>信号;

n位计数器的输出是基于DLY<0:n>信号而生成的;和

n位计数器的输出和时钟信号的周期用于确定每个测试控制信号的有效时间。

35.如权利要求33所述的存储器设备,进一步包括:

第一逻辑门,其耦接到第一输入缓冲器和测试写控制电路,并且被配置成接收时钟信号和输入测试信号作为输入,以及当输入测试信号被声明时再现时钟信号;和

第二逻辑门,其耦接到第二输入缓冲器和测试写控制电路,并且被配置成接收来自多用途DQx管脚的信号和输入测试信号作为输入,以及当输入测试信号被声明时再现来自多用途DQx管脚的信号。

36.如权利要求35所述的存储器设备,其中:

所述测试写控制电路被配置成接收时钟信号、来自多用途DQx管脚的信号和输入测试信号,并且至少基于时钟信号、来自多用途DQx管脚的信号和输入测试信号而生成多个测试控制信号;和

所述电流驱动器被配置成从测试写控制电路接收多个测试控制信号。

37.如权利要求36所述的存储器设备,其中:

测试写电流的极性至少基于来自多用途DQx管脚的信号;和

写脉冲宽度或时间至少基于时钟信号的高时段。

38. 如权利要求36所述的存储器设备,其中,当输入测试信号未被声明时,所述电流驱动器被配置成通过多个测试控制信号呈现三态。

39. 如权利要求32所述的存储器设备,其中,所述电阻型存储器单元包括以下中的至少一个:自旋转移力矩(STT)磁阻随机存取存储器(MRAM)单元、MRAM单元、相变RAM单元、忆阻器RAM单元、ReRAM单元或CBRAM单元。

## 用于测试电阻型存储器的结构、系统和方法

### 技术领域

[0001] 本发明构思涉及测试电阻型存储器电路,且更具体地涉及应力(stress)测试、保持力(retention)测试、功能性测试和快速测试初始化,且用于提高存储器电路的可靠性。

### 背景技术

[0002] 电阻型存储器包含新一代的非易失性存储器,且对于最终替代诸如闪存、可擦除可编程只读存储器(EPROM)等的传统非易失性存储器这一点,人们期望它变成主导事件。人们期望电阻型存储器也能够最终替代诸如动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)之类的传统易失性存储器和其他类似的易失性存储器技术。

[0003] 在传统易失性存储器技术遭受无法永久地存储数据的问题的同时,传统非易失性存储器技术可能遭受性能和长期可靠性问题。另一方面,电阻型存储器拥有闪存和DRAM的许多最可取特征,而没有许多缺点。电阻型存储器可以包括例如自旋转移力矩(STT)磁阻随机存取存储器(MRAM)、(非STT种类的)MRAM、相变RAM、忆阻器RAM、ReRAM、CBRAM等。通过将非易失性存储器的永久存储优点与DRAM或其它易失性类型存储器的高性能和可靠性特性相结合,电阻型存储器在市场中占据重要角色。

[0004] 在进入该领域之前,必须测试存储器电路。否则,存储器单元初期的失败率将会是令人无法接受的高。这样的失败对于计算机设备、嵌入式设备、软件算法等可能是破坏性的。随着存储器电路的尺寸和密度增加,有效、彻底和高效的测试的重要性成比例地增加。

[0005] 最简洁形式的电阻型存储器单元包括可变电阻器和晶体管。使用标准惯例,低电阻状态被定义为逻辑“0”,或者低逻辑状态,且高电阻状态被定义为逻辑“1”,或者高逻辑状态。将会理解,例如,可以使用其他惯例,其中低电阻状态被定义为逻辑“1”,高电阻状态被定义为逻辑“0”。

[0006] 电阻型存储器单元被设计成具有临界切换电压或电流。例如,当足够的电流通过单元以便满足切换电流电平时,单元将典型地从一个逻辑值切换到另一个逻辑值。将单元从高逻辑状态切换到逻辑低状态,或者将单元从低逻辑状态切换到高逻辑状态是可能的。换句话说,切换电压或电流将存储器单元从“1”切换到“0”或者反之亦然,是存在一定的概率的。在一些情况下,当尝试读或写存储器单元时可能发生错误。例如,当读存储器单元时,有时当不期望切换时单元会偶然地切换。当存储器单元数据在读操作期间非故意地改变时,存储器单元的读干扰会发生。当存储器单元的读错误率不寻常地高时,读干扰往往发生。当写存储器单元时,有时单元期望切换时而不进行切换。当存储器单元的写错误率不寻常地高时,写错误发生。

[0007] 一些存储器单元可以展现比其它设备更高的错误率。如果存储器设备的累积错误率太高,则存储器设备不能进行生产。传统的测试方法可能对于DRAM、闪存和其它传统存储器有效,但是一般无法转移到电阻型存储器,它们也无法有助于诸如STT-MRAM的电阻性存储器的独特物理特性。而且,随着电阻型存储器当尺寸和密度继续增加,有效测试电阻型存储器的难度及其花费的时间也增加。令人期望的是应用大批量并行筛选来降低测试时间和

成本。还令人期望的是提供用于保持力测试、功能性测试、快速初始化以及用于提高存储器电路的可靠性的技术。

## 发明内容

[0008] 根据本发明构思的一个实施例,一种方法包括:将多个电阻型存储器单元的位线耦接到恒流驱动器,并且将存储器单元的源极线耦接到公共平面电压(VCP)焊盘(pad)或外部管脚;当恒流驱动器将位线拉到地电压电平时,保持VCP焊盘或外部管脚为测试写电压电平达一与测试写脉冲宽度关联的时间段;并行驱动第一写测试电流以第一方向流经存储器单元,以便将第一数据写入存储器单元;当恒流驱动器将位线拉到测试写电压电平时,保持VCP焊盘或外部管脚为地电压电平达测试写脉冲宽度或时间;和并行驱动第二写测试电流以第二方向流经存储器单元,以便将第二数据写入存储器单元,所述第二方向与第一方向相反,所述第二数据与第一数据相反。

[0009] 根据另一个示例实施例,提供了一种存储器设备,包括:多个电阻型存储器单元;内部模拟电压生成器;公共平面电压(VCP)焊盘或外部管脚;开关,被配置成响应于第一测试控制信号来选择将要耦接到存储器单元的源极线的内部模拟电压生成器或VCP焊盘或外部管脚;恒流驱动器;和与多条位线中的每一条关联的晶体管,每个晶体管被配置成响应于第二测试控制信号将位线的每一条耦接到恒流驱动器。

[0010] 根据又一个示例实施例,提供了一种包括电阻型存储器单元阵列和可测试性设计(design for test DFT)电路的存储器设备。所述DFT电路可以包括:恒流驱动器,被配置成利用第一测试写电流电平以第一方向和利用第二测试写电流电平以第二方向驱动存储器单元阵列的位线;和写脉冲宽度控制电路,被配置成将多个测试控制信号提供给恒流驱动器。

[0011] 从参考附图继续的示例实施例的下列详细描述,本发明的前面和其它特征和优点将变得更加容易明显。

## 附图说明

[0012] 图1是根据本发明构思的实施例的存储器测试系统的示例方框图,该存储器测试系统包括具有可测试性设计(DFT)电路的存储器设备,所述可测试性设计电路用于测试存储器阵列的存储器单元。

[0013] 图2A和图2B是图1的存储器设备的存储器阵列中包括的示例STT-MRAM存储器单元的示意图。

[0014] 图3A和图3B是根据本发明构思的一些实施例的包括快速错误应力测试电路的图1的存储器设备的DFT电路的示例方框图。

[0015] 图4是根据本发明构思的一个实施例的存储器块和子块的示例方框图。

[0016] 图5是根据本发明构思的另一实施例的包括快速错误应力测试电路的图1的存储器设备的DFT电路的示例方框图。

[0017] 图6是根据本发明构思的一些实施例的可以包括在图1的DFT电路中的写脉冲宽度控制电路的示例方框图。

[0018] 图7A和7B是根据本发明构思的一些实施例的用于存储器单元的大批量(massive)

并行测试的技术的流程图。

[0019] 图8是根据本发明构思的实施例的包括存储器设备和自动化测试装置(ATE)的存储器测试系统的示例方框图,所述自动化测试装置具有用于测试存储器阵列的存储器单元的可测试性设计(DFT)电路。

[0020] 图9是根据本发明构思的实施例的包括具有DFT电路的电阻型存储器设备的计算系统的方框图。

## 具体实施方式

[0021] 现在将对本发明的实施例进行详细参考,本发明的示例图示于附图中。在下列详细描述中,阐述许多特定细节以便能够透彻理解本发明。然而,将会理解,本领域普通技术人员没有这些特定细节也可以实践本发明。在其它实例中,没有详细描述已知方法、过程、组件、电路和网络,以便避免不必要地模糊实施例的各方面。

[0022] 将会理解,尽管此处可以使用第一、第二等来描述不同元件,但是这些元件不应受这些术语限制。这些术语仅用于进行彼此区分。例如,第一电路可称为第二电路,以及类似地,第二电路可称为第一电路,而不背离本发明的范畴。

[0023] 此处本发明的说明书中使用的术语仅用于描述特定实施例的目的,而不是要限制本发明。如本发明的说明书和所附权利要求书中使用的,单数形式“一”、“一个”和“所述”也要包含复数形式,除非上下文明确作出另外的指示。还应该进一步理解:此处所使用的术语“和/或”是指涵盖一个或多个相关联列出的项目的任何和全部可能组合。将进一步理解:当在本说明书中使用时,术语“包含”和/或“包括”指明存在所声明的特征、整数、步骤、操作、元件、和/或组件,但是不排除存在或附加一或多个其他特征、整数、步骤、操作、元件、组件,和/或其他的组。附图的组件和特征不必按比例绘制。

[0024] 图1是包括存储器设备105和自动化测试装置120的存储器测试系统100的示例方框图。参考图1,存储器设备105包括存储器单元阵列110、数据I/O电路170、地址译码器180和控制逻辑190。根据本发明构思的实施例,控制逻辑190可以包括用于测试存储器单元阵列110的存储器单元的可测试性设计(DFT)电路115。

[0025] 参考图1,存储器单元阵列110可以具有多个存储器单元MC30,每个存储器单元MC30存储一个或多个数据位。存储器单元MC可以连接到多条字线WL、多条源极线SL和多条位线BL。

[0026] 地址译码器180可以经由字线WL和源极线SL连接到存储器单元阵列110。地址译码器180可以响应于控制逻辑190的控制而操作。地址译码器180可以解码输入地址以便选择字线WL和源极线SL。地址译码器180可以从控制逻辑190接收电源(例如电压或电流)以便将其提供给被选或未被选的字线。

[0027] 数据输入/输出电路170可以经由位线BL连接到存储器单元阵列110。数据输入/输出电路170可以响应于控制逻辑190的控制而操作。数据输入/输出电路170可以响应于来自地址译码器180的位线选择信号(未示出)来选择位线。数据输入/输出电路170可以从控制逻辑190接收电源(例如电压或电流)以便将其提供给被选的位线。

[0028] 控制逻辑190可被配置成控制存储器设备105的整体操作。控制逻辑190可被提供有外部电源和/或控制信号。控制逻辑190可以使用外部电源而生成内部操作所需的电源。

控制逻辑190可以响应于控制信号而控制读、写和/或擦除操作。根据本发明构思的实施例，控制逻辑190可以包括用于测试存储器单元阵列110的存储器单元的可测试性设计(DFT)电路115。

[0029] 图2A和2B是图1的存储器设备105的存储器单元阵列110中包括的示例STT-MRAM存储器单元30的示意图。图3A和3B是根据本发明构思的一些实施例的包括快速错误应力测试电路的图1的存储器设备105的DFT电路115的示例方框图。现在参考图1-3B。

[0030] 此处描述的本发明构思的实施例可被用来筛选出具有高错误率和较差保持力的存储器位。如图1中所示，存储器设备105可以包括例如存储器单元阵列110和DFT电路115。DFT电路115可被设计成存储器核心。可选地，自动化测试装置(ATE)120可以耦接到存储器设备105以便辅助测试存储器设备105。如上所述，在一些实施例中，DFT电路115被内置在存储器设备105中。在替换的实施例中，DFT电路115或DFT电路的部分位于ATE120或其它主机侧系统中。写测试电流可以通过多个存储器单元被同时驱动，然后被检验，之后写测试电流可以通过多个存储器单元以相反方向被同时驱动，然后被检验。对多个存储器单元并行地大量写的能力提供了简单有效的测试初始化。换句话说，如下面进一步详细所述，根据存储器密度，相同数据可以大规模地并行地写入一个或多个被选块，或者可替换地，被写入到所有存储器块(例如整个存储器设备的多个存储器单元)。而且，读干扰测试电流可以通过多个存储器单元以任意方向被同时地驱动，然后被检验。另外，也可以筛出单元对单元的影响和保持力错误。

[0031] 在一些实施例中，存储器单元阵列110包括多个自旋转移力矩(STT)磁阻随机存取存储器(MRAM)存储器单元。然而，将会理解，此处描述的本发明构思适用于其他类型的电阻式存储器，例如(非STT类型的)MRAM、相变RAM、忆阻器RAM、ReRAM、CBRAM等。

[0032] 图2A示出了一起组成STT-MRAM单元30的磁隧道结(MTJ)10和相关的选择晶体管20，该磁隧道结10形成STT-MRAM型存储器单元中的可变电阻器。MTJ10包括参考或插针层(pinned layer)12、自由层16以及被布置在参考层12和自由层16之间的隧道层14。由于NMOS晶体管相对于PMOS晶体管固有的较高电流驱动、降低阈值电压和较小的面积，因此晶体管20通常是NMOS晶体管。在MRAM30中用于写“1”的电流可以不同于用于写“0”的电流。在这两种写条件期间电流流动的方向的不对称性是由于晶体管20的栅极到源极电压的不对称性引起的。

[0033] 在下面的描述中，当与MRAM单元相关的MTJ的自由层和参考层处于并行(P)状态时，即，MTJ呈现低阻抗，MRAM单元被定义为处于逻辑“0”状态。相反，当与MRAM单元相关的MTJ的自由层和参考层处于反并行(AP)状态时，即，MTJ呈现高阻抗，MRAM单元被定义为处于逻辑“1”状态。将会理解，在其他实施例中，当MRAM单元处于AP状态时可被定义为处于逻辑“0”状态，并且当MRAM单元处于P状态时可被定义为处于逻辑“1”状态。而且，下面，假设MTJ10的参考层面对其相关的选择晶体管，如图2A中所示。

[0034] 因此，根据上面的讨论，沿着箭头35的方向(即向上方向)流动的电流或者(i)使得开关从P状态到AP状态从而写“1”，或者(ii)稳定相关MTJ的先前建立的AP状态。同样地，沿着箭头40的方向(即向下方向)流动的电流或者(i)使得开关从AP状态到P状态从而写“0”，或者(ii)稳定相关MTJ的先前建立的P状态。然而，要理解，在其他实施例中这种定向可以相反，从而MTJ的自由层面对其相关的选择晶体管。在这样的实施例(未示出)中，沿着箭头35

的方向流动的电流或者(i)使得开关从AP状态到P状态,或者(ii)稳定相关MTJ的先前形成的P状态。类似地,在这样的实施例,沿着箭头40的方向流动的电流或者(i)使得开关从P状态到AP状态从而写“1”,或者(ii)稳定先前建立的AP状态。

[0035] 图2B是图2A的MRAM30的示意展示,其中MTJ10被示出为存储元件,其电阻根据其中存储的数据而变化。当电流沿着箭头35流动时,MTJ10将它的状态(i)从P变为AP,和/或当电流沿着箭头40流动时,MTJ10将它的状态(ii)从AP变为P。

[0036] 将MTJ10从AP状态切换到P状态(或者反之)所需的电压必须超过临界切换电压 $V_{c0}$ 。对应于该电压的电流称作临界或切换电流 $I_{c0}$ 。尽管指定的临界值 $V_{c0}$ 和相关的临界切换电流 $I_{c0}$ 可以以各种方式来定义,可以基于特定时间内的存储器单元的50%切换概率选择这样的值。换句话说,可以基于MTJ10的设计和/或基于特殊临界值 $V_{c0}$ 和/或切换电流 $I_{c0}$ 处的切换的概率的测量选择或者另外确定临界切换电流 $I_{c0}$ 。当满足阈值临界切换电流 $I_{c0}$ 时,可能存在所存储的存储器位切换值(例如从“0”到“1”或者从“1”到“0”)的50%机会。应用过驱动电流以便保证以可接受用于满足标准可靠性期望的错误率发生切换。该过驱动电流或者切换电流 $I_{sw}$ 可以是 $I_{c0}$ 值的1.3倍、1.5倍、2倍或者大于2倍。例如,如果MTJ设备的 $I_{c0}$ 在20纳秒(ns)写脉冲宽度是7微安( $\mu A$ ),则用于可靠地切换MTJ的状态的 $I_{sw}$ 可以是11 $\mu A$ 或者更大。

[0037] 在一些情况下,“安全”写电流(例如,其中写错误率少于大约 $10e-9$ )可以是临界切换电流 $I_{c0}$ 的1.5到2倍达一确定的时间段,例如10纳秒。为了从存储器单元读回位值,可以施加相对“安全”的读电流(例如,其中写错误率少于大约 $10e-9$ )。例如,“安全”写电流可以是临界切换电流 $I_{c0}$ 的0.2倍(即20%)。又例如,如果临界切换电流 $I_{c0}$ 是6微安( $\mu A$ ),则在正常操作模式下的写电流可以是至少12 $\mu A$ ,或者在那上下,并且在正常操作模式下的读电流可以是少于1.2 $\mu A$ ,或者在那上下。以这种方式,在正常写条件下存储器单元正常地切换的概率非常高,在某些情况下接近100%。类似地,在正常读条件下偶然地切换存储器单元的值的概率可能很低,在某些情况下接近零。

[0038] 一旦在AP状态,移除所施加的电压不会影响MTJ10的状态。类似地,为了在正常操作模式下从AP状态转变为P状态,施加至少 $V_{c0}$ 的负电压,从而至少切换电流 $I_{c0}$ 的电流电平以相反方向流经存储器单元。一旦在P状态,移除所施加的电压不会影响MTJ10的状态。

[0039] 换句话说,MTJ10可以从反并行状态(即,高电阻状态,或者逻辑“1”状态)切换到并行状态以便存储“0”(即,低电阻状态,或者逻辑“0”状态)。假设MTJ10最初处于逻辑“1”或者AP状态以便存储“0”,在正常操作模式下,形成至少与临界电流 $I_{c0}$ 一样大或者更大的电流以便以箭头40的方向流经晶体管20。为了实现这一点,晶体管20的源极节点(SL或源极线)经由电阻性路径(未示出)耦接到地电势,正电压被施加到晶体管20的栅极节点(WL或字线),并且正电压被施加到晶体管20的漏极节点(BL或位线)。

[0040] 如上所述,MTJ10也可以从并行状态切换到反并行状态以便存储“1”。假设MTJ10最初处于逻辑“0”或者P状态以便存储“1”,在正常操作模式下,形成至少与临界电流 $I_{c0}$ 一样大或者更大的电流以便以箭头35的方向流经晶体管20。为了实现这一点,节点SL经由电阻性路径(未示出)被供应正电压,节点WL被供应正电压,并且节点BL经由电阻性路径(未示出)耦接到地电势。

[0041] 图3A是示出图1的存储器阵列110的一部分或块102的方框图。块102包括存储器单元,例如诸如STT-MRAM单元30。如上面参考图2A和2B所讨论的,每个STT-MRAM单元的自由层

16可以耦接到位线BL0和BL1,例如112和114。每个STT-MRAM单元30的参考层12可以耦接到其相关的选择晶体管20的漏极。每个选择晶体管20的源极可以耦接到源极线,例如线116和118。源极线(例如116和118)或者在正常操作模式下耦接到内部模拟电压生成器,例如内部公共电压平面(VCP)生成器120,或者在测试模式下耦接到VCP焊盘或外部VCP管脚125,如下面进一步描述的。选择晶体管的栅极由字线(例如,WL0、WL1、WL<sub>n-1</sub>到WL<sub>n</sub>)控制。

[0042] (图1的)DFT电路115包括例如一个或多个恒流驱动器135、快速错误应力测试(FEST)电路140、一个或多个VCP选择开关130、VCP焊盘或外部VCP管脚125,并且可选地包括一个或多个写脉冲宽度控制电路145。

[0043] VCP选择开关130可以在内部VCP生成器120或VCP焊盘或外部管脚125之间选择。换句话说,源极线(例如,116和118)可以响应于测试控制信号DVCP和/或DVCP\耦接到内部VCP生成器120或VCP焊盘或外部管脚125。例如,当声明DVCP信号时,内部VCP生成器120可被禁用或者另外从存储器单元阵列110的源极线断开连接,并且VCP焊盘或外部管脚125可被使能或者另外连接到存储器单元阵列110的源极线。相反,当未声明DVCP信号时,内部VCP生成器120可被使能或者另外连接到存储器单元阵列110的源极线,并且VCP焊盘或外部管脚125可被禁用或者另外从存储器单元阵列110的源极线断开连接。VCP选择开关130可以是复用器或其它合适的开关。

[0044] 恒流驱动器135例如可以包括与正电压电源132耦接的p沟道型晶体管137和与负或地电压电源134耦接的n沟道型晶体管139。晶体管137可以耦接到PMOS电流镜电路(未示出)。类似地,晶体管139可以耦接到NMOS电流镜电路(未示出)。晶体管由测试控制信号EP\和EN控制。使用一个或多个写脉冲宽度控制电路145可以将EP\和EN测试控制信号可选地生成到存储器设备内部,如下面进一步描述的。在一些实施例中,EP\和EN信号可被生成到存储器设备105的外部并且被提供给恒流驱动器135。在正常操作模式下,恒流驱动器135可被三态以便当它不被测试时消除对存储器设备105的剩余部分的影响。

[0045] FEST电路140包括与每条位线112和114分别相关联的FEST晶体管142和144。将会理解,每条位线可以具有耦接到其的相关联的FEST晶体管。响应于FEST测试控制信号,每个FEST晶体管可以将每条位线BL0和BL1耦接到恒流驱动器135。列选择信号CS0、CS1等控制存储器单元阵列110的列的选择。FEST晶体管142和144可以响应于FEST测试控制信号在测试模式期间旁路读出放大器/写驱动器150。

[0046] DVCP、DVCP\和/或FEST测试控制信号用于进入快速错误应力测试模式。FEST测试控制信号促使位线连接到恒流驱动器135。DVCP和/或DVCP\信号促使源极线连接到VCP焊盘或外部管脚125。

[0047] I. 写错误率(WER)筛选

[0048] 当在测试模式下筛选写错误时,在恒流驱动器135可以将位线拉到地电压电平的同时,VCP焊盘或外部引脚125可被保持在正测试写电压电平达第一写脉冲宽度或时间。在p沟道晶体管137被EP\信号禁用的同时,恒流驱动器135的n沟道晶体管139可被EN信号使能。

[0049] 在测试的这个阶段中,VCP焊盘或外部引脚125和恒流驱动器135可以注入或驱动第一测试电流以第一方向(例如,以箭头35的方向从源极线经过选择晶体管20然后经过MTJ10)流经存储器单元。因此,第一数据(例如,全部“1”或全部“0”)被写入到存储器单元。这样的应力测试操作可以以大批量并行规模进行。在一些实施例中,(图1的)存储器设备

105中的所有或基本上所有存储器单元可以以这种方式同时(即,并行)地被测试。在一些实施例中,包括例如至少1K(即1024)存储器单元的存储器块的所有或基本上所有存储器单元可以以这种方式同时(即,并行)地被测试,从而总电流在可管理的级别内。例如,与特定列中的至少1024个存储器单元相关联的至少1024条字线可以同时导通。又例如,单条字线可以导通,并且多列(例如1024列)可以同时导通,从而并行地测试至少1024个存储器单元。

[0050] 在以大批量规模将第一数据同时(即并行)写入存储器单元之后,数据可以被读回用以检验目的。换句话说,在大批量并行写操作之后的检验包括检查如它们所期望的不翻转的存储器单元。例如使用读出放大器150和其它存储器读取电路的标准读操作可被执行来检验第一数据被适当地写入每个存储器单元。又例如,可以使用检验电路(未示出)来检验第一数据是否被成功地写入每个存储器单元。另外,对于存储在存储器单元中的相同数据,可以使用地址和数据压缩电路来减少读取时间。假设相同数据被写入存储器单元,在读取压缩模式中检验数据可能有用和有效,这允许更快的检验。另外,当不使用地址和数据压缩时,不成功的位或存储器单元可以被记录或者相反被一个或多个冗余存储器单元来替代。

[0051] 在将第一数据写入存储器单元并且执行检验过程之后,可以以类似的大批量规模将相反的数据写入存储器单元。在恒流驱动器135将位线拉到测试写电压电平的同时,VCP焊盘或外部管脚125可被保持在地电压电平达第二写脉冲宽度或时间。在p沟道晶体管137被EP\信号使能时,恒流驱动器135的n沟道晶体管139可被EN信号禁用。

[0052] 在测试的这个阶段中,VCP焊盘或外部引脚125和恒流驱动器135可以注入或驱动第二测试电流以第二方向(例如,以箭头40的方向从位线经过MTJ10然后经过选择晶体管20)流经存储器单元,该第二方向与第一方向35相反。因此,第二数据(例如,全部“0”或全部“1”)被写入到存储器单元。这样的应力测试操作可以以大批量并行规模进行。在一些实施例中,(图1的)存储器设备105中的所有或基本上所有存储器单元可以以这种方式同时(即,并行)地被测试。在一些实施例中,包括例如至少1K(即1024)存储器单元的存储器块的所有或基本上所有存储器单元可以以这种方式同时(即,并行)地被测试。第二写测试电流可以不同于第一写测试电流或者基本与第一写测试电流相同。

[0053] 具有更大幅度、更长时间段(即脉冲宽度)和/或在更高温度环境下被测试的写电流会增加切换概率。相反,具有更小幅度、更短时段和/或在更低温度环境下被测试的写电流会降低切换概率,从而使得更难以成功地写数据。因此,为了检查写错误率,写电流幅度、脉冲宽度和/或测试温度可以减小,从而切换概率降低,因此有目的地增加写错误率,如下面进一步详细说明的。

[0054] 在以大批量规模将第二数据同时写入存储器单元之后,数据可以被读回用以检验目的。例如,使用读出放大器和其它存储器读取电路的标准读操作可被执行来检验第二数据被适当地写入存储器单元。如上所述,可以使用检验电路来检验第一数据是否被成功地写入存储器单元。另外,对于存储在存储器单元中的相同数据,可以使用地址和数据压缩电路来减少读取时间。假设相同数据被写入存储器单元,在读取压缩模式中检验数据可能有用和有效,这允许更快的检验。

[0055] II. 读错误率(RER)筛选、快速测试初始化和保持力测试

[0056] 除了或者替代写应力测试存储器单元,如上所讨论的,存储器单元也可被筛选出

读错误。例如，RER筛选可以包括以大批量规模测试读干扰，如下面进一步说明的。另外，可以以类似的大批量规模进行快速测试初始化和保持力测试。

[0057] 在读干扰或保持力测试之前，可以使用上面讨论的大批量并行写技术将整个存储器阵列或者存储器阵列的一个或多个块快速有效地初始化为给定数据值。换句话说，VCP焊盘或外部管脚和恒流驱动器可以并行驱动初始化电流流经存储器单元，从而或者第一数据（例如全部“1”）或者第二数据（或者全部“0”）被写入存储器单元。在替换的实施例中，可以使用外部磁场（未示出）在存储器单元内感应电流，并且促使数据写入存储器单元，从而为读干扰或保持型测试做准备。可替换地，可以使用标准存储器写过程来初始化存储器单元，尽管这样的途径导致更长的测试设置时间。

[0058] 在一个或多个存储器块被初始化为已知数据值之后，读干扰测试电流可以以大批量规模被并行注入或驱动流经存储器单元。读干扰电流可以以第一或第二方向被并行驱动流经存储器单元。例如，读干扰电流可以从VCP焊盘或外部管脚被驱动流经存储器单元并且到恒流驱动器。可替换地，读干扰电流可以从恒流驱动器被驱动流经存储器单元并且到VCP焊盘或外部管脚。读干扰电流高于正常读电流，如下面进一步说明的，这会增加一个或多个存储器单元中的数据位值将在测试期间翻转的概率。

[0059] 更具体地，RER筛选可以包括：在恒流驱动器将位线拉到地电压电平的同时，通过将VCP焊盘或外部管脚保持在测试读电压电平达与测试读脉冲宽度相关联的时间段，来注入或驱动读干扰电流流经存储器单元。可替换地，RER筛选可以包括：在恒流驱动器将位线拉到测试读电压电平的同时，通过将VCP焊盘或外部管脚保持在地电压电平达测试读脉冲宽度或时间，来注入或驱动读干扰电流流经存储器单元。测试读脉冲宽度或时间可以长于正常读脉冲宽度或时间，如下面进一步说明的，这也特意增加了位值在测试期间将翻转的概率。

[0060] 在以大批量规模将读干扰测试电流并行驱动流经存储器单元之后，存储器单元中存储的数据可以被读回用以检验目的。例如，可以使用正常读电流、读出放大器150和其它存储器读取电路进行标准读操作，以便检验数据值是否如最初地被初始化翻转或者未翻转。又例如，使用压缩电路在读压缩模式中读取并检验数据。另外，当不使用地址和数据压缩时，失败的位或存储器单元可被记录或者相反被一个或多个冗余存储器单元代替。

[0061] 尽管因为读电流小于写电流，所以当驱动读干扰电流时可以同时地测试甚至更大数量的存储器单元，类似于写，读干扰电流仍可以以大批量规模来施加。另外，保持力失败可以通过将数据并行写（即初始化）入存储器单元、以应力电压或电流并行读取存储器单元并且随后测试校正位值的保持力来筛选。

[0062] III. WER筛选和RER筛选的变化

[0063] 通常，电流越大、时段（即脉冲宽度）越长以及温度越高会增加切换概率。为了检查写错误率，可以降低写电流、时段和/或测试环境温度，从而降低切换概率，由此有目的地增加写错误率。为了检查读错误率，可以增加电流、时段和/或测试环境温度以便增加切换概率，从而有目的地增加读错误率。

[0064] 在测试阶段期间，包括大批量并行写（以任一方向），具有低于正常或“安全”写电流的幅度的写电流可被用来降低造成存储器单元值切换的概率，从而不耐用的位在测试模式期间可被筛选出并且用一个或多个冗余存储器单元来替换。切换的概率降低，因为它变

得更难以使得MTJ10以更小的电流从并行状态切换到反并行状态,或者从反并行状态切换到并行状态。例如,第一和/或第二写测试电流可以是正常写电流的X%,其中X小于100。换句话说,写电流的幅度在测试模式期间可以降低,因此测试写电流是正常写电流的X%。X可以基于模拟、建模或其它根据实验的测量来确定。例如,根据期望的应力级别,X可以是95、90、85、80、75、70、65、60、55、50等等。

[0065] 除了写电流的幅度调节,写脉冲宽度或时间也可以在测试模式期间被调节。短于正常写脉冲宽度的写脉冲宽度会增加写错误率。写测试电流和/或写脉冲宽度可以从正常值开始降低,以便特意增加写错误率,从而可以筛选出和/或修复不耐用的位。例如,如果正常写脉冲宽度是20ns,则测试模式下的写脉冲宽度可以是10ns或在那附近。可以使用幅度降低和脉冲宽度降低的组合。另外,测试环境的温度可以相对于正常操作温度范围而降低,因此这使得MTJ10更难以切换。例如,测试环境温度可以降低到负20摄氏度或者在那附近,负40摄氏度或者在那附近,等等,这低于正常操作温度范围。高热炉或者其他温度周期变化用具或者ATE可被用来调节测试环境温度。较低的写电压和电流、更短的写脉冲宽度和/或较低的温度的组合实现了大规模的并行写,可被用来减少测试时间。

[0066] 在测试阶段期间,包括大批量并行读,具有高于正常或“安全”读电流的幅度的读电流可被用来增加读干扰的概率,从而不耐用的位在测试模式期间可被筛选出并且因此用一个或多个冗余存储器单元来替换。读干扰的概率增加,因为MTJ10更可能以更大的电流从并行状态切换到反并行状态,或者从反并行状态切换到并行状态。例如,第一和/或第二读测试电流可以是正常读电流的X%,其中X大于100。换句话说,读电流的幅度在测试模式期间可以增加,从而测试读电流是正常读电流的X%。其中X大于100。X可以基于模拟、建模或其它根据实验的测量来确定。例如,根据期望的应力级别,X可以是105、110、115、120、125、130、135、140、145、150等等。

[0067] 除了读电流的幅度调节,读脉冲宽度也可以在测试模式期间被调节。长于正常读脉冲宽度的读脉冲宽度会增加读错误率。读测试电流和/或读脉冲宽度可以从正常值开始增加,以便特意增加读错误率,从而可以筛选出和/或修复不耐用的位。例如,如果正常读脉冲宽度是10ns,则测试模式下的读脉冲宽度可以是20ns或在那附近。可以使用幅度增加和脉冲宽度增加的组合。另外,测试环境的温度可以相对于正常操作温度而增加,从而这使得MTJ10更容易意外地切换。例如,测试环境温度可以增加至125摄氏度或者在那附近,150摄氏度或者在那附近,等等,这高于正常操作温度范围。高热炉或者其他温度周期变化用具或者ATE可被用来调节测试环境温度,例如高达260摄氏度或者更高。较高的读电压和电流、更长的读脉冲宽度和/或较高的温度的组合实现了大规模的并行写,可被用来减少测试时间。

[0068] 上面讨论的大批量并行写技术可被用来快速有效地初始化整个存储器阵列或者存储器阵列的一个或多个块为给定数据值。换句话说,此处公开的本发明构思提供了快速测试设置特征,从而数据可被进行保持力测试或者相反为了准确度被读取和检验。在可替换的实施例中,外部磁场(未示出)可被用来在存储器单元内感应电流,并且使得数据写入存储器单元。

[0069] IV. 功能性测试和单元对单元的影响筛选

[0070] 本发明构思的实施例可被用来执行电阻型存储器单元的功能性测试。另外,可检查单元对单元的影响,作为这样的功能性测试的部分。例如,在不同的功能性测试模式中可

以生成并测试地址和数据图案,例如棋盘图案、移动倒转图案、行条纹和/或列条纹图案(column stripe)。在一些实施例中,所有列被使能,单条行或字线被使能,从而功能性测试该行内的全部存储器单元。在一些实施例中,所有行或字线被使能且单个列被使能,从而功能性测试该列内的全部存储器单元。

[0071] 作为另一示例,第一数据(例如“1”)可被写入偶数行,第二数据(例如“0”)可被写入奇数行。作为再一示例,第一数据(例如“1”)可被写入偶数列,第二数据(例如“0”)可被写入奇数列。作为还一示例,单个、两个或多个行条纹图案可被写入一个或多个存储器块的存储器单元。作为还一示例,单个、两个或多个列条纹图案可被写入一个或多个存储器块的存储器单元。棋盘图案可以通过选择每隔一行和每隔一列以及写第一数据(例如“1”)、随后选择交替的每隔一行和交替的每隔一列以及写第二数据(例如“0”)来生成。模式寄存器组(MRS)命令可被用来选择一个或多个功能性测试模式,或者上面讨论的其它测试模式。

[0072] 在已发生功能性测试之后,可以通过读回数据用以检验目的来检查或者另外测量单元对单元的影响。换句话说,在执行一个或多个功能性测试之后,可以使用标准读操作来读回数据以便检验数据被适当地写入或者另外被维持在它适当值。起源于存储器设备外部的源或者来自相邻存储器单元的电磁干扰可能影响数据质量的一致性和数据的保持力。通过如此处说明地执行功能性测试,由于单元对单元的影响或其它干扰,通过有意地加速失败来筛选不耐用的位或存储器单元。

[0073] 图3B是示出图1的存储器阵列110的一部分或块102的方框图。图3B类似于图3A的图形,主要区别是FEST晶体管144的源极耦接到第二恒流驱动器195,该第二恒流驱动器195是与第一恒流驱动器135不同的恒流驱动器,或者换句话说,恒流驱动器195是对恒流驱动器135的补充。恒流驱动器195的组件类似于恒流驱动器135的组件或与之相同。该实施例对于奇数列和偶数列允许独立的电流驱动器。换句话说,通过使能135和195、浮置或相反断开VCP利用相反的电流来加大奇数位线和偶数位线的应力。如果恒流驱动器135的PMOS晶体管导通且恒流驱动器195的NMOS晶体管导通,则电流将从135流向195,利用相反的电流穿过并加大存储器单元的奇数列和偶数列的应力。

[0074] 换句话说,电流将以第一方向同时流经与奇数位线相关联的存储器单元和以与第一方向相反的第二方向流经与偶数位线相关联的存储器单元。如果恒流驱动器195的PMOS晶体管导通和恒流驱动器135的NMOS晶体管导通,则相反电流将流动(即,第一和第二方向相对于不同列的存储器单元而交换),同时浮置或相反断开VCP。另外,恒流驱动器135和/或195的输出线经由外部测试器或ATE可以直接连接到用于直接控制的键合盘(bonding pad)。

[0075] 换句话说,偶数列或位线可以耦接到第一恒流驱动器135,且奇数列或位线可以耦接到第二恒流驱动器195。因此,不同的列可以以不同的方向被同时地进行应力或功能性测试。例如可以测量或观察单元对单元应力,从而筛选出不同列的单元之间的隧道或其它干扰。

[0076] 图4是64Mb存储器块205的示例方框图,其包括诸如子阵列块210的子阵列块。每个子阵列块210包括多个存储器阵列瓦(memory array tile MAT),诸如MAT215。每个MAT215可以包括存储器单元的阵列或块。例如,每个MAT215可以包括存储器块,其具有M条字线(WL)和N条位线(BL),诸如存储器块220。字线M的数量可以是1到1024的任何数量,或者在

一些实施例中,大于1024。类似地,位线N的数量可以是1到1024的任何数量,或者在一些实施例中,大于1024。每个MAT215可以具有与其相关联的第一恒流驱动器135和/或第二恒流驱动器235,它们可以包含在介于两个MAT215之间的局部列选择(LCS)部分225。恒流驱动器135和235被分发,从而在此处描述的各种测试模式期间向存储器单元提供充分的驱动。在一些实施例中,恒流驱动器135和235中的一个或两个耦接到焊盘或外部管脚,并且可以通过该焊盘或外部管脚接收一个或多个测试控制信号(例如EP\和EN)。在一些实施例中,恒流驱动器135和235两者都耦接到相同的焊盘或外部管脚。LCS部分225也可以包括FEST电路140。在一些实施例中,LCS部分225可以在遍及64Mb存储器块205,例如在各个MAT215之间,被复制。任何数量的64Mb存储器块205可被组合以形成更大的存储器单元阵列和/或任何合适尺寸的设备。读出放大器/写驱动器150可以是本地读出放大器/写驱动器,并且因此介于各个MAT215之间。可替换地,一个或多个全局读出放大器/写驱动器(未示出)可以与MAT215相隔开,并且不包含在LCS225中。

[0077] 图5是根据本发明构思的另一实施例的包括快速错误应力测试电路的图1的存储器设备的DFT电路的示例方框图。图5的许多组件类似于图3的组件或者与其相同,因此为了简洁,而省略对那些组件的详细描述。

[0078] 代替使用FEST晶体管将位线(例如112和114)耦接到恒流驱动器135,使用位线预充电晶体管(BLPR)320和325。由于BLPR晶体管通常已存在于存储器设备中,因此需要更少的部件,并且需要更少的裸片空间来实现此处公开的本发明的构思。也可以使用另外的BLPR晶体管310,其被放置在块112的另一端。而且,BLPR晶体管可被设计成具有更大的物理特性或者相反被增强来提供足够的驱动。开关电路315包括FEST开关330和DVCP开关335。DVCP开关335以与VCP选择开关130相同的方式操作,尽管在这种情况下,它是结合FEST开关330一起操作的。例如,当DVCP信号和FEST信号被声明时,内部VCP生成器120可被禁用或者相反与BLPR晶体管(例如320和325)的源极断开连接,并且恒流驱动器135连接到BLPR晶体管的源极,因此当BLPR晶体管导通时连接到位线(例如112和114)。相反,当DVCP信号未被声明时,内部VCP生成器120可被使能或者相反连接到BLPR晶体管的源极,并且因此当BLPR晶体管导通时内部VCP生成器120连接到位线。将会理解,BLPR晶体管(例如305和/或310)可以耦接到恒流驱动器135或者使用类似于开关315的开关(未示出)到耦接另一个恒流驱动器。因此,整个存储器阵列的存储器单元或者存储器单元的块可被同时测试,如上面详细说明的,不需要对于每一列将FEST晶体管设计到存储器设备中。

[0079] 图6是根据本发明构思的一些实施例的写脉冲宽度控制电路405的示例方框图,该写脉冲宽度控制电路405可被包含在图1的DFT电路115中。在一些实施例中,测试控制信号(例如,EP、EP\、EN和/或EN\ )可被外部的自动化测试装置(ATE)提供给存储器设备105的DFT电路115,因此写脉冲宽度控制电路405是可选的。然而,有利的是在DFT电路115中包括写脉冲宽度控制电路405,因为存储器设备105随后可以利用最小的外部电路或测试装置来测试。

[0080] 如上所述,(图1的)存储器设备105可以包括存储器单元阵列110和DFT电路115。DFT电路115可以包括一个或多个恒流驱动器(例如图3的135),每个恒流驱动器被配置成利用不同方向或极性的测试写电流驱动存储器单元阵列的位线,如上面详细说明的。DFT电路115也可以包括写脉冲宽度控制电路405,其将测试控制信号(例如,EP、EP\、EN和/或EN\ )提

供给一个或多个恒流驱动器。

[0081] 写脉冲宽度控制电路405可以包括各种组件,例如,可以接收时钟信号CLK的第一输入缓冲器410和可以接收来自多用途输入/输出DQ管脚(例如DQx管脚)的信号的第二输入缓冲器415。在一些实施例中,DQx管脚对应于DQ0管脚,尽管可以使用其他DQ管脚。写脉冲宽度控制电路405的地址缓冲器425可以接收A<0:i>地址信号。测试写控制电路420耦接到第一输入缓冲器410、第二输入缓冲器415和地址缓冲器425,并且被配置成至少基于时钟信号CLK、来自多用途DQx管脚的信号和A<0:i>地址信号,生成多个测试控制信号(EP、EP\、EN和/或EN\)。在一个实施例中,DQ0管脚用于确定读和/或写电流的极性,CLK高时段用于确定读和/或写脉冲宽度。当输入测试信号TEST未被声明(即,无效或低)时,测试控制信号EP可被强制为高,且测试控制信号EN可被强制为低,这使恒流驱动器呈现三态。当输入测试信号TEST被声明(即,有效或高)时,电流驱动器控制电路145可被使能,并且根据DQ0的状态,或者EP被强制为低,或者EN被强制为有效高。在同步操作中,可以使用n位计数器(其中n可以是2或更大)来生成脉冲宽度延迟。

[0082] 测试写控制电路420进一步包括n位计数器430。写脉冲宽度控制电路405可以进一步包括寄存器435,其耦接到地址缓冲器425和测试写控制电路420。寄存器435可以控制脉冲的定时。寄存器435还基于A<0:i>地址信号而生成DLY<0:n>信号。DLY<0:n>信号可被用来选择n位计数器的输出。例如,DLY<1>可以选择计数器的最低有效位的输出,从而产生从计数器出来的最短脉冲宽度。DLY<2>可以选择第二最低有效位,等等。DLY<0>可被用来旁路计数器并且将CLK周期选择为最短脉冲宽度。n位计数器430的输出和时钟信号的周期被用来确定每个测试控制信号的有效时间。

[0083] 第一逻辑AND门440可以耦接到第一输入缓冲器410和测试写控制电路420,并且可以接收时钟信号CLK和输入测试信号TEST作为输入,并且当输入测试信号TEST被声明时可以再现时钟信号CLK。第二逻辑AND门445可以耦接到第二输入缓冲器415和测试写控制电路420,并且可以接收来自多用途DQx管脚的信号和输入测试信号TEST作为输入,并且当输入测试信号TEST被声明时可以再现来自多用途DQx管脚的信号。测试写控制电路420可以接收时钟信号CLK、来自多用途DQx管脚的信号和输入测试信号TEST,并且可以至少基于时钟信号CLK、来自多用途DQx管脚的信号和输入测试信号TEST来生成多个测试控制信号(例如,EP、EP\、EN和/或EN\)。恒流驱动器(例如图3的135)可以接收来自写脉冲宽度控制电路405的测试写控制电路420的多个测试控制信号。

[0084] 在一些实施例中,写测试电流的方向或极性至少基于来自多用途DQ管脚的信号。另外,写测试电流的脉冲宽度至少基于时钟信号的高时段。

[0085] 当输入测试信号TEST未被声明时,恒流驱动器(例如图3的135)可通过测试控制信号(例如,EP、EP\、EN和/或EN\)而呈现三态。例如,当输入测试信号TEST未被声明(例如,无效或低)时,EP测试控制信号可被声明(例如,被强制为高逻辑状态)且EN测试控制信号不能被声明(例如,被强制为低逻辑状态),从而恒流驱动器呈现三态。相反地,当输入测试信号TEST被声明(例如,有效或高)时,根据测试模式的阶段,EP测试控制信号和/或EN测试控制信号可被声明。

[0086] 输入测试信号TEST可以使用传统的模式寄存器组(MRS)技术被声明。类似地,MRS技术可被用来使能或者相反重新指派多用途DQx管脚,和/或使能CLK信号。而且,测试写控

制电路420可被外部ATE装置和/或通过内部职能存储器控制器来控制。

[0087] 图7A是示出根据本发明构思的一些实施例的用于大批量并行测试存储器单元的技术的流程图500。该技术起始于505,其中确定操作模式是否为测试模式。如果不是,则流程继续到510,其中读和/或写操作在正常操作模式下继续。

[0088] 否则,如果是,则使能快速错误应力测试模式,并且流程继续到515,其中包括禁用一个或多个内部模拟电压生成器,诸如内部VCP电压生成器。流程随后继续到520,其中包括将电阻型存储器单元的位线耦接到恒流驱动器。在525,存储器单元的源极线耦接到VCP焊盘或外部管脚。块530和535包括:在恒流驱动器将位线拉到地电压电平时,将VCP焊盘或外部管脚保持在测试写电压电平达与第一写脉冲宽度相关联的时间段。在540,第一测试电流被强制成以第一方向流经存储器单元。流程继续到545,其中第一数据被写入存储器单元,随后被读回以便检验存储器单元的任何位是否未被翻转。换句话说,存储器位被期望为翻转,并且如果它们不翻转,则针对那个存储器单元的这种条件可被记录,并且在其位置可以指派冗余的存储器单元。

[0089] 块550和555包括:在恒流驱动器将位线拉到测试写电压电平时,将VCP焊盘或外部管脚保持在地电压电平达第二写脉冲宽度或时间。在560,第二测试电流被强制成以第二方向流经存储器单元,该第二方向与第一方向相反,从而在565,使得与第一数据相反的第二数据被写入存储器单元,然后被读回以便检验存储器单元的任何位是否未翻转。换句话说,存储器位被期望为翻转,并且如果它们不翻转,则针对那个存储器单元的这种条件可被记录,并且在其位置可以指派冗余的存储器单元。

[0090] 图7B是示出根据本发明构思的一些实施例的用于大批量并行测试存储器单元的技术的流程图501。该技术起始于506,其中确定操作模式是否为测试模式。如果不是,则流程继续到511,其中读和/或写操作在正常操作模式下继续。

[0091] 否则,如果是,则使能快速错误应力测试模式,并且流程继续到516,其中包括禁用一个或多个内部模拟电压生成器,诸如内部VCP电压生成器。流程随后继续到521,其中包括将电阻型存储器单元的位线耦接到恒流驱动器。在526,存储器单元的源极线耦接到VCP焊盘或外部管脚。块531和536包括:在恒流驱动器将位线拉到地电压电平时,将VCP焊盘或外部管脚保持在测试读电压电平达与第一读脉冲宽度相关联的时间段。在541,读干扰测试电流被强制成以第一方向流经存储器单元。流程继续到546,其中返回读取数据以便检验存储器单元的任何位是否被翻转。换句话说,存储器位被期望为不翻转,并且如果它们翻转,则针对那个存储器单元的这种条件可被记录,并且在其位置可以指派冗余的存储器单元。

[0092] 块551和556包括:在恒流驱动器将位线拉到测试读电压电平时,将VCP焊盘或外部管脚保持在地电压电平达第二读脉冲宽度或时间。在561,读干扰测试电流被强制成以第二方向流经存储器单元,该第二方向与第一方向相反。然后流程继续到566,其中返回读取数据以便检验存储器单元的任何位是否被翻转。换句话说,存储器位被期望为不翻转,并且如果它们翻转,则针对那个存储器单元的这种条件可被记录,并且在其位置可以指派冗余的存储器单元。

[0093] 图8是根据本发明构思的实施例的存储器测试系统800的示例方框图,该存储器测试系统800包括存储器设备105和ATE120,该ATE120具有用于测试存储器阵列的存储器单元的可测试性设计(DFT)电路115。存储器测试系统800类似于图1的存储器设计系统100,因

此,省略对其组件的详细描述。参考图8,DFT电路115可以与ATE120关联或者另外位于ATE120中,从而相对于此处公开的本发明的测试构思,具有更佳的主机侧控制。将会理解,DFT电路115的一些或全部组件可以与ATE120关联或者另外位于ATE120中。还将会理解,DFT电路115的一些组件可以与存储器设备105关联或者另外位于存储器设备105中,并且DFT电路115的一些组件可以位于ATE120中。不管DFT电路115的实际位置如何,都可以实现并控制此处描述的大量并行测试特征和构思。

[0094] 图9是根据如此处公开的本发明构思的实施例的计算系统900的方框图,该计算系统900包括具有DFT电路115的电阻型存储器设备105。参考图9,计算系统900也可以包括中央处理单元(CPU)910、随机存取存储器(RAM)915、用户接口920、诸如基带芯片组的调制解调器925、和/或ATE120,它们可以电耦接到系统总线905。电阻型存储器设备105包括此处说明的DFT电路115,它也可以电耦接到系统总线905。电阻型存储器设备105可被包括在用于调节测试环境温度的高热炉(burn-in oven)930、或者其它合适的温度周期变化用具内,如上面详细所述的。

[0095] 本发明构思的上面实施例是图示性的且不是限制性的。各种替换和等价物是可能的。本发明构思的实施例不受存储器阵列中包括的磁随机存取存储器单元的类型或数量限制。本发明构思的实施例也不受并行读或写的大小限制。本发明构思的实施例不受晶体管、PMOS、NMOS的类型的限制,或者相反包括选择磁隧道结设备。本发明构思的实施例不受被包括来实现逻辑列选择的逻辑门、NOR或NAND的类型的限制。本发明构思的实施例不受其中本发明构思可能被部署的集成电路的类型限制。本发明构思的实施例也不限于任何特定类型的处理技术的限制,例如可被包含来制作存储器的CMOS、双极或BICMOS。此处描述的实施例已经致力于存储器测试电路,但不限于此。无论在什么情况下发现改善存储器单元的可靠性可用,均可以包括此处描述的实施例。

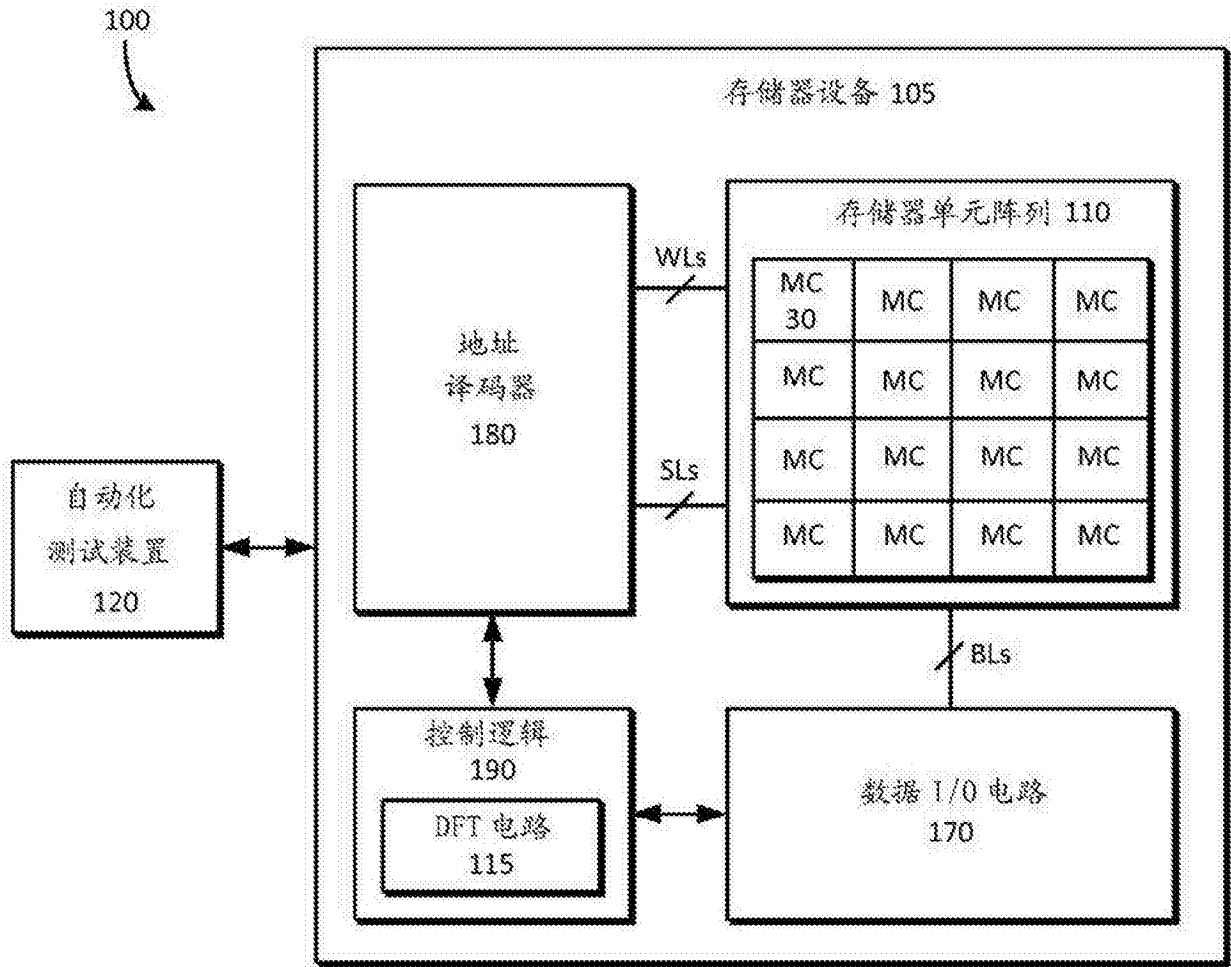


图1

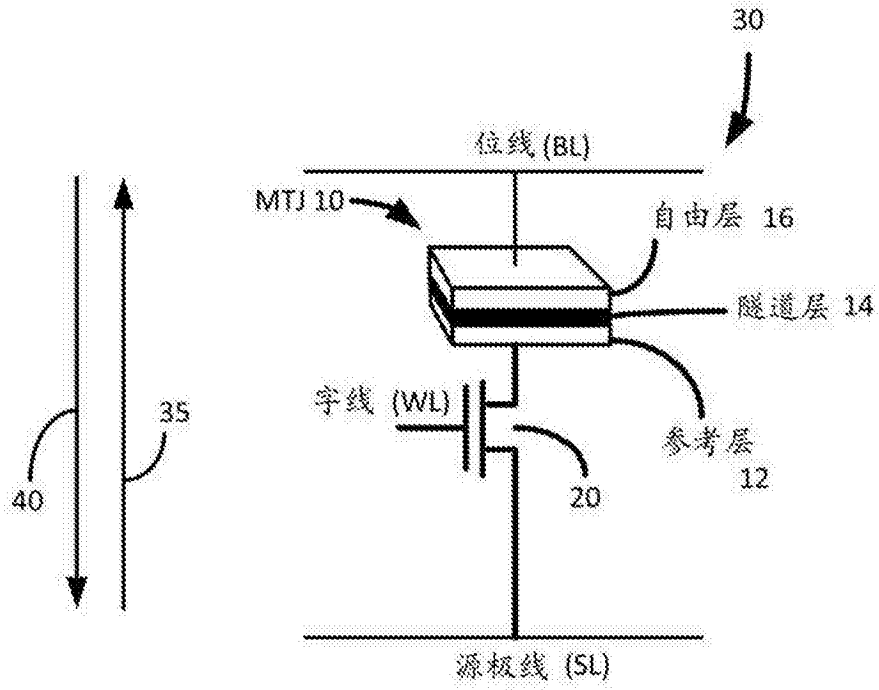


图2A

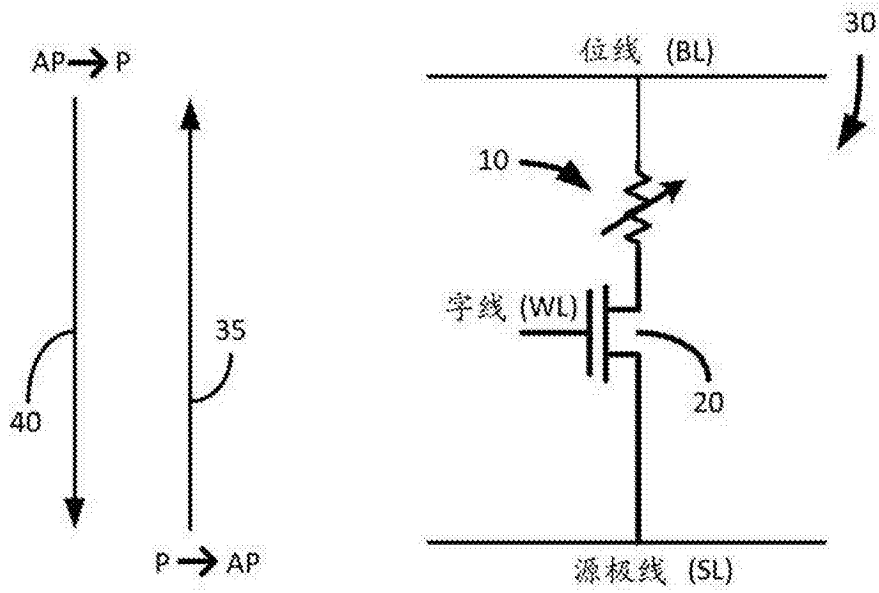


图2B

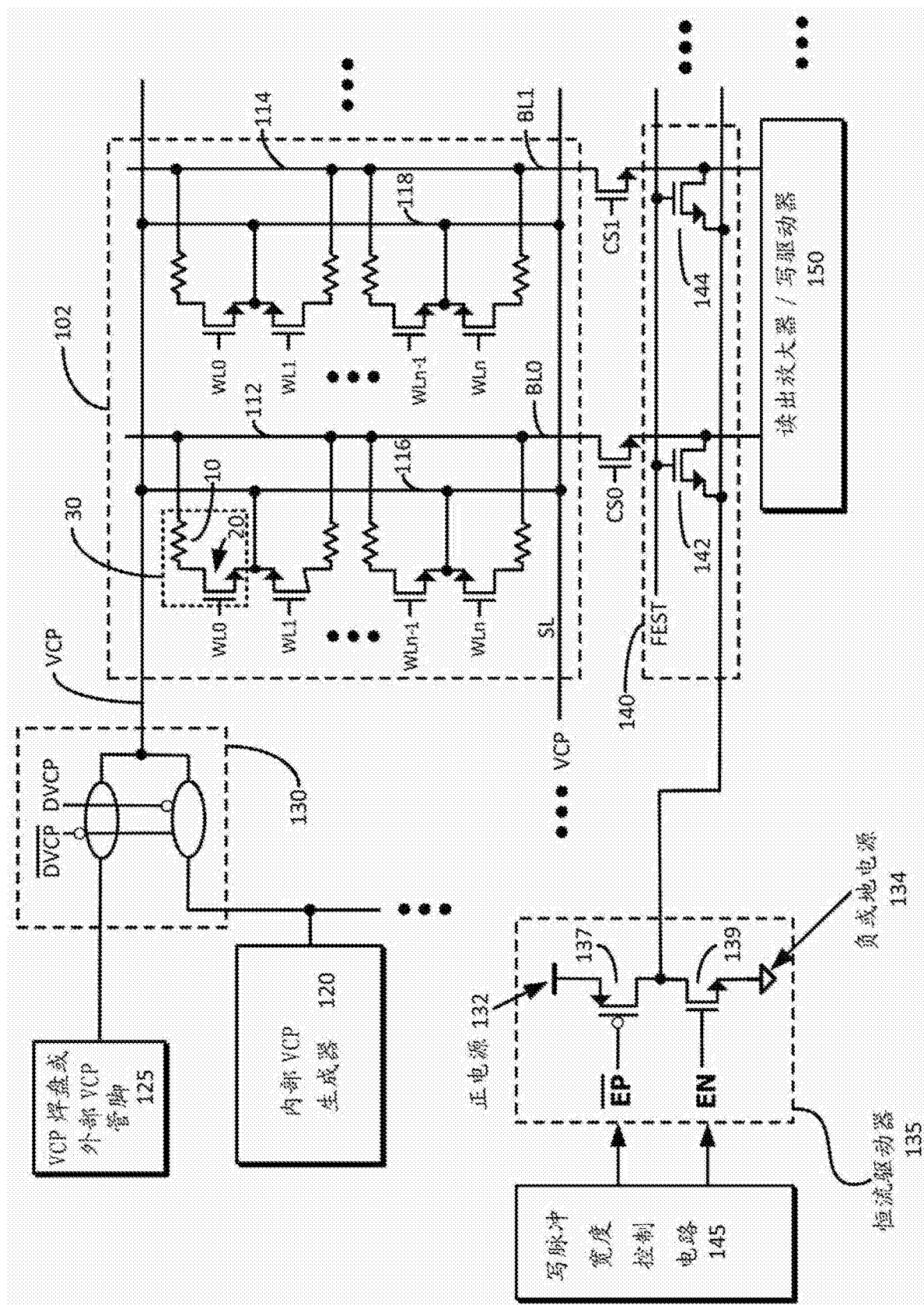


图3A

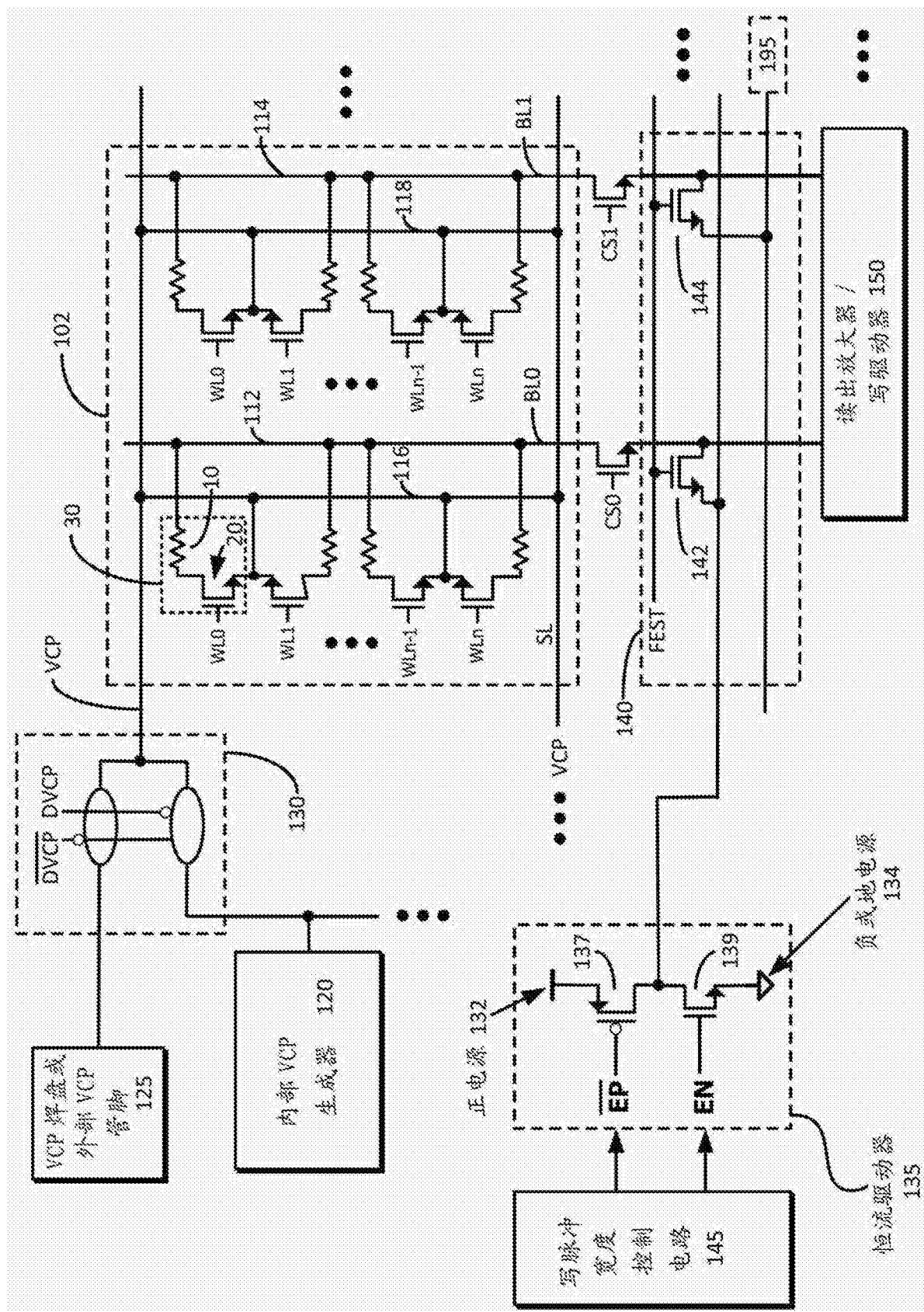


图3B

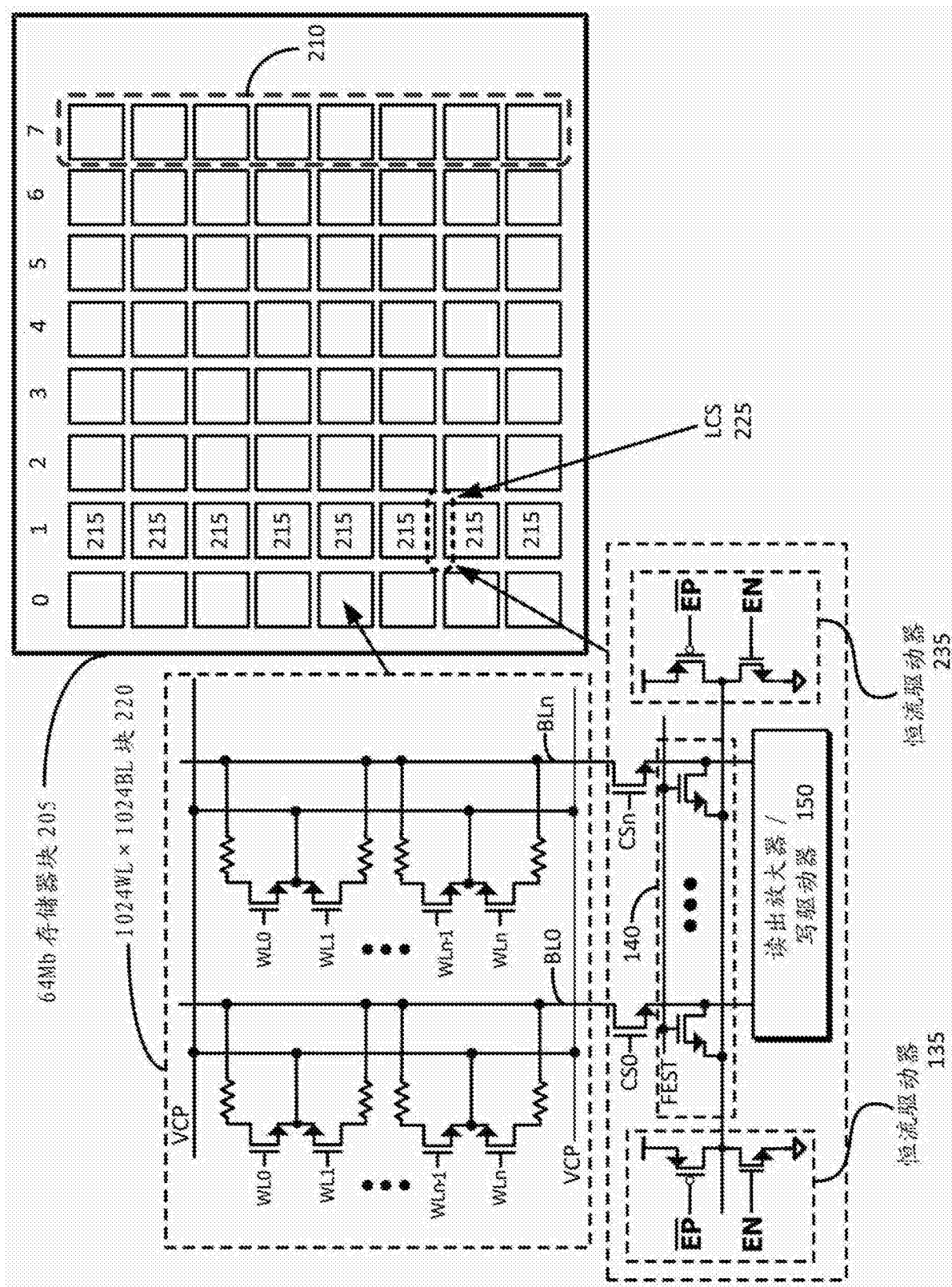


图4



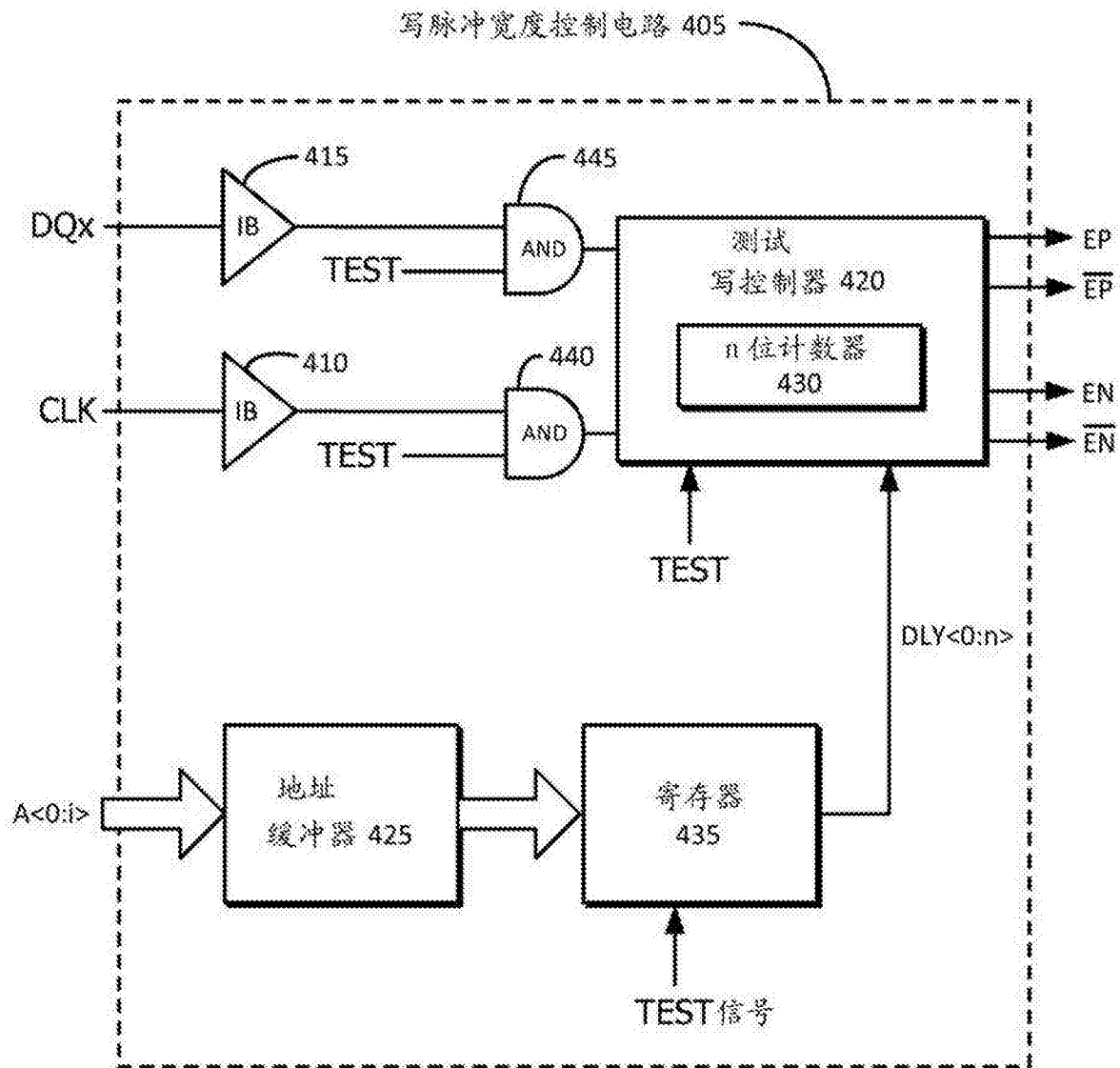


图6

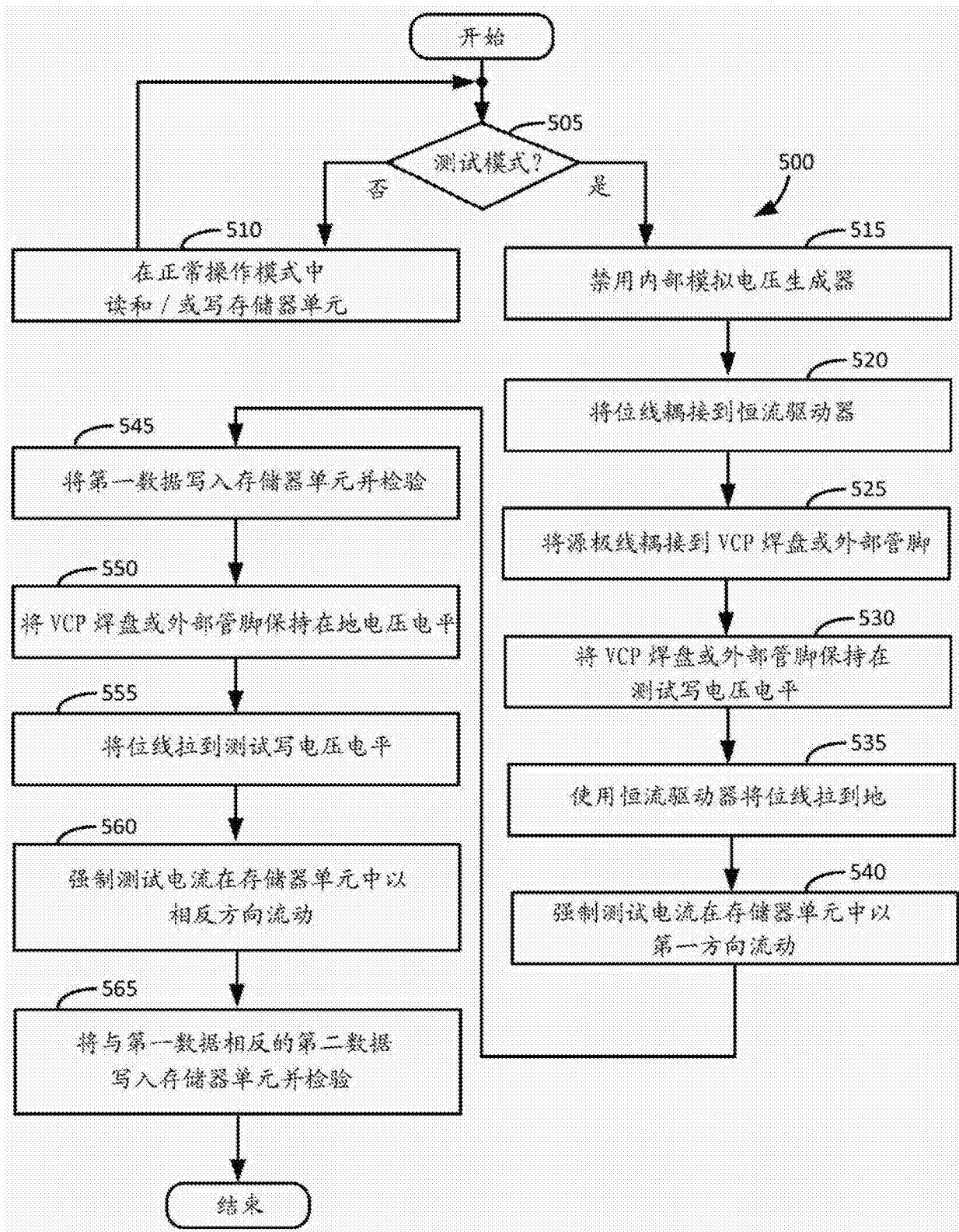


图7A

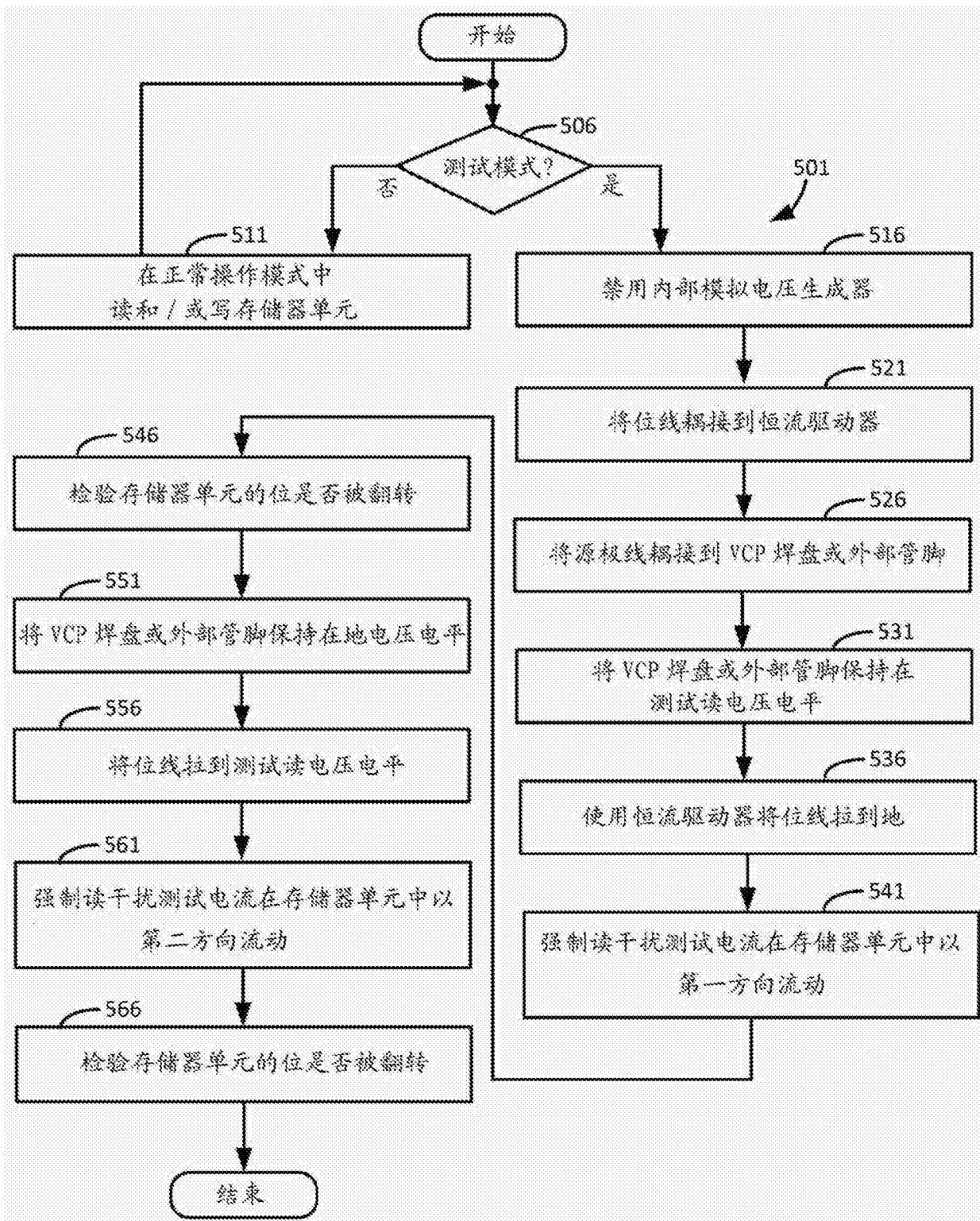


图7B

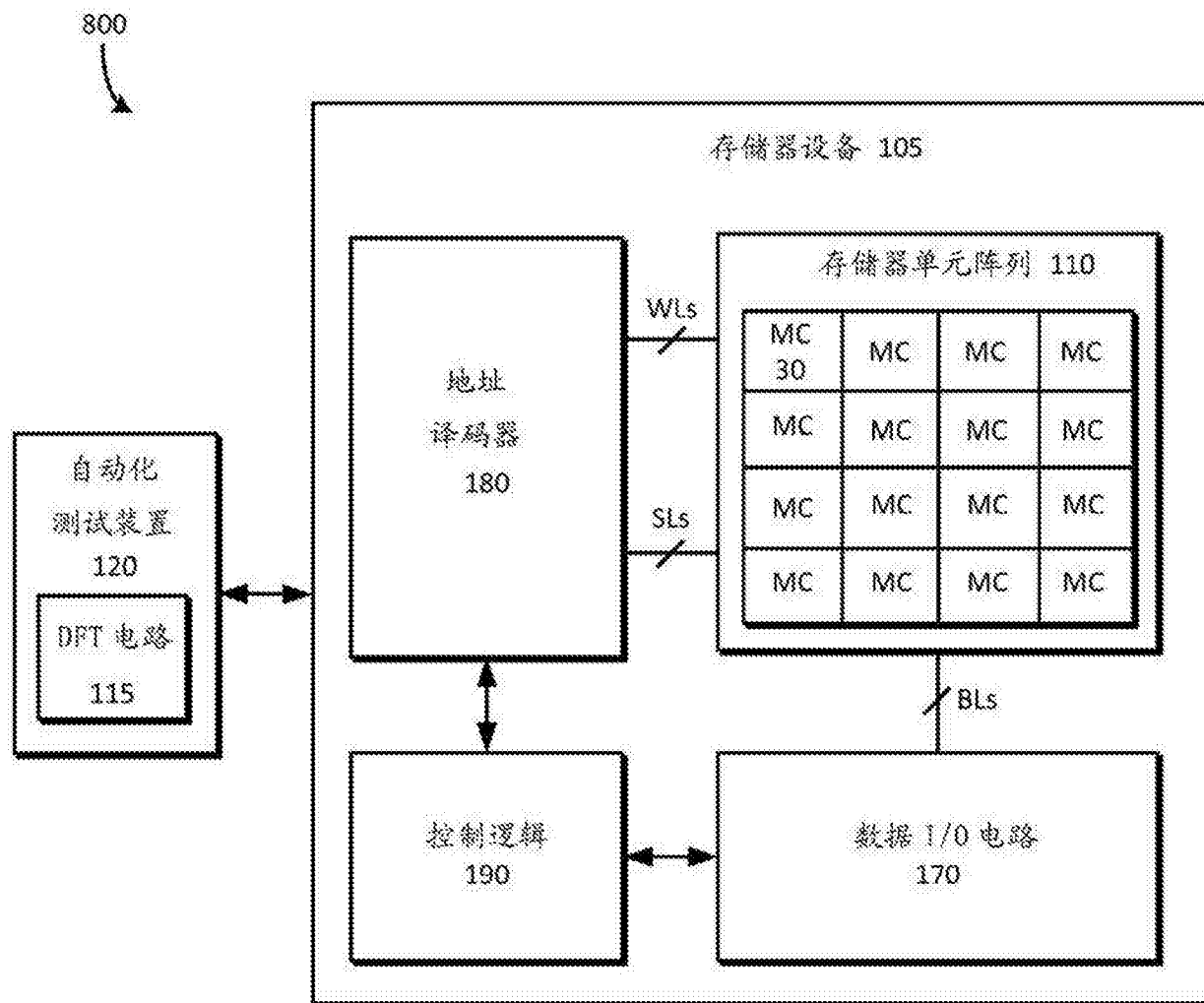


图8

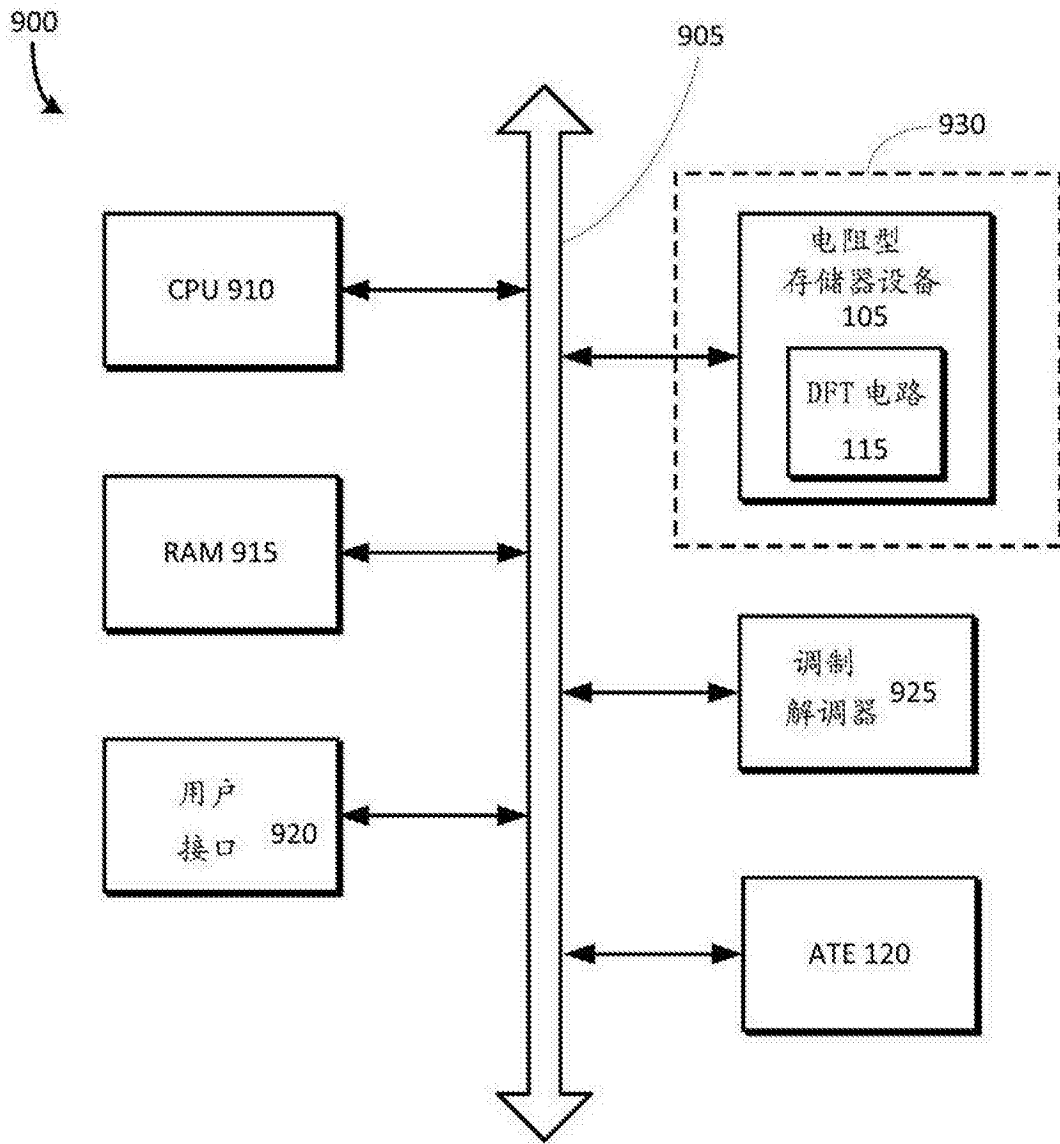


图9