

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月13日(13.09.2018)



(10) 国際公開番号

WO 2018/163897 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2018/007111
- (22) 国際出願日: 2018年2月27日(27.02.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-041477 2017年3月6日(06.03.2017) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 岩瀬 泰章(IWASE, Yasuaki). 渡部 卓哉(WATANABE, Takuya). 田川 晶(TAGAWA, Akira). 竹内 洋平(TAKEUCHI, Yohei).
- (74) 代理人: 島田 明宏, 外 (SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SCAN SIGNAL LINE DRIVING CIRCUIT AND DISPLAY DEVICE PROVIDED THEREWITH

(54) 発明の名称: 走査信号線駆動回路およびそれを備える表示装置

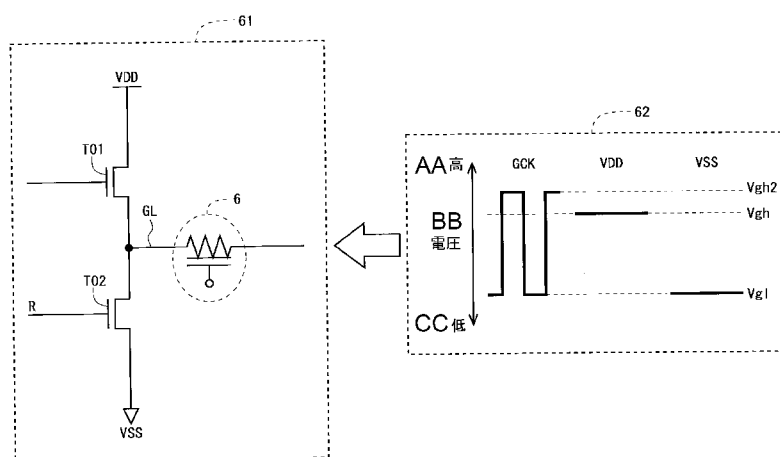


FIG. 1:
AA High
BB Voltage
CC Low

(57) Abstract: The present invention has the purpose of implementing a gate driver (scan signal line driving circuit) which is capable of sufficiently securing a charging time with low power consumption. A reset signal (R) is provided to a control terminal of a thin film transistor (T02) for turning off a gate output, wherein a voltage level of the reset signal becomes a voltage level (Vgh2) of a high-level voltage of a gate clock signal (GCK), when the thin film transistor (T02) is to be turned on. Here, "a difference between the voltage level (Vgh2) of the high-level voltage of the gate clock signal (GCK) and a voltage level (Vg1) of a low-level voltage of the gate clock signal (GCK)" is made larger than "a difference between a voltage level (Vgh) of a DC power supply voltage (VDD) (given to a gate bus line (GL) being in a selection state) and

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

the voltage level (V_{g1}) of the low-level voltage of the gate clock signal (GCK)".

(57) 要約: 本発明は、低消費電力で充電時間を十分に確保することのできるゲートドライバ(走査信号線駆動回路)を実現することを目的とする。ゲート出力を立ち下げるための薄膜トランジスタ(T_{O2})の制御端子には、当該薄膜トランジスタ(T_{O2})をオン状態にすべき時にその電圧レベルがゲートクロック信号(GCK)のハイレベル電圧の電圧レベル(V_{gh2})となるリセット信号(R)が与えられる。ここで、"ゲートクロック信号(GCK)のハイレベル電圧の電圧レベル(V_{gh2})とゲートクロック信号(GCK)のローレベル電圧の電圧レベル(V_{gl})との差"を"(選択状態にするゲートバスライン(GL)に与えられる)直流電源電圧(VDD)の電圧レベル(V_{gh})とゲートクロック信号(GCK)のローレベル電圧の電圧レベル(V_{gl})との差"よりも大きくする。

明 細 書

発明の名称： 走査信号線駆動回路およびそれを備える表示装置 技術分野

[0001] 本発明は、表示装置に関し、更に詳しくは、表示装置の表示部に配設されたゲートバスライン（走査信号線）を駆動するための走査信号線駆動回路に関する。

背景技術

[0002] 従来より、複数本のソースバスライン（映像信号線）および複数本のゲートバスライン（走査信号線）を含む表示部を備えた液晶表示装置が知られている。そのような液晶表示装置において、ソースバスラインとゲートバスラインとの交差点には、画素を形成する画素形成部が設けられている。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（画素TFT）や、画素電圧値を保持するための画素容量などを含んでいる。液晶表示装置には、また、ゲートバスラインを駆動するためのゲートドライバ（走査信号線駆動回路）とソースバスラインを駆動するためのソースドライバ（映像信号線駆動回路）とが設けられている。

[0003] 画素電圧値を示す映像信号はソースバスラインによって伝達される。しかしながら、各ソースバスラインは複数行分の画素電圧値を示す映像信号を一時（同時）に伝達することができない。このため、表示部に設けられた複数の画素形成部内の画素容量への映像信号の書き込み（充電）は1行ずつ順次に行われる。そこで、複数本のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバは複数段からなるシフトレジスタによって構成されている。そして、シフトレジスタの各段から順次にアクティブな走査信号が出力されることによって、上述のように、画素容量への映像信号の書き込みが1行ずつ順次に行われる。なお、本明細書においては、シフトレ

ジスタの各段を構成する回路のことを「単位回路」という。

[0004] ゲートドライバを構成するシフトレジスタは、「ゲートクロック信号」と呼ばれる複数相のクロック信号に基づいて動作する。これに関し、以下においては、それら複数相のクロック信号の総称としてのゲートクロック信号には符号GCKを付し、それら複数相のクロック信号のうち単位回路に入力されるゲートクロック信号には符号GCKinを付す。

[0005] ところで、従来、ゲートドライバは、液晶パネルを構成する基板の周辺部にIC(Integrated Circuit)チップとして搭載されることが多かった。しかしながら、近年、基板上に直接的にゲートドライバを形成することが徐々に多くなされている。このようなゲートドライバは「モノリシックゲートドライバ」などと呼ばれている。

[0006] 従来のPowerClock方式のモノリシックゲートドライバの構成（以下、「第1の従来例」という。）は、例えば日本の特許第5318117号明細書に開示されている。第1の従来例によれば、図30に示すように、ゲート負荷を駆動するために設けられているバッファTF Tと呼ばれる薄膜トランジスタT901の一方の導通端子にゲートクロック信号GCKinが与えられている（薄膜トランジスタT901の他方の導通端子はゲートバスラインGLに接続されている）。このような構成が採用されているため、交流信号であるゲートクロック信号GCKinによって比較的大きな容量が駆動される必要がある。従って、第1の従来例によれば、消費電力が大きくなる。

[0007] そこで、日本の特許第5405570号明細書には、図31に示すように、バッファTF Tと呼ばれる薄膜トランジスタT911の一方の導通端子にハイレベルの直流電源電圧VDDが与えられるようにした構成（以下、「第2の従来例」という。）が開示されている。第2の従来例によれば、ゲート負荷はハイレベルの直流電源電圧VDDによって駆動されるので、ゲートクロック信号GCKinによって駆動される必要のある容量が小さくなる。その結果、第1の従来例と比較して、消費電力が低減される。

先行技術文献

特許文献

[0008] 特許文献1：日本の特許第5318117号明細書

特許文献2：日本の特許第5405570号明細書

発明の概要

発明が解決しようとする課題

[0009] 上述したように、第2の従来例によれば、低消費電力性を有するモノリシックゲートドライバが実現される。ところが、第2の従来例によれば、ゲートバスラインGLに出力される走査信号の立ち上げ・立ち下げに要する時間が比較的長くなる。このため、特に高速駆動を行うパネルや高精細パネルを採用している場合には、画素容量を充電するための時間を十分に確保することができない。これについて、図32を参照しつつ、以下に説明する。

[0010] 図32は、ゲート出力（ゲートドライバから出力される走査信号の電圧）の波形を第1の従来例と第2の従来例とで比較するための図である。図32では、ゲートクロック信号GCKの波形を符号91を付した実線で表し、第1の従来例におけるゲート出力の波形を符号92を付した太実線で表し、第2の従来例におけるゲート出力の波形を符号93を付した太点線で表している。図32より、ゲート出力の立ち上がり時間についてもゲート出力の立ち下がり時間についても第1の従来例よりも第2の従来例の方が長くなっていることが把握される。この理由は、次のとおりである。第1の従来例においては、ゲート出力を立ち下げる際にゲートクロック信号GCK_{in}がハイレベルからローレベルに変化することによって、ゲートバスラインGLからゲートクロック信号GCK_{in}用の入力端子へと電荷が抜かれる。これに対して、第2の従来例においては、ゲート出力の立ち下げ用に設けられている薄膜トランジスタT912（図31参照）の制御端子に与えられるリセット信号Rがゲート出力を立ち下げる際にローレベルからハイレベルに変化して当該薄膜トランジスタT912がオン状態となることによって、ゲートバスラ

インGLからローレベルの直流電源電圧VSS用の入力端子へと電荷が抜かれる。すなわち、第2の従来例においては、リセット信号Rの立ち上がり後にゲート出力が立ち下がることになるので、第1の従来例と比較してゲート出力の立ち下がりに遅延が生じる。なお、第1の従来例では、第2の従来例と同様にして、ゲートバスラインGLから直流電源電圧VSS用の入力端子へも電荷が抜かれている。

[0011] 以上のように、第1の従来例によれば、画素容量の充電時間は十分に確保されるが、消費電力が大きくなる。一方、第2の従来例によれば、消費電力は低減されるが、画素容量の充電時間を十分に確保することができない。

[0012] そこで本発明は、低消費電力で充電時間を十分に確保することのできるゲートドライバ（走査信号線駆動回路）を実現することを目的とする。

課題を解決するための手段

[0013] 本発明の第1の局面は、第1レベル電圧と第2レベル電圧との間で切り替えられる複数のクロック信号に基づいて動作する複数の単位回路からなるシフトレジスタを含む、表示装置の表示部に配設された複数の走査信号線を駆動するための走査信号線駆動回路であって、

各単位回路は、

対応する走査信号線に与えられるべき第1出力信号を出力する第1出力ノードと、

他の単位回路の動作を制御するための第2出力信号を出力する第2出力ノードと、

制御端子と、選択状態にする走査信号線に供給されるべき直流電圧である選択レベル電圧が与えられる第1導通端子と、前記第1出力ノードに接続された第2導通端子とを有する選択制御トランジスタと、

後段の単位回路の第2出力ノードから出力された第2出力信号がリセット信号として与えられる制御端子と、前記第1出力ノードに接続された第1導通端子と、非選択状態にする走査信号線に供給されるべき直流電圧である非選択レベル電圧が与えられる第2導通端子とを有する非選択制御トランジ

スタと

を含み、

各单位回路の第2出力ノードから出力される第2出力信号は、対応する走査信号線が選択状態で維持されるべき期間中に前記第1レベル電圧となり、

前記非選択制御トランジスタは、前記リセット信号が前記第1レベル電圧である時にオン状態となり、

非選択状態にする走査信号線に対応する単位回路に含まれる非選択制御トランジスタの制御端子に与えられるリセット信号が前記第1レベル電圧となるように、前記複数の単位回路が互いに接続され、

前記選択レベル電圧と前記第2レベル電圧との差よりも前記第1レベル電圧と前記第2レベル電圧との差の方が大きいことを特徴とする。

[0014] 本発明の第2の局面は、本発明の第1の局面において、

各单位回路は、

前記選択制御トランジスタの制御端子に接続された第1ノードと、

前記第1ノードに接続された制御端子と、前記複数のクロック信号の1つが与えられる第1導通端子と、前記第2出力ノードに接続された第2導通端子とを有する出力制御トランジスタと、

前記リセット信号が与えられる制御端子と、前記第2出力ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する非出力制御トランジスタと、

先行する段の単位回路の第2出力ノードから出力された第2出力信号をセット信号として受け取り、当該セット信号に基づいて前記第1ノードの電位をオンレベルに向けて変化させるための第1ノードターンオン用トランジスタと、

制御端子と、前記第1ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第1の第1ノードターンオフ用トランジスタと、

前記第1の第1ノードターンオフ用トランジスタの制御端子に接続され

た第2ノードと、

前記第1ノードの電位がオフレベルで維持されるべき期間に前記第2ノードの電位をオンレベルで維持するための第2ノードターンオン用トランジスタと、

前記第1ノードに接続された制御端子と、前記第2ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第2ノードターンオフ用トランジスタとを更に含むことを特徴とする。

[0015] 本発明の第3の局面は、本発明の第2の局面において、各単位回路は、

前記リセット信号が与えられる制御端子と、前記第1ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第2の第1ノードターンオフ用トランジスタと、

前記第2ノードに接続された制御端子と、前記第1出力ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第1出力ノードターンオフ用トランジスタと、

前記第2ノードに接続された制御端子と、前記第2出力ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第2出力ノードターンオフ用トランジスタとを更に含むことを特徴とする。

[0016] 本発明の第4の局面は、本発明の第3の局面において、各単位回路は、

第3ノードと、

一端が前記第1ノードに接続され、他端が前記第3ノードに接続された容量素子と、

前記出力制御トランジスタの第1導通端子に与えられるクロック信号が与えられる制御端子と、前記選択レベル電圧が与えられる第1導通端子と、前記第3ノードに接続された第2導通端子とを有する第3ノードターンオン

用トランジスタと、

前記セット信号が与えられる制御端子と、前記第3ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第3ノードターンオフ用トランジスタとを更に含むことを特徴とする。

[0017] 本発明の第5の局面は、本発明の第4の局面において、

前記第1ノードターンオン用トランジスタは、前記セット信号が与えられる制御端子および第1導通端子と、前記第1ノードに接続された第2導通端子とを有し、

前記第2ノードターンオン用トランジスタは、前記出力制御トランジスタの第1導通端子に与えられるクロック信号が与えられる制御端子および第1導通端子と、前記第2ノードに接続された第2導通端子とを有することを特徴とする。

[0018] 本発明の第6の局面は、本発明の第4の局面において、

前記第1ノードターンオン用トランジスタは、前記セット信号が与えられる制御端子と、前記第1レベル電圧が与えられる第1導通端子と、前記第1ノードに接続された第2導通端子とを有し、

前記第2ノードターンオン用トランジスタは、前記第1レベル電圧が与えられる制御端子および第1導通端子と、前記第2ノードに接続された第2導通端子とを有することを特徴とする。

[0019] 本発明の第7の局面は、本発明の第3の局面において、

各单位回路は、一端が前記第1ノードに接続され、他端が前記第2出力ノードに接続された容量素子を更に含むことを特徴とする。

[0020] 本発明の第8の局面は、本発明の第7の局面において、

前記第1ノードターンオン用トランジスタは、前記セット信号が与えられる制御端子および第1導通端子と、前記第1ノードに接続された第2導通端子とを有し、

前記第2ノードターンオン用トランジスタは、前記出力制御トランジスタ

の第1導通端子に与えられるクロック信号が与えられる制御端子および第1導通端子と、前記第2ノードに接続された第2導通端子とを有することを特徴とする。

[0021] 本発明の第9の局面は、本発明の第7の局面において、

前記第1ノードターンオン用トランジスタは、前記セット信号が与えられる制御端子と、前記第1レベル電圧が与えられる第1導通端子と、前記第1ノードに接続された第2導通端子とを有し、

前記第2ノードターンオン用トランジスタは、前記第1レベル電圧が与えられる制御端子および第1導通端子と、前記第2ノードに接続された第2導通端子とを有することを特徴とする。

[0022] 本発明の第10の局面は、本発明の第1の局面において、

前記複数の走査信号線が順次に選択状態となる走査期間と前記複数の走査信号線のいずれもが非選択状態で維持される休止期間とが交互に現れるように前記複数の走査信号線を駆動することができることを特徴とする。

[0023] 本発明の第11の局面は、本発明の第10の局面において、

前記選択制御トランジスタおよび前記非選択制御トランジスタは、制御端子ー第2導通端子間の電圧が0である時には第1導通端子ー第2導通端子間に電流を流さない特性を有しており、

前記走査期間および前記休止期間を通じて、前記選択制御トランジスタの第1導通端子には前記選択レベル電圧が与えられることを特徴とする。

[0024] 本発明の第12の局面は、本発明の第10の局面において、

前記選択制御トランジスタおよび前記非選択制御トランジスタは、制御端子ー第2導通端子間の電圧が0である時に第1導通端子ー第2導通端子間に電流を流す特性を有しており、

前記休止期間には、前記選択制御トランジスタの第1導通端子には前記選択レベル電圧に代えて前記非選択レベル電圧または前記第2レベル電圧が与えられることを特徴とする。

[0025] 本発明の第13の局面は、本発明の第1の局面において、

前記選択制御トランジスタおよび前記非選択制御トランジスタは、 n チャネル型の薄膜トランジスタであって、

前記第1レベル電圧は、前記第2レベル電圧よりも高く、

前記選択レベル電圧は、前記非選択レベル電圧よりも高く、

前記第1レベル電圧は、前記選択レベル電圧よりも高いことを特徴とする

。

[0026] 本発明の第14の局面は、表示装置であって、

本発明の第1の局面に係る走査信号線駆動回路を備えたことを特徴とする

。

発明の効果

[0027] 本発明の第1の局面によれば、第1レベル電圧と第2レベル電圧との間で切り替えられる複数のクロック信号に基づいて動作する複数の単位回路からなるシフトレジスタを備えた構成の走査信号線駆動回路において、走査信号線を非選択状態にするために各単位回路に設けられている非選択制御トランジスタのオン／オフ状態は、後段の単位回路から出力される第2出力信号であるリセット信号によって制御される。その第2出力信号は、対応する走査信号線が選択状態で維持されるべき期間中に第1レベル電圧となる。ここで、“第1レベル電圧と第2レベル電圧との差”が“選択レベル電圧と第2レベル電圧との差”よりも大きいので、非選択制御トランジスタをオフ状態からオン状態へと変化させる際に、当該非選択制御トランジスタの制御端子に与えられるリセット信号の電圧が従来よりも速い速度で変化する。その結果、走査信号線が選択状態から非選択状態に変化するのに要する時間が従来よりも短くなる。これにより、高速駆動を行うパネルや高精細パネルが採用される場合においても、画素容量の充電時間が十分に確保される。また、走査信号線が直流電圧によって駆動される構成（選択制御トランジスタの第1導通端子に直流電圧が与えられる構成）が採用されているので、消費電力は低い。以上より、低消費電力で充電時間を十分に確保することのできる走査信号線駆動回路が実現される。

- [0028] 本発明の第2の局面によれば、各单位回路から走査信号線に与える第1出力信号と他の単位回路に与える第2出力信号とが出力されるように構成されたシフトレジスタにおいて、安定したシフト動作が行われる。
- [0029] 本発明の第3の局面によれば、走査信号線を選択状態から非選択状態に変化させる際に、第1ノード、第1出力ノード、および第2出力ノードの電位を速やかにオンレベルからオフレベルに変化させることが可能となる。これにより、動作不良の発生が抑制される。
- [0030] 本発明の第4から第9までの局面によれば、走査信号線を非選択状態から選択状態に変化させる際に、容量素子を介して第1ノードの電位を十分なオンレベルにまで変化させることが可能となる。
- [0031] 本発明の第10から第12までの局面によれば、いわゆる休止駆動が行われるので、消費電力を更に低減しつつ充電時間を十分に確保することが可能となる。
- [0032] 本発明の第13の局面によれば、 n チャネル型の薄膜トランジスタを用いた構成において、本発明の第1の局面の効果が得られる。
- [0033] 本発明の第14の局面によれば、本発明の第1の局面の効果を奏する走査信号線駆動回路を備えた表示装置が実現される。

図面の簡単な説明

- [0034] [図1]本発明の全ての実施形態に共通する特徴について説明するための図である。
- [図2]本発明の第1の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。
- [図3]上記第1の実施形態において、ゲートドライバの構成について説明するためのブロック図である。
- [図4]上記第1の実施形態において、ゲートドライバ内のシフトレジスタの構成を示すブロック図である。
- [図5]上記第1の実施形態において、ゲートドライバの動作について説明するための信号波形図である。

[図6]上記第1の実施形態において、シフトレジスタの各単位回路の入出力信号について説明するための図である。

[図7]上記第1の実施形態において、単位回路の構成（シフトレジスタの一段分の構成）を示す回路図である。

[図8]上記第1の実施形態において、単位回路の動作について説明するための信号波形図である。

[図9]上記第1の実施形態と第2の従来例とでゲート出力の波形を比較するための図である。

[図10]上記第1の実施形態において、シミュレーションの結果について説明するための図である。

[図11]上記第1の実施形態において、シミュレーションの結果について説明するための図である。

[図12]上記第1の実施形態において、シミュレーションの結果について説明するための図である。

[図13]上記第1の実施形態において、シミュレーションの結果について説明するための図である。

[図14]上記第1の実施形態の変形例において、ゲートドライバ内のシフトレジスタの構成を示すブロック図である。

[図15]上記第1の実施形態の変形例において、ゲートドライバの動作について説明するための信号波形図である。

[図16]上記第1の実施形態の変形例において、単位回路の構成（シフトレジスタの一段分の構成）を示す回路図である。

[図17]本発明の第2の実施形態において、単位回路の構成（シフトレジスタの一段分の構成）を示す回路図である。

[図18]上記第2の実施形態において、単位回路の動作について説明するための信号波形図である。

[図19]上記第2の実施形態において、シミュレーションの結果について説明するための図である。

[図20]上記第2の実施形態において、シミュレーションの結果について説明するための図である。

[図21]上記第2の実施形態において、シミュレーションの結果について説明するための図である。

[図22]上記第2の実施形態の変形例において、単位回路の構成（シフトレジスタの一段分の構成）を示す回路図である。

[図23]本発明の第3の実施形態において、動作モードが通常駆動であるときの駆動信号の信号波形図である。

[図24]上記第3の実施形態において、動作モードが休止駆動であるときの駆動信号の信号波形図である（薄膜トランジスタが図25に示す特性を有する場合）。

[図25]上記第3の実施形態に関し、薄膜トランジスタの $V_{ds}-I_{ds}$ 特性の一例を示す図である。

[図26]上記第3の実施形態に関し、薄膜トランジスタの $V_{ds}-I_{ds}$ 特性の別の例を示す図である。

[図27]上記第3の実施形態に関し、休止期間中に単位回路内を流れ得る電流について説明するための図である。

[図28]上記第3の実施形態において、動作モードが休止駆動であるときの駆動信号の信号波形図である（薄膜トランジスタが図26に示す特性を有する場合）。

[図29]pチャネル型の薄膜トランジスタが用いられている場合について説明するための図である。

[図30]第1の従来例について説明するための回路図である。

[図31]第2の従来例について説明するための回路図である。

[図32]第1の従来例と第2の従来例とでゲート出力の波形を比較するための図である。

発明を実施するための形態

[0035] <0. はじめに>

本発明の実施形態について説明する前に、全ての実施形態に共通する事項について説明する。図1において、符号61を付した点線内に、ゲートドライバを構成するシフトレジスタに含まれる1つの単位回路の出力部近傍の構成を示している。単位回路の出力部近傍には、ゲート負荷6を駆動するためのバッファTFTと呼ばれる薄膜トランジスタT01とゲート出力を立ち下げるための薄膜トランジスタT02とが設けられている。薄膜トランジスタT01、T02は、nチャネル型であって、制御端子と第1導通端子と第2導通端子とを有している。薄膜トランジスタT01については、第1導通端子にはハイレベルの直流電源電圧VDDが与えられ、第2導通端子はゲートバスラインGLに接続されている。薄膜トランジスタT02については、制御端子にはリセット信号Rが与えられ、第1導通端子はゲートバスラインGLに接続され、第2導通端子にはローレベルの直流電源電圧VSSが与えられる。なお、リセット信号Rは、後段の単位回路から出力される信号であって当該後段の単位回路に対応するゲートバスラインGLが選択状態で維持されるべき期間中に第1レベル電圧となる信号である。

[0036] 以上のように、単位回路の出力部近傍の回路構成自体は、上述した第2の従来例における構成と同様である。但し、ゲートクロック信号GCKのハイレベル電圧・ローレベル電圧、直流電源電圧VDD、および直流電源電圧VSSの電圧レベルが図1で符号62を付した点線内に示すようなものとなっている。すなわち、直流電源電圧VDDの電圧レベルVghよりもゲートクロック信号GCKのハイレベル電圧の電圧レベルVgh2の方が高くなっている。換言すれば、“直流電源電圧VDDの電圧レベルVghとゲートクロック信号GCKのローレベル電圧の電圧レベルVglとの差”よりも“ゲートクロック信号GCKのハイレベル電圧の電圧レベルVgh2とゲートクロック信号GCKのローレベル電圧の電圧レベルVglとの差”の方が大きくなっている。

[0037] 以上の点を踏まえ、本発明の実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子（ゲート電極）は制御端子に

相当し、ドレイン端子（ドレイン電極）は第１の導通端子に相当し、ソース端子（ソース電極）は第２の導通端子に相当する。また、これに関し、一般的にはドレインとソースのうち電位の高い方がドレインと呼ばれているが、本明細書の説明では、一方をドレイン、他方をソースと定義するので、ドレイン電位よりもソース電位の方が高くなることもある。

[0038] ＜１．第１の実施形態＞

＜１．１ 全体構成および動作概要＞

図２は、本発明の第１の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図２に示すように、この液晶表示装置は、電源１００とＤＣ／ＤＣコンバータ１１０と表示制御回路２００とソースドライバ（映像信号線駆動回路）３００とゲートドライバ（走査信号線駆動回路）４００と共通電極駆動回路５００と表示部６００とを備えている。なお、本実施形態においては、ゲートドライバ４００と表示部６００とは同一基板（液晶パネルを構成する２枚の基板のうちの一方の基板であるＴＦＴ基板）上に形成されている。すなわち、本実施形態におけるゲートドライバ４００は、モノリシックゲートドライバである。

[0039] 表示部６００には、複数本（ j 本）のソースバスライン（映像信号線） $SL_1 \sim SL_j$ と、複数本（ i 本）のゲートバスライン（走査信号線） $GL_1 \sim GL_i$ と、それら複数本のソースバスライン $SL_1 \sim SL_j$ と複数本のゲートバスライン $GL_1 \sim GL_i$ との交差点にそれぞれ対応して設けられた複数個（ $i \times j$ 個）の画素形成部とが形成されている。上記複数個の画素形成部はマトリクス状に配置されて画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されると共に当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（ＴＦＴ）６０と、その薄膜トランジスタ６０のドレイン端子に接続された画素電極と、上記複数個の画素形成部に共通的に設けられた対向電極である共通電極 E_c と、上記複数個の画素形成部に共通的に設けられ画素電極と共通電極 E_c との間に挟持された液晶層

とからなる。そして、画素電極と共通電極E_cとにより形成される液晶容量により、画素容量C_pが構成される。なお、通常、画素容量C_pに確実に電荷を保持すべく、液晶容量に並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。また、本実施形態においては、薄膜トランジスタ60はnチャネル型である。

[0040] ところで、薄膜トランジスタ60としては、半導体層にアモルファスシリコンを用いた薄膜トランジスタ(a-Si TFT)、半導体層に微結晶シリコンを用いた薄膜トランジスタ、半導体層に酸化物半導体を用いた薄膜トランジスタ(酸化物TFT)、半導体層に低温ポリシリコンを用いた薄膜トランジスタ(LTPS-TFT)などを採用することができる。酸化物TFTとしては、例えば、In-Ga-Zn-O系の半導体(例えば酸化インジウムガリウム亜鉛)を含む酸化物半導体層を有する薄膜トランジスタを採用することができる。

[0041] 電源100は、DC/DCコンバータ110と表示制御回路200と共通電極駆動回路500とに所定の電源電圧を供給する。DC/DCコンバータ110は、その電源電圧からソースドライバ300およびゲートドライバ400を動作させるための直流電圧(直流電源電圧V_{DD}および直流電源電圧V_{SS})を生成し、それをソースドライバ300およびゲートドライバ400に供給する。共通電極駆動回路500は、共通電極E_cに共通電極駆動電圧V_{com}を与える。

[0042] 表示制御回路200は、外部から送られる画像信号DATおよび水平同期信号や垂直同期信号などのタイミング信号群TGを受け取り、デジタル映像信号DVと、表示部600における画像表示を制御するためのソーススタートパルス信号SSP、ソースクロック信号SCK、ラッチストロブ信号LS、ゲートスタートパルス信号GSP、ゲートエンドパルス信号GEP、およびゲートクロック信号GCKとを出力する。なお、本実施形態においては、ゲートクロック信号GCKは、デューティ比が1/2(すなわち50%)の4相のクロック信号で構成されている。

[0043] ソースドライバ300は、表示制御回路200から出力されるデジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、およびラッチストロブ信号LSを受け取り、各ソースバスラインSL1～SLjに駆動用映像信号S(1)～S(j)を印加する。

[0044] ゲートドライバ400は、表示制御回路200から出力されるゲートスタートパルス信号GSP、ゲートエンドパルス信号GEP、およびゲートクロック信号GCKに基づいて、アクティブな走査信号GOUT(1)～GOUT(i)の各ゲートバスラインGL1～GLiへの印加を1垂直走査期間を周期として繰り返す。このゲートドライバ400についての詳しい説明は後述する。

[0045] 以上のようにして、各ソースバスラインSL1～SLjに駆動用映像信号S(1)～S(j)が印加され、各ゲートバスラインGL1～GLiに走査信号GOUT(1)～GOUT(i)が印加されることにより、外部から送られた画像信号DATに基づく画像が表示部600に表示される。

[0046] <1. 2 ゲートドライバ>

<1. 2. 1 シフトレジスタ全体の構成および動作>

次に、図3～図6を参照しつつ、本実施形態におけるゲートドライバ400の構成および動作の概要について説明する。図3は、本実施形態におけるゲートドライバ400の構成について説明するためのブロック図である。図3に示すように、ゲートドライバ400は複数段からなるシフトレジスタ410によって構成されている。表示部600にはi行×j列の画素マトリクスが形成されているところ、それら画素マトリクスの各行と1対1で対応するようにシフトレジスタ410の各段が設けられている。すなわち、シフトレジスタ410にはi個の単位回路4(1)～4(i)が含まれている。

[0047] 図4は、ゲートドライバ400内のシフトレジスタ410の構成を示すブロック図である。上述したように、このシフトレジスタ410はi個の単位回路4(1)～4(i)で構成されている。なお、図4には、(n-2)段目から(n+2)段目までの単位回路4(n-2)～4(n+2)を示して

いる。以下においては、 i 個の単位回路 4 (1) ~ 4 (i) を互いに区別する必要がない場合には単位回路を単に符号 4 で表す。ゲートクロック信号 GCK は、4 相のクロック信号 (ゲートクロック信号 GCK 1, GCK 1 B, GCK 2, および GCK 2 B) で構成されている。また、ゲートスタートパルス信号 GSP は第 1 のゲートスタートパルス信号 GSP 1 と第 2 のゲートスタートパルス信号 GSP 2 とで構成され、ゲートエンドパルス信号 GEP は第 1 のゲートエンドパルス信号 GEP 1 と第 2 のゲートエンドパルス信号 GEP 2 とで構成されている (図 4 では省略)。

[0048] シフトレジスタ 410 の各段 (各単位回路 4) の入力端子に与えられる信号は次のようになっている (図 4 参照)。ゲートクロック信号 GCK に関しては、($n-2$) 段目の単位回路 4 ($n-2$) にはゲートクロック信号 GCK 1 が与えられ、($n-1$) 段目の単位回路 4 ($n-1$) にはゲートクロック信号 GCK 2 が与えられ、 n 段目の単位回路 4 (n) にはゲートクロック信号 GCK 1 B が与えられ、($n+1$) 段目の単位回路 4 ($n+1$) にはゲートクロック信号 GCK 2 B が与えられる。このような構成が、シフトレジスタ 410 の全ての段を通して 4 段ずつ繰り返される。なお、図 5 に示すように、ゲートクロック信号 GCK 1 とゲートクロック信号 GCK 1 B とは位相が 180 度ずれていて、ゲートクロック信号 GCK 2 とゲートクロック信号 GCK 2 B とは位相が 180 度ずれていて、ゲートクロック信号 GCK 1 の位相はゲートクロック信号 GCK 2 の位相よりも 90 度進んでいる。また、任意の段 (ここでは k 段目とする) の単位回路 4 (k) について、2 段前の単位回路 4 ($k-2$) から出力される出力信号 $Q(k-2)$ がセット信号 S として与えられ、2 段後の単位回路 4 ($k+2$) から出力される出力信号 $Q(k+2)$ がリセット信号 R として与えられる (図 6 参照)。但し、1 段目の単位回路 4 (1) については、第 1 のゲートスタートパルス信号 GSP 1 がセット信号 S として与えられ、2 段目の単位回路 4 (2) については、第 2 のゲートスタートパルス信号 GSP 2 がセット信号 S として与えられる。また、($i-1$) 段目の単位回路 4 ($i-1$) については、第 1 のゲート

エンドパルス信号GEP1 がリセット信号Rとして与えられ、 i 段目の単位回路4 (i) については、第2のゲートエンドパルス信号GEP がリセット信号Rとして与えられる。直流電源電圧VDDおよび直流電源電圧VSSについては、全ての単位回路4 (1) ~ 4 (i) に共通的に与えられる。

[0049] シフトレジスタ410の各段（各単位回路4）の出力端子からは2つの信号（出力信号Gおよび出力信号Q）が出力される（図4および図6を参照）。任意の段から出力される出力信号Gは、走査信号GOUTとしてゲートバスラインGLに与えられる。また、任意の段（ここでは k 段目とする）から出力される出力信号Qは、リセット信号Rとして2段前の単位回路4 ($k - 2$) に与えられるとともに、セット信号Sとして2段後の単位回路4 ($k + 2$) に与えられる。

[0050] 以上のような構成において、シフトレジスタ410の1段目の単位回路4 (1) にセット信号Sとしての第1のゲートスタートパルス信号GSP1のパルスが与えられ、シフトレジスタ410の2段目の単位回路4 (2) にセット信号Sとしての第2のゲートスタートパルス信号GSP2のパルスが与えられると、ゲートクロック信号GCKのクロック動作に基づいて、各単位回路4から出力される出力信号Qに含まれるシフトパルスが1段目の単位回路4 (1) から i 段目の単位回路4 (i) へと順次に転送される。そして、このシフトパルスの転送に応じて、各単位回路4から出力される出力信号Qおよび出力信号G（走査信号GOUT）が順次にハイレベルとなる。これにより、図5に示すように、所定期間ずつ順次にハイレベル（アクティブ）となる走査信号GOUT (1) ~ GOUT (i) が表示部600内のゲートバスラインGL1 ~ GL i に与えられる。すなわち、 i 本のゲートバスラインGL1 ~ GL i が順次に選択状態となる。そして、走査信号GOUT (i) がハイレベルになった後、シフトレジスタ410の($i - 1$) 段目の単位回路4 ($i - 1$) にリセット信号Rとしての第1のゲートエンドパルス信号GEP1のパルスが与えられ、シフトレジスタ410の i 段目の単位回路4 (i) にリセット信号Rとしての第2のゲートエンドパルス信号GEP2のパ

ルスが与えられる。これにより、シフトレジスタ410でのシフト動作が終了する。

[0051] ところで、本実施形態においては、直流電源電圧VDDの電圧レベルV_{gh}よりもゲートクロック信号GCK（ゲートクロック信号GCK1，GCK1B，GCK2，およびGCK2B）のハイレベル電圧の電圧レベルV_{gh2}の方が高くなっている。直流電源電圧VSSとゲートクロック信号GCKのローレベル電圧とは同じ電圧レベルV_{gl}を有している。ゲートスタートパルス信号GSPおよびゲートエンドパルス信号GEPのハイレベル電圧については、特に限定はされないが、電圧レベルV_{gh2}を有していることが好ましい。

[0052] なお、本実施形態においては、ゲートクロック信号GCKとしてデューティ比が1/2（すなわち50%）の4相のクロック信号が用いられているが、本発明はこれには限定されない。Z_aおよびZ_bを整数としてデューティ比がZ_b/Z_aのZ_a相のクロック信号を用いる場合、各段に関し、Z_b段前の単位回路から出力される出力信号Qがセット信号Sとして与えられるようにするとともにZ_b段後の単位回路から出力される出力信号Qがリセット信号Rとして与えられるようにすれば良い。例えば、デューティ比が2/6の6相のクロック信号を用いる場合、各段に関し、2段前の単位回路から出力される出力信号Qがセット信号Sとして与えられるようにするとともに2段後の単位回路から出力される出力信号Qがリセット信号Rとして与えられるようにすれば良い。また、例えば、デューティ比が4/8の8相のクロック信号を用いる場合、各段に関し、4段前の単位回路から出力される出力信号Qがセット信号Sとして与えられるようにするとともに4段後の単位回路から出力される出力信号Qがリセット信号Rとして与えられるようにすれば良い。

[0053] <1. 2. 2 単位回路の構成>

図7は、本実施形態における単位回路4の構成（シフトレジスタ410の一段分の構成）を示す回路図である。図7に示すように、この単位回路4は

、 13 個の薄膜トランジスタ T11, T12, T13, T14, T15, T16, T17, T18, T19, T1A, T1B, T1C, および T1D と、 1 個のキャパシタ（容量素子）C1 とを備えている。また、この単位回路 4 は、直流電源電圧 VSS 用の入力端子のほか、4 個の入力端子 41 ~ 44 および 2 個の出力端子 48, 49 を有している。ここで、セット信号 S を受け取る入力端子には符号 41 を付し、リセット信号 R を受け取る入力端子には符号 42 を付し、ゲートクロック信号 GCKin を受け取る入力端子には符号 43 を付し、直流電源電圧 VDD を受け取る入力端子には符号 44 を付している。また、出力信号 G を出力するための出力端子には符号 48 を付し、出力信号 Q を出力するための出力端子には符号 49 を付している。なお、単位回路 4 内の薄膜トランジスタ T11, T12, T13, T14, T15, T16, T17, T18, T19, T1A, T1B, T1C, および T1D は、上述した画素形成部 4 内の薄膜トランジスタ 60（図 2 参照）と同じ種類の薄膜トランジスタで実現される。

[0054] 次に、この単位回路 4 内における構成要素間の接続関係について説明する。薄膜トランジスタ T11 のゲート端子、薄膜トランジスタ T13 のゲート端子、薄膜トランジスタ T15 のドレイン端子、薄膜トランジスタ T16 のソース端子、薄膜トランジスタ T17 のドレイン端子、薄膜トランジスタ T19 のゲート端子、およびキャパシタ C1 の一端は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「第 1 ノード」という。第 1 ノードには符号 N1 を付す。薄膜トランジスタ T17 のゲート端子、薄膜トランジスタ T18 のソース端子、薄膜トランジスタ T19 のドレイン端子、薄膜トランジスタ T1A のゲート端子、および薄膜トランジスタ T1B のゲート端子は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「第 2 ノード」という。第 2 ノードには符号 N2 を付す。薄膜トランジスタ T1C のソース端子、薄膜トランジスタ T1D のドレイン端子、およびキャパシタ C1 の他端は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを

便宜上「第3ノード」という。第3ノードには符号N3を付す。

[0055] 薄膜トランジスタT11については、ゲート端子は第1ノードN1に接続され、ドレイン端子は入力端子44に接続され、ソース端子は出力端子48に接続されている。薄膜トランジスタT12については、ゲート端子は入力端子42に接続され、ドレイン端子は出力端子48に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT13については、ゲート端子は第1ノードN1に接続され、ドレイン端子は入力端子43に接続され、ソース端子は出力端子49に接続されている。薄膜トランジスタT14については、ゲート端子は入力端子42に接続され、ドレイン端子は出力端子49に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT15については、ゲート端子は入力端子42に接続され、ドレイン端子は第1ノードN1に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT16については、ゲート端子およびドレイン端子は入力端子41に接続され（すなわち、ダイオード接続となっている）、ソース端子は第1ノードN1に接続されている。

[0056] 薄膜トランジスタT17については、ゲート端子は第2ノードN2に接続され、ドレイン端子は第1ノードN1に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT18については、ゲート端子およびドレイン端子は入力端子43に接続され（すなわち、ダイオード接続となっている）、ソース端子は第2ノードN2に接続されている。薄膜トランジスタT19については、ゲート端子は第1ノードN1に接続され、ドレイン端子は第2ノードN2に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT1Aについては、ゲート端子は第2ノードN2に接続され、ドレイン端子は出力端子48に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT1Bについては、ゲート端子は第2ノードN2に接続され、ドレイン端子は出力端子49に接続され、ソース端子は直流電

源電圧 V_{SS} 用の入力端子に接続されている。薄膜トランジスタ T_{1C} については、ゲート端子は入力端子 43 に接続され、ドレイン端子は入力端子 44 に接続され、ソース端子は第 3 ノード N_3 に接続されている。薄膜トランジスタ T_{1D} については、ゲート端子は入力端子 41 に接続され、ドレイン端子は第 3 ノード N_3 に接続され、ソース端子は直流電源電圧 V_{SS} 用の入力端子に接続されている。キャパシタ C_1 については、一端は第 1 ノード N_1 に接続され、他端は第 3 ノード N_3 に接続されている。

[0057] 次に、各構成要素のこの単位回路 4 における機能について説明する。薄膜トランジスタ T_{11} は、第 1 ノード N_1 の電位がハイレベルになっているときに、直流電源電圧 V_{DD} を出力端子 48 に与える。薄膜トランジスタ T_{12} は、リセット信号 R がハイレベルになっているときに、出力信号 G をローレベルに向けて変化させる。薄膜トランジスタ T_{13} は、第 1 ノード N_1 の電位がハイレベルになっているときに、ゲートクロック信号 GCK_{in} の電圧を出力端子 49 に与える。薄膜トランジスタ T_{14} は、リセット信号 R がハイレベルになっているときに、出力信号 Q をローレベルに向けて変化させる。薄膜トランジスタ T_{15} は、リセット信号 R がハイレベルになっているときに、第 1 ノード N_1 の電位をローレベルに向けて変化させる。

[0058] 薄膜トランジスタ T_{16} は、セット信号 S がハイレベルになっているときに、第 1 ノード N_1 の電位をハイレベルに向けて変化させる。薄膜トランジスタ T_{17} は、第 2 ノード N_2 の電位がハイレベルになっているときに、第 1 ノード N_1 の電位をローレベルに向けて変化させる。薄膜トランジスタ T_{18} は、ゲートクロック信号 GCK_{in} がハイレベルになっているときに、第 2 ノード N_2 の電位をハイレベルに向けて変化させる。薄膜トランジスタ T_{19} は、第 1 ノード N_1 の電位がハイレベルになっているときに、第 2 ノード N_2 の電位をローレベルに向けて変化させる。薄膜トランジスタ T_{1A} は、第 2 ノード N_2 の電位がハイレベルになっているときに、出力信号 G をローレベルに向けて変化させる。薄膜トランジスタ T_{1B} は、第 2 ノード N_2 の電位がハイレベルになっているときに、出力信号 Q をローレベルに向け

て変化させる。薄膜トランジスタT1Cは、ゲートクロック信号GCKinがハイレベルになっているときに、第3ノードN3の電位をハイレベルに向けて変化させる。薄膜トランジスタT1Dは、セット信号Sがハイレベルになっているときに、第3ノードN3の電位をローレベルに向けて変化させる。キャパシタC1は、第1ノードN1の電位を上昇させるためのブートストラップ容量として機能する。

[0059] 本実施形態においては、図7に示す構成の薄膜トランジスタT18, T19によって第2ノードN2の電位の制御が行われるが、本発明はこれに限定されない。第1ノードN1の電位がハイレベルで維持されるべき期間中に第2ノードN2の電位がローレベルとなり、かつ、第1ノードN1の電位がローレベルで維持されるべき期間のうちのゲートクロック信号GCKinがハイレベルとなっている期間中に第2ノードN2の電位がハイレベルとなるのであれば、図7に示す構成以外の構成によって第2ノードN2の電位の制御が行われるようにしても良い。

[0060] なお、本実施形態においては、薄膜トランジスタT11によって選択制御トランジスタトランジスタが実現され、薄膜トランジスタT12によって非選択制御トランジスタが実現され、薄膜トランジスタT13によって出力制御トランジスタが実現され、薄膜トランジスタT14によって非出力制御トランジスタが実現され、薄膜トランジスタT15によって第2の第1ノードターンオフ用トランジスタが実現され、薄膜トランジスタT16によって第1ノードターンオン用トランジスタが実現され、薄膜トランジスタT17によって第1の第1ノードターンオフ用トランジスタが実現され、薄膜トランジスタT18によって第2ノードターンオン用トランジスタが実現され、薄膜トランジスタT19によって第2ノードターンオフ用トランジスタが実現され、薄膜トランジスタT1Aによって第1出力ノードターンオフ用トランジスタが実現され、薄膜トランジスタT1Bによって第2出力ノードターンオフ用トランジスタが実現され、薄膜トランジスタT1Cによって第3ノードターンオン用トランジスタが実現され、薄膜トランジスタT1Dによって

第3ノードターンオフ用トランジスタが実現されている。また、出力端子48によって第1出力ノードが実現され、出力端子49によって第2出力ノードが実現されている。

[0061] <1. 2. 3 単位回路の動作>

次に、図8を参照しつつ、本実施形態における単位回路4の動作について説明する。なお、ここでは、波形の遅延を無視するものとする。

[0062] 時点 t_{11} 以前の期間には、セット信号Sはローレベル、第1ノードN1の電位はローレベル、第2ノードN1の電位はハイレベル、第3ノードN3の電位はハイレベル、出力信号Qはローレベル、出力信号Gはローレベル、リセット信号Rはローレベルとなっている。ゲートクロック信号GCK_{in}については、ハイレベルとローレベルとを交互に繰り返している。ところで、単位回路4内の薄膜トランジスタには寄生容量が存在する。このため、時点 t_{11} 以前の期間には、ゲートクロック信号GCK_{in}のクロック動作と薄膜トランジスタT13（図7参照）の寄生容量の存在とに起因して、第1ノードN1の電位に変動が生じ得る。これにより、出力信号Gの電圧すなわちゲートバスラインGLに与えられる走査信号GOUTの電圧が上昇し得る。しかしながら、第2ノードN2の電位がハイレベルで維持されている期間には薄膜トランジスタT17はオン状態で維持される。従って、時点 t_{11} 以前の期間には、薄膜トランジスタT17はオン状態で維持され、第1ノードN1の電位は確実にローレベルで維持される。以上より、ゲートクロック信号GCK_{in}のクロック動作に起因するノイズが第1ノードN1に混入しても、対応する走査信号GOUTの電圧が上昇することはない。これにより、ゲートクロック信号GCK_{in}のクロック動作に起因する表示不良等の不具合の発生が防止される。

[0063] 時点 t_{11} になると、セット信号Sがローレベルからハイレベルに変化する。薄膜トランジスタT16は図7に示すようにダイオード接続となっているので、このセット信号Sのパルスによって薄膜トランジスタT16がオン状態となり、第1ノードN1の電位が上昇する。これにより、薄膜トランジ

スタT11, T13, およびT19がオン状態となる。薄膜トランジスタT11がオン状態となることによって、出力信号Gの電圧が上昇する。但し、直流電源電圧VDDの電圧レベルV_{gh}よりも薄膜トランジスタT11の閾値電圧分だけ低い電圧レベルにまで上昇する。また、薄膜トランジスタT19がオン状態となることによって、第2ノードN2の電位がローレベルとなる。なお、時点t11から時点t12までの期間には、ゲートクロック信号GCK_{in}はローレベルとなっているので、薄膜トランジスタT13がオン状態となっても、出力信号Qはローレベルで維持される。また、時点t11には、セット信号Sのパルスによって薄膜トランジスタT1Dがオン状態となる。これにより、第3ノードN3の電位がローレベルとなる。時点t11から時点t12までの期間には、リセット信号Rはローレベルで維持され、第2ノードN2の電位もローレベルで維持される。従って、この期間中に、薄膜トランジスタT15, T17が設けられていることに起因して第1ノードN1の電位が低下することはない。

[0064] 時点t12になると、ゲートクロック信号GCK_{in}がローレベルからハイレベルに変化する。これにより、薄膜トランジスタT1Cを介して第3ノードN3の電位が上昇する。ここで、図7に示すように第1ノードN1ー第3ノードN3間にはキャパシタC1が設けられているので、第3ノードN3の電位の上昇とともに第1ノードN1の電位も上昇する（第1ノードN1がブートストラップされる）。これにより、第1ノードN1の電位は、直流電源電圧VDDの電圧レベルV_{gh}以上の電圧レベルにまで高められる。その結果、薄膜トランジスタT11, T13のゲート端子には大きな電圧が印加され、出力信号Gの電圧が直流電源電圧VDDの電圧レベルV_{gh}にまで上昇するとともに出力信号Qの電圧がゲートクロック信号GCK_{in}のハイレベル電圧の電圧レベルV_{gh2}にまで上昇する。これに関し、上述したように、直流電源電圧VDDの電圧レベルV_{gh}よりもゲートクロック信号GCK_{in}のハイレベル電圧の電圧レベルV_{gh2}の方が高くなっている。なお、時点t12から時点t13までの期間には、リセット信号Rはローレベル

で維持され、第2ノードN2の電位もローレベルで維持される。従って、この期間中に、薄膜トランジスタT15、T17が設けられていることに起因して第1ノードN1の電位が低下することではなく、薄膜トランジスタT12、T1Aが設けられていることに起因して出力信号Gの電圧が低下することではなく、薄膜トランジスタT14、T1Bが設けられていることに起因して出力信号Qの電圧が低下することはない。

[0065] 時点t13になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、薄膜トランジスタT12、T14、およびT15がオン状態となる。なお、このとき、薄膜トランジスタT12、T14、およびT15のゲート端子に与えられる電圧は、電圧レベルV_{gl}から電圧レベルV_{gh2}（図1参照）へと変化する。従って、薄膜トランジスタT12、T14、およびT15についてのオフ状態からオン状態への変化は従来よりも速やかに行われる。薄膜トランジスタT12がオン状態となることによって出力信号G（すなわち走査信号GOUT）はローレベルとなり、薄膜トランジスタT14がオン状態となることによって出力信号Qはローレベルとなり、薄膜トランジスタT15がオン状態となることによって第1ノードN1の電位はローレベルとなる。

[0066] 時点t14になると、ゲートクロック信号GCK_{in}がローレベルからハイレベルに変化する。薄膜トランジスタT18は図7に示すようにダイオード接続となっているので、ゲートクロック信号GCK_{in}がローレベルからハイレベルに変化することによって、第2ノードN2の電位はハイレベルとなる。そして、時点t14以降の期間には、時点t11以前の期間と同様の動作が行われる。

[0067] 以上のような動作が各単位回路4で行われることによって、この液晶表示装置に設けられている複数本のゲートバスラインGL(1)～GL(i)が順次に選択状態となり、画素容量への書き込みが順次に行われる。これにより、外部から送られた画像信号DATに基づく画像が表示部600に表示される（図2参照）。

[0068] < 1. 3 効果 >

本実施形態によれば、各单位回路4に設けられているゲート出力の立ち下り用の薄膜トランジスタT12のオン／オフ状態は、2段後の単位回路4から出力される出力信号Qであるリセット信号Rによって制御される。このような構成において、選択状態にするゲートバスラインGLに対応する単位回路4から出力される出力信号Qの電圧は、ゲートクロック信号GCKのハイレベル電圧の電圧レベルVgh2にまで上昇する。ここで、ゲートクロック信号GCKのハイレベル電圧の電圧レベルVgh2が直流電源電圧VDDの電圧レベルVghよりも高いレベルにされているので、薄膜トランジスタT12をオン状態にする時には従来よりも高い電圧が当該薄膜トランジスタT12のゲート端子に与えられる。すなわち、従来よりもリセット信号Rの立ち上がりに要する時間が短くなる。その結果、従来よりもゲート出力の立ち下り時間が短くなり、高速駆動を行うパネルや高精細パネルが採用される場合においても画素容量の充電時間が十分に確保される。また、本実施形態においては、ゲート負荷6が直流電源電圧VDDによって駆動される構成（バッファTFTと呼ばれる薄膜トランジスタT11のドレイン端子に直流電源電圧VDDが与えられる構成）が採用されているので、消費電力は低い。以上のように、本実施形態によれば、低消費電力で充電時間を十分に確保することができるゲートドライバ400が実現される。

[0069] 図9は、ゲート出力の波形を上述した第2の従来例と本実施形態とで比較するための図である。図9では、第2の従来例におけるゲートクロック信号GCKの波形を符号70を付した実線で表し、本実施形態におけるゲートクロック信号GCKの波形を符号71を付した点線で表し、第2の従来例におけるゲート出力の波形を符号72を付した太点線で表し、本実施形態におけるゲート出力の波形を符号73を付した太実線で表している。図9より、本実施形態においてはゲートクロック信号GCKのハイレベル電圧の電圧レベルを高くしたことによってゲート出力の立ち下り時間が第2の従来例よりも短くなっていることが把握される。

[0070] ここで、図10～図13を参照しつつ、或るシミュレーションの結果について説明する。このシミュレーションでは、デューティ比が $1/2$ の4相のクロック信号をゲートクロック信号GCKとして用いたパネルにおいて、走査信号GOUTの立ち下がり時間（ゲートクロック信号GCKの立ち下がり開始時点からゲート出力電圧が -6 V に到達する時点までの時間）の目標を 1200 ナノ秒とする。この立ち下がり時間の測定位置については、パネルへの信号入力地点から最も遠い位置（例えば、表示部600の両側にシフトレジスタ410が設けられる構成においては、模式的には図10で符号66を付した位置）とする。また、 $V_{gh}=18\text{ V}$ 、 $V_{gl}=-12\text{ V}$ とし、直流電源電圧VDDの電圧レベルを V_{gh} に設定し、直流電源電圧VSSの電圧レベルを V_{gl} に設定する。ゲートクロック信号GCKのローレベル電圧については、電圧レベルを V_{gl} に設定する。以上のような前提下、ゲートクロック信号GCKのハイレベル電圧に設定する電圧レベル V_{gh2} を $18\text{ V} \sim 23\text{ V}$ の範囲で変化させる。なお、ゲートクロック信号GCKのハイレベル電圧とローレベル電圧との差をVGPで表す。

[0071] 図11には、シミュレーションの結果として、VGPの値と立ち下がり時間との関係を示している。ゲートクロック信号GCKのハイレベル電圧の電圧レベル V_{gh2} を従来と同じ電圧レベル V_{gh} （すなわち 18 V ）に設定した場合、VGPは 30 V であって、立ち下がり時間は 1350 ナノ秒となっている。すなわち、立ち下がり時間の目標は達成できない。これに対して、ゲートクロック信号GCKのハイレベル電圧の電圧レベル V_{gh2} を 21 V 以上に設定した場合、VGPは 33 V 以上となり、立ち下がり時間は 1200 ナノ秒以下となっている。

[0072] 図12には、シミュレーションの結果として、第1ノードN1の電位の変化、出力信号G（走査信号GOUT）の電圧の変化、および出力信号Qの電圧の変化を示している。なお、図12では、“ $VGP=30\text{ V}$ ”の状態における変化を太点線で表し、“ $VGP=35\text{ V}$ ”の状態における変化を太実線で表している。また、図13には、シミュレーションの結果として、詳

細な波形の変化を示している。なお、図 13 では、“ $V_{GPP} = 30V$ ” の状態におけるゲートクロック信号 GCK の波形の変化を符号 74 a を付した点線で表し、“ $V_{GPP} = 35V$ ” の状態におけるゲートクロック信号 GCK の波形の変化を符号 74 b を付した実線で表し、“ $V_{GPP} = 30V$ ” の状態におけるリセット信号 R の波形の変化を符号 75 a を付した点線で表し、“ $V_{GPP} = 35V$ ” の状態におけるリセット信号 R の波形の変化を符号 75 b を付した実線で表し、“ $V_{GPP} = 30V$ ” の状態における出力信号 G の波形の変化を符号 76 a を付した点線で表し、“ $V_{GPP} = 35V$ ” の状態における出力信号 G の波形の変化を符号 76 b を付した実線で表している。このシミュレーションの結果によれば、“ $V_{GPP} = 30V$ ” の状態では、ゲート出力の立ち下がり時間（図 13 において符号 T (a) を付した矢印で表される時間）は目標である 1200 ナノ秒を超えているが、“ $V_{GPP} = 35V$ ” の状態では、ゲート出力の立ち下がり時間（図 13 において符号 T (b) を付した矢印で表される時間）は目標である 1200 ナノ秒以下となっている。

[0073] 以上のようなシミュレーションの結果からも、ゲートクロック信号 GCK のハイレベル電圧を高い電圧レベルに設定することによってリセット信号 R の立ち上がりに要する時間が従来よりも短縮されることが把握される。

[0074] なお、本実施形態によれば、ロジック部を従来よりも高い電圧で駆動することになる。このため、各薄膜トランジスタの動作点が高くなる。これにより、回路マージンを大きくすることができるという副次的な効果も得られる。ところで、ロジック部を従来よりも高い電圧で駆動することから、上述した第 2 の従来例と比較すると消費電力は増加する。しかしながら、薄膜トランジスタ T13 は他の段の単位回路 4 にセット信号 S、リセット信号 R として与えられる出力信号 Q を駆動するだけであるので、当該薄膜トランジスタ T13 には小さなサイズのものを採用することができる。従って、容量を小さくすることができるので、消費電力は増加分は極めて小さくなる。これに対して、上述したように、第 1 の従来例によれば、バッファ TFF が大きな

容量を駆動する必要があるので、消費電力が大きい。以上より、第2の従来例よりは消費電力が大きくなるものの、その増加分はわずかであり、第1の従来例と比較すると、消費電力は大きく低減される。

[0075] <1. 4 変形例>

上記第1の実施形態においては、ゲートクロック信号GCKのハイレベル電圧の電圧レベルのみが直流電源電圧VDDの電圧レベルよりも高いレベルに設定されていた。しかしながら、本発明はこれに限定されず、ゲートクロック信号GCKのハイレベル電圧以外にも、直流電源電圧VDDの電圧レベルよりも高い電圧レベルを有する信号がゲートドライバ400を構成するシフトレジスタ410に与えられるようにしても良い。これについて、以下に説明する。但し、上記第1の実施形態と異なる点を中心に説明する。

[0076] 図14は、本変形例におけるゲートドライバ400の構成を示すブロック図である。ゲートドライバ400を構成するシフトレジスタ410に含まれる各単位回路4には、上記第1の実施形態における入力信号に加えて、制御信号VDD2が入力される。制御信号VDD2は、全ての単位回路4(1)～4(i)に共通的に与えられる。

[0077] 図15に示すように、制御信号VDD2は、ハイレベル電圧とローレベル電圧との間で変化する。詳しくは、制御信号VDD2は、有効水平走査期間にはハイレベル電圧となり、帰線期間にはローレベル電圧となる。制御信号VDD2のハイレベル電圧とゲートクロック信号GCKのハイレベル電圧とは同じ電圧レベルVgh2を有しており、制御信号VDD2のローレベル電圧とゲートクロック信号GCKのローレベル電圧とは同じ電圧レベルVglを有している。

[0078] 図16は、本変形例における単位回路4の構成(シフトレジスタ410の一段分の構成)を示す回路図である。図16において、制御信号VDD2を受け取る入力端子には符号45を付している。本変形例においては、薄膜トランジスタT16の接続先および薄膜トランジスタT18の接続先が上記第1の実施形態とは異なっている。薄膜トランジスタT16については、ゲ-

ト端子は入力端子41に接続され、ドレイン端子は入力端子45に接続され、ソース端子は第1ノードN1に接続されている。薄膜トランジスタT18については、ゲート端子およびドレイン端子は入力端子45に接続され（すなわち、ダイオード接続となっている）、ソース端子は第2ノードN2に接続されている。

[0079] 本変形例においては、以下の点を除き、上記第1の実施形態と同様の動作が行われる。セット信号Sがハイレベルになったとき、第1ノードN1には薄膜トランジスタT16を介して制御信号VDD2のハイレベル電圧が与えられる。また、帰線期間を除き、第2ノードN2には薄膜トランジスタT18を介して常に制御信号VDD2のハイレベル電圧が与えられる。これにより、第1ノードN1の電位がハイレベルとなっている期間（薄膜トランジスタT19がオン状態となっている期間）以外の期間を通じて、第2ノードN2の電位はハイレベルで維持される。

[0080] 上記第1の実施形態と同様、本変形例においても、低消費電力で充電時間を十分に確保することのできるゲートドライバ400が実現される。

[0081] 以上のように、ゲートドライバ400を構成するシフトレジスタ410を動作させるためにゲートクロック信号GCK、ゲートスタートパルス信号GSP、およびゲートエンドパルス信号GEPに加えて他の信号（上述の変形例では制御信号VDD2）が用いられる場合にも、本発明を適用することができる。また、当該他の信号が上述した電圧レベルVgh2を有する信号であっても良い。上述した変形例以外にも、例えばタッチパネルとして使用されるパネルにおいて以下のような構成を採用することもできる。

[0082] タッチパネルとして使用されるパネルでは、帰線期間や休止期間を通じて走査信号GOUTの電圧レベルを直流電源電圧VSSの電圧レベルで維持するための薄膜トランジスタがシフトレジスタ410内の各単位回路4に設けられることがある。このような構成において、当該薄膜トランジスタのオン／オフ状態を制御するための信号のハイレベル電圧の電圧レベルを上述した電圧レベルVgh2とする。

[0083] <2. 第2の実施形態>

本発明の第2の実施形態について説明する。全体構成およびゲートドライバ400の概略構成については、上記第1の実施形態と同様であるので説明を省略する（図2～図4，図6を参照）。以下、上記第1の実施形態と異なる点を中心に説明する。

[0084] なお、ここではゲートクロック信号GCKとしてデューティ比が $1/2$ （すなわち50%）の4相のクロック信号が用いられているものとして説明するが、本発明はこれには限定されない。ZcおよびZdを整数としてデューティ比が Zd/Zc のZc相のクロック信号を用いる場合、各段に関し、Zd段前または $(Zd-1)$ 段前の単位回路から出力される出力信号Qがセット信号Sとして与えられるようにするとともにZd段後の単位回路から出力される出力信号Qがリセット信号Rとして与えられるようにすれば良い。例えば、デューティ比が $2/6$ の6相のクロック信号を用いる場合、各段に関し、2段前または1段前の単位回路から出力される出力信号Qがセット信号Sとして与えられるようにするとともに2段後の単位回路から出力される出力信号Qがリセット信号Rとして与えられるようにすれば良い。

[0085] <2. 1 単位回路の構成>

図17は、本実施形態における単位回路4の構成（シフトレジスタ410の一段分の構成）を示す回路図である。図17に示すように、この単位回路4は、11個の薄膜トランジスタT21，T22，T23，T24，T25，T26，T27，T28，T29，T2A，およびT2Bと、1個のキャパシタ（容量素子）C2とを備えている。

[0086] 次に、この単位回路4内における構成要素間の接続関係について説明する。薄膜トランジスタT21のゲート端子，薄膜トランジスタT23のゲート端子，薄膜トランジスタT25のドレイン端子，薄膜トランジスタT26のソース端子，薄膜トランジスタT27のドレイン端子，薄膜トランジスタT29のゲート端子，およびキャパシタC2の一端は、第1ノードN1を介して互いに接続されている。薄膜トランジスタT27のゲート端子，薄膜トラン

ンジスタT28のソース端子、薄膜トランジスタT29のドレイン端子、薄膜トランジスタT2Aのゲート端子、および薄膜トランジスタT2Bのゲート端子は、第2ノードN2を介して互いに接続されている。

[0087] 薄膜トランジスタT21については、ゲート端子は第1ノードN1に接続され、ドレイン端子は入力端子44に接続され、ソース端子は出力端子48に接続されている。薄膜トランジスタT22については、ゲート端子は入力端子42に接続され、ドレイン端子は出力端子48に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT23については、ゲート端子は第1ノードN1に接続され、ドレイン端子は入力端子43に接続され、ソース端子は出力端子49に接続されている。薄膜トランジスタT24については、ゲート端子は入力端子42に接続され、ドレイン端子は出力端子49に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT25については、ゲート端子は入力端子42に接続され、ドレイン端子は第1ノードN1に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。

[0088] 薄膜トランジスタT26については、ゲート端子およびドレイン端子は入力端子41に接続され（すなわち、ダイオード接続となっている）、ソース端子は第1ノードN1に接続されている。薄膜トランジスタT27については、ゲート端子は第2ノードN2に接続され、ドレイン端子は第1ノードN1に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT28については、ゲート端子およびドレイン端子は入力端子43に接続され（すなわち、ダイオード接続となっている）、ソース端子は第2ノードN2に接続されている。薄膜トランジスタT29については、ゲート端子は第1ノードN1に接続され、ドレイン端子は第2ノードN2に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT2Aについては、ゲート端子は第2ノードN2に接続され、ドレイン端子は出力端子48に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。薄膜トランジスタT2Bに

ついては、ゲート端子は第2ノードN2に接続され、ドレイン端子は出力端子49に接続され、ソース端子は直流電源電圧VSS用の入力端子に接続されている。キャパシタC2については、一端は第1ノードN1に接続され、他端は出力端子49に接続されている。

[0089] 次に、各構成要素のこの単位回路4における機能について説明する。薄膜トランジスタT21は、第1ノードN1の電位がハイレベルになっているときに、直流電源電圧VDDを出力端子48に与える。薄膜トランジスタT22は、リセット信号Rがハイレベルになっているときに、出力信号Gをローレベルに向けて変化させる。薄膜トランジスタT23は、第1ノードN1の電位がハイレベルになっているときに、ゲートクロック信号GCKinの電圧を出力端子49に与える。薄膜トランジスタT24は、リセット信号Rがハイレベルになっているときに、出力信号Qをローレベルに向けて変化させる。薄膜トランジスタT25は、リセット信号Rがハイレベルになっているときに、第1ノードN1の電位をローレベルに向けて変化させる。

[0090] 薄膜トランジスタT26は、セット信号Sがハイレベルになっているときに、第1ノードN1の電位をハイレベルに向けて変化させる。薄膜トランジスタT27は、第2ノードN2の電位がハイレベルになっているときに、第1ノードN1の電位をローレベルに向けて変化させる。薄膜トランジスタT28は、ゲートクロック信号GCKinがハイレベルになっているときに、第2ノードN2の電位をハイレベルに向けて変化させる。薄膜トランジスタT29は、第1ノードN1の電位がハイレベルになっているときに、第2ノードN2の電位をローレベルに向けて変化させる。薄膜トランジスタT2Aは、第2ノードN2の電位がハイレベルになっているときに、出力信号Gをローレベルに向けて変化させる。薄膜トランジスタT2Bは、第2ノードN2の電位がハイレベルになっているときに、出力信号Qをローレベルに向けて変化させる。キャパシタC2は、第1ノードN1の電位を上昇させるためのブートストラップ容量として機能する。

[0091] 上記第1の実施形態と同様、本実施形態においても、図17に示す構成以

外の構成によって第2ノードN2の電位の制御が行われるようにしても良い。

[0092] なお、本実施形態においては、薄膜トランジスタT21によって選択制御トランジスタトランジスタが実現され、薄膜トランジスタT22によって非選択制御トランジスタが実現され、薄膜トランジスタT23によって出力制御トランジスタが実現され、薄膜トランジスタT24によって非出力制御トランジスタが実現され、薄膜トランジスタT25によって第2の第1ノードターンオフ用トランジスタが実現され、薄膜トランジスタT26によって第1ノードターンオン用トランジスタが実現され、薄膜トランジスタT27によって第1の第1ノードターンオフ用トランジスタが実現され、薄膜トランジスタT28によって第2ノードターンオン用トランジスタが実現され、薄膜トランジスタT29によって第2ノードターンオフ用トランジスタが実現され、薄膜トランジスタT2Aによって第1出力ノードターンオフ用トランジスタが実現され、薄膜トランジスタT2Bによって第2出力ノードターンオフ用トランジスタが実現されている。

[0093] <2. 2 単位回路の動作>

次に、図18を参照しつつ、本実施形態における単位回路4の動作について説明する。なお、ここでも、波形の遅延を無視するものとする。

[0094] 時点t21以前の期間には、セット信号Sはローレベル、第1ノードN1の電位はローレベル、第2ノードN1の電位はハイレベル、出力信号Qはローレベル、出力信号Gはローレベル、リセット信号Rはローレベルとなっている。ゲートクロック信号GCKinについては、ハイレベルとローレベルとを交互に繰り返している。上述したように、単位回路4内の薄膜トランジスタには寄生容量が存在する。このため、時点t21以前の期間には、ゲートクロック信号GCKinのクロック動作と薄膜トランジスタT23（図17参照）の寄生容量の存在とに起因して、第1ノードN1の電位に変動が生じ得る。これにより、出力信号Gの電圧すなわちゲートバスラインGLに与えられる走査信号GOUTの電圧が上昇し得る。しかしながら、第2ノード

N 2 の電位がハイレベルで維持されている期間には薄膜トランジスタ T 2 7 はオン状態で維持される。従って、時点 t 2 1 以前の期間には、薄膜トランジスタ T 2 7 はオン状態で維持され、第 1 ノード N 1 の電位は確実にローレベルで維持される。以上より、ゲートクロック信号 G C K i n のクロック動作に起因するノイズが第 1 ノード N 1 に混入しても、対応する走査信号 G O U T の電圧が上昇することはない。これにより、ゲートクロック信号 G C K i n のクロック動作に起因する表示不良等の不具合の発生が防止される。

[0095] 時点 t 2 1 になると、セット信号 S がローレベルからハイレベルに変化する。薄膜トランジスタ T 2 6 は図 1 7 に示すようにダイオード接続となっているので、このセット信号 S のパルスによって薄膜トランジスタ T 2 6 がオン状態となり、第 1 ノード N 1 の電位が上昇する。これにより、薄膜トランジスタ T 2 1, T 2 3, および T 2 9 がオン状態となる。薄膜トランジスタ T 2 1 がオン状態となることによって、出力信号 G の電圧が上昇する。但し、直流電源電圧 V D D の電圧レベル V g h よりも薄膜トランジスタ T 2 1 の閾値電圧分だけ低い電圧レベルにまで上昇する。また、薄膜トランジスタ T 2 9 がオン状態となることによって、第 2 ノード N 2 の電位がローレベルとなる。なお、時点 t 2 1 から時点 t 2 2 までの期間には、ゲートクロック信号 G C K i n はローレベルとなっているので、薄膜トランジスタ T 2 3 がオン状態となっても、出力信号 Q はローレベルで維持される。時点 t 2 1 から時点 t 2 2 までの期間には、リセット信号 R はローレベルで維持され、第 2 ノード N 2 の電位もローレベルで維持される。従って、この期間中に、薄膜トランジスタ T 2 5, T 2 7 が設けられていることに起因して第 1 ノード N 1 の電位が低下することはない。

[0096] 時点 t 2 2 になると、ゲートクロック信号 G C K i n がローレベルからハイレベルに変化する。このとき、薄膜トランジスタ T 2 3 はオン状態となっているので、入力端子 4 3 の電位の上昇とともに出力端子 4 9 の電位が上昇する。ここで、図 1 7 に示すように第 1 ノード N 1 - 出力端子 4 9 間にはキャパシタ C 2 が設けられているので、出力端子 4 9 の電位の上昇とともに第

1 ノードN 1 の電位も上昇する（第1 ノードN 1 がブートストラップされる）。これにより、第1 ノードN 1 の電位は、直流電源電圧VDDの電圧レベルV_{gh}以上の電圧レベルにまで高められる。その結果、薄膜トランジスタT₂₁, T₂₃のゲート端子には大きな電圧が印加され、出力信号Gの電圧が直流電源電圧VDDの電圧レベルV_{gh}にまで上昇するとともに出力信号Qの電圧がゲートクロック信号GCK_{in}のハイレベル電圧の電圧レベルV_{gh2}にまで上昇する。これに関し、上記第1の実施形態と同様、直流電源電圧VDDの電圧レベルV_{gh}よりもゲートクロック信号GCK_{in}のハイレベル電圧の電圧レベルV_{gh2}の方が高くなっている。なお、時点t₂₂から時点t₂₃までの期間には、リセット信号Rはローレベルで維持され、第2 ノードN 2 の電位もローレベルで維持される。従って、この期間中に、薄膜トランジスタT₂₅, T₂₇が設けられていることに起因して第1 ノードN 1 の電位が低下することではなく、薄膜トランジスタT₂₂, T_{2A}が設けられていることに起因して出力信号Gの電圧が低下することではなく、薄膜トランジスタT₂₄, T_{2B}が設けられていることに起因して出力信号Qの電圧が低下することはない。

[0097] 時点t₂₃になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、薄膜トランジスタT₂₂, T₂₄, およびT₂₅がオン状態となる。なお、このとき、薄膜トランジスタT₂₂, T₂₄, およびT₂₅のゲート端子に与えられる電圧は、電圧レベルV_{g1}から電圧レベルV_{gh2}（図1 参照）へと変化する。従って、薄膜トランジスタT₂₂, T₂₄, およびT₂₅についてのオフ状態からオン状態への変化は従来よりも速やかに行われる。薄膜トランジスタT₂₂がオン状態となることによって出力信号G（すなわち走査信号GOUT）はローレベルとなり、薄膜トランジスタT₂₄がオン状態となることによって出力信号Qはローレベルとなり、薄膜トランジスタT₂₅がオン状態となることによって第1 ノードN 1 の電位はローレベルとなる。

[0098] 時点t₂₄になると、ゲートクロック信号GCK_{in}がローレベルからハ

イレベルに変化する。薄膜トランジスタT28は図17に示すようにダイオード接続となっているので、ゲートクロック信号GCK_{in}がローレベルからハイレベルに変化することによって、第2ノードN2の電位はハイレベルとなる。そして、時点t24以降の期間には、時点t21以前の期間と同様の動作が行われる。

[0099] 以上のような動作が各单位回路4で行われることによって、上記第1の実施形態と同様、この液晶表示装置に設けられている複数本のゲートバスラインGL(1)～GL(i)が順次に選択状態となり、画素容量への書き込みが順次に行われる。これにより、外部から送られた画像信号DATに基づく画像が表示部600に表示される(図2参照)。

[0100] <2.3 効果>

本実施形態においても、上記第1の実施形態と同様、従来よりもゲート出力の立ち下がり時間が短くなり、高速駆動を行うパネルや高精細パネルが採用される場合においても画素容量の充電時間が十分に確保される。また、本実施形態においても、ゲート負荷6が直流電源電圧VDDによって駆動される構成(バッファTFTと呼ばれる薄膜トランジスタT21のドレイン端子に直流電源電圧VDDが与えられる構成)が採用されているので、消費電力は低い。以上より、本実施形態によれば、上記第1の実施形態と同様、低消費電力で充電時間を十分に確保することのできるゲートドライバ400が実現される。

[0101] ここで、図19～図21を参照しつつ、或るシミュレーションの結果について説明する。このシミュレーションでは、走査信号GOUTの立ち下がり時間の目標を1000ナノ秒とする。また、 $V_{gh} = 18V$ 、 $V_{gl} = -12V$ とし、直流電源電圧VDDの電圧レベルを V_{gh} に設定し、直流電源電圧VSSの電圧レベルを V_{gl} に設定する。ゲートクロック信号GCKのローレベル電圧については、電圧レベルを V_{gl} に設定する。以上のような前提下、ゲートクロック信号GCKのハイレベル電圧に設定する電圧レベル V_{gh2} を30V～35Vの範囲で変化させる。なお、ゲートクロック信号G

CKのハイレベル電圧とローレベル電圧との差をV G P Pで表す。

[0102] 図19には、シミュレーションの結果として、V G P Pの値と立ち下がり時間との関係を示している。ゲートクロック信号GCKのハイレベル電圧の電圧レベルV g h 2を従来と同じ電圧レベルV g h（すなわち18V）に設定した場合、V G P Pは30Vであって、立ち下がり時間は約1300ナノ秒となっている。すなわち、立ち下がり時間の目標は達成できない。これに対して、ゲートクロック信号GCKのハイレベル電圧の電圧レベルV g h 2を21.5V以上に設定した場合、V G P Pは33.5V以上となり、立ち下がり時間は1000ナノ秒以下となっている。

[0103] 図20には、シミュレーションの結果として、第1ノードN1の電位の変化、出力信号G（走査信号GOUT）の電圧の変化、および出力信号Qの電圧の変化を示している。なお、図20では、“V G P P = 30V”の状態における変化を太点線で表し、“V G P P = 35V”の状態における変化を太実線で表している。また、図21には、シミュレーションの結果として、詳細な波形の変化を示している。なお、図21では、“V G P P = 30V”の状態におけるゲートクロック信号GCKの波形の変化を符号77aを付した点線で表し、“V G P P = 35V”の状態におけるゲートクロック信号GCKの波形の変化を符号77bを付した実線で表し、“V G P P = 30V”の状態におけるリセット信号Rの波形の変化を符号78aを付した点線で表し、“V G P P = 35V”の状態におけるリセット信号Rの波形の変化を符号78bを付した実線で表し、“V G P P = 30V”の状態における出力信号Gの波形の変化を符号79aを付した点線で表し、“V G P P = 35V”の状態における出力信号Gの波形の変化を符号79bを付した実線で表している。このシミュレーションの結果によれば、“V G P P = 30V”の状態では、ゲート出力の立ち下がり時間（図21において符号T（a）を付した矢印で表される時間）は目標である1000ナノ秒を超えているが、“V G P P = 35V”の状態では、ゲート出力の立ち下がり時間（図21において符号T（b）を付した矢印で表される時間）は目標である1000ナノ秒以下

となっている。

[0104] 以上のようなシミュレーションの結果からも、ゲートクロック信号GCKのハイレベル電圧を高い電圧レベルに設定することによってリセット信号Rの立ち上がりに要する時間が従来よりも短縮されることが把握される。

[0105] <2. 4 変形例>

上記第2の実施形態に関しても、上記第1の実施形態の変形例のように、ゲートクロック信号GCKのハイレベル電圧以外にも直流電源電圧VDDの電圧レベルよりも高い電圧レベルを有する信号がシフトレジスタ410に与えられるという構成を採用することができる。これについて、上記第2の実施形態と異なる点を中心に説明する。

[0106] ゲートドライバ400の概略構成については、上記第1の実施形態の変形例と同様、図14に示すような構成となる。すなわち、ゲートドライバ400を構成するシフトレジスタ410に含まれる各単位回路4には、上記第2の実施形態における入力信号に加えて、制御信号VDD2が入力される。制御信号VDD2は、全ての単位回路4(1)～4(i)に共通的に与えられる。上記第1の実施形態の変形例と同様、制御信号VDD2のハイレベル電圧とゲートクロック信号GCKのハイレベル電圧とは同じ電圧レベルVgh2を有しており、制御信号VDD2のローレベル電圧とゲートクロック信号GCKのローレベル電圧とは同じ電圧レベルVglを有している。

[0107] 図22は、本変形例における単位回路4の構成(シフトレジスタ410の一段分の構成)を示す回路図である。本変形例においては、薄膜トランジスタT26の接続先および薄膜トランジスタT28の接続先が上記第2の実施形態とは異なっている。薄膜トランジスタT26については、ゲート端子は入力端子41に接続され、ドレイン端子は入力端子45に接続され、ソース端子は第1ノードN1に接続されている。薄膜トランジスタT28については、ゲート端子およびドレイン端子は入力端子45に接続され(すなわち、ダイオード接続となっている)、ソース端子は第2ノードN2に接続されている。

[0108] 本変形例においては、以下の点を除き、上記第2の実施形態と同様の動作が行われる。セット信号Sがハイレベルになったとき、第1ノードN1には薄膜トランジスタT26を介して制御信号VDD2のハイレベル電圧が与えられる。また、帰線期間を除き、第2ノードN2には薄膜トランジスタT28を介して常に制御信号VDD2のハイレベル電圧が与えられる。これにより、第1ノードN1の電位がハイレベルとなっている期間（薄膜トランジスタT29がオン状態となっている期間）以外の期間を通じて、第2ノードN2の電位はハイレベルで維持される。

[0109] 上記第2の実施形態と同様、本変形例においても、低消費電力で充電時間を十分に確保することのできるゲートドライバ400が実現される。

[0110] 以上のように、ゲートドライバ400を構成するシフトレジスタ410を動作させるためにゲートクロック信号GCK、ゲートスタートパルス信号GSP、およびゲートエンドパルス信号GEPに加えて他の信号（上述の変形例では制御信号VDD2）が用いられる場合にも、本発明を適用することができる。また、当該他の信号が上述した電圧レベルVgh2を有する信号であっても良い。

[0111] <3. 第3の実施形態>

<3. 1 概要>

上述した液晶表示装置などの表示装置に関し、従来より、消費電力を低減することが課題となっている。そこで、「ゲートバスラインの走査を停止して映像信号の書き込み動作を休止する休止期間を設ける（走査期間と走査期間との間に休止期間を設ける）」という駆動方法の開発が進められている。このように書き込み動作を休止する休止期間を設ける駆動方法は「休止駆動」と呼ばれている。なお、一般的な液晶表示装置においても帰線期間にはゲートバスラインの走査は行われないが、帰線期間は走査期間の中の一部の期間であり、休止駆動においては帰線期間よりも長い期間の休止期間が設けられる。このような休止駆動が採用されている液晶表示装置では、休止期間には、例えばゲートドライバやソースドライバなどのドライバ（駆動回路）に

制御用の信号などを与える必要がない。このため、全体としてドライバなどの駆動周波数が低減され、低消費電力化が可能となる。そこで、以下、休止駆動を採用した構成を本発明の第3の実施形態として説明する。

[0112] <3. 2 構成および動作>

本実施形態に関しては、シフトレジスタ410を構成する単位回路4等の回路構成については特に限定されない。従って、例えば、上記第1の実施形態（変形例を含む）や上記第2の実施形態（変形例を含む）における回路構成を採用することができる。

[0113] 本実施形態においては、動作モードを通常駆動と休止駆動との間で切り替えることが可能となっている。動作モードの切り替えは、例えば表示制御回路200によって行われる。図23は、動作モードが通常駆動であるときの駆動信号（ゲートドライバ400を構成するシフトレジスタ410を駆動するための信号）の信号波形図である。図24は、動作モードが休止駆動であるときの駆動信号の信号波形図である。なお、ゲートクロック信号GCKは複数のクロック信号で構成されるが、図23および図24では、それら複数のクロック信号のうちの1つの波形のみを示している（図27も同様）。

[0114] 通常駆動中には、図23に示すように、1/60秒毎にゲートスタートパルス信号GSPが立ち上がる。ゲートスタートパルス信号GSPの立ち上がり後、ゲートクロック信号GCKのクロック動作に基づき、シフトレジスタ410でシフト動作が行われる。その後、ゲートエンドパルス信号GEPが立ち上がることによって、シフトレジスタ410でのシフト動作が停止する。このような動作が1/60秒毎に繰り返される。これにより、1/60秒毎に画面がリフレッシュされる。

[0115] 休止駆動中には、図24に示すように、1/30秒毎にゲートスタートパルス信号GSPが立ち上がる。各フレームにおいて、最初の1/60秒間には通常駆動中と同様の動作が行われる。ここで、休止駆動中には、ゲートエンドパルス信号GEPが立ち上がることによってシフトレジスタ410でのシフト動作が停止した後、次のフレームが開始するまでの期間を通じて、直

流電源電圧 V_{DD} 以外の全ての信号（ここでは、ゲートスタートパルス信号 GSP 、ゲートクロック信号 GCK 、ゲートエンドパルス信号 GEP 、および直流電源電圧 V_{SS} ）の電圧レベルが上述した電圧レベル V_{gl} で固定される。従って、各フレーム期間（ $1/30$ 秒）のうち少なくとも $1/60$ 秒はシフトレジスタ410の動作が完全に停止する。以上のような動作が $1/30$ 秒毎に繰り返される。これにより、 $1/30$ 秒毎に画面がリフレッシュされる。なお、ここでは休止駆動中の駆動周波数が 30Hz である場合の例に挙げて説明しているが、本発明はこれに限定されない。例えば、休止駆動中の駆動周波数を 20Hz とすることもできる。この場合、各フレーム期間の長さは $1/20$ 秒となり、当該期間中の最初の $1/60$ 秒間に通常駆動中と同様の動作が行われた後、シフトレジスタ410の動作が完全に停止する。

[0116] ところで、シフトレジスタ410を構成する各単位回路4内の薄膜トランジスタについては、様々な特性のものが採用され得る。これに関し、薄膜トランジスタの V_{gs} （ゲートソース間電圧）が 0V の時の $V_{ds}-I_{ds}$ 特性に着目すると（ V_{ds} ：ドレインソース間電圧、 I_{ds} ：ドレインソース間電流）、 V_{ds} が所定の大きさ V_a のときに図25に示すように I_{ds} が0になる薄膜トランジスタと、 V_{ds} が当該所定の大きさ V_a のときに図26に示すように I_{ds} が0よりも大きな値となる薄膜トランジスタとがある。

[0117] 休止期間中には、各単位回路4の出力部近傍において、ゲート負荷6を駆動するためのバッファ TF_T と呼ばれる薄膜トランジスタ $T01$ の V_{gs} およびゲート出力を立ち下げるための薄膜トランジスタ $T02$ の V_{gs} はほぼ0となる（図27参照）。ここで、各単位回路4内の薄膜トランジスタとして図25に示したような特性を有する薄膜トランジスタが用いられている場合には、休止期間中に図27において符号80を付した矢印のように流れる電流はほとんど生じない。従って、直流電源電圧 V_{DD} については、図24に示すように、休止期間中にも上述した電圧レベル V_{gh} を維持すれば良い。

。また、仮に休止期間中に直流電源電圧VDDの電圧レベルを低下させる構成を採用した場合、シフトレジスタ410でのシフト動作を再開する都度、上記薄膜トランジスタT01のドレインを充電する必要性が生じる。このため消費電力が増大する。直流電源電圧VDDの電圧レベルを制御する必要性も生じるので、回路が複雑化する。以上のような観点からも、図25に示したような特性を有する薄膜トランジスタが用いられている場合には、直流電源電圧VDDについては休止期間中にも上述した電圧レベルVghを維持するのが良い。

[0118] 一方、各单位回路4内の薄膜トランジスタとして図26に示したような特性を有する薄膜トランジスタが用いられている場合には、休止期間中に図27において符号80を付した矢印のように流れる電流が生じ得る。従って、図28に示すように、休止期間中には直流電源電圧VDDの電圧レベルを例えば上述した電圧レベルVglにまで低下させるのが好ましい。なお、より詳しくは、「休止期間中に直流電源電圧VDDの電圧レベルを上述した電圧レベルVghで維持した場合に、休止期間中に各单位回路4内を流れる電流によって消費される電力」と「休止期間中に直流電源電圧VDDの電圧レベルを低下させた場合に、各フレームにおいて各单位回路4内の上記薄膜トランジスタT01のドレインを充電することによって消費される電力」とを比較し、消費電力の少ない方の構成を採用するのが好ましい。

[0119] なお、通常駆動中には、図23に示すように、直流電源電圧VDDの電圧レベルを上述した電圧レベルVghで維持するのが良い。何故ならば、例えば帰線期間に直流電源電圧VDDの電圧レベルを低下させると、フレームが切り替わる都度、上記薄膜トランジスタT01のドレインを充電する必要性が生じて消費電力が増大するからである。

[0120] <3.3 効果>

本実施形態によれば、休止駆動が採用されているので、上記第1の実施形態や上記第2の実施形態と比較して更に消費電力を低減しつつ充電時間を充分に確保することのできるゲートドライバ400が実現される。

[0121] <4. その他>

本発明は、上記各実施形態（変形例を含む）に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。例えば、上記各実施形態においてはnチャネル型の薄膜トランジスタが用いられていることを前提に説明しているが、pチャネル型の薄膜トランジスタが用いられている場合にも本発明を適用することができる。これに関し、pチャネル型の薄膜トランジスタが用いられている場合には、上記各実施形態とは電圧の極性が全て逆になる。従って、図29で符号63を付した点線内に示すように、単位回路の出力部近傍において、バッファTFTと呼ばれる薄膜トランジスタT01の第1導通端子にはローレベルの直流電源電圧VSSが与えられ、ゲート出力を立ち下げるための薄膜トランジスタT02の第2導通端子にはハイレベルの直流電源電圧VDDが与えられる。以上のような構成において、図29で符号64を付した点線内に示すように、ゲートクロック信号GCKのローレベル電圧の電圧レベルVgl2を直流電源電圧VSSの電圧レベルVglよりも低くすれば良い。換言すれば、“ゲートクロック信号GCKのハイレベル電圧の電圧レベルVghと直流電源電圧VSSの電圧レベルVglとの差”よりも“ゲートクロック信号GCKのハイレベル電圧の電圧レベルVghとローレベル電圧の電圧レベルVgl2との差”を大きくすれば良い。

[0122] さらに、用いられる薄膜トランジスタの型に関わらず、次のように各電圧の電圧レベルを設定すれば良いと考えることができる。第1レベル電圧と第2レベル電圧との間で切り替えられる複数のクロック信号に基づいて動作し、ゲート出力を立ち下げるための薄膜トランジスタT02の制御端子に第1レベル電圧が与えられると対応するゲートバスラインGLに非選択電圧が与えられるように構成された複数の単位回路からなるシフトレジスタにおいて、“選択レベル電圧と第2レベル電圧との差”よりも“第1レベル電圧と第2レベル電圧との差”を大きくする。ここで、選択レベル電圧とは、選択状態にするゲートバスラインGLに供給されるべき直流電圧であり、非選択レ

ベル電圧とは、非選択状態にするゲートバスラインGLに供給されるべき直流電圧である。

[0123] なお、図1に示す構成（nチャネル型の薄膜トランジスタが用いられている構成）においては、電圧レベル V_{gh2} の電圧が第1レベル電圧に相当し、電圧レベル V_{gl} の電圧が第2レベル電圧に相当し、直流電源電圧 V_{DD} が選択レベル電圧に相当し、直流電源電圧 V_{SS} が非選択レベル電圧に相当する。

[0124] また、図29に示す構成（pチャネル型の薄膜トランジスタが用いられている構成）においては、電圧レベル V_{gl2} の電圧が第1レベル電圧に相当し、電圧レベル V_{gh} の電圧が第2レベル電圧に相当し、直流電源電圧 V_{SS} が選択レベル電圧に相当し、直流電源電圧 V_{DD} が非選択レベル電圧に相当する。

[0125] なお、本発明回路の薄膜トランジスタとして、酸化物半導体TFET（例えばIGZO-TFET）を用いると、低消費電力、回路面積縮小等の面で効果があり、好適である。

[0126] 本願は、2017年3月6日に出願された「走査信号線駆動回路およびそれを備える表示装置」という名称の日本出願2017-41477号に基づく優先権を主張する出願であり、この日本出願の内容は、引用することによって本願の中に含まれる。

符号の説明

[0127] 4, 4(1)～4(i)…単位回路
6…ゲート負荷
400…ゲートドライバ（走査信号線駆動回路）
410…シフトレジスタ
GL(1)～GL(i)…ゲートバスライン
T11～T19, T1A～T1D, T21～T29, T2A, T2B…単位回路内の薄膜トランジスタ
GCK, GCKin, GCK1, GCK1B, GCK2, GCK2B…ゲ

ートクロック信号

G, Q… (単位回路からの) 出力信号

S…セット信号

R…リセット信号

VDD…ハイレベルの直流電源電圧

VSS…ローレベルの直流電源電圧

V_{gh2}…ゲートクロック信号のハイレベル電圧の電圧レベル

V_{gh}…ハイレベルの直流電源電圧の電圧レベル

V_{gl}…ゲートクロック信号のローレベル電圧の電圧レベル

請求の範囲

[請求項1]

第1レベル電圧と第2レベル電圧との間で切り替えられる複数のクロック信号に基づいて動作する複数の単位回路からなるシフトレジスタを含む、表示装置の表示部に配設された複数の走査信号線を駆動するための走査信号線駆動回路であって、

各単位回路は、

対応する走査信号線に与えられるべき第1出力信号を出力する第1出力ノードと、

他の単位回路の動作を制御するための第2出力信号を出力する第2出力ノードと、

制御端子と、選択状態にする走査信号線に供給されるべき直流電圧である選択レベル電圧が与えられる第1導通端子と、前記第1出力ノードに接続された第2導通端子とを有する選択制御トランジスタと、

後段の単位回路の第2出力ノードから出力された第2出力信号がリセット信号として与えられる制御端子と、前記第1出力ノードに接続された第1導通端子と、非選択状態にする走査信号線に供給されるべき直流電圧である非選択レベル電圧が与えられる第2導通端子とを有する非選択制御トランジスタとを含み、

各単位回路の第2出力ノードから出力される第2出力信号は、対応する走査信号線が選択状態で維持されるべき期間中に前記第1レベル電圧となり、

前記非選択制御トランジスタは、前記リセット信号が前記第1レベル電圧である時にオン状態となり、

非選択状態にする走査信号線に対応する単位回路に含まれる非選択制御トランジスタの制御端子に与えられるリセット信号が前記第1レベル電圧となるように、前記複数の単位回路が互いに接続され、

前記選択レベル電圧と前記第2レベル電圧との差よりも前記第1レベル電圧と前記第2レベル電圧との差の方が大きいことを特徴とする、走査信号線駆動回路。

[請求項2]

各单位回路は、

前記選択制御トランジスタの制御端子に接続された第1ノードと、

前記第1ノードに接続された制御端子と、前記複数のクロック信号の1つが与えられる第1導通端子と、前記第2出力ノードに接続された第2導通端子とを有する出力制御トランジスタと、

前記リセット信号が与えられる制御端子と、前記第2出力ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する非出力制御トランジスタと、

先行する段の単位回路の第2出力ノードから出力された第2出力信号をセット信号として受け取り、当該セット信号に基づいて前記第1ノードの電位をオンレベルに向けて変化させるための第1ノードターンオン用トランジスタと、

制御端子と、前記第1ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第1の第1ノードターンオフ用トランジスタと、

前記第1の第1ノードターンオフ用トランジスタの制御端子に接続された第2ノードと、

前記第1ノードの電位がオフレベルで維持されるべき期間に前記第2ノードの電位をオンレベルで維持するための第2ノードターンオン用トランジスタと、

前記第1ノードに接続された制御端子と、前記第2ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第2ノードターンオフ用トランジスタと

を更に含むことを特徴とする、請求項1に記載の走査信号線駆動回路

。

[請求項3]

各单位回路は、

前記リセット信号が与えられる制御端子と、前記第1ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第2の第1ノードターンオフ用トランジスタと、

前記第2ノードに接続された制御端子と、前記第1出力ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第1出力ノードターンオフ用トランジスタと、

前記第2ノードに接続された制御端子と、前記第2出力ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第2出力ノードターンオフ用トランジスタとを更に含むことを特徴とする、請求項2に記載の走査信号線駆動回路

。

[請求項4]

各单位回路は、

第3ノードと、

一端が前記第1ノードに接続され、他端が前記第3ノードに接続された容量素子と、

前記出力制御トランジスタの第1導通端子に与えられるクロック信号が与えられる制御端子と、前記選択レベル電圧が与えられる第1導通端子と、前記第3ノードに接続された第2導通端子とを有する第3ノードターンオン用トランジスタと、

前記セット信号が与えられる制御端子と、前記第3ノードに接続された第1導通端子と、前記非選択レベル電圧が与えられる第2導通端子とを有する第3ノードターンオフ用トランジスタとを更に含むことを特徴とする、請求項3に記載の走査信号線駆動回路

。

[請求項5]

前記第1ノードターンオン用トランジスタは、前記セット信号が与えられる制御端子および第1導通端子と、前記第1ノードに接続され

た第2導通端子とを有し、

前記第2ノードターンオン用トランジスタは、前記出力制御トランジスタの第1導通端子に与えられるクロック信号が与えられる制御端子および第1導通端子と、前記第2ノードに接続された第2導通端子とを有することを特徴とする、請求項4に記載の走査信号線駆動回路。

[請求項6] 前記第1ノードターンオン用トランジスタは、前記セット信号が与えられる制御端子と、前記第1レベル電圧が与えられる第1導通端子と、前記第1ノードに接続された第2導通端子とを有し、

前記第2ノードターンオン用トランジスタは、前記第1レベル電圧が与えられる制御端子および第1導通端子と、前記第2ノードに接続された第2導通端子とを有することを特徴とする、請求項4に記載の走査信号線駆動回路。

[請求項7] 各単位回路は、一端が前記第1ノードに接続され、他端が前記第2出力ノードに接続された容量素子を更に含むことを特徴とする、請求項3に記載の走査信号線駆動回路。

[請求項8] 前記第1ノードターンオン用トランジスタは、前記セット信号が与えられる制御端子および第1導通端子と、前記第1ノードに接続された第2導通端子とを有し、

前記第2ノードターンオン用トランジスタは、前記出力制御トランジスタの第1導通端子に与えられるクロック信号が与えられる制御端子および第1導通端子と、前記第2ノードに接続された第2導通端子とを有することを特徴とする、請求項7に記載の走査信号線駆動回路。

[請求項9] 前記第1ノードターンオン用トランジスタは、前記セット信号が与えられる制御端子と、前記第1レベル電圧が与えられる第1導通端子と、前記第1ノードに接続された第2導通端子とを有し、

前記第2ノードターンオン用トランジスタは、前記第1レベル電圧

が与えられる制御端子および第 1 導通端子と、前記第 2 ノードに接続された第 2 導通端子とを有することを特徴とする、請求項 7 に記載の走査信号線駆動回路。

[請求項10] 前記複数の走査信号線が順次に選択状態となる走査期間と前記複数の走査信号線のいずれもが非選択状態で維持される休止期間とが交互に現れるように前記複数の走査信号線を駆動することができることを特徴とする、請求項 1 に記載の走査信号線駆動回路。

[請求項11] 前記選択制御トランジスタおよび前記非選択制御トランジスタは、制御端子－第 2 導通端子間の電圧が 0 である時には第 1 導通端子－第 2 導通端子間に電流を流さない特性を有しており、

前記走査期間および前記休止期間を通じて、前記選択制御トランジスタの第 1 導通端子には前記選択レベル電圧が与えられることを特徴とする、請求項 10 に記載の走査信号線駆動回路。

[請求項12] 前記選択制御トランジスタおよび前記非選択制御トランジスタは、制御端子－第 2 導通端子間の電圧が 0 である時に第 1 導通端子－第 2 導通端子間に電流を流す特性を有しており、

前記休止期間には、前記選択制御トランジスタの第 1 導通端子には前記選択レベル電圧に代えて前記非選択レベル電圧または前記第 2 レベル電圧が与えられることを特徴とする、請求項 10 に記載の走査信号線駆動回路。

[請求項13] 前記選択制御トランジスタおよび前記非選択制御トランジスタは、 n チャネル型の薄膜トランジスタであって、

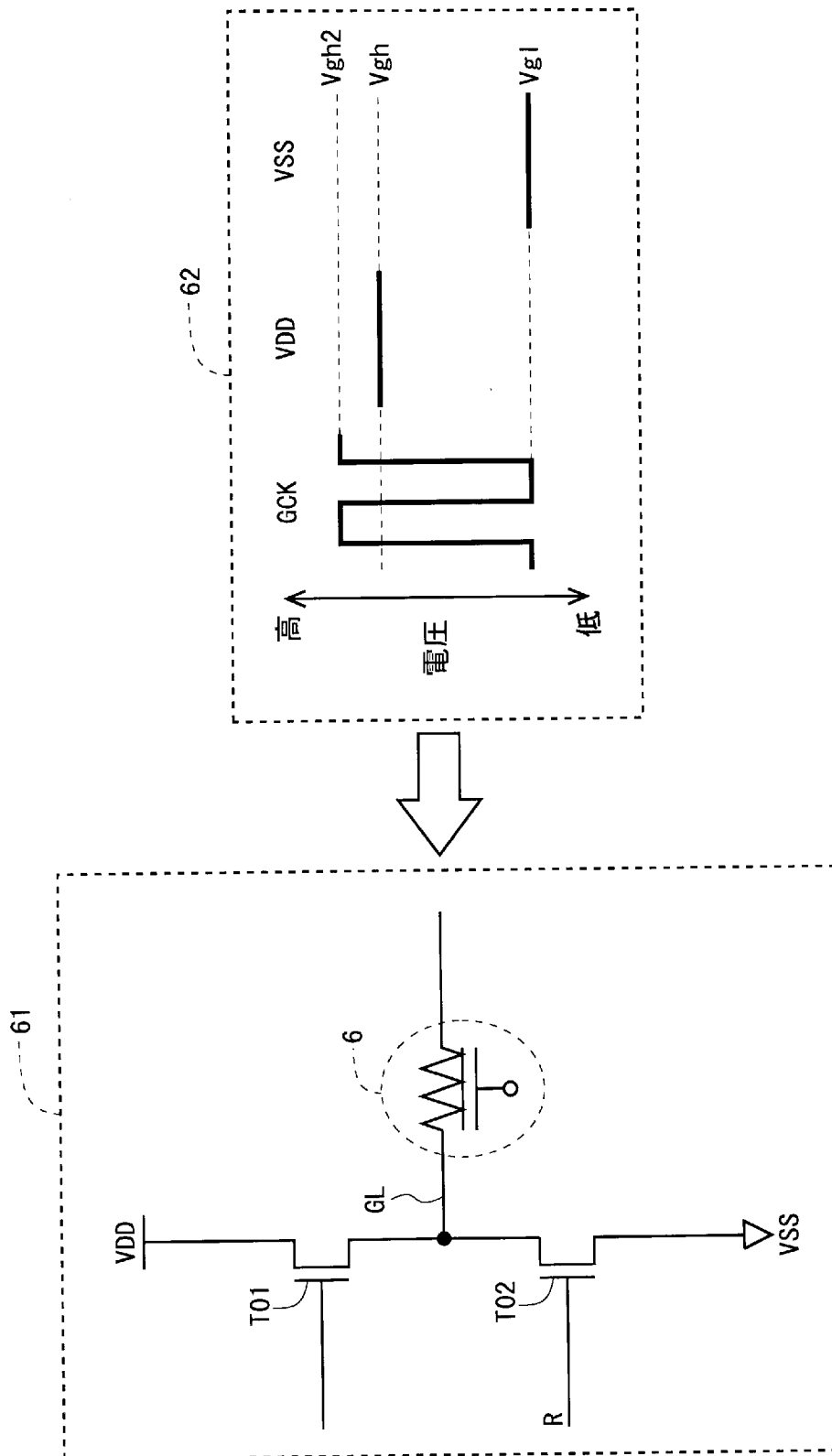
前記第 1 レベル電圧は、前記第 2 レベル電圧よりも高く、

前記選択レベル電圧は、前記非選択レベル電圧よりも高く、

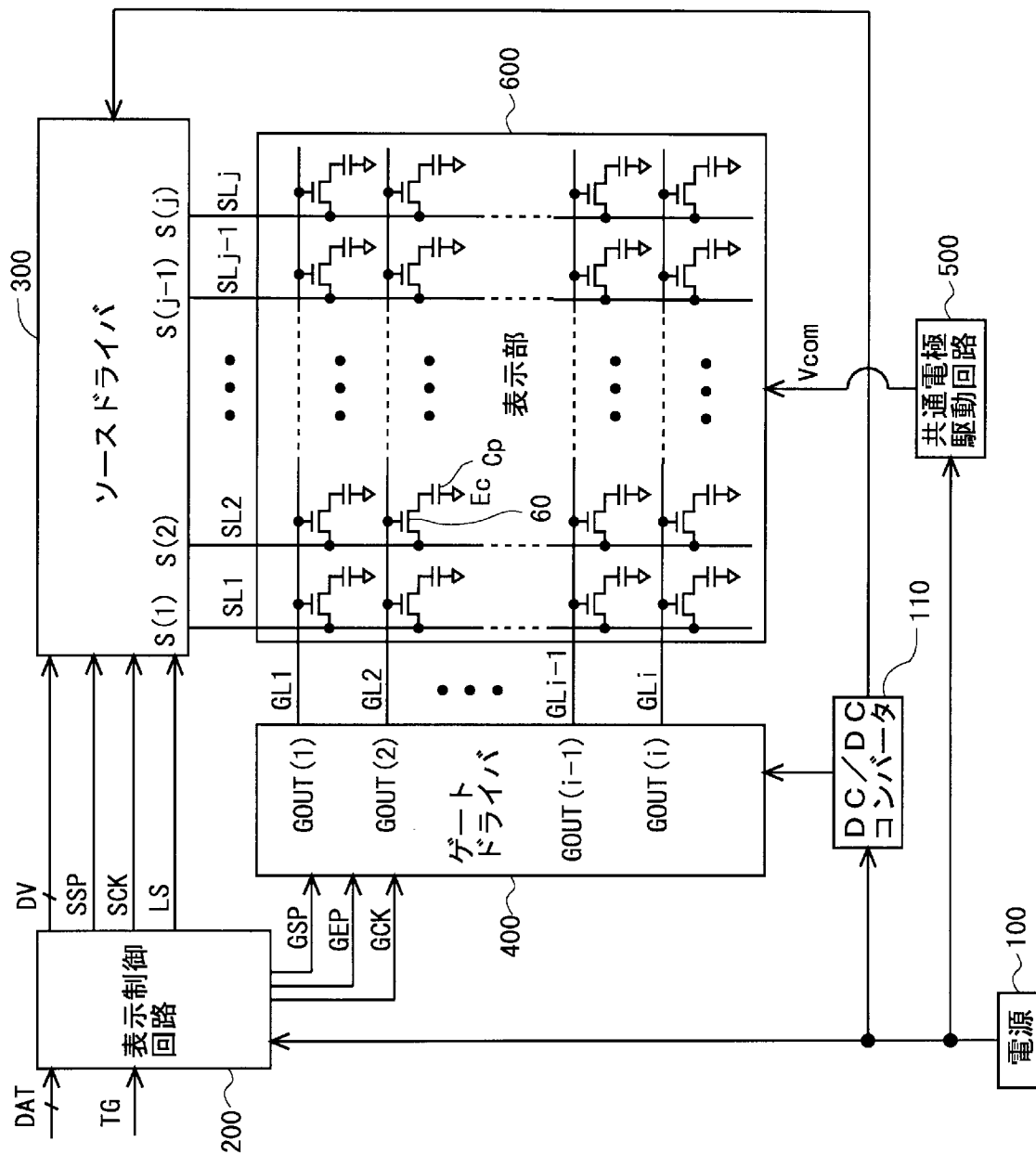
前記第 1 レベル電圧は、前記選択レベル電圧よりも高いことを特徴とする、請求項 1 に記載の走査信号線駆動回路。

[請求項14] 請求項 1 に記載の走査信号線駆動回路を備えたことを特徴とする、表示装置。

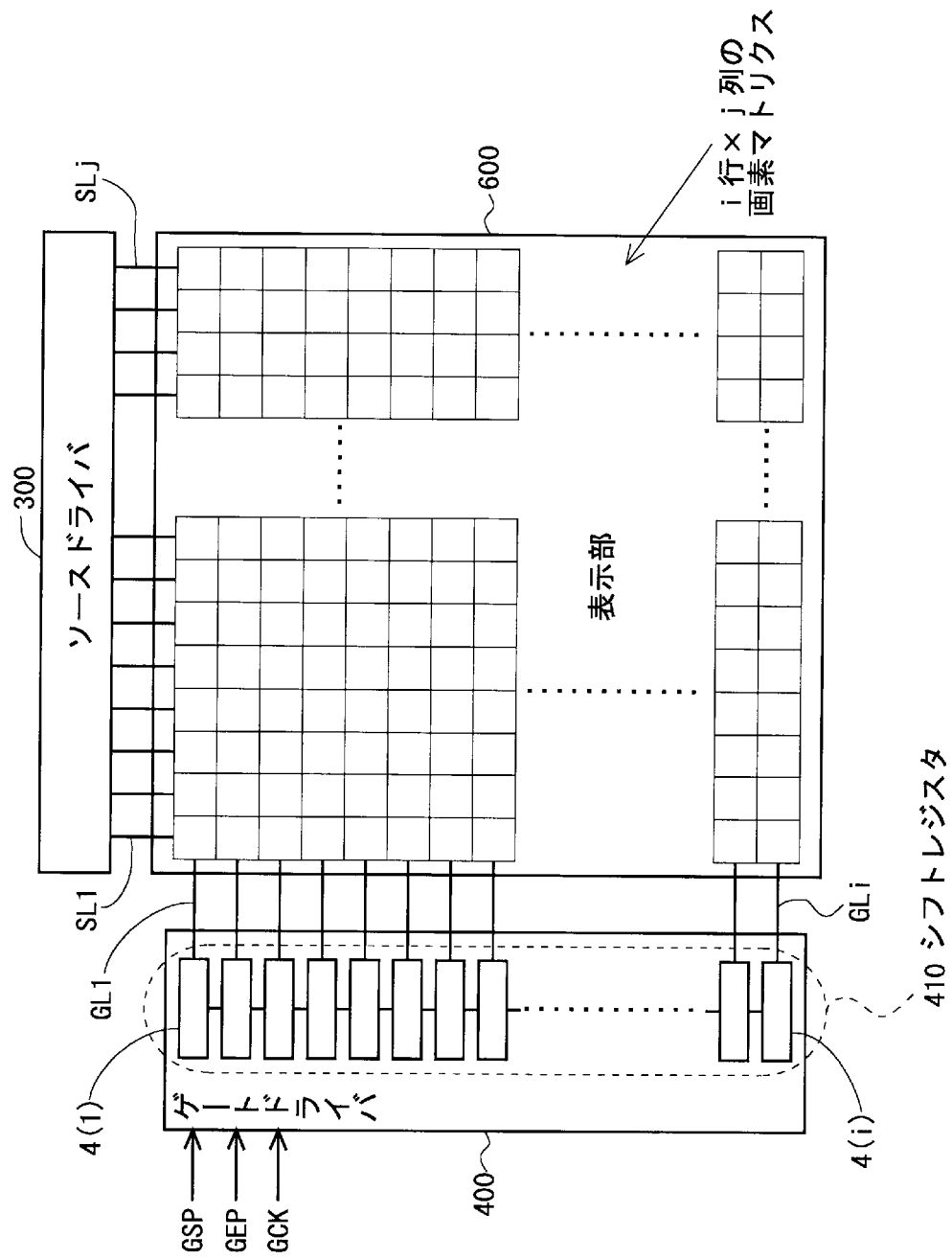
[図1]



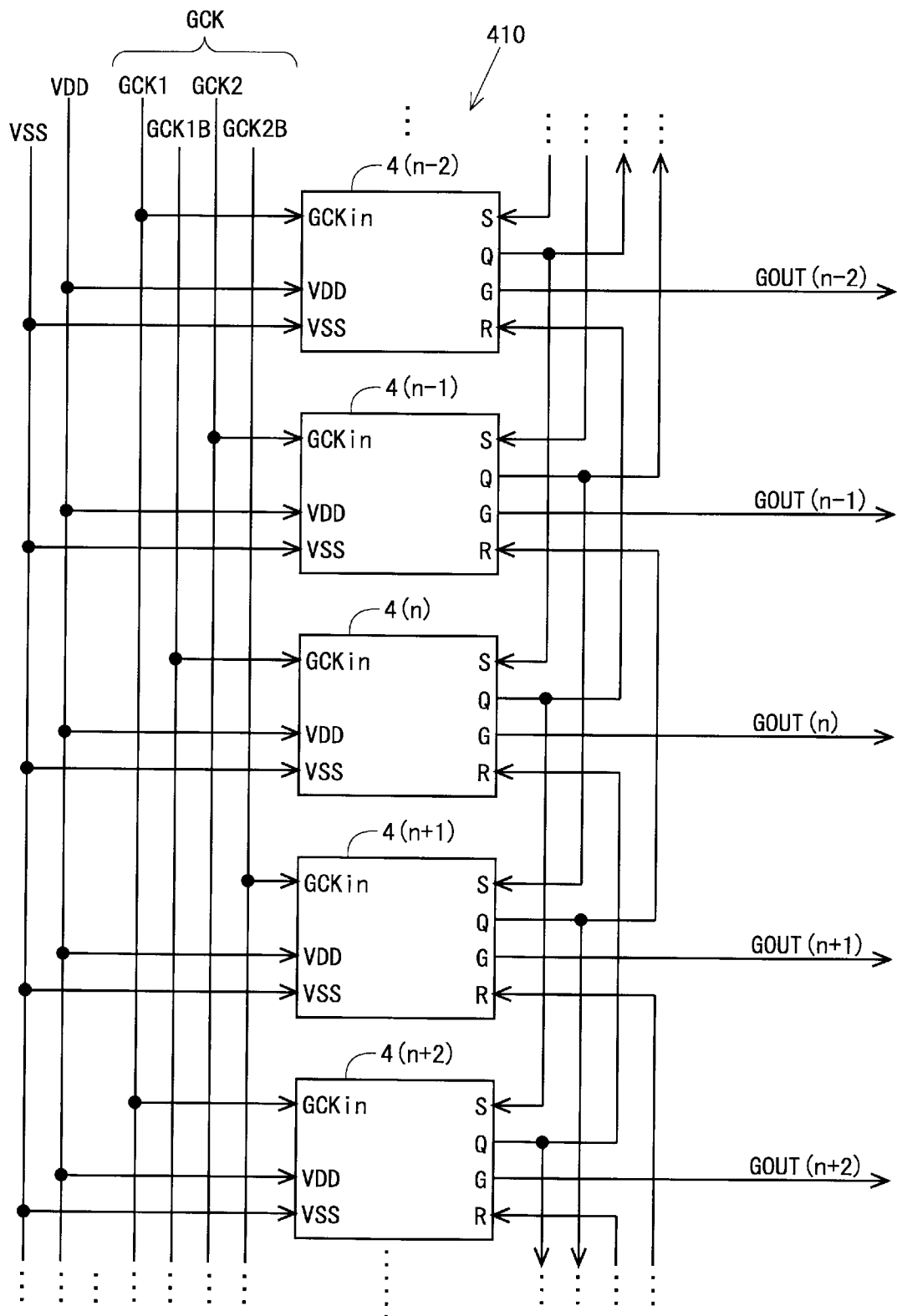
[図2]



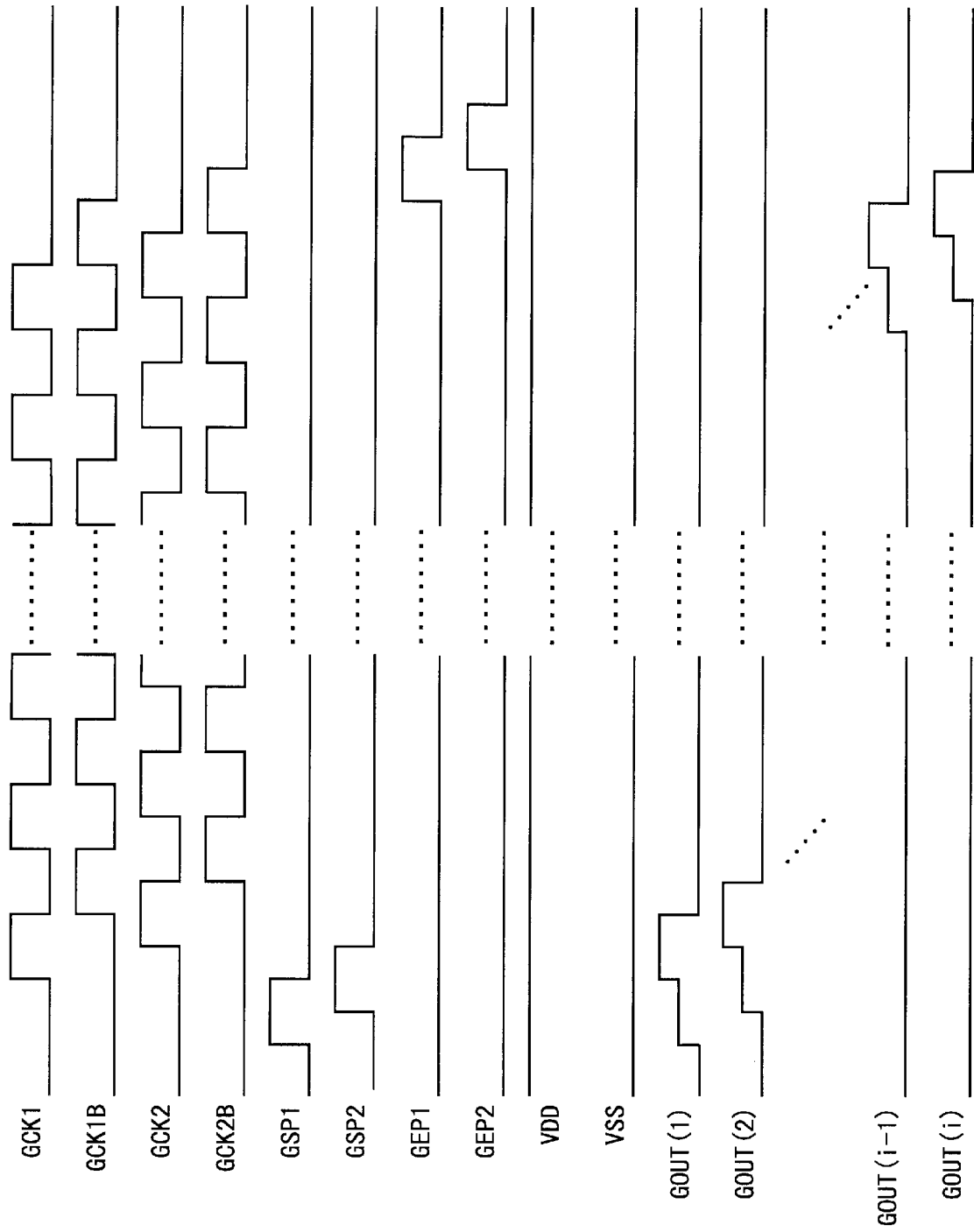
[図3]



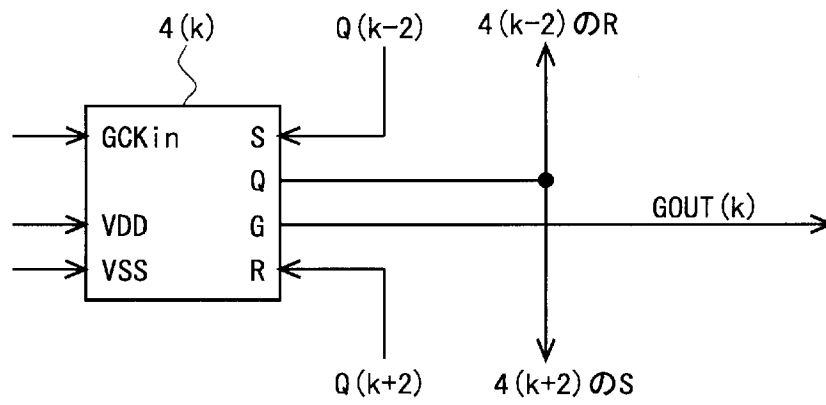
[図4]



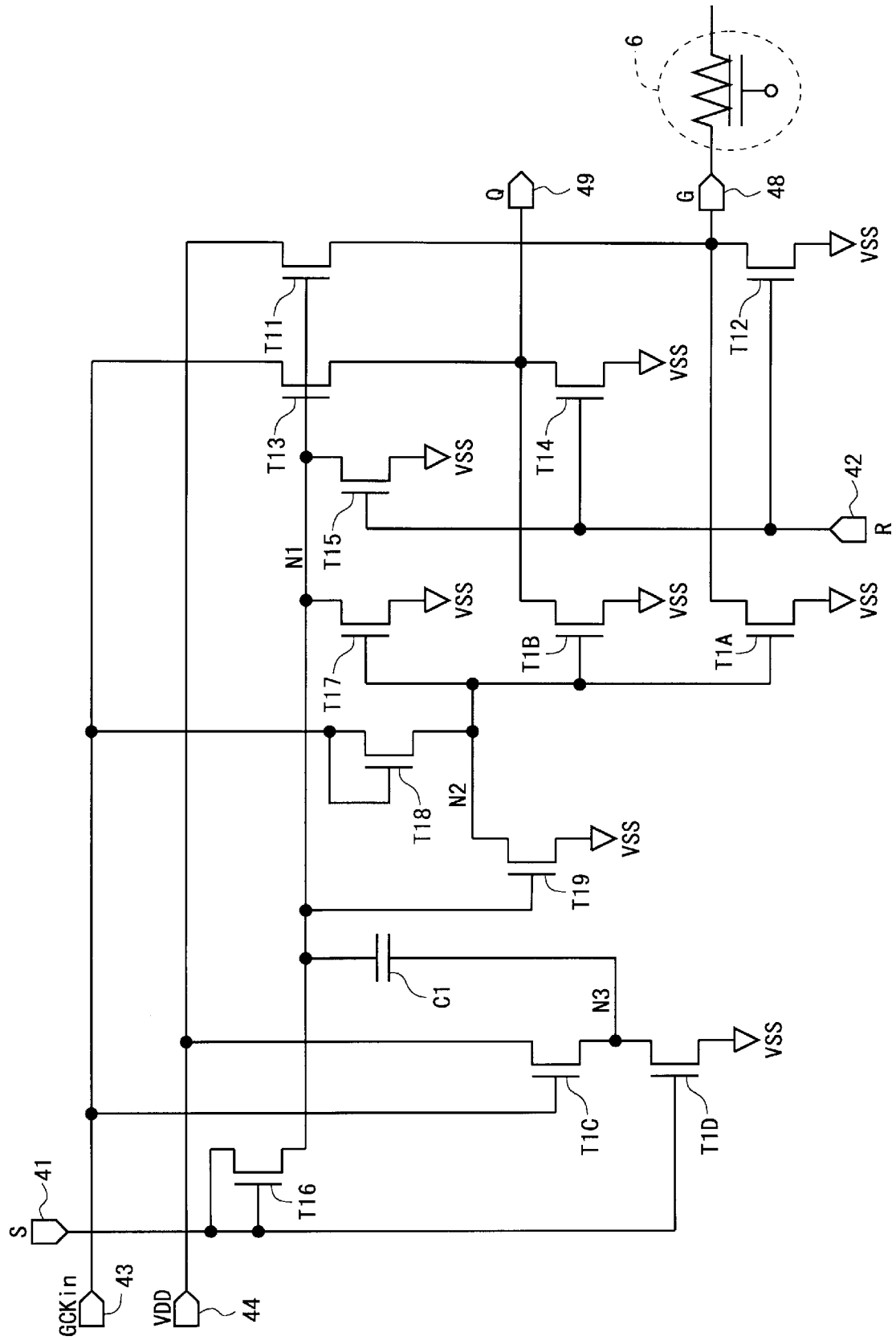
[図5]



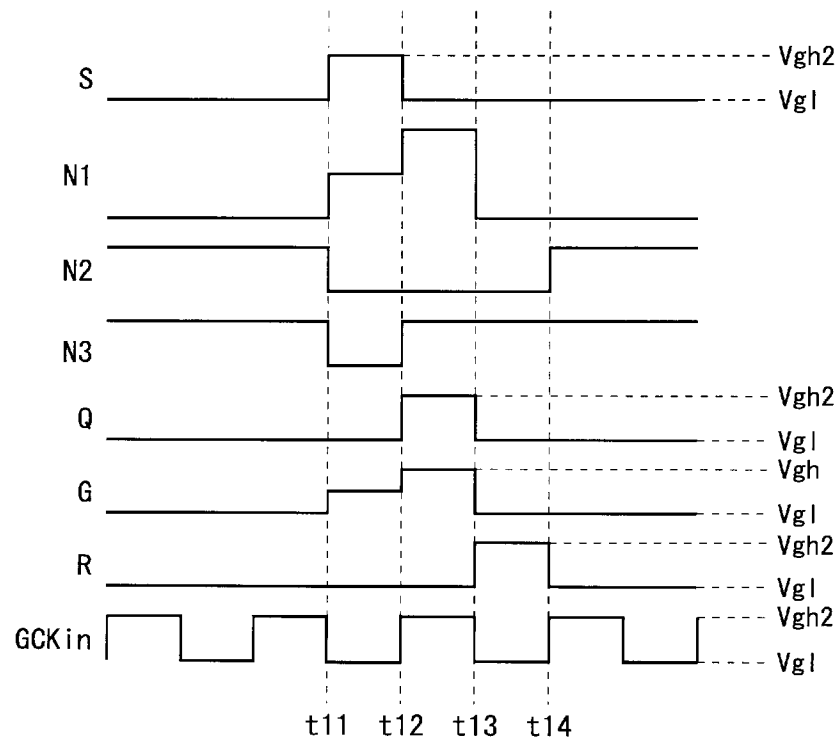
[図6]



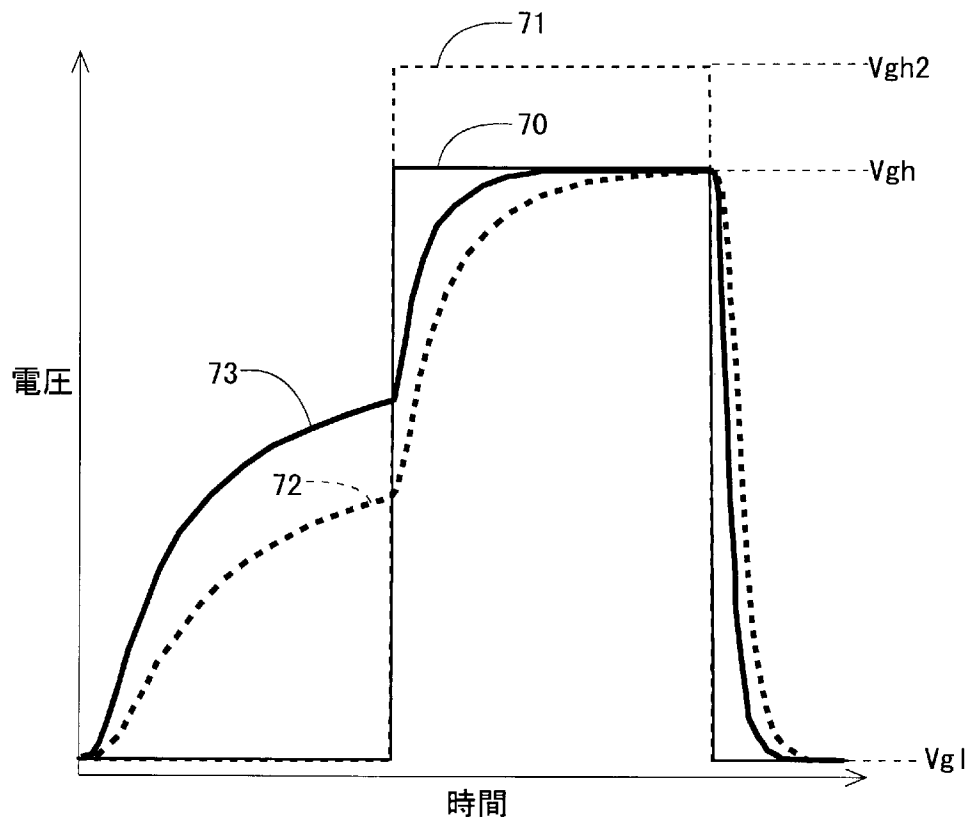
[図7]



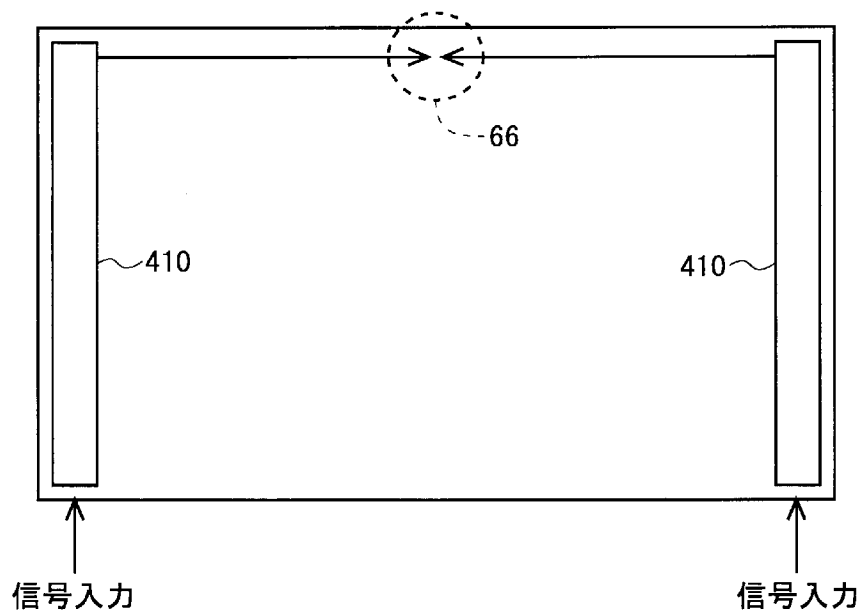
[図8]



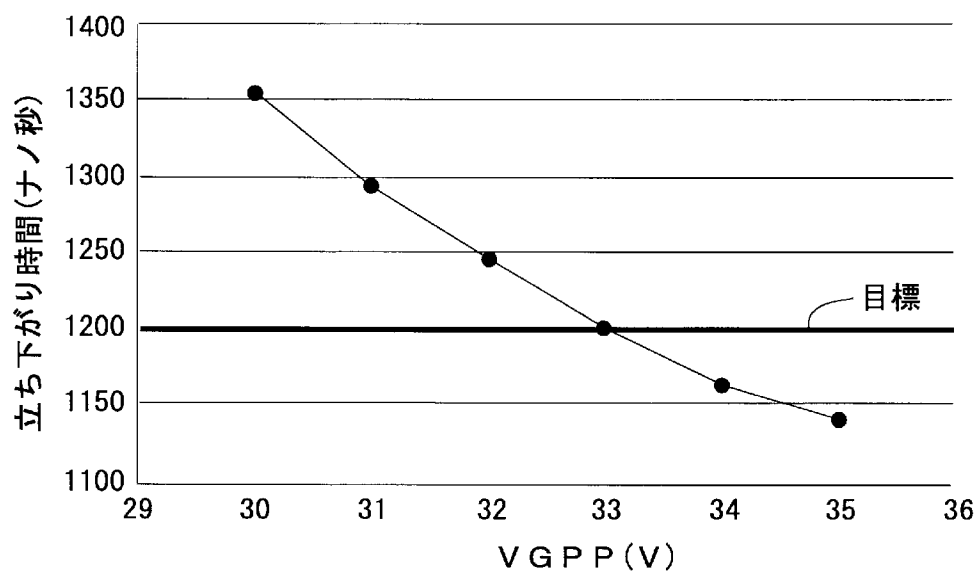
[図9]



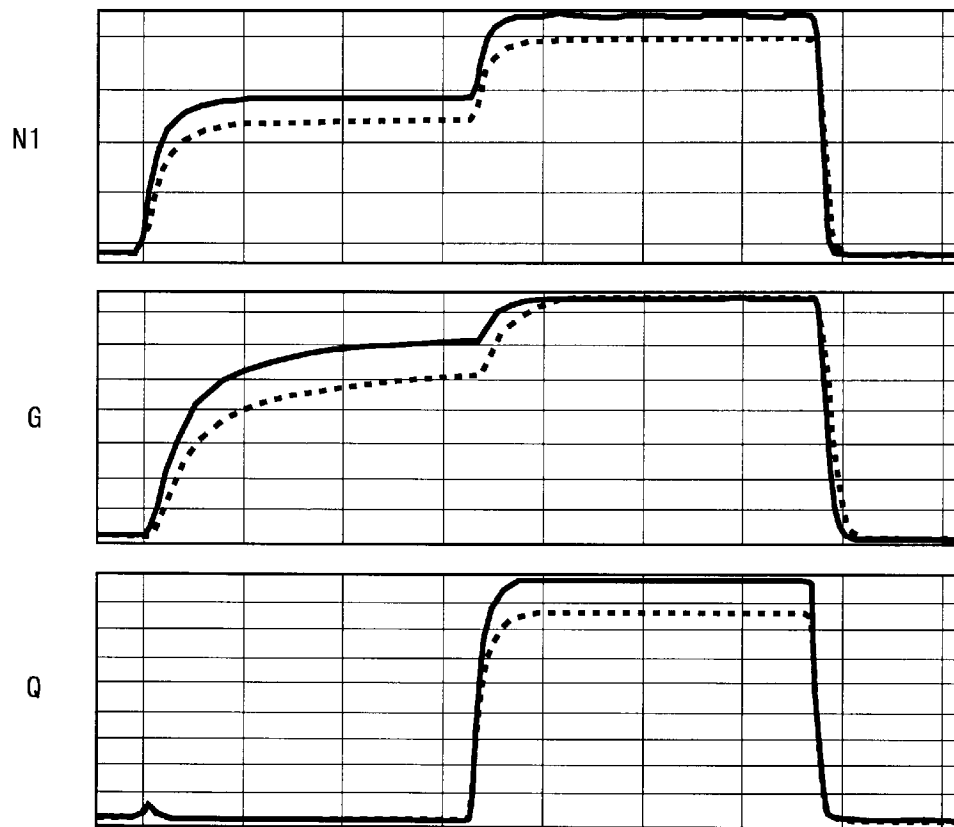
[図10]



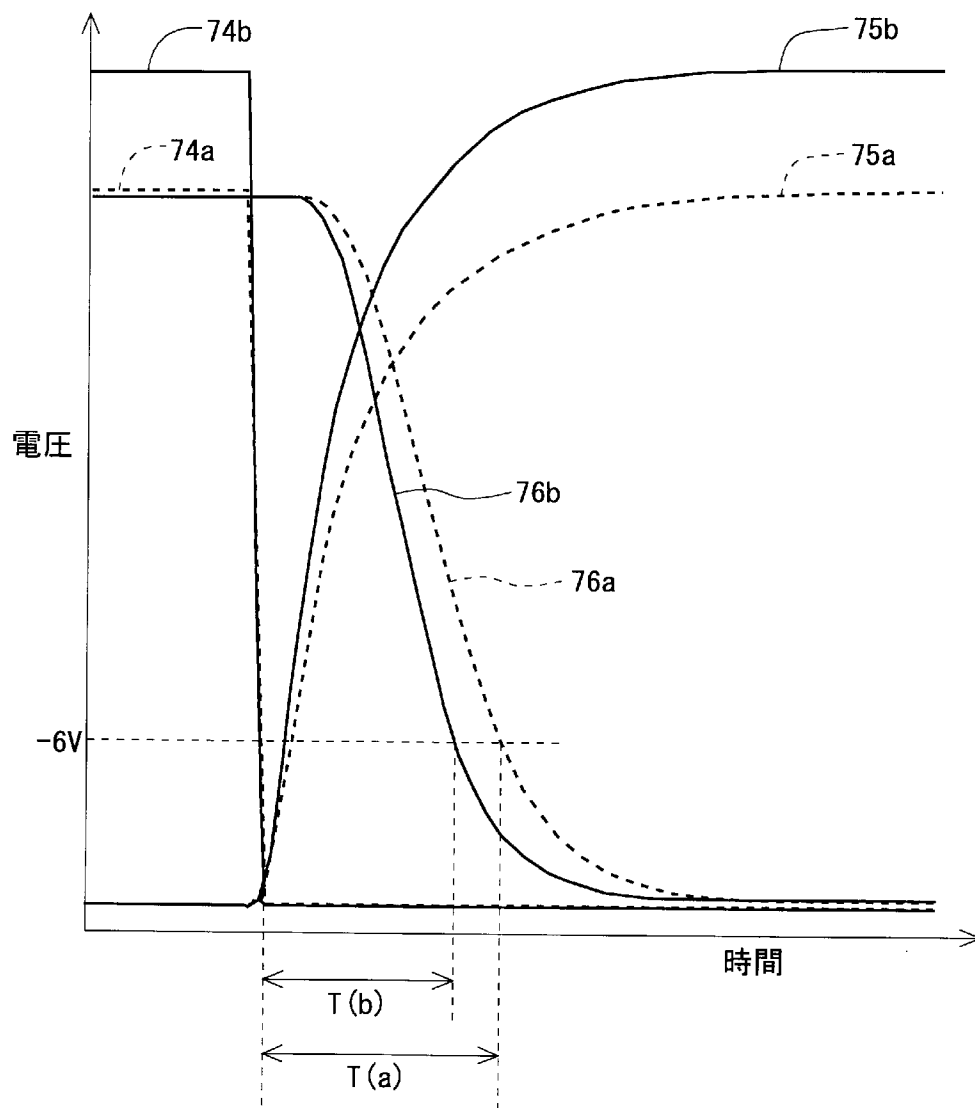
[図11]



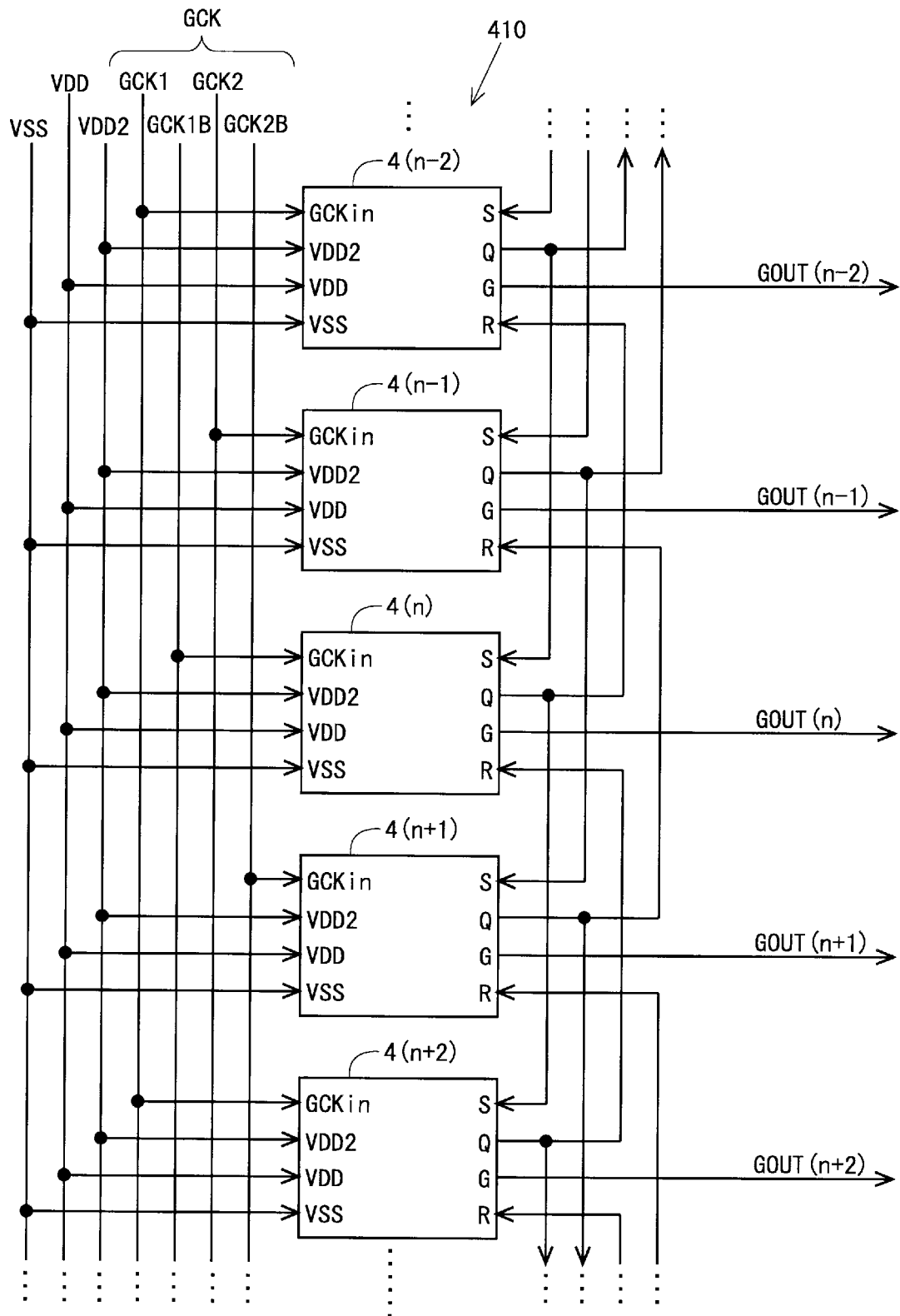
[図12]



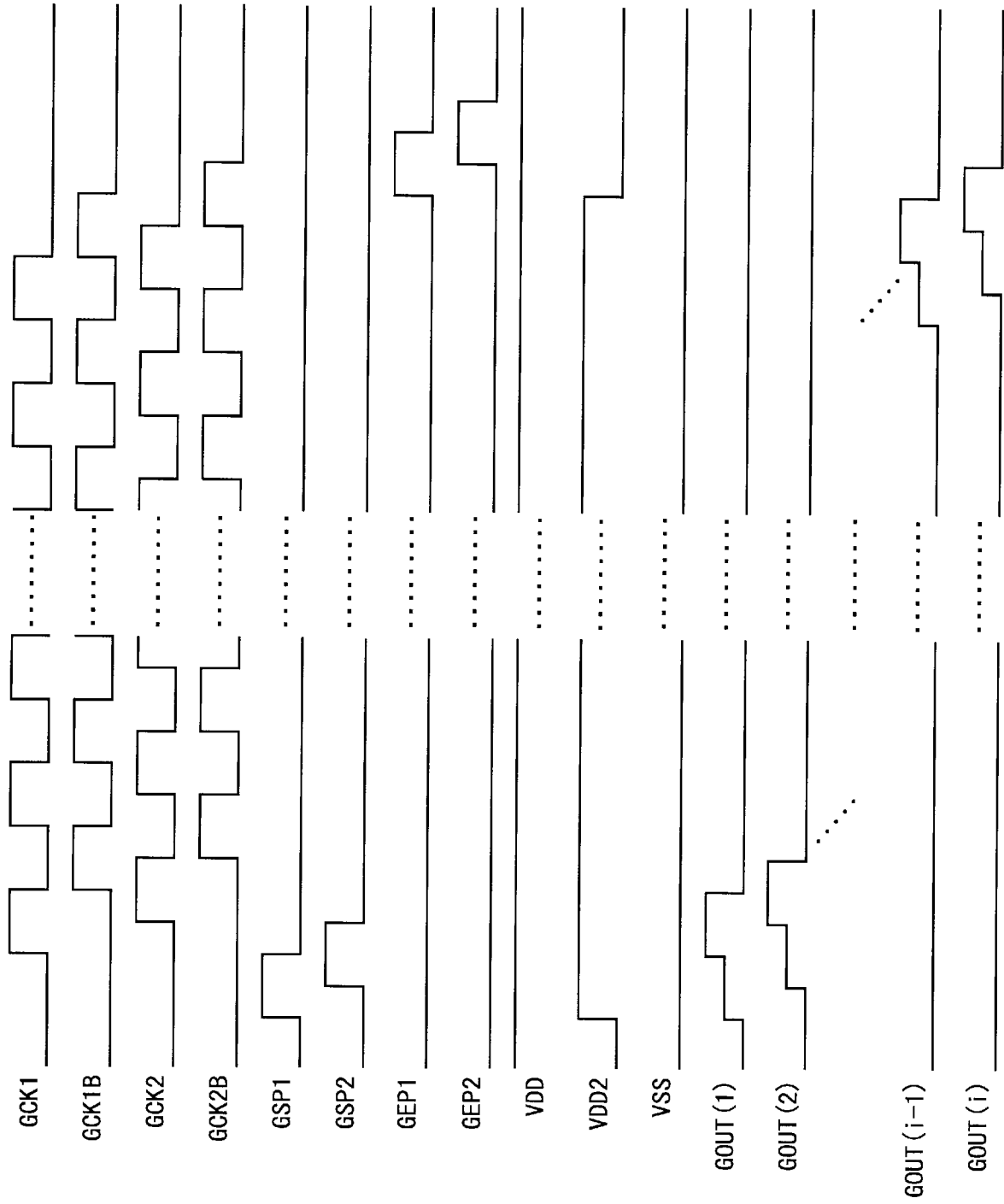
[図13]



[図14]



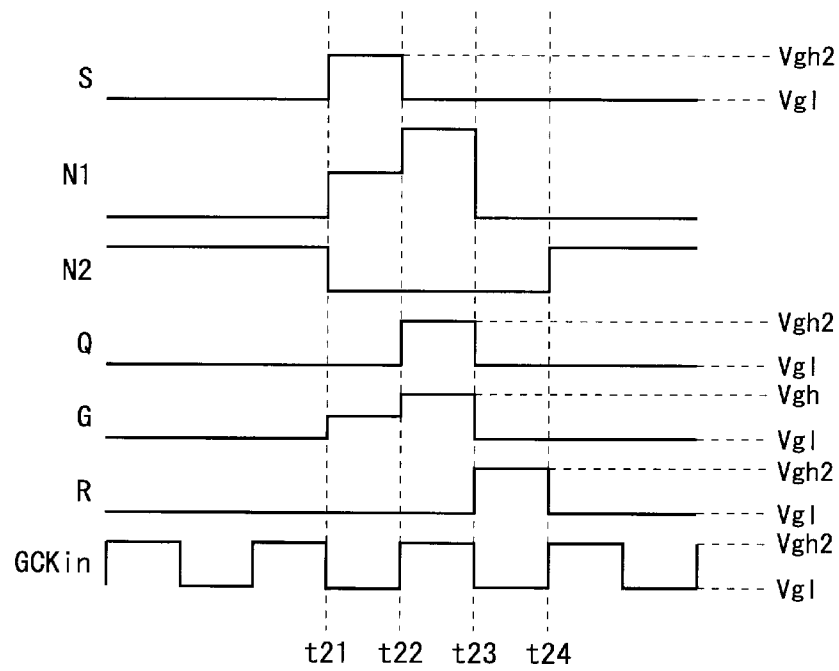
[図15]



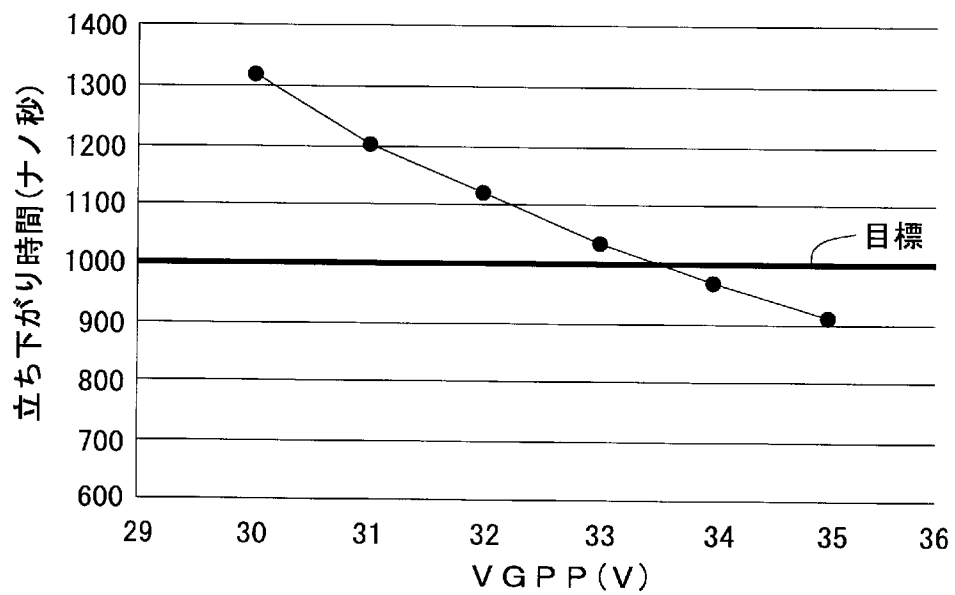
[illegible]

The circuit diagram shows a differential signal processing circuit. It includes a differential pair of PMOS transistors (T21, T22) and NMOS transistors (T23, T24). A feedback loop is formed by a resistor (R) and a capacitor (C2). The circuit is biased by VDD and VSS. The output is taken from the differential pair. The circuit is labeled with various components: 41, 42, 43, 44, 45, 46, 47, 48, 49, 50, 51, 52, 53, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65, 66, 67, 68, 69, 70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81, 82, 83, 84, 85, 86, 87, 88, 89, 90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100.

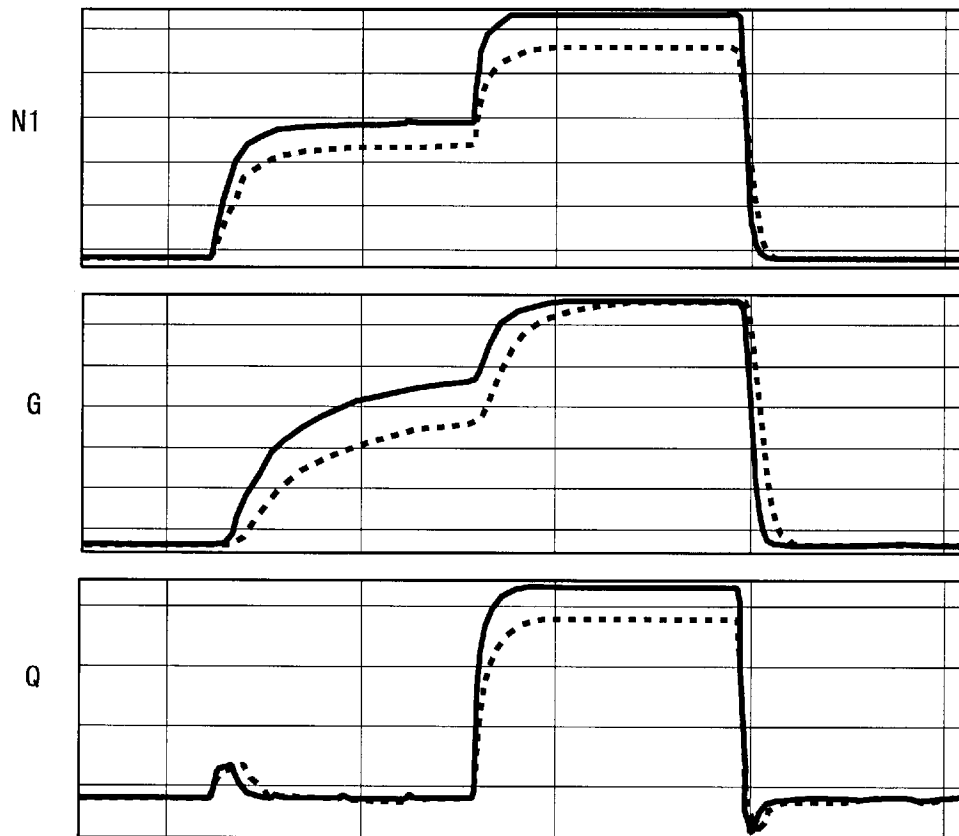
[図18]



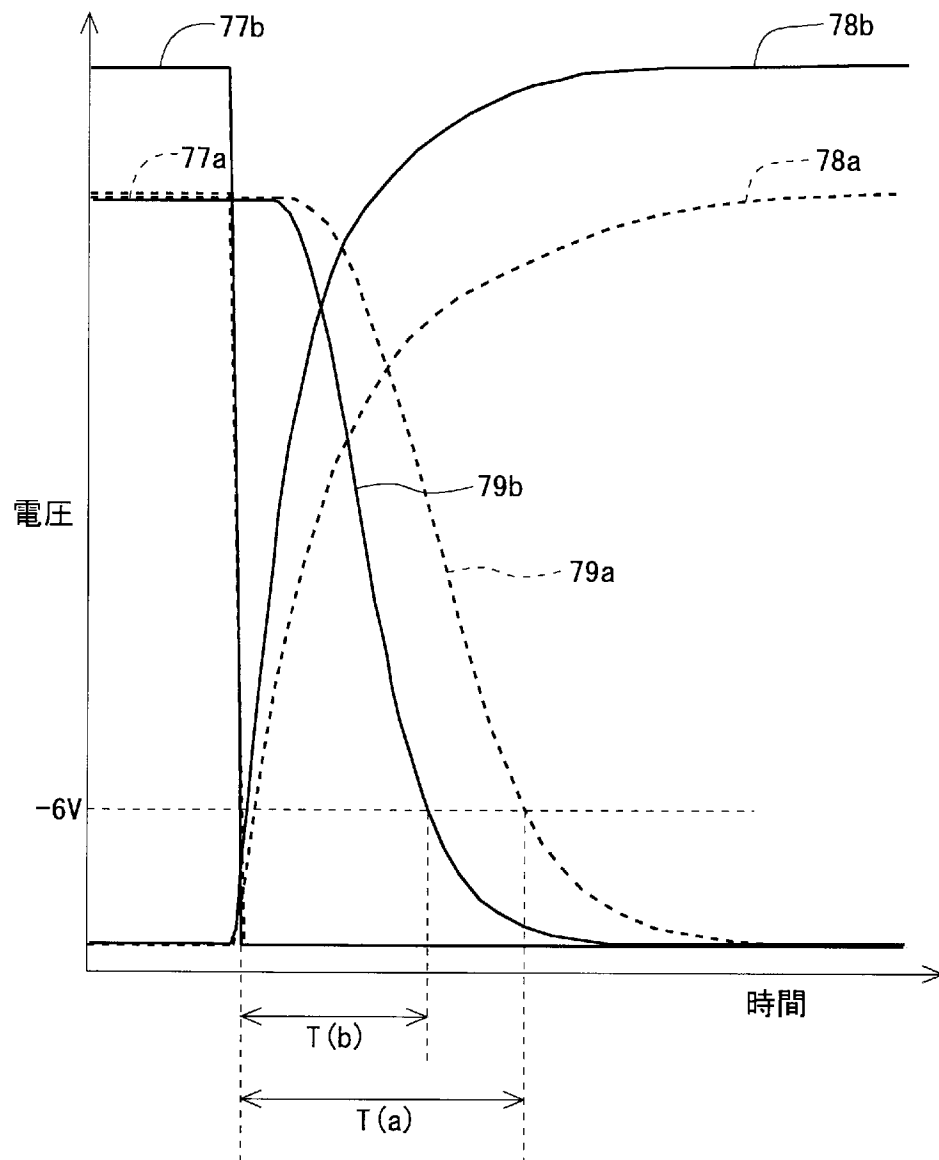
[図19]



[図20]

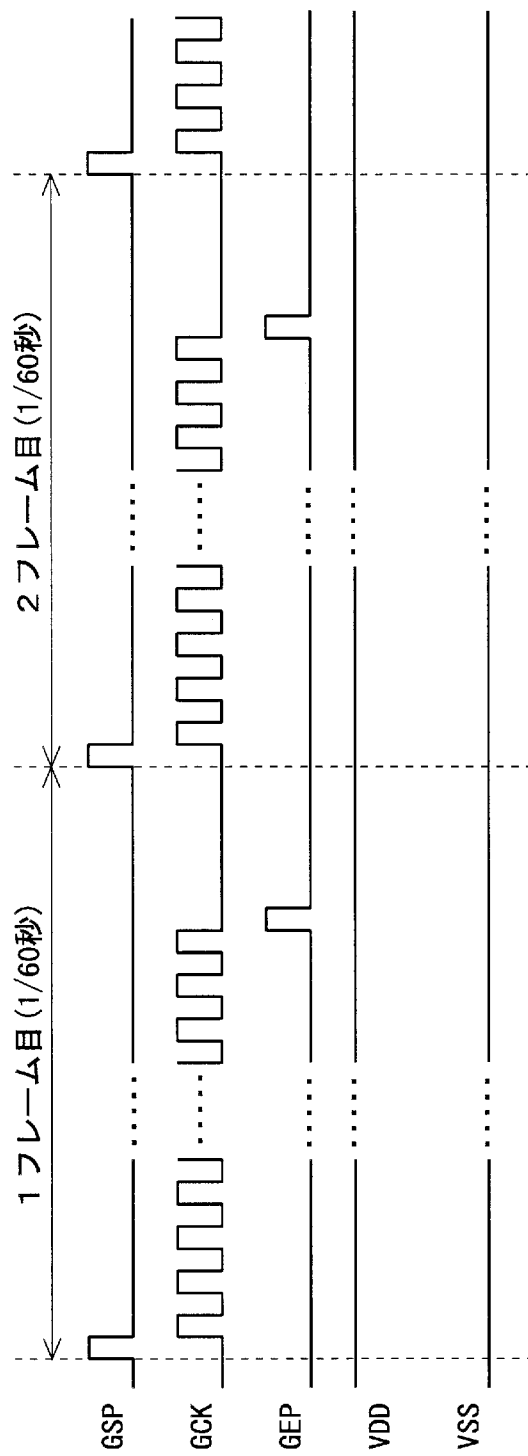


[図21]

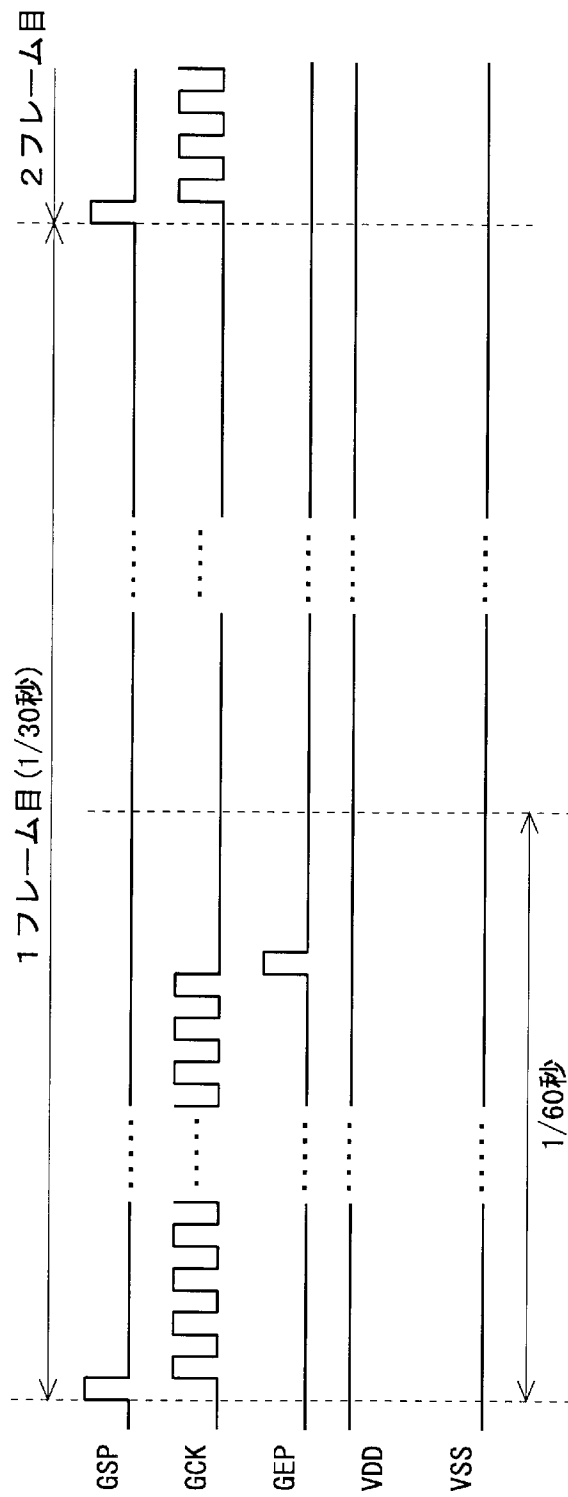


[illegible]

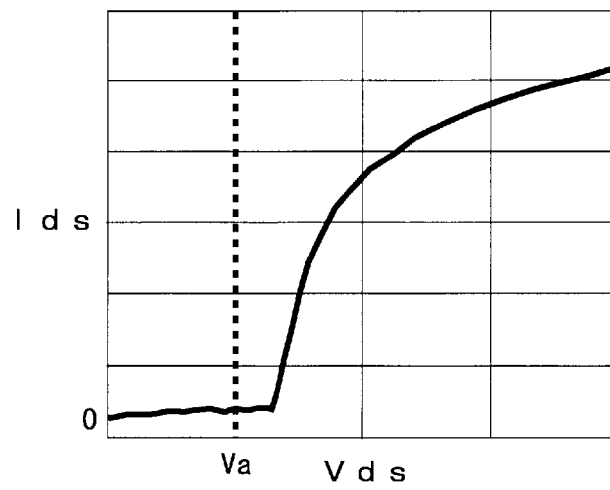
[図23]



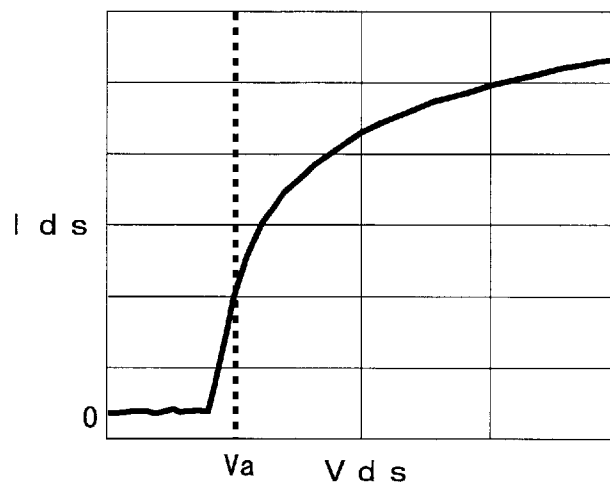
[図24]



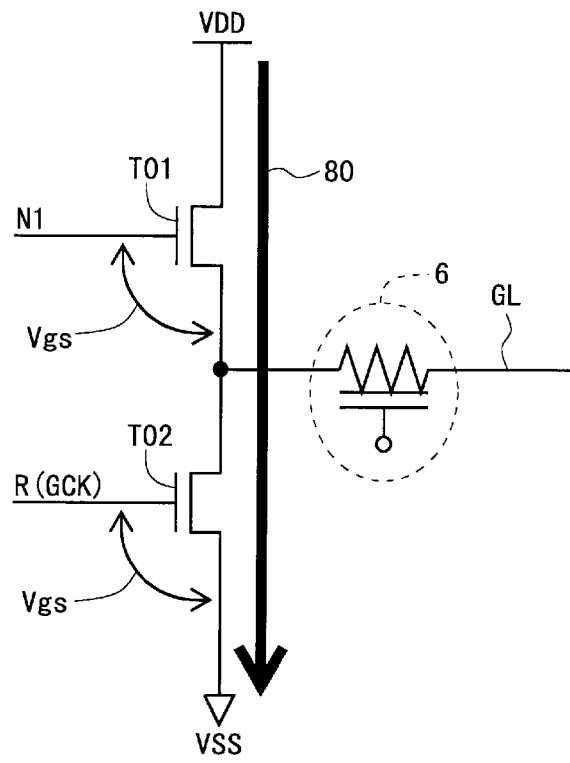
[図25]



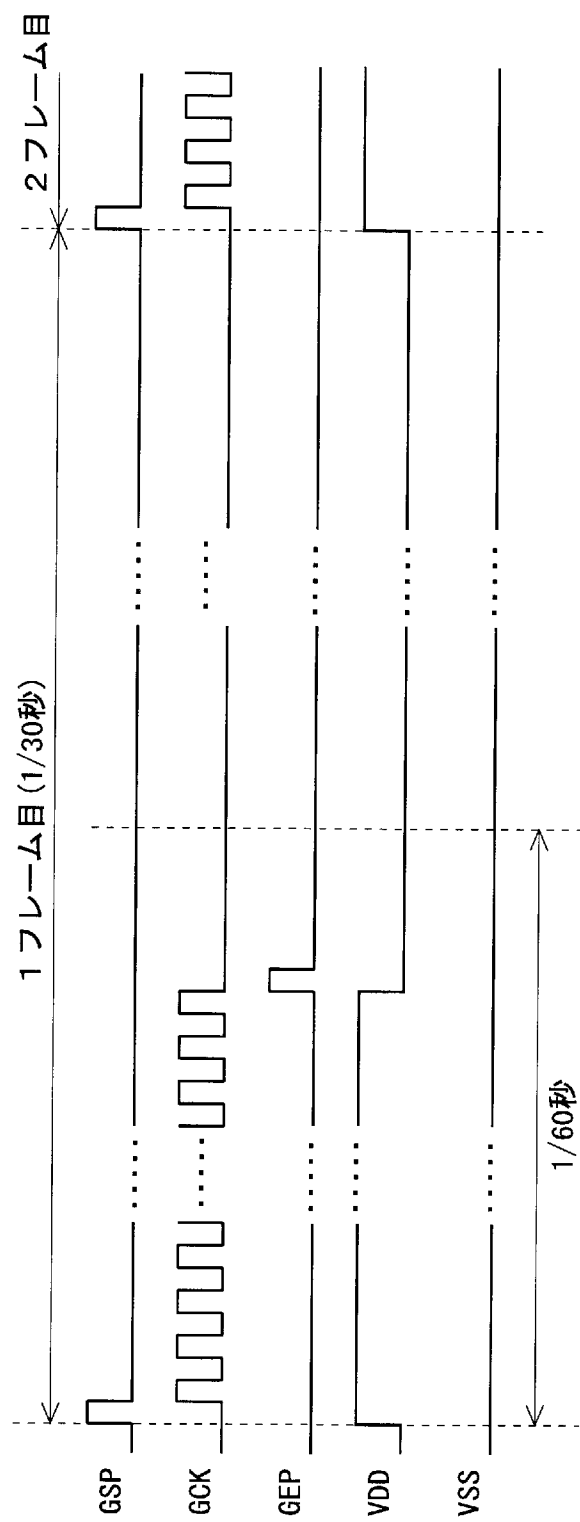
[図26]



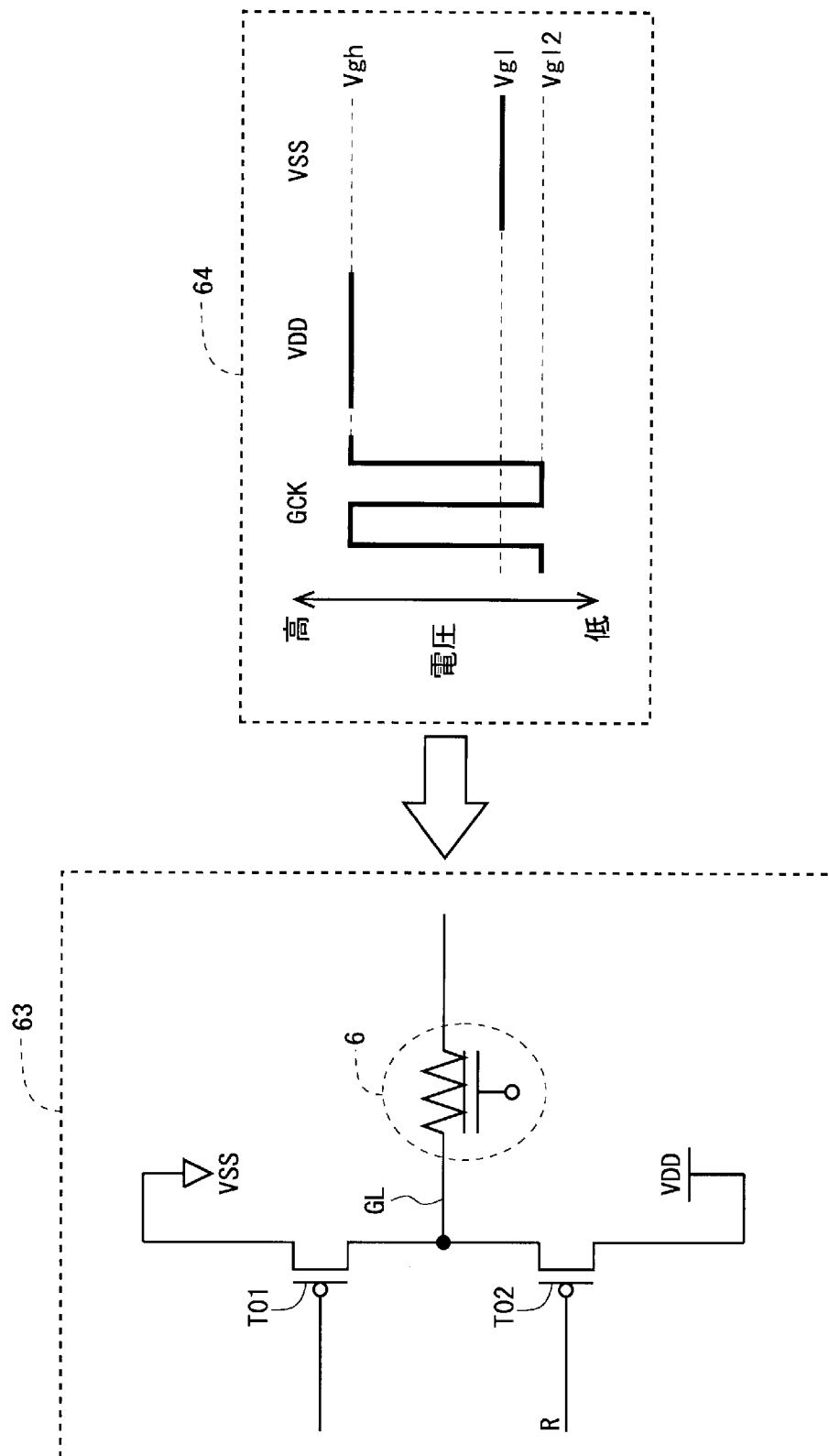
[図27]



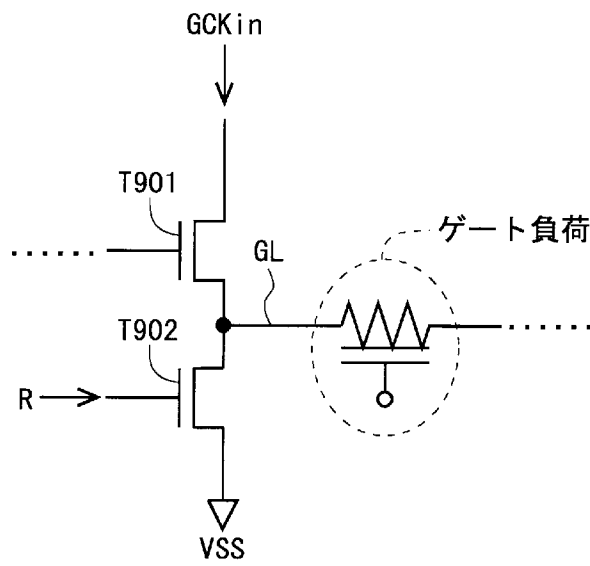
[図28]



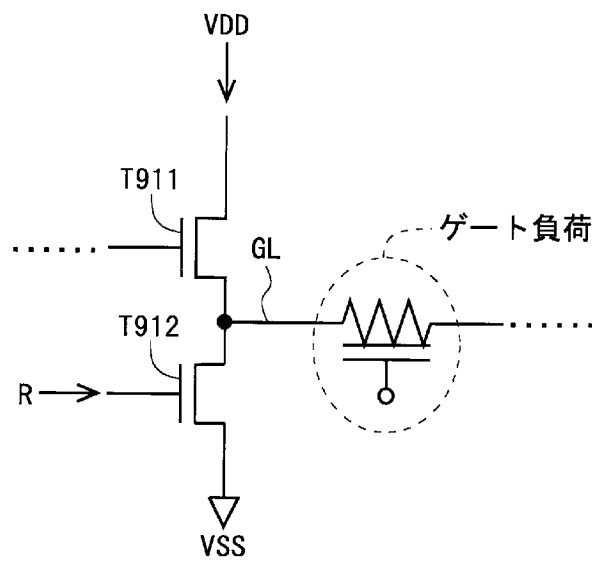
[図29]



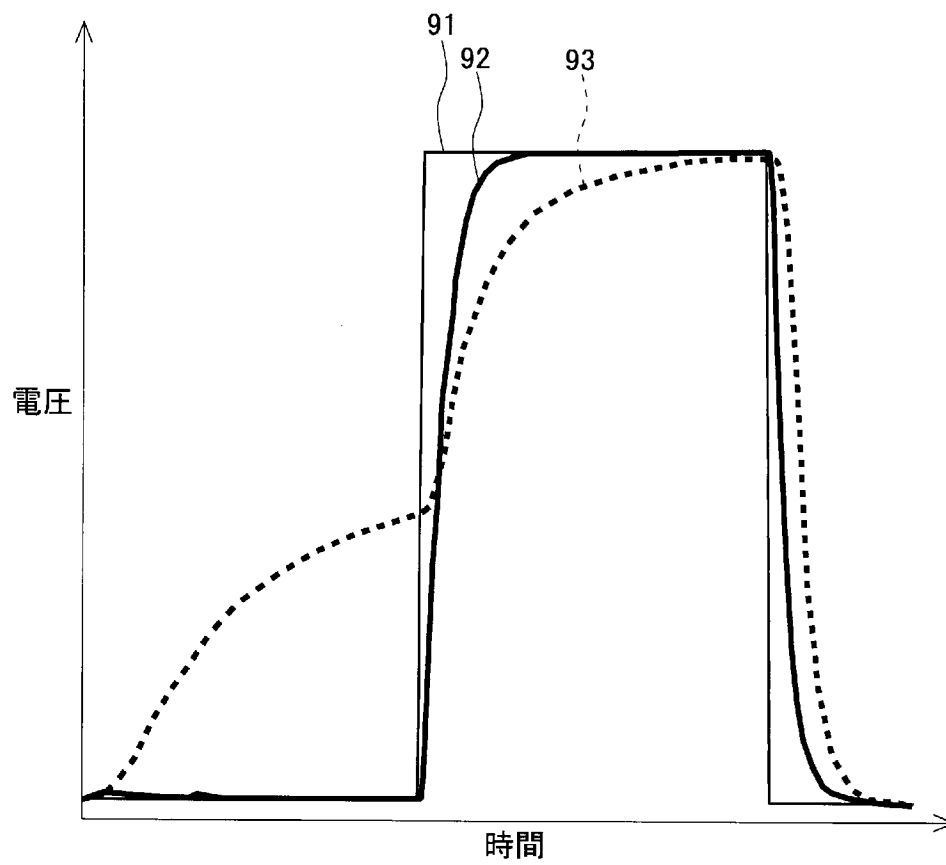
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/007111

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-204343 A (AU OPTRONICS CORPORATION) 13 October 2011, paragraphs [0027]-[0045], fig. 1-3 & US 2011/0234577 A1, paragraphs [0032]-[0050], fig. 1-3 & EP 2369594 A1 & CN 102005196 A	1-2, 10-12, 14 3-9, 13
Y	US 2016/0140922 A1 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 19 May 2016, paragraphs [0118]-[0121], fig. 2-3 & JP 2017-534924 A & GB 2548282 A & WO 2016/074283 A1 & CN 104376824 A	1-2, 10-12, 14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
17 April 2018 (17.04.2018)

Date of mailing of the international search report
01 May 2018 (01.05.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/007111

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2011/114569 A1 (SHARP CORP.) 22 September 2011, paragraphs [0052]-[0059], fig. 11-13 & US 2013/0069930 A1, paragraphs [0086]-[0093], fig. 11-13	2
Y	WO 2013/125405 A1 (SHARP CORP.) 29 August 2013, paragraphs [0009]-[0016], fig. 5 & US 2014/0368492 A1, paragraphs [0012]-[0019], fig. 5 & EP 2819119 A1 & CN 104094346 A	10-12
A	WO 2009/084267 A1 (SHARP CORP.) 09 July 2009, paragraph [0044], fig. 3 & US 2010/0259525 A1, paragraph [0112], fig. 3 & EP 2234116 A1 & CN 101868833 A	1-14
A	WO 2011/162057 A1 (SHARP CORP.) 29 December 2011, entire text, all drawings & US 2013/0093743 A1, entire text, all drawings & CN 102959614 A	1-14
A	WO 2013/160941 A1 (PANASONIC CORP.) 31 October 2013, entire text, all drawings & US 2015/0116194 A1, entire text, all drawings & CN 104246897 A	1-14

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-204343 A（友達光電股▲ふん▼有限公司）2011.10.13, 段落 [0027] - [0045], [図1] - [図3] & US 2011/0234577 A1, [0032]-[0050], 図1-図3 & EP 2369594 A1 & CN 102005196 A	1-2, 10-12, 14 3-9, 13
Y	US 2016/0140922 A1（SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.）2016.05.19, 段落 [0118] - [0121], 図2-図3 & JP 2017-534924 A & GB 2548282 A & WO 2016/074283 A1	1-2, 10-12, 14

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

17.04.2018

国際調査報告の発送日

01.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

21

9308

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	& CN 104376824 A	
Y	WO 2011/114569 A1 (シャープ株式会社) 2011. 09. 22, 段落 [0052] - [0059], [図11] - [図13] & US 2013/0069930 A1, [0086]-[0093], 図11-図13	2
Y	WO 2013/125405 A1 (シャープ株式会社) 2013. 08. 29, 段落 [0009] - [0016], [図5] & US 2014/0368492 A1, [0012]-[0019], 図5 & EP 2819119 A1 & CN 104094346 A	10-12
A	WO 2009/084267 A1 (シャープ株式会社) 2009. 07. 09, 段落 [0044], [図3] & US 2010/0259525 A1, [0112], 図3 & EP 2234116 A1 & CN 101868833 A	1-14
A	WO 2011/162057 A1 (シャープ株式会社) 2011. 12. 29, 全文, 全図 & US 2013/0093743 A1, 全文, 全図 & CN 102959614 A	1-14
A	WO 2013/160941 A1 (パナソニック株式会社) 2013. 10. 31, 全文, 全図 & US 2015/0116194 A1, 全文, 全図 & CN 104246897 A	1-14