

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7426889号
(P7426889)

(45)発行日 令和6年2月2日(2024.2.2)

(24)登録日 令和6年1月25日(2024.1.25)

(51)国際特許分類

F I

A 6 3 F 7/02 (2006.01)

A 6 3 F 7/02 3 2 6 Z

A 6 3 F 7/02 3 2 0

請求項の数 1 (全91頁)

(21)出願番号	特願2020-70876(P2020-70876)	(73)特許権者	391010943
(22)出願日	令和2年4月10日(2020.4.10)		株式会社藤商事
(65)公開番号	特開2021-166610(P2021-166610 A)		大阪府大阪市中央区内本町一丁目1番4号
(43)公開日	令和3年10月21日(2021.10.21)	(74)代理人	100100376
審査請求日	令和5年4月7日(2023.4.7)		弁理士 野中 誠一
		(74)代理人	100142077
			弁理士 板谷 真之
		(74)代理人	100143199
			弁理士 磯邊 毅
		(72)発明者	柴田 伸美
			大阪府大阪市中央区内本町一丁目1番4号 株式会社藤商事内
		審査官	上田 正樹

最終頁に続く

(54)【発明の名称】 遊技機

(57)【特許請求の範囲】

【請求項1】

各種の指示コマンドを列記して、表示装置に表示すべき表示内容を特定するディスプレイリストを、所定の更新周期に対応して間欠的に発行する画像制御手段と、前記画像制御手段が設定する所定の内蔵レジスタへの設定値と、前記指示コマンドとに基づいて動作して、所定の画像データを、所定のRWメモリに完成させる画像生成手段と、前記画像データの基礎データとなる各種の圧縮データを記憶するCGメモリと、を有して構成され、

前記RWメモリには、所定ビット位置以下の下位ビットが0となる基点アドレスに基づいて、複数のメモリ領域が確保され、前記圧縮データは、前記指示コマンドが特定するメモリ領域の展開空間に展開されるよう構成され、

所定のメモリ領域の展開空間は、前記画像制御手段の処理によることなく、前記画像生成手段の内部処理によって具体的に特定されるよう構成されている遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、遊技動作に起因する抽選処理を行い、その抽選結果に対応する画像演出を実行する遊技機に関し、特に、迫力ある画像演出を安定して実行できる遊技機に関する。

【背景技術】

【0002】

パチンコ機などの弾球遊技機は、遊技盤に設けた図柄始動口と、複数の表示図柄による一連の図柄変動態様を表示する図柄表示部と、開閉板が開閉される大入賞口などを備えて構成されている。そして、図柄始動口に設けられた検出スイッチが遊技球の通過を検出すると入賞状態となり、遊技球が賞球として払出された後、図柄表示部では表示図柄が所定時間変動される。その後、7・7・7などの所定の態様で図柄が停止すると大当たり状態となり、大入賞口が繰返し開放されて、遊技者に有利な遊技状態を発生させている。

【0003】

このような遊技状態を発生させるか否かは、図柄始動口に遊技球が入賞したことを条件に実行される大当たり抽選で決定されており、上記の図柄変動動作は、この抽選結果を踏まえたものとなっている。例えば、抽選結果が当選状態である場合には、リーチアクションなどと称される演出動作を20秒前後実行し、その後、特別図柄を整列させている。一方、ハズレ状態の場合にも、同様のリーチアクションが実行されることがあり、この場合には、遊技者は、大当たり状態になることを強く念じつつ演出動作の推移を注視することになる。そして、図柄変動動作の終了時に、停止ラインに所定図柄が揃えば、大当たり状態であることが遊技者に保証されたことになる。

【0004】

このような図柄変動動作は、通常、液晶ディスプレイにおいて実行される。液晶ディスプレイは、一般に、横Hドット×縦Vドットの画素で構成されており、H×Vドットの各画素は、各々、RGB三色の基本画素で構成されている。

【0005】

液晶ディスプレイにおける各画素の駆動は、その装置の動作クロックCK(=ドットクロックDCK)に同期して実行されており、水平方向一ライン分に対応するHドットの画素駆動が、水平同期信号HSに同期して繰り返され、Vライン分の駆動が終われば、垂直同期信号VSに同期して、第1ラインの画素駆動に戻るよう構成されている(図40参照)。そのため、外部機器から液晶ディスプレイに対して、解像度H×Vドットに対応する画像信号と共に、水平同期信号HSと、垂直同期信号VSとドットクロックDCKと共に供給される必要がある。

【0006】

ここで、液晶ディスプレイの表示更新動作(フレーム更新)を円滑に実行するために、各同期信号HS, VSのパルス幅や、各同期信号HS, VSと画像信号の送信タイミングとの間には、所定の条件が要求される。例えば、図40(g)は、640×408ドットのVGA(Video Graphics Array)の場合に要求される駆動タイミング条件の一例を示したものである。

【0007】

図示の駆動条件では、まず、水平同期信号HSのパルス幅PWhは、動作クロックCKの96個分であり、水平同期信号PWhの前後に要求されるフロントポーチFPhと、バックポートBPhは、各々、動作クロックCKの16個分と、48個分と規定されている。

【0008】

一方、垂直同期信号VSのパルス幅PWvは、2ライン分であり、垂直同期信号VSの前後に要求されるフロントポーチFPvと、バックポートBPvは、各々、19ライン分と、33ライン分と規定されている。

【0009】

したがって、この液晶ディスプレイでは、1ラインの駆動動作の動作周期は、動作クロックCKでカウントして、 $16 + 96 + 48 + 640$ 個分(=800)であり、これを垂直方向に $10 + 2 + 33 + 480$ ライン分(=525)繰り返すことで、表示画面一フレーム分の表示が更新されることになる。

【0010】

上記の動作周期は、動作クロックCKでカウントして、 800×525 個分であり、例えば、動作クロックの周波数が25MHzの場合には、一フレームの更新に要する時間は、 $800 \times 525 / (25 \times 10^6) = 16.8 \text{ ms}$ であり、1/60秒程度の動作周期

10

20

30

40

50

となる。

【 0 0 1 1 】

そして、液晶ディスプレイを制御する外部制御機器は、上記の水平条件（ P W h , F P h , B P h ）を満たす水平同期信号 H S と、上記の垂直条件（ P W v h , F P v h , B P v h ）を満たす水平同期信号 H S と共に、表示画面の画素数に対応した画像信号を、繰り返し、液晶ディスプレイに供給することになる。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 2 】

【 文献 】特開 2 0 1 7 - 0 9 3 6 3 3 号公報

10

【 文献 】特開 2 0 1 7 - 0 9 3 6 3 2 号公報

【 文献 】特開 2 0 1 6 - 1 5 9 0 3 0 号公報

【 文献 】特開 2 0 1 6 - 1 5 9 0 2 9 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 3 】

ところで、この種の遊技機では、各種の演出を複雑化かつ豊富化したいところ、特に、液晶ディスプレイを使用する画像演出については、その要請が高い。そこで、出願人は、各種の提案をしているが（引用文献 1 ~ 引用文献 4 ）、画像演出の更なる高度化や、画像演出制御を中心とした各種の演出制御動作の更なる改善が望まれるところである。

20

【 0 0 1 4 】

本発明は、上記の課題に鑑みてなされたものであり、画像演出制御を中心とした各種の演出制御動作が更に改善された遊技機を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 5 】

上記の目的を達成するため、本発明は、各種の指示コマンドを列記して、表示装置に表示すべき表示内容を特定するディスプレイリストを、所定の更新周期に対応して間欠的に発行する画像制御手段と、前記画像制御手段が設定する所定の内蔵レジスタへの設定値と、前記指示コマンドとに基づいて動作して、所定の画像データを、所定の R W メモリに完成させる画像生成手段と、前記画像データの基礎データとなる各種の圧縮データを記憶する C G メモリと、を有して構成され、前記 R W メモリには、所定ビット位置以下の下位ビットが 0 となる基点アドレスに基づいて、複数のメモリ領域が確保され、前記圧縮データは、前記指示コマンドが特定するメモリ領域の展開空間に展開されるよう構成され、所定のメモリ領域の展開空間は、前記画像制御手段の処理によることなく、前記画像生成手段の内部処理によって具体的に特定されるよう構成されている。

30

【 発明の効果 】

【 0 0 1 6 】

上記した本発明によれば、画像制御動作が改善される。

【 図面の簡単な説明 】

【 0 0 1 7 】

40

【 図 1 】 本実施例のパチンコ機を示す斜視図である。

【 図 2 】 図 1 の遊技機の遊技領域を示す正面図である。

【 図 3 】 図 1 の遊技機の全体回路構成を示すブロック図である。

【 図 4 】 表示装置の仕様を説明する図面である。

【 図 5 】 表示装置の内部構成を説明するブロック図である。

【 図 6 】 図 1 の遊技機について、演出制御部の回路構成をやや詳細に示すブロック図である。

【 図 7 】 演出制御部を構成する複合チップを説明する図面である。

【 図 8 】 図 4 に示す C P U 回路の内部構成を示すブロック図である。

【 図 9 】 C P U 回路の内蔵 C P U （演出制御 C P U ）のメモリマップを図示したものであ

50

る。

【図 1 0】DMA C について、各種の転送動作モード (a) ~ (b) と、転送動作手順 (c) ~ (e) を説明する図面である。

【図 1 1】インデックス空間、インデックステーブル、仮想描画空間、及び、描画領域について説明する図面である。

【図 1 2】データ転送回路の内部構成を、関連する回路構成と共に記載したブロック図である。

【図 1 3】表示回路の内部構成を、関連する回路構成と共に記載したブロック図である。

【図 1 4】VDP 回路から出力されるデータ有効信号 E N A B を説明する図面である。

【図 1 5】CPU リセット後のパワーリセット動作を説明するフローチャートである。

【図 1 6】図 1 5 の一部であるメモリセクション初期化処理を説明するフローチャートである。

【図 1 7】図 1 5 の一部であるメイン制御処理と、割込み処理を説明するフローチャートである。

【図 1 8】メイン制御処理の一部である C G R O M の初期化処理を説明するフローチャートである。

【図 1 9】別の割込み処理について、処理内容の一部を説明するフローチャートである。

【図 2 0】プリロードを使用しない場合について、演出制御 CPU 6 3 の制御動作を説明するフローチャートである。

【図 2 1】ディスプレイリストの構成を説明する図面である。

【図 2 2】ディスプレイリスト D L を発行する D L 発行処理を示すフローチャートである。

【図 2 3】図 2 2 の動作に DMA C が関与する場合の動作を説明するフローチャートである。

【図 2 4】図 2 3 の処理に続く動作を説明するフローチャートである。

【図 2 5】プリロードを使用する場合について、演出制御 CPU 6 3 の制御動作を説明するフローチャートである。

【図 2 6】図 2 5 の一部を説明するフローチャートである。

【図 2 7】図 2 5 の別の一部を説明するフローチャートである。

【図 2 8】プリロードを使用しない実施例について、VDP 各部の動作を示すタイムチャートである。

【図 2 9】プリロードを使用する実施例について、VDP 各部の動作を示すタイムチャートである。

【図 3 0】別の実施例について全体回路構成を示すブロック図である。

【図 3 1】図 3 0 の一部をやや詳細に示すブロック図である。

【図 3 2】別の実施例について、動作内容を説明するフローチャートである。

【図 3 3】更に別の実施例を説明する図面である。

【図 3 4】設定値を繰り返し設定する実施例を説明する図面である。

【図 3 5】内蔵された音声回路を使用する実施例の回路構成を説明する図面である。

【図 3 6】音声回路の初期設定動作を説明するフローチャートである。

【図 3 7】CPU リセット後のパワーリセット動作について別の実施例を説明する図面である。

【図 3 8】メモリ READ 動作とメモリ WRITE 動作の一例を示すタイムチャートである。

【図 3 9】別の実施例を説明する図面である。

【図 4 0】一般の表示装置の駆動方法を説明する図面である。

【発明を実施するための形態】

【0018】

以下、実施例に基づいて本発明を詳細に説明する。図 1 は、本実施例のパチンコ機 GM を示す斜視図である。このパチンコ機 GM は、島構造体に着脱可能に装着される矩形枠状の木製外枠 1 と、外枠 1 に固着されたヒンジ 2 を介して開閉可能に枢着される内枠 3 とで構成されている。この内枠 3 には、遊技盤 5 が、裏側からではなく、表側から着脱自在に

10

20

30

40

50

装着され、その前側には、ガラス扉 6 と前面板 7 とが夫々開閉自在に枢着されている。なお、本明細書では、ガラス扉 6 と前面板 7 を総称して前扉部材と称する。そして、前扉部材（ガラス扉 6 や前面板 7）が枢着された状態の内枠 3 を遊技枠と称することがある。

【 0 0 1 9 】

ガラス扉 6 の外周には、LED ランプなどによる電飾ランプが、略 C 字状に配置されている。一方、ガラス扉 6 の上部左右位置と下側には、全 3 個のスピーカが配置されている。上部に配置された 2 個のスピーカは、各々、左右チャンネル R, L の音声を出力し、下側のスピーカは低音を出力するよう構成されている。

【 0 0 2 0 】

前面板 7 には、発射用の遊技球を貯留する上皿 8 が装着され、内枠 3 の下部には、上皿 8 から溢れ出し又は抜き取った遊技球を貯留する下皿 9 と、発射ハンドル 10 とが設けられている。発射ハンドル 10 は発射モータと連動しており、発射ハンドル 10 の回動角度に応じて動作する打撃槌によって遊技球が発射される。

10

【 0 0 2 1 】

上皿 8 の外周面には、チャンスボタン 11 が設けられている。このチャンスボタン 11 は、遊技者の左手で操作できる位置に設けられており、遊技者は、発射ハンドル 10 から右手を離すことなくチャンスボタン 11 を操作できる。このチャンスボタン 11 は、通常時には機能していないが、ゲーム状態がボタンチャンス状態となると内蔵ランプが点灯されて操作可能となる。なお、ボタンチャンス状態は、必要に応じて設けられるゲーム状態である。

20

【 0 0 2 2 】

また、チャンスボタン 11 の下方には、ロータリースイッチ型の音量スイッチ V L S W が配置されており、遊技者が音量スイッチ V L S W を操作することで、無音レベル（＝ 0）から最高レベル（＝ 7）まで、スピーカ音量を 8 段階に調整できるようになっている。なお、スピーカの音量は、係員だけが操作可能な設定スイッチ（不図示）によって初期設定されており、遊技者が音量スイッチ V L S W を操作しない限り、初期設定音量が維持される。また、異常事態が発生したことを報知する異常報知音は、係員による初期設定音量や、遊技者の設定音量に拘らず最高音量で放音される。

【 0 0 2 3 】

上皿 8 の右部には、カード式球貸し機に対する球貸し操作用の操作パネル 12 が設けられ、カード残額を 3 桁の数字で表示する度数表示部と、所定金額分の遊技球の球貸しを指示する球貸しスイッチと、ゲーム終了時にカードの返却を指令する返却スイッチとが設けられている。

30

【 0 0 2 4 】

図 2 に示すように、遊技盤 5 の表面には、金属製の外レールと内レールとからなるガイドレール 13 が環状に設けられ、その略中央には、中央開口 H O が設けられている。そして、中央開口 H O の下方には、不図示の可動演出体が隠蔽状態で収納されており、可動予告演出時には、その可動演出体が上昇して露出状態となることで、所定の信頼度の予告演出を実現している。ここで、予告演出とは、遊技者に有利な大当たり状態が招来することを不確定に報知する演出であり、予告演出の信頼度とは、大当たり状態が招来する確率を意味している。

40

【 0 0 2 5 】

中央開口 H O には、大型（例えば、横 1 2 8 0 × 縦 1 0 2 4 ピクセル）の液晶カラーディスプレイ（LCD）で構成されたメイン表示装置 D S 1 が配置され、メイン表示装置 D S 1 の右側には、小型（例えば、横 4 8 0 × 縦 8 0 0 ピクセル）の液晶カラーディスプレイで構成された可動式のサブ表示装置 D S 2 が配置されている。メイン表示装置 D S 1 は、大当たり状態に係わる特定図柄を変動表示すると共に背景画像や各種のキャラクタなどをアニメーション的に表示する装置である。この表示装置 D S 1 は、中央部に特別図柄表示部 D a ~ D c と右上部に普通図柄表示部 19 とを有している。そして、特別図柄表示部 D a ~ D c では、大当たり状態の招来を期待させるリーチ演出が実行されることがあり、特別

50

図柄表示部 D a ~ D c 及びその周りでは、適宜な予告演出などが実行される。

【 0 0 2 6 】

サブ表示装置 D S 2 は、通常時には、その表示画面が遊技者に見やすい角度に傾斜した静止状態で画像情報を表示している。但し、所定の予告演出時には、遊技者に見やすい角度に傾斜角度を変えながら、図示の左側に移動する共に、所定の予告画像を表示するようになっている。

【 0 0 2 7 】

すなわち、実施例のサブ表示装置 D S 2 は、単なる表示装置ではなく、予告演出を実行する可動演出体としても機能している。ここで、サブ表示装置 D S 2 による予告演出は、その信頼度が高く設定されており、遊技者は、大きな期待感をもってサブ表示装置 D S 2 の移動動作に注目することになる。

10

【 0 0 2 8 】

ところで、遊技球が落下移動する遊技領域には、第 1 図柄始動口 1 5 a、第 2 図柄始動口 1 5 b、第 1 大入賞口 1 6 a、第 2 大入賞口 1 6 b、普通入賞口 1 7、及び、ゲート 1 8 が配設されている。これらの入賞口 1 5 ~ 1 8 は、それぞれ内部に検出スイッチを有しており、遊技球の通過を検出できるようになっている。

【 0 0 2 9 】

第 1 図柄始動口 1 5 a の上部には、導入口 I N から進入した遊技球がシーソー状又はルーレット状に移動した後に、第 1 図柄始動口 1 5 に入賞可能に構成された演出ステージ 1 4 が配置されている。そして、第 1 図柄始動口 1 5 に遊技球が入賞すると、特別図柄表示部 D a ~ D c の変動動作が開始されるよう構成されている。

20

【 0 0 3 0 】

第 2 図柄始動口 1 5 b は、左右一对の開閉爪を備えた電動式チューリップで開閉されるように構成され、普通図柄表示部 1 9 の変動後の停止図柄が当り図柄を表示した場合には、所定時間だけ、若しくは、所定個数の遊技球を検出するまで、開閉爪が開放されるようになっている。

【 0 0 3 1 】

なお、普通図柄表示部 1 9 は、普通図柄を表示するものであり、ゲート 1 8 を通過した遊技球が検出されると、普通図柄が所定時間だけ変動し、遊技球のゲート 1 8 の通過時点において抽出された抽選用乱数値により決定される停止図柄を表示して停止する。

30

【 0 0 3 2 】

第 1 大入賞口 1 6 a は、前後方向に進退するスライド盤を有して構成され、第 2 大入賞口 1 6 b は、下端が軸支されて前方に開放する開閉板を有して構成されている。第 1 大入賞口 1 6 a や第 2 大入賞口 1 6 b の動作は、特に限定されないが、この実施例では、第 1 大入賞口 1 6 a は、第 1 図柄始動口 1 5 a に対応し、第 2 大入賞口 1 6 b は、第 1 図柄始動口 1 5 b に対応するよう構成されている。

【 0 0 3 3 】

すなわち、第 1 図柄始動口 1 5 a に遊技球が入賞すると、特別図柄表示部 D a ~ D c の変動動作が開始され、その後、所定の大当り図柄が特別図柄表示部 D a ~ D c に整列すると、第 1 大当りたる特別遊技が開始され、第 1 大入賞口 1 6 a のスライド盤が、前方に開放されて遊技球の入賞が容易化される。

40

【 0 0 3 4 】

一方、第 2 図柄始動口 1 5 b への遊技球の入賞によって開始された変動動作の結果、所定の大当り図柄が特別図柄表示部 D a ~ D c に整列すると、第 2 大当りたる特別遊技が開始され、第 2 大入賞口 1 6 b の開閉板が開放されて遊技球の入賞が容易化される。特別遊技（大当り状態）の遊技価値は、整列する大当り図柄などに対応して種々相違するが、何れの遊技価値が付与されるかは、遊技球の入賞タイミングに応じた抽選結果に基づいて予め決定される。

【 0 0 3 5 】

典型的な大当り状態では、大入賞口 1 6 の開閉板が開放された後、所定時間が経過し、

50

又は所定数（例えば10個）の遊技球が入賞すると開閉板が閉じる。このような動作は、最大で例えば15回まで継続され、遊技者に有利な状態に制御される。なお、特別図柄表示部Da～Dcの変動後の停止図柄が特別図柄のうちの特定図柄であった場合には、特別遊技の終了後のゲームが高確率状態（確変状態）となるという特典が付与される。

【0036】

図3(a)は、上記した各動作を実現するパチンコ機GMの全体回路構成を示すブロック図である。また、図3(b)は、払出制御基板25に配置された電源モニタ部MNIの回路構成を示す回路図であり、図3(c)は、本実施例で使用するメイン表示装置DS1の仕様を説明する図面である。

【0037】

最初に、図3(c)に基づいて、実施例で使用するメイン表示装置DS1の仕様から説明する。先に説明した通り、この表示装置DS1は、横1280×縦1024ピクセルの液晶カラーディスプレイであるが、左右方向に隣接する奇数ピクセル(ODD)と偶数ピクセル(EVEN)を、別々のLVDS(Low Voltage Differential Signaling)伝送路を通して、受信部RV(RVa+RVb)で受ける構成となっている。そこで、本実施例では、この仕様に対応して、第1の伝送路LVDS1を経由してODD信号を伝送し、第2の伝送路LVDS2を経由してEVEN信号を伝送している(図3(a)の右下部)。

【0038】

また、この表示装置DS1では、表示装置DS1の内部動作を規定する動作クロックCK(図7参照)は、その周波数が40MHz～70MHzの範囲とされるべく規定されている(典型値=54MHz)。この動作クロックCKは、後述するLVDSクロックCLKに対応するが、以下では、説明の便宜上、動作クロックCKの周波数は、典型値の54MHzであるとする。また、54MHzの動作クロックCKにおいて、一フレームの画像更新に要する更新時間FR(Frame Rate)を、ほぼ1/60秒に一致させる構成について説明する。

【0039】

この表示装置DS1は、その仕様として、第1の伝送路LVDS1から受けたODD信号と、第2の伝送路LVDS2から受けたEVEN信号に基づき、表示画面の左右方向に隣接する2画素を、一の動作クロックCKで同時に処理するように構成されている。この結果、水平方向一ラインの1280画素の画素データは、 $640 / 54 \text{ MHz} = 11.85 \mu\text{s}$ の動作時間で更新され、この動作が1024ライン分だけ繰り返されることで、一フレーム分1280×1024ピクセルの画像表示が更新されることになる。なお、第1ライン→第2ライン・・・→第1024ラインのように、一ラインごとにノンインタレース方式で画像が更新される。

【0040】

但し、図3(c)に示す通り、表示装置DS1の仕様として、水平方向に、典型値としては、204クロック分の待機時間(ブランク期間)を設けること、及び、垂直方向に、典型値としては、42行分の待機時間(ブランク期間)を設けることが規定されている。したがって、これらのブランク期間を考慮した実際の画面更新周期FRは、上記した典型値に基づく計算において、 $(204 + 640) \times (42 + 1024) / 54 \text{ MHz} = 16.66 \text{ ms}$ となるので、フレームレートFRは約1/60Hzとなる。

【0041】

なお、水平方向の待機時間WThと、垂直方向の待機時間WTVには、各々、典型値に対する許容幅が規定されており、実際には、上記した典型値とは異なる値が選択可能である。但し、フレームレートFR=1/60秒とするため、 $(WTh + 640) \times (WTV + 1024) / 54 \text{ MHz} = 1 / 60 \text{ 秒}$ となるよう、水平/垂直方向の待機時間WTh/WTVを正確に設定する必要がある。

【0042】

一方、この表示装置DS1では、水平同期信号HSと、垂直同期信号VSの受信が特に不要である一方、ODD信号とEVEN信号の伝送時には、Hレベルのデータ有効信号E

10

20

30

40

50

N A B の伝送が要求される。すなわち、伝送路 L V D S 1 , L V D S 2 に対して、有意な信号 (O D D / E V E N 信号) を伝送しているタイミングでは、データ有効信号 E N A B がアクティブレベル (H) である必要がある。

【 0 0 4 3 】

そこで、本実施例では、上記したメイン表示装置 D S 1 の仕様に基づき、演出制御基板 2 3 とメイン表示装置 D S 1 とを、周波数 5 4 M H z (= ドットクロック D C K の 1 / 2) の L V D S クロック C L K のデュアルリンク伝送路で L V D S 接続している (図 5、図 1 3 (a))。また、本実施例の V D P 回路 5 2 では、メイン表示装置 D S 1 の仕様を満たす水平方向ブランク期間 W T h と、垂直ブランク期間 W T v を設けるとともに、画像データ (O D D / E V E N 信号) の出力時は、データ有効信号 E N A B がアクティブレベル (H レベル) になるようにしている。

10

【 0 0 4 4 】

すなわち、データ有効信号 E N A B は、図 4 (b) に示すように、水平同期周期 T H のうち、水平表示期間 T H d だけが H レベルとなるよう構成されている。したがって、データ有効信号 E N A B は、垂直同期周期 T V のうち、垂直表示期間 T V d 以外は、必ず L レベルとなる。なお、水平方向ブランク期間 W T h と、垂直ブランク期間 W T v は、各々の典型値 (W T h = 2 0 4 / W T v = 4 2) とは異なる値を採用しているが、具体的な設計値は、図 1 4 に基づいて後述する。

【 0 0 4 5 】

何れにしても、データ有効信号 E N A B は、差動信号ライン R A 2 / R B 2 を経由して、L V D S クロック C L K の各動作サイクルにおいて、離散的な D E 信号として繰り返し伝送される。図 4 (b) や図 4 (c) に示すデータ有効信号 E N A B は、L V D S 伝送された離散データである D E 信号を復調したものであり、離散的な D E 信号を時間軸上に連続させたものである。なお、差動信号ライン R A 2 / R B 2 では、垂直同期信号 V S と、水平同期信号 H S についても、D E 信号 (データ有効信号 E N A B) に続いて、繰り返し伝送されているが、実施例で使用するメイン表示装置 D S 1 では、この同期信号 V S , H S を活用していない。

20

【 0 0 4 6 】

もっとも、表示装置 D S 1 では、水平同期信号 H S や、垂直同期信号 V S の伝送を何ら禁止していない。但し、これらの同期信号に規定された内部動作が実行されることはない。すなわち、表示ラインの水平改行タイミングは、受信した水平同期信号 H S とは無関係に、データ有効信号 E N A B の立下りタイミングや、データ有効信号 E N A B の立上りタイミング後の動作クロック C K (L V D S クロック C L K に対応) の個数 (実施例では 6 4 0 個 = 1 2 8 0 / 2) などに基づいて、表示装置 D S 1 の内部回路にとって最適なタイミングに規定される (図 4 (b) の下向き矢印)。

30

【 0 0 4 7 】

この点は、一フレーム分の画像表示後の垂直改行タイミングについても同様であり、所定パルス幅のデータ有効信号 E N A B の連続個数 (実施例では 1 0 2 4 個) などに基づいて、表示装置 D S 1 の内部回路にとっての最適タイミングに規定され (図 4 (c) の下向き矢印)、受信した垂直同期信号 V S には影響されない。このように、本実施例では、表示装置 D S 1 に水平同期信号 H S や垂直同期信号 V S を伝送する必要がないので、同期信号 H S , V S のパルス幅 P W h / P W v や、フロントポート F P h / F P v や、バックポート B P h / B P v を最適に設定する必要がなくなり、演出制御部 2 3 や V D P 回路 5 2 の制御負担が大きく軽減される。

40

【 0 0 4 8 】

また、表示装置 D S 1 の内部動作としても、自らの内部構成に基づいた最適タイミングで、水平改行や垂直改行の動作が実行されるので、不自然な表示動作のおそれが解消される。因みに、外部から受ける水平同期信号 H S や、垂直同期信号 V S に基づいて動作する表示装置の場合には、同期信号 H S , V S のパルス幅や、同期信号 H S , V S に前後するフロントポーチ期間や、バックポーチ期間が不適切な場合には、正常な表示動作が損なわ

50

れるおそれがある。

【 0 0 4 9 】

ところで、図 4 (a) において、差動信号ライン R A 0 ~ R A 3 , R A C L K を使用する第 1 の差動信号 L V D S 1 は、奇数番目の画素を伝送しており (A サイドの O D D 信号) 、差動信号ライン R B 0 ~ R B 3 , R B C L K を使用する第 2 の差動信号 L V D S 2 は、偶数番目の画素を伝送している (B サイドの E V E N 信号) 。このように、本実施例では、二種類の O D D 信号と E V E N 信号を、デュアルリンク伝送路で伝送することで、ドットクロック D C K の周波数を $1 / 2$ に低下させることができ、その分だけ耐ノイズ性に優れ、また、伝送距離を上げることにもできる。

【 0 0 5 0 】

一方、メイン表示装置 D S 1 には、デュアルリンク伝送路で伝送された O D D 信号と、E V E N 信号の変換受信部 R V が内蔵されており、二つの L V D S 信号 (O D D 信号と E V E N 信号) から R G B 信号を復元して、一フレーム分 (1280×1024 ドット) の画像を表示している。先に説明した通り、R G B 信号は、各々、8 b i t で構成されているので、メイン表示装置 D S 1 には、諧調度 $2^8 \times 2^8 \times 2^8$ のフルカラー画像が表示される。

【 0 0 5 1 】

図 5 は、表示装置 D S 1 の内部構成を、V D P 回路 5 2 の関連部分と共に図示したブロック図である。図示の通り、O D D 信号は、第 1 の L V D S ライン (A サイド) を経由して L V D S - パラレル変換部 R V a に伝送され、E V E N 信号は、第 2 の L V D S ライン (B サイド) を経由して L V D S - パラレル変換部 R V b に伝送される。そして、差動ライン S A 0 / S B 0 で伝送される各 8 ビット長の R G B データのうち、画像データ R 0 ~ R 5 , G 0 が注出され、差動ライン S A 1 / S B 1 からは、画像データ G 1 ~ G 5 , B 0 ~ B 1 が注出される。

【 0 0 5 2 】

また、差動ライン S A 2 / S B 2 から、画像データ B 2 ~ B 5 と D E 信号と V S 信号と H S 信号が注出され、差動ライン S A 3 / S B 3 からは、画像データ G 6 ~ G 7 , R 6 ~ R 7 , B 6 ~ B 7 が注出される。ここで、D E 信号は、データ有効信号 E N A B に他ならない。また、注出された V S 信号と、H S 信号が利用されないことは前記した通りである。

【 0 0 5 3 】

次に、差動ライン R A C L K / R B C L K の L V D S クロック C L K は、P L L 回路に供給されることで、L V D S クロック C L K と同一の周波数 54 MHz の動作クロック C K が生成される。この動作クロック C K は、液晶コントローラ L C D _ C T L の内部動作を規定するもので、液晶コントローラ L C D _ C T L は、液晶パネル L C D の左右方向に隣接する 2 個の R G B 画素 ($8 \text{ ビット} \times 3 \times 2$) に対応する画像データを、一の動作クロック C K に同期してまとめて処理している。

【 0 0 5 4 】

そのため、横方向 $1280 (= 640 \times 2)$ ドットの画素は、動作クロック C K 640 個分の処理時間 $11.85 \mu \text{S} (= 640 / 54 \text{ MHz})$ で処理を完了することになる。なお、一の画素は、R G B 三色の基本画素で構成されて、R G B 三色の基本画素の画像データは、各々 1 バイト長であって諧調度 $2^8 \times 2^8 \times 2^8$ であるので、一ラインの全画素 (1280 ドット) の画像データは、全体として、 3×1280 バイト長となる。

【 0 0 5 5 】

図 5 に示す通り、液晶コントローラ L C D _ C N T は、 1280 本のソース信号ラインを、各々、 $2^8 (= 256)$ 諧調の駆動信号で駆動するソースドライバ S D V と、 1024 本のゲート信号ラインを O N / O F F 制御するゲートドライバ G D V を適宜に制御している。具体的には、液晶コントローラ L C D _ C N T は、L V D S 伝送路から注出した D E 信号と、動作クロック C K とに基づいて、各部を適宜に動作させることで、フレームレート $F R = 1 / 60 \text{ Hz}$ の画像更新動作を実現している。先に確認した通り、D E 信号は、V D P 回路 5 2 が出力したデータ有効信号 E N A B に対応する。

10

20

30

40

50

【 0 0 5 6 】

本実施例の場合、ソースドライバSDVは、384本の出力端子を有するドライバ素子を10個配置して構成されている。先に説明した通り、液相パネルLCDの一ライン全画素(1280ドット)は、RGB三色の基本画素で構成されて合計 3×1280 個であるので、これらを駆動するドライバ素子が10個必要となる。なお、これら10個のドライバ素子には、液晶コントローラLCD_CNTから画像データDATが順番に供給され、これがスタート信号SPや転送クロックDCLKに基づいて適宜に転送される。そして、ラッチ信号LTに同期して、アナログ変換された駆動信号が3840本のソース信号ラインに供給される。先に説明した通り、液晶パネルLCDの一ラインの全画素(1280ドット)が更新されるに要する時間は、 $11.85 \mu\text{S} (= 640 / 54 \text{ MHz})$ である。

10

【 0 0 5 7 】

一方、液晶コントローラLCD_CNTは、ゲートドライバGDVに対して、ゲートスタート信号GSや、ゲートクロック信号GCLKを供給することで、駆動対象となるゲート信号ラインを更新している。ここで、ゲートドライバGDVは、256本の出力端子を有するドライバ素子を4個配置して構成されている。

【 0 0 5 8 】

なお、ゲート信号ラインの更新タイミングは、DE信号の立下りタイミングと、動作クロックCKに基づいて規定され、ゲート信号ラインの水平改行周期は、動作クロックCKでカウントして、典型値計算では、 $640 + 204$ クロックとされる(図3(c)参照)。また、DE信号の個数(1024)に基づいて、駆動対象のゲート信号ラインが初期状態にリセットされ、最適なタイミングで、ゲートスタート信号GSが出力され、ゲートクロック信号GCLKの出力が再開される。ゲート信号ラインの垂直改行周期は、動作クロックCKでカウントして、典型値計算では、 $42 + 1024$ クロックである(図3(c)参照)。但し、先に説明した通り、本実施例では、典型値とは異なる設計で表示装置DS1を動作させている(図14参照)。

20

【 0 0 5 9 】

以上、メイン表示装置DS1について、詳細に説明したが、サブ表示装置DS2は、VDP回路52から受ける水平同期信号HSと垂直同期信号VSに基づいて、図40に示すと同様の動作をしている。但し、サブ制御装置DS2も、水平同期信号HSや垂直同期信号VSに基づくことなく、データ有効信号ENABに基づいて動作する構成を採るのも好適である。なお、データ有効信号ENABは、サブ表示装置DS2に対しては、離散的なDE信号の形式ではなく、連続信号ENABとして伝送される(図13(a)右下部参照)。

30

【 0 0 6 0 】

次に、図3(a)に戻って、パチンコ機GMの全体回路構成を説明する。図3(a)に示す通り、このパチンコ機GMは、AC24Vを受けて各種の直流電圧(35V, 12V, 5V)をAC24Vと共に出力する電源基板20と、遊技制御動作を中心統括的に担う主制御基板21と、音声演出用の回路素子SNDを搭載した演出インタフェイス基板22と、主制御基板21から受けた制御コマンドCMDに基づいてランプ演出、音声演出、及び画像演出を統一的に実行する演出制御基板23と、演出制御基板23と表示装置DS1, DS2の間に位置する液晶インタフェイス基板24と、主制御基板21から受けた制御コマンドCMD'に基づいて払出モータMを制御して遊技球を払い出す払出制御基板25と、遊技者の操作に応答して遊技球を発射させる発射制御基板26と、を中心に構成されている。

40

【 0 0 6 1 】

なお、演出インタフェイス基板22と、演出制御基板23と、液晶インタフェイス基板24とは、配線ケーブルを経由することなく、雄型コネクタと雌型コネクタとを直結されている。そのため、各電子回路の回路構成を複雑高度化しても基板全体の収納空間を最小化できると共に、接続ラインを最短化することで耐ノイズ性を高めることができる。

【 0 0 6 2 】

50

図示の通り、主制御基板 2 1 が出力する制御コマンド C M D ' は、払出制御基板 2 5 に伝送される。一方、主制御基板 2 1 が出力する制御コマンド C M D は、演出インタフェース基板 2 2 を経由して演出制御基板 2 3 に伝送される。ここで、制御コマンド C M D , C M D ' は、何れも 1 6 b i t 長であるが、8 b i t 長毎に 2 回に分けてパラレル送信される。
【 0 0 6 3 】

主制御基板 2 1 と払出制御基板 2 5 には、ワンチップマイコンを含むコンピュータ回路が搭載されている。また、演出制御基板 2 3 には、V D P 回路 (Video Display Processor) 5 2 や内蔵 C P U 回路 5 1 などのコンピュータ回路が内蔵された複合チップ 5 0 が搭載されている。そこで、これらの制御基板 2 1 、2 5 、2 3 と、演出インタフェース基板 2 2 や液晶インタフェース基板 2 4 に搭載された回路、及びその回路によって実現される動作を機能的に総称して、本明細書では、主制御部 2 1 、演出制御部 2 3 、及び払出制御部 2 5 と言うことがある。なお、主制御部 2 1 に対して、演出制御部 2 3 と、払出制御部 2 5 がサブ制御部となる。

10

【 0 0 6 4 】

また、このパチンコ機 G M は、図 3 (a) の破線で囲む枠側部材 G M 1 と、遊技盤 5 の背面に固定された盤側部材 G M 2 とに大別されている。枠側部材 G M 1 には、ガラス扉 6 や前面板 7 が枢着された内枠 3 と、その外側の木製外枠 1 とが含まれており、機種の変更に拘わらず、長期間にわたって遊技ホールに固定的に設置される。一方、盤側部材 G M 2 は、機種変更に対応して交換され、新たな盤側部材 G M 2 が、元の盤側部材の代わりに枠側部材 G M 1 に取り付けられる。なお、枠側部材 1 を除く全てが、盤側部材 G M 2 である。

20

【 0 0 6 5 】

図 3 (a) の破線枠に示す通り、枠側部材 G M 1 には、電源基板 2 0 と、バックアップ電源基板 3 3 と、払出制御基板 2 5 と、発射制御基板 2 6 と、枠中継基板 3 6 と、モータ / ランプ駆動基板 3 7 と、が含まれており、これらの回路基板が、内枠 3 の適所に各々固定されている。一方、遊技盤 5 の背面には、主制御基板 2 1 、演出制御基板 2 3 が、表示装置 D S 1 , D S 2 やその他の回路基板と共に固定されている。そして、枠側部材 G M 1 と盤側部材 G M 2 とは、一箇所に集中配置された集中接続コネクタ C 1 ~ C 3 によって電氣的に接続されている。

【 0 0 6 6 】

電源基板 2 0 は、遊技ホールから配電される交流電圧 A C 2 4 V に基づいて、三種類の直流電圧 (3 5 V , 1 2 V , 5 V) を生成し、各直流電圧を、集中接続コネクタ C 2 を経由して、演出インタフェース基板 2 2 に配電している。また、三種類の直流電圧 (3 5 V , 1 2 V , 5 V) は、交流電圧 A C 2 4 V と共に、払出制御基板 2 5 に配電される。そして、払出制御基板 2 5 に配電された直流電圧 (3 5 V , 1 2 V , 5 V) は、バックアップ電源 B A K と共に、集中接続コネクタ C 1 を経由して、主制御基板 2 1 に配電されるよう構成されている。

30

【 0 0 6 7 】

直流 3 5 V は、遊技球の発射動作に関し、球送りソレノイドや発射ソレノイドの駆動電源、及び、電動式チューリップ (可変入賞装置) や大入賞口 1 6 を開閉駆動する電磁ソレノイドの駆動電源として使用される。また、直流 1 2 V は、各制御基板から制御される L E D ランプやモータの駆動電源、及びデジタルアンプの電源電圧として使用され、一方、直流 5 V は、払出制御基板 2 5 や主制御基板 2 1 のワンチップマイコンの電源電圧、及び、各制御基板に搭載された論理素子の電源電圧として使用される。また、直流 5 V は、演出インタフェース基板 2 2 の D C / D C コンバータでレベル降下された後、レベル降下された各種レベルの電圧が、各種コンピュータ回路 (複合チップ 5 0 や音声プロセッサ 2 7 など) の電源電圧として使用される。

40

【 0 0 6 8 】

バックアップ電源 B A K は、電源遮断後、主制御部 2 1 と払出制御部 2 5 のワンチップマイコンの内蔵 R A M のデータを保持するための D C 5 V の直流電源であり、例えば、電気二重層コンデンサで実現される。この実施例では、専用のバックアップ電源基板 3 3 が

50

設けられており、バックアップ電源基板 33 に配置された電気二重層コンデンサは、払出制御基板 25 から受ける直流電圧 5 V によって遊技動作中に充電されるよう構成されている。

【0069】

一方、電源遮断後は、バックアップ電源 BAK が、主制御部 21 と払出制御部 25 のワンチップマイコンの内蔵 RAM のデータを保持するので、主制御部 21 と払出制御部 25 は、電源遮断前の遊技動作を電源投入後に再開できることになる。なお、バックアップ電源基板 33 には、少なくとも数日は、各ワンチップマイコンの内蔵 RAM の記憶内容を保持可能な電気二重層コンデンサが配置されている。

【0070】

ところで、本実施例では、従来の機器構成とは異なり、交流電圧 AC 24 V の異常低下を示す電源異常信号 ABN は、電源基板 20 ではなく、払出制御基板 25 の電源モニタ部 MNT において生成されるよう構成されている。電源モニタ部 MNT は、図 3 (b) に示す通り、電源基板 20 から受ける AC 24 V を整流する全波整流回路と、全波整流回路の出力を受けて通電発光するフォトダイオード D と、電源基板 20 から受ける直流電圧 5 V を電源とし、フォトダイオード D の発光に基づいて ON 動作するフォトトランジスタ TR と、フォトトランジスタ TR の ON 動作に基づいて H レベルの検出信号 ABN (電源異常信号) を出力する出力部と、を有して構成されている。なお、フォトダイオード D と、フォトトランジスタ TR とで、フォトカプラ PH を構成している。

【0071】

上記の構成において、電源投入後、フォトカプラ PH が速やかに ON 状態になることで、電源異常信号 ABN が正常レベル (H) となる。しかし、その後、交流電源が何らかの理由 (正常には電源遮断) で異常降下すると、フォトカプラ PH が OFF 状態に変化することで、電源異常信号 ABN が異常レベル (L) に変化する。この電源異常信号 ABN は、払出制御基板 25 のワンチップマイコンに伝送されると共に、集中接続コネクタ C1 を経由して、主制御基板 21 のワンチップマイコンにも伝送されるよう構成されている。したがって、異常レベルの電源異常信号 ABN を受けた各ワンチップマイコンは、必要な情報を、各々の内蔵 RAM に記憶するバックアップ処理を実行することになる。先に説明した通り、内蔵 RAM の情報は、バックアップ電源 BAK によって維持されるので、電源遮断前の遊技動作が電源投入後に再開可能となる。

【0072】

図 3 (a) に示す通り、演出インタフェース基板 22 には、音声プロセッサ 27 などの音声回路 SND が搭載され、演出制御基板 23 には、VDP 回路 52 や内蔵 CPU 回路 51 などのコンピュータ回路が内蔵された複合チップ 50 が搭載されている。以下、内蔵 CPU 回路を CPU 回路と略称することがある。

【0073】

演出インタフェース基板 22 には、電源投入時に、電源電圧の上昇を検知して各種のリセット信号 RT3, RT4 を生成するリセット回路 RST3, RST4 が搭載されている。まず、リセット回路 RST3 は、電源基板 20 から配電された直流電圧 12 V と 5 V に基づいて、リセット信号 RT3 を生成している。そして、リセット信号 RT3 は、音声メモリ 28 だけを電源リセットして、そのまま演出制御基板 23 に伝送される。

【0074】

演出制御基板 23 に伝送されたりセット信号 RT3 は、図 6 (a) に示す通り、AND ゲート G1 において、WDT (Watch Dog Timer) 回路 58 の出力と AND 演算され、システムリセット信号 SYS として、CPU 回路 51 や VDP 回路 52 を電源リセットしている (図 6 (a) 及び図 6 (d) 参照)。

【0075】

リセット回路 RST3 が生成するリセット信号 RT3 は、電源投入後、電源リセット信号として所定時間 L レベルを維持した後、H レベルに上昇する。しかし、その後、直流電圧 12 V 又は直流電圧 5 V の何れか一以上が降下した場合 (通常は電源遮断時) には、リ

10

20

30

40

50

セット信号 R T 3 のレベル降下に対応して、システムリセット信号 S Y S も L レベルに降下するので、演出制御基板 2 3 の C P U 回路 5 1 と V D P 回路 5 2 は動作停止状態となる。

【 0 0 7 6 】

このシステムリセット信号 S Y S は、W D T 回路 5 8 の出力（正常時には H レベル）に基づいても変化するので、リセット信号 R T 3 = H の状態で、プログラム暴走時などに起因して、W D T 回路 5 8 の出力が L レベルに降下することに対応して、システムリセット信号 S Y S も L レベルに変化して、C P U 回路 5 1 や V D P 回路 5 2 を異常リセットする（図 6（d）参照）。

【 0 0 7 7 】

一方、リセット回路 R S T 4 は、電源基板 2 0 から配電された 5 V を降下して生成された 3.3 V に基づいて、リセット信号 R T 4 を生成している。このリセット信号 R T 4 は、電源投入時の電源リセット信号として、音声プロセッサ 2 7 を電源リセットしている。

【 0 0 7 8 】

図示の通り、リセット回路 R S T 4 には、演出制御基板 2 3 から返送されたシステムリセット信号 S Y S も供給されているので、C P U 回路 5 1 や V D P 回路 5 2 の異常リセット時には、これらの回路の異常リセットに同期して、音声プロセッサ 2 7 も異常リセットされる。この結果、音声演出は、画像演出やランプ演出と共に初期状態に戻ることであり、不自然な音声演出が継続するおそれがない。

【 0 0 7 9 】

次に、枠側部材 G M 1 たる払出制御基板 2 5 と、盤側部材 G M 2 たる主制御部 2 1 には、各々、リセット回路 R S T 1 , R S T 2 が搭載されており、電源投入時に電源リセット信号が生成され、各コンピュータ回路が電源リセットされるよう構成されている。

【 0 0 8 0 】

このように、本実施例では、主制御部 2 1 と、払出制御部 2 5 と、演出インタフェース基板 2 2 に、各々、リセット回路 R S T 1 ~ R S T 4 を配置しており、システムリセット信号 S Y S が回路基板間で伝送されることがない。すなわち、システムリセット信号 S Y S を伝送する配線ケーブルが存在しないので、配線ケーブルに重畳するノイズによって、コンピュータ回路が異常リセットされるおそれが解消される。

【 0 0 8 1 】

但し、主制御部 2 1 や払出制御部 2 5 に設けられたリセット回路 R S T 1 , R S T 2 は、各々ウォッチドッグタイマを内蔵しており、各制御部 2 1 , 2 5 の C P U から、定期的なクリアパルスを受けない場合には、各 C P U は強制的にリセットされる。

【 0 0 8 2 】

また、主制御部 2 1 には、係員が操作可能な初期化スイッチ S W が配置されており、電源投入時、初期化スイッチ S W が O N 操作されたか否かを示す R A M クリア信号 C L R が出力されるよう構成されている。この R A M クリア信号 C L R は、主制御部 2 1 と払出制御部 2 5 のワンチップマイコンに伝送され、各制御部 2 1 , 2 5 のワンチップマイコンの内蔵 R A M の全領域を初期設定するか否かを決定している。

【 0 0 8 3 】

また、先に説明した通り、主制御部 2 1 及び払出制御部 2 5 のワンチップマイコンは、払出制御部 2 5 に配置された電源モニタ M N T から電源異常信号 A B N を受けることによって、停電や営業終了に先立って、必要な終了処理を開始するようになっている。

【 0 0 8 4 】

図 3（a）に示す通り、主制御部 2 1 は、払出制御部 2 5 から、遊技球の払出動作を示す賞球計数信号や、払出動作の異常に係わるステイタス信号 C O N や、動作開始信号 B G N を受信している。ステイタス信号 C O N には、例えば、補給切れ信号、払出不足エラー信号、下皿満杯信号が含まれる。動作開始信号 B G N は、電源投入後、払出制御部 2 5 の初期動作が完了したことを主制御部 2 1 に通知する信号である。

【 0 0 8 5 】

また、主制御部 2 1 は、遊技盤上の各入賞口 1 6 ~ 1 8 に内蔵された検出スイッチのス

10

20

30

40

50

イッチ信号を受ける一方、電動式チューリップなどのソレノイド類を駆動している。ソレノイド類や検出スイッチは、主制御部 21 から配電された電源電圧 V_B (12V) で動作するよう構成されている。また、図柄始動口 15 への入賞状態などを示す各スイッチ信号は、電源電圧 V_B (12V) と電源電圧 V_{cc} (5V) とで動作するインタフェイス IC で、TTL レベル又は CMOS レベルのスイッチ信号に変換された上で、主制御部 21 に伝送される。

【0086】

先に説明した通り、演出インタフェイス基板 22 は、集中接続コネクタ C2 を経由して、電源基板 20 から各レベルの直流電圧 (5V, 12V, 35V) を受けている (図 3 (a) 及び図 6 (a) 参照)。直流電圧 12V は、デジタルアンプ 29 の電源電圧であると
10
共に、LED ランプなどの駆動電圧として使用される。また、直流電圧 35V は、遊技枠の適所に配電されて可動物を往復移動させるソレノイドの駆動電圧として使用される。

【0087】

一方、直流電圧 5V は、演出インタフェイス基板 22 各所の回路素子の電源電圧として供給されると共に、2つのDC/DCコンバータDC1, DC2に供給されて3.3Vと1.0Vが生成される (図 6 (a) 参照)。生成された直流電圧 3.3V と 1.0V は、各々、I/O (入出力) 用と、チップコア用の電源電圧として音声プロセッサ 27 に供給される。また、直流電圧 3.3V は、リセット回路 RST4 が生成する電源リセット信号 RT4 の基礎電圧となる。

【0088】

演出インタフェイス基板 22 に配電された直流電圧 5V は、DC/DCコンバータDC1で生成された3.3Vと共に、演出制御基板 23 に配電される。そして、演出制御基板 23 に配電された直流電圧 3.3V は、電源電圧として、複合チップ 50 や、PROM 53 及び CGROM 55 に供給される。

【0089】

図 6 (a) に示す通り、演出制御基板 23 には、2つのDC/DCコンバータDC3, DC4が配置されており、各々に供給される直流電圧 5V に基づいて、1.5V と 1.05V を生成している。ここで、直流電圧 1.05V は、複合チップ 50 のチップコア用の電源電圧であり、直流電圧 1.5V は、DRAM 54 との I/O (入出力) 用の電源電圧である。したがって、直流電圧 1.5V は、電源電圧として、DRAM 54 にも供給される。
30

【0090】

図 3 (a) に示す通り、演出インタフェイス基板 22 は、主制御部 21 から制御コマンド CMD とストローブ信号 STB とを受けて、演出制御基板 23 に転送している。より詳細には、図 6 (a) に示す通りであり、制御コマンド CMD とストローブ信号 STB は、入力バッファ 40 を経由して、演出制御基板 23 の複合チップ 50 (CPU 回路 51) に転送される。ここで、ストローブ信号 STB は、受信割込み信号 IRQ_CMD であり、演出制御 CPU 63 は、受信割込み信号 IRQ_CMD を受けて起動される割込み処理プログラム (割込みハンドラ) に基づいて、制御コマンド CMD を取得している。

【0091】

図 6 (a) に示す通り、演出インタフェイス基板 22 の入力バッファ 44 は、枠中継基板 35, 36 からチャンスボタン 11 や音量スイッチ VLSW のスイッチ信号を受け、各スイッチ信号を演出制御基板 23 の CPU 回路 51 に伝送している。具体的には、音量スイッチ VLSW の接点位置 (0 ~ 7) を示すエンコーダ出力の 3bit 長と、チャンスボタン 11 の ON/OFF 状態を示す 1bit 長を CPU 回路 51 に伝送している。

【0092】

また、演出インタフェイス基板 22 には、ランプ駆動基板 30 やモータランプ駆動基板 31 が接続されると共に、枠中継基板 35, 36 を経由して、ランプ駆動基板 37 にも接続されている。図示の通り、ランプ駆動基板 30 に対応して、出力バッファ 42 が配置され、モータランプ駆動基板 31 に対応して、入力バッファ 43a と出力バッファ 43b が
50

10

20

30

40

50

配置されている。なお、図 6 (a) では、便宜上、入力バッファ 4 3 a と出力バッファ 4 3 b を総称して、入出力バッファ 4 3 と記載している。入力バッファ 4 3 a は、可動演出体たる役物の現在位置 (演出モータ M 1 ~ M n の回転位置) を把握する原点センサの出力 S N 0 ~ S N n を受けて、演出制御基板 2 3 の C P U 回路 5 1 に伝送している。

【 0 0 9 3 】

ランプ駆動基板 3 0、モータランプ駆動基板 3 1、及び、ランプ駆動基板 3 7 には、同種のドライバ I C が搭載されており、演出インタフェース基板 2 2 は、演出制御基板 2 3 から受けるシリアル信号を、各ドライバ I C に転送している。シリアル信号は、具体的には、ランプ (モータ) 駆動信号 S D A T A とクロック信号 C K であり、駆動信号 S D A T A がクロック同期方式で各ドライバ I C に伝送され、多数の L E D ランプや電飾ランプによるランプ演出や、演出モータ M 1 ~ M n による役物演出が実行される。

10

【 0 0 9 4 】

本実施例の場合、ランプ演出は、三系統のランプ群 C H 0 ~ C H 2 によって実行されており、ランプ駆動基板 3 7 は、枠中継基板 3 5、3 6 を経由して、C H 0 のランプ駆動信号 S D A T A 0 を、クロック信号 C K 0 に同期して受けている。なお、シリアル信号として伝送される一連のランプ駆動信号 S D A T A 0 は、動作制御信号 E N A B L E 0 がアクティブレベルに変化したタイミングで、ドライバ I C からランプ群 C H 0 に出力されることで一斉に点灯状態が更新される。

【 0 0 9 5 】

以上の点は、ランプ駆動基板 3 0 についても同様であり、ランプ駆動基板 3 0 のドライバ I C は、ランプ群 C H 1 のランプ駆動信号 S D A T A 1 を、クロック信号 C K 1 に同期して受け、動作制御信号 E N A B L E 1 がアクティブレベルに変化したタイミングで、ランプ群 C H 1 の点灯状態を一斉に更新している。

20

【 0 0 9 6 】

一方、モータランプ駆動基板 3 1 に搭載されたドライバ I C は、クロック同期式で伝送されるランプ駆動信号を受けてランプ群 C H 2 を駆動すると共に、クロック同期式で伝送されるモータ駆動信号を受けて、複数のステッピングモータで構成された演出モータ群 M 1 ~ M n を駆動している。なお、ランプ駆動信号とモータ駆動信号は、一連のシリアル信号 S D A T A 2 であって、クロック信号 C K 1 に同期してシリアル伝送され、これを受けたドライバ I C は、動作制御信号 E N A B L E 2 がアクティブレベルに変化するタイミングで、ランプ群 C H 2 やモータ群 M 1 ~ M n の駆動状態を更新する。

30

【 0 0 9 7 】

続いて、音声回路 S N D について説明する。図 6 (a) に示す通り、演出インタフェース基板 2 2 には、演出制御基板 2 3 の C P U 回路 5 1 (演出制御 C P U 6 3) から受ける指示に基づいて音声信号を再生する音声プロセッサ (音声合成回路) 2 7 と、再生される音声信号の元データである圧縮音声データなどを記憶する音声メモリ 2 8 と、音声プロセッサ 2 7 から出力される音声信号を受けるデジタルアンプ 2 9 と、が搭載されている。

【 0 0 9 8 】

音声プロセッサ 2 7 は、内部回路の異常動作時に、内部回路の設定値を自動的にデフォルト値 (初期値) にリセットする W D T 回路と、音声制御レジスタ S R G とを内蔵して構成されている。そして、音声プロセッサ 2 7 は、演出制御 C P U 6 3 から音声制御レジスタ S R G に受ける動作パラメータ (音声コマンドによる設定値) に基づいて、音声メモリ 2 8 をアクセスして、必要な音声信号を再生して出力している。

40

【 0 0 9 9 】

図 6 (a) に示す通り、音声プロセッサ 2 7 と、音声メモリ 2 8 とは、2 6 b i t 長の音声アドレスバスと、1 6 b i t 長の音声データバスで接続されている。そのため、音声メモリ 2 8 には、1 G b i t (= 2^{2 6} × 1 6) のデータが記憶可能となる。

【 0 1 0 0 】

音声制御レジスタ S R G は、レジスタバンク 1 ~ レジスタバンク 6 に区分され、各々、0 0 H ~ F F H のレジスタ番号で特定される。したがって、所定の設定動作は、レジスタ

50

バンクを特定した上で、演出制御CPU63が、所定のレジスタ番号（1バイト長）の音声制御レジスタSRGに、1バイト長の動作パラメータを書込むことで実現される。

【0101】

本実施例の場合、音声制御レジスタSRGのレジスタ番号（00H～FFH）は、演出制御CPU63のアドレス空間CS3に対応しており、例えば、レジスタ番号XXHの音声制御レジスタSRGに、動作パラメータYYHを設定する場合には、演出制御CPU63は、アドレス空間CS3のゼロ番地にXXHを書込み、次に、1番地にYYHを書込むことになる。すなわち、演出制御CPU63は、そのデータバスにXXHとYYHを、この順番に書き出すことになる。なお、本明細書において、添え字Hや、0X/0xの接頭記号は、数値が16進数表示であることを示している。

10

【0102】

また、本明細書において、アドレス空間CS0～CS7とは、揮発性の有無を含むメモリ種別や、データバス幅（8/16/32ビット）を、各々、規定可能なCPU回路51にとって外部メモリを意味する（内蔵メモリを除く）。このアドレス空間CS0～CS7は、異なるチップセレクト信号CS0～CS7で選択され、READ/WRITEアクセス時に機能するREAD/WRITE制御信号がメモリ種別に対応して最適化できるよう設定可能に構成されている。なお、この設定動作は、バスステートコントローラ66に対して実行される。

【0103】

図6（e）は、演出制御CPU63による音声レジスタSRGへの設定動作を図示したものであり、2bit長のアドレスバスA1-A0と、1バイト長のデータバスD7-D0の内容が示されている。なお、本実施例では、チップセレクト信号CS3は、アドレス空間CS3をアクセスする場合に、自動的にアクティブになるよう、電源投入時に設定されるが、この点は図8や図15に関して後述する。

20

【0104】

何れにしても、本実施例の場合、音声メモリ28に記憶された圧縮音声データは、13bit長のフレーズ番号NUM（000H～1FFFH）で特定されるフレーズ（phrase）圧縮データであり、一連の背景音楽の一曲分（BGM）や、ひと纏まりの演出音（予告音）などが、最高8192種類（ $=2^{13}$ ）、各々、フレーズ番号NUMに対応して記憶されている。そして、このフレーズ番号NUMは、演出制御CPU63から音声プロセッサ27の音声制御レジスタSRGに伝送される音声コマンドの設定値（動作パラメータ）によって特定される。

30

【0105】

前記の通り、上記の構成を有する音声メモリ28は、リセット信号RT3で電源リセットされ、音声プロセッサ27は、リセット信号RT4で電源リセットされる。図6（c）に示す通り、リセット信号RT4は、電源投入後、所定のアサート期間ASRT（Lレベル区間）を経て、Hレベルに立ち上がるが、本実施例では、その後、音声プロセッサ27の内部回路が自動的に機能して、初期化シーケンス処理が実行されるよう構成されている。なお、この初期化シーケンス処理は、所定の手順で実行される内部動作であり、初期化シーケンス処理の動作中は、演出制御CPU63が音声レジスタSRGをアクセスすることはできない。

40

【0106】

そして、内部動作たる初期化シーケンス処理が完了すると、CPU回路51に対する割込み信号IRQ_SNDがLレベルに変化し、CPU回路51（演出制御CPU63）は、割込み信号IRQ_SNDに基づき割込み処理プログラムを実行する。そして、所定の命令に基づいて割込み信号IRQ_SNDがHレベルに戻されるが、その詳細については、図17（c）を参照して更に後述する。

【0107】

図6（a）に示す通り、演出制御部23のCPU回路51のデータバスとアドレスバスは、液晶インタフェース基板24に搭載された時計回路（real time clock）38と演出

50

データメモリ 39 にも及んでいる。時計回路 38 は、CPU 回路 51 のアドレスバスの下位 4 bit と、データバスの下位 4 bit に接続されており、チップセレクト信号 CS4 で時計回路 38 が選択された状態では、CPU 回路 51 が、(4 bit 長アドレス値を有する) 内部レジスタを任意にアクセスできるよう構成されている。

【0108】

また、演出データメモリ 39 は、高速アクセス可能なメモリ素子 SRAM (Static Random Access Memory) であって、CPU 回路 51 のアドレスバスの 16 bit と、データバスの下位 16 bit に接続されており、チップセレクト信号 CS4 でチップ選択された状態では、SRAM (演出データメモリ) 39 に記憶されている遊技実績情報その他が、CPU 回路 51 から適宜に R/W アクセスされるようになっている。なお、チップセレクト信号 CS4 で選択されるアドレス空間 CS4 において、0 番地から 15 番地までは時計回路 38 に付番されているので、SRAM 39 では使用しない。

10

【0109】

時計回路 38 と演出データメモリ 39 は、不図示の二次電池で駆動されており、この二次電池は、遊技動作中、電源基板 20 からの給電電圧によって適宜に充電される。そのため、電源遮断後も、時計回路 38 の計時動作が継続され、また、演出データメモリ 39 に記憶された遊技実績情報が、永続的に記憶保持されることになる(不揮発性を付与)。なお、時計回路(RTC) 38 は、CPU 回路 51 に対して、割込み信号 IRQ_RTC を出力可能に構成されている(RTC 割込み)。この RTC 割込みには、日、曜日、時、分、秒が特定可能なアラーム割込みと、所定時間経過後に起動されるタイマ割込みが存在するが、本実施例では、毎日の営業終了時に、日々の遊技実績情報を更新するアラーム割込みを活用している。

20

【0110】

図 6(a) の右側に示す通り、演出制御基板 23 には、CPU 回路 51 や VDP 回路 52 を内蔵する複合チップ 50 と、CPU 回路 51 の制御プログラムを記憶する制御メモリ(PROM) 53 と、大量のデータを高速にアクセス可能な DRAM (Dynamic Random Access Memory) 54 と、演出制御に必要な大量の CG データを記憶する CG ROM 55 と、が搭載されている。

【0111】

図 9 に関して後述するように、制御メモリ(PROM) 53 は、本実施例では、チップセレクト信号 CS0 で選択されるアドレス空間 CS0 に位置付けされている。また、DDR (Double-Data-Rate 3) で構成される DRAM (Dynamic Random Access Memory) 54 は、チップセレクト信号 CS5 で選択されるアドレス空間 CS5 に位置付けされている。

30

【0112】

図 7(a) は、演出制御部 23 を構成する複合チップ 50 について、関連する回路素子も含めて図示した回路ブロック図である。図示の通り、実施例の複合チップ 50 には、所定時間毎にディスプレイリスト DL を発行する CPU 回路 51 と、発行されたディスプレイリスト DL に基づいて画像データを生成して表示装置 DS1, DS2 を駆動する VDP 回路 52 とが内蔵されている。そして、CPU 回路 51 と VDP 回路 52 とは、互いの送受信データを中継する CPU IF 回路 56 を通して接続されている。

40

【0113】

なお、VDP 回路 52 には、音声プロセッサ 27 と同等の機能を発揮する音声回路 SND が内蔵されているが、これから説明する最初の実施例では、音声回路 SND を活用していない。但し、最後に説明する実施例のように、VDP 回路 52 に内蔵された音声回路 SND を活用すれば、音声メモリ 28 や音声プロセッサ 27 の配置が不要となる。

【0114】

まず、CPU 回路 51 は、発振器 OSC1 の発振出力(例えば 100 / 3 MHz) を HCLKI 端子に受けて、これを周波数逡倍(例えば 8 逡倍)して、266.7 MHz 程度の CPU 動作クロックとしている(図 13(b) 参照)。ここで、発振器 OSC1 は、スペク

50

トラムス拡散波を出力するよう構成されることで、電波障害 / 電磁妨害を防止する E M I (Electromagnetic Interference) 対策を図っている。

【 0 1 1 5 】

ところで、本実施例の場合、C P U 動作クロックを、発振器 O S C 1 ではなく、後述する発振器 O S C 2 の出力に基づいて生成することも可能であり、発振器 O S C 1 を不要にすることもできる。しかし、発振器を単一化する構成では、P L L 回路の周波数通倍比が、以下に説明するシステムクロックの場合と同じ固定値 (例えば 5) となるので、C P U 動作クロックの周波数は、V D P 回路 5 2 のシステムクロックと同一の 2 0 0 M H z (= 4 0 M H z × 5) となる。

【 0 1 1 6 】

このような構成を採ると、内蔵 C P U 回路 5 1 と V D P 回路 5 2 の動作周期が共通化される利点がある一方で、C P U の動作を可能な限り高速化したい要請に反する。すなわち、V D P の動作は、ある程度以上には高速化できないので、C P U 動作の高速化の要請に確実に応えることはできない。そこで、本実施例では、V D P 回路 5 2 と C P U 回路 5 1 の各動作周期を各々最適化するべく、2 つの発振器を設けている。また、別個の発振器 O S C 1 を設けることで、上記した E M I 対策の向上を図ることもできる。

【 0 1 1 7 】

以上を踏まえて V D P 回路 5 2 について説明すると、V D P 回路 5 2 は、発振器 O S C 1 とは別の発振器 O S C 2 の発振出力 (4 0 M H z) を P L L R E F 端子に受け、P L L (P h a s e L o c k e d L o o p) 回路で、周波数通倍した上で、V D P 回路 5 2 のシステムクロックとしている。P L L 回路の周波数通倍比は、所定の設定端子への設定値で固定的に規定され、この実施例では、設定端子 (3 b i t の P L L M D 端子) への設定値が固定値 5 であることから、V D P 回路 5 2 のシステムクロックは、2 0 0 M H z (= 4 0 M H z × 5) となる (図 1 3 (b) 参照) 。

【 0 1 1 8 】

また、本実施例では、表示回路 7 4 A ~ 7 4 C の動作を規定するドットクロック D C K A ~ D C K C 、及び、外付け D R A M 5 4 の D D R クロックについても、発振器 O S C 2 の発振出力 (4 0 M H z) に基づいて生成している。すなわち、発振器 O S C 2 の出力 (4 0 M H z) は、V D P 回路 5 2 全体のリファレンスクロックとして機能している。

【 0 1 1 9 】

図 1 3 や図 1 4 に関して後述するように、表示回路 7 4 A ~ 7 4 C は、通常、仕様の異なる表示装置を各々駆動しているので、各表示回路 7 4 A ~ 7 4 C の動作を規定するドットクロック D C K A ~ D C K C は、駆動対象となる表示装置の仕様に対応させる必要がある。かかる必要に基づき、本実施例では、表示回路 7 4 A ~ 7 4 C は、専用発振回路 D C L K A ~ D C L K C の出力クロック (D C L K A I ~ D C L K C I) の何れかを受けて、それをドットクロック D C K A ~ D C K C とすることもできるよう構成されている。

【 0 1 2 0 】

この構成を活用した場合には、後述する通倍比や分周比の設計や、V D P レジスタ R G i j への設定処理が不要となり、ドットクロック D C K A ~ D C K C の周波数を簡単に最適化することができる。すなわち、メイン表示装置 D S 1 のドットクロック周波数 F D O T 1 に対応して発振周波数 F D O T 1 の専用発振回路 D C L K A を設け、また、サブ表示装置 D S 2 のドットクロック周波数 F D O T 2 に対応して発振周波数 F D O T 2 の専用発振回路 D C L K B を設けることも可能である。

【 0 1 2 1 】

しかし、このような構成を採る場合には、表示装置の個数に対応して、専用発振回路が必要となり、機器構成が複雑化する。そこで、本実施例では、機器構成を簡素化するため、発振器 O S C 2 の発振出力 (4 0 M H z) に基づいて、表示回路 7 4 A / 7 4 B のドットクロック D C K A / D C K B を生成している。具体的には、図 1 3 (b) に示す通り、メイン表示装置 D S 1 を駆動する表示回路 7 4 A について、発振器 O S C 2 の発振出力 (4 0 M H z) に、所定の通倍処理 (× 1 0 8) と分周処理 (1 / 4 0) を施すことで、周

10

20

30

40

50

波数 108MHz のドットクロック DCK_A を生成している。

【0122】

同様に、サブ表示装置 DS_2 を駆動する表示回路 $74B$ についても、発振器 OSC_2 の発振出力 (40MHz) に、所定の通倍処理 ($\times 108$) と分周処理 ($1/160$) を施すことで、周波数 $F_{\text{dot}} = 27\text{MHz}$ のドットクロック DCK_B を生成している。これら通倍比や分周比を設計することは、それなりに煩雑であり、専用の発振回路を設ける方が容易であるが、本実施例では、機器構成の簡素化を重視して、専用発振回路を設けていない。

【0123】

何れにしても、ドットクロック $\text{DCK}_A \sim \text{DCK}_C$ は、表示回路 $74A \sim 74C$ 毎に個々の的に設定されるが、これらドットクロック $\text{DCK}_A \sim \text{DCK}_C$ を総称する場合、本明細書では、「表示クロック DCK 」と称する場合がある。また、以下の説明では、ドットクロック DCK_A や DCK_B を、便宜上、「ドットクロック DCK 」と略称することがある。

【0124】

なお、本実施例では、低速 LVDS 出力の構成を採らないので、表示回路 $74A$ を経由して出力される LVDS 信号の LVDS クロック CLK についても、ドットクロック DCK_A と同一の生成過程を経て、周波数 108MHz としている。但し、本実施例では、デュアルリンク伝送路を採るので、実際の LVDS クロック CLK の周波数は、図4に関して説明した通り 54MHz となる。なお、シングルリンク伝送路を採用する場合、 LVDS クロック CLK の周波数は、 108MHz である。

【0125】

上記のように、本実施例では、発振器 OSC_2 の発振出力 (40MHz) が、システムクロック、ドットクロック DCK 、及び、 DDR クロックのリファレンスクロックとして活用される。そこで、この重要性を考慮して、発振器 OSC_2 を VDP 回路 52 と同じ電源電圧 3.3V で動作させると共に、出力イネーブル端子 OE が H レベル ($= 3.3\text{V}$) であることを条件に、リファレンスクロックを発振出力するよう構成されている。そして、万一、電源電圧 3.3V が所定レベル以下に低下した場合には、その後、正常な演出動作は望めないので、マスク不能の割込み (NMI) が生じるよう構成されている。

【0126】

また、複合チップ 50 には、 HBTSL 端子が設けられ、 HBTSL 端子の論理レベルに基づいて、電源投入 (CPU リセット) 後に実行されるブートプログラム (初期設定プログラム) が、 CGROM_{55} に記憶されているか ($\text{HBTSL} = \text{H}$)、それ以外のメモリに記憶されているか ($\text{HBTSL} = \text{L}$) を特定している。図示の通り、この実施例では、 $\text{HBTSL} = \text{L}$ レベルに設定されており、演出制御 CPU_{63} のアドレス空間 CS_0 のゼロ番地が、 CGROM 以外に割り当てられ、具体的には、アドレス空間 CS_0 は、制御メモリ 53 に割り当てられている。

【0127】

一方、 HBTSL 端子 = H レベルに設定されている場合 (破線参照) は、演出制御 CPU_{63} のアドレス空間 CS_0 のゼロ番地が、 CGROM_{55} に割り当てられる。この場合は、 CGROM_{55} のメモリ種別と、バス幅 ($64/32/16\text{bit}$) とが、 2bit 長の HBTBWD 端子と、 4bit 長の HBTRMSL 端子への入力値に基づいて各々特定されようになっている。なお、これらの点は、図37に基づいて更に後述する。

【0128】

続いて、 CPU 回路 51 と VDP 回路 52 について、互いの送受信データの中継する CPUIF 回路 56 について説明する。図7(a)に示す通り、 CPUIF 回路 56 には、制御プログラムや必要な制御データを不揮発的に記憶する制御メモリ (PROM) 53 と、 2M バイト程度の記憶容量を有するワークメモリ (RAM) 57 とが接続され、各々、 CPU 回路 51 からアクセス可能に構成されている。先に説明した通り、制御メモリ (PROM) 53 は、チップセレクト信号 CS_0 で選択されるアドレス空間 CS_0 に位置付けられ、ワークメモリ (RAM) 57 は、チップセレクト信号 CS_6 で選択されるアドレス

10

20

30

40

50

空間 C S 6 に位置付けられている。

【 0 1 2 9 】

このワークメモリ (R A M) 5 7 には、表示装置 D S 1 , D S 2 の各一フレームを特定する一連の指示コマンドが記載されたディスプレイリスト D L を、一次的に記憶する D L バッファ B U F が確保されている。本実施例の場合、一連の指示コマンドには、C G R O M 5 5 から画像素材 (テクスチャ) を読み出してデコード (展開) するための T X L O A D コマンドなどのテクスチャロード系コマンドと、デコード (展開) 先の V R A M 領域 (インデックス空間) を予め特定するなどの機能を有する S E T I N D E X コマンドなどのテクスチャ設定系コマンドと、デコード (展開) 後の画像素材を仮想描画空間の所定位置に配置するための S P R I T E コマンドなどのプリミティブ描画系コマンドと、描画系コマンドによって仮想描画空間に描画された画像のうち、実際に表示装置に描画する描画領域を特定するための S E T D A V R コマンドや S E T D A V F コマンドなどの環境設定コマンドと、インデックス空間を管理するインデックステーブル I D X T B L に関するインデックステーブル制御系コマンド (W R I D X T B L) が含まれる。

10

【 0 1 3 0 】

なお、図 1 1 (c) には、仮想描画空間 (水平 X 方向 $\pm 8 1 9 2$: 垂直 Y 方向 $\pm 8 1 9 2$) と、仮想描画空間の中で任意に設定可能な描画領域と、表示装置 D S 1 , D S 2 に出力する画像データを一次保存するフレームバッファ F B a , F B b における実描画領域と、の関係が図示されている。

【 0 1 3 1 】

20

次に、C P U 回路 5 1 は、汎用のワンチップマイコンと同等の性能を有する回路であり、制御メモリ 5 3 の制御プログラムに基づき画像演出を統括的に制御する演出制御 C P U 6 3 と、プログラムが暴走状態になると C P U を強制リセットするウォッチドッグタイマ (W D T) と、1 6 k バイト程度の記憶容量を有して C P U の作業領域として使用される内蔵 R A M 5 9 と、C P U 6 3 を経由しないでデータ転送を実現する D M A C (D i r e c t M e m o r y A c c e s s C o n t r o l l e r) 6 0 と、複数の入力ポート S i 及び出力ポート S o を有するシリアル入出力ポート (S I O) 6 1 と、複数の入力ポート P i 及び出力ポート P o を有するパラレル入出力ポート (P I O) 6 2 と、前記各部の動作を制御するべく設定値が設定される動作制御レジスタ R E G などを有して構成されている。但し、外付けの W D T 回路 5 8 を設けた本実施例では、C P U 回路 5 1 に内蔵されたウォッチドッグタイマ (W D T) を活用していない。

30

【 0 1 3 2 】

なお、本明細書では、便宜上、入出力ポートとの表現を使用するが、演出制御部 2 3 において、入出力ポートには、独立して動作する入力ポートと出力ポートとが含まれている。この点は、以下に説明する入出力回路 6 4 p や入出力回路 6 4 s についても同様である。

【 0 1 3 3 】

パラレル入出力ポート 6 2 は、入出力回路 6 4 p を通して外部機器 (演出インタフェース基板 2 2) に接続されており、演出制御 C P U 6 3 は、入力回路 6 4 p を経由して、音量スイッチ V L S W のエンコーダ出力 3 b i t と、チャンスボタン 1 1 のスイッチ信号と、制御コマンド C M D と、割込み信号 S T B と、を受信するようになっている。エンコーダ出力 3 b i t と、スイッチ信号 1 b i t は、入出力回路 6 4 p を経由して、パラレル入出力ポート (P I O) 6 2 に供給されている。

40

【 0 1 3 4 】

同様に、受信した制御コマンド C M D は、入出力回路 6 4 p を経由して、パラレル入出力ポート (P I O) 6 2 に供給されている。また、ストローブ信号 S T B は、入出力回路 6 4 p を経由して、演出制御 C P U 6 3 の割込み端子に供給されることで、受信割込み処理を起動させている。したがって、受信割込み処理に基づいて、制御コマンド C M D を把握した演出制御 C P U 6 3 は、演出抽選などを経て、この制御コマンド C M D に対応する音声演出、ランプ演出、モータ演出、及び画像演出を統一的に制御することになる。

【 0 1 3 5 】

50

特に限定されないが、本実施例では、ランプ演出とモータ演出のために、VDP回路52のSMC部（Serial Management Controller）78を使用している。SMC部78は、LEDコントローラとMotorコントローラと、を内蔵した複合コントローラであり、クロック同期方式でシリアル信号を出力できるよう構成されている。また、Motorコントローラは、所定の制御レジスタ70への設定値に基づき、任意のタイミングでラッチパルスを出力可能に構成され、また、クロック同期方式でシリアル信号を入力可能に構成されている。

【0136】

そこで、本実施例では、クロック信号に同期してモータ駆動信号やLED駆動信号を、SMC部78から出力させる一方、適宜なタイミングで、ラッチパルスを、動作制御信号ENABLEとして出力するようにしている。また、演出モータ群M1～Mnからの原点センサ信号SN0～SNnをクロック同期方式でシリアル入力するよう構成されている。

10

【0137】

図6(a)に関して説明した通り、クロック信号CK0～CK2、駆動信号SDATA0～SDATA2、及び、動作制御信号ENABLE0～ENABLE2は、出力バッファ41～43を経由して、所定の駆動基板30, 31, 37に伝送される。また、原点センサ信号SN0～SNnは、モータランプ駆動基板31から入出力バッファ43を経由して、SMC部78にシリアル入力される。

【0138】

但し、本実施例において、SMC部78を使用することは必須ではない。すなわち、CPU回路51には、汎用のシリアル入出力ポートSIO61が内蔵されているので、これらを使用して、ランプ演出とモータ演出を実行することもできる。

20

【0139】

具体的には、図7(a)の破線に示す通りであり、破線で示す構成では、シリアル入出力ポートSIO61に内部接続されている入出力回路64sを経由して、クロック信号CK0～CK2、駆動信号SDATA0～SDATA2が出力され、入出力回路64pを経由して動作制御信号ENABLE0～ENABLE2が出力される。なお、便宜上、入出力ポートや入出力回路と表現するが、実際に機能するのは、出力ポートや出力回路である。

【0140】

ここで、シリアル出力ポートSOは、16段のFIFOレジスタを内蔵して構成されている。そして、DMAC回路60は、演出制御CPU63から動作開始指示（図20(b)ST18参照）を受けて起動し、ランプ/モータ駆動テーブル（図20(b)参照）から、必要な駆動データを順番に読み出し、シリアル出力ポートSOのFIFOレジスタにDMA転送するよう構成されている。FIFOレジスタに蓄積された駆動データは、クロック同期方式でシリアル出力ポートSOからシリアル出力される。なお、DMAC回路には、複数（例えば7）のDMAチャンネルが存在するが、優先度に劣る第3のDMAチャンネルでランプ駆動データをDMA転送し、最優先度の第1のDMAチャンネルでモータ駆動データをDMA転送するよう構成されている。

30

【0141】

CPU回路51に内蔵された動作制御レジスタREGは、レジス番号（アドレス値）が0xFF400000以降に付番された8bit、16bit、又は32bit長のレジスタであり、演出制御CPU63から適宜にWRITE/READアクセス可能に構成されている（図9参照）。そのためノイズなどの影響で、動作制御レジスタREGに、不合理な値に設定される可能性がある。

40

【0142】

但し、例えば、意図的に無限ループ処理を実行させて外付けのWDT回路58を起動させることで、複合チップ50を異常リセットすることができる。この場合、動作制御レジスタREGの値が、電源投入後と同じデフォルト値（初期値）に戻され、且つ、VDP回路52についても、VDPレジスタRGijの値が、デフォルト値（初期値）に戻されることで異常状態が解消される。

50

【 0 1 4 3 】

図 6 (b) は、このリセット動作に関連する回路構成であって、本実施例に特徴的なリセット機構を説明する図面である。なお、本明細書において、R G i j と表記する V D P レジスタは、C P U 回路 5 1 に内蔵された動作制御レジスタ R E G ではなく、V D P 回路 5 2 の内部動作を制御する制御レジスタ群 7 0 (図 9 参照) の何れかを意味する。また、図 6 (b) に示すシステム制御回路 5 2 0 とは、V D P レジスタ R G i j (図 9 の制御レジスタ群 7 0 の何れか) への設定値に基づいて機能する V D P 回路 5 2 の内部制御回路を意味する (図 6 (a) 参照) 。なお、V D P レジスタ R G i j は、演出制御 C P U 6 3 のアドレスマップにおいて、チップセレクト信号 C S 7 で選択されるアドレス空間 C S 7 に位置付けられる。

10

【 0 1 4 4 】

以上を踏まえてリセット機構について説明すると、図 6 (b) に示す通り、複合チップ 5 0 は、論理反転されたシステムリセット信号 S Y S バーを受ける 3 個の O R ゲート G 2 ~ G 4 を経由して、内部回路がリセット可能に構成されている。但し、本実施例では、破線で示すように、内蔵 W D T を有効化しないので、O R ゲート G 2 の入端子と出力端子は、直結状態となる。

【 0 1 4 5 】

何れにしても、C P U 回路 5 1 と V D P 回路 5 2 の間に、パターンチェック回路 C H K が設けられ、パターンチェック回路 C H K は、パラレル入出力ポート (P I O) 6 2 から、所定のキーワード列 (リセット用の暗号列) を受けることを条件に、リセット信号 R S T を出力するよう構成されている。

20

【 0 1 4 6 】

そして、複合チップ 5 0 の内部回路は、(1) C P U 回路 5 1 と、(2) V D P 回路 5 2 の表示回路 7 4 と、(3) V D P 回路 5 2 における表示回路以外とに三分されて、各々、O R ゲート G 2 ~ G 4 から第 1 リセット経路 ~ 第 3 リセット経路のリセット信号を受けよう構成されている。

【 0 1 4 7 】

先ず、入出力端子が直結状態の O R ゲート G 2 は、第 1 リセット経路に関連しており、システムリセット信号 S Y S バーに基づき、C P U 回路 5 1 の全体をシステムリセットされるように構成されている。また、O R ゲート G 3 は、第 2 リセット経路に関連しており、システムリセット信号 S Y S バーと、パターンチェック回路 C H K からのリセット信号 R S T とを受けて、O R 論理に基づき、V D P 回路 5 2 全体をリセット可能に構成されている。

30

【 0 1 4 8 】

この第 2 リセット経路は、電源投入時の電源リセット動作だけでなく、所定の異常を検出した演出制御 C P U 6 3 が、V D P 回路 5 2 の全体を異常リセットして初期状態に戻す用途で利用される。具体的には、V D P 回路 5 2 の内部動作を示す所定のステータスレジスタ R G i j に基づき、重大な異常が発生していると判断される場合には、パターンチェック回路 C H K からリセット信号 R S T を発生させることで、V D P 回路 5 2 の全体を異常リセットしている。なお、表示回路 7 4 は、O R ゲート G 4 を経由して、第 2 リセット経路 → 第 3 リセット経路で異常リセットされる。

40

【 0 1 4 9 】

一方、V D P 回路 5 2 に内蔵された内部回路は、第 4 リセット経路で、必要時に個々のリセットすることも可能に構成されている。個々のリセット可能な内部回路には、図 7 (a) に示すインデックステーブル I D X T B L 、データ転送回路 7 2 、プリローダ 7 3 、表示回路 7 4 、描画回路 7 6 、S M C 回路 7 8 、及び、音声回路 S N D や、図 1 2 に示す I C M 回路が含まれている。

【 0 1 5 0 】

個別的なリセット動作を実現する手法は、図 6 (b) の下部に記載の通りであり、例えば、表示回路 7 4 は、所定の V D P レジスタ R G i j (システムコマンドレジスタ) に、

50

第 1 リセット値を書き込むことで、第 4 リセット経路 4 A → 第 3 リセット経路を経てリセットされる。

【 0 1 5 1 】

また、VDP 回路 5 2 の各内部回路 (7 2 , 7 3 , 7 4 , 7 6 , S N D , . . .) は、(1) 第 1 の VDP レジスタ R G i j (リセット R Q レジスタ) に、対象回路を特定する設定値を書き込んだ後、(2) 所定の VDP レジスタ R G i j (システムコマンドレジスタ) に、第 2 リセット値を書き込むことで、個々のリセットされる (第 4 リセット経路 4 B) 。なお、この実施例では使用しないが、音声回路 S N D は、第 4 リセット経路 4 B によるリセットだけでなく、所定の VDP レジスタ (回路設定コマンドレジスタ) に、リセット値を書き込むことでリセット可能である (第 4 リセット経路 4 C) 。

10

【 0 1 5 2 】

本実施例は、上記の構成を有するので、電源投入時やプログラム暴走時に、VDP 回路 5 2 全体が自動的に初期状態に戻るだけでなく、必要に応じて、各部を初期状態に戻して異常事態の回復を図ることができる。例えば、一定期間、内蔵 V R A M 7 1 に対して R E A D / W R I T E アクセスがない描画回路 7 6 のフリーズ時には、第 4 リセット経路 4 B を経由して描画回路 7 6 が個別的に初期化される (図 2 0 (d) の S T 1 6 a 参照) 。プリローダ 7 3 やデータ転送回路 7 2 についても、ほぼ同様であり、所定の異常時には、第 4 リセット経路 4 B を経由してプリローダ 7 3 が初期化され (図 2 7 の S T 2 7 参照) 、第 4 リセット経路 4 B を経由してデータ転送回路 7 2 が初期化される (図 2 2 や図 2 7 の S T 2 7 参照) 。

20

【 0 1 5 3 】

また、表示回路 7 4 については、1 / 6 0 秒毎の表示タイミングに、表示データの生成が間に合わないアンダーラン (Underrun) 異常が続くような場合に、第 4 リセット経路 4 A 又は第 4 リセット経路 4 B を経由して、表示回路 7 4 が個別的に初期化される (図 2 0 の S T 1 0 c 参照) 。なお、これら個別的なりセット動作については、図 2 0 以降に記載したプログラム処理に関して更に後述する。

【 0 1 5 4 】

以上、本実施例に特徴的なリセット機構について説明したが、何れかのリセット経路 1 ~ 4 が機能して、複合チップ 5 0 の内部回路がリセットされると、その内部回路に対応する VDP レジスタ R G i j の設定値は、電源投入後と同じデフォルト値に戻る。

30

【 0 1 5 5 】

続いて、CPU 回路 5 1 の内部構成に戻って、特徴的な回路構成の説明を続ける。図 8 は、CPU 回路 5 1 の内部構成をやや詳細に示すブロック図である。CPU 回路 5 1 は、先に説明した内蔵 R A M 5 9 、 D M A C 回路 6 0 、 S I O 6 1 、 P I O 6 2 、 W D T 以外にも、多くの特徴的な回路を含んで構成されている。

【 0 1 5 6 】

先ず第 1 に、CPU 回路 5 1 は、命令用の CPU フェッチバスと、データ用の CPU メモリアクセスバスとを別々に有してハーバード・アーキテクチャを実現している。そのため、CPU コア (演出制御 CPU) 6 3 が命令をメモリから読むフェッチ動作と、メモリアクセス動作とが競合せず、フェッチ動作を連続させることで高速処理を実現している。

40

【 0 1 5 7 】

また、CPU コア 6 3 は、複数個 (例えば 1 5 個) のレジスタバンク R B 0 ~ R B 1 4 を有して構成されており、その使用の有無を選択できるよう構成されている。そして、レジスタバンク R B i の使用を許可した動作状態では、割込み処理の開始時に、CPU の内蔵レジスタ (例えば 1 9 個) のレジスタ値 (各 3 2 b i t 長) が、空き状態のレジスタバンク R B i に自動的に退避される。

【 0 1 5 8 】

また、割込み処理の終了時に所定の復帰命令を実行すると、例えば 1 9 個の退避データが、対応する内蔵レジスタに自動的に復帰される。したがって、通常の構成のように、割込み処理の開始時に P U S H 命令を 1 9 回実行し、割込み処理の終了時に P O P 命令を 1

50

9 回実行する手間が不要となり、高速処理が実現される。

【 0 1 5 9 】

また、実施例の CPU 回路 5 1 は、命令キャッシュメモリ 6 7 と、オペランドキャッシュメモリ 8 9 と、キャッシュコントローラ 6 9 とを設けることで、ハーバードキャッシュ動作を実現しており、同一アドレスをアクセスする場合に、キャッシュ済みのデータを活用することでプログラム処理の更なる高速化を図っている。なお、バスブリッジ 6 5 と、周辺バス(1) 用のコントローラ、周辺バス(2) 用のコントローラ、及び、周辺バス(3) 用のコントローラとが設けられることで、内部バスと、周辺バス(1)、周辺バス(2)、及び周辺バス(3) とを適宜に接続している。

【 0 1 6 0 】

次に、図 8 の回路構成において、バスステートコントローラ 6 6 は、動作制御レジスタ REG への適宜な設定値に基づいて動作して、CPU 回路 5 1 に接続された各種メモリデバイスとのメモリ READ 動作やメモリ WRITE 動作を最適化する部分である。メモリ READ 動作やメモリ WRITE 動作は、例えば、図 3 8 に例示した動作タイミングで実行されるが、アドレスバス (28Bit) から出力されるアドレスデータと、READ データバス (32Bit) に読み出される READ データと、WRITE データバス (32Bit) に書き出される WRITE データと、チップセレクト信号 CS 0 ~ CS 7 などの制御信号との動作タイミングが、動作制御レジスタ REG への設定値に基づいて、各メモリデバイスの特性に対応して適宜に規定される。

【 0 1 6 1 】

READ データバスと WRITE データバスが別々に設けられているので、上記したハーバード・アーキテクチャによる高速動作が実現される。なお、本明細書では、アドレスバス (28Bit)、READ データバス (32Bit)、及び、WRITE データバス (32Bit) について、図 8 に示す内部バスや、周辺バス(1) ~ 周辺バス(3) などと区別する意味で、外部バスと総称することがある。

【 0 1 6 2 】

図 9 は、チップセレクト信号 CS 0 ~ CS 7 によって選択されるアドレス空間 CS 0 ~ CS 7 を図示したものであり、バスステートコントローラ 6 6 を経由してアクセスされる演出制御 CPU 6 3 にとってのアドレスマップを図示したものである。先ず、各アドレス空間 CS 0 ~ CS 7 は、何れも、最大 6 4 M バイトに (= 0x4000000H = 67108864)

【 0 1 6 3 】

先に説明した通り、アドレス空間 CS 0 ~ CS 7 とは、揮発性の有無を含むメモリ種別や、データバス幅 (8 / 1 6 / 3 2 ビット) を、各々、規定可能な CPU 回路 5 1 にとって外部メモリを意味する。そして、本実施例では、図 8 (b) や図 9 に示す通り、制御メモリ (PROM) 5 3 がアドレス空間 CS 0、音声プロセッサ 2 7 の音声制御レジスタ SRG がアドレス空間 CS 3、時計回路 3 8 の内部レジスタや SRAM 3 9 がアドレス空間 CS 4、外付け DRAM (DDR) 5 4 がアドレス空間 CS 5、ワークメモリ 5 7 がアドレス空間 CS 6、VDP レジスタ RG i j がアドレス空間 CS 7 に位置付けられている。なお、アドレス空間 CS 1、CS 2 についての説明は省略する。

【 0 1 6 4 】

ところで、図 9 から確認される通り、アドレス空間 CS 0 ~ CS 7 は、アドレス値 0x0000000 ~ 0x1FFFFFFF (キャッシュ有効空間) だけでなく、アドレス値 0x20000000 ~ 0x3FFFFFFF (キャッシュ無効空間) にも確保されている。これは、アドレスビット A 2 9 = 1 のときには、CPU 回路 5 1 の内部動作に基づいて、キャッシュ無効とする一方、アドレスビット A 2 9 = 0 のときにキャッシュ有効とすることで、キャッシュ機能の活用を任意選択できるようにしたものである。

【 0 1 6 5 】

そのため、本実施例では、全 3 2 b i t のアドレス情報 (ビット A 3 1 ~ A 0) のうち、ビット A 2 9 の値が 1 又は 0 の何れであっても、残り 3 1 b i t (ビット A 3 1 ~ A 3

10

20

30

40

50

0 とビット A 2 8 ~ A 0) の値が同じであれば、同一のメモリの同一番地を指示することになる。例えば、0x18000000番地をREADアクセスしても、0x38000000番地をREADアクセスしても、ワークメモリ 5 7 のゼロ番地から同一データが読み出されることになる。なお、0x18000000番地をREADアクセスした場合には、読み出したデータがキャッシュに保存されるが、図 8 (b) は、キャッシュ有効 / 無効のアクセス動作を図示している。

【 0 1 6 6 】

もっとも、所定の動作制御レジスタ R E G への設定値に基づいて、命令キャッシュ及び / 又はオペランドキャッシュについて、キャッシュ動作を無効化することもできる。但し、本実施例では、電源投入後、命令キャッシュ及びオペランドキャッシュについて、キャッシュ動作を有効化した上で、必要に応じて、キャッシュ無効空間をアクセスすることで、キャッシュ動作を無効化している。

10

【 0 1 6 7 】

図 9 のメモリマップについて説明を続けると、0x40000000番地以降は、バスステートコントローラ 6 6 が機能しない内部メモリ空間であって、0xF0000000番地 ~ 0xFF3FFFFF番地は、キャッシュのアドレスレイ空間に割り当てられている。また、0xFF400000番地 ~ 0xFFFF7FFFF番地と、0xFFFFC0000番地 ~ 0xFFFFFFFF番地は、内蔵周辺モジュールに割り当てられ、具体的には、C P U 回路の動作制御レジスタ R E G に割り当てられている。なお、内蔵 R A M 5 9 のアドレス範囲は、0xFFFF80000 ~ 0xFFFFBFFFFである。

【 0 1 6 8 】

20

C P U 回路 5 1 の内部構成について説明を続けると、コンペアマッチタイマ C M T と、マルチファンクションタイマユニット M T U は、C P U 回路 5 1 に供給される外部信号をカウントしたり、或いは、内部クロックを逡倍又は分周した計数クロックをカウントして、カウント結果が所定値に達すると、割込み信号などを発生する回路である。特に限定されないが、本実施例では、マルチファンクションタイマユニット M T U を活用して、1 m S 割込み信号と、2 0 μ S 割込み信号を発生させている。

【 0 1 6 9 】

次に、割込みコントローラ I N T C は、V D P 回路 5 2 や D M A C 回路 6 0 やマルチファンクションタイマユニット M T U などからの内部割込みと、I R Q _ C M D 、I R Q _ S N D 、I R Q _ R C T などの外部割込みを受けて、予め規定されている優先順位に基づいて、割込み処理 (割込みハンドラ) を起動させる回路である。ここで、I R Q _ C M D は、制御コマンド C M D を受信すべきコマンド受信割込み信号、I R Q _ S N D は、音声プロセッサ 2 7 が初期化シーケンスを終えたことを示す終了割込み信号、I R Q _ R C T は、アラーム割込み信号である。

30

【 0 1 7 0 】

そして、本実施例では、割込み優先度は、コマンド受信割込み I R Q _ C M D が最高レベルであり、以下、2 0 μ S 割込み → 1 m S 割込み → V D P 回路からの割込み (I R Q 0 , I R Q 1 , I R Q 2 , I R Q 3) → D M A C 割込み → I R Q _ S N D → I R Q _ R C T の順になっている (図 1 7 (d) 参照) 。なお、これらは何れも、マスク可能な割込みであり、マスク不能な割込み N M I は、先に説明した通り、発振器 O S C 2 からリファレンスクロックが出力されていない場合に演出制御 C P U 6 3 に出力される。

40

【 0 1 7 1 】

そして、何れの割込み処理でも、C P U の複数の内蔵レジスタのレジスタ値 (各 3 2 b i t 長) は、空き状態の何れかのレジスタバンク R B i に、自動的に退避される。そして、割込み処理の最後に所定の復帰命令を実行すると、退避データが、対応する内蔵レジスタに自動的に復帰される。

【 0 1 7 2 】

続いて、D M A C 回路 6 0 について説明する。実施例の D M A C 回路 6 0 は、所定の動作制御レジスタ R E G への設定値に基づいて、転送元 (S o u r c e) から転送先 (D e s t i n a t i o n) に対して、所定の D M A 転送モードで、所定のデータ転送単位毎に、所定回数、デ

50

ータ転送を繰り返す回路である。なお、同一の内部構成を有する複数チャネルのDMA C 0 ~ DMA C n が用意されており、並列的に動作可能となっている。但し、優先度が決ま
っており（チャネル 0 > . . . > チャネル n）、チャネル調停動作モードの並列動作時には、
所定タイミングでのチャネル調停によって優先度の高いDMA C i の動作が優先され
る。

【 0 1 7 3 】

DMA C 回路 6 0 の活用としては、例えば、シリアル出力ポート S O が機能する実施例
（図 9（a）破線部参照）では、CPU 回路 5 1 の動作制御レジスタ R E G には、ランプ
ノモータ駆動テーブルの先頭アドレス（転送元アドレスの先頭値）と、シリアル出力ポ
ート S O の入力レジスタのアドレス（転送先アドレスの固定値）と、データ転送単位（8 b
i t）と、転送回数と、が指定される。そして、所定の動作制御レジスタ R E G に動作開
始指示を受けたDMA C 回路 6 0 は、転送元アドレスを更新しつつ、所定の転送先アドレ
スに駆動データをDMA転送する。そして、全てのDMA転送が終われば、DMA C 割込
み（動作終了割込み）が生じるよう構成されている。

10

【 0 1 7 4 】

この点は、ディスプレイリストDLをDMA C 回路 6 0 が発行する実施例（図 2 3、図
2 7（c））の場合もほぼ同様である。すなわち、演出制御CPU 6 3 は、CPU 回路 5
1 の所定の動作制御レジスタ R E G に、転送元（DLバッファB U F）の先頭アドレスと
、転送先（転送ポートTR_PORT）のアドレスと、DMA転送モードと、データ転送単位
と、転送回数、その他の条件を設定することになる。なお、これらの点は、図 2 3 に関し
て更に後述する。

20

【 0 1 7 5 】

ところで、一般に、DMA転送モードには、DMA転送の単位動作（R動作 / W動作）
の途中でバス制御権を開放するなど、DMA動作がメモリバスを占有しないサイクルスチ
ール転送モードと、複数のR動作やW動作を連続させるなど、指定された転送回数が完了
するまでバス制御権を解放しないバースト転送（パイプライン転送）モードと、他のデバ
イスから受けるDMA転送要求（デマンド）がアクティブの間はDMA動作を継続するデ
マンド転送モードなどが考えられる。しかし、本実施例のDMA C 回路 6 0 は、DMA転
送時のリードアクセス起動（R動作）とライトアクセス起動（W動作）の間に、少なくと
も1サイクルのメモリ開放期間を設けたサイクルスチール転送モードで機能することで、
演出制御CPU 6 3 の動作に支障が出ないようにしている。

30

【 0 1 7 6 】

図 1 0 は、サイクルスチール転送動作（a 1）と、パイプライン転送（a 2）とを説明
する図面である。図 1 0（a 1）に示す通り、サイクルスチール転送モードで機能するD
MA C 回路 6 0 は、1 データ転送のリードアクセス起動（R）とライトアクセス起動（W
）の間に、少なくとも1サイクル空けて動作しており、この空いたサイクルでは、演出制
御CPU 6 3 のバス使用が可能となる。図 1 0（a 1）と図 1 0（a 2）の対比関係から
明らかなように、パイプライン転送では、一サイクル（一オペランド転送）が終わるまで
は、バスがCPUに開放されないのに対して、サイクルスチール転送モードでは、リード
アクセス毎に、バスがCPUに開放されるので、CPUの動作が大きく遅れることがない。

40

【 0 1 7 7 】

そして、例えば、ディスプレイリストDLのVDP回路52への発行時に、DMA C 回
路 6 0 を使用する実施態様では、一サイクルのデータ転送単位（1オペランド）を、3 2
× 2 b i t に設定し、ディスプレイリストDLが格納されている内蔵RAM 5 9 のソース
アドレスを適宜に増加しつつ（1オペランド転送毎に + 8）、固定アドレスで特定される
データ転送回路 7 2 の転送ポートレジスタTR_PORT（図 1 2 参照）に対して、DMA転
送動作を実行している。

【 0 1 7 8 】

後述するように、実施例では、ディスプレイリストDLに、必要個数のNOP（no oper
ation）コマンドを付加することで、全体のデータサイズを、固定値（例えば、4 × 6 4

50

= 256 バイト、又はその整数倍) に調整しており、32 bit × 2 回のオペランド転送を32回(又はその整数倍)繰り返すことで、ディスプレイリストDLの発行を完了させている。なお、描画回路76がNOP コマンドを実行しても、事実上、何の変化も生じない。

【0179】

また、DMA転送条件に関して動作モードを分類すると、一般に、単一オペランド転送(図10(b1)参照)と、連続オペランド転送(図10(b2)参照)と、ノンストップ転送(図10(b3)参照)とが考えられる。

【0180】

ここで、単一オペランド転送とは、図10(b1)に示すように、DMA転送要求が与えられるたびに、1オペランドの転送を繰り返し、転送バイト数をカウントするバイトカウンタがゼロになった時点で、DMA割込み要求が生じる動作モードを意味する。次に、連続オペランド転送とは、図10(b2)に示すように、1回のDMA要求で、バイトカウンタがゼロになるまでDMA転送を繰り返す動作モードを意味する。

【0181】

これら、連続オペランド転送(b2)や単一オペランド転送(b1)では、1オペランド転送が終了するごとにチャンネル調停が行われ、優先順位の高いチャンネルのDMA要求がないことを条件に、現在のチャンネルの転送が継続される(チャンネル調停動作モード)。そこで、本実施例では、ディスプレイリストDLのVDP回路への発行や、ランプ駆動データやモータ駆動データのDMA転送は、単一オペランド転送方式を採用している。そして、並列動作時には、例えば、モータデータ>ディスプレイリストDL>ランプデータの優先度のチャンネル調停となるよう、最適チャンネルのDMACiを使用している。

【0182】

一方、ノンストップ転送とは、チャンネル調停が実行されない動作モードであって、図10(b3)に記載の通り、1回のDMA要求で、バイトカウンタがゼロになるまで連続的にDMA転送が繰り返される。本実施例では、電源投入時のメモリセクション初期化处理(図15のSP8)では、ノンストップ転送でプログラムやデータをDMA転送している。

【0183】

以上、CPU回路51について説明したので、次に、VDP回路52について説明すると、VDP回路52には、画像演出を構成する静止画や動画の構成要素となる圧縮データを記憶するCGROM55と、4 Gbit程度の記憶容量を有する外付けDRAM(Dynamic Random Access Memory)54と、メイン表示装置DS1と、サブ表示装置DS2とが接続されている。なお、DRAM54は、好適にはDDR3(Double-Data-Rate3 SDRAM)で構成される。

【0184】

特に限定するものではないが、この実施例では、CGROM55は、62 Gbit程度の記憶容量のNAND型フラッシュメモリで構成されたフラッシュSSD(solid state drive)で構成されており、シリアル伝送によって必要な圧縮データを取得するよう構成されている。そのため、パラレル伝送において不可避免的に生じるスキュー(ビットデータ毎の伝送速度の差)の問題が解消され、極限的な高速伝送動作が可能となる。特に限定されないが、本実施例では、SerialATAに準拠したHSS(High Speed Serial)方式で、CGROM55を高速アクセスしている。

【0185】

なお、SerialATAに準拠したHSS方式を採用するか否かに拘らず、NAND型のフラッシュメモリは、ハードディスクより機械的に安定であり、且つ高速アクセスが可能である一方で、シーケンシャルアクセスメモリであるため、DRAMやSRAM(Static Random Access Memory)に比較すると、ランダムアクセス性に問題がある。そこで、本実施例では、一群の圧縮データ(CGデータ)を、描画動作に先行してDRAM54に読み出しておくプリロード動作を実行することで、描画動作時におけるCGデータの円滑なランダムアクセスを実現している。ちなみに、アクセス速度は、内蔵VRAM>外付けDRA

10

20

30

40

50

M > C G R O M の順番に遅くなる。

【 0 1 8 6 】

V D P 回路 5 2 は、詳細には、V D P (Video Display Processor) の動作を規定する各種の動作パラメータが演出制御 C P U 6 3 によって設定可能な制御レジスタ群 7 0 と、表示装置 D S 1 , D S 2 に表示すべき画像データの生成時に使用される 4 8 M バイト程度の内蔵 V R A M (video RAM) 7 1 と、チップ内部の各部間のデータ送受信及びチップ外部とのデータ送受信を実行するデータ転送回路 7 2 と、内蔵 V R A M 7 1 に関して、S o u r c e や D e s t i n a t i o n のアドレス情報を特定可能なインデックステーブル I D X T B L と、描画動作に先行して C G R O M 5 5 を R E A D アクセスするプリロード動作が実行可能なプリローダ 7 3 と、C G R O M 5 5 から読み出した圧縮データをデコード (復号伸長 / 展開) するグラフィックスデコーダ (G D E C) 7 5 と、デコード (展開) 後の静止画データや動画データを適宜に組み合わせて表示装置 D S 1 , D S 2 の各一フレーム分の画像データを生成する描画回路 7 6 と、描画回路 7 6 の動作の一部として、適宜な座標変換によって立体画像を生成するジオメトリエンジン 7 7 と、描画回路 7 6 が生成したフレームバッファ F B a , F B b の画像データを読み出して、適宜な画像処理を並列的に実行可能な 3 系統 (A / B / C) の表示回路 7 4 A ~ 7 4 C と、3 系統 (A / B / C) の表示回路 7 4 の出力を適宜に選択出力する出力選択部 7 9 と、出力選択部 7 9 が出力する画像データを L V D S 信号に変換する L V D S 部 8 0 と、シリアルデータ送受信可能な S M C 部 7 8 と、C P U I F 回路 5 6 とのデータ送受信を中継する C P U I F 部 8 1 と、C G R O M 5 5 からのデータ受信を中継する C G バス I F 部 8 2 と、外付け D R A M 5 4 とのデータ送受信を中継する D R A M I F 部 8 3 と、内蔵 V R A M 7 1 とのデータ送受信を中継する V R A M I F 部 8 4 と、を有して構成されている (図 7 (a) 参照) 。なお、音声回路 S N D も内蔵されている。

【 0 1 8 7 】

図 7 (b) には、C P U I F 部 8 1 、C G バス I F 部 8 2 、D R A M I F 部 8 3 、及び、V R A M I F 部 8 4 と、制御レジスタ群 7 0 、C G R O M 5 5 、D R A M 5 4 、及び内蔵 V R A M 7 1 との関係が図示されている。図示の通り、C G R O M 5 5 から取得した C G データは、例えば、プリロードデータとして、データ転送回路 7 2 及び D R A M I F 部 8 3 を経由して、外付け D R A M 5 4 のプリロード領域に転送される。

【 0 1 8 8 】

但し、上記したプリロード動作は、何ら必須動作ではなく、また、データ転送先も、外付け D R A M 5 4 に限定されず、内蔵 V R A M 7 1 であっても良い。したがって、例えば、プリロード動作を実行しない実施例では、C G データは、データ転送回路 7 2 及び V R A M I F 部 8 4 を経由して、内蔵 V R A M 7 1 に転送される (図 7 (b)) 。

【 0 1 8 9 】

ところで、本実施例では、内蔵 V R A M 7 1 には、C G R O M 5 5 から読み出した圧縮データの展開領域、表示装置の W × H 個の表示ピクセルの各 A R G B 情報 (3 2 b i t = 8 × 4) を特定する画像データを格納するフレームバッファ領域、及び、各表示ピクセルの深度情報を記憶する Z バッファ領域などが必要となる。なお、A R G B 情報において、A は、8 b i t の α プレーンデータ、R G B は三原色の 8 b i t データを意味する。

【 0 1 9 0 】

ここで、内蔵 V R A M 7 1 の上記した各領域は、演出制御 C P U 6 3 がディスプレイリスト D L に記載した各種の指示コマンド (前記したテクスチャや S P R I T E など) に基づいて間接的にアクセスされるが、その R E A D / W R I T E アクセスにおいて、一々、内蔵 V R A M 7 1 の D e s t i n a t i o n アドレスや、S o u r c e アドレスを特定するのは煩雑である。そこで、本実施例では、C P U リセット後の初期処理において、描画動作で必要となる一次元または二次元の論理アドレス空間 (以下、インデックス空間という) を確保して、各インデックス空間にインデックス番号を付与することで、インデックス番号に基づくアクセスを可能にしている。

【 0 1 9 1 】

具体的には、CPUリセット後、内蔵VRAM71を3種類のメモリ領域に大別すると共に、各メモリ領域に、必要数のインデックス空間を確保している。そして、インデックス空間とインデックス番号とを紐付けて記憶するインデックステーブルIDXTBL(図11(a)参照)を構築することで、その後のインデックス番号に基づく動作を実現している。
【0192】

このインデックス空間は、(1) 初期処理後に追加することや、逆に、(2) 開放することにも必要となる。そこで、これら追加/開放の演出制御CPU63の動作時に、追加/開放の処理が可能なタイミングか否か、また、追加/開放などの処理が実際に完了したか否か、などを判定可能なフラグ領域FGをインデックステーブルIDXTBLに設けている。なお、内蔵VRAM71は、以下に説明する2つのAAC領域(a1,a2)と、ページ領域(b)と、任意領域(c)の3種類のメモリ領域に大別され、この3種類のメモリ領域(a1,a2)(b)(c)に対応して、インデックステーブルIDXTBLが3区分されている(図11(a))。図示の通り、この実施例では、AAC領域(a)として、第一AAC領域(a1)と第二AAC領域(a2)が確保されているが、特に限定されるものではなく、何れか一方だけでも良い。なお、以下の説明では、第一と第二のAAC領域(a1,a2)を総称する場合には、AAC領域(a)と称する場合がある。

10

【0193】

本実施例の場合、内蔵VRAM71は、(a) インデックス空間とそのインデックス番号が内部処理によって自動付与され、且つメモリキャッシュ機能を有するAAC領域と、(b) 例えば4096bit×128ラインの二次元空間を単位空間として、その整数倍の範囲でインデックス空間が確保可能なページ領域と、(c) 先頭アドレス(空間先頭アドレス)STxと水平サイズHxが任意に設定できる任意領域と、に区分可能に構成されている(図11(b)参照)。但し、VDP回路52の内部動作を円滑化するため、任意領域(c)において任意設定されるインデックス空間の空間先頭アドレスSTxは、その下位11bitが0であって、所定ビット(2048bit=256バイト)単位とする必要がある。

20

【0194】

そして、CPUリセット後、各々に必要なアドレス空間の最大値と、領域先頭アドレス(下位11bit=0)を規定して、AAC領域(a1)と、第二AAC領域(a2)と、ページ領域(b)とが確保され、その残りのメモリ領域が任意領域(c)となる。VDP回路52の内部動作を円滑化するため、AAC領域のアドレス空間の最大値は、2048bit単位で規定され、ページ領域のアドレス空間の最大値は、上記した4096bit×128ラインの単位空間の整数倍とされる。

30

【0195】

次に、このように確保された各領域(a1,a2)(b)(c)に必要個数のインデックス空間が設定される。なお、任意領域(c)を使用する場合、VDP回路52の内部動作を円滑化するため、二次元データを扱うインデックス空間の水平サイズHxは、256bitの倍数として、任意に設定可能である一方、その垂直サイズは固定値(例えば、2048ライン)となっている。

【0196】

何れにしても、第一と第二のAAC領域(a1,a2)は、VDP回路52によって、インデックス空間とインデックス番号が自動的に付与されるので、例えば、テクスチャ設定系コマンドのSETINDEXコマンドによって、デコード先をAAC領域(a)に指定すれば、CGROM55からCGデータを読み出すTXLOAD(テクスチャロード)コマンドでは、CGROM55のSourceアドレスと、展開(デコード)後の水平・垂直サイズなどを指定するだけで足りることになる。そこで、本実施例では、予告演出時などに一時的に出現するキャラクタなどの静止画(テクスチャ)や、Iストリーム動画については、そのデコード先をAAC領域(a)にしている。

40

【0197】

このAAC領域(a)は、いずれも、メモリキャッシュ機能が付与されているので、例えば、CGROM55の同一のテクスチャを複数回、AAC領域(a)に読み出すような場合

50

には、二度目以降は、A A C 領域(a) にキャッシュされているデコードデータが活用可能となり、余分なREADアクセスとデコード処理が抑制可能となる。もっとも、A A C 領域(a) を使い切った場合には、古いデータが自動的に破壊されるので、本実施例では、A A C 領域(a) を使用する場合、原則として第一 A A C 領域(a1)を使用することとし、繰り返し使用する特定のテクスチャだけを第二 A A C 領域(a2)に取得するようにしている。

【 0 1 9 8 】

繰り返し使用するテクスチャとして、例えば、所定の予告演出時に繰り返し出現するキャラクターや、背景画面を静止画で構築する場合の背景画などを例示することができる。このような場合、テクスチャ設定系コマンドのSETINDEXコマンドによって、デコード先を第二 A A C 領域(a2)に設定し、TXLOADコマンドによって、キャラクターや背景画などのテクスチャを第二 A A C 領域(a2)にデコードした後は、第二 A A C 領域(a2)を使用しないことで、デコード結果を保護する。

【 0 1 9 9 】

そして、その後、SETINDEXコマンドによって、デコード先を第二 A A C 領域(a2)に指定した上で、取得済みのテクスチャを再取得する同一のTXLOADコマンドを実行させると、取得済みのテクスチャがキャッシュヒットするので、C G R O M 5 5 へのREADアクセスと、デコード処理に要する時間を削除することができる。後述するように、このようなキャッシュヒット機能は、プリロード領域に先読みされたプリロードデータでも発揮されるが、プリロード領域でキャッシュヒットするプリロードデータは、デコード前の圧縮データであるのに対して、A A C 領域でキャッシュヒットするのはデコード後の展開データである点に意義がある。

【 0 2 0 0 】

ところで、テクスチャ(texture)とは、一般に、物の表面の質感・手触りなどを指す概念であるが、本明細書では、静止画を構成するスプライト画像データや、動画一フレームを構成する画像データや、三角形や四角形などの描画プリミティブ(primitive)に貼り付ける画像データだけでなく、デコード後の画像データも含む概念として使用している。そして、内蔵V R A M 7 1 の内部で、画像データをコピーする(以下、便宜上、移動と称する)場合には、テクスチャ設定系コマンドのSETINDEXコマンドによって、移動元の画像データをテクスチャとして設定した上で、SPRITEコマンドを実行することになる。

【 0 2 0 1 】

なお、SPRITEコマンドの実行により、移動元のSource画像データが、形式上は、図 1 1 (c) に示す仮想描画空間に描画されるが、表示装置に実際に描画される仮想描画空間内の描画領域と、フレームバッファとなるインデックス空間との対応関係を、予め環境設定コマンド(SETDAVR, SETDAVF)や、テクスチャ設定系コマンド(SETINDEX)によって設定しておけば、例えば、SPRITEコマンドによる仮想描画空間への描画により、所定のインデックス空間(フレームバッファ)には、移動元のSource画像データが描画されることになる(図 1 1 (c) 参照)。

【 0 2 0 2 】

何れにしても、本実施例では、内蔵V R A M 7 1 が、A A C 領域(a1,a2) とページ領域(b) と任意領域(c) に大別され、各々に、適当数のインデックス空間を確保することができ、各インデックス空間は、各領域(a)(b)(c) ごとに独立のインデックス番号によって特定される。インデックス番号は、例えば、1 バイト長であり、(内部回路によって自動付与される A A C 領域(a) を除いた) ページ領域(b) と任意領域(c) については、0 ~ 2 5 5 の範囲で演出制御C P U 6 3 が、インデックス番号を自由に付与することができる。

【 0 2 0 3 】

そこで、本実施例では、図 1 1 (a) に示す通り、表示装置D S 1 用として、任意領域(c) に、一対のフレームバッファF B aを確保して、ダブルバッファ構造の双方に、インデックス番号2 5 5, 2 5 4を付与している。すなわち、メイン表示装置D S 1 用のフレームバッファF B aとして、トグル的に切り換えて使用されるインデックス空間2 5 5 と、インデックス空間2 5 4を確保している。特に限定されないが、このインデックス空間2

55, 254は、表示装置DS1の横方向ピクセル数に対応して、水平サイズ1280とされている。なお、各ピクセルは、ARGB情報32bitで特定されるので、水平サイズ1280は、 $32 \times 1280 = 40960 \text{ bit}$ (256bitの倍数)を意味する。

【0204】

また、表示装置DS2用として、任意領域(c)に、別の一对のフレームバッファFBbを確保して、ダブルバッファ構造の双方にインデックス番号252, 251を付与している。すなわち、サブ表示装置DS2用のフレームバッファFBbとして、インデックス空間252と、インデックス空間251を確保している。このインデックス空間252, 251は、表示装置DS2の横方向ピクセル数に対応して、水平サイズ480とされている。この場合も、各ピクセルは、ARGB情報32bitで特定されるので、水平サイズ480は、 $32 \times 480 = 15360 \text{ bit}$ (256bitの倍数)を意味する。

10

【0205】

なお、フレームバッファFBa, FBbを任意領域(c)に確保するのは、任意領域(c)には、32バイト (= 256bit = 8ピクセル分)の倍数として、任意の水平サイズに設定することができ、上記のように、表示装置DS1, DS2の水平ピクセル数に一致させれば、確保領域に無駄が生じないからである。一方、ページ領域(b)には、128ピクセル×128ラインの単位空間の整数倍の水平/垂直サイズしか設定できない。

【0206】

但し、任意領域(c)に確保される二次元のインデックス空間は、その垂直サイズが固定値(例えば、2048ライン)となっている。そのため、フレームバッファFBaにおいて、水平サイズ1280×垂直サイズ1024の領域だけが、メイン表示装置DS1にとって有効データ領域となる。この点は、サブ表示装置DS2についても同様であり、フレームバッファFBbにおいて、水平サイズ480×垂直サイズ800の領域だけが、サブ表示装置DS2にとって有効データ領域となる(図11(c), 図20(e)参照)。

20

【0207】

上記の点は更に後述するが、何れにしても、フレームバッファFBa, FBbは、描画回路76にとっての描画領域として、各ダブルバッファ(255/254, 252/251)が交互に使用され、また、表示回路74A, 74Bにとっての表示領域として、各ダブルバッファ(255/254, 252/251)が交互に使用される。なお、本実施例では、表示ピクセルの深度情報を記憶するZバッファを使用しないので欠番(253)が生じるが、Zバッファを使用する場合には、任意領域(c)におけるインデックス番号253, 250のインデックス空間253, 250が、表示装置DS1と表示装置DS2のためのZバッファとなる。

30

【0208】

また、本実施例では、フレームバッファFBa, FBbが確保された任意領域(c)に、追加のインデックス空間(メモリ領域)を確保する場合には、0から始まるインデックス番号を付与するようにしている。何ら限定されないが、本実施例では、キャラクタやその他の静止画で構成された演出画像を、必要に応じて、適宜な回転姿勢で表示画面の一部に出現させる予告演出用の作業領域として、任意領域(c)に、インデックス空間(0)を確保している。

40

【0209】

但し、作業領域の使用は必須ではなく、また、任意領域(c)に代えて、ページ領域(b)に作業領域としてのインデックス空間を確保しても良い。ページ領域(b)を使用すれば、水平サイズ128 (= 4096bit)×垂直サイズ128の正方形の単位空間の倍数寸法のインデックス空間を確保できるので、小型の演出画像を扱うには好適である。

【0210】

ところで、本実施例では、背景画も含め動画で構成されており、画像演出は、ほぼ動画のみで実現されている。特に、変動演出時には、多数(通常10個以上)の動画が同時に描画されている。これらの動画は、何れも、一連の動画フレームとして、圧縮状態でCGROM55に格納されているが、Iフレームのみで構成されたIストリーム動画と、Iフ

50

フレームとPフレームとで構成されたIPストリーム動画とに区分される。ここで、Iフレーム(Intra coded frame)とは、他画面とは独立して、入力画像をそのまま圧縮するフレームを意味する。一方、Pフレーム(Predictive coded frame)とは、前方向予測符号化を行うフレームを意味し、時間的に過去に位置するIフレームまたはPフレームが必要となる。

【0211】

そこで、本実施例では、IPストリーム動画については、旧データの破壊が懸念されるAAC領域(a)ではなく、ページ領域(b)に展開している。すなわち、水平サイズ128×垂直サイズ128の倍数寸法のインデックス空間を確保可能なページ領域(b)に、多数のインデックス空間($IDX_0 \sim IDX_N$)を確保して、一連の動画フレームは、各動画MV i に対応する、常に同一のインデックス空間 IDX_i を使用してデコードするようにしている。すなわち、動画MV1はインデックス空間 IDX_1 に展開され、動画MV2はインデックス空間 IDX_2 に展開され、以下同様に、動画MV i はインデックス空間 IDX_i に展開されるよう構成されている。

10

【0212】

動画MV i について、更に具体的に説明すると、SETINDEXコマンドによって、「IPストリーム動画MV i のデコード先は、ページ領域(b)におけるインデックス番号 i のインデックス空間(i)である」と予め指定した上で、IPストリーム動画MV i の動画フレームを取得するTXLOADコマンドを実行させている。

【0213】

すると、TXLOADコマンドが特定するCGROM55上の動画フレーム(一連の動画フレームの何れか)が、まず、AAC領域(a)に取得され、その後、自動的に起動するGDEC(グラフィックスデコーダ)75によって、ページ領域(b)のインデックス空間(i)に、取得した動画フレームがデコードされて展開されることになる。

20

【0214】

一方、本実施例では、Iストリーム動画については、静止画と同一扱いとしており、SETINDEXコマンドによって、「Iストリーム動画MV j のデコード先は、第一AAC領域(a1)である」と指定して、TXLOADコマンドを実行させる。その結果、動画フレームは第一AAC領域(a1)に取得され、その後、自動的に起動するGDEC75が、第一AAC領域(a1)にデコードデータを展開している。先に説明した通り、AAC領域(a)のインデックス空間は、自動的に生成されるので、インデックス番号を指定する必要はない。なお、インデックス空間に必要となる展開ボリューム、つまり、デコードされたテクスチャ(動画フレーム)の水平サイズと垂直サイズは、展開先がAAC領域(a)か、ページ領域(b)かに拘らず、TXLOADコマンドによって特定される。

30

【0215】

ところで、IPストリーム動画MV i やIストリーム動画MV j は、一般にN枚の動画フレーム(IフレームやPフレーム)で構成されている。そのため、TXLOADコマンドでは、例えば、 k 枚目($1 \leq k \leq N$)の動画フレームが記憶されているCGROM55のSourceアドレスと、展開後の水平・垂直サイズなどを指定することになる。何ら限定されないが、静止画を殆ど使用しない実施例では、内蔵VRAM71のアドレス空間48Mバイトの大部分(30Mバイト程度)をページ領域(b)に割り当てている。そして、静止画を殆ど使用しない実施例では、AAC領域として、第一AAC領域(a1)だけを確保し、第二AAC領域(a2)を確保せず、また、前記したAAC領域のキャッシュヒット機能も活用しない。

40

【0216】

なお、圧縮動画データのデコード処理を高速化するため、専用のGDEC(グラフィックスデコーダ)回路を設けることも考えられる。そして、専用のGDEC回路をVDP回路52に内蔵させれば、N枚の圧縮動画フレームで構成された圧縮動画データのデコード処理において、動画圧縮データの先頭アドレスをGDEC回路に指示すれば足りるので、N枚の圧縮動画フレームについて、1枚ごとに先頭アドレスを指定する必要がなくなる。

50

【 0 2 1 7 】

しかし、このような専用の G D E C 回路を、圧縮アルゴリズム毎に複数個内蔵させるのでは、V D P 回路 5 2 の内部構成が更に複雑化する。そこで、本実施例では、ソフトウェア G D E C とし、I P ストリーム動画、I ストリーム動画、静止画、その他 α 値などのデータについて、各圧縮アルゴリズムに対応するソフトウェア処理によってデコード処理を実現している。なお、ハードウェア処理とソフトウェア処理の処理時間差は、あまり問題にならず、処理時間が問題になるのは、もっぱら、C G R O M 5 5 からのアクセス (R E A D) タイムである。

【 0 2 1 8 】

続いて、図 7 (a) に戻って説明を続けると、データ転送回路 7 2 は、V D P 回路内部のリソース (記憶媒体) と外部記憶媒体を、転送元ポート又は転送先ポートとして、これらの間で D M A (Direct Memory Access) 的にデータ転送動作を実行する回路である。図 1 2 は、このデータ転送回路 7 2 の内部構成を、関連する回路構成と共に記載したブロック図である。

【 0 2 1 9 】

図 1 2 に示す通り、データ転送回路 7 2 は、ルータ機能を有する統合接続バス I C M を経由して、C G R O M 5 5、D R A M 5 4、及び、内蔵 V R A M 7 1 とデータを送受信するように構成されている。なお、C G R O M 5 5 と D R A M 5 4 は、C G バス I F 部 8 2 や、D M A M I F 部 8 3 を経由してアクセスされる。

【 0 2 2 0 】

一方、C P U 回路 5 1 は、データ転送回路 7 2 に内蔵された転送ポートレジスタ T R _ P O R T を経由して、描画回路 7 6 やプリローダ 7 3 にディスプレイリスト D L を発行している。なお、C P U 回路 5 1 とデータ転送回路 7 2 は、双方向に接続されているが、ディスプレイリスト D L の発行時には、転送ポートレジスタ T R _ P O R T は、ディスプレイリスト D L を構成する一単位 of データを受け入れるデータ書き込みポートとして機能する。なお、転送ポートレジスタ T R _ P O R T の書き込み単位 (一単位データ長) は、C P U バス制御部 7 2 d の F I F O 構造に対応して 3 2 b i t となる。

【 0 2 2 1 】

図示の通り、演出制御 C P U 6 3 は、C P U I F 部 8 1 を経由して、転送ポートレジスタ T R _ P O R T を W R I T E アクセスできる一方、D M A C 回路 6 0 を活用する場合には、D M A C 回路 6 0 が、転送ポートレジスタ T R _ P O R T を直接的に W R I T E アクセスすることになる。そして、転送ポートレジスタ T R _ P O R T に書込まれた一連の指示コマンド (つまり、ディスプレイリスト D L を構成する指示コマンド列) は、3 2 b i t 単位で、F I F O 構造 (3 2 b i t $\times$ 1 3 0 段) の F I F O バッファを内蔵した C P U バス制御部 7 2 d に、自動蓄積されるよう構成されている。

【 0 2 2 2 】

また、このデータ転送回路 7 2 は、3 チャンネル C h A ~ C h C の伝送経路で、データの送受信動作を実行しており、F I F O 構造 (6 4 b i t $\times$ N 段) の F I F O バッファを有する C h A 制御回路 7 2 a (N = 1 3 0 段) と、C h B 制御回路 7 2 b (N = 1 0 2 6 段) と、C h C 制御回路 7 2 c (N = 1 3 0 段) と、を有している。

【 0 2 2 3 】

そして、C P U バス制御部 7 2 d に蓄積された指示コマンド列 (ディスプレイリスト D L) は、演出制御 C P U 6 3 によるデータ転送レジスタ R G i j (各種制御レジスタ 7 0 の一種) への設定値に基づき、描画回路 7 6 か、又はプリローダ 7 3 に転送される。矢印で示す通り、ディスプレイリスト D L は、C P U バス制御部 7 2 d から、C h B 制御回路 7 2 b の F I F O バッファを経由して描画回路 7 6 に転送され、C h C 制御回路 7 2 c の F I F O バッファを経由してプリローダ 7 3 に転送されるよう構成されている。

【 0 2 2 4 】

なお、本実施例では、C h B 制御回路 7 2 b と、C h C 制御回路 7 2 b は、ディスプレイリスト D L の転送動作に特化されており、C P U バス制御部 7 2 d の F I F O バッファ

10

20

30

40

50

に蓄積されたデータは、C h B 制御回路 7 2 b か、C h C 制御回路 7 2 c の F I F O バッファを経由して、各々、ディスプレイリスト D L の一部として、描画回路 7 6 かプリローダ 7 3 のディスプレイリストアナライザ (Display List Analyzer) に転送される。

【 0 2 2 5 】

そして、描画回路 7 6 は、転送されたディスプレイリスト D L に基づいた描画動作を開始する。一方、プリローダ 7 3 は、転送されたディスプレイリスト D L に基づき、必要なプリロード動作を実行する。プリロード動作によって C G R O M 5 5 の C G データが、D R A M 5 4 に確保されたプリロード領域に先読みされ、TXLOAD コマンドなどに関して、テクスチャの Source アドレスを変更したディスプレイリスト D L (以下、書換えリスト D L ' という) が、D R A M 5 4 に確保された D L バッファ領域 B U F ' に保存される。

10

【 0 2 2 6 】

一方、C G R O M 5 5、D R A M 5 4、及び、内蔵 V R A M 7 1 などの記憶媒体の間のデータ転送には、C h A 制御回路 7 2 a と、接続バスアクセス調停回路 7 2 e とが機能する。また、インデックステーブル I D X T B L のアドレス情報が必要になる内蔵 V R A M 7 1 のアクセス時には、I D X T B L アクセス調停回路 7 2 f が機能する。具体的に確認すると、C h A 制御回路 7 2 a は、例えば、(a) C G R O M 5 5 の圧縮データを内蔵 V R A M 7 1 に転送する場合や、(b) C G R O M 5 5 の圧縮データをプリロード (先読み) して外付け D R A M 5 4 に転送する場合や、(c) プリロード領域の先読みデータを、内蔵 V R A M 7 1 に転送する場合に機能する。

【 0 2 2 7 】

20

ここで、C h A 制御回路 7 2 a は、C h B 制御回路 7 2 b や C h C 制御回路 7 2 c と並行して動作可能に構成されており、上記した (a) ~ (c) の動作は、ディスプレイリスト D L の発行動作 (図 2 0 の S T 8、図 2 5 の P T 1 1) や、書換えリスト D L ' の転送動作 (図 2 5 の P T 1 0) と並行して実行可能となる。また、C h B 制御回路 7 2 b と C h C 制御回路 7 2 c も、同時実行可能であり、例えば、C h B 制御回路 7 2 b が機能する図 2 5 のステップ P T 1 0 の処理と、C h C 制御回路 7 2 c が機能するステップ P T 1 1 の処理は並行して実行可能である。但し、転送ポートレジスタ T R _ P O R T は単一であるので、何れか一方 (7 2 b / 7 2 c) が転送ポートレジスタ T R _ P O R T を使用しているタイミングでは、他方 (7 2 c / 7 2 b) は、転送ポートレジスタ T R _ P O R T をアクセスすることはできない。

30

【 0 2 2 8 】

なお、C h A 制御回路 7 2 a の動作時に、接続バスアクセス調停回路 7 2 e は、統合接続バス I C M を経由する各記憶素子 (C G R O M 5 5、D R A M 5 4) とのデータ伝送を調停 (Arbitration) している。一方、I D X T B L アクセス調停回路 7 2 f は、インデックステーブル I D X T B L に基づいて C h A 制御回路 7 2 a を制御することで、内蔵 V R A M 7 1 とのデータ交信を調停している。なお、プリローダ 7 3 が機能する実施例の場合、D R A M 5 4 の D L バッファ領域 B U F ' に保存された書換えリスト D L ' は、接続バスアクセス調停回路 7 2 e と、C h B 制御回路 7 2 b を経由して描画回路 7 6 に転送されることになる (図 2 6 (b) 参照)。

【 0 2 2 9 】

40

上記の通り、本実施例のデータ転送回路 7 2 は、各種の記憶リソース (Resource) から任意に選択されたデータ転送元と、各種の記憶リソース (Resource) から任意に選択されたデータ転送先との間で、高速のデータ転送を実現している。図 1 2 から確認される通り、データ転送回路 7 2 が機能する記憶リソースには、内蔵 V R A M 7 1 だけでなく、C P U I F 部 5 6、C G バス I F 部 8 2、D R A M I F 部 8 3 を経由する外部デバイスも含まれる。

【 0 2 3 0 】

そして、C G R O M 5 5 から 1 回に取得すべきデータ量 (メモリシーケンシャル R E A D) のように、C h A 制御回路 7 2 a が機能する外部デバイスとのデータ転送量は、C h B 制御回路 7 2 b や C h C 制御回路 7 2 c が機能するディスプレイリスト D L の場合と比較

50

して膨大であり、互いに、データ転送量が大きく相違する。

【0231】

ここで、これら各種のデータ転送について、単位データ量や総転送データ量を、細かく設定可能に構成することも考えられるが、これでは、VDP内部の制御動作が煩雑化し、円滑な転送動作が阻害される。そこで、本実施例では、データ転送の最低データ量Dminを一意に規定すると共に、総転送データ量を、最低データ量Dminの整数倍となるよう制限することで、高速で円滑なデータ転送動作を実現している。特に限定されないが、実施例のデータ転送回路72では、最低データ量Dmin(単位データ量)を、256バイトとし、総転送データ量を、この整数倍に制限することになっている。

【0232】

したがって、32bit毎にCPUバス制御部72dのFIFOバッファに蓄積されたディスプレイリストDLの指示コマンド列は、その総量が最低データ量Dminに達したタイミングで、ChB制御回路72bやChC制御回路72bに転送され、各々のFIFOバッファに蓄積されることになる。

【0233】

ディスプレイリストDLは、一連の指示コマンドで構成されているが、本実施例では、転送ポートレジスタTR_PORTの書込み単位(32bit)に対応して、ディスプレイリストDLは、コマンド長が、32bitの整数N倍(N>0)の指示コマンドのみで構成されている。したがって、データ転送回路72を経由して、ディスプレイリストDLの指示コマンドを受ける描画回路76やプリローダ73は、素早く円滑にコマンド解析処理(DL analyze)を開始することができる。なお、32bitの整数N倍のコマンド長は、その全てが有意ビットとは限らず、無意ビット(Don't care bit)も含んで、32bitの整数N倍という意味である。

【0234】

次に、プリローダ73について説明する。先に概略説明した通り、プリローダ73は、データ転送回路72(ChC制御回路72b)から転送されたディスプレイリストDLを解釈して、TXLOADコマンドが参照しているCGROM55上のCGデータを、予め、DRAM54のプリロード領域に転送する回路である。また、プリローダ73は、このTXLOADコマンドに関し、CGデータの参照先を、転送後のアドレスに書換えた書換えリストDL'を、DRAM54のDLバッファBUF'に記憶する。なお、DLバッファBUF'や、プリロード領域は、CPUリセット後の初期処理時(図20のST3)に、予め確保されている。

【0235】

そして、書換えリストDL'は、描画回路76の描画動作の開始時に、データ転送回路72の接続バスアクセス調停回路72eや、ChB制御回路72bを経由して、描画回路76のディスプレイリストアナライザ(DL Analyzer)に転送される。そして、描画回路76は、書換えリストDL'に基づいて、描画動作を実行する。したがって、TXLOADコマンドなどに基づき、本来は、CGROM55から取得すべきCGデータが、プリロード領域に先読みされているプリロードデータとして、DRAM54のプリロード領域から取得される。この場合、プリロードデータは、上書き消去されない限り、繰り返し使用可能であり、プリロード領域にキャッシュヒットしたプリロードデータは、繰り返し再利用される。

【0236】

本実施例では、十分な記憶容量を有する外付けDRAM54にプリロード領域を設定しているので、上記のキャッシュヒット機能が有効に機能する。また、外付けDRAM54の記憶容量が大きいので、例えば、複数フレーム分のCGデータを一気にプリロードする多重プリロードも可能である。すなわち、プリローダ73の動作期間に関し、CGデータの先読み動作を含んだ一連のプリロード動作の動作期間を、VDP回路52の間欠動作時の動作周期δの整数倍の範囲内で、適宜に設定することで多重プリロードが実現される。

【0237】

但し、以下の説明では、便宜上、多重プリロードのない実施例について説明するので、

10

20

30

40

50

実施例のプリローダ73は、一動作周期(δ)の間に、一フレーム分のプリロード動作を完了することにする。なお、図20に関し後述するように、本実施例では、VDP回路52の間欠動作時の動作周期 δ は、表示装置DS1の垂直同期信号の2倍周期である1/30秒である。

【0238】

次に、描画回路76は、データ転送回路72を経由して転送されたディスプレイリストDLや書換えリストDL'の指示コマンド列を順番に解析して、グラフィックスデコーダ75やジオメトリエンジン77などと協働して、VRAM71に形成されたフレームバッファに、各表示装置DS1, DS2の一フレーム分の画像を描画する回路である。

【0239】

上記の通り、プリローダ73を機能させる実施例では、書換えリストDL'のCGデータの参照先は、CGROM55ではなく、DRAM54に設定されたプリロード領域である。そのため、描画回路76による描画の実行中に生じるCGデータへのシーケンシャルアクセスを迅速に実行することができ、動きの激しい高解像度の動画についても問題なく描画することができる。すなわち、本実施例によれば、CGROM55として、安価なSATAモジュールを活用しつつ、複雑高度な画像演出を実行することができる。

【0240】

ところで、プリローダ73を機能させるか否かに拘らず、ディスプレイリストDLや書換えリストDL'の転送時に、仮にデータ化けが発生しても、描画回路76は、これを検出することはできない。また、ノイズなどの影響で、描画回路76がフリーズして、内蔵VRAM71のREAD/WRITEアクセスが異常停止することも有り得る。そこで、本実施例では、描画回路76が不合理な指示コマンド(analyze不能のビット並び)を検出した場合や、一定期間、内蔵VRAM71に対してREAD/WRITEアクセスがない場合には、描画異常割込みを発生させるよう構成されている(描画異常割込みが許可状態)。なお、この点は、図20(d)に関して後述する。

【0241】

次に、図11に関して説明した通り、VRAM71の任意領域(c)に確保されたフレームバッファFBは、描画領域と読出領域に区分されたダブルバッファであり、2つの領域を、交互に用途を切り替えて使用する。また、本実施例では、2つの表示装置DS1, DS2が接続されているので、図11に示す通り、2区画のフレームバッファFBa/FBbが確保されている。したがって、描画回路76は、表示装置DS1用のフレームバッファFBaの描画領域(書込み領域)に、一フレーム分の画像データを描画すると共に、表示装置DS2用のフレームバッファFBaの描画領域(書込み領域)に、一フレーム分の画像データを描画することになる。なお、描画領域に、画像データが書込まれているとき、表示回路74は、他方の読出領域(表示領域)の画像データを読み出して、各表示装置DS1, DS2に出力する。

【0242】

表示回路74は、フレームバッファFBa, FBbの画像データを読み出して、最終的な画像処理を施した上で出力する回路である(図13(a)参照)。最終的な画像処理には、例えば、画像を拡大/縮小するスケーラのスケーリング処理、微妙なカラー補正処理、画像全体の量子化誤差が最小化するディザリング処理が含まれている。そして、これらの画像処理を経たデジタルRGB信号(合計24bit)が、通常は、水平同期信号HSや垂直同期信号VSなどと共に出力される。

【0243】

図13(a)に示す通り、本実施例では、上記の動作を並列的に実行する3系統の表示回路A/B/Cが設けられており、各表示回路74A~74Cは、各々に対応するフレームバッファFBa/FBb/FBcの画像データを読み出して、上記の最終画像処理を実行する。但し、本実施例では、表示装置は2個であるので、フレームバッファFBcは確保されておらず、表示回路74Cが機能することもない。

【0244】

10

20

30

40

50

ここで、メイン表示装置 D S 1 の仕様を確認すると、メイン表示装置 D S 1 は、左右方向に隣接する奇数ピクセル (O D D) と偶数ピクセル (E V E N) を、別々の L V D S (Low Voltage Differential Signaling) 伝送路を通して、受信部 R V (R V a + R V b) で受ける必要がある。また、メイン表示装置 D S 1 の動作クロック C K の周波数は、 $40 \sim 70 \text{ MHz}$ 程度 (典型値 54 MHz) にする必要があり、 $(W T h + 640) \times (W T v + 1024) / 54 \text{ MHz} = 1 / 60 \text{ 秒}$ となるよう、水平 / 垂直方向の待機時間 $W T h / W T v$ を設定する必要がある。更に、メイン表示装置 D S 1 に対して画像データ (O D D / E V E N 信号) を出力するタイミングでは、アクティブレベルのデータ有効信号 E N A B を出力する必要がある。

【 0 2 4 5 】

10

そこで、表示回路 7 4 A は、上記した全ての仕様を満たす信号を出力する必要がある。図 1 4 (a) ~ 図 1 4 (e) は、表示回路 7 4 A から出力される各種の信号を図示したものである。まず、ドットクロック (L V D S クロック) D C K の周波数を決定する必要があるが、本実施例では、メイン表示装置 D S 1 を、典型値 54 MHz の動作クロック C K で動作させるので、これに対応して、(V D P 回路 5 2 における) 設計上のドットクロック D C K を、 108 MHz ($= 54 \times 2$) としている。

【 0 2 4 6 】

それは、横 1280 ドット $\times$ 縦 1024 ラインの表示パネル L C D (図 1 4 (f) 参照) において、左右に隣接する 2 つの画素が、 54 MHz の動作クロック C K に同期して一気に処理されるので、実質的には、 108 MHz のドットクロック D C K で動作するのと等価だからである。

20

【 0 2 4 7 】

そして、表示回路 7 4 A の動作を規定する各種の動作パラメータは、周波数 108 MHz のドットクロック D C K に基づいて規定される。まず、 $(W T h + 640) \times (W T v + 1024) / 54 \text{ MHz} = 1 / 60 \text{ 秒}$ となるよう、水平 / 垂直方向の待機時間 $W T h / W T v$ を設定する必要があるが、表示回路 7 4 A についての動作パラメータ $W T h$, $W T v$ としては、 $(W T h + 1280) \times (W T v + 1024) / 108 \text{ MHz} = 1 / 60 \text{ 秒}$ を満たす必要がある。

【 0 2 4 8 】

また、水平 / 垂直方向の待機時間 $W T h / W T v$ について、表示装置 D S 1 の仕様上の許容範囲も考慮する必要がある。そこで、本実施例では、水平待機時間 $W T h$ を、 108 MHz のドットクロック D C K でカウントして、 382 クロックとし、垂直待機時間 $W T v$ を、 59 ラインとしている。したがって、一フレームの画像更新に要する時間は、 $(382 + 1280) \times (59 + 1024) / 108 \text{ MHz} = 16.666 \text{ mS}$ となり、フレームレート F R (Frame Rate) が $1 / 60 \text{ 秒}$ となる。

30

【 0 2 4 9 】

この関係は、表示装置 D S 1 の更新周期 F R [秒] を規定するものであり、後述するドットクロック D C K の周波数 F_{dot} 、水平同期のサイクル数 T H c、及び、垂直同期のライン数 T V l を使用すると、 $F R = T H c \times T V l / F_{dot}$ となる。ここで更新周期 F R が長すぎると、フリッカなどの異常が生じるおそれがあり、一方、更新周期 F R が短すぎると、表示装置が正常な更新処理を実行できないので、 $0.95 / 60 < F R [\text{秒}] < 1.05 / 60$ の範囲に規定すべきである。

40

【 0 2 5 0 】

この設定に対応して、データ有効信号 E N A B は、各ラインの画像更新動作において、 382 クロックに対応する待機時間 $W T h$ ($= 382 / 108 \text{ MHz}$) は、L レベルであり、その後、 1280 クロックに対応するアクティブ区間 ($= 1280 / 108 \text{ MHz}$) は、アクティブレベル (H) となる (図 1 4 (c))。なお、図 1 4 (d) と、図 1 4 (e) に示す通り、データ有効信号 E N A B のアクティブ区間では、一ライン 1280 ドットの画素について、所定の時間 ($11.85 \mu S = 1280 / 108 \text{ MHz}$) で画像更新動作が完了するよう、画像データが出力される。すなわち、 1280 個のドットクロック

50

D C Kに同期して、1280個の画素データ(Pixel Data)が出力される。なお、表示装置D S 1には、諧調度 $2^8 \times 2^8 \times 2^8$ のフルカラー画像が表示されるので、1画素の画素データは、 3×8 ビット長である。

【0251】

ところで、本実施例では、メイン表示装置D S 1では必要とはされないものの、垂直同期信号V Sと水平同期信号H Sを出力している。垂直同期信号V Sは、垂直待機時間W T_vの時間内に出力され、水平同期信号H Sは、水平待機時間W T_hの時間内に出力される。なお、図14(a)と図14(b)には、理解の便宜上、各々の動作周期が示されている。また、図14(f)には、 $T H \times T V (= 1083 \times 1662 \text{ クロック})$ で特定される矩形枠の左上と右下の頂点に、○印を示して「表示動作の開始」「表示動作の終了」と記載されているが、この○印は、1/60秒ごとに開始される表示回路74Aの動作周期を規定する「Vブランク開始」を意味する。表示動作を規定する 1083×1662 クロックが、1/60秒に一致するので、「表示動作の開始」から「表示動作の終了」までの経過時間(表示回路74Aの動作周期)は1/60秒である。なお、「Vブランク開始」については、図20に基づいて後述する。

10

【0252】

図13に戻って説明を続けると、実施例の出力選択部79は、表示回路74Aの出力信号を、108MHzのドットクロックD C Kを2分周するデュアルリンクに分割して、各々、L V D S部80aと、L V D S部80bに伝送している(図13(a)、図5参照)。そして、各L V D S部80a, 80bは、画像データ(合計24bitのデジタルR G B信号)を、第1と第2のL V D S信号に変換し、これにクロック信号($54 \text{ MHz} = 108/2$)を伝送する一対を加えて、全五対の差動信号L V D S 1, L V D S 2として、2つの経路を経由して、メイン表示装置D S 1に出力している(図13(a)図4参照)。

20

【0253】

先に説明した通り、メイン表示装置D S 1では、一画素分のO D D信号と、隣接する一画素分のE V E N信号とが、同じタイミングで処理されるので、実質的な動作クロックC Kの周波数は、表示回路74Aが出力する108MHzのドットクロックD C Kに一致する。

【0254】

以上、メイン表示装置D S 1に伝送すべき画像を生成する表示回路74Aについて説明したが、表示回路74Bは、サブ表示装置D S 2に伝送すべき画像データを生成している。表示回路74Bが出力するデジタルR G B信号は、出力選択部79を経由してデジタルR G B部80cに供給され、垂直同期信号V Sや水平同期信号H Sと共に、サブ表示装置D S 2に伝送される。

30

【0255】

なお、同期信号V S, H Sと共に、データ有効信号E N A BもデジタルR G B部80cを経由して伝送されるが、これら各信号は、L V D S伝送路の場合のような離散値ではなく、連続信号として伝送されるのは勿論である(図13(a)参照)。

【0256】

ところで、本実施例の場合、各表示回路74A~74Bには、表示タイミングに対して、表示データの生成が間に合わなかったUnderrun異常をカウントするアンダーランカウンタU R C N T a ~ U R C N T c が設けられている(図14参照)。そして、このアンダーランカウンタU R C N T a ~ U R C N T cのカウント値は、アンダーラン異常が発生するとVBLANK毎に自動的に加算されるよう構成されている。

40

【0257】

次に、S M C部78(Serial Management Controller)は、L E DコントローラとM o t o rコントローラとを内蔵した複合コントローラである。そして、外部基板に搭載したL E D/M o t o rドライバ(シフトレジスタを内蔵するドライバI C)に対して、クロック信号に同期してL E D駆動信号やモータ駆動信号を出力する一方、適宜なタイミングで、ラッチパルスを出力可能に構成されている。

50

【 0 2 5 8 】

上記したVDP回路52の内部回路及びその動作に関し、内部回路が実行すべき動作内容は、演出制御CPU63が、制御レジスタ群70に設定する動作パラメータ（設定値）で規定され、VDP回路52の実行状態は、制御レジスタ群70の動作ステータス値をREADすることで特定できるようになっている。制御レジスタ群70は、演出制御CPU63のメモリマップ上、1Mバイト程度のアドレス空間（0～FFFFFFFH）にマッピングされた多数のVDPレジスタRGijを意味し、演出制御CPU63は、CPUIF部81を経由して動作パラメータのWRITE（設定）動作と、動作ステータス値のREAD動作を実行するようになっている（図7（b）参照）。

【 0 2 5 9 】

制御レジスタ群70（VDPレジスタRGij）には、割り込み動作などシステム動作に関する初期設定値が書込まれる「システム制御レジスタ」と、内蔵VRAMにAAC領域(a)やページ領域(b)を確定する共に、インデックステーブルIDXTBLを構築又は変更などに関する「インデックステーブルレジスタ」と、演出制御CPU63とVDP回路52の内部回路との間のデータ転送回路72によるデータ転送処理に関する設定値などが書込まれる「データ転送レジスタ」と、グラフィックスデコーダ75の実行状況を特定する「GDECレジスタ」と、指示コマンドや描画回路76に関する設定値が書込まれる「描画レジスタ」と、プリローダ73の動作に関する設定値が書込まれる「プリローダレジスタ」と、表示回路74の動作に関する設定値が書込まれる「表示レジスタ」と、LEDコントローラ（SMC部78）に関する設定値が書込まれる「LED制御レジスタ」と、Motorコントローラ（SMC部78）に関する設定値が書込まれる「モータ制御レジスタ」と、音声回路SNDに関する設定値が書込まれる「音声制御レジスタSRG」と、が含まれている。但し、本実施例では、音声回路SNDを活用していない。

【 0 2 6 0 】

何れにしても、以下の説明では、制御レジスタ群70に含まれる一又は複数のレジスタRGijを、上記した個別名称で呼ぶ場合と、VDPレジスタRGijと総称することがあるが、何れにしても、演出制御CPU63は、所定のVDPレジスタRGijに、適宜な設定値を書込むことで、VDP回路52の内部動作を制御している。具体的には、演出制御CPU63は、適宜な時間間隔で更新するディスプレイリストDLと、所定のVDPレジスタRGijへの設定値に基づいて、所定の画像演出を実現している。なお、この実施例では、ランプ演出やモータ演出も含め、演出制御CPU63が担当するので、VDPレジスタRGijには、LED制御レジスタやモータ制御レジスタも含まれる。

【 0 2 6 1 】

続いて、上記したCPU回路51とVDP回路52とを内蔵した複合チップ50によって実現される、画像演出、音声演出、モータ演出、及び、ランプ演出の統一的な演出制御動作について説明する。

【 0 2 6 2 】

本実施例の場合、複合チップ50の動作は、電源投入や異常リセットによるパワーオンリセット動作（図15（a）参照）によって開始され、初期設定プログラム（ブートプログラム）PinItによる初期設定処理（SP1～SP9）を経て、演出制御プログラムMain及び割り込み処理プログラム（ベクタハンドラ）Voptによるメイン制御処理（SP10）に移行するよう構成されている。メイン制御処理については、図17（a）に、その導入部の処理内容が記載されており、本体部の処理内容が図20（a）に記載されている。なお、図17のステップSP27の処理は、図20（a）のステップST1～ST3の処理を含んでいる。

【 0 2 6 3 】

以上を踏まえて、パワーオンリセット動作について図15（a）に基づいて説明する。電源投入時など、システムリセット信号SYSが所定の期間（アサート期間）Lレベルを維持すると、全ての動作制御レジスタREGや、全てのVDPレジスタRGijは、所定のデフォルト値に自動設定される。そして、その後、システムリセット信号SYSがHレ

10

20

30

40

50

ベル（ネゲートレベル）に変化すると、本実施例では、最初に、アドレス空間CS0の先頭番地からの32bitデータが、演出制御CPU63のプログラムカウンタPCに設定され、これに続く32bitデータが、スタックポインタSPに設定されるよう構成されている。なお、図9や図16(c)では、プログラムカウンタPCやスタックポインタSPの初期値を記憶するメモリの先頭領域をベクタテーブルVECTと称している。

【0264】

図15(b)に示す通り、このベクタテーブルVECTには、優先度と割り込み要因などを特定するベクタ番号と、アドレス情報とが対応して記憶されている。ベクタ番号は、その番号が小さいほど優先度が高いが、例えば、ベクタ番号11は、マスク不能割り込み(NMI)であって、アドレス情報として、NMI割り込み時に実行される割り込み処理プログラムの先頭アドレスが記憶されている。また、ベクタ番号64は、VDPからの内部割り込み(VDP_IRQ0)であって、アドレス情報として、VDP_IRQ0割り込み時に実行される割り込み処理プログラムの先頭アドレスが記憶されている。

10

【0265】

割り込み優先度は、図17(d)に示す通りであるので、ベクタ番号64より小さいベクタ番号の欄には、制御コマンド受信割り込みIRQ_CMDと、20μSタイマ割り込みと、1mSタイマ割り込みについて、割り込み処理プログラムの先頭アドレスが各々記憶されていることになる。一方、ベクタ番号64より大きいベクタ番号の欄には、VDP_IRQ1より優先度が低い割り込み処理プログラム(IRQ_SND, IRQ_RTCなど)の先頭アドレスが各々記憶されている。

20

【0266】

また、ベクタテーブルVECTにおいて、ベクタ番号0とベクタ番号1は、パワーオンリセット時にCPUのプログラムカウンタと、スタックポインタに自動設定されるべき、設定値が規定されている。図15(b)に示す通り、この実施例では、パワーオンリセット時(リセットアサート期間)の内部動作として、4バイトデータ「****」が、プログラムカウンタPCに設定され、4バイトデータ「++++」がスタックポインタSPに設定される。なお、「****」は、アドレス空間CS0に不揮発的に記憶されている初期設定プログラムPinIt(図15のSP1~SP9)の先頭アドレス値であり、「++++」は、内蔵RAM59に確保された、LIFO(Last-In First-Out)方式で機能するスタック領域の先端又は終端のアドレス値である。

30

【0267】

なお、本実施例では、レジスタバンクRBiを有効活用するので、割り込み処理時に、スタック領域が消費されることなく、それほどメモリ容量は必要とされない。すなわち、本実施例では、スタック領域は、専ら、関数処理や、サブルーチン処理において活用される。

【0268】

以上の動作の結果、その後、演出制御CPU63は、アドレス値「****」以降に記載された初期設定プログラムPinItを実行することになる。但し、アドレス空間CS0のメモリREAD動作は、バスステートコントローラ66(図8)の動作を規定する動作制御レジスタREGのデフォルト値(初期値)に基づいて実行される。この動作制御レジスタREGの初期値は、リセットアサート期間(システムリセット信号SYSがLレベルを維持する図6(d)に示す期間)に自動的に設定される値であり、アドレス空間CS0を、如何なるメモリデバイスで構成しても、問題なくREADアクセスできるように、最遅READアクセス動作(デフォルトアクセス動作)に設定されている。

40

【0269】

そこで、このデフォルトアクセス動作を、最適なアクセス動作に変更するべく、最初に、アドレス空間CS0に対するバスステートコントローラ66(図8)の動作を規定する所定の動作制御レジスタREGに最適値を設定する(SP1)。すなわち、初期設定プログラムPinIt(SP1~SP9)、演出制御プログラムMainB(SP10)、定数データなどを格納したPROM53をアクセスする場合のメモリREAD動作を、メモリ

50

デバイスに合わせて最適化するべく、バス幅やページアクセスの有無を設定すると共に、チップセレクト信号CS0や、READ制御信号や、WRITE 制御信号その他の動作タイミングを最適設定する（図38参照）。

【0270】

以上の設定の結果、ステップSP2以降の処理は、アドレス空間CS0に記憶されているプログラムを、最適にメモリREADして実行されることになる。そこで、次に、演出制御CPU63が、VDPレジスタRGijをアクセスする場合のREAD/WRITE アクセス動作を最適化するべく、VDPレジスタRGijに対するバスステートコントローラ66（図8）の動作を規定する所定の動作制御レジスタREGに最適値を設定する（SP2）。

【0271】

先に説明した通り、本実施例では、VDPレジスタRGijは、演出制御CPU63のアドレス空間CS7に位置付けられているので、チップセレクト信号CS7や、その他の制御信号の動作タイミングを最適設定するべく所定の動作制御レジスタREGに所定値を書込むことになる。

【0272】

続いて、特定のVDPレジスタRGijのレジスタ値を読み出して、その値が所定値（デバイスコード）か否かを判定する（SP3）。これは、VDP回路52のシステムクロックが安定化したことの確認判定である。すなわち、VDP回路52は、PLLREF端子に供給される発振器OSC2の発振出力に基づいて動作するが、このVDP回路52が、CPU回路51からの指令（つまり、VDPレジスタRGijへの設定など）を正常に受け付け可能か否かの判定である。

【0273】

そして、デバイスコードの読出し処理（SP3）によって、システムクロックが安定化したことが確認できれば、その後は、VDP回路52の正常動作を期待できるので、所定のVDPレジスタRGijに対する設定処理を実行する（SP4～SP6）。具体的には、まず、演出制御CPU63からVDPレジスタRGijをアクセスする場合のエンディアン設定（ビッグ/リトル）や、データバス幅を設定する（SP4）。

【0274】

なお、本実施例では、設定値の最上位ビット(Most significant Bit)を、VDPレジスタRGijの最上位ビットに格納するビックエンディアンに設定し、データ32バス幅を32bitに設定するが、これらの設定値が、仮に、デフォルト値と同じであれば、これらの設定処理を省略することもできる（以下の処理も同様）。

【0275】

次に、VDP回路からCPU回路への内部割込み（VDP_IRQ0, VDP_IRQ1, VDP_IRQ2, VDP_IRQ3）について、割込み有意レベル（H/L）を設定し、PLLREF端子（図7（a）参照）へのクロック信号（リファレンスクロック）に基づいてDDR（DRAM54）を機能させる旨を設定する（SP4）。なお、PLLREF端子に、発振器OSC2のリファレンスクロックが供給されることは図7（a）に関して説明した通りである。

【0276】

続いて、図9に示すメモリマップを実現するべく、アドレス空間CS1～CS6を定義する（SP5）。先に説明した通り、アドレス空間CS3は、音声プロセッサ27の内部レジスタに付与され、アドレス空間CS4は、RTC38の内部レジスタやSRAM39のアドレス空間に付与され、アドレス空間CS5は、外付けDRAM（DDR）54に付与され、アドレス空間CS6は、内蔵CPUのワークメモリ57に付与される。

【0277】

なお、VDPレジスタRGijが、アドレス空間CS7に割り当てられることは固定的に規定されているので、アドレス空間CS7の定義処理は不要である。また、アドレス空間CS0は、CPU回路51のメモリマップ0x00000000番地以降であることは予め固定的に規定されており、この規定を前提として、アドレス空間CS0が、CGROM55に確保されているか、その他のメモリデバイスに付与されるかは、HBTSL 端子

10

20

30

40

50

の H / L レベルで規定される。

【 0 2 7 8 】

先に説明した通り、本実施例では、HBTS L 端子 = L となっており、C G R O M 5 5 以外にアドレス空間 C S 0 が定義されていることが示されている。そして、C G R O M 5 5 以外である制御メモリ 5 3 の具体的なバス幅や、最適なアクセス動作については、ステップ S P 1 において設定済みであるので、アドレス空間 C S 0 についても、ステップ S P 5 の処理は不要である。

【 0 2 7 9 】

続いて、ステップ S P 5 の処理で定義されたアドレス空間 C S 1 ~ C S 6 について、各アドレス空間 C S i をアクセスする場合のバス幅やページアクセスの有無について、所定の動作制御レジスタ R E G に所定値を書込む (S P 6)。また、チップセレクト信号 C S i その他を最適設定するべく、所定の動作制御レジスタ R E G に所定値を書込む (S P 6)。これらの処理は、ステップ S P 1 や S P 2 の処理と同様の内容であり、バスステートコントローラ 6 6 (図 8) の動作を規定する動作制御レジスタへの書き込み処理によって、チップセレクト信号 C S i 、READ 制御信号、WRITE 制御信号、その他の動作タイミングが最適に設定される。

10

【 0 2 8 0 】

続いて、W D T 回路 5 8 にクリア信号を出力することで、異常リセットを回避する (S P 7)。これは、電源投入後、W D T 回路 5 8 が自動的に動作を開始することを考慮したものであり、この後も、繰り返し同様の処理が実行される。なお、ステップ S P 9 の処理は、サブルーチン S P 7 として制御メモリ 5 3 に格納されているが、ステップ S P 9 の終了時までは、制御メモリ 5 3 のサブルーチン S P 7 が呼び出され、ステップ S P 9 の終了後は、外付け D R A M 5 4 に転送された別のサブルーチン S P 7 ' が呼び出されて実行される。

20

【 0 2 8 1 】

続いて、アドレス空間 C S 0 に格納されているプログラムやデータのうち、図 1 5 (b) や図 1 6 (c) に示すベクタハンドラ V o p t (割込み処理プログラム)、エラー復帰処理プログラム P i r a m、演出制御プログラム M a i n B、初期値有り変数 D、及び、定数データ C を、外付け D R A M 5 4 や、内蔵 R A M 5 9 に転送する (S P 8)。なお、初期値有り変数 D とは、所定の変数領域に記憶されている初期値データを意味する。このメモリセクションの初期化処理 (S P 8) は、演出制御処理の高速化を図るため、プログラムやデータを転送する処理であり、アクセス速度に劣る R O M へのアクセスを回避するための処理である。

30

【 0 2 8 2 】

そして、次に、レジスタバンク R B i を使用する旨の設定をする (S P 9)。そのため、その後は、割込み処理時に、レジスタバンク R B 0 ~ R B 1 4 が機能することになり、割込み処理が迅速化されると共に、スタック領域の消費が緩和される。

【 0 2 8 3 】

以上の処理は、アドレス空間 C S 0 である制御メモリ 5 3 に格納されている「初期設定プログラム P i n i t」の実行によって実現される (図 1 6 (c) 参照)。そして、この初期設定プログラム P i n i t の実行が終われば、続いて、演出制御プログラム M a i n によるメイン制御処理を実行する (S P 1 0)。ここで、メイン制御処理の実行とは、ステップ S P 8 の転送処理によって、制御メモリ 5 3 から外付け D R A M 5 4 に転送された「演出制御プログラム M a i n」の実行を意味する (図 1 5 (b) 参照)。

40

【 0 2 8 4 】

メイン制御処理 (演出制御プログラム M a i n) の具体的な内容については、図 1 7 (a) や、図 2 0 (a) に基づいて説明するが、それに先行して、メモリセクションの初期化処理 (S P 8) について説明する。図 1 6 (a) に示す通り、メモリセクションの初期化処理 (S P 8) では、最初に複数チャネルの D M A C を動作停止状態に初期設定する。なお、この処理は、念のための形式的な処理に過ぎない。

50

【 0 2 8 5 】

以上の処理が終われば、所定チャンネルのDMA C i を起動させて、制御メモリ 5 3 の記憶されているベクタハンドラ V o p t (割込み処理プログラム) を、内蔵 R A M 5 9 に、ノンストップ転送方式 (図 1 0 (b 3) 参照) で DMA 転送する。本実施例では、割込み処理プログラム V o p t を内蔵 R A M 5 9 に転送するので、外付け D R A M 5 4 の異常時においても、適切な異常対応処理が可能となる。

【 0 2 8 6 】

その後の処理も同じであり、所定チャンネルのDMA C i を使用して、ノンストップ転送方式で実行され、エラー復帰処理プログラム P i r a m を内蔵 R A M 5 9 に DMA 転送する (S P 6 2) 。本実施例では、エラー復帰処理プログラム P i r a m を内蔵 R A M 5 9 に転送するので、エラー復帰処理において、周辺回路を確実にリセット状態にすることができる。例えば、エラー復帰処理プログラム P i r a m を、内蔵 R A M 5 9 以外の例えば外付け D R A M 5 4 に転送すると、エラー復帰処理時に、外付け D R A M 5 4 をリセット処理できないことになる。

10

【 0 2 8 7 】

次に、演出制御プログラム M a i n を、外付け D R A M 5 4 に DMA 転送し (S P 6 3) 、定数データ C を、外付け D R A M 5 4 に DMA 転送する (S P 6 4) 。定数データには、演出抽選に使用する抽選データや、図 2 0 (b) に示す各種の駆動データテーブルにおける、ランプ駆動データやモータ駆動データが含まれる。また、初期値の有る変数 D を、外付け D R A M 5 4 に DMA 転送するが (S P 6 5) 、これら何れも、所定チャンネルのDMA C i を使用したノンストップ転送方式で実行される。

20

【 0 2 8 8 】

最後に、外付け D R A M の変数領域 B の先頭にクリアデータを書込む (S P 6 6) 。この先頭アドレスを、仮に A D b とすると、その後の DMA 転送処理では、転送元アドレスを A D b とし、転送先アドレスを A D b + 1 と初期設定した後、各アドレス値 A D b , A D b + 1 をインクリメント処理しつつ、このクリアデータを拡散させることで、変数領域 B のクリア処理を実行することになる (S P 6 7) 。

【 0 2 8 9 】

以上説明したステップ S P 6 1 ~ S P 6 6 、及びステップ S P 6 7 の処理は、何れも、類似の動作であり図 1 6 (b) に示す通りである。すなわち、まず、所定チャンネルのDMA C i に関し、DMA 転送条件として、(1) サイクルスチール転送モード、(2) ノンストップ転送方式を採り、(3) Source と Destination のアドレス値を increment 更新すると、設定する (S P 6 8) 。

30

【 0 2 9 0 】

次に、転送元 Source アドレスと、転送先 Destination アドレスの初期値を設定し (S P 6 9) 、転送サイズを設定し、割込み禁止などに設定した上で (S P 7 0) 、DMA 転送の動作を開始させる (S P 7 1) 。なお、ステップ S P 6 8 ~ S P 7 1 の設定は、何れも所定の動作制御レジスタ R E G への設定動作によって実現される。

【 0 2 9 1 】

このメモリセクションの初期化処理では、DMA 転送終了の割込みを禁止設定しているので (S P 7 0) 、DMA 転送の動作を開始させた後は、所定の動作制御レジスタ R E G のステータスフラグを、繰り返しREADアクセスして、DMA 転送の終了を待つ (S P 7 2) 。但し、動作終了までの処理時間を考慮して、W D T 回路 5 8 に対して、クリア信号を繰り返し出力する (S P 7 3) 。そして、DMA 転送の終了時には、所定の動作制御レジスタ R E G への設定動作に基づいてDMA C i を停止設定する。

40

【 0 2 9 2 】

続いて、メイン制御処理の動作内容について図 1 7 ~ 図 2 0 に基づいて説明する。先に説明した通り、メイン制御処理については、図 1 7 (a) に、その導入部 (S P 2 0 ~ S P 2 7) の処理内容が記載されており、本体部 (S T 4 ~ S T 1 4) の処理内容が図 2 0 (a) に記載されている。なお、図 1 7 のステップ S P 2 7 の処理は、図 2 0 (a) のス

50

テップ S T 1 ~ S T 3 の処理を含んでいる。

【 0 2 9 3 】

図 1 7 (a) に示す通り、メイン制御処理 (導入部) では、最初に、 C G R O M 5 5 について、そのバス幅や R O M デバイスの種別を特定する (S P 2 0)。具体的には、図 1 8 (a) に示す通りであり、 C G R O M 5 5 とのインタフェースを司る C G バスの動作状態を特定する所定の V D P レジスタ R G i j (例えば C G バス Status レジスタ) を R E A D アクセスして (S P 8 0)、 C G バスについて動作設定が可能か否かを判定する (S P 8 1)。

【 0 2 9 4 】

ここで、 C G バス Status レジスタの値が 1 であれば、 C G バスの内部回路がリセット動作中であることを意味し、 V D P レジスタ R G i j への設定値を受け付けることができないことを意味する。そこで、 C G バス Status レジスタの値が 1 から 0 に変化していることを確認した上で (S P 8 1)、 C G R O M を構成するメモリデバイスに対応して規定可能なデバイス区間 (S P A 0 ~ S P A n) 毎に (1) 各デバイス区間 S P A i の有効 / 無効、 (2) R O M デバイスの種別、 (3) データバス幅などの動作パラメータを、所定の V D P レジスタ R G i j に設定する (S P 8 2)。

【 0 2 9 5 】

図 1 7 (a) に示す通り、この実施例では、 C G R O M 5 5 を複数領域 (デバイス区間) に区分できるようになっており、例えば、デバイス区間 (S P A 0 ~ S P A n) 毎に、メモリデバイスや、データバス幅を選択可能に構成されている。メモリデバイスとしては、例えば、 (1) 本実施例で採用する S A T A モジュール (A H S I / F)、 (2) パラレル I / F (Interface) 形式を採るメモリ素子、 (3) シーケンシャル I / F 形式を採るメモリ素子などに大別されるが、大別されたメモリデバイスごとに、メモリデバイスを具体的に選択可能であり、且つ、データバス幅などを任意に規定できるようになっている。

【 0 2 9 6 】

次に、デバイス区間 (S P A 0 ~ S P A n) 毎に選択されたメモリデバイスとのメモリ R E A D 動作を最適化するべく、所定の動作パラメータを、所定の V D P レジスタ R G i j に設定する (S P 8 3)。動作パラメータには、チップセレクト信号と、その他の制御信号 (R E A D 制御信号など) との動作タイミングを規定する設定値が含まれている。また、シーケンシャル I / F 形式を採るメモリ素子が選択された場合には、図 1 8 (b) も示す動作を実現するべく、アドレスラッチの出力タイミングや、読出しクロック数なども特定される。

【 0 2 9 7 】

したがって、種類の異なるメモリデバイスを組合せて C G R O M 5 5 を構成することもできる。但し、本実施例では、 S A T A モジュールだけを使用して C G R O M 5 5 を構成し、デバイス区間 (S P A 0) だけを有効化し、他のデバイス区間 (S P A 1 ~ S P A n) を無効化している。

【 0 2 9 8 】

何れにしても、ステップ S P 8 2 ~ S P 8 3 の設定処理が終われば、その設定処理の実効化を図るべく、所定の V D P レジスタ R G i j に所定値を書込む (S P 8 4)。これは、 C G バスの内部回路がステップ S P 8 2 ~ S P 8 3 の設定処理に対応して動作できるまでに所定の時間を要することを考慮したものであり、内部回路の動作中は、前記した C G バス Status レジスタ (S P 8 0 参照) の値が 0 となる。

【 0 2 9 9 】

したがって、その後は、 C G バス Status レジスタを繰り返し R E A D アクセスして (S P 8 5)、 Status レジスタの値が 1 から 0 に戻ることを確認して処理を終える (S P 8 6)。なお、所定回数の判定に拘らず、 Status レジスタの値が 1 から 0 に戻らない場合に、ステップ S P 6 6 の処理を終えても良い。但し、その場合 C G R O M が正常にアクセスできない状態で遊技処理が始まるので、その後、何れかのタイミングで W D T 回路 5 8 が起動して複合チップ 5 0 が異常リセット状態になる。そして、この場合は、再度、パワーオン

10

20

30

40

50

リセット動作が実行されることになる。

【0300】

一方、図17のステップSP20の処理が、正常に実行された後は、割込みコントローラINTCや、DMAC回路60や、マルチファンクションタイマユニットMTUなど、CPU回路51の内蔵回路をソフトウェア処理によって個々の初期化する（SP21）。

【0301】

次に、マルチファンクションタイマユニットMTUについて、所定のタイマ計測動作を開始させた後（SP22）、内部割込み及び内部割込みについて、所定の動作制御レジスタREGに許可設定値を書込んで割込み許可状態に設定する（SP23）。

【0302】

その結果、その後は、図17（d）に示す各種の割込みが生じ得ることになる。通常、このタイミングでは、音声プロセッサ27は、その初期化シーケンスを終えているので、図6（c）に示す通り、終了割込み信号IRQ_SNDはLレベルに降下している筈である。そのため、図17（c）に示す割込み処理が起動され、演出制御CPU63は、エラーフラグERRを1に初期設定すると共に、アドレス空間CS3をREADアクセスして（SP30）、音声プロセッサ27の所定の音声レジスタSRGの値を取得して、初期化シーケンスが正常に終了しているか否かを判定する（SP31）。

【0303】

そして、万一、初期化シーケンスが正常に終了していない場合には、演出制御CPU63は、音声プロセッサ27の所定の音声レジスタSRGにリセットコマンドを書込むと共に（SP32）、1に初期設定されているエラーフラグERRを2にセットする（SP33）。このエラーフラグERRは、音声プロセッサ初期化処理（SP26）を実行するか否かを規定しており、エラーフラグERR = 1がステップSP26の実行条件となっている。

【0304】

一方、音声プロセッサ27は、リセットコマンドを受けたことに対応して、終了割込み信号IRQ_SND = Hレベルの状態、再度、初期化シーケンスを開始し、初期化シーケンスが終われば、終了割込み信号IRQ_SNDはLレベルに降下させる。この結果、図17（c）の処理が再実行されることになる。

【0305】

以上、初期化シーケンスが正常に終了していない例外的な場合について説明したが、通常は、ステップSP31に続いて、ステップSP32の処理が実行され、演出制御CPU63は、所定の音声レジスタSRGに、所定値を書込むことで終了割込み信号IRQ_SNDを、LレベルからHレベルに復帰させる（SP34）。

【0306】

そして、最後に、所定の音声レジスタSRGに所定値を書込むことで、全ての音声レジスタSRGへのREAD/WRITEアクセスを許可する（SP35）。この処理の結果、その後の音声プロセッサ初期化処理（SP26）では、必要な設定処理を実行できることになる。

【0307】

以上、ステップSP23の割込み許可設定に対応するMaskable Interruptの一例について説明したが、発振器OSC2の発振停止に基づくマスク不能割込み（Non Maskable Interrupt）は、任意のタイミングで起動可能である。先に説明した通り、内蔵CPU（演出制御CPU63）以外の回路の動作クロック（CPUシステムクロック）は、発振器OSC2の出力クロックをPLL（Phase Locked Loop）で周波数逡倍して生成されており、発振器OSC2の発振が停止されれば、その後のVDP回路52の正常動作は不可能である。

【0308】

一方、演出制御CPU63の動作クロックは、発振器OSC1の出力クロックをPLLで逡倍して生成されており、プログラム処理は継続可能である。しかも、割込み処理プロ

10

20

30

40

50

グラムは、内蔵RAM 59に格納されている。そこで、演出制御CPU 63は、異常事態の発生を音声やランプによって異常報知すると共に(S P 28)、WDT回路58にクリア信号を出力し続ける(S P 29)。異常報知は、例えば「異常事態が発生しました。至急、係員に連絡して下さい」との音声報知となる。なお、WDT回路58にクリア信号を出力し続けるのは、異常リセット動作を回避するためである。すなわち、発振器OSC 1が動作を停止する重大な異常時には、仮に、異常リセット処理を繰り返しても、機器の正常復帰が望めないと考えられるからである。

【0309】

以上、図17(b)と、図17(c)について説明したので、図17(a)に戻って説明を続ける。ステップS P 24では、外付けDRAMのプログラム領域を保護するため、必要領域を書込み禁止に設定する。次に、電源遮断時に電池で駆動されている時計回路38について、電源遮断時の正常動作を確認すると共に、念のためアラーム割込みについて再設定する(S P 25)。

10

【0310】

そして、エラーフラグERR = 1であることを条件に、音声プロセッサ27の内蔵レジスタ(音声レジスタSRG)に、必要な設定値を書込んで初期化処理を実行する(S P 26)。なお、エラーフラグERR = 0の場合は、所定時間、エラーフラグERR = 1となるまで待機するが、限界時間を超える場合には、WDT回路58を起動させるべく無限ループ処理に移行する。

【0311】

20

次に、VDPレジスタRGijに、必要な設定値を書込むことで、VDP回路52の初期化処理を実行する(S P 27)。なお、ステップS P 27の処理には、図20のST1～ST3の処理が含まれている。

【0312】

以上、音声プロセッサから終了割込み信号IRQ_SNDを受ける実施例について説明したが、図17(c)の割込み処理を省略するのも好適である。図19は、変形実施例を示しており、終了割込み信号IRQ_SNDに代えて、マルチファンクションタイマユニットMTUが生成する1msタイマ割込信号を活用している。

【0313】

図19は、1msタイマ割込処理の一部を図示したものであり、初期状態がゼロである動作管理フラグFLGの値(0/1/2/3)に基づいて、4段階の動作を実現している。なお、音声プロセッサ27のIRQ_SND出力端子は、開放状態とし、CPU回路51のIRQ_SND入力端子は、Hレベルに固定されている。

30

【0314】

1msタイマ割込み処理において、まず、ステップS P 42の処理で、動作管理フラグFLG = 0と判定される場合には、音声プロセッサ27の初期化シーケンスが正常終了していることを確認する(S P 43)。そして、正常終了している場合には、所定の音声レジスタSRGに所定値を書込むことで割込み信号(IRQ_SND)をクリアさせ(S P 46)、動作管理フラグFLGを1にする(S P 47)。なお、ステップS P 43とS P 46の処理は、図17(c)のステップS P 31とS P 34の処理と同じである。

40

【0315】

一方、初期化シーケンスが正常終了していない場合には、所定の音声レジスタSRGにリセットコマンドを書込むことで、音声プロセッサ27に初期化シーケンスを起動させ(S P 44)、動作管理フラグFLGをゼロに戻す(S P 45)。なお、ステップS P 44の処理は、図17(c)のステップS P 32の処理に対応している。

【0316】

通常は、ステップS P 47の処理を経て動作管理フラグFLG = 1となるので、次の1msタイマ割込みでは、所定の音声レジスタに所定値を書込むことで全ての音声レジスタへのアクセスを許可し(S P 48)、動作管理フラグFLG = 2に設定する(S P 49)。ステップS P 48の処理は、図17(c)のステップS P 35の処理に対応している。

50

【 0 3 1 7 】

次に、動作管理フラグ F L G = 2 の 1 m s タイマ割込みでは、図 1 7 (a) のステップ S P 2 6 の場合と同様に、音声プロセッサ 2 7 の内蔵レジスタ (音声レジスタ S R G) に、必要な設定値を書込んで初期化処理を実行し (S P 5 0)、動作管理フラグ F L G = 3 に設定する。

【 0 3 1 8 】

動作管理フラグ F L G = 3 は、通常の音声制御状態を意味し、必要な音声レジスタ S R G に、必要な動作パラメータを設定することで、音声制御を進行させる (S P 5 2)。

【 0 3 1 9 】

以上、音声プロセッサ 2 7 の初期化シーケンスの正常終了を、割込み信号 (I R Q _ S N D) に起因する割込み処理で確認する方法 (図 1 7 (c) の S P 3 1) と、1 m S タイマ割込み処理で確認する方法 (図 1 9 の S P 4 3) について説明したが、これらの方法に、何ら限定されるものではない。例えば、図 1 7 のステップ S P 2 6 の処理の一部として、音声プロセッサ 2 7 の初期化シーケンスが正常に終了したか否かを判定するのも好適である。

【 0 3 2 0 】

以上、メイン制御処理の導入部 (図 1 7 の S P 2 0 ~ S P 2 7) について説明したので、以下、図 2 0 に基づいて、メイン制御処理の本体部の動作を説明する。図 2 0 に示す通り、演出制御 C P U 6 3 の動作は、メイン制御処理 (a) と、1 m S 毎に起動するタイマ割込み処理 (b) と、制御コマンド C M D を受けて起動する受信割込み処理 (不図示) と、表示装置 D S 1 の V ブランク (垂直帰線期間) の開始タイミングに生じる VBLANK 信号を受けて起動する VBLANK 割込み処理 (c) と、動作フリーズ時や不合理な指示コマンド検出時に生じる描画異常割込み処理 (d) と、を含んで構成されている。なお、2 0 μ S 割込み処理については説明を省略する。

【 0 3 2 1 】

受信割込み処理では、主制御部 2 1 から受けた制御コマンド C M D を、メイン制御処理 (S T 1 3) において参照できるように、所定の受信バッファに記憶して処理を終える。また、VBLANK 割込み処理 (図 2 0 (b)) では、VBLANK 割込み毎に、割込みカウンタ V C N T をインクリメントし (S T 1 5)、メイン制御処理の開始タイミングでは、割込みカウンタ V C N T の値に基づいて、1 / 3 0 秒の動作開始タイミングを把握した上で、割込みカウンタ V C N T をゼロクリアしている (S T 4)。

【 0 3 2 2 】

一方、タイマ割込み処理には、図 2 0 (b) に示す通り、ランプ演出やモータ演出の進行処理 (S T 1 8) と、原点センサ信号 S N 0 ~ S N n 信号や、チャンスボタン信号などを取得するセンサ信号取得処理 (S T 1 9) とが含まれている。ランプ演出やモータ演出は、全ての演出動作を一元管理する演出シナリオに基づいて制御されており、演出カウンタ E N が管理する演出開始時に達すれば、演出シナリオ更新処理 (S T 1 1) において、モータ駆動テーブルやランプ駆動テーブルが特定されるようになっている。

【 0 3 2 3 】

そして、その後は、特定されたモータ駆動テーブルに基づいてモータ演出が進行し、特定されたモータ駆動テーブルに基づいてランプ演出が進行することになる。先に説明した通り、ステップ S T 1 8 の動作時に、D M A C 回路 (第 1 と第 2 の D M A チャンネル) 6 0 が機能する実施例もある。なお、モータ演出は、1 m S 毎に進行するが、ランプ演出は、1 m S より長い適宜なタイミングで進行する。

【 0 3 2 4 】

一方、図 2 0 (d) に示す通り、描画異常割込み処理では、描画回路 7 6 の動作状態を示すステータスレジスタ R G i j を READ アクセスして、割込み原因を特定する。具体的には、(1) 異常な指示コマンドの検出 (ビット化け) による描画異常割込みか、(2) 描画回路 7 6 の動作異常 (フリーズ) による描画異常割込みかを特定する (S T 1 6 a)。そして、異常な指示コマンドの検出に基づく描画異常割込みである場合には、所定のシステム制御レジスタ R G i j に、所定値を書き込むことで、描画回路 7 6 を初期化する (S T

10

20

30

40

50

16b)。この動作は、図6(b)に示すリセット経路4Bの個別リセット動作に他ならない。

【0325】

次に、個別リセット動作の正常終了を、所定のステータスレジスタRGijで確認した後、描画回路76の動作を規定する一群の動作パラメータを所定の描画レジスタRGijに再設定して処理を終える(ST16c)。そして、戻り先アドレスを記憶するスタック領域を調整した後(割込み処理後の戻り先アドレスを消去する開放処理)、ステップST13の処理に移行させる(ST16c)。

【0326】

一方、描画回路76の動作異常に基づく描画異常割込みの場合には、無限ループ処理に移行させることで(ST16d)、WD回路58を起動させ、複合チップ50全体をリセットする。なお、CPU回路51をリセットしたくない場合には、所定のキーワード列をパターンチェック回路CHKに出力して、リセット信号RSTによってVDP回路52だけをリセットしても良い(図6(b)参照)。この場合には、VDP回路52のリセット動作の正常終了を確認した後、ステップST4やST13の処理に移行させる。なお、可能な限り制御コマンドCMDの読み落しを回避するためには、他の場合も含め、ステップST4より、ステップST13に移行される方が良い。

【0327】

複合チップ50全体をリセットすると、それまでの演出が消滅して、演出制御が完全に初期状態(電源投入状態)に戻るが、VDP回路52だけをリセットする場合には、VDP回路52のリセット動作が完了するまで、所定の待機時間は生じるものの、一連の演出制御を継続させることができる。なお、演出制御CPU63は、画像演出、ランプ演出、及び、音声演出を統一的に制御しているので、各演出に不自然なズレが生じることもない。

【0328】

続いて、プリロードを機能しない実施例について、メイン制御処理(a)について説明する。図20(a)に示す通り、メイン制御処理は、CPUリセット後に実行される導入初期処理(ST1~ST3)と、その後、1/30秒毎に繰り返し実行される定常処理(ST4~ST14)とに区分される。なお、初期処理(ST1~ST3)は、メイン制御処理の導入部の一部であり、定常処理がメイン制御処理の本体部を意味する。

【0329】

そして、定常処理は、割込みカウンタVCNTが、VCNT=2となったタイミングで開始されるので(ST4)、定常処理の動作周期 δ は、1/30秒となる。この動作周期 δ は、演出制御CPU63の制御に基づいて間欠動作するVDP回路52について、その実質的な動作周期 δ に他ならない。なお、判定条件を、VCNT=2とするのは、定常処理(ST4~ST14)が異常に長引いて、VCNT=2のタイミングを見逃す可能性を考慮したものであるが、VCNT=3となる事態が発生しないよう設計されている。

【0330】

以上を踏まえてメイン制御処理(図20(a))の説明を続けると、本実施例では、初期処理において、記憶容量48Mバイトの内蔵VRAM71を、適切な記憶容量を有するAAC領域(a)と、ページ領域(b)と、任意領域(c)と、に適宜に切り分ける(ST1)。具体的には、AAC領域(a1,a2)と、ページ領域(b)について、各々の領域先頭アドレスと必要な総データサイズを、所定のインデックステーブルレジスタRGijに設定する(ST1)。すると、確保されたAAC領域(a1,a2)と、ページ領域(b)には含まれない残余領域が任意領域(c)となる。

【0331】

ここで、第一と第二のAAC領域(a1,a2)と、ページ領域(b)の領域先頭アドレスは、各々の下位11bitが0でなくてはならないが、2048bit単位で任意に選択可能である(1番地=1バイトとして、256番地ごとの選択)。また、総データサイズも、単位サイズの整数倍の範囲で任意に選択される。特に限定されないが、AAC領域(a)の単位サイズは、2048bit、ページ領域(b)の単位サイズは、512kbitである。

【 0 3 3 2 】

このように本実施例では、A A C 領域(a1,a2) と、ページ領域(b) の領域設定に一定の条件を設けるが、それは、メモリ容量が限られている内蔵 V R A M 7 1 について、可能な限り無駄領域を排除する一方で、V D P 回路 5 2 の内部動作の円滑化を図るためである。すなわち、内蔵 V R A M 7 1 の記憶容量を無闇に増加させると、製造コストの高騰やチップ面積の大型化が懸念される一方、無駄領域を完全に排除するような自由な領域設定を認めると、内部処理が煩雑化して、V R A M アクセスの処理時間を短縮化できないためである。なお、以下に説明するインデックス空間の確保に、一定の制約を設けるのも同じ理由による。

【 0 3 3 3 】

以上を踏まえて説明を続けると、ステップ S T 1 の処理に続いて、ページ領域(b) と、任意領域(c) について、必要なインデックス空間 I D X i を確保する (S T 2)。具体的には、所定のインデックステーブルレジスタ R G i j に、必要な情報を設定することで、各領域(b)(c)のインデックス空間 I D X i を確保する。

【 0 3 3 4 】

例えば、ページ領域(b) にインデックス空間 I D X i を設ける場合には、任意のインデックス番号 i に対応して、任意の水平サイズ H x と、任意の垂直サイズ W x の倍数情報 (単位空間に対する縦横の倍数情報) が、所定のインデックステーブルレジスタ R G i j に設定される (S T 2)。

【 0 3 3 5 】

先に説明した通り、ページ領域(b) のインデックス空間 I D X i は、水平サイズ 1 2 8 × 垂直サイズ 1 2 8 ラインを単位空間としており、また、1 ピクセルは 3 2 b i t の情報で特定されるので、水平サイズ H x と垂直サイズ W x の設定に基づいて、データサイズ (b i t 長) = 3 2 × 1 2 8 × H x × 1 2 8 × W x のインデックス空間 I D X i が確保されたことになる。なお、ページ領域(b) のインデックス空間 I D X i の先頭アドレス (空間先頭アドレス) は、内部的に自動付与される。

【 0 3 3 6 】

また、任意領域(c) にインデックス空間 I D X i を設ける場合には、任意のインデックス番号 i に対応して、任意の先頭アドレス (空間先頭アドレス) S T x と、任意の水平サイズ H x の倍数情報が、所定のインデックステーブルレジスタ R G i j に設定される (S T 2)。ここで、任意とは、所定条件を前提とするもので、水平サイズ H x は 2 5 6 b i t 単位で任意決定され、先頭アドレス S T x の下位 1 1 b i t は 0 であって、2 0 4 8 b i t 単位で任意決定される。先に説明した通り、任意領域の垂直サイズは、2 0 4 8 ラインに固定化されるので、水平サイズ H x の設定に基づいて、先頭アドレス S T x 以降には、データサイズ (b i t 長) = 2 0 4 8 × H x のインデックス空間が確保されたことになる。

【 0 3 3 7 】

具体的には、メイン表示装置 D S 1 のフレームバッファ F B a として、水平サイズ 1 2 8 0 × 垂直ライン 2 0 4 8 の一対のインデックス空間が、各々インデックス番号を特定して、一又は複数の所定のインデックステーブルレジスタ R G i j に設定され、サブ表示装置 D S 2 のフレームバッファ F B b として、水平サイズ 4 8 0 × 垂直ライン 2 0 4 8 の一対のインデックス空間が、各々インデックス番号を特定して、一又は複数の所定のインデックステーブルレジスタ R G i j に設定される。なお、もし、表示装置の水平ピクセル数が、2 5 6 b i t / 3 2 b i t の整数倍に一致しない場合には、各インデックス空間の水平サイズを、その表示装置の水平ピクセル数より大きく、且つ、2 5 6 / 3 2 = 8 の整数倍となる値に設定して、無駄なメモリ領域の発生を最小限に抑制する。

【 0 3 3 8 】

以上のように、ページ領域(b) と、任意領域(c) について、必要なサイズ情報やアドレス情報を所定のインデックステーブルレジスタ R G i j に各々設定することで、必要個数のインデックス空間 I D X i が生成される (S T 2)。そして、この設定処理 (S T 2)

10

20

30

40

50

に対応して、各インデックス空間 IDX_i のアドレス情報やサイズ情報を特定するインデックステーブル $IDXTBL$ が自動的に構築される。図 11 (a) に示す通り、インデックステーブル $IDXTBL$ には、各インデックス空間 IDX_i の先頭アドレスが、その他の必要情報と共に記憶されており、VDP 回路 52 内部でのデータ転送時や、外部記憶リソース (Resource) からのデータ取得時に参照される (図 12 参照)。なお、AAC 領域 (a) のインデックス空間 IDX_i は、必要時に自動生成され、自動消滅するので、ステップ ST2 の設定処理は不要である。

【0339】

図 11 (a) (b) に示す通り、任意領域 (c) には、各一对のフレームバッファ FB_a と FB_b が確保され、各々、インデックス番号が付与されている。Z バッファを使用しない実施例では、フレームバッファ FB_a として、インデックス番号 255, 254 が付与された、一对のインデックス空間 255, 254 が確保される。また、フレームバッファ FB_b として、インデックス番号 252, 251 が付与された、一对のインデックス空間 252, 251 が確保される。なお、本実施例では、任意領域 (c) に、インデックス番号 0 の作業領域 (インデックス空間 0) も確保されている。

【0340】

また、本実施例では、ページ領域 (a) に、IP ストリーム動画のデコード領域となる必要個数のインデックス空間 IDX_i を確保し、インデックス番号 i を付与することになっている。但し、初期的には、背景動画 (IP ストリーム動画) のためのインデックス空間 IDX_0 だけを確保している。そして、画像演出 (変動演出や予告演出) における必要性に応じて、インデックステーブルレジスタ RG_{ij} への設定処理や、ディスプレイリスト DL の指示コマンドに基づいて、ページ領域 (a) のインデックス空間 IDX_j を増やし、その後、不要になれば、そのインデックス空間 IDX_j を開放するようにしている。すなわち、図 11 (a) は、定常動作時のインデックステーブル $IDXTBL$ を示している。

【0341】

なお、AAC 領域 AAC 領域 (a) のインデックス空間は、ディスプレイリスト DL に記載されている指示コマンドに基づいて、必要時に自動的に生成され、インデックステーブル $IDXTBL$ には、自動生成されたインデックス空間 IDX_j の先頭アドレスや、その他の必要情報が自動設定される。本実施例では、この AAC 領域 (a) を、静止画その他のテクスチャのデコード領域として使用している。

【0342】

インデックス空間を確保する上記の動作は、もっぱら、制御レジスタ群 70 に含まれるインデックステーブルレジスタ RG_{ij} への設定動作によって実現されるが、ステップ ST1 ~ ST2 の処理に続いて、他の VDP レジスタ RG_{ij} に、必要な設定動作 (ST3) を実行することで、図 28 ~ 図 29 に示す VDP 回路 52 の定常動作 (間欠動作) を可能にしている。

【0343】

本実施例において、必要な設定処理 (ST3) には、少なくとも表 1 に示す処理 (SS30 ~ SS43) が含まれている。なお、ステップ SS30 ~ SS43 は、何ら処理の順番を限定せず、以下の説明順序に拘わらず、任意の順番で実行することができる。

10

20

30

40

【表 1】

- ・ L V D S 部 8 0 a , 8 0 b を利用してデュアルリンク伝送路を構築すると設定 (S S 3 0)
- ・ 4 0 M H z のリファレンスクロックを基礎にして、ドットクロック D C K _A / D C K _B を生成すると設定 (S S 3 1)
- ・ リファレンスクロックに対する通倍比と分周比を適宜に規定して、
各表示回路のドットクロック D C K _A / D C K _B の周波数を 1 0 8 M H z / 2 7 M H z に設定 (S S 3 2)
- ・ 表示回路 7 4 B の動作開始が、表示回路 7 4 A の動作開始に同期すると設定 (S S 3 3)
- ・ 各表示装置の表示ライン数と水平画素数の設定 (S S 3 4)
- ・ 各表示装置の水平周期 T H のサイクル数 T H c と、水平待機時間 W T h の設定 (S S 3 5)
- ・ 各表示装置の垂直周期 T V のライン数 T V l と、垂直待機時間 W T v の設定 (S S 3 6)
- ・ 水平周期信号 H S のパルス幅と、パルス立上りエッジの V ブランク開始からのサイクル数の設定 (S S 3 7)
- ・ 垂直周期信号 V S のパルス幅と、パルス立上りエッジの V ブランク開始からのサイクル数の設定 (S S 3 8)
- ・ V ブランク割込みを許可すると設定 (S S 3 9)
- ・ 各フレームバッファ F B a , F B b について、垂直・水平の表示開始位置を設定 (S S 4 0)
- ・ 各フレームバッファ F B a , F B b について、表示領域 (0) と表示領域 (1) を設定 (S S 4 1)
- ・ レジスタ書き込み禁止設定 1 (S S 4 2)
- ・ レジスタ書き込み禁止設定 2 (S S 4 3)

10

【 0 3 4 4 】

本実施例では、先ず、メイン表示装置 D S 1 に関して、デュアルリンク伝送路を構築することを、所定のシステム制御レジスタ R G i j に設定する (S S 3 0)。この設定の結果、表示回路 7 4 A の出力は、ドットクロック D C K が 2 分周された O D D 信号と E V E N 信号に二分された状態で、L V D S 部 8 0 a と、L V D S 部 8 0 b に供給されることになる。

20

【 0 3 4 5 】

次に、表示回路 7 4 A と表示回路 7 4 B について、4 0 M H z のリファレンスクロック (発振器 O S C 2 の出力) を基礎にして、ドットクロック D C K _A や D C K _B を生成することを、各々、所定のシステム制御レジスタ R G i j に設定し (S S 3 1)、このリファレンスクロックに対する通倍比と分周比を表示回路毎に適宜に規定する (S S 3 2)。

【 0 3 4 6 】

ドットクロック D C K は、表示回路 7 4 A と表示回路 7 4 B について別々に設定され、表示回路 7 4 A に適用されるメイン表示装置 D S 1 用のドットクロック D C K _A の周波数は、先に説明した通り、1 0 8 M H z に設定される。一方、表示回路 7 4 B に適用されるサブ表示装置 D S 2 用のドットクロック D C K _B の周波数は、横 4 8 0 × 縦 8 0 0 ピクセルに対応して、2 7 M H z に設定される。

30

【 0 3 4 7 】

また、表示回路 7 4 B の動作開始を、表示回路 7 4 A の動作開始に同期させるべく所定のシステム制御レジスタ R G i j に設定する (S S 3 3)。

【 0 3 4 8 】

続いて、表示回路 7 4 の動作を規定する所定の表示レジスタ R G i j に、所定の動作パラメータ (ライン数と画素数) を書込むことで、各表示装置 D S 1 , S D 2 について表示ライン数と水平画素数を設定する (S S 3 4)。本実施例の場合、メイン表示装置 D S 1 の水平画素数は、1 2 8 0 ドットであり、表示ライン数は 1 0 2 4 行である。また、サブ表示装置 D S 2 の水平画素数は、4 8 0 ドットであり、表示ライン数は 8 0 行である。ステップ S S 3 4 の設定処理の結果、各フレームバッファ F B a , F B b において、表示回路 7 4 A , 7 4 B が READ アクセスすべき有効データ領域 (図 2 0 (e) の破線部) の縦横寸法が、特定されることになる。

40

【 0 3 4 9 】

次に、表示回路 7 4 の動作を規定する所定の表示レジスタ R G i j に、所定の動作パラメータ (T H c , W T h) を書込むことで、各表示装置 D S 1 , S D 2 について、水平周期 T H のサイクル数 T H c と、水平待機時間 W T h を設定する (S S 3 5)。また、所定

50

の表示レジスタ $R G i j$ に、所定の動作パラメータ ($T V 1, W T v$) を書込むことで、各表示装置 $D S 1, S D 2$ について、垂直周期 $T V$ のライン数 $T V 1$ と、垂直待機時間 $W T v$ を設定する ($S S 3 6$)。

【0350】

図14に関して説明した通り、メイン表示装置 $D S 1$ については、水平周期 $T H$ のサイクル数 $T H c = 1662$ 、垂直周期 $T V$ のライン数 $T V 1 = 1083$ と設定される。また、水平待機時間 $W T h = 382$ 、垂直待機時間 $W T v = 59$ ラインと設定される。一方、サブ表示装置 $D S 2$ については、例えば、水平周期 $T H$ のサイクル数 $T H c = 519$ 、垂直周期 $T V$ のライン数 $T V 1 = 867$ と設定され、水平待機時間 $W T h = 39$ 、垂直待機時間 $W T v = 67$ ラインと設定される。なお、 $T H c - W T h = 519 - 39 = 480$ 、 $T V 1 - W T v = 867 - 67 = 800$ であり、サブ表示装置のピクセル数 (横 $480 \times$ 縦 800) に整合する。

【0351】

何れにしても、ステップ $S S 3 2$ の処理によってドットクロック $D C K$ の周波数 F_{dot} ($= 108 \text{ MHz}$) が決定され、また、ステップ $S S 3 5 \sim S S 3 6$ の処理によって、メイン表示装置 $D S 1$ について、水平周期 $T H$ のサイクル数 $T H c (= 1662)$ と、垂直周期 $T V$ のライン数 $T V 1 (= 1083)$ が規定された結果、一フレームの表示期間が、 $T H c \times T V 1 / F_{dot}$ と確定されることになる。具体的には、一フレームの表示期間は、 $1083 \times 1662 / 108 \text{ MHz} = 16.667 \text{ ms}$ であり、フレームレート $F R$ が $1/60$ 秒であると確定される。

【0352】

なお、サブ表示装置 $D S 2$ についても、例えば、ドットクロック $D C K$ の周波数 $F_{dot} = 27 \text{ MHz}$ 、水平周期 $T H$ のサイクル数 $T H c = 519$ 、及び、垂直周期 $T V$ のライン数 $T V 1 = 867$ に基づいて、 $519 \times 867 / 27 \text{ MHz} = 16.66 \text{ ms}$ と確定される。

【0353】

本実施例では、上記の確定処理に対応して、表示回路74は、 $1/60$ 秒ごと V ブランク開始状態となり、図14に示す表示動作が繰り返されることになる。なお、図14において、○印で示す表示動作の開始タイミング、及び表示動作の終了タイミングは、 V ブランク開始タイミングを示している。

【0354】

そして、この V ブランク開始タイミングに基づいて、表示回路74の動作における水平基準点 $T H 0 (= \text{水平基準時刻})$ と、垂直基準点 ($= \text{垂直基準時刻}$) $T V 0$ が規定されることになり、表示回路74は、水平基準点 $T H 0$ から水平待機時間 $W T h$ を経過するまで、表示装置の各ピクセルに対応する画像データを出力しないで待機する。同様に、表示回路74は、垂直基準点 $T V 0$ から、垂直待機時間 $W T v$ を経過するまで、表示装置の各ピクセルに対応する画像データを出力しないで待機するよう構成されている。

【0355】

また、表示回路74Bは、表示装置74Aに同期して動作するので ($S S 3 3$)、サブ表示装置 $D S 2$ についての表示動作の開始と終了タイミングも、メイン表示装置 $D S 1$ のタイミングと同じである。したがって、サブ表示装置 $D S 2$ に対するフレーム周期 ($519 \times 867 / 27$) は、サブ表示装置 $D S 2$ に対するフレーム周期 ($1083 \times 1662 / 108$) より短く設定されることで、 V ブランク開始時には、サブ表示装置 $D S 2$ の更新処理が完了しているよう設定される。

【0356】

次に、本実施例では、サブ表示装置 $D S 2$ に関して、所定の表示レジスタ $R G i j$ に、水平周期信号 $H S$ のパルス幅と、パルス立上りエッジの V ブランク開始タイミングからのサイクル数の設定する ($S S 3 7$)。また、サブ表示装置 $D S 2$ に関して、垂直周期信号 $V S$ のパルス幅と、パルス立上りエッジの V ブランク開始タイミングからのサイクル数の設定する ($S S 3 8$)。

10

20

30

40

50

【 0 3 5 7 】

先に説明した通り、メイン表示装置 D S 1 は、水平同期信号 H S や垂直同期信号 V S を必要としないので、メイン表示装置 D S 1 に対する上記の処理 (S S 3 7 ~ S S 3 8) は不要である。但し、ステップ S S 3 7 ~ S S 3 8 の設定処理を省略した場合には、電源リセット時に設定されたデフォルト値が機能するので、実際には、表示装置 7 4 A も、水平同期信号 H S や垂直同期信号 V S を出力することになる。

【 0 3 5 8 】

デフォルト値によれば、例えば、V ブランク開始タイミングから 1 6 クロック後にアクティブレベルとなる、パルス幅 4 0 クロック分の水平同期信号 H S が出力され、V ブランク開始タイミングに同期してアクティブレベルとなる、パルス幅 3 ライン分の垂直同期信号 V S が出力される。

10

【 0 3 5 9 】

この動作は、メイン表示装置 D S 1 に対して、水平待機時間 W T h = 3 8 2 クロックの間に、水平フロントポーチ H P v = 1 6、パルス幅 P W h = 4 0、水平バックポーチ B P v = 3 2 6 の水平同期信号 H S が出力され、また、垂直待機時間 W T v = 5 9 ラインの間に、垂直フロントポーチ H P v = 0、パルス幅 P W v = 3、垂直バックポーチ B P v = 5 6 の垂直同期信号 V S が出力されることを意味する。但し、メイン表示装置において、これらの同期信号が無視されることは前記した通りである。

【 0 3 6 0 】

なお、デフォルト値に基づく同期信号 H S , V S が出力されるのを防ぐため、水平同期信号 H S や垂直同期信号 V S を出力しないよう、所定のシステム制御レジスタ R G i j に設定する構成を採っても良い。このようなマスク設定を設けた場合には、V D P 回路 5 2 の水平同期信号 H S の出力端子や、垂直同期信号 V S の出力端子は、H レベル又は L レベルの固定値を維持することができる。

20

【 0 3 6 1 】

続いて、所定のシステム制御レジスタ R G i j に、V ブランク割込みを許可すると設定する (S S 3 9)。この結果、本実施例では、1 6 . 6 6 7 m S = 1 / 6 0 秒ごとに生じる V ブランク開始タイミングに対応して、図 2 0 (c) に示す VBLANK 開始割込みが生じることとなる。この V ブランク割込みタイミングは、演出制御 C P U 6 3 の定常処理 (S T 5 ~ S T 1 4) の開始タイミングを規定するとともに、表示回路 7 4 A , 7 4 B にとっての表示期間の開始タイミング (直前の表示期間の終了タイミング) を意味する。

30

【 0 3 6 2 】

次に、所定の表示レジスタ R G i j に、所定の動作パラメータ (アドレス値) を書き込んで、各フレームバッファ F B a , F B b について、垂直表示開始位置と水平表示開始位置を特定する (S S 4 0)。その結果、ステップ S S 3 4 の処理で縦横寸法が特定された有効データ領域が、フレームバッファ F B a , F B b 上に確定されることになる。ここで、垂直表示開始位置と水平表示開始位置は、各インデックス空間における相対アドレス値であって、図 2 0 (e) に示す実施例では、表示開始位置は (0 , 0) となっている。

【 0 3 6 3 】

ここで、「表示領域」とは、表示回路 7 4 A , 7 4 B が、表示装置 D S 1 , D S 2 を駆動するために、画像データを読み出すべきインデックス空間 (フレームバッファ F B a , F B b) を意味し、各々ダブルバッファ構造であるフレームバッファ F B a , F B b におけるダブルバッファの何れか一方を意味する。もっとも、表示回路 7 4 A , 7 4 B が、実際に画像データを読み出すのは、表示領域 (0) 又は表示領域 (1) における、ステップ S S 3 4 とステップ S S 4 0 で特定された「有効データ領域」に限定される。

40

【 0 3 6 4 】

次に、メイン表示装置 D S 1 を駆動する表示回路 7 4 A に関する表示レジスタ R G i j (DSPAINDEX) と、サブ表示装置 D S 2 を駆動する表示回路 7 4 B に関する表示レジスタ R G i j (DSPBINDEX) に、各々、「表示領域 (0) 」と「表示領域 (1) 」を設定して、各表示領域を定義する (S S 4 1)。

50

【 0 3 6 5 】

何ら限定されないが、本実施例では、フレームバッファ F B a について、V R A M 任意領域(c)におけるインデックス番号 2 5 4 のインデックス空間 2 5 4 を「表示領域 (0) 」と定義し、V R A M 任意領域(c)におけるインデックス番号 2 5 5 のインデックス空間 2 5 5 を、「表示領域 (1) 」と定義している (S S 4 1)。

【 0 3 6 6 】

また、フレームバッファ F B b について、V R A M 任意領域(c)におけるインデックス番号 2 5 1 のインデックス空間 2 5 1 を「表示領域 (0) 」とし、V R A M 任意領域(c)におけるインデックス番号 2 5 2 のインデックス空間 2 5 2 を「表示領域 (1) 」としている (S S 4 1)。なお、「表示領域」を初期処理 (S T 3) において定義することは、
10 特に限定されず、動作周期 δ 毎に、表示回路 7 4 が画像データを READ アクセスすべきインデックス空間 (表示領域) をトグル的に切替えても良い。

【 0 3 6 7 】

本実施例では、以上の処理 (S S 3 0 ~ S S 4 1) を含んだ初期設定が終われば、次に、所定のシステム制御レジスタ R G i j への設定値が、その後、ノイズなどの影響で変更されないよう、第 1 種の禁止設定レジスタ R G i j に、所定の禁止値を設定している (第 1 の禁止設定 S S 4 2)。

【 0 3 6 8 】

ここで、今後の書込みが禁止される設定値には、(1) 表示装置 D S 1 , D S 2 の表示クロック D C K に関する設定値、(2) L V D S のサンプリングクロックに関する設定値、(3) 出力選択回路 7 9 の選択動作に関する設定値、(4) 複数の表示装置 D S 1 , D S 2 の同期関係 (表示回路 7 4 B が表示回路 7 4 A の動作周期に従属すること) などが含まれている。
20 なお、第 1 の禁止設定を解除するソフトウェア処理は存在するが、本実施例では使用していない。但し、必要に応じて使用するのも好適である。

【 0 3 6 9 】

次に、第 2 種の禁止設定レジスタ R G i j に、所定の禁止値を設定することで、初期設定系の V D P レジスタ R G i j について書込み禁止設定をしている (第 2 の禁止設定 S S 4 3)。ここで、禁止設定されるレジスタには、ステップ S S 3 0 ~ S S 4 2 に係る V D P レジスタ R G i j が含まれている。

【 0 3 7 0 】

一方、第 3 種の禁止設定レジスタ R G i j に、所定の禁止値を設定することで、ステップ S T 1 ~ S T 3 の設定処理に関する V D P レジスタを含んだ、多数の V D P レジスタへの禁止設定も可能である (第 3 の禁止設定)。但し、本実施例では原則として使用しない。何れにしても、第 2 の禁止設定や、第 3 の禁止設定は、所定の解除レジスタ R G i j に、解除値を書込むことで任意に解除可能であり、定常動作中に設定値を変更することも可能となる。
30

【 0 3 7 1 】

なお、以上説明したステップ S T 1 ~ S T 3 の初期設定処理は、V D P レジスタ R G i j のレジスタアドレス値と、そのレジスタ R G i j への設定値とを対応させた初期値設定テーブル SETTABLE (図 3 4 参照) に基づいて実行される。以上、初期設定処理について
40 説明したので、次に、定常処理 (S T 4 ~ S T 1 4) を説明する前に、演出制御 C P U 6 3 によって制御される V D P 回路 5 2 の定常動作 (間欠動作) について図 2 8 (a) 及び図 2 9 (b) に基づいて概略的に説明しておく。

【 0 3 7 2 】

V D P 回路 5 2 の間欠動作は、図 2 8 や図 2 9 に示す通りであり、プリローダ 7 3 を使用しない実施例では、図 2 8 (a) に示すように、演出制御 C P U 6 3 が完成させたディスプレイリスト D L i は、その動作周期 (T 1) で、描画回路 7 6 に発行され、描画回路 7 6 はディスプレイリスト D L i に基づく描画動作によって、フレームバッファ F B a , F B b に、画像データを完成させる。そして、フレームバッファ F B a , F B b に完成された画像データは、次の動作周期 T 1 + δ に、表示回路 7 4 が表示装置 D S 1 , D S 2 に
50

出力することで、その後の、表示装置 D S 1 , D S 2 の描画動作に基づき、遊技者が感知する表示画面となる。

【 0 3 7 3 】

一方、プリローダ 7 3 を使用する実施例では、図 2 9 (a) に示すように、演出制御 C P U 6 3 が完成させたディスプレイリスト D L i は、その動作周期 (T 1) で、プリローダ 7 3 に発行され、プリローダ 7 3 は、ディスプレイリスト D L i を解釈して、必要な先読み動作を実行すると共に、ディスプレイリスト D L i の一部を書き換えて、書換えリスト D L ' を完成させる。なお、先読みされた C G データと書換えリスト D L ' は、D R A M 5 4 の適所に格納される。

【 0 3 7 4 】

次に、描画回路 7 6 は、その次の動作周期 (T 1 + δ) で、D R A M 5 4 から書換えリスト D L ' を取得し、書換えリスト D L ' に基づく描画動作によって、フレームバッファ F B a , F B b に、画像データを完成させる。そして、フレームバッファ F B a , F B b に完成された画像データは、更にその次の動作周期 (T 1 + 2 δ) で、表示回路 7 4 が表示装置 D S 1 , D S 2 に出力することで、その後の表示装置 D S 1 , D S 2 の描画動作に基づき、遊技者が感知する表示画面となる。

【 0 3 7 5 】

以上、V D P 回路 5 2 の間欠動作について概略的に説明したが、上記した図 2 8 ~ 図 2 9 の動作を実現するため、演出制御 C P U 6 3 は、初期処理 (S T 1 ~ S T 3) の後、割込みカウンタ V C N T の値を繰り返し参照して、動作開始タイミングに達するのを待ち、動作開始タイミング (一つ飛びの V ブランク開始タイミング) に達すれば、割込みカウンタ V C N T をゼロクリアする (S T 4) 。

【 0 3 7 6 】

その後、定常動作を開始するが、本実施例では、最初に、定常動作を開始すべき動作開始条件を満たしているか否かを判定する (S T 5) 。なお、この判定タイミングは、図 2 8 ~ 図 2 9 に記載の T 1 , T 1 + δ , T 1 + 2 δ , . . . のタイミング、つまり、表示装置 D S 1 の垂直帰線期間 (VBLANK) の開始タイミングである。なお、表示装置 D S 2 の表示タイミングは、表示装置 D S 1 の表示タイミングに従属するように、初期設定 (S T 3) 時に設定されている。

【 0 3 7 7 】

垂直帰線期間 (VBLANK) の開始タイミングで判定される動作開始条件は、プリローダ 7 3 を活用するか否かで異なるので、先ず、プリローダ 7 3 を活用しない実施例 (図 2 0) について説明する。この場合は、本来、図 2 8 (a) のタイムチャートに示す通りに V D P の内部動作が進行するよう、回路構成やプログラムが設計されている。すなわち、動作周期 (T 1) で完成されたディスプレイリスト D L 1 に基づき、描画回路 7 6 は、その動作周期中 (T 1 ~ T 1 + δ) に、描画動作を終える筈である。しかし、例えば、図 2 8 (a) の動作周期 (T 1 + 2 δ) で完成されたディスプレイリスト D L 3 のように、その動作周期中 (T 1 + 2 δ ~ T 1 + 3 δ) に、描画動作を終わらない場合も無いとは言えない。また、表示回路 7 4 に関して、表示タイミングに対して、表示データの生成が間に合わない Underrun 異常が生じている可能性も無くはない。

【 0 3 7 8 】

ステップ S T 5 の判定処理は、かかる事態を考慮したのであり、演出制御 C P U 6 3 は、描画回路 7 6 の動作状態を示すステータスレジスタ R G i j (制御レジスタ群 7 0 の一種) をアクセスして、ステップ S T 5 のタイミングで、描画回路 7 6 が、必要な動作を終えているか否かと、Underrun 異常の有無を判定する。なお、Underrun 異常の有無は、アンダーランカウンタ U R C N T a ~ U R C N T c に基づいて判定される。また、プリローダ 7 3 を活用しない実施例では、例えば、図 2 8 (a) のタイミング T 1 + δ では、描画回路 7 6 に関する描画レジスタのステータス情報を READ アクセスして、ディスプレイリスト D L 1 に基づく描画動作が終わっていることを確認する。

【 0 3 7 9 】

10

20

30

40

50

そして、動作開始条件を満たさない場合（異常／不適合）には、異常回数をカウントする異常フラグ E R をインクリメントして、ステップ S T 6 ～ S T 8 処理をスキップする。異常フラグ E R は、その他の重大異常フラグ A B N と共に、ステップ S T 9 や S T 1 0 の処理で判定され、重大異常フラグ A B N がリセット状態である前提において、連続異常回数が多くない場合（E R 2）には、正常時と同様に、演出コマンド解析処理を実行する（S T 1 3）。

【0380】

Underrun異常時の場合も、同様に、ステップ S T 6 ～ S T 8 処理をスキップする。そして、所定のシステム制御レジスタ R G i j に、所定のクリア値を書込むことで、表示クロック D C K（周波数）と表示回路 7 4 を初期化する（S T 1 0 c）。そして、この初期化処理の正常終了を確認した後、表示クロック D C K の周波数や、表示回路 7 4 の動作を規定する一群のシステム制御レジスタ R G i j の値を、規定値に再設定した上で（S T 1 0 c）、演出コマンド解析処理を実行する（S T 1 3）。

【0381】

演出コマンド解析処理（S T 1 3）では、主制御基板 2 1 から制御コマンド C M D を受けているか否かを判定し、制御コマンド C M D を受けた場合には、その制御コマンド C M D を解析して必要な処理を実行する（S T 1 3）。ここで、必要な処理には、変動演出の開始を指示する制御コマンド C M D に基づく新規の変動演出の開始準備処理や、エラー発生を示す制御コマンド C M D に基づくエラー報知の開始処理が含まれる。続いて、W D T 回路にクリアパルスを出力して（S T 1 4）、ステップ S T 4 の処理に戻る。

【0382】

以上、軽微なUnderrun異常時や、動作開始条件が不適合の場合であって、異常フラグ E R が E R 2 である場合について説明したが、このような場合には、その動作周期では、表示回路 7 4 が読み出す表示領域をトグル切替える処理（S T 6）や、ディスプレイリストの作成処理（S T 7）がスキップされ、且つ、演出シナリオが進行しないことになる（S T 8 ～ S T 1 2 参照）。これは、不完全な状態のフレームバッファ F B a , F B b の画像データを出力させないためである。そのため、例えば、図 2 8（a）の動作周期（ $T_1 + 3\delta$ ）では、画像演出が進行せず、元の画面（D L 2 に基づく画面）が再表示されるフレーム落ちが生じる。

【0383】

ここで、フレーム落ちを回避するため、動作開始条件が成立するまで待機する構成も考えられる。しかし、演出制御 C P U 6 3 が実行すべき制御処理（S T 6 ～ S T 1 2）は数多く、各々の処理時間を確保する必要があるので、本実施例では、動作開始条件を満たさない場合にフレーム落ちを生じさせている。

【0384】

但し、フレーム落ちが生じたとしても、割込み処理（図 2 0（b））によって進行するランプ演出やモータ演出と比較して、1 / 3 0 ～ 2 / 3 0 秒程度、画像演出の進行が遅れるだけであり、これに遊技者が気付くことはない。しかも、フレーム落ち時には、演出カウンタ E N の更新処理を含んだ演出シナリオ処理（S T 1 1）や、音声進行処理（S T 1 2）も合わせてスキップされるので、その後に開始されるリーチ演出や予告演出や役物演出において、画像演出、音声演出、ランプ演出、及びモータ演出などの開始タイミングがずれるおそれはない。

【0385】

すなわち、演出シナリオでは、画像演出、音声演出、ランプ演出、モータ演出の開始タイミングと、その後に実行すべき演出内容を一元的に管理しており、正常時に限り更新される演出カウンタ E N によって、開始タイミングを制御しているので、各種の演出の同期が外れることはない。例えば、爆発音と、爆発画像と、役物移動と、ランプフラッシュ動作を複合した演出動作がある場合、フレーム落ちが生じた後であっても、上記した各演出動作は正しく同期して開始される。

【0386】

10

20

30

40

50

以上、比較的軽微な異常時について説明したが、重大異常フラグ A B N がセット状態である場合や、連続異常回数が多い場合 (E R > 2) や、繰り返し Underrun 異常が生じる場合には、ステップ S T 1 0 の判定の後、無限ループ状態としている (S T 1 0 b) 。その結果、W D T 回路 5 8 の計時動作が進行して、演出制御 C P U 6 3 を含んだ複合チップ 5 0 は、異常リセットされ、その後、初期処理 (S T 1 ~ S T 3) が再実行されることで、異常事態発生の根本原因の解消が期待される。

【 0 3 8 7 】

なお、このリセット動作は、W D T 回路 5 8 が起動して実行されるので、C P U 回路 5 1 も含め複合チップ 5 0 全体がリセット状態となる (図 6 (b)) 。そこで、C P U 回路 5 1 のリセットを回避するべく、演出制御 C P U 6 3 が、所定のキーワード列 (例えば 1 バイトデータ 3 個) をパターンチェック回路 C H K に出力して、リセット信号 R S T を V D P 回路 5 2 に出力するのも好適である (図 3 4 の S T 1 0 0 参照) 。この場合も、V D P 回路 5 2 のリセット動作の正常終了を確認した後 (S T 1 0 1) 、ステップ S T 4 や S T 1 3 の処理に移行させることになる。

【 0 3 8 8 】

何れにしても、この異常時には、音声回路 S N D も合わせ異常リセットされるので、画像演出、音声演出、ランプ演出、モータ演出は、全て初期状態に戻るようになる。但し、これらのリセット動作は、主制御部 2 1 や払出制御部 2 5 には、何の影響も与えなので、大当たり状態の消滅や、賞球の消滅のような事態が発生するおそれはない。

【 0 3 8 9 】

以上、異常事態について説明したが、実際には、軽微な場合も含め上記した異常が発生することは殆どなく、ステップ S T 5 の処理の後、所定の表示レジスタ R G i j (D S P A C T L / D S P B C T L) への設定に基づき、表示回路 7 4 A と表示回路 7 4 B が読み出すべき画像データを記憶するフレームバッファ F B a , F B b の「表示領域」をトグル的に切り換える (S T 6) 。先に説明した通り、「表示領域 (0) 」と「表示領域 (1) 」は、予め初期処理において定義されているので (S T 3) 、ステップ S T 6 の処理では、フレームバッファ F B a , F B b について、今回の「表示領域」が、表示領域 (0) / 表示領域 (1) の何れであるかを特定する。

【 0 3 9 0 】

このステップ S T 6 が実行されることで、表示回路 7 4 A は、インデックス空間 2 5 4 (表示領域 (0)) と、インデックス空間 2 5 5 (表示領域 (1)) から、動作周期 δ 毎に、交互に画像データを読み出して表示装置 D S 1 を駆動することになる。同様に、表示回路 7 4 B は、インデックス空間 2 5 1 (表示領域 (0)) と、インデックス空間 2 5 2 (表示領域 (1)) から、動作周期 δ 毎に、交互に画像データを読み出してサブ表示装置 D S 2 を駆動することになる。なお、表示回路 7 4 が実際に READ アクセスするのは、表示領域 (0) / 表示領域 (1) における有効データ領域に限定されるのは先に説明した通りである。

【 0 3 9 1 】

何れにしても、本実施例では、動作周期毎に「表示領域」が切り替わるので、表示回路 7 4 A , 7 4 B は、直前の動作周期で描画回路 7 6 が完成させた画像データについて、表示装置 D S 1 , D S 2 への出力処理を開始することになる。但し、ステップ S T 5 の処理は、メイン表示装置 D S 1 の垂直帰線期間 (V ブランク) の開始時から開始されるので、実際には、垂直帰線期間が完了してから画像データの出力処理が開始されることになる。図 2 8 (a) において、表示回路の欄に示す矢印は、この出力処理の動作周期を示している。

【 0 3 9 2 】

以上のような意義を有するステップ S T 6 の処理が終われば、演出制御 C P U 6 3 は、続いて、次の動作周期で、表示回路 7 4 が表示装置に出力すべき画像データを特定したディスプレイリスト D L を完成させる (S T 7) 。特に限定されないが、この実施例では、R A M 5 9 のリストバッファ領域 (D L バッファ B U F) を確保し、そこにディスプレ

10

20

30

40

50

イラストDLを完成させている（図12参照）。

【0393】

ディスプレイリストDLは、一連の指示コマンドを、適宜な順番で列記して構成され、EODL（End Of DL）コマンドを記載して終わるよう構成されている。そして、本実施例では、データ転送回路72、描画回路76、プリローダ73の円滑な動作を実現するべく、EODLコマンドを含む全ての指示コマンドを、コマンド長が32bitの整数N倍（ $N > 0$ ）の指示コマンドだけに限定している。なお、32bitの整数N倍で構成された指示コマンドに、無意ビット（Don't care bit）も含んで良いことは先に説明した通りである。

【0394】

このように、実施例のディスプレイリストDLは、コマンド長が32bitの整数N倍（ $N > 0$ ）の指示コマンドだけで構成されているので、ディスプレイリストDL全体のデータボリューム値（データ総量）は、必ず、コマンド長の最小単位（32bit = 4バイト）の整数倍となる。更に、本実施例では、データ転送回路72の最低データ量Dminを考慮して、ディスプレイリストDLのデータボリューム値を、最低データ量Dminの整数倍（1以上）であって、且つ、指示コマンドの最小単位（4バイト）の整数倍となるよう調整している。例えば、 $Dmin = 256$ バイトであれば、ディスプレイリストDLのデータボリューム値は、256バイト、512バイト・・・の何れかの値に調整される。

【0395】

ここで、演出内容の複雑さに応じて、適宜に、256バイトか、又は512バイトに調整するのも好適であるが、本実施例では、表示装置が二個であり、サブ表示装置DS2はそれほど複雑な画像演出を実行させないことを考慮して、ディスプレイリストDLのデータボリューム値を、常に、256バイトに調整している。

【0396】

もっとも、この手法は、何ら限定されず、表示装置が三個以上になる場合や、サブ表示装置DS2も含め複雑な画像演出を実行する遊技機の場合には、512バイト又は、768バイトに調整される。また、通常の演出時は、ディスプレイリストDLのデータボリューム値を256バイトに調整し、特別な演出を実行する場合に限り、ディスプレイリストDLのデータボリューム値を、512バイト又は、768バイトに調整するのも好適である。

【0397】

但し、本実施例の場合には、ディスプレイリストDLのデータボリューム値は、各動作周期δにおいて、予め規定された所定バイト長（256バイト）に調整される。調整手法としては、32bit長のEODLコマンドの後に、不足領域を補填する32bit長のNOP（No Operation）コマンドを埋める簡易手法（A）か、或いは、不足領域を32bit長のNOPコマンドで埋めた後、最後に32bit長のEODLコマンドを記載する標準手法（B）が考えられる。なお、ディスプレイリストDLのデータボリューム値（データ総量）を全く調整することなくEODLコマンドで終結させ、データ転送回路72の動作時に、ダミーデータを付加的に転送して、最低データ量Dminの整数倍の転送量を確保する無調整手法（C）も考えられる。

【0398】

ここで、標準手法（B）を採る場合には、最初、コマンドカウンタCNTを規定値（256バイトに対応する64 - 1）に初期設定し、DLバッファ領域BUFに、有意な指示コマンドを書き込むごとに、コマンドカウンタCNTを適宜に減算し、一連の有意な指示コマンドの書き込みが終われば、コマンドカウンタCNTがゼロになるまで、NOPコマンドを記載し、最後にEODLコマンドを記載する手法が考えられる。本実施例の場合、指示コマンドは、そのコマンド長が32bitの整数N倍（ $N > 0$ ）のものに限定されているので、上記の処理は容易であり、コマンドカウンタCNTの減算処理は、整数Nに対応した減算処理となる。

【0399】

一方、簡易手法（A）を採る場合には、ディスプレイリストDLの作成時、最初に、リ

10

20

30

40

50

ストバッファ領域（DLバッファBUF）の全てをNOP コマンドで埋めれば足りるので、一見、標準手法（B）より優れているように思われる。また、簡易性の観点では、無調整手法（C）も優れているように思われる。しかし、本実施例では、基本的に標準手法（B）を採っており、ディスプレイリストDLの先頭からEODLコマンドまでの実データ量、つまり、EODLコマンドまでのデータ量が、常に、データ転送回路72の最低データ量Dminの整数倍となるよう調整している。

【0400】

これは、プリローダ73を活用する実施例を考慮したものであり、もし、簡易手法（A）や無調整手法（C）を採用すると、EODLコマンドまでのディスプレイリストDLの実データ量が、ランダムな値となり、プリローダ73が書き換えた書換えリストDL'のDRAM54への転送時や、DRAM54から描画回路76への書換えリストDL'の転送時に支障が生じるからである。なお、書換えリストDL'のDRAM54への転送時には、データ転送回路72のChA制御回路72aが機能し、書換えリストDL'の描画回路76への転送時には、ChB制御回路72bが機能するが（図26参照）、何れの場合もEODLコマンドまでの書換えリストDL'しか転送しないことになる。

【0401】

以上、ディスプレイリストDLのデータボリューム値を調整する標準手法（B）の利点を説明したが、プリローダ73を使用しない実施例では、発行されたディスプレイリストDLは、描画回路76によって処理されるだけであるので、簡易手法（A）や無調整手法（C）の使用が何ら禁止されない。

【0402】

但し、以下の説明では、プリローダ73の使用の有無に拘らず、原則として標準手法（B）を採ることを前提に、図21に基づいて、ディスプレイリストDLの詳細について説明する。

【0403】

特に限定されないが、本実施例では、ディスプレイリストDLに、先ず、メイン表示装置DS1に関する指示コマンド列（L11～L16）を記載し、その後、サブ表示装置DS2に関する指示コマンド列（L17～L20）を記載するようにしている。また、標準手法（B）を採用して、ディスプレイリストDLのデータボリューム値を固定長（256バイト）に調整している。なお、図21は、事実上、演出制御CPU63が、RAM59のリストバッファ領域に、指示コマンドを書き込む手順や、ディスプレイリストDLに基づく描画回路76の動作を示したものともなっている。

【0404】

図21に示す通り、ディスプレイリストDLの先頭では、環境設定系の指示コマンド（SETDAVR）を記載して、表示装置DS1のフレームバッファFbaについて、インデックス空間IDX上の左上基点アドレス（X，Y）を規定する（L11）。図11（a）に関して説明した通り、本実施例では、表示装置DS1用として、任意領域(c)に、一対のフレームバッファFbaが確保されている。そして、通常は、表示回路74にとっての有効データ領域に対応して、基点アドレス（X，Y）＝（0，0）とすることで、フレームバッファFbaの先頭位置から描画回路76に活用される。

【0405】

図11（c）では、その下方左側の実描画領域にL11と付しているが、これは、指示コマンドL11によって、フレームバッファFba上の実描画領域が、フレームバッファFbaの基点アドレス（0，0）位置から始まると特定されたことを意味している。ただし、実描画領域の縦横寸法や、その実描画領域を具体的に特定するインデックス番号は、未だ未確定であり、後述する指示コマンド（SETINDEX）L13によって確定する。なお、指示コマンドL11ではZバッファの使用の有無も指定される。

【0406】

次に、環境設定系の指示コマンド（SETDAVF）によって、仮想描画空間上に、左上基点座標（Xs，Ys）と、右下対角点座標（Xe，Ye）を設定して、W×H寸法の描画

10

20

30

40

50

領域を定義する (L 1 2)。ここで、仮想描画空間とは、描画用の指示コマンド (SPRIT Eコマンドなど) によって描画可能な、X方向± 8 1 9 2、Y方向± 8 1 9 2の仮想的な二次元空間である (図 1 1 (c) 参照)。

【 0 4 0 7 】

この指示コマンド L 1 2 (SETDAVF) によって、仮想描画空間は、描画内容が実際に表示装置 D S 1 に反映される描画領域と、その他の非描画領域に区分される。また、指示コマンド L 1 2 (SETDAVF) は、指示コマンド L 1 1 で開始位置 (基点アドレス) が規定された実描画領域と、仮想描画空間上の描画領域とを対応付けることになる。

【 0 4 0 8 】

この点を言い換えると、指示コマンド L 1 2 によって、(インデックス空間は未定の) フレームバッファ F B a には、仮想描画空間上の描画領域に対応する、基点アドレスから始まる W × H の実描画領域が定義されることになる。したがって、指示コマンド L 1 2 で指定する描画領域は、フレームバッファ F B a の水平サイズと同一か、それ以下とする必要がある。通常、描画領域や実描画領域は、表示回路 7 4 にとっての有効データ領域 (図 2 0 (e)) と同寸法となるよう定義される。

【 0 4 0 9 】

そして、描画回路 7 6 が指示コマンド L 1 1 , L 1 2 を実行した後は、仮想描画空間に描画された描画内容のうち、描画領域に含まれるものだけが、フレームバッファ F B a の実描画領域に反映されることになる。したがって、描画領域からはみ出した部分や、図 1 1 (c) において作業領域と記載された部分の描画内容は、そのままでは、フレームバッファに反映されることはない。なお、仮想描画空間に作業領域を確保する場合には、仮想描画空間の非描画領域が使用される。

【 0 4 1 0 】

次に、今回の動作周期において、描画回路 7 6 が、これから完成させるディスプレイリスト D L に基づいて描画する描画内容を何処に描画すべきかを規定する (L 1 3)。具体的には、ダブルバッファ構成の表示装置 D S 1 のフレームバッファ F B a について、今回のディスプレイリスト D L に基づく描画内容の「書込み領域」となるインデックス空間 I D X が特定される (L 1 3)。具体的には、テクスチャ設定系のコマンドである SETINDEX コマンドによって、(1) フレームバッファ F B a は、任意領域に確保されていること、及び、(2) 「書込み領域」となるインデックス空間 I D X_N の任意領域上のインデックス番号 N が特定される。

【 0 4 1 1 】

この指示コマンド L 1 3 によって、例えば、N = 2 5 5 と特定された場合には、仮想描画空間上に定義された描画領域に対応する実描画領域は、具体的には、ダブルバッファ構造のフレームバッファ F B a におけるインデックス空間 I D X_{2 5 5} であると定義されたことになる。

【 0 4 1 2 】

本実施例の場合、フレームバッファ F B a のインデックス番号は、2 5 5 又は 2 5 4 であり (図 1 1 (a))、トグル的に切り換えた何れかが指定される (L 1 3)。なお、このインデックス番号は、メイン制御処理のステップ S T 6 で指定された表示領域 (0) / (1) ではない方のインデックス番号である。例えば、ステップ S T 6 の処理において、表示回路 7 4 に対して、表示領域 (0) が指定されている場合には、表示領域 (1) が、描画回路 7 6 にとっての「書込み領域」となる。

【 0 4 1 3 】

以上の通り、指示コマンド L 1 1 と指示コマンド L 1 2 とで、実描画領域 (W × H の論理空間) と描画領域 (W × H の仮想空間) との対応関係が、一般的に定義された後、インデックス空間 I D X を具体的に特定する指示コマンド L 1 3 (SETINDEX) によって、W × H の仮想空間が、特定のインデックス空間 I D X における W × H の論理空間である対応付けられたことになる。

【 0 4 1 4 】

10

20

30

40

50

この点を言い換えると、今後、一連の指示コマンドに基づいて、 $W \times H$ の仮想空間に仮想的に描画される内容は、仮想空間と内蔵VRAM 71の実アドレスとの対応関係を規定するVDP内部の変換テーブルに基づいて、内蔵VRAM 71（フレームバッファ）の画像データとなる。

【0415】

続いて、「書込み領域」として、特定されたインデックス空間IDXを、例えば、黒色で塗りつぶすフレームバッファ・クリア処理を実行する指示コマンドが記載される（L14, L15）。これは、二動作期間前にフレームバッファFBAに書き込まれた画像データの消去処理に他ならない。

【0416】

具体的には、環境設定コマンドの一種であるSETFCOLOR コマンドによって、例えば黒色を選択し、プリミティブ描画系コマンドであるRECTANGLE コマンドによって矩形領域を塗り潰すべく規定する。なお、RECTANGLE コマンドでは、仮想描画空間に設定された描画領域（フレームバッファFBAに対応する仮想空間）について、その左上端点と、右下端点のXY座標が指定される（図11（c）参照）。

【0417】

以上の処理によって、描画準備処理が完了するので、次に、静止画や動画一フレームなど、適宜なテクスチャを、仮想描画空間に描画するための指示コマンドを列記する。典型的には、先ず、テクスチャの展開先となるインデックス空間IDXを、テクスチャ設定系のSETINDEXコマンドで特定した上で、テクスチャロード系の指示コマンドであるTXLOADコマンドを記載して、CGROM 55から読み出す所定のテクスチャを、所定のインデックス空間IDXに展開するようディスプレイリストDLに記載する。

【0418】

先に説明した通り、本実施例では、背景動画が、IPストリーム動画で構成されている。そこで、例えば、背景動画について、これを展開すべきインデックス空間IDXを、テクスチャ設定系のSETINDEXコマンドで、ページ領域(b)のインデックス空間IDX₀と特定した上で、テクスチャロード系のTXLOADコマンドを記載する。なお、TXLOADコマンドでは、今回LOADすべき動画フレームについて、CGROM 55の先頭アドレス（テクスチャのSourceアドレス）と、展開後のデータサイズ（水平×垂直）を特定する必要がある。

【0419】

VDP回路52において、上記のTXLOADコマンドが実行されると、背景動画の一動画フレーム（テクスチャ）は、先ず、AAC領域(a)に取得され、その後、自動的に起動するGDEC 75によって、ページ領域(b)のインデックス空間IDX₀に展開される。次に、この一動画フレームを仮想描画空間に描画することになる。この場合に、SETINDEXコマンド（テクスチャ設定系）によって、「ページ領域(b)のインデックス空間IDX₀が、その後の処理対象のテクスチャである」と設定しても良いが、TXLOADコマンドに連続して処理する場合には、このSETINDEXコマンドの記載を省略することができる。

【0420】

何れにしても、「ページ領域(b)のインデックス空間IDX₀が、その後の処理対象のテクスチャである」と特定されている状態で、次に、αブレンド処理のためのパラメータを設定するなど、適宜な描画間演算系の指示コマンドを記載する。なお、αブレンド処理とは、既に描画領域（フレームバッファFBA）に記載されている画像と、これから上書きする画像との透明化/半透明化処理に関するものがある。したがって、背景動画の動画フレームのように、第一枚目の描画動作では、描画間演算系の指示コマンドの使用は不要である。

【0421】

続いて、プリミティブ描画系の指示コマンドであるSPRITEコマンドによって、「ページ領域(b)のインデックス空間IDX₀のテクスチャ（背景動画の一動画フレーム）」を、仮想描画空間の適所（矩形のDestination 領域）に描画するべくSPRITEコマンドを記

10

20

30

40

50

載する。なお、SPRITEコマンドには、仮想描画空間のDestination 領域について、その左上端点と、右下端点を特定する必要がある。

【0422】

このDestination 領域は、予め、指示コマンドL11, L12によって、実描画領域(FBa)に対応付けられた描画領域(仮想描画空間上に定義された仮想空間)の全体又はその一部である。但し、背景動画は、通常、表示画面全体に描画するので、このような場合のDestination 領域は、描画領域の全体又はそれ以上となる。なお、Destination 領域が、描画領域の全体より大きい場合とは、例えば、背景動画がズームアップされる場合である。

【0423】

以上の処理によって、背景動画の動画フレームの描画が終わったので、続いて、テクスチャロード系、テクスチャ設定系、描画間演算系、プリミティブ描画系コマンドなどの指示コマンドを適宜な順番で列記して、背景動画に重ねて、各種のテクスチャを描画するべくディスプレイリストDLを構成することになる。先に説明したように、変動演出時では、多数の動画が必要となるので、その場合には、内蔵VRAM71のページ領域(b)について、インデックス空間IDXを増加するべく、インデックステーブル制御系の指示コマンド(NEWPIX)を記載することになる。

【0424】

例えば、二つ目のIPストリーム動画に関し、NEWPIXコマンドによって、ページ領域(b)に、追加のインデックス空間IDX₁を確保した後、このインデックス空間IDX₁を特定して(SETINDEX)、二つ目の動画の一フレームの展開を指示し(TXLOAD)、展開したテクスチャを描画領域の適所に配置する(SPRITE)。通常、この場合のDestination 領域は、描画領域の一部となる。

【0425】

以下、同様であり、NEWPIXコマンドによって、次々、インデックス空間IDX_kを確保した後、適宜なαブレンド処理を実行しつつ、複数のIPストリームを描画領域に描画すれば、描画領域への描画内容は、実描画領域であるフレームバッファFBaに画像データとして順次蓄積されることになる。複数N個のIPストリーム動画が描画されている演出時には、ページ領域(b)において、複数N個のインデックス空間が機能している。

【0426】

そして、一連の変動演出が終了したような場合には、ページ領域(b)に確保した多数のインデックス空間IDX₁~IDX_kのうち、不要と思われるインデックス空間IDXを開放するべく、DELPPIXコマンドによって不要なインデックス空間IDXを削除すれば良い。

【0427】

なお、静止画やIPストリーム動画を描画する場合には、SETINDEXコマンドによって、これらのテクスチャのデコード先が、AAC領域(a)であると指定した上で、TXLOADコマンドを実行させれば、AAC領域(a)に取得されたテクスチャは、その後、自動的に起動するGDEC75によってAAC領域(a)に展開される。そして、展開されたテクスチャは、SPRITEコマンドによって、描画領域の適所に描画すれば良い。なお、キャッシュヒット機能を活用するか否かに応じて、第一AAC領域(a1)か、第二AAC領域(a2)が使用される。

【0428】

ここまでの説明では、各テクスチャは、直接的に、メイン表示装置用DS1の描画領域に描画されるが、必ずしも、このような動作に限定されない。例えば、既に表示装置DS1用に確保されている描画領域に重複しない状態で、適宜な描画領域を設け(図11(c))、この描画領域を内蔵VRAM71の作業領域に対応付ければ、中間的な描画領域を構築して、適宜な演出画像を完成させることができる。ここで、表示装置DS1用の描画領域と重複しない状態とするのは、重複領域については、後の対応付け設定が優先され、その領域への描画内容がフレームバッファFBaに反映されないからである。

10

20

30

40

50

【 0 4 2 9 】

図 1 1 (c) に示す通り、本実施例の作業領域は、任意領域(c) におけるインデックス空間 IDX_0 である。そして、この作業領域を使用する演出タイミングでは、先行して、演出画像用の描画領域 (図 1 1 (c) 参照) を、作業領域 (インデックス空間 IDX_0 の実描画領域) に対応付けるための指示コマンド列 (SETDAVR , SETDAVF , SETINDEX) を記載しておく。図 1 1 (c) に示す通り、演出画像用の描画領域は、メイン表示装置 DS 1 用の描画領域に含まれない領域に確保される。

【 0 4 3 0 】

そして、その後は、フレームバッファ FB a に関する指示コマンド列 L 1 6 と同様の指示コマンドを列記して、インデックス空間 IDX_0 に、適宜な演出画像を完成させれば良い。本実施例の場合、演出画像は、静止画で構成されるので、デコードデータは第一 AAC 領域(a1)に展開されるよう指示コマンド (SETINDEX) が記載され、次に、インデックス空間 IDX_0 の描画領域の適所を Destination とするプリミティブ描画系の指示コマンド (SPRITE) が使用されることになる。なお、このような動作は、演出内容に応じて、一回又は複数回繰り返される。

10

【 0 4 3 1 】

そして、演出画像を完成させたインデックス空間 IDX_0 をテクスチャと位置付けた後 (SETINDEX)、SPRITEコマンドによって、メイン表示装置用 DS 1 の描画領域の適所に、インデックス空間 IDX_0 の演出画像 (テクスチャ) を描画すれば良い。このような場合、インデックス空間 IDX_0 の演出画像を、三角形の描画プリミティブ (primitive) に分解し、適宜な角度に回転させた上で、描画領域に描画することが考えられる。なお、テクスチャの回転角度は、例えば、予告演出の信頼度などに対応付けられる。

20

【 0 4 3 2 】

以上、メイン表示装置 DS 1 の一フレームを完成させるための指示コマンド列 (L 1 1 ~ L 1 6) について説明したが、サブ表示装置 DS 2 の一フレームを完成させるための指示コマンド列 (L 1 7 ~ L 1 2) についても、同様である。すなわち、フレームバッファ FB b の開始 XY 座標を特定し (L 1 7) を定義し (通常は $X = 0$, $Y = 0$)、図 1 1 (c) に示す仮想描画空間上に、サブ表示装置 DS 2 のための描画領域を定義する (L 1 8)。

【 0 4 3 3 】

ところで、本実施例では、メイン表示装置 DS 1 用の画像データの生成を終えた後、サブ表示装置 DS 2 用の生成処理に移行するので、サブ表示装置 DS 2 用の描画領域が、メイン表示装置 DS 1 用の描画領域と重複しても何の問題もなく、描画領域を自由に設定することができる。そのため、ディスプレイリスト DL の生成プログラムの開発時、例えば、SPRITEコマンドで、新規に設定された描画領域に適宜なテクスチャを貼り付けるような場合、SPRITEコマンドの動作パラメータ (Destination 領域) の設定その他を、ある程度、定型化することができる。

30

【 0 4 3 4 】

このような任意の描画領域の定義が終われば (L 1 8)、次に、ダブルバッファ構成の表示装置 DS 2 のフレームバッファ FB b について、今回のディスプレイリスト DL に基づく描画内容の「書込み領域」となるインデックス空間 IDX を特定する (L 1 9)。このインデックス空間 IDX のインデックス番号は、フレームバッファ FB b に関し、メイン制御処理のステップ ST 6 で指定された表示領域 (0) / (1) に対応しない方のインデックス番号である。

40

【 0 4 3 5 】

そして、その後、サブ表示装置 DS 2 についての指示コマンド列 L 2 0 ~ L 2 2 が、メイン表示装置 DS 1 に関する指示コマンド列 L 1 4 ~ L 1 6 と同様に列記される。また、インデックス空間 IDX_0 に完成させた演出画像を使用することもできる。

【 0 4 3 6 】

以上、ディスプレイリスト DL を構成する L 1 1 ~ L 2 2 の指示コマンドは、本実施例

50

では、全て、コマンド長が32ビットの整数倍のものに限定されている。そして、先に説明した通り、本実施例のディスプレイリストDLのデータボリューム値（データ総量）を、固定長（256バイト）に調整しており、ダミーコマンドたる必要数のNOP コマンド（L23）を付加した上で、EODLコマンド（L24）で終結させている。すなわち、図21の実施例では、前記した標準手法（B）を採っている。

【0437】

但し、標準手法（B）を採る場合でも、全ての動作周期において、ディスプレイリストDLのデータ総量を256バイトと固定化することは必ずしも必須ではない。すなわち、別の実施例では、NOP コマンドを除くディスプレイリストDLのデータ総量が、256バイトを超える場合（例えば、特別な演出期間）には、ディスプレイリストDLのデータ総量は、NOP コマンドを付加することで、512バイト又はそれ以上の $N \times 256$ バイトに調整される。なお、標準手法（B）を採る場合、 $N \times 256$ バイトの最後はEODLコマンドで終端されることは先に説明した通りである。

10

【0438】

以上、ディスプレイリストDLの構成について詳細に説明したが、演出制御CPU63は、完成させた固定バイト長のディスプレイリストDLをVDP回路に発行することになる（ST7～ST8）。図22は、演出制御CPU63が、転送回路72の転送ポートレジスタTR_PORTを直接WRITE アクセスして、描画回路76にディスプレイリストDLを発行するDL発行処理（図20のST8）を説明するフローチャートである。なお、転送ポートレジスタTR_PORTは、データ転送回路72の動作内容を規定するデータ転送レジスタRGijの一種である。

20

【0439】

DL発行処理を実現するには、先ず、データ転送回路72の動作内容を規定する複数のデータ転送レジスタRGijに、必要な設定値を設定する必要がある。具体的には、データ転送回路72の転送動作態様と、データ転送回路72内部の伝送経由と、を所定のデータ転送レジスタRGijに特定する。設定内容は、特に限定されないが、ここでは、CPUIF部56からChB制御回路72bを経由すること、及び、CPUバス制御部72dに関し、そのFIFOバッファの残量をチェックしながらデータ転送動作を実行すると設定する（ST20）。なお、以下の説明では、ChB制御回路72bを、便宜上、「転送回路ChB」と略すことがある。

30

【0440】

次に、転送総サイズを、所定のデータ転送レジスタRGijに設定する。先に説明した通り、本実施例では、ディスプレイリストDLのデータ総量を256バイトの整数倍に調整しているので、その値を設定する。なお、データ総量 $= 256 \times N$ は、データ転送回路72の最低データ量Dminの整数N倍にもなっている。通常、倍数Nは、1又は2であるが、以下の説明では、 $N = 1$ として説明することにする。

【0441】

ここで、転送ポートレジスタTR_PORT（以下、転送ポートと略すことがある）は、32bit長のレジスタであるので、演出制御CPU63は、32bit毎に、転送ポートTR_PORTに対して、レジスタWRITE動作を実行することになる。そこで、レジスタWRITE回数を管理する管理カウンタCNの値を64の初期設定する（ST21）。なお、無調整手法（C）を採る場合は、このタイミングで、最低データ量Dminの整数倍のデータ転送量を決定して、管理カウンタCNを設定することになる。

40

【0442】

以上の処理で初期設定が完了するので、次に、転送回路ChBを経由するデータ転送動作を開始状態に設定すると共に（ST22）、描画回路76の動作を規定する所定の描画レジスタRGijへの設定値に基づいて、描画動作を開始させる（ST23）。この結果、その後、演出制御CPU63が、転送ポートTR_PORTにレジスタWRITE動作する指示コマンド列について、描画回路76（ディスプレイリストアナライザ）による迅速かつ円滑なAnalyze処理が担保される。

50

【 0 4 4 3 】

なお、迅速かつ円滑なAnalyze 処理には、ディスプレイリストDLに列記する指示コマンドが、コマンド長32bit整数倍の指示コマンドに限定されている点も有効に寄与する。図28(a)におけるタイミングt1, t2, t3, t4は、ステップST23の動作タイミングを示している。なお、ディスプレイリストDLの発行処理(ST8)は、素早く終わるので、図28～図29では発行処理の要する時間幅を記載していない。

【 0 4 4 4 】

続いて、ステップST22の設定が機能したか否かを確認する(ST24)。これは、データ転送回路72の各部の初期設定は、演出制御CPU63によるレジスタWRITE動作(設定動作)より処理時間がかかるので、不完全な状態のデータ転送回路72に対して、その後の指示を与えないためである。そして、万一、所定時間、待機しても動作開始状態にならない場合には、重大異常フラグABNをセットしてDL発行処理を終える(ST25)。その結果、その後、WDT回路58が機能して、複合チップ50は異常リセットされる(ST10)。

10

【 0 4 4 5 】

なお、演出制御CPU63は、CPU回路51のリセットを回避するべく、所定のキーワード列をパターンチェック回路CHKに出力して、リセット信号RSTに基づいてVDP回路52だけを異常リセットしても良いのは前述した通りである。

【 0 4 4 6 】

但し、通常は、ステップST22の設定は、迅速に完了するので、続いて、CPUバス制御部72dのFIFOバッファ(32bit×130段)について、FIFOバッファが満杯でないことを確認した上で(ST26)、ディスプレイリストDLを構成する先頭行から順番に、一行ごとに転送ポートTR_PORTに指示コマンドを書込む(ST28)。

20

【 0 4 4 7 】

そして、管理カウンタCNをデクリメントしつつ(ST29)、管理カウンタCNがゼロになるまで、ステップST26～ST29の処理を繰り返す(ST30)。この実施例の場合、データ転送回路72には、最低データ量Dminが規定されているので、FIFOバッファに最低データ量Dminが蓄積されたタイミングで、データ転送動作が実行されることになり、間欠的な転送動作となる。

【 0 4 4 8 】

何れにしても、本実施例では、迅速にDL発行処理(ST28)が完了するが、万一、ノイズなどの影響でVDPレジスタRGijへの設定内容が矛盾したような場合には、ステップST26の判定において、所定時間待機してもFIFOバッファFullの状態が解消されない場合もあり得る。そして、そのような場合には、所定のVDPレジスタRGijに初期化データをセットして、描画回路76とデータ転送回路72を初期化した上で、重大異常フラグABNをセットしてDL発行処理を終える(ST27)。

30

【 0 4 4 9 】

ところで、このタイミングでは、データ転送回路72や、描画回路76は、既に動作を開始しており、ある程度の処理を終えているので、描画回路76の初期化処理には、描画レジスタRGijの内容を維持した状態で、(1)ディスプレイリストDLによって設定される可能性のある全ての内部パラメータを初期値に設定すること、(2)全ての内部制御回路を初期状態に設定すること、(3)GDEC75を初期化すること、(4)AAC領域のキャッシュ状態を初期化することが含まれている。同様に、データ転送回路72の初期化処理には、FIFOバッファのクリアなど、それまでのデータ転送全体の初期化処理が含まれている。この結果、データ転送回路72の動作状態を示すステータス情報が所定値(データ転送全体初期化中を示す値)に変化する。

40

【 0 4 5 0 】

なお、上記したステップST27の初期化処理では、描画レジスタRGijの内容を維持したが、所定の描画レジスタについては、その内容を初期化しても良い。初期値にクリアされる所定の描画レジスタには、(a)描画実行開始を設定する実行制御レジスタ(図2

50

2のST23参照)、(b)描画回路76の実行状況を示すステータスレジスタ、及び、(c)現在処理しているディスプレイリストの位置を特定するステータスレジスタが含まれる。

【0451】

何れにしても、重大異常フラグABNをセットした結果、その後、WDT回路58や演出制御CPU63が機能して、複合チップ50か、又はVDP回路52が異常リセットされるので(ST10a)、描画回路76やデータ転送回路72を初期化する処理は必ずしも必須ではない。一方、描画回路76やデータ転送回路72を初期化する場合には、その結果、異常回復が期待できるので、重大異常フラグABNをセットすることなく、ステップST20の処理に戻ってDL発行処理を再実行するのも好適である。

【0452】

この点は、ステップST25の処理においても同様であり、データ転送回路72や描画回路76を初期化した上で、重大異常フラグABNをセットすることなく、ステップST20の処理に戻るもの好適である。但し、このような場合には、DL発行処理の再実行回数をカウントし、再実行回数が限界値を越えれば、重大異常フラグABNをセットしてDL発行処理を終えることになる。

【0453】

図22(b)は、正常な動作状態について、確認的に図示したものである。図示の通り、発行されたディスプレイリストDLは、列記された指示コマンドの順番に、描画回路76(ディスプレイリストアナライザ)によって解析され、各指示コマンドに基づく動作が実行される。この動作は、ディスプレイリストDLの発行処理や、データ転送回路72のデータ転送動作(ST26~ST30)に並行して実行される。

【0454】

例えば、指示コマンド(TXLOAD)が実行されることで、CGROM55から必要なテクスチャが読み出されてAAC領域(a)に取得され、その後、GDEC75が自動的に起動してデコード動作が実行され、デコード後のデータが所定のインデックス空間に展開される。また、指示コマンドによっては、ジオメトリエンジン77その他が機能するが、何れにしても、描画回路76の各部が協働することで、ディスプレイリストDLに対応する画像データがフレームバッファFba, Fbbに完成されることになる。

【0455】

続いて、DMAC回路60を介在させてディスプレイリストDLを発行する場合を、図23に基づいて説明する。何ら限定されないが、DMAC回路60に内蔵された第1~第4のDMAチャンネルのうち、第3のDMAチャンネルを使用することにする。

【0456】

図23の実施例では、まず、所定のデータ転送レジスタRGijと、所定の描画レジスタRGijに各々クリア値を設定して、データ転送回路72と、描画回路76を初期化する(ST20)。この処理は、図22のステップST27のエラー処理と同じであり、FIFOバッファを含んだデータ転送回路72の内部回路が初期化され、データ転送の進行状態を示すデータ転送レジスタのステータスビットが初期値となり、データ転送全体を初期化中であることを示すビットが所定値となる。

【0457】

描画回路76についても同様であり、上記した(1)内部パラメータを初期値に設定すること、(2)内部制御回路を初期状態に設定すること、(3)GDEC75を初期化すること、(4)AAC領域のキャッシュ状態を初期化する処理が含まれている。また、描画回路の初期化処理(図23のST20)においても、前記した所定の描画レジスタRGijを初期化しても良い。なお、図22の処理において、このような初期化処理を最初に実行しても良い。

【0458】

図23の処理では、次に、初期化処理が正常に完了したことを、データ転送回路72と描画回路76の動作状態を特定する所定のステータスレジスタRGijをREADして確認する(ST21)。そして、万一、初期化できない場合には、重大異常フラグABNをセ

10

20

30

40

50

ットして処理を終える（S T 2 2）。但し、このような事態は、実際にはほぼ発生しない。

【 0 4 5 9 】

次に、データ転送回路 7 2 の転送動作態様と、データ転送回路 7 2 内部の伝送経由とを、所定のデータ転送レジスタ R G i j に設定する。設定内容は、特に限定されないが、ここでは、C P U I F 部 5 6 から C h B 制御回路 7 2 b を経由すること、及び、C P U バス制御部 7 2 d への転送プロトコルに関し、D M A C 回路 6 0 への設定に従うと設定する（S T 2 3）。

【 0 4 6 0 】

次に、転送総サイズを、所定のデータ転送レジスタ R G i j に設定する。図 2 2 の場合と同様、データ総量 = 2 5 6 となる。なお、無調整手法（C）を採る場合は、このタイミングで、最低データ量 D m i n の整数倍の転送総サイズを決定して設定することになる。次に、所定の描画レジスタ R G i j への設定値に基づいて、描画回路 7 6 の描画動作を開始させる（S T 2 5）。図 2 8（a）におけるタイミング t 1 , t 2 , t 3 , t 4 は、ステップ S T 2 5 の動作タイミングでもある。そして次に、D M A C 回路 6 0 の動作を開始させた上で（S T 2 6）、データ転送回路 7 2 のデータ転送動作を開始させる（S T 2 7）。

10

【 0 4 6 1 】

D M A C 回路 6 0 の動作を開始処理は、図 2 3（b）に示す通りであり、先ず、D M A C 転送を禁止した状態で、一サイクルのデータ転送単位（1 オペランド）の転送が完了するのを待つ（S T 4 0）。詳細な動作内容は、図 2 4 に示す処理と同じであり、D M A C 転送を禁止設定する処理（S T 5 3）と、その後の待機処理（S T 5 4）に区分される。

20

【 0 4 6 2 】

このような処理を設けるのは、(1) 他の実施例では、メイン制御処理やタイマ割込み処理（図 2 0）で、D M A C 回路 6 0（第 3 の D M A チャンネル）を使用する可能性があること、及び、(2) 図 2 0 のステップ S T 5 の処理を設けない他の実施例において、ディスプレイリスト D L の発行を開始した D M A C 回路 6 0 が、その動作周期（ δ ）内では D L 発行動作を終了できない場合もあり得ることなどを考慮したものである。

【 0 4 6 3 】

上記のような例外事態において、動作中の D M A C 回路 6 0 に対して、新規の設定値（矛盾する設定値など）を追加的に設定すると、正常な D M A 動作が全く担保されず、深刻なトラブルが懸念されるが、ステップ S T 4 0 の処理を設けることで、その後の設定値に基づく正常動作が担保される。すなわち、本実施例を一部変更した変更実施例でも、先行するトラブルに拘らず、その後の正常な D M A 動作を実現することができる。

30

【 0 4 6 4 】

以上のような意義を有するステップ S T 4 0 の処理を実行すれば、次に、D M A C 回路 6 0 の動作条件を設定する（S T 4 1）。具体的には、図 8 に示す通り、サイクルスチール転送モードを選択し、一オペランド転送を 3 2 b i t 転送 × 2 回とする。また、Source アドレスは、R A M 5 9 のリストバッファ領域（D L バッファ B U F）のアドレスであるので順次増加と認識すべきこと、一方、Destination アドレスは、転送ポート T R _ P O R T であるため固定値とすべきことを規定する。

40

【 0 4 6 5 】

次に、R A M 5 9 の D L バッファ B U F の先頭アドレスを、D M A C 回路 6 0 の動作を規定する所定の動作制御レジスタ R E G に設定すると共に（S T 4 2）、転送先アドレスである転送ポート T R _ P O R T のアドレスを設定する（S T 4 3）。また、転送総サイズ、つまり、ディスプレイリスト D L のデータ総量を 2 5 6 バイトに設定した上で（S T 4 4）、D M A C 回路 6 0 の D M A 動作を開始させる（S T 4 5）。

【 0 4 6 6 】

ところで、ここまでの説明は、指示コマンドの実質ビット長が、全て 3 2 b i t の整数倍であることを前提にした。しかし、ディスプレイリスト D L や指示コマンドの構成は必ずしも限定されないもので、以下、このような場合について説明する。

50

【0467】

例えば、前記した無調整手法(C)を採る場合も含め、ディスプレイリストDLのデータ総量Xが、32bitの整数倍ではない任意値Xである場合には、ステップST44の処理では、この任意値Xを、適切な転送量MODに調整した上で、転送総サイズの設定処理を実行する。ここで、適切な転送量MODは、一オペランド転送についての設定内容と、データ転送回路72の最低データ量Dmin(バイト)とに基づいて規定される。

【0468】

具体的には、一オペランド転送設定がNバイト×M回であれば、転送量MODは、N×M(バイト)の整数倍であって、且つ、Dmin(バイト)の整数倍の値に調整される。例えば、N×M=8×4、Dmin=256であれば、任意値X(=300)バイトは、転送量MOD(=512)バイトに調整される。

10

【0469】

以上、一般論も含め説明したが、DMAC回路60のDMA動作は、図8に示すようなサイクルスチール転送動作が開始され、CPUの動作を特に阻害することなく、ディスプレイリストDLが、実施例の場合には32ビット毎に、転送ポートTR_PORTに転送される。そして、転送されたデータは、転送回路ChBを経由して、描画回路76に転送される。

【0470】

このような動作を実現するため、本実施例では、ステップST45の処理に続いて、データ転送回路72の転送動作を開始させて処理を終える(ST27)。その後、データ転送回路72は、DMAC回路60から最低データ量Dminを一単位として、ディスプレイリストDLの指示コマンド列を受け、これを描画回路76に転送する。そして、描画回路76は、ディスプレイリストDLの指示コマンドに基づいて描画動作を実行する。したがって、ステップST27の処理の後、演出制御CPU63は、図20のステップST11の処理を開始することができ、VDP回路52による描画動作(DMAC回路60によるDL発行処理)と並行して、音声演出やランプ演出やモータ演出を制御することができる。

20

【0471】

図23(c)は、この動作内容を図示したものである。DMA転送に先行して、描画回路の動作を開始しており(ST25)、描画回路76のディスプレイリストアナライザは、迅速かつ円滑にAnalyze処理を実行し、その他、GDEC75やジオメトリエンジン77などの動作に基づき、フレームバッファFBa、FBbには、各表示装置DS1、DS2について、各一フレーム分の画像データが生成される。

30

【0472】

ところで、DL発行処理をステップST27の処理で終える図23の構成は、必ずしも、限定されない。例えば、図30～図31のように、音声演出、ランプ演出、及びモータ演出を、他のCPUが制御する場合には、ステップST27の処理の後、DMAC回路60やデータ転送回路72の正常動作を確認するのが好ましい。図24は、図23のステップST27に続く動作であり、正常動作の確認処理を説明するフローチャートである。

【0473】

まず、所定のステータスレジスタを参照して、DMAC回路60の転送動作が正常に終了していることを確認する(ST50)。また、データ転送回路72が転送動作を終了していることを確認する(ST51)。通常、このような経路で、図23のDL発行処理が完了する。

40

【0474】

一方、所定時間待機しても、DMAC回路60の動作が完了していない場合、或いは、データ転送回路72が転送動作を完了していない場合には、描画回路76とデータ転送回路72について、所定のVDPレジスタRGijにクリア値を設定して、DL発行処理を初期化する(ST52)。これは、ディスプレイリストDLの発行処理が正常に終了していないことに基づく動作であり、具体的には、図22のステップST27のエラー処理や

50

、図 23 のステップ S T 20 の初期処理と同じ内容である。

【 0 4 7 5 】

すなわち、この場合も、描画回路 76 は、既に動作を開始しており、ある程度の処理を終えているので、描画回路 76 の初期化処理には、(1) ディスプレイリスト D L によって設定される可能性のある全ての内部パラメータを初期値に設定すること、(2) 全ての内部制御回路を初期状態に設定すること、(3) G D E C 75 を初期化すること、(4) A A C 領域のキャッシュ状態を初期化することが含まれる。

【 0 4 7 6 】

次に、新規の D M A 転送動作を禁止した上で (S T 53)、実行中の一オペランドの転送動作が終わるのを待つ (S T 54)。先に説明した通り、本実施例では、32bit 転送 × 2 回を一オペランドとしており、動作中の D M A C 回路 60 をいきなり初期化することを避けるためである。

10

【 0 4 7 7 】

そして、この準備作業が終われば、D M A C 回路 60 の動作を規定する所定の動作制御レジスタ R E G にクリア値を設定して、D M A C 回路 60 を初期化する (S T 52)。そして、重大異常フラグ A B N をセットして D L 発行処理を終える。なお、この場合、ステップ S T 52 や S T 55 の処理によって、異常回復が期待できるので、重大異常フラグ A B N をセットすることなく、図 23 のステップ S T 20 に戻って、D L 発行処理を再実行するのも好適である。但し、D L 発行処理 (S T 23 ~ S T 27) の再実行回数をカウントし、再実行回数が限界値を越えれば、重大異常フラグ A B N をセットして D L 発行処理を終える必要がある。

20

【 0 4 7 8 】

続いて、プリローダ 73 を使用する場合のメイン制御処理について、図 25 に基づいて説明する。図 25 の処理は、図 20 の処理に類似しているが、先ず、開始条件判定 (S T 5') の内容が相違する。すなわち、プリローダを使用する実施例では、各動作周期の開始時に、描画回路 76 とプリローダ 73 のステータス情報を READ アクセスして、ディスプレイリスト D L 1 に基づく描画動作が終わっていること、及び、ディスプレイリスト D L 2 に基づくプリロード動作が終わっていること確認する (S T 5')。

【 0 4 7 9 】

図 29 (a) のタイムチャートに示す通り、プリローダ 76 は、例えば、動作周期 (T 1) に発行されたディスプレイリスト D L 1 に基づき、その動作周期中 (T 1 ~ T 1 + δ) に、先読み動作 (プリロード動作) を終えている筈である。また、描画回路 76 は、例えば、動作周期 (T 1 + δ) で指示された動作開始指令に基づき、その動作周期中 (T 1 + δ ~ T 1 + 2 δ) に、ディスプレイリスト D L 1 に基づく描画動作を終えている筈である。

30

【 0 4 8 0 】

そこで、(S T 5') では、描画回路 76 とプリローダ 73 に関する V D P レジスタ R G i j のステータス情報を READ アクセスして、上記の正常動作を確認するのである。図 29 (a) には、動作周期 T 1 , T 1 + δ , T 1 + 2 δ , T 1 + 4 δ の判定タイミングでは正常動作が確認されるが、動作周期 T 1 + 3 δ の判定タイミングでは、プリロード動作が終了していない状態が示されている。

40

【 0 4 8 1 】

そして、このような異常時には、異常フラグ E R をインクリメントした上で (E R = E R + 1)、ステップ S T 9 の処理に移行させている。そのため、図 20 の実施例の場合と同様に、フレーム落ちが生じる。すなわち、表示領域の切換え処理 (S T 6) がスキップされるので、同じ画面が再表示される。図 28 (a) に示す動作期間 (T 1 + 3 δ ~ T 1 + 4 δ) は、その動作状態を示している。

【 0 4 8 2 】

また、ステップ S T 5' の判定において、開始条件を満たさない場合には、描画回路 76 に対して、書換えリスト D L' に基づく描画動作の開始指示 (P T 10) が実行されないの

50

で、描画回路 7 6 は非動作状態であり、また、新規のディスプレイリストが生成されることもない。なお、図 2 9 (a) において、タイミング t_0 , t_2 , t_4 は、描画動作の開始指示 (P T 1 0) の動作タイミング、より正確には、図 2 6 のステップ S T 2 6 のタイミングを示している。

【 0 4 8 3 】

以上、ステップ S T 5 ' の判定が不適合の場合を説明したが、通常の場合は、フレームバッファ F B a , F B b の表示領域をトグル的に切替えた後 (S T 6) 、描画回路 7 6 に対して、書換えリスト D L ' に基づく描画動作を開始させる (P T 1 0) 。具体的な内容は、図 2 6 に示す通りであり、描画回路 7 6 は、演出制御 C P U 6 3 の制御に基づき、データ転送回路 7 2 (転送回路 C h B) を経由して、外付け D R A M 5 4 の D L バッファ B U F ' から書換えリスト D L ' を取得して描画動作を実行することになる。

10

【 0 4 8 4 】

この動作を実現する図 2 6 のフローチャートを説明することに先行して、プリローダ 7 3 の動作を確認すると、プリローダ 7 3 は、一動作周期前に取得したディスプレイリスト D L に基づき、C G R O M 5 5 の先読み動作 (プリロード) を完了しており、先読みされたデータは、外付け D R A M 5 4 に確保されたプリロード領域に既に格納済みである。また、ディスプレイリスト D L に記載されているテクスチャロード系のコマンド (T X L O A D) については、その Source アドレスがプリロード領域のアドレスに書換えられ、書換えリスト D L ' として、外付け D R A M 5 4 の D L バッファ B U F ' に格納されている。

【 0 4 8 5 】

20

なお、この書換え処理において、ディスプレイリスト D L のデータ総量に変化はなく、書換えリスト D L ' のデータ総量は、ディスプレイリスト D L と同じである。また、ディスプレイリスト D L は、標準手法 (B) で作成されており、書換えリスト D L ' の最後は、ディスプレイリスト D L の場合と同様に E O D L コマンドである。

【 0 4 8 6 】

以上を踏まえて、図 2 6 について説明すると、演出制御 C P U 6 3 は、まず、所定のデータ転送レジスタ R G i j と、所定の描画レジスタ R G i j に各々クリア値を設定して、データ転送回路 7 2 と、描画回路 7 6 を初期化する (S T 2 0) 。この処理は、図 2 3 の S T 2 0 の処理と同一内容である。次に、この初期化処理が正常に終了したことを確認し (S T 2 1) 、万一、所定時間経過しても初期化が完了しない場合には、重大異常フラグ A B N をセットして処理を終える (S T 2 2) 。

30

【 0 4 8 7 】

通常は、データ転送回路 7 2 と描画回路 7 6 の初期化は正常に終了するので、続いて、データ転送回路 7 2 内部の伝送経路を、所定のデータ転送レジスタ R G i j に設定する (S T 2 3) 。具体的には、外付け D R A M 5 4 から、C h B 制御回路 7 2 b を経由して描画回路 7 6 にデータを転送すると設定する (S T 2 3) 。次に、書換えリスト D L ' が格納されている外付け D R A M 5 4 の D L バッファ B U F ' について、その先頭アドレスを、所定のデータ転送レジスタ R G i j に設定する (S T 2 4) 。

【 0 4 8 8 】

また、この書換えリスト D L ' について、転送総サイズを、所定のデータ転送レジスタ R G i j に設定する (S T 2 5) 。先に説明した通り、書換えリスト D L ' のデータ総量は、ディスプレイリスト D L のデータ総量と同じであり、具体的には、例えば、2 5 6 バイトである。

40

【 0 4 8 9 】

次に、所定の描画レジスタ R G i j への設定値に基づいて、描画回路 7 6 の描画動作を開始させる (S T 2 6) 。図 2 8 (a) におけるタイミング t_1 , t_2 , t_3 , t_4 は、ステップ S T 2 6 の動作タイミングでもある。そして、次に、所定のデータ転送レジスタ R G i j への設定値に基づいて、データ転送回路 6 0 の動作を開始させて処理を終える (S T 2 7) 。その後、演出制御 C P U 6 3 は、データ転送回路 7 2 や描画回路の動作に特に関与せず、次の動作周期で実効化されるディスプレイリストの生成処理 (S T 7) に

50

移行する。

【0490】

一方、ステップST26のタイミングで動作を開始する描画回路76は、書換えリストDL'に基づいた描画動作を実行して、フレームバッファFBa, FBbに、書換えリストDL'に基づいた画像データを生成する。なお、この動作において、描画回路76は、CGROM55をREADアクセスすることなく、もっぱら、プリロード領域をREADアクセスするので、一連の描画動作を迅速に完了することができる。

【0491】

以上、ステップPT10の処理内容を説明したので、図25に戻って説明を続けると、ステップPT11の処理の後、プリローダ73を活用する実施例では、次サイクルで実効化されるディスプレイリストDLを、標準手法(B)に基づいて作成する(ST7)。例えば、図29(a)に示す動作周期(T1)では、次サイクルである動作周期(T1+δ)において、描画回路76に参照されるディスプレイリストDLを作成する。

10

【0492】

次に、演出制御CPU63は、作成後のディスプレイリストDLを、描画回路76ではなく、プリローダ73に発行する(PT11)。具体的な動作内容は、図27に示す通りである。先に、プリローダ73を使用しない実施例(図20)に関し、演出制御CPU63が、ディスプレイリストDLを、直接的に、描画回路76に発行する場合(図22)と、DMAC回路60を経由して発行する場合(図23)を示しているが、図27には、発行先がプリローダ73である点を除いて、ほぼ同じ動作が図27(b)と図27(c)に示されている。

20

【0493】

図27(a)は、図27(b)の動作を説明するフローチャートであり、図22のフローチャートとほぼ同じである。但し、CPUIF部56からChC制御回路72cを経由すること、及び、CPUバス制御部72dに関し、そのFIFOバッファの残量をチェックしながらデータ転送動作を実行すると設定する(ST20)。なお、以下の説明では、ChC制御回路72cを、便宜上、「転送回路ChC」と略すことがある。

【0494】

次に、転送総サイズ(標準手法(B)で調整された例えば256バイト)を、所定のデータ転送レジスタRGij設定し、管理カウンタCNを64に初期設定する(ST21)。次に、転送回路ChCを経由するデータ転送動作を開始状態に設定すると共に(ST22)、プリローダ73の動作を規定するプリロードレジスタRGijへの設定値に基づいて、プリロード動作を開始させる(ST23)。

30

【0495】

この結果、その後、プリローダ73は、演出制御CPU63が、転送ポートTR_PORTに書込む指示コマンド毎に、必要な解析(Analyze)処理を実行し、CGROM55をREADアクセスすべき指示コマンド(TXLOAD)を検出すると、そのテクスチャをプリロードして、DRAM54のプリロード領域に保存する。また、テクスチャのSourceアドレスを変更した書換えリストDL'をDRAM54のDLバッファ領域BUF'に保存する。

【0496】

40

なお、図29(a)におけるタイミングt1, t3, t5は、事実上、図27のステップST23の動作タイミングを示している。但し、この実施例においても、ディスプレイリストDLの発行処理の途中で、何らかの異常が発生すれば、ステップST25やステップST27の処理を実行する。具体的には、データ転送回路72や、プリローダ73の動作を初期化して、可能な範囲でディスプレイリストDLの発行処理(ST20~ST30)を再実行する。プリローダ73の初期化処理には、未完成状態の書き換えリストDL'の消去や、新規にプリロードデータを記憶したプリロード領域のクリア処理が含まれる。

【0497】

以上、プリローダ73を使用する場合と、使用しない場合について詳細に説明したが、具体的な動作内容は、特に限定されない。図28(b)は、演出制御CPU63が生成し

50

たディスプレイリストを、生成したその動作周期ではなく、一動作周期 δ 遅れて描画回路76に発行する実施例を示している。このような実施例の場合には、描画回路76は、一動作周期(δ)のほぼ全時間を使用できるので、フレーム落ちの可能性が低減される。

【0498】

また、図29(b)は、演出制御CPU63が生成したディスプレイリストを、生成したその動作周期ではなく、一動作周期遅れてプリローダ73に発行する実施例を示している。この場合は、プリローダ73は、一動作周期(δ)のほぼ全時間を使用してプリロード動作を実行することができるので、この場合も、フレーム落ちの可能性が低減される。

【0499】

なお、ここまでの説明では、複合チップ50を使用することになっているが、必ずしも、演出制御CPU63とVDP回路52を、一素子に集積化する必要はない。更にまた、上記の実施例では、演出制御全体を、単一のCPU(演出制御CPU63)で制御しているが、上流側のCPUと、下流側の演出制御CPU63が互いに協働して、演出制御動作を実行しても良い。

【0500】

図30～図31は、このような実施例を示すブロック図である。図示の通り、この実施例では、上流側の演出制御CPUが、音声演出と、ランプ演出と、モータ演出を制御している。一方、下流側のCPU回路51は、演出制御CPUから受ける制御コマンドCMDに基づいて、画像演出だけを制御している。

【0501】

このような構成を採る場合には、CPU回路51は、図20(a)のステップST12の処理と、図20(b)の処理を実行する必要がなく、十分に時間をかけて複雑なディスプレイリストDLを生成することができ、より複雑で高度な3D(Dimension)などの画像演出を実現することができる。このような場合には、ディスプレイリストが大型化するが、その場合には、ディスプレイリストDLのデータ総量は、ダミーコマンドを付加することで、512バイト又はそれ以上の $N \times 256$ バイトに調整される。

【0502】

また、下流側のCPU回路51の動作は、画像演出制御に特化されるので、ディスプレイリストDLの発行後、描画動作が完了するのを確認することもできる。図22の下方は、この場合の動作制御例を示しており、限界時間を超えても描画動作が完了しない場合には、重大異常フラグABNをセットして処理を終える(ST32)。なお、下流側のCPU回路51の処理は、画像演出制御だけであるので、簡易的には、描画動作の完了を無限ループ状に待機するのでも良い。

【0503】

このような構成を採る場合、図20(a)の開始条件判定(ST5)を所定時間繰り返すことができる。このように構成しても、描画動作完了の遅れが、それほど長くなければ、表示領域(0)と表示領域(1)の切り換えが遅れるだけの問題しか生じない。すなわち、図32(a)に示す動作周期 $T1 + 3\delta$ のように、表示動作が二回繰り返される一動作周期の中で、前半だけ、フレーム落ち状態となり、後半は、正常なフレームが表示される。

【0504】

この点は、プリローダを使用する場合も同様であり、図25(a)の開始条件判定(ST5')を所定時間繰り返すことができる。そして、多少の遅れであれば、図32(b)に示す動作周期 $T1 + 3\delta$ のように、前半だけ、フレーム落ち状態となり、後半は、正常なフレームが表示される。但し、描画動作の完了が大幅に遅れると、図28(a)の動作周期 $T1 + 3\delta$ と同様に、完全なフレーム落ちが生じることになり、万一、このような事態が継続すると、WDT回路58が起動することになる。この点は、プリローダを使用しない場合も同様である。

【0505】

また、CPU回路51の制御動作が画像演出制御に特化される場合、DMA転送を採用

10

20

30

40

50

する実施例では、図 2 4 の下方に示す通り、描画回路 7 6 の描画動作の完了と、データ転送回路 7 2 の動作完了と、DMA C 回路 6 0 の動作完了が判定される (S T 5 0 ' ~ S T 5 2 ') 。そして、何れかの動作が正常に終了しない場合には、データ転送回路 7 2 と、描画回路 7 6 の動作を初期化し、ステップ S T 5 3 ~ S T 5 5 の処理と同様の処理 (S T 5 5 ' ~ S T 5 7 ') が実行される。なお、この場合も、所定回数だけ、DL 発行処理を再実行するのが好適である。

【 0 5 0 6 】

以上、メイン表示装置 D S 1 及びサブ表示装置 D S 2 のフレームバッファ F B a , F B b として、各表示装置の水平ピクセル数に完全一致する水平サイズのインデックス空間を構築する実施例について説明した。図 3 3 (a) は、この関係を確認的に図示したものであり、仮想描画空間上の描画領域 (W × H) と、インデックス空間上の有効データ領域 (実描画領域 W × H) とが、何れも、表示装置の水平 / 垂直ピクセル数に一致する場合を示している。

10

【 0 5 0 7 】

このような対応関係において、ディスプレイリスト D L による仮想描画空間への描画動作は、必ずしも、描画領域 (W × H) に限定されないもので、例えば、図 3 3 (a) 上部の左傾斜線で示すように、描画領域 (W × H) を超える描画画像 (W ' × H ') について、その描画位置を時間的に移動させることで、図 3 3 (a) 下部の右傾斜線で示す実描画領域 W × H への描画内容を、縦 / 横 / 斜めに適宜に移動させることが可能となる。

【 0 5 0 8 】

20

また、このような演出を実行するため、例えば、図 3 3 (b) に示すように、表示装置の水平ピクセル数より大きい水平サイズ W のインデックス空間を設けても良い。この場合には、ディスプレイリスト D L の指示コマンド L 1 2 (S E T D A V F) で定義される仮想描画空間上の描画領域 W × H は、表示装置の水平 / 垂直ピクセル数に対応する実描画領域 w × h より大きく設定される。なお、図 3 3 (b) の下部には、実描画領域 w × h が、右傾斜線で示されている。

【 0 5 0 9 】

そして、実描画領域 w × h の縦横寸法は、図 2 0 のステップ S S 3 0 の処理で、表示装置の表示ライン数と水平画素数として特定され、また、実描画領域 w × h の左上端点は、図 2 0 のステップ S S 3 1 の処理で、垂直 / 水平表示開始位置として、所定の表示レジスタに設定される。

30

【 0 5 1 0 】

一方、インデックス空間における基点アドレス (X , Y) は、ディスプレイリストの指示コマンド L 1 1 によって、所定の描画レジスタに設定される。先に説明した通り、具体的には、環境設定系の指示コマンド L 1 1 (S E T D A V R) によって、インデックス空間 I D X 上の左上基点アドレスが、例えば (0 , 0) と規定される。そして、実描画領域 w × h の左上端点を、定常処理において適宜に移動させれば、図 3 3 (b) 下部の右傾斜線で示す実描画領域 W × H の描画内容は、縦 / 横 / 斜めに適宜に移動することになる。

【 0 5 1 1 】

図 2 0 に関して説明した通り、ステップ S S 3 0 ~ S S 3 2 に係る V D P レジスタ R G i j については、初期設定後に、書込み禁止設定がされているが (第 2 の禁止設定 S S 3 4) 、上記の演出を実行するタイミングでは、所定の V D P レジスタ R G i j に解除値を書込むことで、この禁止設定が解除される。

40

【 0 5 1 2 】

ところで、上記の実施例では、第 1 種や第 2 種の禁止設定レジスタを活用して、所定のシステム制御レジスタ R G i j や初期設定系の所定の V D P レジスタ R G i j を、画一的に書込み禁止状態に設定して (図 2 0 や図 2 5 の S S 3 3 , S S 3 4 参照) 、これらのレジスタへの設定値が、その後、ノイズなどの影響で変更されないようにした。しかし、このような書込み禁止設定をすることなく、重要なシステム制御レジスタ R G i j の設定値については、所定時間毎に設定処理を繰り返すのも好適である。

50

【 0 5 1 3 】

図 3 4 は、このような場合の処理を説明する図面であり、初期設定処理 (S T 3) において設定すべき設定値は、制御メモリ 5 3 (PROGROM) に記憶された設定値テーブル SETTABLE に纏められている。なお、図 2 0 のステップ S T 3 では、説明を省略しているが、(a) 初期値設定テーブル SETTABLE に基づいて初期設定処理を実行すること、及び、(b) 初期値設定テーブル SETTABLE の内容については、図 2 0 の実施例も、以下に説明する内容と実質的に同じである。

【 0 5 1 4 】

そして、何れの実施例でも、設定値テーブル SETTABLE は、V D P レジスタ R G i j のレジスタアドレス値と、そのレジスタ R G i j への設定値を一組みとした複数組 (N 組) で構成されている。特に限定されないが、レジスタアドレス値は 1 6 b i t 長、設定値は 3 2 b i t 長に固定化されており、各々が固定長であることで、初期値設定テーブル SETTABLE のデータ容量は、 $6 \times N$ バイト (= 4 8 t \times N b i t) 長、V D P レジスタ R G i j は N 個となっている。

10

【 0 5 1 5 】

但し、図 2 0 の実施例では、初期値設定テーブル SETTABLE が一回だけ READ アクセスされ、全 N 個の V D P レジスタ R G i j が一回だけ初期設定されるのに対して、図 3 4 の実施例では、全 N 個の V D P レジスタ R G i j は、一回だけ初期設定される N 1 個の V D P レジスタ R G i j と、一回目の初期設定の後、1 / 3 0 秒毎に繰り返し初期設定される N 2 個の V D P レジスタ R G i j とに区分される。

20

【 0 5 1 6 】

そして、図 3 4 の実施例では、繰り返し初期設定される設定値には、(1) D M A 転送動作についての設定値、(2) V R A M に対する設定値、(3) 割込みに関する設定値、(4) 表示回路 7 4 に関する設定値、及び、(5) 描画回路 7 6 に関する設定値が含まれている。

【 0 5 1 7 】

(1) D M A 転送動作に関する設定値は、例えば、ステップ S T 4 1 で規定する動作条件の前提条件となる設定値であり、図 2 3 (c) や図 2 7 (c) における動作条件の違いに拘わらず固定的に適用される基本設定値である。具体的には、(a) D A M C 回路 6 0 に内蔵された F I F O バッファ (N 段) がどれだけ開放されると、転送元に転送要求をするかの閾値 (例えば全体の 1 / 2 段)、(b) 転送先や転送元とハンドシェイク動作をするか否か (例えば No) などの設定値が含まれる。

30

【 0 5 1 8 】

また、(2) V R A M の設定値には、リフレッシュ動作のリフレッシュ周期が含まれている。内蔵 V R A M 7 1 は、このリフレッシュ周期で動作することで、記憶データの自然放電が防止される。次に、(3) 割込みに関する設定値には、割込み要求要因となるエラー種別や、割込み信号の出力端子 (内蔵 C P U の内部端子) を特定する値であり、例えば、(a) 描画回路 7 6 がフリーズすれば C P U 回路 5 1 に対して描画異常割込みが発生すること (割込み許可状態、図 2 0 (d) 参照)、(b) 表示装置 D S 1 の V B L A N K 開始時に、C P U 回路 5 1 に対して V B L A N K 開始割込みが発生すること (図 2 0 (c) 参照) などの設定値が含まれている。

40

【 0 5 1 9 】

なお、本実施例は、C P U 回路 5 1 と V D P 回路 5 2 とが統合された複合チップ 5 0 を使用するが、別チップとする場合には、V D P 回路 5 2 が割込み信号を出力する出力端子は、C P U 回路 5 1 の外部割込み入力端子に接続される。

【 0 5 2 0 】

また、(4) 表示回路に関する設定値には、(a) 各フレームバッファの水平 / 垂直開始位置 (S S 3 1 参照)、(b) 各表示装置の水平同期信号に関する設定値、(c) 各表示装置の垂直同期信号に関する設定値、(d) スケラについての設定値、(e) 各表示装置の水平画素数と表示ライン数の設定値 (S S 3 0) などが含まれている。

50

【 0 5 2 1 】

(5) 描画回路 7 6 に関する設定値には、描画異常割込みが発生するまでのフリーズ時間の設定値が含まれている。この設定値は、例えば、垂直同期信号の周期の整数倍として設定される。図 2 0 (d) において説明した通り、ここで規定されたフリーズ期間、描画回路 7 6 が V R A M をアクセスしない場合には、描画回路 7 6 が個別的にリセットされ (S T 1 6 b)、描画回路 7 6 に対する動作パラメータが再設定される (S T 1 6 c)。

【 0 5 2 2 】

上記の通り、この実施例では、重要な設定値については、所定時間毎に繰り返し再設定されるので、ノイズなどの影響で、万一、設定値のビット化けが生じて、その異常が直ちに回復される。また、この実施例では、図 2 0 の実施例の場合のように、第 1 種や第 2 種の禁止設定レジスタ R G i j を書き込み禁止状態に禁止設定しないので、やや煩雑な禁止解除処理を経ることなく、自由に書換え処理を実行することができる。

10

【 0 5 2 3 】

以上、ここまで実施例では、(1a)所定のフリーズ時間を経過する描画回路 7 6 の動作フリーズ状態か、(1b)描画回路 7 6 が、ディスプレイリスト D L に不合理な指示コマンドを検出した場合には、V D P 回路 5 2 の描画回路 7 6 から C P U 回路 5 1 に対して、描画異常割込みが生じる構成について説明した (図 2 0 (d) 参照)。そして、描画異常割込み時には、割込み原因を判定した上で (図 2 0 (d) の S T 1 6 a)、その判定結果に応じた処理を実行する構成 (S T 1 6 c ~ S T 1 6 d) を採った。

【 0 5 2 4 】

しかし、本発明者の実験によれば、ノイズの多い過酷な動作条件下でも、描画異常割込みが生じることは殆ど無い。そこで、制御負担を軽減化するためには、割込み原因判定処理 (S T 1 6 a) を設けることなく、画一的に無限ループ処理に移行させるか (図 2 5 (b) 参照)、パターンチェック回路 C H K (図 6 (b) 参照)を機能させるのも好適である (図 2 5 (c) の S T 1 7 a 参照)。

20

【 0 5 2 5 】

この場合には、その後、所定時間後に W D T 回路 5 8 が起動して、複合チップ 5 0 全体がリセットされるか、或いは、その後、直ちに V D P 回路 5 2 だけがリセットされることになる (図 6 (b) 参照)。なお、リセットキーワードの出力処理 (S T 1 7 a) に基づき、V D P 回路 5 2 がリセットされた場合には、そのリセット動作の正常終了を確認すると共に、戻り番地を記憶するスタック領域を整理した後 (S T 1 7 b)、例えば、ステップ S T 4 か S T 1 3 の処理に移行させることになる。

30

【 0 5 2 6 】

また、本実施例では、異常判定処理 (図 2 0 や図 2 5 の S T 5) を設けて描画回路 7 6 の動作完了を 1 / 3 0 秒毎に判定しているので、更に制御負担を軽減するべく、実質的に何も実行しない描画異常割込み処理 (図 2 5 (d)) を設けても良い。図 2 5 (d) に示す通り、この構成では、描画異常割込み時、直ちに I R E T (Interrupt Return) 命令を実行してメイン制御処理に戻るので、描画回路 7 6 のフリーズ状態などは、そのまま継続されることになる。しかし、本実施例では、図 2 0 や図 2 5 のステップ S T 5 の処理で、フレーム落ち回数を、異常フラグ E R でカウントしており、いずれ W D T 回路 5 8 か、パターンチェック回路 C H K が起動するので、図 2 5 (d) の構成は、図 2 5 (b) や図 2 5 (c) の構成と実質的に同じである。

40

【 0 5 2 7 】

また、制御負担を更に軽減化するため、初期設定時 (図 2 0 や図 2 5 のステップ S T 3 参照) に、V D P 回路 5 2 を描画異常割込み禁止状態に設定するのも好適である。なお、電源投入時のデフォルト状態が、描画異常割込み禁止状態である構成を採る場合には、(a) 異常割込みの許可 / 禁止を規定する許否値を設定すべき所定のシステム制御レジスタ R G i j を書き込み禁止状態に設定するか、或いは、(b) 所定時間毎に、前記のシステム制御レジスタ R G i j に禁止値を繰り返し書込むことになる。

【 0 5 2 8 】

50

この構成は、一見、図 25 (b) や図 25 (b) の構成より優れているようにも思われる。しかし、この種の遊技機の全機種について、(a) 描画異常割込みを、画一的に禁止状態に設定する構成より、(b) 画一的に許可状態に設定した上で、機種毎に図 20 (d) の構成を採るか、図 25 (b) ~ (d) の何れかの構成を採るかを選択する方が、制御プログラムの汎用化の観点からは優れている。なお、前者の構成(a) では、機種毎に、初期設定ルーチン (図 20 や図 25 のステップ S T 3 参照) などを変える必要性 (煩雑さ) が生じる。

【0529】

なお、更なる変更実施例として、複合チップ 50 に内蔵された音声回路 S N D を活用するのも好適である。図 35 は、このような実施例を示すブロック図である。図 35 を、図 6 と対比すれば明らかな通り、この実施例では、音声プロセッサ 27 と、音声メモリ 28 が不要となり、且つ、C P U 回路 51 のデータバス (8 b i t 分) とアドレスバス (2 b i t 分) について、音声回路への外部配線が不要となる。また、アンダーフロー信号 U F の伝送線も存在しないので、この U F 伝送線に重畳するノイズによって、複合チップが誤って異常リセットされるおそれも回避される。

10

【0530】

また、この実施例では、音声メモリ 28 を排除することに対応して、音声メモリ 28 に記憶すべき音声データを、C G R O M 53 に格納している。図 36 (d) は、C G R O M 53 の記憶内容を図示したものであり、C G R O M 53 には、サウンド R O M ヘッド情報と、フレーズヘッド情報 H D と、一群の音声データを圧縮した多数のフレーズデータ P H と、音声回路 S N D の動作を規定する多数のサウンドコマンド S C M D と、が固定的に記憶されている。

20

【0531】

図示の通り、サウンド R O M ヘッド情報は、先頭番地 S N D s t から記憶されており、これに続いて、データサイズ H D v l のフレーズヘッド情報 H D が、先頭番地 H D s t から記憶されている。また、データサイズ P H v l のフレーズデータ P H が、先頭番地 P H s t から記憶され、データサイズ S C M D v l のサウンドコマンド S C M D が、先頭番地 S C M D s t から記憶されている。

【0532】

ここで、サウンド R O M ヘッド情報とは、具体的には、フレーズヘッド H D 領域の先頭アドレス H D s t と、フレーズヘッド H D 領域のデータサイズ H D v l と、フレーズデータ領域 P H の先頭アドレス P H s t と、フレーズデータ領域 P H のデータサイズ P H v l と、サウンドコマンド領域 S C M の先頭アドレス S C M D s t と、サウンドコマンド領域 S C M D のデータサイズ S C M D v l と、を意味する。そして、これらの情報は、電源投入時に音声回路 S N D の内部回路に取得されるようになっている (ステップ S D 4 参照)。

30

【0533】

また、フレーズヘッド情報 H D とフレーズデータ P H は、電源投入時に、外付け D R A M 54 に転送することで、その後の R E A D アクセスの迅速化を図っている (ステップ S D 6)。このように、本実施例では、音声プロセッサ 27 と、音声メモリ 28 を排除して、小型化と製造コストの抑制を図ると共に、安価で大容量化が容易である一方、アクセス速度の遅い C G R O M 53 の弱点を克服している。

40

【0534】

以上を踏まえて、電源投入時の初期設定処理について図 36 (a) に基づいて説明する。なお、これらの処理は、図 20 や図 25 のステップ S T 3 の処理の一部として実行される。

【0535】

図 6 (b) に関して説明した通り、電源投入時や W D T 58 が起動する異常リセット時には、リセット経路 2 の経路で音声回路 S N D がハードウェアリセットされる (ステップ S D 1)。また、演出制御 C P U 63 が、音声回路 S N D の異常を検出した場合には、リセット経路 4 B 又は 4 C の経路で音声回路 S N D がハードウェアリセットされる (ステッ

50

プSD1)。なお、演出制御CPU63がパターンチェック回路CHKを機能させることで、音声回路SNDが、他の回路(72, 73, 74...)と共にハードウェアリセットされる場合もある(ステップSD1)。

【0536】

これら何れの場合でも、次に、演出制御CPU63は、リセット動作が正常に完了したことを確認した上で(ステップSD2)、最初に、サウンドデータ領域の先頭アドレスSNDstを、音声回路SNDのシステム制御レジスタRGijに設定する(ステップSD3)。次に、所定のシステム制御レジスタに所定値を設定することで、サウンドROMヘッダ情報HDを内部回路に記憶させる。なお、サウンドROMヘッダ情報HDは、前記した6要素(HDst, HDvl, PHst, PHvl, SCMDst, SCMDvl)であり、図36(c)に記載の通りである。

10

【0537】

そして、ここまでの処理が正常に動作したことを確認し、万一、正常に終了できない場合には、リセット経路4B又は4Cの経路で、音声回路を個別的にリセットする。但し、通常は、正常終了を確認できるので、続いて、データ転送回路72を利用して、フレーズヘッダ情報HDと、フレーズデータPHを外付けDRAM54に転送する(ステップSD6)。なお、データ転送回路72には、転送先の先頭アドレスBGNと、転送元の先頭アドレスHDstと、転送データ総量HDvl + FDvlなどが適宜に指定される。

【0538】

次に、フレーズヘッダ情報HDとフレーズデータPHは、CGROM55ではなく、外付けDRAM54に存在することを、所定のシステム制御レジスタRGijに設定した上で(ステップSD7)、外付けDRAM54に転送した一群のデータの先頭アドレスBGN(サウンドRAM先頭アドレス)を、所定のシステム制御レジスタに設定する(ステップSD8)。その後、その他の初期設定処理を終えることで(ステップSD9)、音声制御動作が可能となる。

20

【0539】

先に説明した通り、サウンドROMヘッダ情報、つまり、6個の情報(HDst, HDvl, PHst, PHvl, SCMDst, SCMDvl)は、音声回路SNDの内部回路に保存されているので(ステップSD4)、その後、演出制御CPU63は、フレーズデータなどの必要な情報を、サウンドRAM先頭アドレスBGNとの相対値で指示することができ、この指示を受けた音声回路SNDは、相対アドレス値を絶対アドレス値に変換して、必要な音声処理を実行することになる。フレーズデータなどの音声データは、CGROM55ではなく、外付けDRAM54からREADアクセスされるので、複雑高度な音声演出であっても、これを円滑に実現することができる。

30

【0540】

以上、各種の実施例について詳細に説明したが、弾球遊技機や回胴遊技機などに限定されないだけでなく、具体的な記載内容についても、何ら本発明を限定しない。例えば、図15に示すパワーオンリセット動作は、制御メモリ53の0x00000000番地以降に確保されたベクタテーブルVECTの情報に基づいて起動されたが、HBTS端子=Hレベルに設定すると共に、CGROM55の先頭領域にベクタテーブルVECTを配置するのも好適である。図37(a)や図37(b)は、このような場合のアドレスマップを図示したものであり、演出制御CPU63のアドレス空間CS0は、CGROM55の一部(先頭領域)に確保されている。

40

【0541】

なお、CGROM55の本体部は、演出制御CPU63からアクセスされることはなく(アクセス不可)、専らVDP回路52からアクセスされるので、アドレス空間CSiに位置付けられることない。先に説明した通り、CGROM55の本体部を、複数のメモリデバイスで構成することもでき、このような場合には、図17(a)のステップSP20の処理によって、SPA0~SPA1のデバイス区間に区分することで、メモリデバイスの特性に適合した最適なREADアクセスが可能となる。

50

【 0 5 4 2 】

何れにしても、HBTSL 端子 = Hレベルに設定されている場合には、これに対応して、C G R O M 5 5 のメモリ種別と、バス幅 (6 4 / 3 2 / 1 6 b i t) とが、2 b i t 長の HBTBWD端子と、4 b i t 長のHBTRMSL 端子への固定的な入力値に基づいて予め特定されている必要がある。

【 0 5 4 3 】

そして、この実施例では、ベクタテーブル V E C T に続いて、C G R O M 5 5 からの R E A Dアクセスを最適化するためのバスパラメータをC G R O M 5 5 の先頭領域に記憶しておく必要がある。なお、必須ではないが、演出制御プログラムの違法解析を困難にするため難読化した場合に、それを解読するための難読化パラメータを記憶させておくのも好適である。

10

【 0 5 4 4 】

このような構成を採った場合には、電源リセット後、リセットアサート期間に、以下の動作 1 ~ 動作 4 がプログラム処理を経ることなく自動的に実行される。まず、HBTRMSL 端子への入力値に基づいてアドレス空間 C S 0 のバス幅が特定され、また、BTBWD 端子への入力値に基づいてメモリ種別が自動的に特定され、所定の V D P レジスタ R G i j に各々設定される (動作 1)。この場合のメモリ種別は、パラレル I / F (Interface) 形式を採るメモリ素子、シーケンシャル I / F 形式を採るメモリ素子に大別される。

【 0 5 4 5 】

次に、C G R O M 5 5 に記憶されている難読化パラメータをロードし、難読化を解除するために必要な情報が内部回路内に自動設定される (動作 2)。また、C G R O M 5 5 に記憶されているバスパラメータが自動的に V D P レジスタ R G i j に取得される (動作 3)。なお、この動作 3 は、図 1 8 のステップ S P 6 3 のプログラム処理に対応する動作であり、内部回路によって自動的に実行される。

20

【 0 5 4 6 】

そして最後に、動作 1 ~ 3 で設定されたバスパラメータを実効化するべく、図 1 8 のステップ S P 6 4 のプログラム処理に対応する動作が内部回路によって、自動的に実行される (動作 4)。そして、バスパラメータの設定が実効化されたタイミングで、ベクタテーブルの情報に基づいてプログラムカウンタ P C と、スタックポインタ S P の値が自動的に設定され、ブートプログラム (初期設定プログラム) の実行が開始される。

30

【 0 5 4 7 】

この図 3 7 (a) に示す構成によれば、図 1 5 (a) のステップ S P 1 のプログラム処理も不要となり、自動的に動作 1 ~ 動作 4 が実行されるので、プログラム処理負担が大きく軽減される。そして、この場合も、初期設定プログラム P i n i t の動作に基づいて、ベクタハンドラ V o p t 以降のプログラムやデータが適宜な R A M 領域に転送される。

【 0 5 4 8 】

なお、ベクタハンドラ V o p t 以降のプログラムやデータは、必ずしも C G R O M 5 5 の先頭領域に記憶させておく必要はなく、例えば、制御メモリ 5 3 に記憶させておくのも良い (図 3 7 (b))。また、ベクタハンドラ V o p t 以降のプログラムやデータは、必ずしも R A M 領域に転送する必要はなく、転送しない場合には、初期化設定プログラムにおけるメモリセクション初期化处理 (図 1 5 の S P 8) が不要となる。

40

【 0 5 4 9 】

また、V ブランクタイミングと、有意な画像データの送信終了タイミングとを必ずしも一致させる必要はない。すなわち、図 1 4 (f) に示す表示領域の左下端点 (○ 印) のタイミングで、画像データの送信を終了させることは何ら必要ない。要するに、表示装置側から要求される待機時間 W T h / W R v の仕様や、水平 / 垂直同期信号 H S / V s の仕様を満たせば、それで足りる。

【 0 5 5 0 】

図 3 9 (a) は、このような実施例を説明する図面であり、例えば、表示回路 7 4 A の動作を示している。この実施例でも、メイン表示装置 D S 1 の仕様に対応して、ドットク

50

ロック D C K の周波数 F_{dot} は、 108MHz と規定される。また、フレームレート F_R を $1/60$ 秒に一致させるために、 $THc \times TVL / F_{dot} = 1/60$ とする必要がある、ここでも、図 14 (f) の場合と同様に、水平同期のサイクル数 THc を 1662 クロック、垂直同期のライン数 TVL を 1083 ラインとしている。

【0551】

また、図示の実施例では、一般の表示装置にも対応できるよう、表示装置の仕様に対応して、水平同期信号 HS と垂直同期信号 VS を出力している。図示例では、水平同期信号 HS のパルス幅が 100 クロック分であり、水平フロントポーチ FPh は、 $110 (= 10 + 100)$ クロック、水平バックポーチ BPh は 172 クロックに設計されている。また、垂直同期信号 VS のパルス幅は、 10 ライン分であり、垂直フロントポーチ $F Pv$ は $20 (= 10 + 10)$ ライン、垂直バックポーチ $B Pv$ は 291 ラインに設計されている。

10

【0552】

但し、図 39 (a) (b) に示す実施例では、○印で示す V ブランク開始タイミングより先に出力動作を終えるため、垂直待機時間 $W T v$ を 49 ライン、水平待機時間 $W T h$ を 372 クロックとしている。したがって、この実施例によれば、一フレームの画像更新処理が終わった後、 10 ライン分の時間 ($154\mu\text{s}$) 経過後に V ブランク開始タイミングが到来することになり、如何なる動作条件でも画像更新処理が確実化される (図 39 (b) 参照)。

【0553】

このような動作は、特に、他の表示回路に同期して付随的に動作する表示回路、例えば、表示回路 74 A の動作に付随する表示回路 74 B や表示回路 74 C において、好適に機能する。図 39 (c) ~ 図 39 (e) は、この点を説明する図面であり、表示回路 74 B における V ブランク周期 $T 2$ が、表示回路 74 A における V ブランク周期 $T 1$ より長い場合を図示している ($T 1 < T 2$)。

20

【0554】

このような場合に、表示回路 74 A における V ブランク周期 $T 1$ を表示回路 74 A に付随させて動作させると、表示回路 74 B における画像データの出力の完了前に、 V ブランクが開始されることになり、画像欠損や不自然な表示動作が生じるおそれがある (図 39 (d))。一方、表示回路 74 B を独立的に動作させたのでは、表示回路 74 A の動作と同期する描画回路の動作タイミングと整合が取れなくなる。

30

【0555】

そこで、表示回路 74 A の動作に付随する表示回路 74 B の V ブランク周期 $T 2$ が、表示回路 74 A の V ブランク周期 $T 1$ より長い場合には、図 39 (a) (b) の場合と同様に、表示装置 B において画像データの出力後に、十分な余裕時間が生じるよう、待機時間 (垂直ブランク期間) を短く設定すればよい。この場合、待機時間を極端に短く設定しない限り、通常の液晶表示装置では、問題なく表示動作が実現される。

【0556】

なお、例えば、表示回路 74 A の動作に付随する表示回路 74 B の V ブランク周期 $T 3$ が、表示回路 74 A の V ブランク周期 $T 1$ より短い場合にも、 V ブランク周期 $T 3$ の後に余分の待機期間が生じるが、全体としての待機時間を極端に長くない限り、問題なく表示動作が実現される。

40

【0557】

以上、本発明の実施例について詳細に説明したが、具体的な記載内容は何ら本発明を限定しない。例えば、実施例では、もっぱらデュアルリンク伝送路について説明したが、機器構成を簡略化するには、シングルリンク伝送路を採用するのも好適である。

【0558】

シングルリンク伝送路の場合、ドットクロック D C K の周波数が、 108MHz であれば、 $L V D S$ クロック C L K の周波数も 108MHz となる。なお、この場合も、ドットクロック D C K と $L V D S$ クロック C L K は、発振器 O S C 2 を共通の供給元とし、且つ、同一生成過程で生成するのが好適である。

50

【 0 5 5 9 】

また、前記の実施例とは相違して、V D P回路 5 2 のシステムクロックと、C P U回路 5 1 のC P U動作クロックの供給元を、単一の発振器O S C 2 に共通化するのも回路構成の簡素化する上で好適である。そして、共通の設定端子 (3 bit のPLLMD 端子) の設定値に基づいて、P L L回路の逡倍比を共通設定する構成を採れば、周波数設定処理が不要となり更に効果的である。

【 0 5 6 0 】

この場合、C P U動作クロックを高速化したい要請にはやや反するが、V D P回路 5 2 の内部回路が許容する最高周波数のシステムクロックを採用し、これと同じ周波数のC P U動作クロックとするのが好適である。

10

【 0 5 6 1 】

例えば、発振器O S C 2 の発振周波数が 4 0 M H z の場合、設定端子 (3 bit のPLLMD 端子) への設定値を 5 にすることで、システムクロックとC P U動作クロックを共通的に 2 0 0 M H z (= 4 0 M H z × 5) に設定できる。この構成によれば、発振器O S C 1 が不要となり、回路構成を簡素化できだけでなく、やや煩雑なV D Pレジスタへの設定処理も不要となる。なお、V D P回路 5 2 と、C P U回路 5 1 の動作周期が一致するメリットもある。

【 符号の説明 】

【 0 5 6 2 】

G M 遊技機

20

D S 1 , D S 2 表示装置

5 2 画像生成手段

5 1 演出制御手段

D L 描画リスト

7 6 描画回路

7 4 表示回路

7 1 メモリ回路

S T 1 第 1 手段

S T 2 第 2 手段

7 6 第 3 手段

30

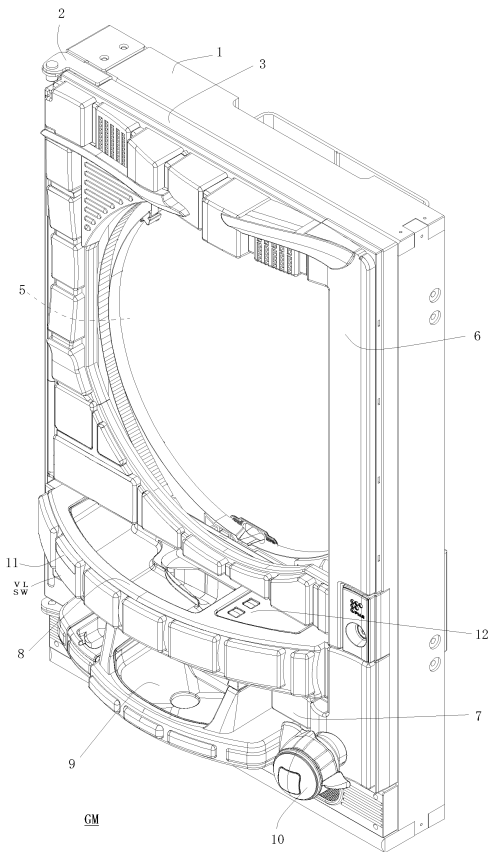
SETINDEX他 一群の指示コマンド

40

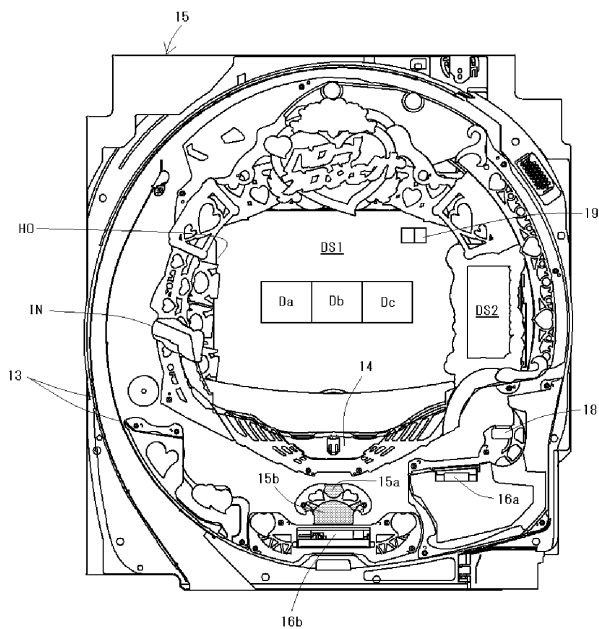
50

【図面】

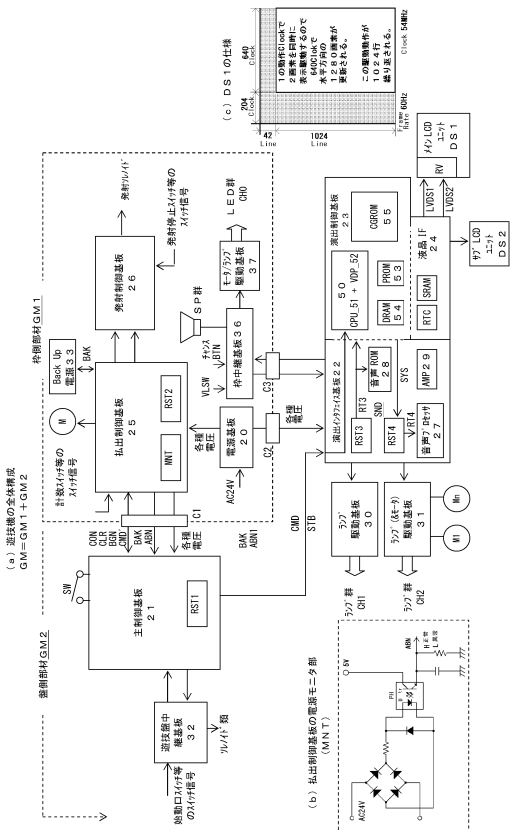
【図 1】



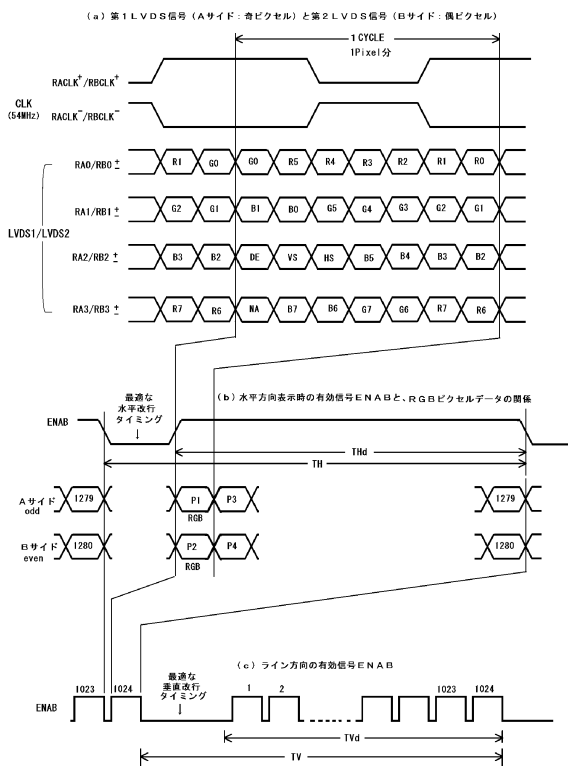
【図 2】



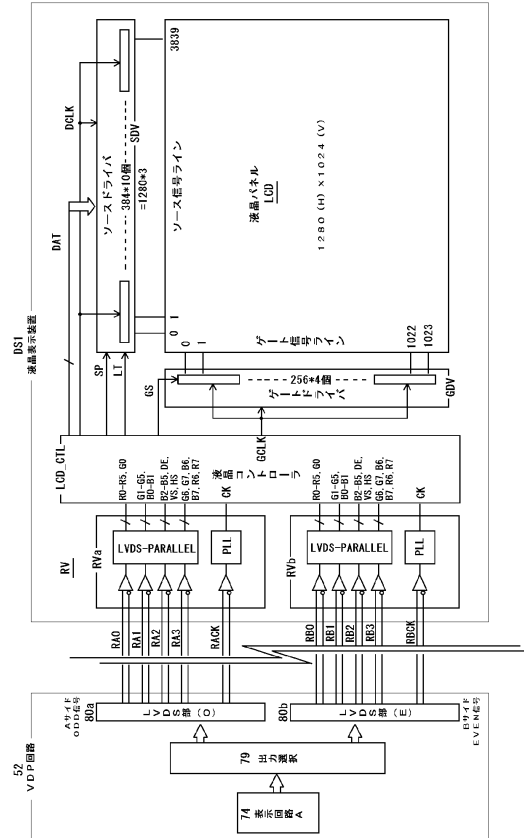
【図 3】



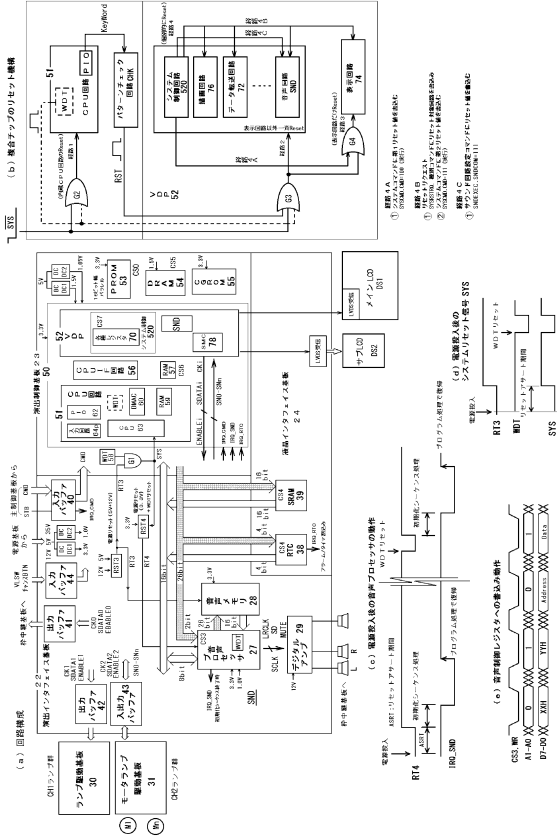
【図 4】



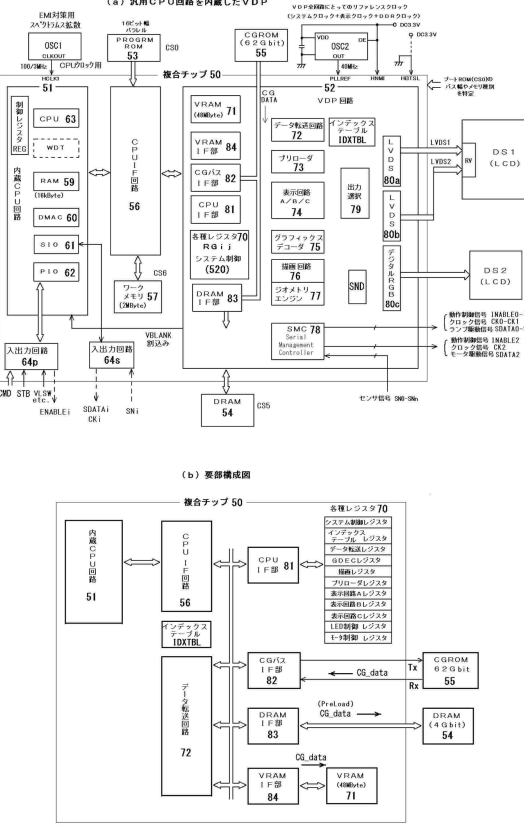
【図 5】



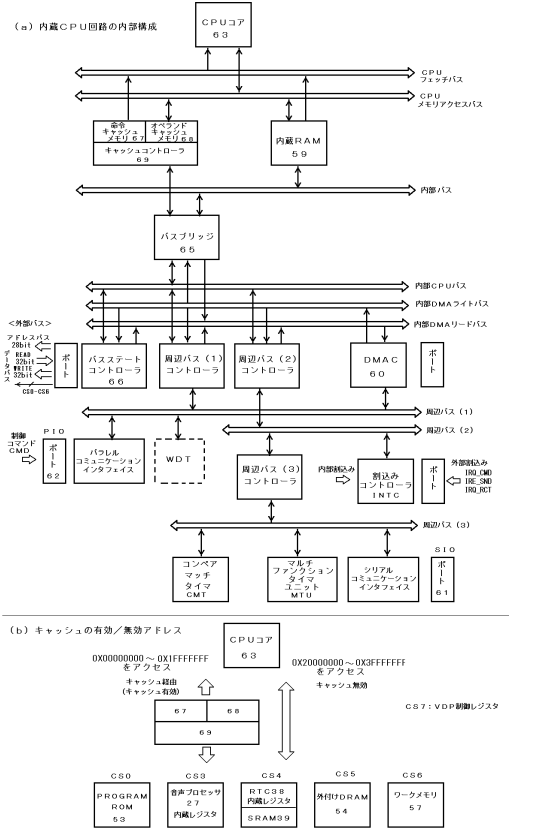
【図 6】



【図 7】



【図 8】



10

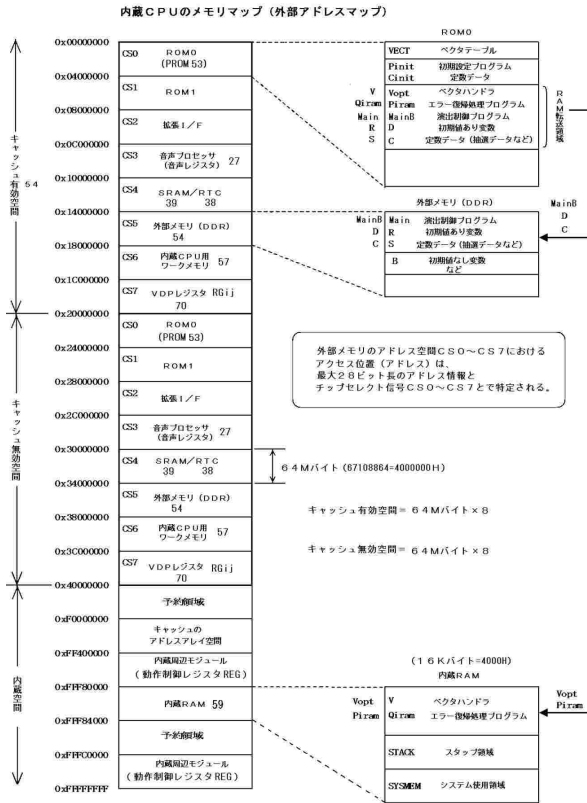
20

30

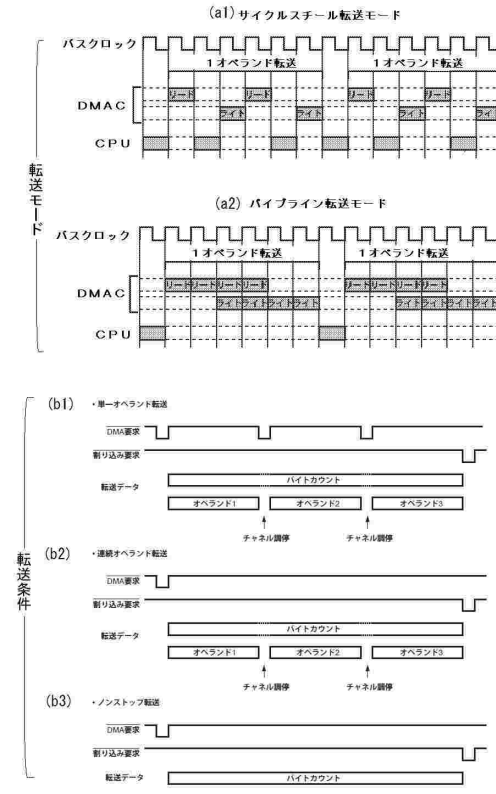
40

50

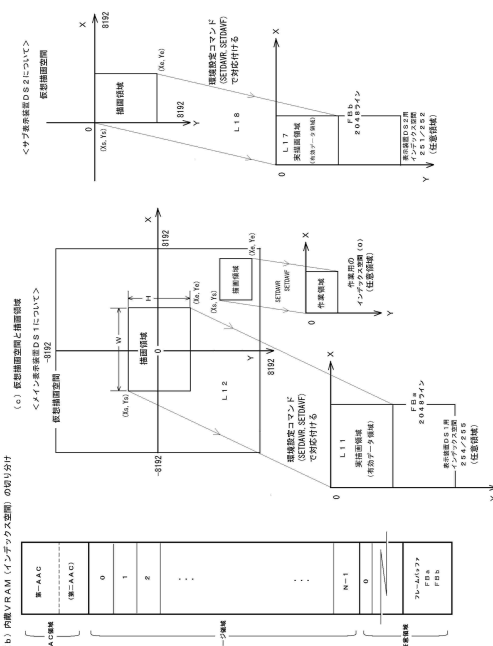
【図 9】



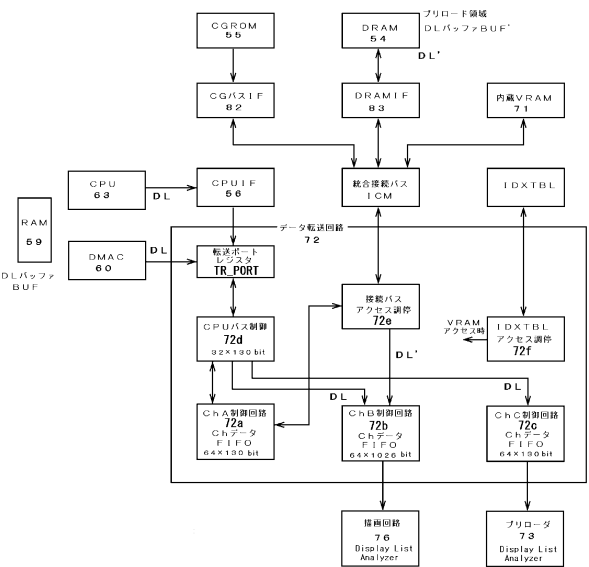
【図 10】



【図 11】



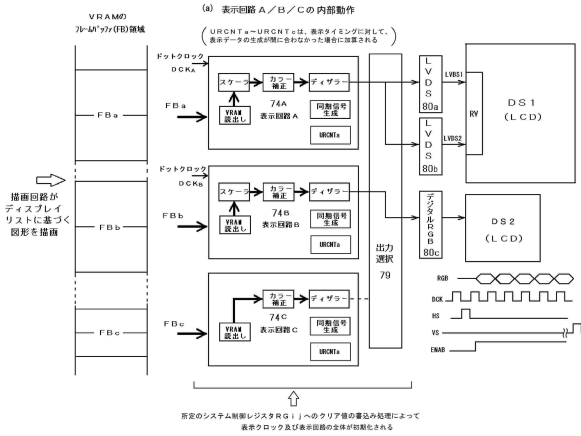
【図 12】



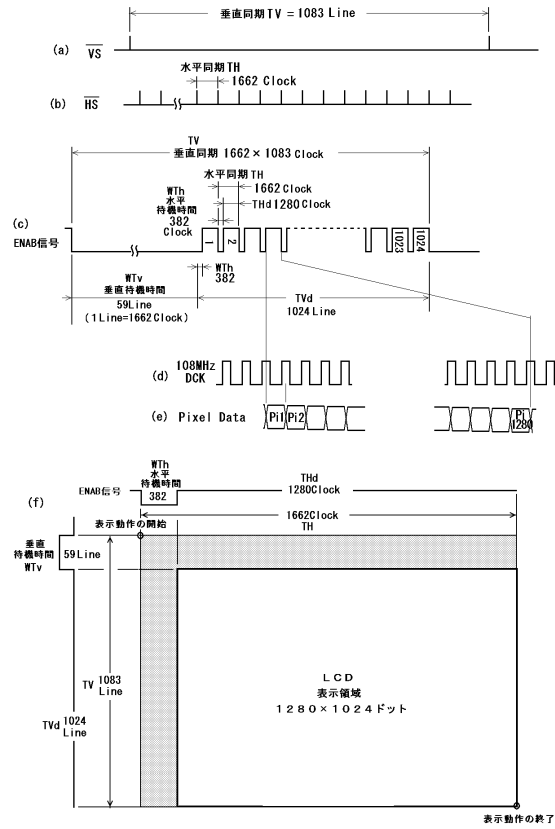
インデックスレジスタ (インデックスレジスタ) の配り分け

レジスタ番号	レジスタ名	レジスタ内容
0	インデックスレジスタ 0	...
1	インデックスレジスタ 1	...
2	インデックスレジスタ 2	...
...	...	...
N-1	インデックスレジスタ N-1	...
0	インデックスレジスタ 0	...

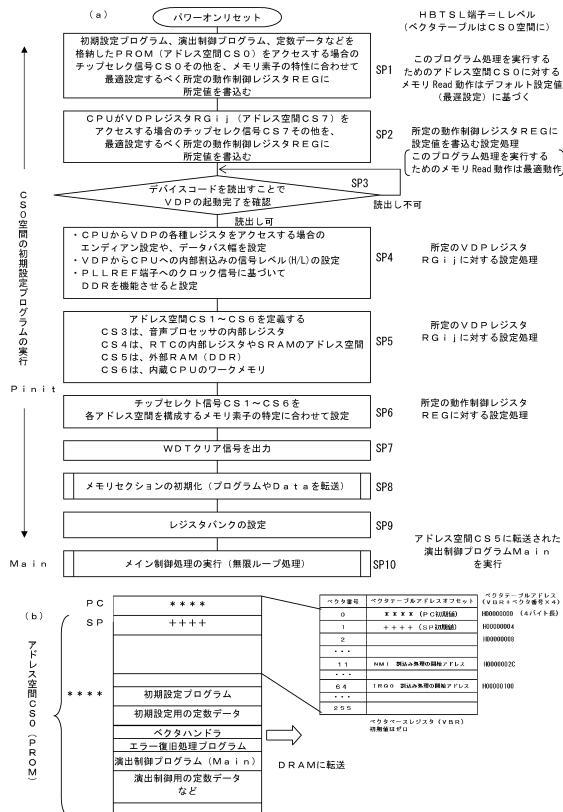
【図 1 3】



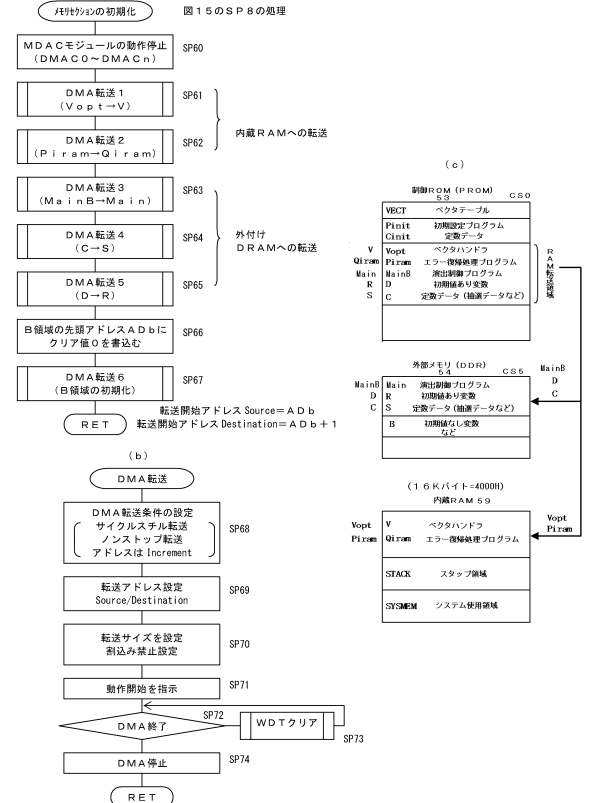
【図 1 4】



【図 1 5】



【図 1 6】



10

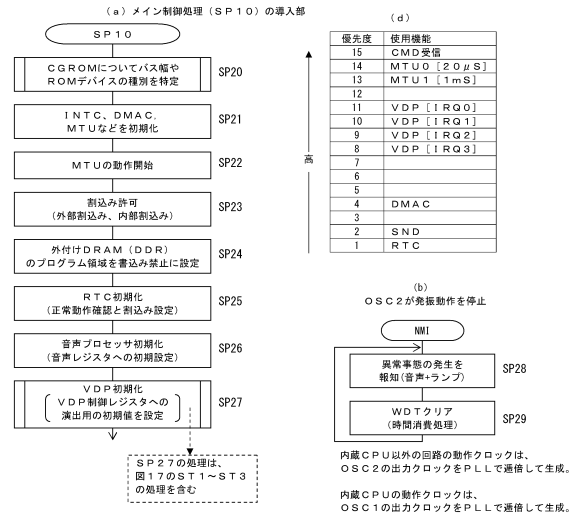
20

30

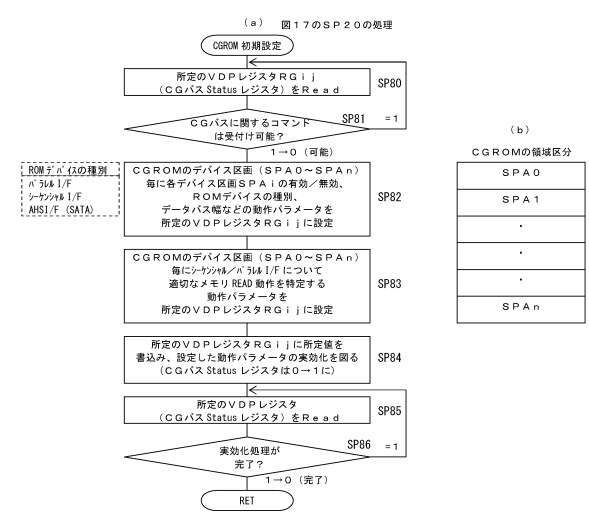
40

50

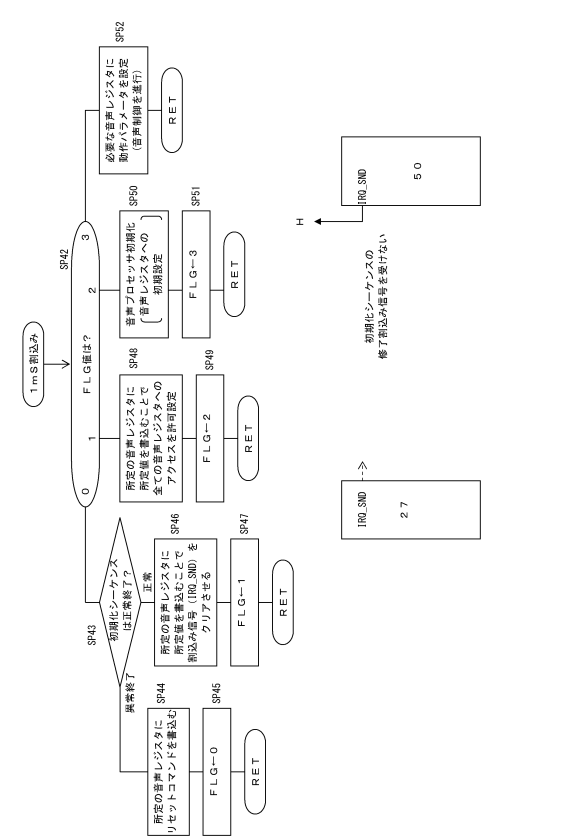
【図 17】



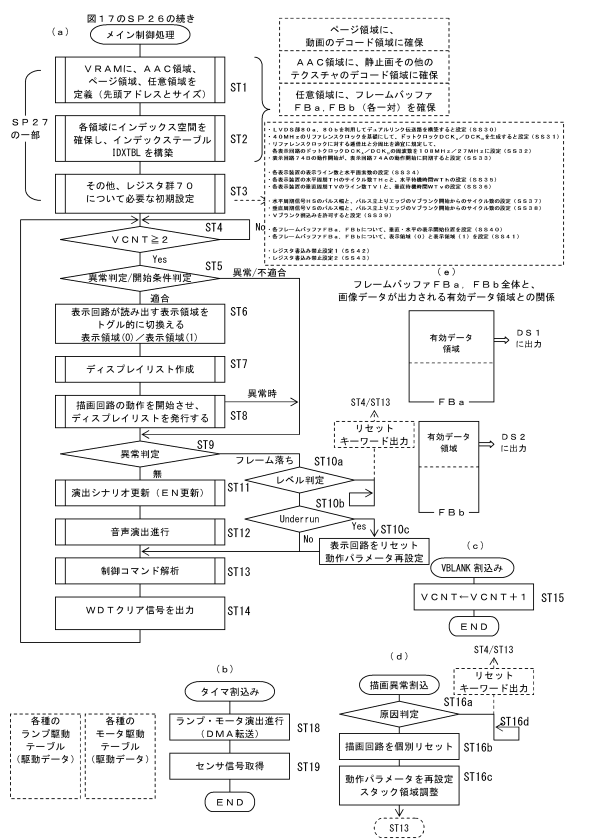
【図 18】



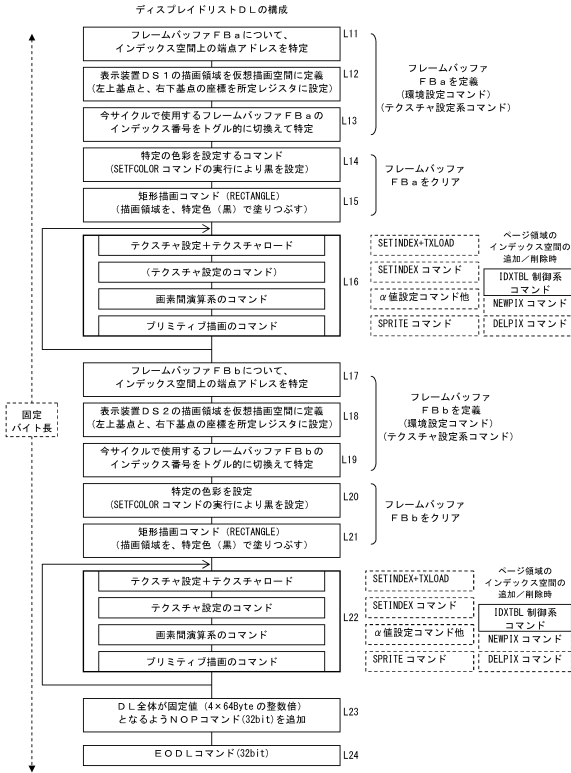
【図 19】



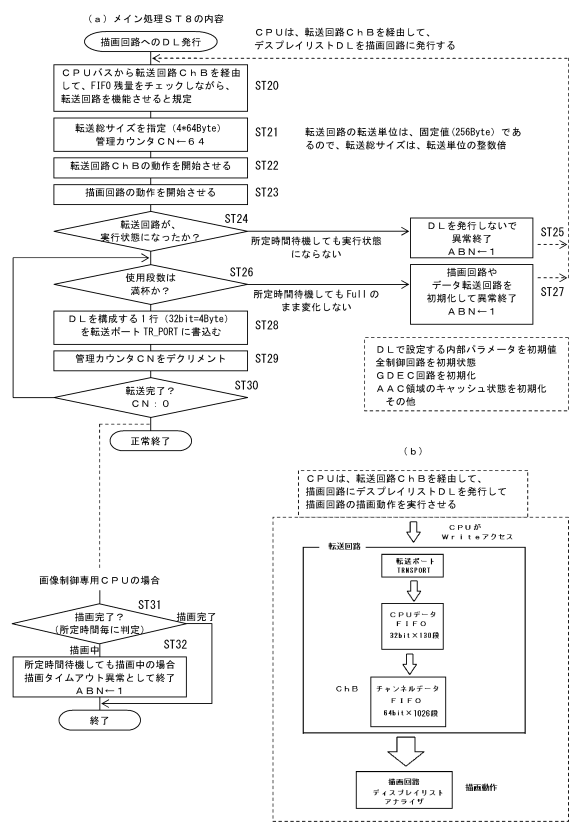
【図 20】



【図 2 1】



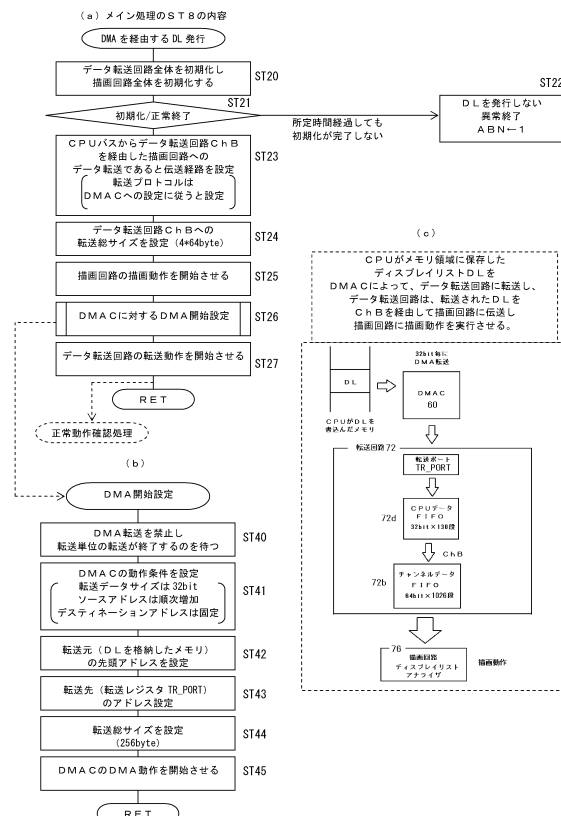
【図 2 2】



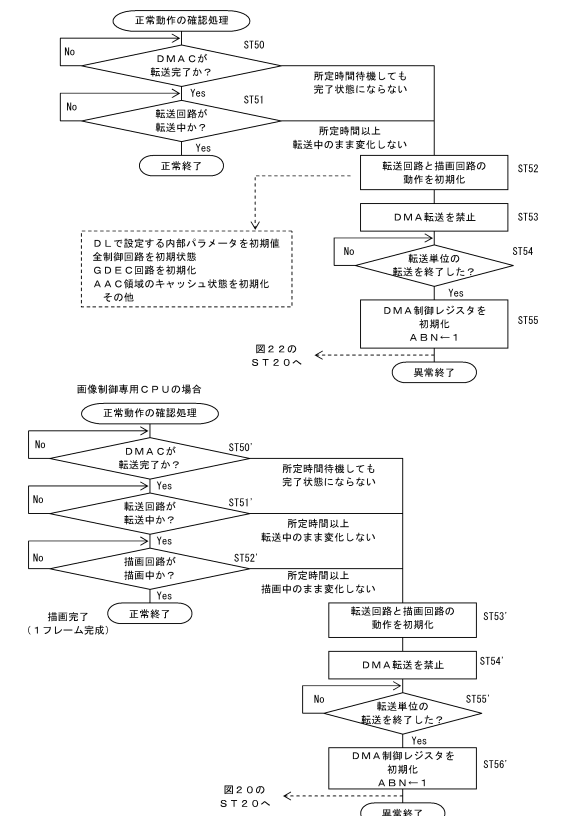
10

20

【図 2 3】



【図 2 4】

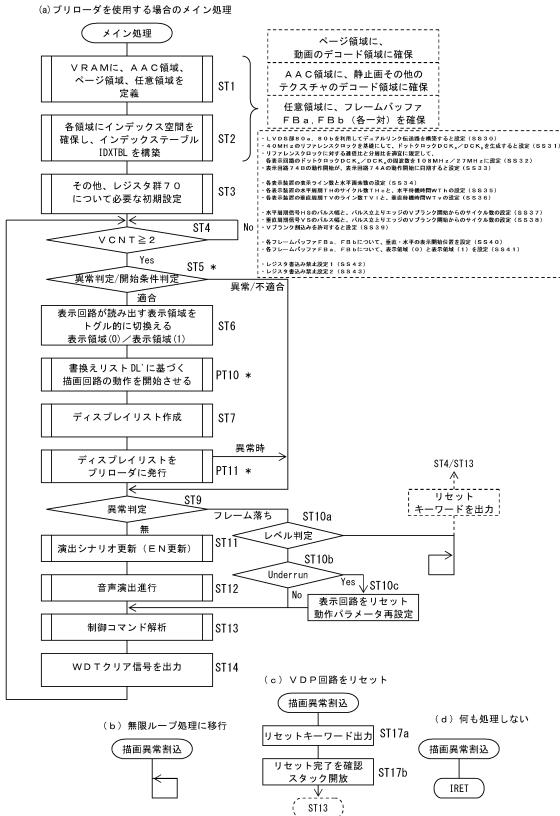


30

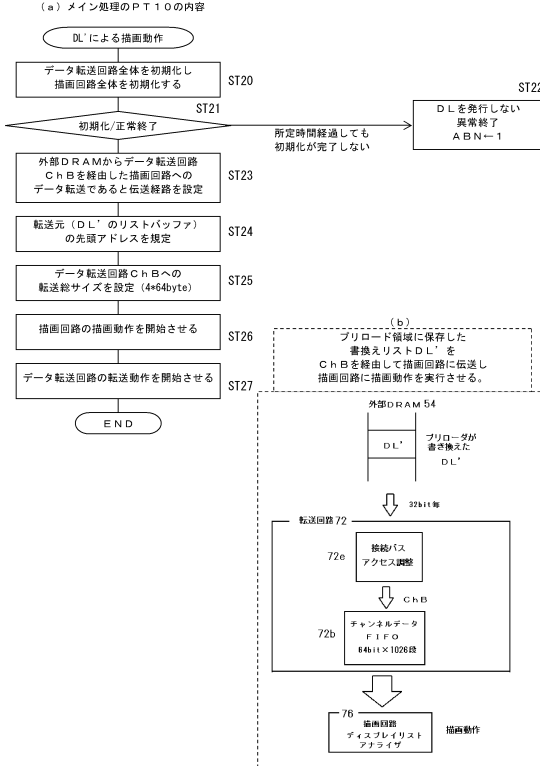
40

50

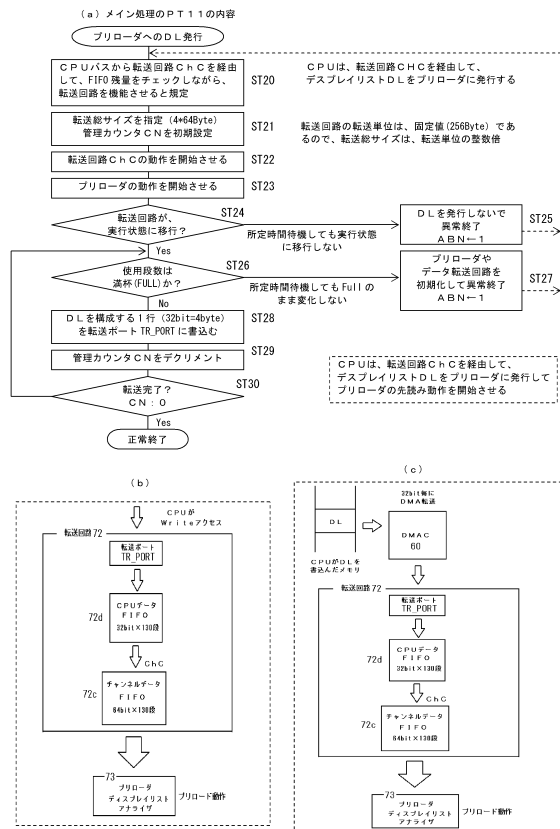
【図 2 5】



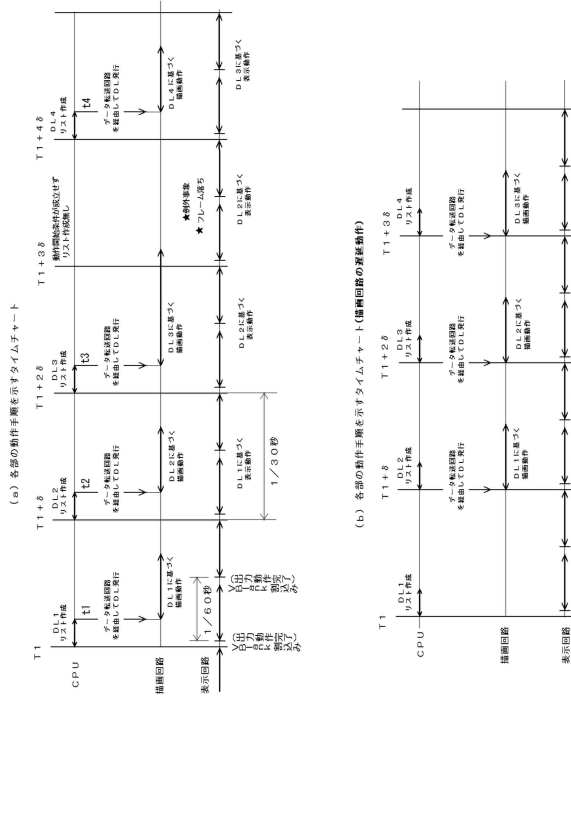
【図 2 6】



【図 2 7】



【図 2 8】



10

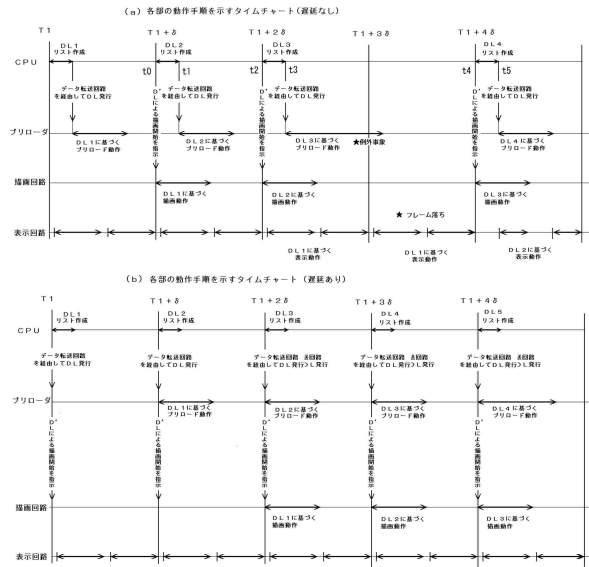
20

30

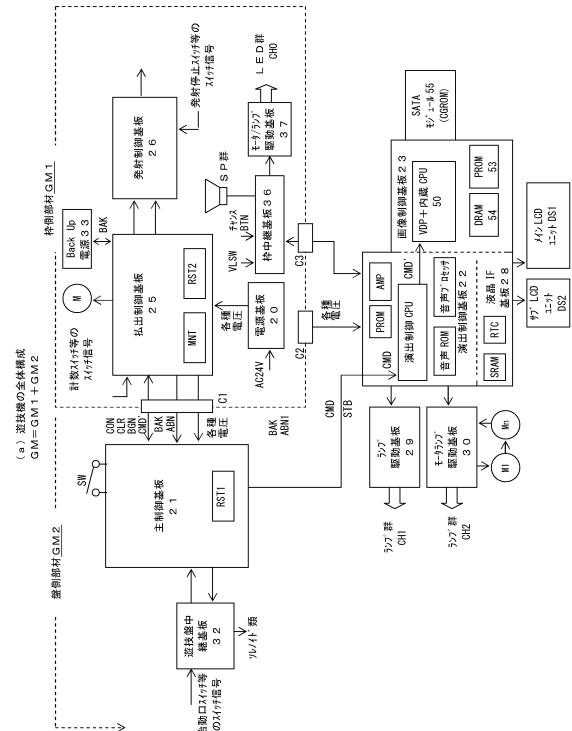
40

50

【図 29】



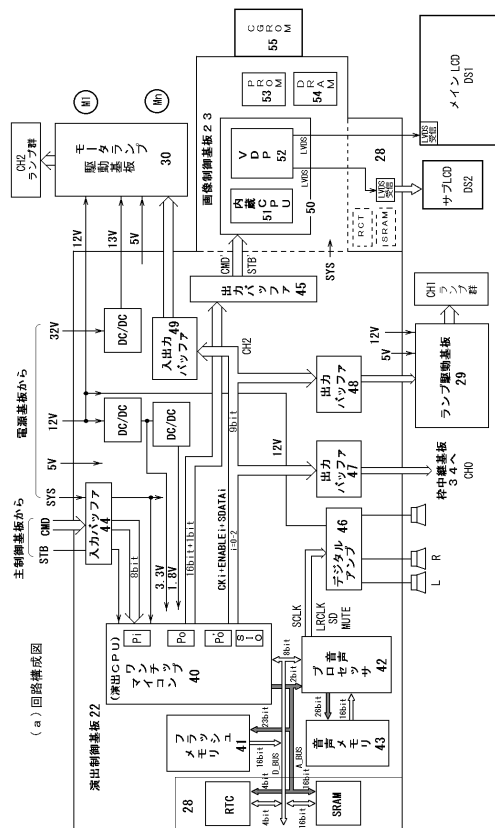
【図 30】



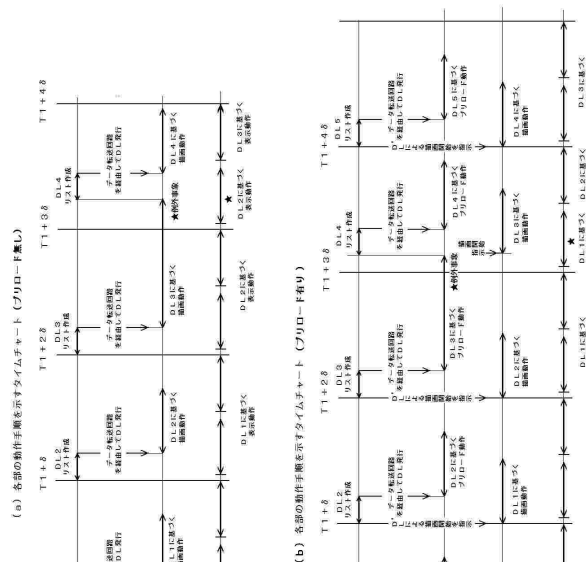
10

20

【図 31】



【図 32】

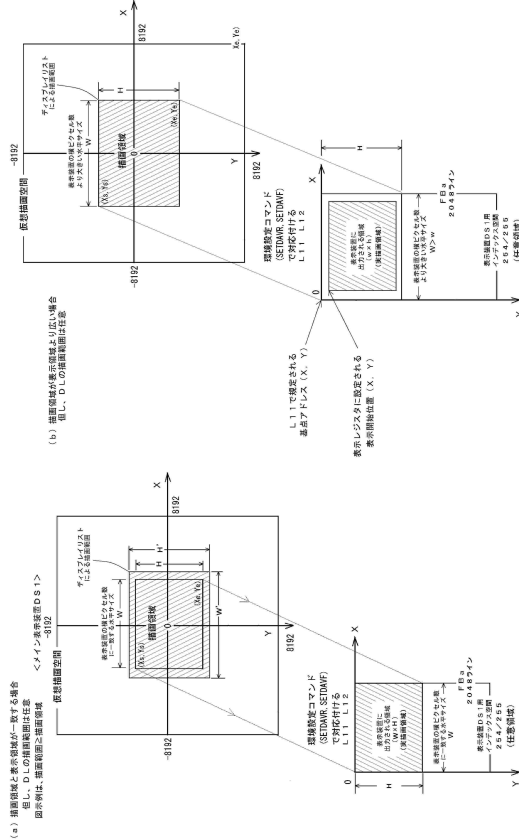


30

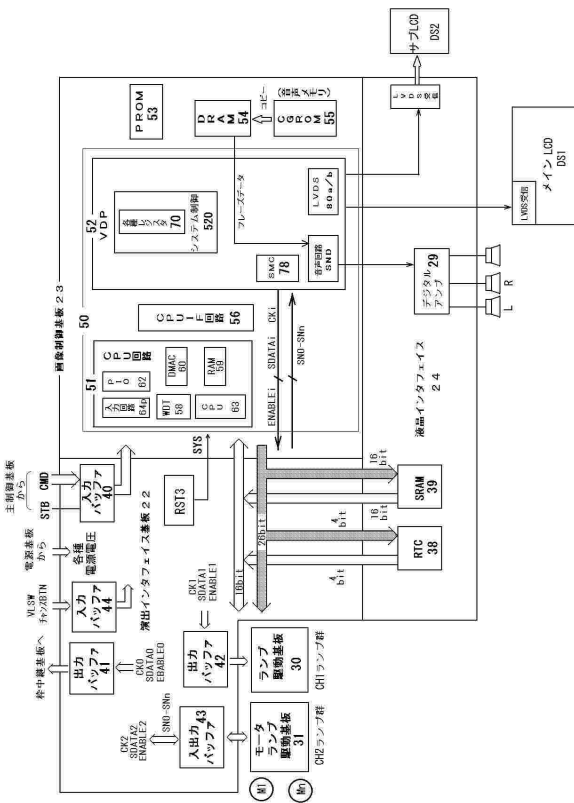
40

50

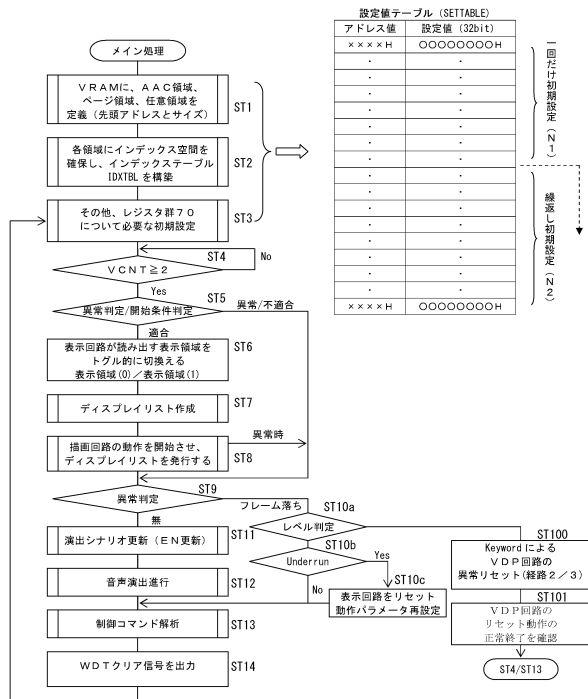
【 ㄣ 3 3 】



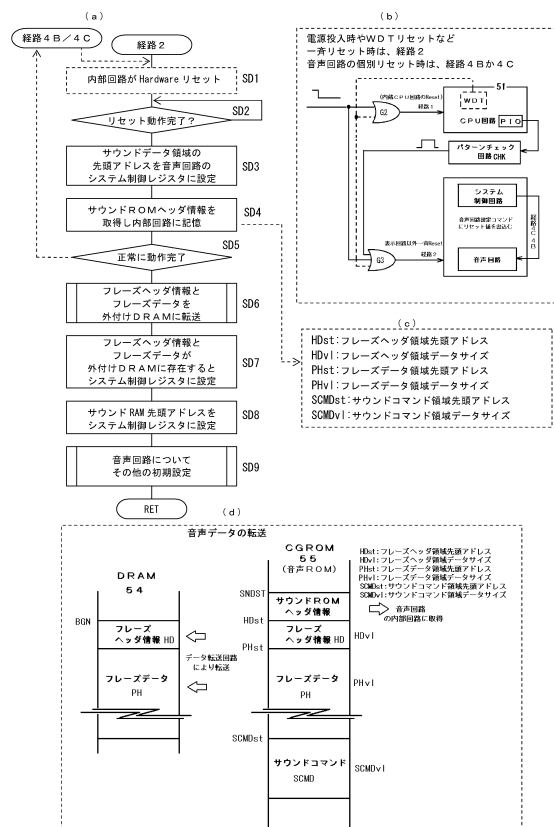
【 図 3 5 】



【 図 3 4 】

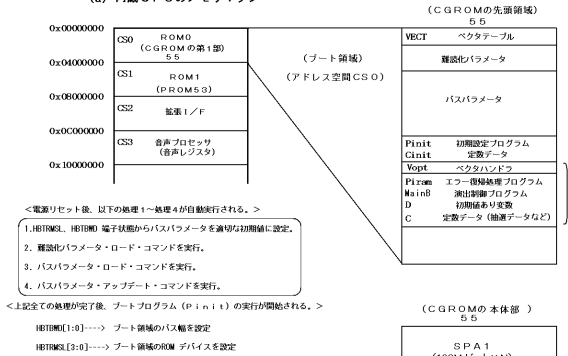


【 図 3 6 】

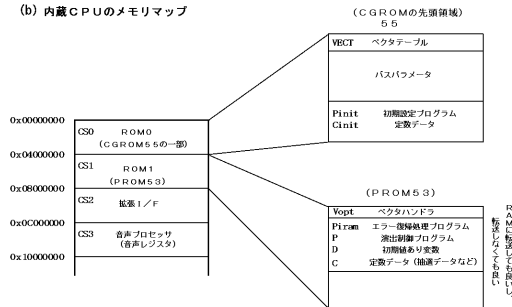


【 図 3 7 】

(a) 内蔵CPUのメモリマップ

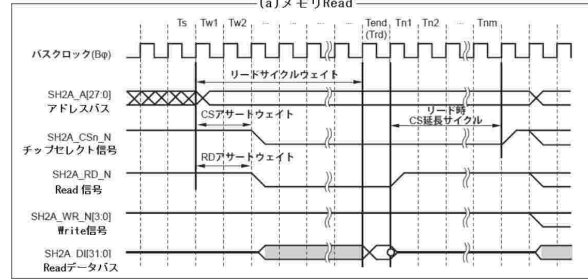


(b) 内蔵CPUのメモリマップ

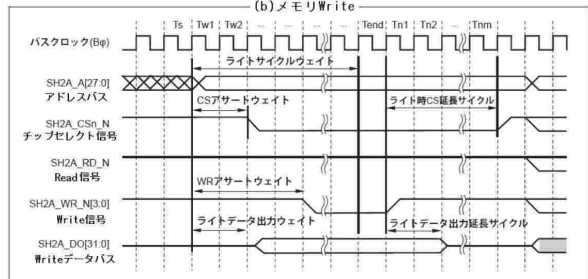


【 図 3 8 】

—(a) $\times \in \text{Read}$



- (b)メモリWrite

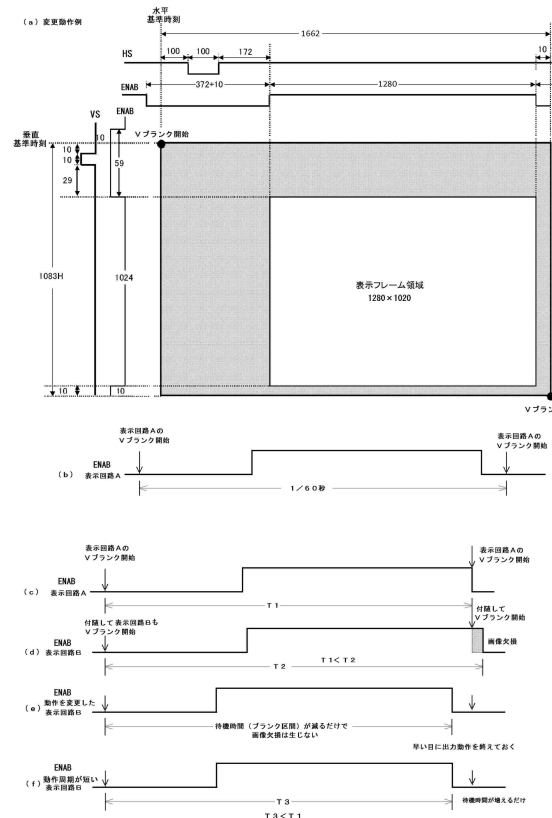


10

20

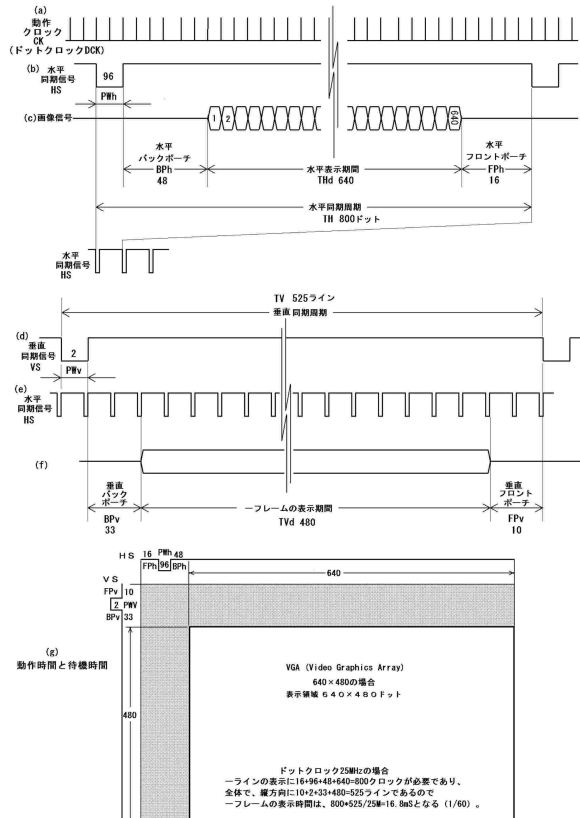
【 図 3 9 】

(a) 変更動作例



【 図 4 0 】

(a)



30

40

50

フロントページの続き

(56)参考文献 特開 2 0 0 9 - 0 7 2 4 7 0 (J P , A)
 特開 2 0 1 5 - 1 1 2 2 8 7 (J P , A)
 特開 2 0 1 4 - 0 3 9 6 2 6 (J P , A)
(58)調査した分野 (Int.Cl. , D B 名)
 A 6 3 F 7 / 0 2