

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-200431

(P2019-200431A)

(43) 公開日 令和1年11月21日(2019.11.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H192
G09F 9/30 (2006.01)	G09F 9/30 338	5B074
G09G 3/20 (2006.01)	G09G 3/20 622E	5C006
G02F 1/1368 (2006.01)	G02F 1/1368	5C080
G11C 19/28 (2006.01)	G11C 19/28 230	5C094

審査請求 有 請求項の数 3 O L (全 50 頁)

(21) 出願番号	特願2019-141016 (P2019-141016)	(71) 出願人	000153878
(22) 出願日	令和1年7月31日 (2019.7.31)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2019-20686 (P2019-20686)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	山崎 舜平
原出願日	平成21年9月25日 (2009.9.25)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2008-252418 (P2008-252418)		半導体エネルギー研究所内
(32) 優先日	平成20年9月30日 (2008.9.30)	(72) 発明者	長多 剛
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	宮入 秀和
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	神保 安弘
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

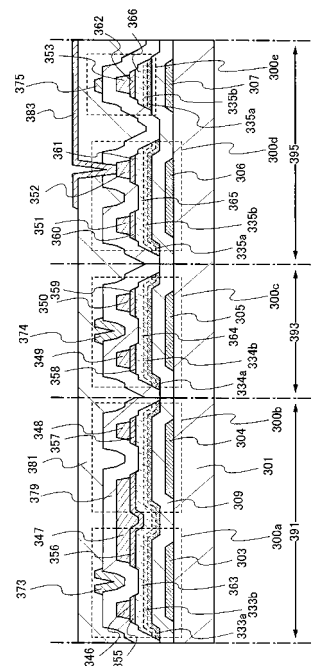
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】狭額縁化が可能であり、表示特性に優れた表示装置を提供する。

【解決手段】スイッチ部またはバッファ部と、論理回路部と、画素部と、を有する表示装置において、画素部は、第1の逆スタガ型薄膜トランジスタと、第1の逆スタガ型薄膜トランジスタの配線に接続する画素電極と、を有し、スイッチ部またはバッファ部は、第1の絶縁層、半導体層、及び第2の絶縁層を挟む第1のゲート電極及び第2のゲート電極を有する第2の逆スタガ型薄膜トランジスタを有し、論理回路部は、第3の逆スタガ型薄膜トランジスタ及び第4の逆スタガ型薄膜トランジスタにより構成されるインバータ回路を有し、第1の逆スタガ型薄膜トランジスタ乃至第4の逆スタガ型薄膜トランジスタは、同じ極性とする。インバータ回路はEDMOS回路である。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

複数の画素を有する画素部と、
前記画素部に電氣的に接続される走査線を制御する走査線駆動回路と、を有し、
前記走査線駆動回路は、第 1 のトランジスタ乃至第 7 のトランジスタを有し、
前記第 1 乃至前記第 7 のトランジスタは、それぞれ、ゲートと、前記ゲート上に絶縁膜を介して位置する半導体層と、を有し、
前記半導体層はシリコンを有し、
前記第 1 のトランジスタのソース又はドレインの一方は、前記走査線と電氣的に接続され、
前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は、前記第 2 のトランジスタのソース又はドレインの一方としての機能と、前記第 3 のトランジスタのソース又はドレインの一方としての機能と、を有する第 2 の導電層を介して、前記第 4 のトランジスタのゲートとしての機能を有する第 3 の導電層と電氣的に接続され、
前記第 5 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと電氣的に接続され、
前記第 4 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートと電氣的に接続され、
前記第 3 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と電氣的に接続され、
前記第 6 のトランジスタのソース又はドレインの他方は、第 1 の配線に電氣的に接続され、
前記第 3 のトランジスタのゲートは、前記第 7 のトランジスタのゲートと電氣的に接続され、
前記第 3 のトランジスタのゲートと前記第 7 のトランジスタのゲートには、入力信号が入力される表示装置。

【請求項 2】

複数の画素を有する画素部と、
前記画素部に電氣的に接続される走査線を制御する走査線駆動回路と、を有し、
前記走査線駆動回路は、第 1 のトランジスタ乃至第 7 のトランジスタを有し、
前記第 1 乃至前記第 7 のトランジスタは、それぞれ、ゲートと、前記ゲート上に絶縁膜を介して位置する半導体層と、を有し、
前記半導体層はシリコンを有し、
前記第 1 のトランジスタのソース又はドレインの一方は、前記走査線と電氣的に接続され、
前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は、前記第 2 のトランジスタのソース又はドレインの一方としての機能と、前記第 3 のトランジスタのソース又はドレインの一方としての機能と、を有する第 2 の導電層を介して、前記第 4 のトランジスタのゲートとしての機能を有する第 3 の導電層と電氣的に接続され、
前記第 5 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと電氣的に接続され、
前記第 4 のトランジスタのソース又はドレインの一方は、前記第 5 のトランジスタのゲートと電氣的に接続され、
前記第 3 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と電氣的に接続され、
前記第 6 のトランジスタのソース又はドレインの他方は、第 1 の配線に電氣的に接続され、
前記第 2 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、
前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 の配線と電氣的に接

10

20

30

40

50

続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第2の配線と電氣的に接続され、

前記第2の配線は、前記走査線駆動回路に供給される電位を伝達する機能を有し、

前記第3のトランジスタのゲートは、前記第7のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのゲートと前記第7のトランジスタのゲートには、入力信号が入力される表示装置。

【請求項3】

請求項1又は請求項2に記載の表示装置は、液晶表示装置である表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、駆動回路及び画素部に逆スタガ型薄膜トランジスタを有する表示装置に関する。

【背景技術】

【0002】

電界効果トランジスタの一種として、絶縁表面を有する基板上に形成された半導体層でチャネル形成領域が形成される薄膜トランジスタが知られている。薄膜トランジスタに用いられる半導体層として、非晶質シリコン、微結晶シリコンまたは多結晶シリコンを用いる技術が開示されている。薄膜トランジスタの代表的な応用例は、液晶テレビジョン装置であり、表示画面を構成する各画素のスイッチングトランジスタとして実用化されている。

20

【0003】

また、表示装置のコスト削減のため、外付けの部品数を減らし、ゲートドライバーを、非晶質シリコンまたは微結晶シリコンを用いた薄膜トランジスタで構成する表示装置がある（特許文献1参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-049832号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

非晶質シリコン層でチャネル形成領域が形成される薄膜トランジスタは、電界効果移動度及びオン電流が低いといった問題がある。また、長期の使用により薄膜トランジスタが劣化し、しきい値電圧がシフトしてしまい、オン電流が低下するという問題がある。非晶質シリコン層でチャネル形成領域が形成される薄膜トランジスタでゲートドライバーのような駆動回路を構成する場合は、チャネル形成領域の幅を広くし、薄膜トランジスタの面積を大きくすることで、しきい値電圧のシフトによるオン電流の低下が生じても、十分なオン電流を確保している。

40

【0006】

または、駆動回路を構成する薄膜トランジスタの数を増やして、各薄膜トランジスタの動作時間を短くすることで、薄膜トランジスタの劣化を低減して、十分なオン電流を確保している。

【0007】

このため、非晶質シリコン層でチャネル形成領域が形成される薄膜トランジスタで駆動回路を形成する表示装置において、駆動回路の占有面積が広く、表示装置の狭額縁化の妨げとなり、表示領域である画素部の面積が小さくなってしまう。

【0008】

一方、微結晶シリコン層でチャネル形成領域が形成される薄膜トランジスタは、非晶質シ

50

リコンによる薄膜トランジスタと比較して、電界効果移動度が向上するもののオフ電流が高くなってしまい、十分なスイッチング特性が得られないといった問題がある。

【0009】

多結晶シリコン層でチャネル形成領域が形成される薄膜トランジスタは、上記二種類の薄膜トランジスタよりも電界効果移動度が格段に高く、高いオン電流が得られるといった特性がある。この薄膜トランジスタは、前記した特性により、画素に設けられるスイッチング用のトランジスタのみならず、高速動作が要求されるドライバ回路をも構成することができる。

【0010】

しかし、多結晶シリコン層でチャネル形成領域が形成される薄膜トランジスタは、非晶質シリコン層で薄膜トランジスタを形成する場合に比べ半導体層の結晶化工程が必要となり、製造コストが増大することが問題となっている。例えば、多結晶シリコン層の製造のために必要なレーザアニール技術は、レーザビームの照射面積が小さく大画面の液晶パネルを効率よく生産することができないといった問題がある。

【0011】

そこで、本発明の一形態は、作製コストの低減が可能であり、且つ画像の表示特性に優れた表示装置を提供することを課題とする。また、本発明の一形態は、作製コストの低減が可能であり、且つ狭額縁化が可能な表示装置を提供することを課題とする。

【課題を解決するための手段】

【0012】

本発明は、駆動回路部、及び画素部を有し、駆動回路部は論理回路部と、スイッチ部またはバッファ部を有する表示装置であり、駆動回路部及び画素部を構成するTFTは、極性が同じ逆スタガ型TFTであり、スイッチ部またはバッファ部は、オン電流を多く流すことが可能な逆スタガ型TFTを用いて構成され、論理回路部はデプレッション型のTFT及びエンハンスメント型のTFTで構成されたインバータ回路（以下、EDMOS回路という。）で構成されることを特徴とする。

【0013】

オン電流を多く流すことが可能なTFTとしては、デュアルゲート型の逆スタガ型TFTまたはデプレッション型の逆スタガ型TFTを用いる。

【0014】

EDMOS回路は、しきい値電圧が異なる2つ以上の逆スタガ型TFT、代表的にはデプレッション型のTFT及びエンハンスメント型のTFTを有する。デプレッション型のTFTを、第1のゲート電極と、第1のゲート絶縁層と、第1のゲート絶縁層上に形成される半導体層と、半導体層上に形成される第2のゲート絶縁層と、第2のゲート絶縁層上に第2のゲート電極が形成されるデュアルゲート型の逆スタガ型薄膜トランジスタで形成することで、しきい値電圧を制御し、EDMOS回路を構成することができる。

【0015】

または、デプレッション型のTFTとして、チャネル形成領域にドナーとなる不純物元素が添加された半導体層を有する逆スタガ型TFTを用い、エンハンスメント型のTFTとして、チャネル形成領域にドナーとなる不純物元素が添加されない半導体層を用いることで、EDMOS回路を構成することができる。

【0016】

または、デプレッション型のTFTとして、チャネル形成領域にアクセプターとなる不純物元素が添加されない半導体層を有する逆スタガ型TFTを用い、エンハンスメント型のTFTとして、チャネル形成領域にアクセプターとなる不純物元素が添加された半導体層を用いることで、EDMOS回路を構成することができる。

【0017】

また、本発明の表示装置において作製される逆スタガ型TFTは、ゲート電極と、ゲート電極上に形成されるゲート絶縁層と、ゲート絶縁層上に形成される半導体層と、半導体層上に形成されるソース領域及びドレイン領域として機能する不純物半導体層と、配線とを

10

20

30

40

50

有し、ゲート絶縁層上に形成される半導体層は、ゲート絶縁層側に微結晶半導体層が形成され、ソース領域及びドレイン領域側に非晶質半導体層を有する。または、ゲート絶縁層側に微結晶半導体層が形成され、ソース領域及びドレイン領域側に非晶質半導体層を有し、微結晶半導体層及び非晶質半導体層の間に、錐状の微結晶半導体領域と、当該領域を充填する非晶質半導体領域とを有する。このため、逆スタガ型TFTのオン電流を高めつつ、オフ電流を抑えることができる。

【0018】

なお、オン電流とは、トランジスタがオン状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。例えば、n型のトランジスタの場合には、ゲート電圧がトランジスタの閾値電圧よりも高いときにソース電極とドレイン電極との間に流れる電流である。

10

【0019】

また、オフ電流とは、トランジスタがオフ状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。例えば、n型のトランジスタの場合には、ゲート電圧がトランジスタの閾値電圧よりも低いときにソース電極とドレイン電極との間に流れる電流である。

【0020】

なお、本明細書中における表示装置とは、画像表示デバイス、発光デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

20

【発明の効果】

【0021】

本発明により、表示装置のコストを低減しつつ、且つ画像の表示特性を向上させることができる。また、表示装置の狭額縁化が可能となり、表示装置における表示領域を拡大することができる。

【図面の簡単な説明】

【0022】

【図1】本発明の一実施の形態に係る表示装置の全体を説明するブロック図。

30

【図2】本発明の一実施の形態に係る表示装置における配線、入力端子等の配置を説明する図。

【図3】シフトレジスタ回路の構成を説明するブロック図。

【図4】フリップフロップ回路の一例を示す図。

【図5】フリップフロップ回路のレイアウト図（上面図）を示す図。

【図6】シフトレジスタ回路の動作を説明するためのタイミングチャートを示す図。

【図7】本発明の一実施の形態に係る表示装置を説明する断面図。

【図8】本発明の一実施の形態に係る表示装置を説明する断面図および上面図。

【図9】本発明の一実施の形態に係る表示装置における薄膜トランジスタを説明する断面図。

40

【図10】本発明の一実施の形態に係る表示装置を説明する断面図。

【図11】本発明の一実施の形態に係る表示装置を説明する断面図および上面図。

【図12】本発明の一実施の形態に係る表示装置を説明する断面図。

【図13】本発明の一実施の形態に係る表示装置を説明する断面図および上面図。

【図14】本発明の一実施の形態に係る表示装置における駆動回路を説明する断面図および上面図。

【図15】本発明の一実施の形態に係る表示装置の作製方法を説明する断面図。

【図16】本発明の一実施の形態に係る表示装置の作製方法を説明する断面図。

【図17】本発明の一実施の形態に係る表示装置の作製方法を説明する断面図。

【図18】本発明の一実施の形態に係る表示装置の作製方法を説明する断面図。

50

【図 1 9】本発明の一実施の形態に係る表示装置の作製方法に適用可能な多階調マスクを説明する図。

【図 2 0】本発明の一実施の形態に係る表示装置の作製方法を説明する平面図。

【図 2 1】本発明の一実施の形態に係る表示装置の作製方法を説明する断面図。

【図 2 2】本発明の一実施の形態に係る表示装置の作製方法を説明する断面図。

【図 2 3】本発明の一実施の形態に係る表示装置の作製方法を説明する断面図。

【図 2 4】本発明の一実施の形態に係る表示装置に適用する保護回路を説明する等価回路図。

【図 2 5】本発明の一実施の形態に係る表示装置の端子部を説明する図。

【図 2 6】本発明の一実施の形態に係る表示装置の端子部を説明する図。

10

【図 2 7】本発明の一実施の形態に係る液晶表示装置の一例を説明する図。

【図 2 8】本発明の一実施の形態に係る発光表示装置の一例を説明する図。

【図 2 9】本発明の一実施の形態を適用した電子機器の一例を説明する図。

【発明を実施するための形態】

【0023】

本発明の実施の形態について、図面を参照して以下に説明する。ただし、本発明は以下の説明に限定されるものではない。本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態及び実施例の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

20

【0024】

(実施の形態 1)

本実施の形態では、本発明の一形態である表示装置について、ブロック図等を参照して説明する。

【0025】

図 1 (A) は、アクティブマトリクス型液晶表示装置のブロック図の一例を示す。図 1 (A) に示す液晶表示装置は、基板 100 上に表示素子を備えた画素を複数有する画素部 101 と、各画素のゲート電極に接続された走査線を制御する走査線駆動回路 102 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 103 と、を有する。

30

【0026】

図 1 (B) は、本発明を適用したアクティブマトリクス型発光表示装置のブロック図の一例を示す。図 1 (B) に示す発光表示装置は、基板 110 上に表示素子を備えた画素を複数有する画素部 111 と、各画素のゲート電極に接続された走査線を制御する第 1 の走査線駆動回路 112 及び第 2 の走査線駆動回路 113 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 114 と、を有する。一つの画素にスイッチング用 TFT (Thin Film Transistor。以下、TFT という。) と電流制御用 TFT の 2 つを配置する場合、図 1 (B) に示す発光表示装置では、スイッチング用 TFT のゲート電極に接続された第 1 の走査線に入力される信号を第 1 の走査線駆動回路 112 で生成し、電流制御用 TFT のゲート電極に接続された第 2 の走査線に入力される信号を第 2 の走査線駆動回路 113 で生成する。ただし、第 1 の走査線に入力される信号と、第 2 の走査線に入力される信号とを、一の走査線駆動回路で生成する構成としてもよい。また、例えば、スイッチング素子が有する TFT の数によって、スイッチング素子の動作を制御するのに用いられる第 1 の走査線が、各画素に複数設けられていてもよい。この場合、複数の第 1 の走査線に入力される信号を、全て 1 つの走査線駆動回路で生成してもよいし、複数の走査線駆動回路を設けてこれらの各々で生成してもよい。

40

【0027】

なお、ここでは、走査線駆動回路 102、第 1 の走査線駆動回路 112、第 2 の走査線駆動回路 113、及び信号線駆動回路 103、114 を表示装置に作製する形態を示したが、走査線駆動回路 102、第 1 の走査線駆動回路 112、または第 2 の走査線駆動回路 1

50

13の一部をIC等の半導体装置で実装してもよい。また、信号線駆動回路103、114の一部をIC等の半導体装置で実装してもよい。

【0028】

図2は、表示装置を構成する、信号入力端子、走査線、信号線、非線形素子を含む保護回路及び画素部の位置関係を説明する図である。絶縁表面を有する基板120上には走査線123と信号線124が交差して配置され、画素部127が構成されている。なお、画素部127は、図1に示す画素部101と画素部111に相当する。

【0029】

画素部127は複数の画素128がマトリクス状に配列して構成されている。画素128は、走査線123と信号線124に接続する画素TF T129、保持容量部130、画素電極131を含んで構成されている。

10

【0030】

ここで示す画素構成において、保持容量部130では、一方の電極と画素TF T129が接続され、他方の電極と容量線132が接続される場合を示している。また、画素電極131は表示素子（液晶素子、発光素子、コントラスト媒体（電子インク）等）を駆動する一方の電極を構成する。これらの表示素子の他方の電極はコモン端子133に接続されている。

【0031】

保護回路は、画素部127と、信号線入力端子122との間に配設されている。また、走査線駆動回路と、画素部127の間に配設されている。本実施の形態では、複数の保護回路を配設して、走査線123、信号線124及び容量配線137に静電気等によりサージ電圧が印加され、画素TF T129等が破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、コモン配線に電荷を逃がすように構成されている。

20

【0032】

本実施の形態では、走査線123の保護回路134、信号線124の保護回路135、容量配線137の保護回路136を配設する例を示している。ただし、保護回路の配設位置はこれに限定されない。また、走査線駆動回路をIC等の半導体装置で実装しない場合は、走査線123側に保護回路134を設けなくともよい。

【0033】

これらの回路の各々に本発明のTF Tを用いることで、以下の利点がある。

30

【0034】

画素TF Tは、スイッチング特性が高いことが好ましい。画素TF Tのスイッチング特性を高めることで、表示装置のコントラスト比を高めることができる。スイッチング特性を高めるためには、オン電流を大きくし、オフ電流を小さくすることが有効である。本発明を適用した画素TF Tは、オン電流が大きく、オフ電流が小さいため、スイッチング特性の高いものとすることができ、コントラスト比の高い薄膜トランジスタを実現することができる。

【0035】

駆動回路は、論理回路部と、スイッチ部またはバッファ部とに大別される。論理回路部に設けるTF Tは閾値電圧を制御することが可能な構成であるとよい。一方で、スイッチ部またはバッファ部に設けるTF Tはオン電流が大きいことが好ましい。この構成により、論理回路部に設けるTF Tの閾値電圧の制御が可能となり、スイッチ部またはバッファ部に設けるTF Tのオン電流を大きくすることが可能となる。更には、駆動回路が占有する面積を小さくし、狭額縁化にも寄与する。

40

【0036】

保護回路は、画素部の周縁に設けられるため狭額縁化を阻害する一因となっていた。しかしながら、本明細書に示す表示装置は、保護回路の面積を縮小することができるため、狭額縁化が阻害されることを抑制することができる。

【0037】

50

(実施の形態 2)

本実施の形態では、実施の形態 1 にて説明した表示装置の駆動回路の回路図等について図 3 乃至図 6 を参照して説明する。

【0038】

まず、実施の形態 1 に示す走査線駆動回路を構成するシフトレジスタ回路について説明する。

【0039】

図 3 に示すシフトレジスタ回路は、フリップフロップ回路 201 を複数有し、制御信号線 202、制御信号線 203、制御信号線 204、制御信号線 205、制御信号線 206、及びリセット線 207 を有する。

【0040】

図 3 のシフトレジスタ回路に示すように、フリップフロップ回路 201 では、初段の入力端子 IN に、制御信号線 202 を介して、スタートパルス SSP が入力され、次段以降の入力端子 IN に前段のフリップフロップ回路 201 の出力信号端子 S_{OUT} が接続されている。また、N 段目 (N は自然数である。) のリセット端子 RES は、(N+3) 段目のフリップフロップ回路の出力信号端子 S_{OUT} とリセット線 207 を介して接続されている。N 段目のフリップフロップ回路 201 のクロック端子 CLK には、制御信号線 203 を介して、第 1 のクロック信号 CLK1 が入力されると仮定すると、(N+1) 段目のフリップフロップ回路 201 のクロック端子 CLK には、制御信号線 204 を介して、第 2 のクロック信号 CLK2 が入力される。また、(N+2) 段目のフリップフロップ回路 201 のクロック端子 CLK には、制御信号線 205 を介して、第 3 のクロック信号 CLK3 が入力される。また、(N+3) 段目のフリップフロップ回路 201 のクロック端子 CLK には、制御信号線 206 を介して、第 4 のクロック信号 CLK4 が入力される。そして、(N+4) 段目のフリップフロップ回路 201 のクロック端子 CLK には、制御信号線 203 を介して、第 1 のクロック信号 CLK1 が入力される。また、N 段目のフリップフロップ回路 201 は、ゲート出力端子 G_{OUT} より、N 段目のフリップフロップ回路の出力 SROUTN を出力する。

【0041】

なお、フリップフロップ回路 201 と、電源及び電源線との接続を図示していないが、各フリップフロップ回路 201 には電源線を介して電源電位 V_{DD} 及び電源電位 GND が供給されている。

【0042】

なお、本明細書で説明する電源電位は、基準電位を 0V とした場合の、電位差に相当する。そのため、電源電位のことを電源電圧と呼ぶこともある。

【0043】

なお、本明細書において、A と B とが接続されている、とは、A と B とが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、A と B とが電氣的に接続されているとは、A と B との間に何らかの電氣的な作用を有する対象物が存在するとき、対象物を介して A と B とが概略同一ノードとなる場合を表すものとする。具体的には、TFT のようなスイッチング素子を介して A と B とが接続され、該スイッチング素子の導通によって、A と B とが概略同電位となる場合や、抵抗素子を介して A と B とが接続され、該抵抗素子の両端に発生する電位差が、A と B とを含む回路の動作に影響しない程度となっている場合等、回路動作を考えた場合に A と B とを同一ノードとして捉えて差し支えない状態である場合を表す。

【0044】

次に、図 4 に、図 3 で示したシフトレジスタ回路が有するフリップフロップ回路 201 の一形態を示す。図 4 に示すフリップフロップ回路 201 は、論理回路部 211 と、スイッチ部 212 と、を有する。論理回路部 211 は、TFT 213 乃至 TFT 218 を有する。また、スイッチ部 212 は、TFT 219 乃至 TFT 222 を有している。なお論理回路部 211 とは、外部より入力される信号に応じて後段の回路であるスイッチ部 212 に

出力する信号を切り替えるための回路である。また、スイッチ部 212 とは、外部及び論理回路部 211 から入力される信号に応じてスイッチとなる T F T のオンまたはオフの切り替え、当該 T F T のサイズ及び構造に応じた電流を出力するための回路である。

【0045】

フリップフロップ回路 201 において、入力端子 I N は T F T 214 のゲート端子、及び T F T 217 のゲート端子に接続されている。リセット端子は、T F T 213 のゲート端子に接続されている。クロック端子 C L K は、T F T 219 の第 1 端子、及び T F T 221 の第 1 端子に接続されている。電源電位 V d d が供給される電源線は、T F T 214 の第 1 端子、並びに T F T 216 の第 2 端子に接続されている。電源電位 G N D が供給される電源線は、T F T 213 の第 2 端子、T F T 215 の第 2 端子、T F T 217 の第 2 端子、T F T 218 の第 2 端子、T F T 220 の第 2 端子、及び T F T 222 の第 2 端子に接続されている。また、T F T 213 の第 1 端子、T F T 214 の第 2 端子、T F T 215 の第 1 端子、T F T 218 のゲート端子、T F T 219 のゲート端子、及び T F T 221 のゲート端子は互いに接続されている。また、T F T 216 の第 1 端子及びゲート端子は、T F T 215 のゲート端子、T F T 217 の第 1 端子、T F T 218 の第 1 端子、T F T 220 のゲート端子、及び T F T 222 のゲート端子に接続されている。また、ゲート出力端子 G_{out} は、T F T 219 の第 2 端子、及び T F T 220 の第 1 端子に接続されている。出力信号端子 S_{out} は、T F T 221 の第 2 端子、及び T F T 222 の第 1 端子に接続されている。

【0046】

なお、ここでは、T F T 213 乃至 T F T 222 が、すべて N 型 T F T である場合についての説明を行う。ただし、T F T 213 乃至 T F T 222 は、P 型 T F T であってもよい。

【0047】

なお、T F T は、ゲートと、ドレインと、ソースと、を含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル形成領域を有し、ドレイン領域とチャネル形成領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインは、T F T の構造や動作条件等によって入れ替わることがあるため、いずれがソースであり、いずれがドレインであるかを特定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばず、例えば、それぞれを第 1 端子、第 2 端子と表記する。また、この場合に、ゲートとして機能する端子については、ゲート端子と表記する。

【0048】

次に、図 4 に示したフリップフロップ回路 201 のレイアウト図の一例を図 5 に示す。

【0049】

図 5 のフリップフロップ回路は、電源電位 V d d が供給される電源線 231、リセット線 232、制御信号線 203、制御信号線 204、制御信号線 205、制御信号線 206、制御信号線 233、電源電位 G N D が供給される電源線 234、論理回路部 211、及びスイッチ部 212 を有する。論理回路部 211 は、T F T 213 乃至 T F T 218 を有する。また、スイッチ部 212 は、T F T 219 乃至 T F T 222 を有している。また、図 5 では、ゲート出力端子 G_{out} に接続される配線、出力信号端子 S_{out} に接続される配線についても示している。

【0050】

図 5 中では、半導体層 235、第 1 の配線層 236、第 2 の配線層 237、第 3 の配線層 238、コンタクトホール 239 について示している。なお、第 1 の配線層 236 は、ゲート電極を形成する層により形成し、第 2 の配線層 237 は、T F T のソース電極またはドレイン電極を形成する層により形成し、第 3 の配線層 238 は、画素部における画素電極を形成する層により形成すればよい。ただし、これに限定されず、例えば第 3 の配線層 238 を、画素電極を形成する層とは別の配線層として形成してもよい。

【0051】

なお、図 5 中の各回路素子間の接続関係は、図 4 で説明した通りである。なお、図 5 では、第 1 のクロック信号が入力されるフリップフロップ回路について示しているため、制御信号線 204 乃至制御信号線 206 との接続については図示されていない。

【0052】

本実施の形態は、図 5 のフリップフロップ回路のレイアウト図において、論理回路部 211 が有する T F T 216 または T F T 217 のしきい値電圧を制御することで、E D M O S 回路 223 を構成することができる。代表的には、T F T 216 をデプレッション型とし、T F T 217 をエンハンスメント型とした E D M O S 回路 223 で構成し、スイッチ部 212 が有する T F T 219 乃至 T F T 222 をデュアルゲート型の T F T、またはデプレッション型の T F T とすることを特徴の一とする。

10

【0053】

デプレッション型の T F T 216 のチャネル形成領域を、ドナーとなる不純物元素を有する半導体層とし、エンハンスメント型の T F T 217 のチャネル形成領域は、ドナーとなる不純物元素が添加されない半導体層とすることで、E D M O S 回路 223 を形成することができる。

【0054】

または、デプレッション型の T F T 216 のチャネル形成領域をアクセプターとなる不純物元素が添加されない半導体層とし、エンハンスメント型の T F T 217 のチャネル形成領域をアクセプターとなる不純物元素を有する半導体層とすることで、E D M O S 回路 223 を形成することができる。

20

【0055】

または、デプレッション型の T F T 216 またはエンハンスメント型の T F T 217 をデュアルゲート型の T F T で形成し、バックゲート電極の電位を制御することで、デプレッション型の T F T 216 またはエンハンスメント型の T F T 217 を形成することができるため、E D M O S 回路 223 を形成することができる。

【0056】

このため、表示装置の T F T を n チャネル型 T F T または p チャネル型 T F T のように、一方の極性の T F T のみで形成することができる。

【0057】

また、論理回路部 211 における T F T 216 は電源電位 V_{dd} に応じて電流を流すための T F T であり、デュアルゲート型 T F T または T F T 216 をデプレッション型の T F T として、流れる電流を大きくすることにより、性能を低下させることなく、T F T の小型化を図ることができる。

30

【0058】

また、スイッチ部 212 を構成する T F T において、T F T を流れる電流量を大きくし、且つオンとオフの切り替えを高速に行うことができるため、性能を低下させることなく T F T が占める面積を縮小することができる。従って、該 T F T により構成される回路が占める面積を縮小することもできる。なお、スイッチ部 212 における T F T 219 乃至 T F T 222 は、図示するように半導体層 235 を第 1 の配線層 236 及び第 3 の配線層 238 で挟むようにレイアウトして、デュアルゲート型 T F T を形成すればよい。

40

【0059】

また、図 5 では、デュアルゲート型 T F T が、半導体層 235 を第 1 の配線層 236 と、コンタクトホール 239 により第 1 の配線層 236 に接続されて同電位となった第 3 の配線層 238 と、により挟まれて構成される例を示したが、本発明はこの構成に限定されない。例えば、第 3 の配線層 238 に対して、別途制御信号線を設け、第 3 の配線層 238 の電位を第 1 の配線層 236 から独立して制御する構成としてもよい。第 3 の配線層 238 により、T F T のしきい値電圧を制御して、T F T を流れる電流量を増やすことで、性能を低下させることなく、T F T が占める面積、更には該 T F T により構成される回路が占める面積を縮小することができる。

【0060】

50

なお、図 5 に示すフリップフロップ回路のレイアウト図において、T F T 2 1 3 乃至 T F T 2 2 2 のチャンネル形成領域の形状を U 字型（コの字型または馬蹄型）にしてもよい。また、図 5 中では、各 T F T のサイズを等しくしているが、後段の負荷の大きさに応じて出力信号端子 S_{out} またはゲート出力端子 G_{out} に接続される各 T F T の大きさを適宜変更してもよい。

【0061】

次に、図 6 に示すタイミングチャートを用いて、図 3 に示すシフトレジスタ回路の動作について説明する。図 6 は、図 3 に示した制御信号線 2 0 2 乃至制御信号線 2 0 6 にそれぞれ供給されるスタートパルス S S P、第 1 のクロック信号 C L K 1 乃至第 4 のクロック信号 C L K 4、及び 1 段目乃至 5 段目のフリップフロップ回路の出力信号端子 S_{out} から出力される S o u t 1 乃至 S o u t 5 について示している。なお、図 6 の説明では、図 4 及び図 5 において各素子に付した符号を用いる。

10

【0062】

なお、図 6 は、フリップフロップ回路が有する T F T のそれぞれが、N 型 T F T の場合のタイミングチャートである。また第 1 のクロック信号 C L K 1 及び第 4 のクロック信号 C L K 4 は図示するように 1 / 4 波長（点線にて区分けした一区間）ずつシフトした構成となっている。

【0063】

まず、期間 T 1 において、1 段目のフリップフロップ回路には、スタートパルス S S P が H レベルで入力され、論理回路部 2 1 1 はスイッチ部の T F T 2 1 9 及び T F T 2 2 1 をオンし、T F T 2 2 0 及び T F T 2 2 2 をオフにする。このとき、第 1 のクロック信号 C L K 1 は L レベルであるため、S o u t 1 は L レベルである。

20

【0064】

なお、期間 T 1 において、2 段目以降のフリップフロップ回路には、I N 端子に信号が入力されないため、動作することなく L レベルを出力している。なお、初期状態では、シフトレジスタ回路の各フリップフロップ回路は、L レベルを出力するものとして説明を行う。

【0065】

次に、期間 T 2 において、1 段目のフリップフロップ回路では、期間 T 1 と同様に、論理回路部 2 1 1 がスイッチ部 2 1 2 の制御を行う。期間 T 2 では、第 1 のクロック信号 C L K 1 は H レベルとなるため、S o u t 1 は H レベルとなる。また、期間 T 2 では、2 段目のフリップフロップ回路には、S o u t 1 が H レベルで I N 端子に入力され、論理回路部 2 1 1 がスイッチ部の T F T 2 1 9 及び T F T 2 2 1 をオンし、T F T 2 2 0 及び T F T 2 2 2 をオフする。このとき、第 2 のクロック信号 C L K 2 は L レベルであるため、S o u t 2 は L レベルである。

30

【0066】

なお、期間 T 2 において、3 段目以降のフリップフロップ回路には、I N 端子に信号が入力されないため、動作することなく L レベルを出力している。

【0067】

次に、期間 T 3 において、1 段目のフリップフロップ回路では、期間 T 2 の状態を保持するように論理回路部 2 1 1 がスイッチ部 2 1 2 の制御を行う。そのため、期間 T 3 では、第 1 のクロック信号 C L K 1 は H レベルであり、S o u t 1 は H レベルとなる。また、期間 T 3 において、2 段目のフリップフロップ回路では、期間 T 2 と同様に、論理回路部 2 1 1 がスイッチ部 2 1 2 の制御を行う。期間 T 3 では、第 2 のクロック信号 C L K 2 は H レベルであるため、S o u t 2 は H レベルである。また、期間 T 3 の 3 段目のフリップフロップ回路には、S o u t 2 が H レベルで I N 端子に入力され、論理回路部 2 1 1 がスイッチ部の T F T 2 1 9 及び 2 2 1 をオンし、T F T 2 2 0 及び 2 2 2 をオフにする。このとき、第 3 のクロック信号 C L K 3 は L レベルであるため、S o u t 3 は L レベルである。

40

【0068】

50

なお、期間 T 3 において、4 段目以降のフリップフロップ回路には、I N 端子に信号が入力されないため、動作することなく L レベルを出力している。

【0069】

次に、期間 T 4 において、第 1 のクロック信号 C L K 1 は L レベルであり、S o u t 1 は L レベルとなる。また、期間 T 4 において、2 段目のフリップフロップ回路では、期間 T 3 の状態を保持するように論理回路部 2 1 1 がスイッチ部 2 1 2 の制御を行う。そのため、期間 T 4 において、第 2 のクロック信号 C L K 2 は H レベルであり、S o u t 2 は H レベルとなる。また、期間 T 4 において、3 段目のフリップフロップ回路では、期間 T 3 と同様に、論理回路部 2 1 1 がスイッチ部 2 1 2 の制御を行う。期間 T 4 では、第 3 のクロック信号 C L K 3 は H レベルであるため、S o u t 3 は H レベルである。また、期間 T 4 の 4 段目のフリップフロップ回路には、S o u t 3 が H レベルで I N 端子に入力され、論理回路部 2 1 1 がスイッチ部 2 1 2 の T F T 2 1 9 及び T F T 2 2 1 をオンし、T F T 2 2 0 及び T F T 2 2 2 をオフにする。このとき、第 4 のクロック信号 C L K 4 は L レベルであるため、S o u t 4 は L レベルである。

10

【0070】

なお、期間 T 4 において、5 段目以降のフリップフロップ回路には、I N 端子に信号が入力されないため、動作することなく L レベルを出力している。

【0071】

次に、期間 T 5 において、1 段目のフリップフロップ回路では、期間 T 4 の状態を保持するように論理回路部 2 1 1 がスイッチ部 2 1 2 の制御を行う。そのため、期間 T 5 において、第 1 のクロック信号 C L K 1 は L レベルであり、S o u t 1 は L レベルとなる。また期間 T 5 において、2 段目のフリップフロップ回路では、期間 T 4 と同様に、論理回路部 2 1 1 がスイッチ部 2 1 2 の制御を行う。期間 T 5 では、第 2 のクロック信号 C L K 2 は L レベルであるため、S o u t 2 は L レベルである。また、期間 T 5 において、3 段目のフリップフロップ回路では、期間 T 4 の状態を保持するように論理回路部 2 1 1 がスイッチ部 2 1 2 の制御を行う。そのため、期間 T 5 において、第 3 のクロック信号 C L K 3 は H レベルであり、S o u t 3 は H レベルとなる。また、期間 T 5 において 4 段目のフリップフロップ回路には、期間 T 4 と同様に、論理回路部 2 1 1 がスイッチ部 2 1 2 の制御を行う。期間 T 5 では、第 4 のクロック信号 C L K 4 は H レベルであるため、S o u t 4 は H レベルである。また、5 段目以降のフリップフロップ回路は、1 段目乃至 4 段目のフリップフロップ回路と同様の配線関係であり、入力される信号のタイミングも同様であるため、説明は省略する。

20

30

【0072】

図 3 のシフトレジスタ回路で示したように、S o u t 4 は 1 段目のフリップフロップ回路のリセット信号を兼ねる。期間 T 5 では、S o u t 4 が H レベルとなり、この信号が 1 段目のフリップフロップ回路のリセット端子 R E S に入力される。リセット信号が入力されることにより、スイッチ部 2 1 2 の T F T 2 1 9 及び T F T 2 2 1 をオフし、T F T 2 2 0 及び T F T 2 2 2 をオンする。そして、1 段目のフリップフロップ回路の S o u t 1 は、次のスタートパルス S S P が入力されるまで、L レベルを出力することになる。

【0073】

以上説明した動作により、2 段目以降のフリップフロップ回路でも、後段のフリップフロップ回路から出力されるリセット信号に基づいて論理回路部のリセットが行われ、S o u t 1 乃至 S o u t 5 に示すように、クロック信号の 1 / 4 波長分シフトした波形の信号を出力するシフトレジスタ回路とすることができる。

40

【0074】

また、フリップフロップ回路として、論理回路部 2 1 1 にエンハンスメント型とデプレッション型を組み合わせた E D M O S 回路の T F T、スイッチ部 2 1 2 にデュアルゲート型の T F T を具備する構成とすることにより、論理回路部 2 1 1 を構成する T F T を流れる電流量を大きくすることができ、性能を低下させることなく、T F T が占める面積、更には該 T F T により構成される回路が占める面積を縮小することができる。また、スイッチ

50

部 2 1 2 を構成する T F T においては、T F T を流れる電流量を大きくし、オンとオフの切り替えを高速に行うことができるため、性能を低下させることなく T F T が占める面積、更には該 T F T により構成される回路が占める面積を縮小することができる。従って、表示装置の狭額縁化、小型化、高性能化を図ることができる。

【0075】

また、実施の形態 1 に示す信号線駆動回路に、ラッチ回路、レベルシフタ回路等を設けることができる。信号線駆動回路から画素部に信号を送る最終段にバッファ部を設け、電流量を増幅した信号を信号線駆動回路から画素部に送る。このため、バッファ部に、オン電流が大きい T F T、代表的にはデュアルゲート型の T F T またはデプレッション型の T F T を設けることで、T F T の面積を縮小することが可能であり、信号線駆動回路が占める面積を縮小することができる。従って、表示装置の狭額縁化、小型化、高性能化を図ることができる。なお、信号線駆動回路の一部であるシフトレジスタは、高速な動作を必要とされるため、I C 等を用いて表示装置に実装することが好ましい。

【0076】

(実施の形態 3)

本実施の形態においては、実施の形態 1 及び実施の形態 2 に示す表示装置において、論理回路部、スイッチ部、及び画素部の薄膜トランジスタの構造について示す。表示装置に用いる薄膜トランジスタは、p 型よりも n 型の方が、キャリアの移動度が高い。また、同一の基板上に形成する薄膜トランジスタを全て同じ極性に統一すると、工程数を抑えることができ、好ましい。そのため、本実施の形態では、n 型の薄膜トランジスタについて説明する。

【0077】

図 7 及び図 8 (A) は、本実施の形態にかかる表示装置の論理回路部 3 9 1、スイッチ部 3 9 3、及び画素部 3 9 5 の一形態 (構造 1) の断面図を示す。

【0078】

図 7 に示す表示装置の論理回路部 3 9 1 において E D M O S 回路を示し、E D M O S 回路のデプレッション型の T F T またはエンハンスメント型の T F T の一方が、ゲート電極 3 0 3 及びバックゲート電極 3 7 3 を有するデュアルゲート型の T F T 3 0 0 a で形成される。また、デプレッション型の T F T またはエンハンスメント型の T F T の他方が、T F T 3 0 0 b で形成される。なお、図 7 に示す論理回路部 3 9 1 の断面図 C - D、及び図 8 (A) に示す論理回路部 3 9 1 の断面図 C - E は、図 8 (B) の上面図の C - D、C - E それぞれに対応する。

【0079】

図 7 に示す表示装置のスイッチ部 3 9 3 において、ゲート電極 3 0 5 及びバックゲート電極 3 7 4 を有するデュアルゲート型の T F T 3 0 0 c が形成される。

【0080】

図 7 に示す表示装置の画素部 3 9 5 の画素におけるスイッチング素子は、T F T 3 0 0 d で形成される。また、第 2 のゲート絶縁層 3 7 9 と、容量配線 3 5 3、配線 3 7 5 とにより容量素子 3 0 0 e が形成される。

【0081】

T F T 3 0 0 a は、基板 3 0 1 上に、ゲート電極 3 0 3 と、第 1 の半導体層 3 3 3 a と、第 2 の半導体層 3 3 3 b と、第 3 の半導体層 3 6 3 と、ゲート電極 3 0 3 及び第 1 の半導体層 3 3 3 a の間に設けられる第 1 のゲート絶縁層 3 0 9 と、第 3 の半導体層 3 6 3 に接するソース領域及びドレイン領域として機能する不純物半導体層 3 5 5、3 5 6 と、不純物半導体層に接する配線 3 4 6、3 4 7 とを有する。また、第 1 の半導体層 3 3 3 a、第 2 の半導体層 3 3 3 b と、第 3 の半導体層 3 6 3 と、第 1 のゲート絶縁層 3 0 9 と、不純物半導体層 3 5 5、3 5 6 と、不純物半導体層に接する配線 3 4 6、3 4 7 とを覆う第 2 のゲート絶縁層 3 7 9 が形成され、第 2 のゲート絶縁層 3 7 9 を介して、ゲート電極 3 0 3 と対向する領域に、バックゲート電極 3 7 3 を有する。

【0082】

T F T 3 0 0 bは、基板 3 0 1上に、ゲート電極 3 0 4と、第 1の半導体層 3 3 3 aと、第 2の半導体層 3 3 3 bと、第 3の半導体層 3 6 3と、ゲート電極 3 0 4及び第 1の半導体層 3 3 3 aの間に設けられる第 1のゲート絶縁層 3 0 9と、第 3の半導体層 3 6 3に接するソース領域及びドレイン領域として機能する不純物半導体層 3 5 6、3 5 7と、不純物半導体層に接する配線 3 4 7、3 4 8とを有する。

【0083】

また、図 8 (A)に示すように、T F T 3 0 0 aのゲート電極 3 0 3と、T F T 3 0 0 a及びT F T 3 0 0 bの配線 3 4 7とが、画素電極 3 8 3と同時に絶縁層 3 8 1上に形成される配線 3 8 4で接続される。

【0084】

T F T 3 0 0 cは、基板 3 0 1上に、ゲート電極 3 0 5と、第 1の半導体層 3 3 4 aと、第 2の半導体層 3 3 4 bと、第 3の半導体層 3 6 4と、ゲート電極 3 0 5及び第 1の半導体層 3 3 4 aの間に設けられる第 1のゲート絶縁層 3 0 9と、第 3の半導体層 3 6 4に接するソース領域及びドレイン領域として機能する不純物半導体層 3 5 8、3 5 9と、不純物半導体層に接する配線 3 4 9、3 5 0とを有する。また、第 1の半導体層 3 3 4 aと、第 2の半導体層 3 3 4 bと、第 3の半導体層 3 6 4と、第 1のゲート絶縁層 3 0 9と、不純物半導体層 3 5 8、3 5 9と、配線 3 4 9、3 5 0とを覆う第 2のゲート絶縁層 3 7 9が形成され、第 2のゲート絶縁層 3 7 9を介して、ゲート電極 3 0 5と対向する領域に、バックゲート電極 3 7 4を有する。

【0085】

T F T 3 0 0 dは、基板 3 0 1上に、ゲート電極 3 0 6と、第 1の半導体層 3 3 5 aと、第 2の半導体層 3 3 5 bと、第 3の半導体層 3 6 5と、ゲート電極 3 0 6及び第 1の半導体層 3 3 5 aの間に設けられる第 1のゲート絶縁層 3 0 9と、第 3の半導体層 3 6 5に接するソース領域及びドレイン領域として機能する不純物半導体層 3 6 0、3 6 1と、不純物半導体層に接する配線 3 5 1、3 5 2とを有する。

【0086】

また、容量素子 3 0 0 eは、第 2のゲート絶縁層 3 7 9と、容量配線 3 5 3、配線 3 7 5とで構成される。

【0087】

基板 3 0 1としては、ガラス基板、セラミック基板の他、本作製工程の処理温度に耐える程度の耐熱性を有するプラスチック基板等を用いることができる。また、基板に透光性を要しない場合には、ステンレス合金等の金属の基板の表面に絶縁層を設けたものを用いてもよい。ガラス基板としては、例えば、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。また、基板 3 0 1として、第 3世代 (5 5 0 mm×6 5 0 mm)、第 3. 5世代 (6 0 0 mm×7 2 0 mm、または 6 2 0 mm×7 5 0 mm)、第 4世代 (6 8 0 mm×8 8 0 mm、または 7 3 0 mm×9 2 0 mm)、第 5世代 (1 1 0 0 mm×1 3 0 0 mm)、第 6世代 (1 5 0 0 mm×1 8 5 0 mm)、第 7世代 (1 8 7 0 mm×2 2 0 0 mm)、第 8世代 (2 2 0 0 mm×2 4 0 0 mm)、第 9世代 (2 4 0 0 mm×2 8 0 0 mm、2 4 5 0 mm×3 0 5 0 mm)、第 10世代 (2 9 5 0 mm×3 4 0 0 mm)等のガラス基板を用いることができる。

【0088】

ゲート電極 3 0 3～3 0 6、容量配線 3 0 7は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体層や A g P d C u合金を用いてもよい。

【0089】

例えば、ゲート電極 3 0 3～3 0 6、容量配線 3 0 7の二層の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を

10

20

30

40

50

積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。三層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。電氣的抵抗が低い層上にバリア層として機能する金属層が積層されることで、電氣的抵抗が低く、且つ金属層から半導体層への金属元素の拡散を防止することができる。

【0090】

第1のゲート絶縁層309は、CVD法またはスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層または窒化酸化シリコン層を単層または積層して形成することができる。また、第1のゲート絶縁層309を酸化シリコンまたは酸化窒化シリコンにより形成することで、第1の半導体層333a～335aを微結晶半導体層とした場合、薄膜トランジスタの閾値電圧の変動を低減することができる。

10

【0091】

なお、本明細書中において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法（RBS：Rutherford Backscattering Spectrometry）及び水素前方散乱法（HFS：Hydrogen Forward Scattering）を用いて測定した場合に、組成範囲として酸素が50～70原子%、窒素が0.5～15原子%、シリコンが25～35原子%、水素が0.1～10原子%の範囲に含まれるものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS及びHFSを用いて測定した場合に、組成範囲として酸素が5～30原子%、窒素が20～55原子%、シリコンが25～35原子%、水素が10～30原子%の範囲に含まれるものをいう。ただし、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

20

【0092】

第1の半導体層333a～336aは、微結晶半導体層で形成される。微結晶半導体とは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体である。微結晶半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な半導体であり、結晶粒径が2nm以上200nm以下、好ましくは10nm以上80nm以下、より好ましくは、20nm以上50nm以下の柱状結晶または針状結晶が基板表面に対して法線方向に成長している。このため、柱状結晶または針状結晶の界面には、結晶粒界が形成される場合もある。

30

【0093】

微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、またはネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体が得られる。このような微結晶半導体に関する記述は、例えば、米国特許4,409,134号で開示されている。

40

【0094】

また、第1の半導体層333a～336aに含まれる酸素及び窒素の二次イオン質量分析法によって計測される濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とすることで、第1の半導体層333a～336aの結晶性を高めることができるため好ましい。

【0095】

第3の半導体層363～366は、非晶質半導体層、またはハロゲンを有する非晶質半導体層、または窒素を有する非晶質半導体層で形成される。窒素を有する非晶質半導体層に

50

含まれる窒素は、例えばNH基またはNH₂基として存在していてもよい。非晶質半導体層としては、アモルファスシリコンを用いて形成する。

【0096】

第3の半導体層363～365を、窒素を有する非晶質半導体層で形成すると、非晶質半導体層のバンドギャップのバンドテールと比較して、傾斜が急峻となり、バンドギャップが広くなり、トンネル電流が流れにくくなる。この結果、薄膜トランジスタのオフ電流を低減することができる。

【0097】

図9に、図7の第1のゲート絶縁層309と、ソース領域及びドレイン領域として機能する不純物半導体層355～361の間の拡大図を示す。

10

【0098】

図9(A)に示すように、第2の半導体層333b～335bは、第1の半導体層333a～335a及び第3の半導体層363～365の間に設けられる。また、第2の半導体層333b～335bは、微結晶半導体領域367、及び当該微結晶半導体領域367の間に充填される非晶質半導体領域368を有する。具体的には、第1の半導体層333a～335aから凸状に伸びた微結晶半導体領域367と、第3の半導体層363～365と同様の非晶質半導体領域368とで形成される。なお、非晶質半導体領域368の代わりに、ハロゲンを有する非晶質半導体領域、または窒素を有する非晶質半導体領域で形成されてもよい。

【0099】

20

第3の半導体層363～365を、電気伝導度が低く、抵抗率が高い、非晶質半導体層、ハロゲンを有する非晶質半導体層、窒素を有する非晶質半導体層、またはNH基を有する非晶質半導体層で形成することで、薄膜トランジスタのオフ電流を低減することができる。また、第2の半導体層333b～335bにおいて、錐形状の微結晶半導体領域367を有するため、薄膜トランジスタがオン状態で配線に電圧を印加したときの縦方向（膜厚方向）における抵抗、即ち、半導体層と、ソース領域またはドレイン領域との間の抵抗を下げる事が可能であり、薄膜トランジスタのオン電流を高めることが可能である。

【0100】

また、図9(B)に示すように、第2の半導体層333b～335bは、第1の半導体層333a～335a及び不純物半導体層355～361の間に設けられる構造としてもよい。即ち、第2の半導体層333b～335bと不純物半導体層355～361との間に第3の半導体層が形成されない構造である。第2の半導体層333b～335bは、微結晶半導体領域367、及び当該微結晶半導体領域367の間に充填される非晶質半導体領域368を有する。具体的には、第1の半導体層333a～335aから凸状に伸びた微結晶半導体領域367と、非晶質半導体領域368とで形成される。図9(B)に示す構造においては、非晶質半導体領域368に対する微結晶半導体領域367の割合が低いことが好ましい。さらには、対となる不純物半導体層355～361の間、即ちキャリアが流れる領域においては、微結晶半導体領域367の割合が低いことが好ましい。この結果、薄膜トランジスタのオフ電流を低減することができる。また、第2の半導体層333b～335bにおいて、薄膜トランジスタがオン状態で配線に電圧を印加したときの縦方向（膜厚方向）における抵抗、即ち、半導体層と、ソース領域またはドレイン領域との間の抵抗を下げる事が可能であり、薄膜トランジスタのオン電流を高めることが可能である。

30

40

【0101】

微結晶半導体領域367は、第1のゲート絶縁層309から第3の半導体層363～365へ向けて、先端が狭まる凸状の結晶粒である。なお、第1のゲート絶縁層309から第3の半導体層363へ向けて幅が広がる凸状の結晶粒であってもよい。

【0102】

第2の半導体層333b～335bにおいては、微結晶半導体領域367は、第1のゲート絶縁層309から第3の半導体層363～365へ向けて、先端が狭まる凸状の結晶粒

50

の場合は、第1の半導体層333a～335a側のほうが、第3の半導体層363～365側と比較して、微結晶半導体領域の割合が高い。これは、第1の半導体層333a～335aの表面から、微結晶半導体領域367が膜厚方向に成長するが、原料ガスにおけるシランに対する水素の流量が少ない、または窒素を含む原料ガスの濃度が高いと、微結晶半導体領域367の結晶粒の成長が抑制され、錐状の結晶粒となるとともに、やがて非晶質半導体領域のみが堆積するためである。

【0103】

また、第2の半導体層333b～335bは、窒素を有することが好ましい。これは、微結晶半導体領域367に含まれる結晶粒の界面、微結晶半導体領域367と非晶質半導体領域368との界面において、窒素、代表的にはNH基またはNH₂基が、シリコン原子のダングリングボンドと結合すると、欠陥が低減するためである。このため、第2の半導体層333b～335bの窒素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 以上 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 乃至 $1 \times 10^{21} \text{ atoms/cm}^3$ とすることで、シリコン原子のダングリングボンドを窒素、好ましくはNH基で架橋しやすくなり、キャリアが流れやすくなる。または、上記した界面における半導体原子のダングリングボンドがNH₂基で終端されて、欠陥準位が消失する。この結果、オン状態でソース電極及びドレイン電極の間に電圧が印加されたときの縦方向（厚さ方向）の抵抗が低減する。即ち、薄膜トランジスタの電界効果移動度とオン電流が増加する。

【0104】

また、第2の半導体層333b～335bの酸素濃度を低減することにより、微結晶半導体領域367、及び非晶質半導体領域368の界面や、結晶粒同士の界面におけるキャリアの移動を阻害する結合を低減することができる。

【0105】

なお、ここでは、第1の半導体層333a～335aは、概略厚さが等しい領域をいう。また、第1の半導体層333a～335aと第2の半導体層333b～335bとの界面は、微結晶半導体領域367と非晶質半導体領域368との界面における平坦部において、第1のゲート絶縁層309に最も近い領域を延長した領域をいう。

【0106】

第1の半導体層333a～335a及び第2の半導体層333b～335bの厚さの合計、即ち、第1のゲート絶縁層309の界面から、第2の半導体層333b～335bの凸部の先端の距離は、3nm以上80nm以下、好ましくは5nm以上30nm以下とすることで、TFTのオフ電流を低減できる。

【0107】

不純物半導体層355～362は、リンが添加されたアモルファスシリコン、リンが添加された微結晶シリコン等で形成する。なお、薄膜トランジスタとして、pチャネル型薄膜トランジスタを形成する場合は、不純物半導体層355～362は、ボロンが添加された微結晶シリコン、ボロンが添加されたアモルファスシリコン等で形成する。なお、第2の半導体層333b～336bまたは第3の半導体層363～366と、配線346～352、容量配線353とがオーミックコンタクトをする場合は、不純物半導体層355～362を形成しなくともよい。

【0108】

また、不純物半導体層355～362を、リンが添加された微結晶シリコン、またはボロンが添加された微結晶シリコンで形成する場合は、第2の半導体層333b～336bまたは第3の半導体層363～366と、不純物半導体層355～362との間に、微結晶半導体層、代表的には微結晶シリコン層を形成することで、界面の特性を向上させることができる。この結果、不純物半導体層355～362と、第2の半導体層333b～336bまたは第3の半導体層363～366との界面に生じる抵抗を低減することができる。この結果、薄膜トランジスタのソース領域、半導体層、及びドレイン領域を流れる電流量を増加させ、オン電流及び電界効果移動度の増加が可能となる。

【0109】

配線346～352、及び容量配線353は、アルミニウム、銅、チタン、ネオジム、スカンジウム、モリブデン、クロム、タンタル若しくはタングステン等により単層で、または積層して形成することができる。または、ヒロック防止元素が添加されたアルミニウム合金（ゲート電極303～306、容量配線307に用いることができるAl-Nd合金等）により形成してもよい。ドナーとなる不純物元素を添加した結晶性シリコンを用いてもよい。ドナーとなる不純物元素が添加された結晶性シリコンと接する側の層を、チタン、タンタル、モリブデン、タングステンまたはこれらの元素の窒化物により形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としてもよい。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステンまたはこれらの元素の窒化物で挟んだ積層構造としてもよい。

10

【0110】

第2のゲート絶縁層379は、第1のゲート絶縁層309と同様に形成することができる。

【0111】

バックゲート電極373、374、配線375は、配線346～352、容量配線353と同様に形成することができる。

【0112】

絶縁層381は、無機絶縁層または有機樹脂層を用いて形成することができる。無機絶縁層としては、酸化珪素、酸化窒化珪素、窒化酸化珪素、DLC（ダイヤモンドライクカーボン）に代表される炭素などを用いることができる。有機樹脂層ならば、例えばアクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテンなどを用いることができる。また、シロキサンポリマーを用いることができる。

20

【0113】

画素電極383及び配線384は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、または酸化シリコンを添加したインジウム錫酸化物等を用いて形成することができる。

【0114】

また、画素電極383及び配線384は、透光性を有する導電性高分子（導電性ポリマーともいう。）を含む導電性組成物を用いて形成することができる。配線384及び画素電極383は、シート抵抗が $10000\Omega/\square$ 以下であって、且つ波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

30

【0115】

導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、またはこれらの2種以上の共重合体等が挙げられる。

【0116】

デュアルゲート型のTFETは、ゲート電極303と、バックゲート電極373の各々の電位を変えることで、しきい値電圧を制御することが可能であるため、論理回路部391において、デプレッション型のTFETまたはエンハンスメント型のTFETの一方をデュアルゲート型のTFET300aとし、デプレッション型のTFETまたはエンハンスメント型のTFETの他方を、図7に示すTFET300bのTFETとすることで、EDMOS回路を形成することができる。

40

【0117】

また、デュアルゲート型のTFETにすると、キャリアが流れるチャンネルが第1のゲート絶縁層309側の界面近傍と、第2のゲート絶縁層379側の界面近傍の2箇所となるため、キャリアの移動量が増加し、薄膜トランジスタのオン電流を高めることができる。このため、スイッチ部393に形成されるTFETに、オン電流を高めることが可能なデュアル

50

ゲート型のTFT300cを形成することで、TFTの面積を小さくすることが可能であり、表示装置の駆動回路の面積を狭くすることができる。

【0118】

次に、本実施の形態に係る表示装置の論理回路部391、スイッチ部393、及び画素部395の一形態（構造2）の断面図について、図10及び図11に示す。

【0119】

図10に示す表示装置の論理回路部391のEDMOS回路を示し、EDMOS回路のデプレッション型のTFT401aとして、チャネル形成領域に一導電型を付与する不純物元素が添加された第1の半導体層を有するTFTが形成される。また、エンハンスメント型のTFT401bが形成される。なお、図10に示す論理回路部391の断面図C-D、及び図11（A）に示す論理回路部391の断面図C-Eは、図11（B）の上面図のC-D、C-Eそれぞれに対応する。

10

【0120】

図10に示す表示装置のスイッチ部393において、チャネル形成領域に一導電型を付与する不純物元素が添加された第1の半導体層が形成されるTFT、ここではドナーとなる不純物元素が添加された第1の半導体層を有するデプレッション型のTFT401cが形成される。

【0121】

TFT401aは、基板301上に、ゲート電極303と、一導電型を付与する不純物元素が添加された第1の半導体層427aと、第2の半導体層427bと、第3の半導体層469と、ゲート電極303及び一導電型を付与する不純物元素が添加された第1の半導体層427aの間に設けられる第1のゲート絶縁層309と、第3の半導体層469に接するソース領域及びドレイン領域として機能する不純物半導体層459、460と、不純物半導体層459、460に接する配線451、452とを有する。

20

【0122】

TFT401bは、基板301上に、ゲート電極304と、第1の半導体層454a、第2の半導体層454bと、第3の半導体層470と、ゲート電極304及び第1の半導体層454aの間に設けられる第1のゲート絶縁層309と、第3の半導体層470に接するソース領域及びドレイン領域として機能する不純物半導体層461、462と、不純物半導体層461、462に接する配線452、453とを有する。

30

【0123】

また、図11（A）に示すように、TFT401aのゲート電極303と、TFT401a及びTFT401bの配線452とが、画素電極383と同時に絶縁層381上に形成される配線384で接続される。

【0124】

TFT401cは、基板301上に、ゲート電極305と、一導電型を付与する不純物元素が添加された第1の半導体層428a、第2の半導体層428bと、第3の半導体層471と、ゲート電極305及び第1の半導体層428aの間に設けられる第1のゲート絶縁層309と、第3の半導体層471に接するソース領域及びドレイン領域として機能する不純物半導体層463、464と、不純物半導体層463、464に接する配線454、455とを有する。

40

【0125】

TFT401dは、基板301上に、ゲート電極306と、第1の半導体層455a、第2の半導体層455bと、第3の半導体層472と、ゲート電極306及び第1の半導体層455aの間に設けられる第1のゲート絶縁層309と、第3の半導体層472に接するソース領域及びドレイン領域として機能する不純物半導体層465、466と、不純物半導体層463、464に接する配線456、457とを有する。

【0126】

一導電型を付与する不純物元素が添加された第1の半導体層427a、428aは、ここでは、ドナーとなる不純物元素が添加されている。ドナーとなる不純物元素としては、周

50

期表の15族に属する元素であり、代表的には、リン、砒素、アンチモン等がある。ここでは、一導電型を付与する不純物元素が添加された第1の半導体層427aとして、ドナーとなる不純物元素であるリンが添加された微結晶半導体層を形成する。

【0127】

第1の半導体層454a～456aは、上記「構造1」で示す第1の半導体層333a～336aと同様に形成することができる。

【0128】

第2の半導体層427b、428b、454b～456bは、上記「構造1」で示す第2の半導体層333b～336bと同様に形成することができる。

【0129】

第3の半導体層469～473は、上記「構造1」で示す第3の半導体層363～366と同様に形成することができる。

【0130】

なお、ここでは、図9(A)に示したのと同様に、第2の半導体層427b、428b、454b～456bと、不純物半導体層459～467との間に、第3の半導体層469～473がある構造を示したが、図9(B)に示したのと同様に、第3の半導体層469～473を設けなくともよい。

【0131】

不純物半導体層459～467は、上記「構造1」で示す不純物半導体層355～362と同様に形成することができる。

【0132】

配線451～458は、上記「構造1」で示す配線346～353と同様に形成することができる。

【0133】

なお、図10においては、EDMOS回路のデプレッション型のTF T 401aとして、チャンネル形成領域に一導電型を付与する不純物元素が添加された第1の半導体層が形成されるTF Tを用いているが、デプレッション型のTF T 401aのチャンネル形成領域を、TF T 401bの第1の半導体層454aと同様に形成し、エンハンスメント型のTF T 401bのチャンネル形成領域に、一導電型を付与する不純物元素、代表的にはアクセプターとなる不純物元素が添加された第1の半導体層を形成してもよい。アクセプターとなる不純物元素としては、周期表の13族に属する元素であり、代表的には、ボロン等がある。

【0134】

ここでは、論理回路部391において、デプレッション型のTF Tまたはエンハンスメント型のTF Tの一方のチャンネル形成領域に、一導電型を付与する不純物元素が添加された半導体層を用いることで、EDMOS回路を形成することができる。

【0135】

また、デプレッション型のTF Tは、しきい値電圧がマイナスにシフトするため、オン状態における電流を増加させることが可能であるため、スイッチ部393に形成されるTF Tに、オン電流を高めることが可能なデプレッション型のTF Tを形成することで、TF Tの面積を小さくすることが可能であり、表示装置の駆動回路の面積を狭くすることができる。

【0136】

次に、本実施の形態にかかる表示装置の論理回路部391、スイッチ部393、及び画素部395の一形態（構造3）の断面図について、図12及び図13を用いて示す。

【0137】

図12に示す表示装置の論理回路部391のEDMOS回路を示し、EDMOS回路のデプレッション型のTF T 401aとして、上記「構成2」に示される、チャンネル形成領域に一導電型を付与する不純物元素が添加された第1の半導体層を有するTF T 401aが形成される。また、エンハンスメント型のTF T 401bとして、上記「構成2」に示さ

10

20

30

40

50

れるTFT401bが形成される。なお、図12に示す論理回路部391の断面図C-D、及び図13(A)に示す論理回路部391の断面図C-Eは、図13(B)の上面図のC-D、C-Eそれぞれに対応する。

【0138】

図12に示す表示装置のスイッチ部393において、ゲート電極305及びバックゲート電極482を有するデュアルゲート型のTFT403cが形成される。

【0139】

図12に示す表示装置の画素部395の画素におけるスイッチング素子は、TFT401dで形成される。また、TFT401dの配線に接続する画素電極481と、配線458と、第2のゲート絶縁層379とにより容量素子403eが形成される。

10

【0140】

図12に示すTFT401aは、図10に示すTFT401aと比べて、図13(A)に示すように、ゲート電極303と、TFT401a及びTFT401bを接続する配線452とが、第2のゲート絶縁層379上に画素電極481と同時に形成される配線483で接続される点異なる。

【0141】

TFT403cは、基板301上に、ゲート電極305と、一導電型を付与する不純物元素が添加された第1の半導体層428aと、第2の半導体層428bと、第3の半導体層471と、ゲート電極305及び第1の半導体層428aの間に設けられる第1のゲート絶縁層309と、第3の半導体層471に接するソース領域及びドレイン領域として機能する不純物半導体層463、464と、不純物半導体層463、464に接する配線454、455とを有する。また、第2のゲート絶縁層379を介して、ゲート電極305と対向する領域に、バックゲート電極482を有する。バックゲート電極482は、画素電極481と同時に形成することができる。

20

【0142】

なお、TFT403cの代わりに、上記「構造1」に示すデュアルゲート型のTFT300cを形成してもよい。

【0143】

TFT401dに接続する画素電極481は、第2のゲート絶縁層379上に形成される。

30

【0144】

また、容量素子403eは、配線458と、第2のゲート絶縁層379と、画素電極481により形成される。

【0145】

図12に示す表示装置は、画素電極481と同時に、バックゲート電極482、ゲート電極303及び配線452を接続する配線483を形成することが可能であるため、フォトリソマスク数を削減することが可能である。

【0146】

次に、上記「構造1」乃至「構造3」に適用可能なEDMOS回路の一形態の断面図（構造4）について図14に示す。

40

【0147】

図14(A)に、表示装置の論理回路部391のEDMOS回路を示し、EDMOS回路のデプレッション型のTFT480aとして、上記「構造2」及び「構造3」に示されるような、チャンネル形成領域に一導電型を付与する不純物元素が添加された第1の半導体層を有するTFTが形成される。また、エンハンスメント型のTFT480bとして、「構造1」で示すTFT300bと同様の構造で形成される。なお、図14(A)に示す論理回路部391の断面図C-Dは、図14(B)の上面図のC-Dに対応する。

【0148】

図14に示すEDMOS回路は、デプレッション型のTFT480aのゲート電極486が、デプレッション型のTFT480a及びエンハンスメント型のTFT480bを接続

50

する配線４８５と、第１のゲート絶縁層３０９に形成される開口部において、直接接続する。

【０１４９】

このため、ゲート電極４８６及び配線４８５が直接接続しているため、図７乃至図１２に示すＥＤＭＯＳ回路と比較して、ゲート電極４８６及び配線４８５の接触抵抗を低下することができる。

【０１５０】

なお、ＴＦＴの電界効果移動度が $5\text{ cm}^2/\text{V}\cdot\text{sec}$ より低い場合には、代表的には $0.5\sim 3\text{ cm}^2/\text{V}\cdot\text{sec}$ の場合には、「構造１」乃至「構造３」に示すように、デプレッション型のＴＦＴ及びエンハンスメント型のＴＦＴを接続し、且つデプレッション型のＴＦＴのゲート電極と接続する配線が、バックゲート電極または画素電極と同時に形成されることで、マスク数を削減することが可能である。一方、ＴＦＴの電界効果移動度が $5\text{ cm}^2/\text{V}\cdot\text{sec}$ 以上の場合には、図１４に示すように、デプレッション型のＴＦＴ及びエンハンスメント型のＴＦＴを接続する配線を、第１のゲート絶縁層３０９に形成される開口部において、デプレッション型のＴＦＴのゲート電極と直接接続させることで、接触抵抗の増加を低減できるため、ＴＦＴの高速動作を維持できる。

【０１５１】

なお、「構造１」乃至「構造４」のＥＤＭＯＳ回路に示すＴＦＴは、適宜インバータ、シフトレジスタ、バッファ回路、保護回路、ダイオード等にも適用することができる。

【０１５２】

なお、「構造１」乃至「構造４」に示すＴＦＴにおいて、第１のゲート絶縁層及び不純物半導体層の間に、第１の半導体層及び第３の半導体層のみが積層された構造としてもよい。

【０１５３】

以上に示す表示装置は、駆動回路及び画素部に形成されるＴＦＴが逆スタガ構造のＴＦＴであり、またそれぞれのＴＦＴの極性をｎチャネル型またはｐチャネル型の一方の極性として形成することが可能であり、さらには駆動回路の一部を基板上に形成するため、表示装置のコストを削減することが可能である。また、電流量を多く必要とするＴＦＴにデュアルゲート型のＴＦＴまたはデプレッション型のＴＦＴを設けることで、ＴＦＴの面積を縮小することができるため、表示装置の狭額縁化が可能であり、表示領域を拡大することができる。また、画素部において、オン電流が高く、オフ電流を抑えたＴＦＴを各画素のスイッチング素子として用いるため、コントラストが高く、画質の良好な表示装置となる。

【０１５４】

（実施の形態４）

ここでは、図７に示す表示装置の作製方法について、図１５乃至図１８を用いて示す。本実施の形態では、ｎ型の薄膜トランジスタの作製方法（方法１）について説明する。

【０１５５】

図１５（Ａ）に示すように、基板３０１上にゲート電極３０３～３０６、容量配線３０７を形成する。次に、ゲート電極３０３～３０６、容量配線３０７を覆って第１のゲート絶縁層３０９、第１の半導体層３１１を形成する。

【０１５６】

基板３０１としては、実施の形態３に示す基板３０１を適宜用いることができる。

【０１５７】

ゲート電極３０３～３０６、容量配線３０７は、実施の形態３に示すゲート電極３０３～３０６、容量配線３０７に示す材料を適宜用いて形成する。ゲート電極３０３～３０６、容量配線３０７は、基板３０１上に、スパッタリング法または真空蒸着法を用いて上記した材料により導電層を形成し、該導電層上にフォトリソグラフィ法またはインクジェット法等によりマスクを形成し、該マスクを用いて導電層をエッチングして形成することができる。また、銀、金または銅等の導電性ナノペーストをインクジェット法により基板上に

吐出し、焼成することで形成することもできる。なお、ゲート電極 303～306、容量配線 307 と、基板 301 との密着性向上として、上記の金属材料の窒化物層を、基板 301 と、ゲート電極 303～306、容量配線 307 との間に設けてもよい。ここでは、基板 301 上に導電層を形成し、フォトリソを用いて形成したレジストマスクによりエッチングする。

【0158】

なお、ゲート電極 303～306、容量配線 307 の側面は、テーパ形状とすることが好ましい。後の工程で、ゲート電極 303 上には、絶縁層、半導体層及び配線層を形成するので、これらに段差箇所において切れを生じさせないためである。ゲート電極 303～306、容量配線 307 の側面をテーパ形状にするためには、レジストマスクを後退させつつエッチングを行えばよい。

10

【0159】

また、ゲート電極 303～306 を形成する工程によりゲート配線（走査線）及び容量配線も同時に形成することができる。なお、走査線とは画素を選択する配線をいい、容量配線とは画素の保持容量の一方の電極に接続された配線をいう。ただし、これに限定されず、ゲート配線及び容量配線の一方または双方と、ゲート電極 303～306 とは別に設けてもよい。

【0160】

第1のゲート絶縁層 309 は、実施の形態 3 に示す第1のゲート絶縁層 309 の材料を適宜用いて形成することができる。第1のゲート絶縁層 309 は、CVD法またはスパッタリング法を用いて形成することができる。また、第1のゲート絶縁層 309 は、高周波数（1GHz以上）のマイクロ波プラズマCVD装置を用いて形成してもよい。マイクロ波プラズマCVD装置を用いて第1のゲート絶縁層 309 を形成すると、ゲート電極と、ドレイン電極及びソース電極との間の耐圧を向上させることができるため、信頼性の高い薄膜トランジスタを得ることができる。また、第1のゲート絶縁層 309 として、有機シランガスを用いたCVD法により酸化シリコン層を形成することで、第1のゲート絶縁層の水素含有量を低減することが可能であり、薄膜トランジスタのしきい値電圧の変動を低減することができる。有機シランガスとしては、珪酸エチル（TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（TMS：化学式 $\text{Si}(\text{CH}_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等のシリコン含有化合物を用いることができる。

20

30

【0161】

第1の半導体層 311 としては、微結晶シリコン、微結晶シリコンゲルマニウム、微結晶ゲルマニウム等を用いて形成する。第1の半導体層 311 は、1nm以上20nm以下、好ましくは3nm以上10nm以下の厚さで形成する。

【0162】

第1の半導体層 311 は、プラズマCVD装置の反応室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、ヘリウム、ネオン、クリプトン等の希ガスとを混合し、グロー放電プラズマにより形成する。シリコンまたはゲルマニウムを含む堆積性気体の流量に対して、水素の流量を10～2000倍、好ましくは10～200倍に希釈して、微結晶シリコン、微結晶シリコンゲルマニウム、微結晶ゲルマニウム等を形成する。

40

【0163】

シリコンまたはゲルマニウムを含む堆積性気体の代表例としては、 SiH_4 、 Si_2H_6 、 GeH_4 、 Ge_2H_6 等がある。

【0164】

なお、第1の半導体層 311 を形成する前に、CVD装置の処理室内を排気しながら、シ

50

リコンまたはゲルマニウムを含む堆積性気体を導入して、処理室内の不純物元素を除去することで、後に形成される薄膜トランジスタの第1のゲート絶縁層309及び第1の半導体層の界面における不純物元素を低減することが可能であり、薄膜トランジスタの電気特性を向上させることができる。

【0165】

次に、図15(B)に示すように、第1の半導体層311上に、第2の半導体層313及び第3の半導体層315を形成する。ここでは、第1の半導体層311から部分的に結晶成長する条件で第2の半導体層313及び第3の半導体層315を形成する。なお、プラズマCVD装置の反応室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。このとき、第1の半導体層311の成膜条件よりも、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量を減らす、即ち、結晶成長を低減する条件で成膜することで、第2の半導体層313における結晶成長が抑制され、膜が堆積されるにつれ、微結晶半導体領域を含まない第3の半導体層315を形成することができる。

【0166】

または、プラズマCVD装置の反応室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、窒素を含むガスとを混合し、グロー放電プラズマにより第2の半導体層313及び第3の半導体層315を形成する。このとき、第1の半導体層311の成膜条件よりも、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量を減らすと共に、窒素を含むガスを混合することで、第2の半導体層313における結晶成長が抑制され、微結晶半導体領域を含まない第3の半導体層315を形成することができる。

【0167】

また、本実施の形態では、第2の半導体層313の堆積初期においては、第1の半導体層311を種結晶として、全体的に膜が堆積される。その後、部分的に、結晶成長が抑制され、錐状の微結晶半導体領域が成長する（堆積中期）。さらに、錐形の微結晶半導体領域の結晶成長が抑制され、微結晶半導体領域を含まない第3の半導体層315（堆積後期）が形成される。このことから、実施の形態3に示す第1の半導体層は、本実施の形態に示す第1の半導体層311及び第2の半導体層313の堆積初期に形成される膜に相当する。また、実施の形態3に示す第2の半導体層は、本実施の形態に示す第2の半導体層313の堆積中期に形成される錐状の微結晶半導体領域及び非晶質半導体領域に相当する。また、実施の形態3に示す第3の半導体層は、本実施の形態に示す堆積後期に形成される第3の半導体層315に相当する。

【0168】

次に、図15(C)に示すように、第3の半導体層315上に、一導電型を付与する不純物が添加された半導体層（以下、不純物半導体層317と示す。）を形成し、不純物半導体層317上に導電層319を形成する。

【0169】

不純物半導体層317は、プラズマCVD装置の反応室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、フォスフィン（水素希釈またはシラン希釈）とを混合し、グロー放電プラズマにより形成する。シリコンまたはゲルマニウムを含む堆積性気体を水素で希釈して、リンが添加されたアモルファスシリコン、リンが添加された微結晶シリコン、リンが添加されたアモルファスシリコンゲルマニウム、リンが添加された微結晶シリコンゲルマニウム、リンが添加されたアモルファスゲルマニウム、リンが添加された微結晶ゲルマニウム等を形成する。

【0170】

導電層319は、実施の形態3に示す配線346～352、容量配線353の材料及び積層構造を適宜用いることができる。導電層319は、CVD法、スパッタリング法または真空蒸着法を用いて形成する。また、導電層319は、銀、金または銅等の導電性ナノペーストを用いてスクリーン印刷法またはインクジェット法等を用いて吐出し、焼成することで形成してもよい。

【0171】

次に、図16(A)に示すように、導電層319上に第2のレジストマスク321～324を形成する。

【0172】

レジストマスク321～323は厚さの異なる領域を有する。このようなレジストマスクは、多階調マスクを用いて形成することができる。多階調マスクを用いることで、使用するフォトマスクの枚数が低減され、作製工程数が減少するため好ましい。本実施の形態において、半導体層のパターンを形成する工程と、ソース領域とドレイン領域を分離する工程において、多階調マスクを用いることができる。

【0173】

多階調マスクとは、多段階の光量で露光を行うことが可能なマスクであり、代表的には、露光領域、半露光領域及び未露光領域の3段階の光量で露光を行う。多階調マスクを用いることで、一度の露光及び現像工程によって、複数（代表的には二種類）の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

【0174】

図19(A-1)及び図19(B-1)は、代表的な多階調マスクの断面図を示す。図19(A-1)にはグレートンマスク490を示し、図19(B-1)にはハーフトンマスク495を示す。

【0175】

図19(A-1)に示すグレートンマスク490は、透光性を有する基板491上に遮光膜により形成された遮光部492、及び遮光膜のパターンにより設けられた回折格子部493で構成されている。

【0176】

回折格子部493は、露光に用いる光の解像度限界以下の間隔で設けられたスリット、ドットまたはメッシュ等を有することで、光の透過率を制御する。なお、回折格子部493に設けられるスリット、ドットまたはメッシュは周期的なものであってもよいし、非周期的なものであってもよい。

【0177】

透光性を有する基板491としては、石英等を用いることができる。遮光部492及び回折格子部493を構成する遮光膜は、金属を用いて形成すればよく、好ましくはクロムまたは酸化クロム等により設けられる。

【0178】

グレートンマスク490に露光するための光を照射した場合、図19(A-2)に示すように、遮光部492に重畳する領域における透光率は0%となり、遮光部492または回折格子部493が設けられていない領域における透光率は100%となる。また、回折格子部493における透光率は、概ね10～70%の範囲であり、回折格子のスリット、ドットまたはメッシュの間隔等により調整可能である。

【0179】

図19(B-1)に示すハーフトンマスク495は、透光性を有する基板496上に半透光膜により形成された半透光部497、及び遮光膜により形成された遮光部498で構成されている。

【0180】

半透光部497は、MoSiN、MoSi、MoSiO、MoSiON、CrSi等の膜を用いて形成することができる。遮光部498は、グレートンマスクの遮光膜と同様の金属を用いて形成すればよく、好ましくはクロムまたは酸化クロム等により設けられる。

【0181】

ハーフトンマスク495に露光するための光を照射した場合、図19(B-2)に示すように、遮光部498に重畳する領域における透光率は0%となり、遮光部498または半透光部497が設けられていない領域における透光率は100%となる。また、半透光

10

20

30

40

50

次に、レジストマスク 337～345 を除去した後、ドライエッチングを行うとよい。ドライエッチングの条件は、露出している第3の半導体層 363～366 にダメージが入らず、且つ第3の半導体層 363～366 に対するエッチングレートが低い条件を用いる。つまり、露出している第3の半導体層 363～366 表面にほとんどダメージを与えず、且つ露出している第3の半導体層 363～366 の厚さがほとんど減少しない条件を用いる。エッチングガスとしては、 Cl_2 、 CF_4 、または N_2 等を用いる。また、エッチング方法については特に限定はなく、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) 方式、容量結合型プラズマ (CCP: Capacitively Coupled Plasma) 方式、またはそれらの組み合わせを用いることができる。

itively Coupled Plasma) 方式、電子サイクロトロン共鳴プラズマ (ECR: Electron Cyclotron Resonance) 方式、反応性イオンエッチング (RIE: Reactive Ion Etching) 方式等を用いることができる。

【0189】

次に、第3の半導体層363～366の表面に水プラズマ、アンモニアプラズマ、窒素プラズマ等を照射してもよい。

【0190】

水プラズマ処理は、反応空間に水蒸気 (H_2O 蒸気) に代表される、水を主成分とするガスを導入し、プラズマを生成して、行うことができる。

10

【0191】

上記したように、不純物半導体層355～362を形成した後に、第3の半導体層363～366にダメージを与えない条件で更なるドライエッチングを行うことで、第3の半導体層363～366上に存在する残渣などの不純物を除去することができる。また、ドライエッチングに続けて水プラズマ処理を行うことで、レジストマスクの残渣を除去することができる。水プラズマ処理を行うことで、ソース領域とドレイン領域との間の絶縁を確実なものにすることができ、完成する薄膜トランジスタのオフ電流を低減し、電気的特性のばらつきを低減することができる。

【0192】

以上の工程により、薄膜トランジスタを作製することができる。

20

【0193】

次に、第2のゲート絶縁層371を形成する。次に、第1のゲート絶縁層309上において、論理回路部391のデュアルゲート型のTF T 300 a、スイッチ部393のデュアルゲート型のTF T 300 c及び画素部395の容量素子を形成する領域において、バックゲート電極373～374、容量配線375を形成する (図17 (B) 参照)。

【0194】

第2のゲート絶縁層371は、第1のゲート絶縁層309と同様に形成することができる。

【0195】

バックゲート電極373～374、容量配線375は、配線346～352、容量配線353で示す材料及び作製方法を適宜用いることができる。

30

【0196】

次に、図18 (A) に示すように、絶縁層372を形成する。絶縁層372は、実施の形態3に示す絶縁層381を適宜用いて形成することができる。

【0197】

次に、絶縁層372及び第2のゲート絶縁層371の一部をエッチングして、論理回路部391のデュアルゲート型のTF T 300 a及びTF T 300 bを接続する配線347、ゲート電極303、及び画素部395の配線352を露出する開口部を形成する。この開口部は、フォトリソグラフィ法により形成することができる。その後、当該開口部を介して接続されるように、絶縁層372上に、デュアルゲート型のTF T 300 a及びTF T 300 bを接続する配線347と、ゲート電極303とを接続する配線384、画素部395の配線352に接続する画素電極383を形成する (配線347及びゲート電極303の接続は図8 (A) を参照。図18 (B) 参照。)。なお、図18 (A) の画素部395の断面図は、図20 (B) で示す画素部の平面図におけるA-Bの断面図に相当する。

40

【0198】

配線384及び画素電極383は、スパッタリング法により、実施の形態3に示す材料を用いた薄膜を形成した後、フォトリソグラフィ工程によって形成したレジストマスクを用いて上記薄膜をエッチングすることで、形成できる。また、透光性を有する導電性高分子を含む導電性組成物を塗布または印刷した後、焼成して形成することができる。なお、図17 (A) の画素部395の断面図は、図20 (A) で示す画素部の平面図におけるA-

50

Bの断面図に相当する。

【0199】

配線384で、論理回路部391のデュアルゲート型のTF T 3 0 0 a及びTF T 3 0 0 bを接続する配線347と、ゲート電極303を接続することで、TF T 3 0 0 a及びTF T 3 0 0 bで構成されるEDMOS回路を形成することができる。

【0200】

以上の工程により、図8に示すような表示装置を作製することができる。

【0201】

次に、図10に示す表示装置の作製方法（方法2）について、図21乃至図23を用いて示す。

10

【0202】

図21（A）に示すように、基板301上にゲート電極303～306、容量配線307を形成する。次に、ゲート電極303～306、容量配線307を覆って第1のゲート絶縁層309、一導電型を付与する不純物元素が添加された第1の半導体層411を形成する。

【0203】

基板301としては、実施の形態3に示す基板301を適宜用いることができる。

【0204】

ゲート電極303～306、容量配線307及び第1のゲート絶縁層309は、上記「方法1」と同様に形成することができる。

20

【0205】

一導電型を付与する不純物元素が添加された第1の半導体層411は、第1の半導体層311にドナーとなる不純物元素またはアクセプターとなる不純物元素を添加して形成する。ドナーとなる不純物元素としては、周期表の15族に属する元素であり、代表的には、リン、砒素、アンチモン等がある。また、アクセプターとなる不純物元素としては、周期表の13族に属する元素であり、代表的には、ボロン等がある。ここでは、一導電型を付与する不純物元素が添加された第1の半導体層411として、ドナーとなる不純物元素であるリンが添加された微結晶半導体層を作製する方法を示す。

【0206】

一導電型を付与する不純物元素が添加された第1の半導体層411の原料ガスに一導電型を付与する不純物元素を含むガスを混合して、半導体層を形成する。代表的には、プラズマCVD装置の反応室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、フォスフィンとを混合し、グロー放電プラズマにより形成する。または、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、フォスフィンと、ヘリウム、ネオン、クリプトン等の希ガスとを混合し、グロー放電プラズマにより形成する。一導電型を付与する不純物元素が添加された第1の半導体層411として、リンを含む微結晶シリコン、リンを含む微結晶シリコンゲルマニウム、リンを含む微結晶ゲルマニウム等を形成する。

30

【0207】

または、第1のゲート絶縁層309の表面に一導電型を付与する不純物元素を含むガスを曝した後、微結晶半導体層を形成することで、一導電型を付与する不純物元素を取り込みながら微結晶半導体層が形成される。代表的には、第1のゲート絶縁層309の表面をフォスフィンに曝すことにより、第1のゲート絶縁層309表面に、リンを吸着させる。この後、上記「方法1」に示す第1の半導体層311と同様の方法により微結晶半導体層を形成することで、リンを含む微結晶シリコン、リンを含む微結晶シリコンゲルマニウム、リンを含む微結晶ゲルマニウム等を形成することができる。

40

【0208】

または、第1のゲート絶縁層309上に微結晶半導体層を形成した後、一導電型を付与する不純物元素を含むガス雰囲気中でプラズマを発生させて、微結晶半導体層に一導電型を付与する不純物元素を含むプラズマを曝すことで、一導電型を付与する不純物元素が添加された第1の半導体層411を形成することができる。代表的には、上記「方法1」に示す

50

第1の半導体層311と同様の方法により微結晶半導体層を形成した後、リンプラズマを微結晶半導体層に曝すことで、リンを含む微結晶シリコン、リンを含む微結晶シリコンゲルマニウム、リンを含む微結晶ゲルマニウム等を形成することができる。

【0209】

次に、第1の半導体層411上に、第2の半導体層413、第3の半導体層415、及び不純物半導体層417を形成した後、不純物半導体層417上にレジストマスク419、420を形成する（図21（B）参照）。

【0210】

ここでは、上記「方法1」に示す第2の半導体層313、第3の半導体層315、不純物半導体層317と同様の方法により、第2の半導体層413及び第3の半導体層415、
10 不純物半導体層417を形成する。

【0211】

なお、不純物半導体層417は、後の第4の半導体層431、第5の半導体層433、第6の半導体層435及び不純物半導体層437のエッチング工程により、膜厚が薄くなるため、膜厚を厚くすることが好ましく、代表的には、30～150nm程度の厚さにする。

【0212】

レジストマスク419、420は、後の論理回路部391のTF T 401a及びスイッチ部393のTF T 401cとなる領域に形成する。

【0213】

次に、レジストマスク419、420を用いて、第1の半導体層411、第2の半導体層413、第3の半導体層415、及び不純物半導体層417をエッチングする。この工程により、第1の半導体層411、第2の半導体層413、第3の半導体層415、及び不純物半導体層417を素子毎に分離し、第1の半導体層427a、428a、第2の半導体層427b、428b、第3の半導体層425、426、及び不純物半導体層423、424を形成する。この後、レジストマスク419、420を除去する（図21（C）を参照）。

【0214】

次に、図22（A）に示すように、第4の半導体層431、第5の半導体層433、第6の半導体層435、及び不純物半導体層437を形成し、不純物半導体層437上にレジストマスク439、440を形成する。
20

【0215】

第4の半導体層431、第5の半導体層433、第6の半導体層435、及び不純物半導体層437は、それぞれ、上記「方法1」に示す第1の半導体層311、第2の半導体層313、第3の半導体層315、及び不純物半導体層317と同様に形成することができる。
30

【0216】

レジストマスク439、440は、後の論理回路部391のTF T 401b及び画素部395のTF T 401dとなる領域に形成する。

【0217】

次に、レジストマスク439、440を用いて、第4の半導体層431、第5の半導体層433、第6の半導体層435、及び不純物半導体層437をエッチングする。この工程により、第4の半導体層431、第5の半導体層433、第6の半導体層435、及び不純物半導体層437を素子毎に分離し、第4の半導体層454a～456a、第5の半導体層454b～456b、第6の半導体層454c～456c、及び不純物半導体層444、446、447を形成する。なお、当該エッチングにおいて、不純物半導体層423、424もエッチングされるため、膜厚が薄くなった不純物半導体層443、445が形成される。これは、第4の半導体層431、第5の半導体層433、第6の半導体層435、及び不純物半導体層437を十分にエッチングして、エッチング残渣を残さないため、第4の半導体層431のエッチングが終わった後も、オーバーエッチングする。この結
40
50

果、当該オーバーエッチングにおいて、不純物半導体層 4 2 3、4 2 4 もエッチングされる（図 2 2（B）を参照）。この後、レジストマスク 4 3 9、4 4 0 を除去する。

【0 2 1 8】

次に、図 2 2（C）に示すように、導電層 3 1 9 を形成する。

【0 2 1 9】

次に、導電層 3 1 9 上にレジストマスクを形成する。次に、レジストマスクを用いて上記「方法 1」と同様に、導電層 3 1 9 をエッチングして、配線 4 5 1～4 5 8 を形成する。

【0 2 2 0】

次に、当該レジストマスクを用いて、上記「方法 1」と同様に、第 3 の半導体層 4 6 9～4 7 3、不純物半導体層 4 4 3～4 4 7 のそれぞれ一部をエッチングする。本工程までで、バッファ層として機能する第 3 の半導体層 4 6 9～4 7 3、不純物半導体層 4 5 9～4 6 7 が形成される。この後、レジストマスクを除去する。

【0 2 2 1】

レジストマスクを除去した後、ドライエッチングを行うとよい。また、第 3 の半導体層 4 6 9～4 7 3 の表面に水プラズマ、アンモニアプラズマ、窒素プラズマ等を照射してもよい。

【0 2 2 2】

次に、上記「方法 1」と同様に、第 2 のゲート絶縁層 3 7 1、絶縁層 3 7 2 を形成する。（図 2 3（A）参照）。

【0 2 2 3】

以上の工程により、薄膜トランジスタを作製することができる。

【0 2 2 4】

次に、第 2 のゲート絶縁層 3 7 1、絶縁層 3 7 2 の一部をエッチングして、論理回路部 3 9 1 の T F T 4 0 1 a の配線 4 5 2 及びゲート電極 3 0 3、画素部 3 9 5 の配線 4 5 7 を露出する開口部を形成する。この開口部は、フォトリソグラフィ法により形成することができる。その後、当該開口部を介して接続されるように、絶縁層 3 7 2 上に、論理回路部 3 9 1 の T F T 4 0 1 a の配線 4 5 2 及びゲート電極 3 0 3 を接続する配線 3 8 4、画素部 3 9 5 の配線 4 5 7 に接続する画素電極 3 8 3 を形成する（配線 3 8 4 及びゲート電極 3 0 3 の接続は図 1 1（A）を参照。図 2 3（B）参照。）。

【0 2 2 5】

配線 3 8 4 で、論理回路部 3 9 1 の T F T 4 0 1 a の配線 4 5 2 及びゲート電極 3 0 3 を接続することで、T F T 4 0 1 a 及び T F T 4 0 1 b で構成される E D M O S 回路を形成することができる。

【0 2 2 6】

（実施の形態 5）

本実施の形態では、本発明の一形態である表示装置に設けられる保護回路について図面を参照して説明する。実施の形態 1 の図 2 における保護回路 1 3 4～1 3 6 に用いられる保護回路の具体的な回路構成の例について、図 2 4 を参照して説明する。以下の説明では n 型トランジスタを設ける場合についてのみ説明するが、本発明はこれに限定されない。

【0 2 2 7】

図 2 4（A）に示す保護回路は、複数の薄膜トランジスタを用いた保護ダイオード 5 0 1～5 0 4 を有する。保護ダイオード 5 0 1 は、直列に接続された n 型薄膜トランジスタ 5 0 1 a 及び n 型薄膜トランジスタ 5 0 1 b を有している。n 型薄膜トランジスタ 5 0 1 a のソース電極及びドレイン電極の一方は、n 型薄膜トランジスタ 5 0 1 a 及び n 型薄膜トランジスタ 5 0 1 b のゲート電極と接続され、且つ電位 V_{ss} に保たれている。n 型薄膜トランジスタ 5 0 1 a のソース電極及びドレイン電極の他方は、n 型薄膜トランジスタ 5 0 1 b のソース電極及びドレイン電極の一方に接続されている。n 型薄膜トランジスタ 5 0 1 b のソース電極及びドレイン電極の他方は保護ダイオード 5 0 2 に接続されている。そして、他の保護ダイオード 5 0 2～5 0 4 も保護ダイオード 5 0 1 と同様に、それぞれ直列に接続された複数の薄膜トランジスタを有し、且つ直列に接続された複数の薄膜トラン

10

20

30

40

50

ンジスタの一端は、複数の薄膜トランジスタのゲート電極と接続されている。

【0228】

なお、本発明において、保護ダイオード501～504のそれぞれが有する薄膜トランジスタの数及び極性は、図24（A）に示す構成に限定されない。例えば、保護ダイオード501は、直列に接続された三つの薄膜トランジスタにより構成されていてもよい。

【0229】

そして、保護ダイオード501～504は順に直列に接続されており、且つ保護ダイオード502と保護ダイオード503の間は、配線505に接続されている。なお、配線505は、保護対象となる半導体素子に電氣的に接続されているものである。なお、配線505と接続する配線は、保護ダイオード502と保護ダイオード503との間の配線に限定されない。即ち、配線505は、保護ダイオード501と保護ダイオード502との間に接続されていてもよいし、保護ダイオード503と保護ダイオード504との間に接続されていてもよい。

【0230】

保護ダイオード504の一端は電源電位 V_{dd} に保たれている。また、保護ダイオード501～504のそれぞれは、逆方向バイアスの電圧がかかるように接続されている。

【0231】

なお、図24（A）に示す保護回路は、図24（B）に示すように、保護ダイオード501、502を保護ダイオード506に置換え、保護ダイオード503、504を保護ダイオード507に置き換えることも可能である。

【0232】

図24（C）に示す保護回路は、保護ダイオード510、保護ダイオード511、容量素子512、容量素子513及び抵抗素子514を有する。抵抗素子514は2端子の抵抗であり、その一端には配線515から電位 V_{in} が供給され、他端には電位 V_{ss} が供給される。抵抗素子514は、電位 V_{in} が供給されなくなったときに配線515の電位を V_{ss} にするために設けられており、その抵抗値は配線515の配線抵抗よりも十分に大きくなるように設定する。保護ダイオード510及び保護ダイオード511は、ダイオード接続されたn型薄膜トランジスタを用いている。

【0233】

なお、図24（C）に示す保護ダイオードは、更に複数の薄膜トランジスタを直列に接続したものであってもよい。

【0234】

図24（D）に示す保護回路は、保護ダイオード510及び保護ダイオード511を、それぞれ2つのn型薄膜トランジスタで代用したものである。

【0235】

なお、図24（C）及び図24（D）に示す保護回路は、保護ダイオードとしてダイオード接続されたn型薄膜トランジスタを用いているが、本実施の形態はこの構成に限定されない。

【0236】

また、図24（E）に示す保護回路は、保護ダイオード520～527と、抵抗素子528と、を有する。抵抗素子528は配線529Aと配線529Bの間に直列に接続されている。保護ダイオード520～527のそれぞれは、ダイオード接続されたn型薄膜トランジスタを用いている。

【0237】

保護ダイオード520と保護ダイオード521は直列に接続されており、一端は電位 V_{ss} に保持され、他端は電位 V_{in} の配線529Aに接続されている。保護ダイオード522と保護ダイオード523は直列に接続されており、一端は電位 V_{dd} に保持され、他端は電位 V_{in} の配線529Aに接続されている。保護ダイオード524と保護ダイオード525は直列に接続されており、一端は電位 V_{ss} に保持され、他端は電位 V_{out} の配線529Bに接続されている。保護ダイオード526と保護ダイオード527は直列に接

10

20

30

40

50

続されており、一端は電位 V_{dd} に保持され、他端は電位 V_{out} の配線 529B に接続されている。

【0238】

また、図 24 (F) に示す保護回路は、抵抗素子 530 と、抵抗素子 531 と、保護ダイオード 532 と、を有する。図 24 (F) では、保護ダイオード 532 としてダイオード接続された n 型薄膜トランジスタを用いているが、本実施の形態はこの構成に限定されない。ダイオード接続された複数の薄膜トランジスタを用いてもよい。抵抗素子 530 と、抵抗素子 531 と、保護ダイオード 532 とは、配線 533 に直列に接続されている。

【0239】

抵抗素子 530 及び抵抗素子 531 によって、配線 533 の電位の急激な変動を緩和し、半導体素子の劣化または破壊を防止することができる。また、保護ダイオード 532 によって、電位の変動により配線 533 に逆方向バイアスの電流が流れることを防止することができる。

10

【0240】

なお、抵抗素子のみを配線に直列に接続する場合には、配線の電位の急激な変動を緩和し、半導体素子が劣化し、または破壊されることを防止できる。また、保護ダイオードのみを配線に直列に接続する場合、電位の変動により配線に逆方向の電流が流れるのを防ぐことができる。

【0241】

ここで、図 24 に示す保護回路が動作する場合について考える。このとき、保護ダイオード 501、502、506、511、520、521、524、525 のソース電極及びドレイン電極において、電位 V_{ss} に保持される側がドレイン電極である。また他方はソース電極となる。保護ダイオード 503、504、507、510、522、523、526、527 のソース電極及びドレイン電極において、電位 V_{dd} に保持される側をソース電極とし、他方がドレイン電極となる。また、保護ダイオードを構成する薄膜トランジスタのしきい値電圧を V_{th} と示す。

20

【0242】

また、保護ダイオード 501、502、506、511、520、521、524、525 は電位 V_{in} が電位 V_{ss} より高いときに逆バイアスの電圧がかかり、電流が流れにくい。一方、保護ダイオード 503、504、507、510、522、523、526、527 は、電位 V_{in} が電位 V_{dd} より低いときに逆方向バイアスの電圧がかかり、電流が流れにくい。

30

【0243】

ここでは、電位 V_{out} が概ね電位 V_{ss} と電位 V_{dd} の間となるように設けられた保護回路の動作について説明する。

【0244】

まず、電位 V_{in} が電位 V_{dd} よりも高い場合を考える。電位 V_{in} が電位 V_{dd} よりも高い場合、保護ダイオード 503、504、507、510、522、523、526、527 のゲート電極とソース電極間の電位差 $V_{gs} = V_{in} - V_{dd} > V_{th}$ のときに、当該 n 型薄膜トランジスタはオンする。ここでは、 V_{in} が異常に高い場合を想定しているため、当該 n 型薄膜トランジスタはオンする。このとき、保護ダイオード 501、502、506、511、520、521、524、525 が有する n 型薄膜トランジスタは、オフする。そうすると、保護ダイオード 503、504、507、510、522、523、526、527 を介して、配線 505、508、515、529A、529B の電位が V_{dd} となる。従って、ノイズ等により電位 V_{in} が電位 V_{dd} よりも異常に高くなったとしても、配線 505、508、515、529A、529B の電位は、電位 V_{dd} よりも高くなることはない。

40

【0245】

一方で、電位 V_{in} が電位 V_{ss} よりも低い場合には、保護ダイオード 501、502、506、511、520、521、524、525 のゲート電極とソース電極間の電位差

50

$V_{gs} = V_{ss} - V_{in} > V_{th}$ のときに、当該 n 型薄膜トランジスタはオンする。ここでは、 V_{in} が異常に低い場合を想定しているため、 n 型薄膜トランジスタはオンする。このとき、保護ダイオード 503、504、507、510、522、523、526、527 が有する n 型薄膜トランジスタはオフする。そうすると、保護ダイオード 501、502、506、511、520、521、524、525 を介して、配線 505、508、515、529A、529B の電位が V_{ss} となる。従って、ノイズ等により、電位 V_{in} が電位 V_{ss} より異常に低くなったとしても、配線 505、508、515、529A、529B の電位は、電位 V_{ss} よりも低くなることはない。さらに、容量素子 512、513 は、入力電位 V_{in} が有するパルス状のノイズを鈍らせ、ノイズによる電位の急峻な変化を緩和する働きをする。

10

【0246】

なお、電位 V_{in} が、 $V_{ss} - V_{th}$ から $V_{dd} + V_{th}$ の間の場合には、すべての保護ダイオードが有する n 型薄膜トランジスタがオフとなり、電位 V_{in} が電位 V_{out} として出力される。

【0247】

以上説明したように保護回路を配置することで、配線 505、508、515、529A、529B の電位は、概ね電位 V_{ss} と電位 V_{dd} の間に保たれることになる。従って、配線 505、508、515、529A、529B がこの範囲から大きく外れる電位となることを防止することができる。つまり、配線 505、508、515、529A、529B が異常に高い電位または異常に低い電位となることを防止し、当該保護回路の後段の回路が破壊されまたは劣化することを防止し、後段の回路を保護することができる。

20

【0248】

さらに、図 24 (C) に示すように、入力端子に抵抗素子 514 を有する保護回路を設けることで、信号が入力されていないときに、信号が与えられる全ての配線の電位を、一定（ここでは電位 V_{ss} ）とすることができる。つまり信号が入力されていないときは、配線同士をショートさせることができるショートリングとしての機能も有する。そのため、配線間に生じる電位差に起因する静電破壊を防止することができる。また、抵抗素子 514 の抵抗値が配線抵抗に対して十分に大きいので、信号の入力時に、配線に与えられる信号が電位 V_{ss} まで降下することを防止することができる。

【0249】

ここで、一例として、図 24 (C) の保護ダイオード 510 及び保護ダイオード 511 に閾値電圧 $V_{th} = 0$ の n 型薄膜トランジスタを用いた場合について説明する。

30

【0250】

まず、 $V_{in} > V_{dd}$ の場合には、保護ダイオード 510 は $V_{gs} = V_{in} - V_{dd} > 0$ となり、オンする。保護ダイオード 511 はオフする。従って、配線 515 の電位は V_{dd} となり、 $V_{out} = V_{dd}$ となる。

【0251】

一方で、 $V_{in} < V_{ss}$ の場合には、保護ダイオード 510 はオフする。保護ダイオード 511 は $V_{gs} = V_{ss} - V_{in} > 0$ となり、オンする。従って、配線 515 の電位は V_{ss} となり、 $V_{out} = V_{ss}$ となる。

40

【0252】

このように、 $V_{in} < V_{ss}$ または $V_{dd} < V_{in}$ となる場合であっても、 $V_{ss} < V_{out} < V_{dd}$ の範囲で動作させることができる。従って、 V_{in} が過大な場合または過小な場合であっても、 V_{out} が過大になりまたは過小となることを防止することができる。従って、例えばノイズ等により、電位 V_{in} が電位 V_{ss} より低くなる場合であっても、配線 515 の電位は、電位 V_{ss} よりも遙かに低くなることはない。さらに、容量素子 512 及び容量素子 513 は、入力電位 V_{in} が有するパルス状のノイズを鈍らせ、電位の急峻な変化を緩和する働きをする。

【0253】

以上説明したように保護回路を配置することで、配線 515 の電位は、電位 V_{ss} と電位

50

V_{dd} の間に概ね保たれることになる。従って、配線515がこの範囲から大きくはずれた電位となることを防止することができ、当該保護回路の後段の回路（入力部が V_{out} に電氣的に接続された回路）を破壊または劣化から保護することができる。さらに、入力端子に保護回路を設けることで、信号が入力されていないときに、信号が与えられる全ての配線の電位を、一定（ここでは電位 V_{ss} ）に保つことができる。つまり、信号が入力されていないときは、配線同士をショートさせることができるショートリングとしての機能も有する。そのため、配線間に生じる電位差に起因する静電破壊を防止することができる。また、抵抗素子514の抵抗値が十分に大きいので、信号の入力時には、配線515に与えられる信号の電位の低下を防止できる。

【0254】

なお、本発明に用いられる保護回路は図24に示す構成に限定されるものではなく、同様の働きをする回路構成であれば、適宜設計変更が可能である。

【0255】

また、本発明の保護回路が有する保護ダイオードとしては、ダイオード接続された薄膜トランジスタを用いることができる。保護回路に本発明の薄膜トランジスタを用いることで、保護回路が占める面積を縮小することができ、表示装置の狭額縁化、小型化、高性能化を図ることができる。

【0256】

（実施の形態6）

本実施の形態では、本発明の表示装置の端子部について図25を参照して説明する。

【0257】

図25（A）及び図25（B）は、ゲート配線端子部の断面図及び上面図をそれぞれ示している。図25（A）は図25（B）中のX1-X2線における断面図に相当する。図25（A）において、積層されて形成された保護絶縁層544上の透明導電層545は、入力端子として機能する端子電極である。また、図25（A）において、端子部では、ゲート配線と同じ材料で形成される第1の端子540と、ソース配線と同じ材料で形成される接続電極543とがゲート絶縁層542を介して重なり、これらは透明導電層545を介して（少なくとも電氣的に）接続されている。また、ゲート絶縁層542と接続電極543との間には半導体層546（真性半導体層と一導電型の不純物元素を含む半導体層）が設けられている。

【0258】

図25（C）及び図25（D）は、ソース配線端子部の断面図及び上面図をそれぞれ示している。図25（C）は図25（D）中のY1-Y2線における断面図に相当する。図25（C）において、積層されて形成された保護絶縁層544上の透明導電層545は、入力端子として機能する端子電極である。また、図25（C）において、端子部では、ゲート配線と同じ材料で形成される電極547が、ソース配線と（少なくとも電氣的に）接続される第2の端子541の下方にゲート絶縁層542を介して重なる。電極547は第2の端子541と直接または電氣的に接続されておらず、電極547を第2の端子541と異なる電位、例えばフローティング、GND、0V等に設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第2の端子541は、透明導電層545と（少なくとも電氣的に）接続されている。また、ゲート絶縁層542と第2の端子541との間には半導体層546（真性半導体層と一導電型の不純物元素を含む半導体層）が設けられている。

【0259】

ゲート配線、ソース配線、及び容量配線は、画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第1の端子、ソース配線と同電位の第2の端子、容量配線と同電位の第3の端子等が複数並べられて配置されている。それぞれの端子は、任意の数で設ければよいものとし、実施者が適宜決定すればよい。

【0260】

本実施の形態にて説明した端子部とFPC端子部は、異方性導電ペースト等を介して接続

10

20

30

40

50

されている。これにより、外部からの信号及び電力の供給が可能になる。

【0261】

なお、図25は、ハーフトーンマスクを用いて作製した場合の端子部の図を示したが、本発明は上記実施の形態にて説明したようにこれに限定されない。ハーフトーンマスクを用いずに作製した場合の端子部の図を図26に示す。

【0262】

図26(A)及び図26(B)は、ハーフトーンマスクを用いずに作製した場合のゲート配線端子部の断面図及び上面図をそれぞれ示している。図26(A)は図26(B)中のX3-X4線における断面図に相当する。図26(A)において、保護絶縁層544上の透明導電層545は、入力端子として機能する端子電極である。また、図26(A)において、端子部では、ゲート配線と同じ材料で形成される第1の端子540と、ソース配線と同じ材料で形成される接続電極543とがゲート絶縁層542を介して重なり、これらは透明導電層545を介して（少なくとも電氣的に）接続されている。また、ゲート絶縁層542上に接して接続電極543が設けられており、図26(A)及び図26(B)は、半導体層が設けられていない構成となっている。

10

【0263】

図26(C)及び図26(D)は、ハーフトーンマスクを用いずに作製した場合のソース配線端子部の断面図及び上面図をそれぞれ示している。図26(C)は、図26(D)中のY3-Y4線における断面図に相当する。図26(C)において、保護絶縁層544上の透明導電層545は、入力端子として機能する端子電極である。また、図26(C)において、端子部では、ゲート配線と同じ材料で形成される電極547が、ソース配線と（少なくとも電氣的に）接続される第2の端子541の下方にゲート絶縁層542を介して重なる。電極547は第2の端子541と接続されておらず、電極547を第2の端子541と異なる電位、例えばフローティング、GND、0V等に設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第2の端子541は、透明導電層545と接続されている。また、ゲート絶縁層542上に接して第2の端子541が設けられており、図26(C)及び図26(D)は、半導体層が設けられていない構成となっている。すなわち、図26に示す端子部は、半導体層を有さない構成となっている。

20

【0264】

（実施の形態7）

次に、上記実施の形態にて説明した液晶表示装置及び発光表示装置に搭載する表示パネルまたは発光パネルの一形態について、図面（断面図）を参照して説明する。

30

【0265】

本発明の一態様である液晶表示装置及び発光装置の外観について、図27及び図28を参照して説明する。図27(A)は、第1の基板601上に形成された微結晶半導体層を有する薄膜トランジスタ610及び液晶素子613を、第2の基板606との間にシール材605によって封止した、液晶表示パネルの上面図を示す。図27(B)は、図27(A)のK-Lにおける断面図に相当する。

【0266】

液晶表示装置は、各画素に液晶素子を有する。液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一対の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界または斜め方向の電界を含む）によって制御される。なお、液晶素子とその駆動モードとしては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、ライオトロピック液晶（リオトロピック液晶ともいう）、低分子液晶、高分子液晶、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（PALC）、バナナ型液晶、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Sw

40

50

itching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASV (Advanced Super View) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、ECB (Electrically Controlled Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、ゲストホストモード等を用いることができる。ただし、これに限定されず、液晶素子として様々なものを用いることができる。 10

【0267】

液晶層は、配向膜を用いないブルー相を示す液晶を用いて形成してもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は、狭い温度範囲でしか発現しないため、温度範囲を改善するために、5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に適用する。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu s \sim 100\mu s$ と短く、光学的に等方性であるため配向処理が不要であり、視野角依存性が小さい。 20

【0268】

第1の基板601上に設けられた画素部602及び走査線駆動回路604を囲んで、シール材605が設けられている。また、画素部602及び走査線駆動回路604の上に第2の基板606が設けられている。よって、画素部602及び走査線駆動回路604は、第1の基板601とシール材605と第2の基板606とによって、液晶層608と共に封止されている。また、第1の基板601上のシール材605によって囲まれている領域内には信号線駆動回路603も設けられている。なお、信号線駆動回路603は、別途用意された基板上に多結晶半導体層を有する薄膜トランジスタにより設けられたものであってもよい。なお、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせてもよい。 30

【0269】

第1の基板601上に設けられた画素部602は、複数の薄膜トランジスタを有しており、図27(B)には、画素部602に含まれる薄膜トランジスタ610を例示している。また、走査線駆動回路604も、複数の薄膜トランジスタを有しており、図27(B)では、信号線駆動回路603に含まれる薄膜トランジスタ609を例示している。薄膜トランジスタ610は微結晶半導体層を用いた薄膜トランジスタに相当する。 30

【0270】

また、液晶素子613が有する画素電極612は、薄膜トランジスタ610と配線618を介して電氣的に接続されている。さらに、配線618は引き回し配線614と電氣的に接続されている。そして、液晶素子613の対向電極617は第2の基板606上に設けられている。画素電極612と対向電極617と液晶層608が重なっている部分が、液晶素子613に相当する。 40

【0271】

なお、第1の基板601及び第2の基板606の材料としては、ガラス、金属（代表的にはステンレス）、セラミックスまたはプラスチック等を用いることができる。プラスチックとしては、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルム、またはアクリル樹脂フィルム等を用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いてもよい。 40

【0272】

また、スペーサ611はビーズスペーサであり、画素電極612と対向電極617との間 50

の距離（セルギャップ）を一定に制御するために設けられている。なお、スペーサ 611 のビーズスペーサに代えて、絶縁層を選択的にエッチングすることで得られるスペーサ（ポストスペーサ）を用いてもよい。

【0273】

また、信号線駆動回路 603 と、走査線駆動回路 604 及び画素部 602 に与えられる各種の信号（電位）は、FPC 607（Flexible Printed Circuit）から引き回し配線 614 を介して供給される。

【0274】

本実施の形態では、接続端子 616 が、液晶素子 613 が有する画素電極 612 と同じ導電層から形成されている。また、引き回し配線 614 は、配線 618 と同じ導電層で形成されている。

10

【0275】

接続端子 616 と FPC 607 が有する端子は、異方性導電層 619 を介して電氣的に接続されている。

【0276】

なお、図示していないが、本実施の形態に示した液晶表示装置は配向膜及び偏光板を有し、更にカラーフィルタや遮光層等を有していてもよい。

【0277】

また、発光素子の射出面に偏光板、円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）またはカラーフィルタ等の光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止層を設けてもよい。

20

【0278】

図 28 は、本発明の一態様である発光装置の一例を示す。図 28 は、図 27 と異なる部分についてのみ符号を付している。発光装置としては、エレクトロルミネッセンスを利用する発光素子を用いる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

【0279】

有機 EL 素子は、発光素子に電圧を印加することにより、キャリア（電子及び正孔）が一对の電極からそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらのキャリア（電子及び正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、そのキャリアが励起状態から基底状態に戻る際に発光する。このような発光素子は、そのメカニズムから、電流励起型の発光素子と呼ばれる。

30

【0280】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有し、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを一对の電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。

40

【0281】

なお、ここでは、発光素子として有機 EL 素子を用いて説明する。また、発光素子の駆動を制御する薄膜トランジスタとして、上記の実施の形態にて説明した作製方法を適用した薄膜トランジスタを用いて説明する。

【0282】

まず、基板上に薄膜トランジスタ 621、622 を形成する。薄膜トランジスタ 621、622 上には保護層として機能する絶縁層を形成する。該絶縁層は、無機材料により形成される絶縁層 623 と有機材料により形成される絶縁層 624 を積層して形成するとよく、有機材料により形成される絶縁層により上面を平坦化するとよい。ここで、無機材料としては、例えば酸化シリコン、窒化シリコン、酸化窒化シリコン等を用いるとよい。有機

50

材料としては、アクリル、ポリイミド若しくはポリアミド等の有機樹脂またはシロキサンを用いるとよい。

【0283】

有機材料により形成される絶縁層624上には、導電層を設ける。この導電層を第1の導電層625とする。第1の導電層は、画素電極として機能する。画素の薄膜トランジスタがn型薄膜トランジスタの場合には、画素電極として陰極を形成することが好ましいが、p型薄膜トランジスタの場合には、陽極を形成することが好ましい。画素電極として陰極を形成する場合には、仕事関数が小さい材料、例えば、Ca、Al、MgAg、AlLi等を用いればよい。

【0284】

次に、第1の導電層625の側面（端部）及び有機材料により形成される絶縁層624上に隔壁626を形成する。隔壁626は開口部を有し、該開口部において第1の導電層625が露出されている。該隔壁626は、有機樹脂層、無機絶縁層または有機ポリシロキサンを用いて形成する。特に好ましくは、感光性の材料を用いて隔壁を形成し、第1の導電層625上の隔壁626を露光して開口部を形成することで、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0285】

次に、隔壁626の開口部において第1の導電層625と接するように、発光層627を形成する。発光層627は、単一の層で構成されていても、複数の層が積層されて構成されていてもよい。

【0286】

そして、発光層627を覆うように、第2の導電層628を形成する。第2の導電層628は共通電極と呼ばれる。陰極材料により第1の導電層625を形成する場合には、陽極材料により第2の導電層628を形成する。第2の導電層628は、透光性を有する導電性材料を用いた透光性導電層で形成することができる。第2の導電層628として、窒化チタン層またはチタン層を用いてもよい。ここでは、第2の導電層628としてインジウム錫酸化物（ITO）を用いる。隔壁の開口部において、第1の導電層625と発光層627と第2の導電層628が重なり合うことで、発光素子630が形成される。この後、発光素子630に酸素、水素、水分または二酸化炭素等が侵入しないように、隔壁626及び第2の導電層627上に保護層を形成することが好ましい。保護層としては、窒化シリコン層、窒化酸化シリコン層及びDLC層等を用いることができる。更に好ましくは、外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（紫外線硬化樹脂フィルム等）またはカバー材により更なるパッケージング（封入）をする。

【0287】

発光素子630は、発光を取り出すために、少なくとも陽極または陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ621、622及び発光素子630を形成し、基板とは逆側の面から発光を取り出す上面射出構造、基板側の面から発光を取り出す下面射出構造、及び基板側及び基板とは反対側の面の双方から発光を取り出す両面射出構造の発光素子がある。本発明の一態様である発光装置では、上記の射出構造のいずれも適用することができる。

【0288】

なお、上面射出構造の発光素子630では、陰極上に発光層及び陽極が順に積層されている。陰極は仕事関数が小さく、且つ光を反射する導電性材料（例えば、Ca、Al、MgAg、AlLi等）により形成すればよい。そして、発光層は複数の層で構成されている場合には、例えば、陰極上に、電子注入層、電子輸送層、発光層、ホール輸送層またはホール注入層の順に積層して形成する。なお、これらの層を全て設ける必要はない。陽極は光を透過する透光性の導電性材料を用いて形成し、例えば、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物または酸化シリコンを添加したインジウム錫酸化物等の透光性を有す

10

20

30

40

50

る導電層を用いてもよい。発光層から発生される光は、陽極側に射出される。

【0289】

下面射出構造の発光素子630では、陰極上に発光層及び陽極が順に積層されている。なお、陽極が透光性を有する場合、陽極を覆うように光を反射または遮蔽するための遮光層が設けられているとよい。陰極は、上面射出構造の場合と同様に、仕事関数が小さい材料により形成された導電層であればよく、公知の材料を用いればよい。ただし、その厚さは光を透過する程度（好ましくは、5nm以上30nm以下程度）とする。例えば、20nmの厚さを有するアルミニウムを、陰極として用いることができる。そして、発光層は、上面射出構造の場合と同様に、単一の層で構成されていても、複数の層が積層されて構成されていてもよい。陽極は光を透過する必要はないが、上面射出構造の場合と同様に、透光性の導電性材料を用いて形成することもできる。そして、遮光層は、例えば、光を反射する金属層等または黒の顔料を添加した樹脂等を用いてもよい。発光層から発生される光は、陰極側に射出される。

10

【0290】

なお、発光素子630が有する画素電極は、薄膜トランジスタ622のソース電極またはドレイン電極と、配線を介して電氣的に接続されている。そして、本実施の形態では、発光素子630の共通電極と透光性を有する導電性の材料層が電氣的に接続されている。

【0291】

また、発光素子630の構成は、本実施の形態に示した構成に限定されない。発光素子630の構成は、発光素子630から取り出す光の方向や、薄膜トランジスタ622の極性等に合わせて、適宜変更することができる。

20

【0292】

なお、発光素子630が上面射出構造の場合、発光素子630からの光の取り出し方向に位置する基板である第2の基板は透光性の基板でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルム等の透光性を有する材料からなる基板を用いる。

【0293】

また2つの基板間に配される充填材631としては、窒素やアルゴン等の不活性な気体、紫外線硬化樹脂または熱硬化樹脂等を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）等を用いることができる。ここでは、例えば窒素を用いるとよい。

30

【0294】

なお、本実施の形態では、発光素子630の駆動を制御する薄膜トランジスタ622（駆動用トランジスタ）と発光素子とが直接的に接続されている例を示したが、駆動用薄膜トランジスタと発光素子との間に電流制御用薄膜トランジスタが接続されていてもよい。

【0295】

なお、本実施の形態で説明した発光装置は、図示した構成に限定されるものではなく、技術的思想に基づいた各種の変形が可能である。

【0296】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することができる。

40

【0297】

（実施の形態8）

本発明に係る薄膜トランジスタを有する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用のモニタ、電子ペーパー、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機等の大型ゲーム機等が挙げられる。

【0298】

50

本発明に係る薄膜トランジスタを有する半導体装置は、電子ペーパーに適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車等の乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図29に示す。

【0299】

図29（A）は、電子書籍の一例を示している。図29（A）に示す電子書籍は、筐体700及び筐体701の2つの筐体で構成されている。筐体700及び筐体701は、蝶番704により一体になっており、開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

10

【0300】

筐体700には表示部702が組み込まれ、筐体701には表示部703が組み込まれている。表示部702及び表示部703は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図29（A）では表示部702）に文章を表示し、左側の表示部（図29（A）では表示部703）に画像を表示することができる。

【0301】

また、図29（A）では、筐体700に操作部等を備えた例を示している。例えば、筐体700は、電源入力端子705、操作キー706、スピーカ707等を備えている。操作キー706により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイス等を備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、及びUSBケーブル等の各種ケーブルと接続可能な端子等）、記録媒体挿入部等を備える構成としてもよい。さらに、図29（A）に示す電子書籍は、電子辞書としての機能を持たせた構成としてもよい。

20

【0302】

また、図29（A）に示す電子書籍は、無線で情報を送受信できる構成を備えていてもよい。無線通信により、電子書籍サーバから所望の書籍データ等を購入し、ダウンロードする構成とすることもできる。

【0303】

図29（B）は、デジタルフォトフレームの一例を示している。例えば、図29（B）に示すデジタルフォトフレームは、筐体711に表示部712が組み込まれている。表示部712は、各種画像を表示することが可能であり、例えば、デジタルカメラ等で撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

30

【0304】

なお、図29（B）に示すデジタルフォトフレームは、操作部、外部接続用端子（USB端子、USBケーブル等の各種ケーブルと接続可能な端子等）、記録媒体挿入部等を備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部712に表示させることができる。

40

【0305】

また、図29（B）に示すデジタルフォトフレームは、無線で情報を送受信出来る構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0306】

図29（C）は、テレビジョン装置の一例を示している。図29（C）に示すテレビジョン装置は、筐体721に表示部722が組み込まれている。表示部722により、映像を表示することが可能である。また、ここでは、スタンド723により筐体721を支持した構成を示している。表示部722は、実施の形態7に示した表示装置を適用することができる。

50

【0307】

図29(C)に示すテレビジョン装置の操作は、筐体721が備える操作スイッチや、別体のリモコン操作機により行うことができる。リモコン操作機が備える操作キーにより、チャンネルや音量の操作を行うことができ、表示部722に表示される映像を操作することができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

【0308】

なお、図29(C)に示すテレビジョン装置は、受信機やモデム等を備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、片方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士等)の情報通信を行うことも可能である。

10

【0309】

図29(D)は、携帯電話機の一例を示している。図29(D)に示す携帯電話機は、筐体731に組み込まれた表示部732の他、操作ボタン733、操作ボタン737、外部接続ポート734、スピーカ735、及びマイク736等を備えている。

【0310】

図29(D)に示す携帯電話機は、表示部732がタッチパネルになっており、指等の接触により、表示部732の表示内容を操作することができる。また、電話の発信、或いはメールの作成等は、表示部732を指等で接触することにより行うことができる。

20

【0311】

表示部732の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

【0312】

例えば、電話の発信、或いはメールを作成する場合には、表示部732を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合には、表示部732の画面の大部分を使用してキーボードまたは番号ボタンを表示させることが好ましい。

【0313】

また、図29(D)に示す携帯電話機の内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを備えた検出装置を設けることで、携帯電話機の向き(縦または横)を判別して、表示部732の表示情報を自動的に切り替える構成とすることもできる。

30

【0314】

また、画面モードの切り替えは、表示部732への接触、または筐体731の操作ボタン737の操作により行われる。また、表示部732に表示される画像の種類によって切り替える構成とすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替えることができる。

【0315】

また、入力モードにおいて、表示部732の光センサで検出される信号を検知し、表示部732のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

40

【0316】

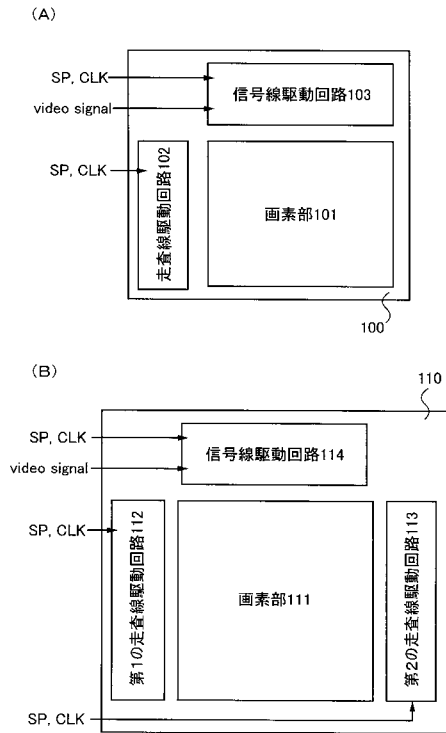
表示部732は、イメージセンサとして機能させることもできる。例えば、表示部732を掌や指で触れ、掌紋及び指紋等をイメージセンサで撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈等を撮像することもできる。

【0317】

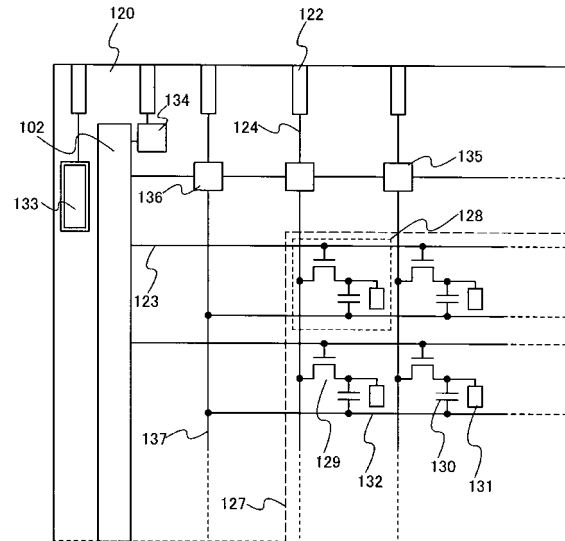
本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

50

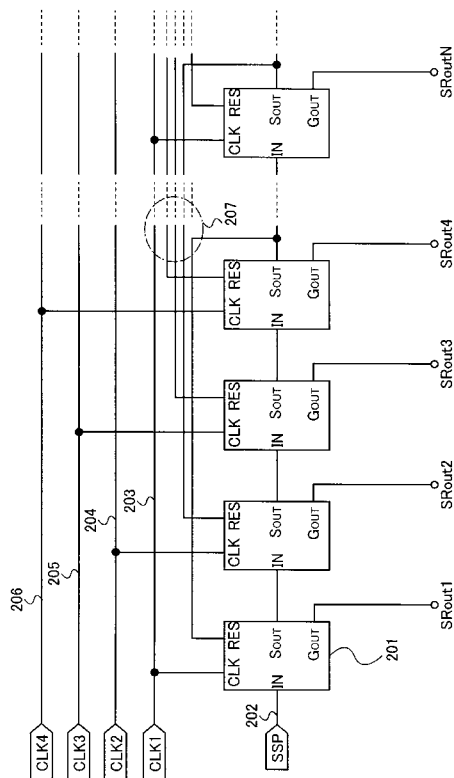
【図 1】



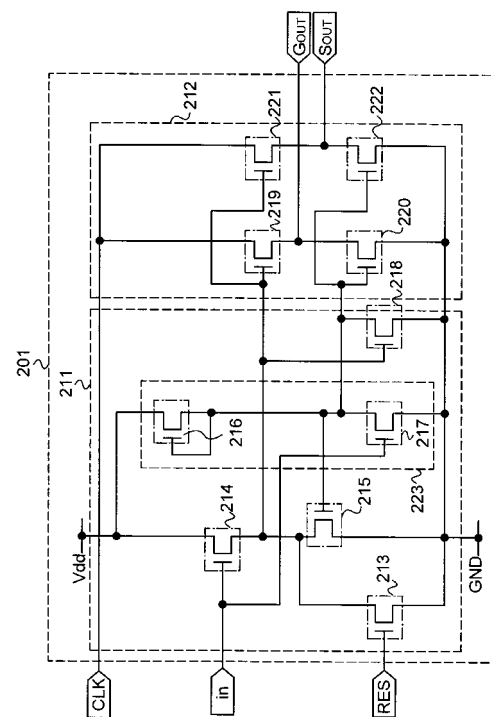
【図 2】



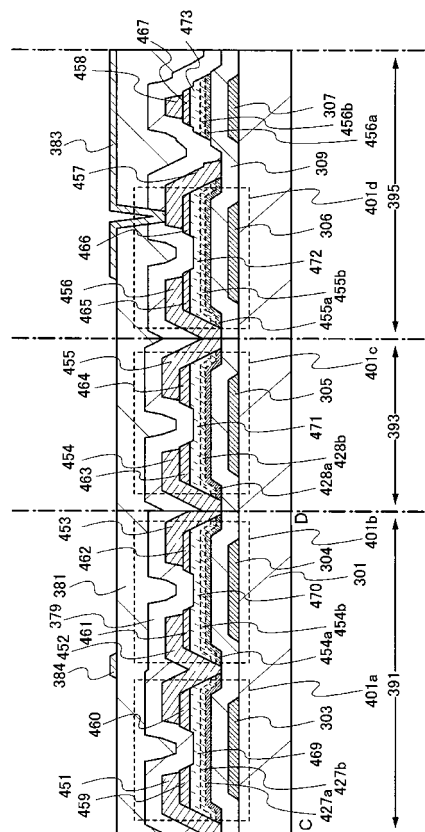
【図 3】



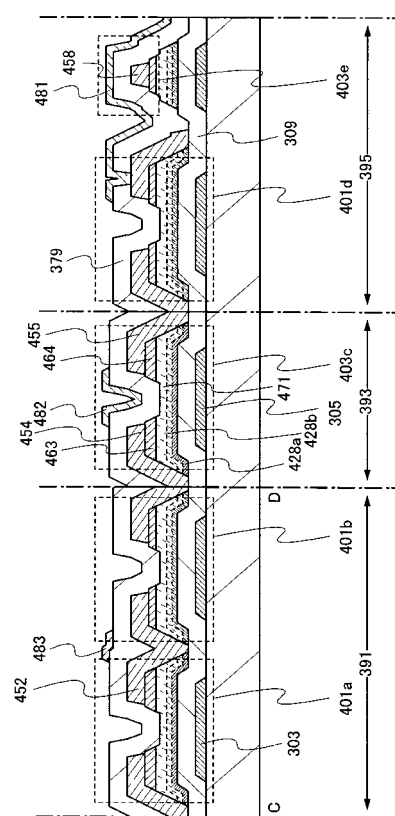
【図 4】



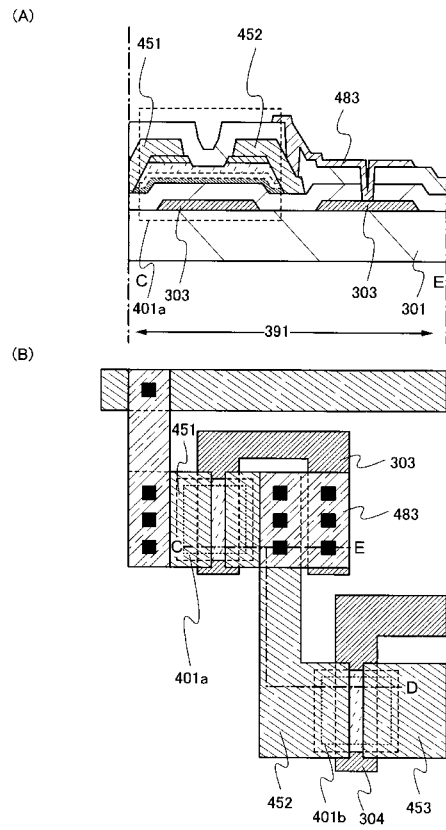
【図 10】



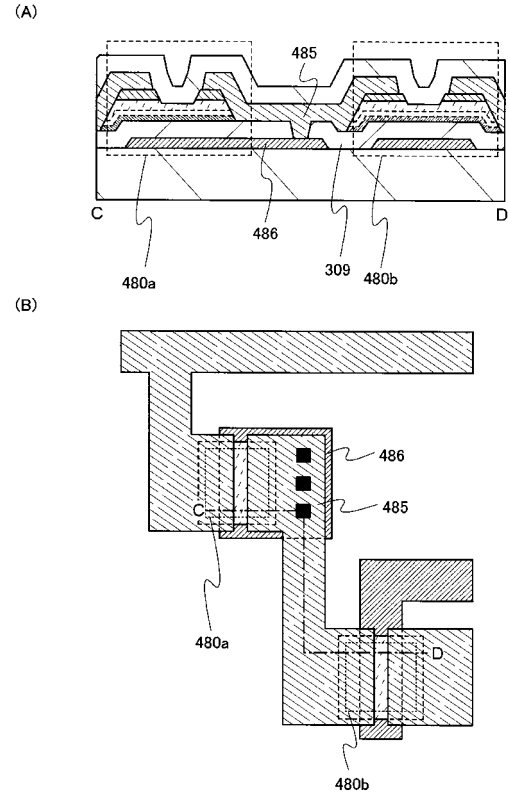
【図 1 2】



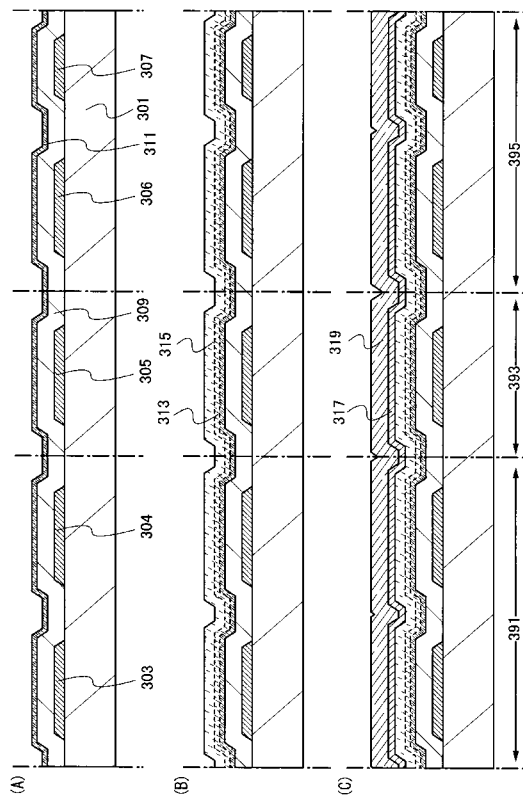
【図 13】



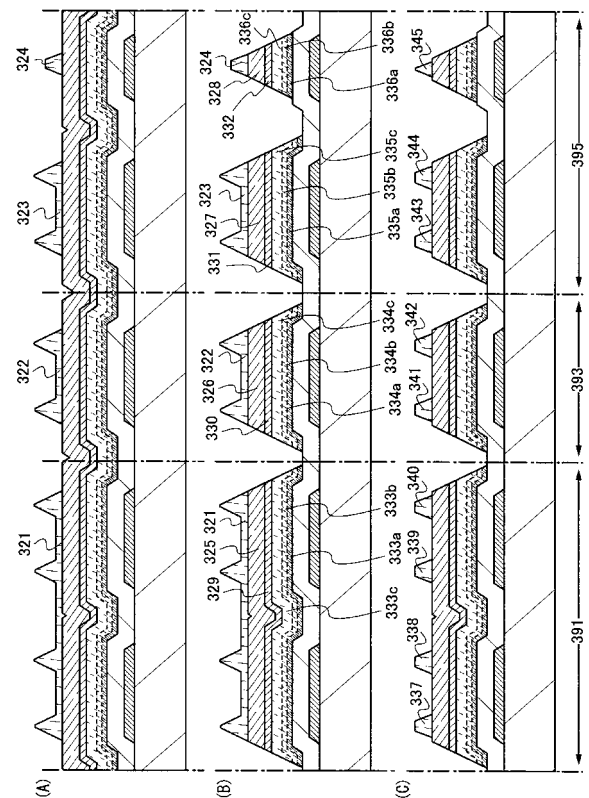
【図 14】



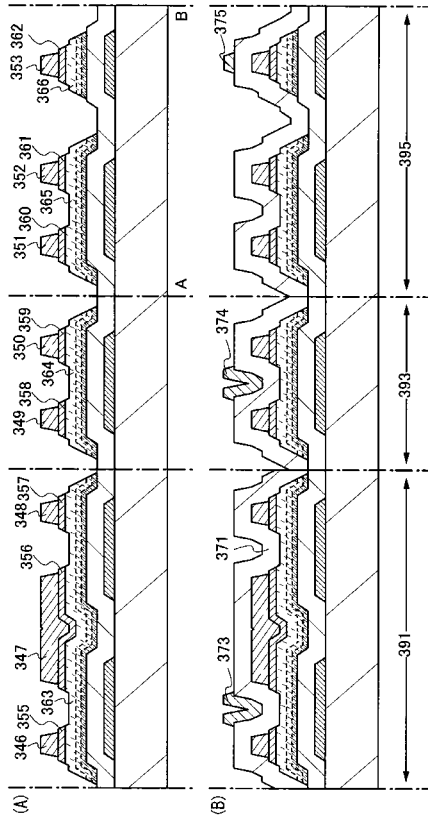
【図 15】



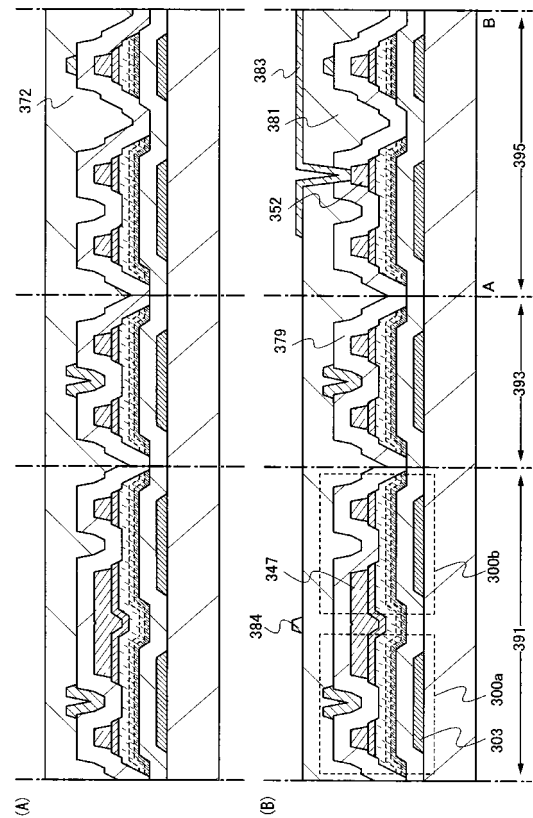
【図 16】



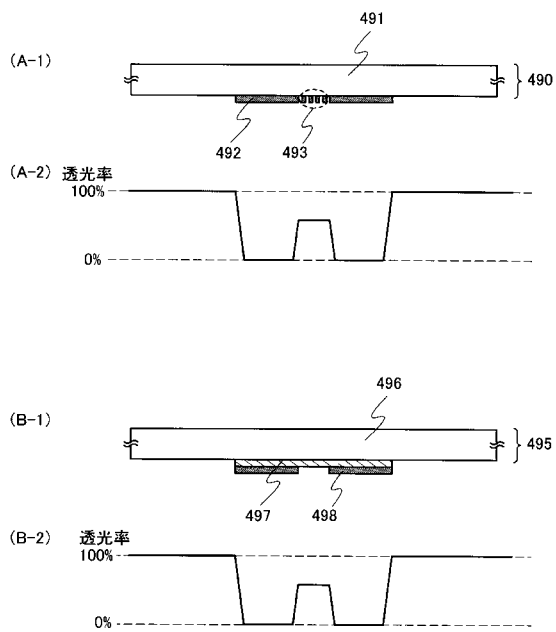
【図 17】



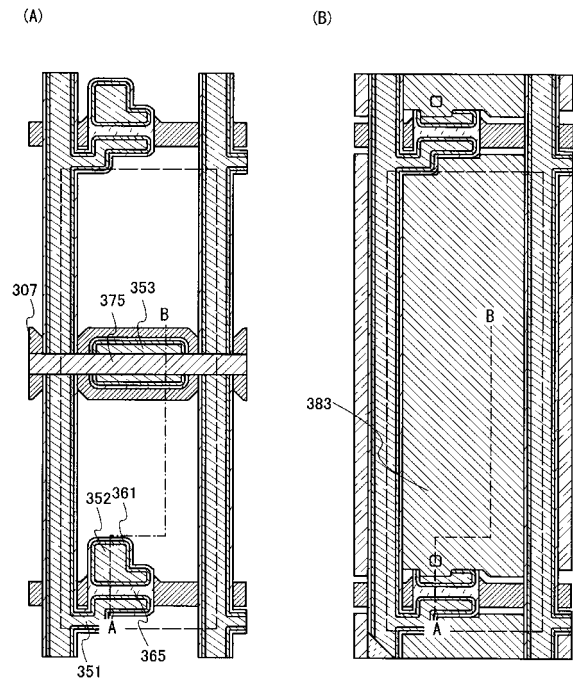
【図 18】



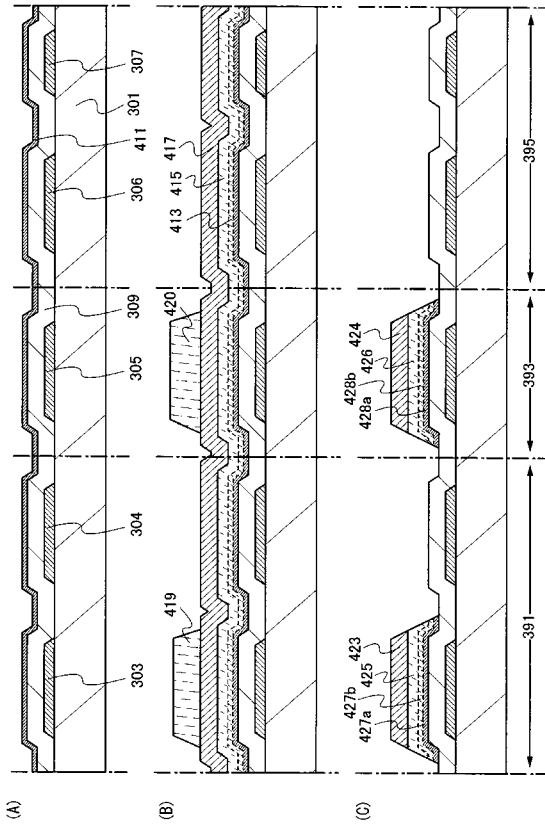
【図 19】



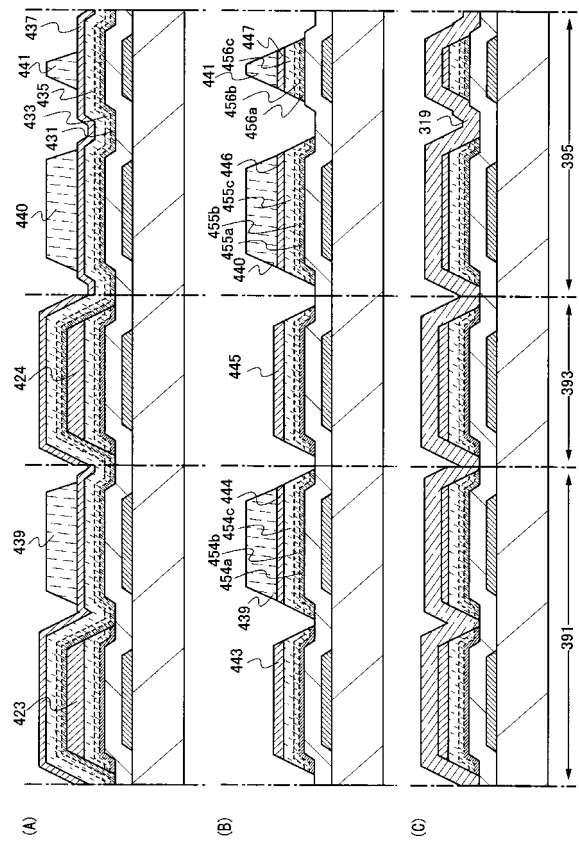
【図 20】



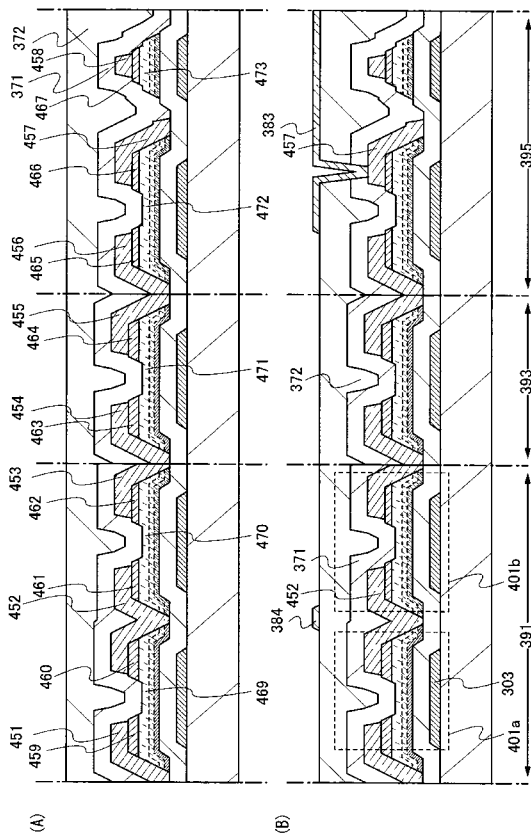
【図 2 1】



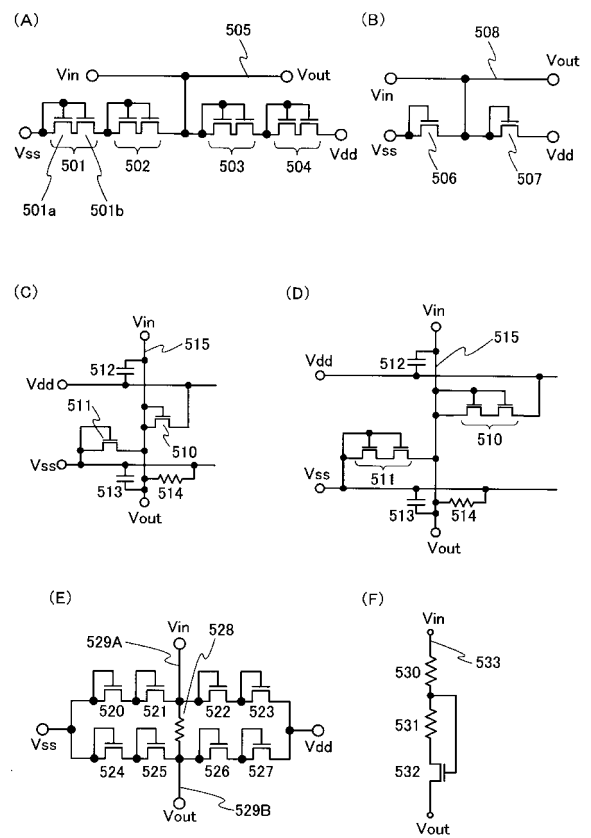
【図 2 2】



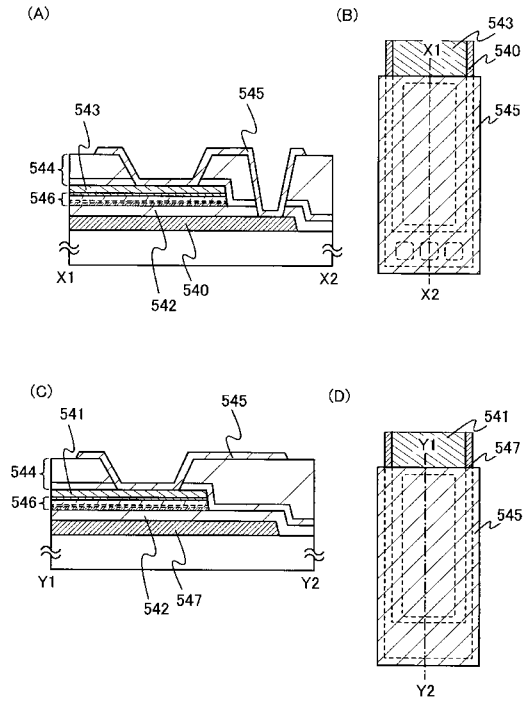
【図 2 3】



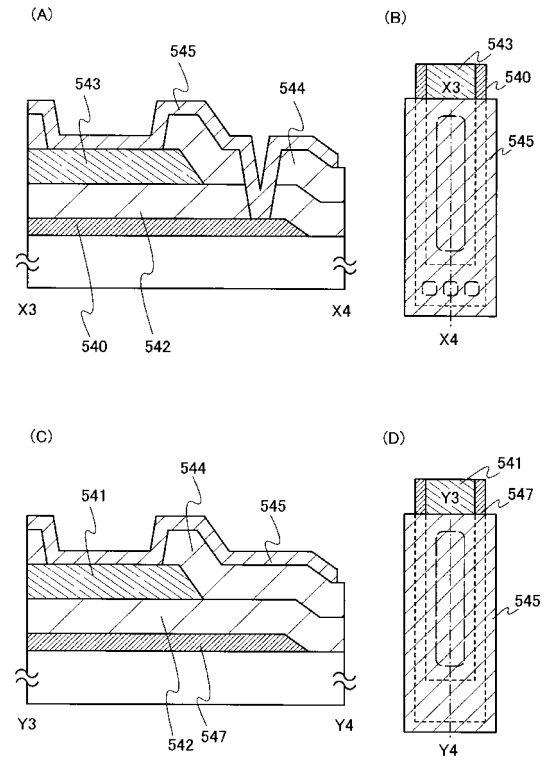
【図 2 4】



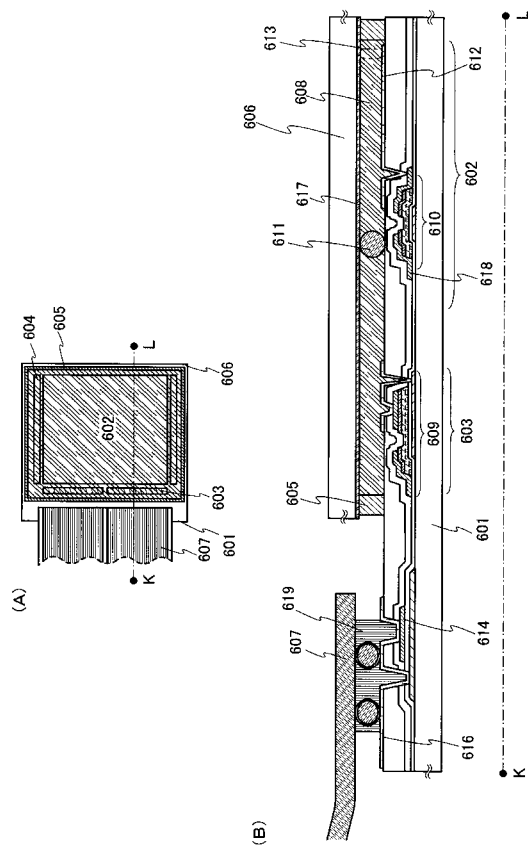
【図 25】



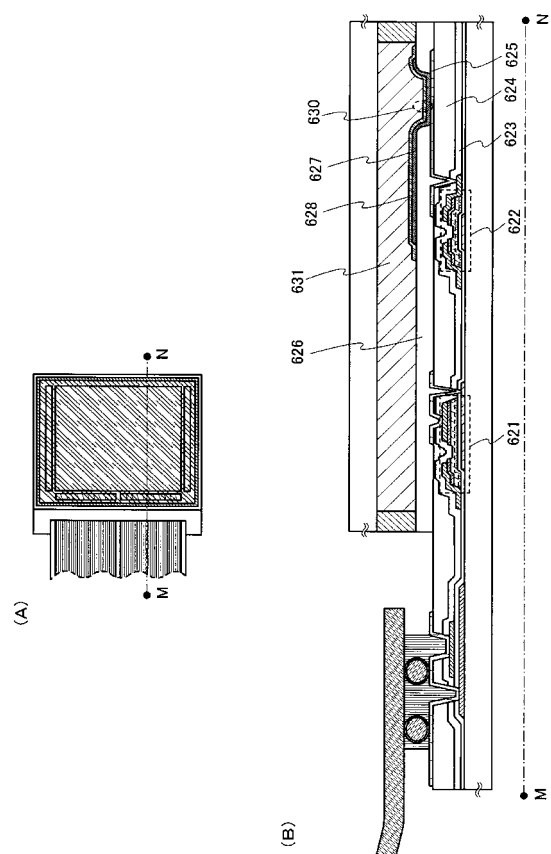
【図 26】



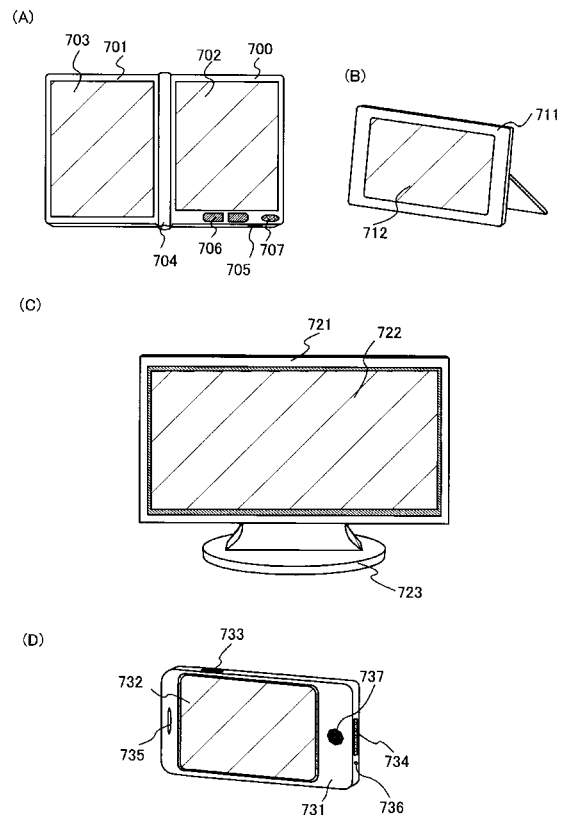
【図 27】



【図 28】



【図 29】



フロントページの続き

Fターム(参考) 2H192 AA24 BC42 CB05 CB08 CB34 CB35 CB56 CB83 CC04 DA12
EA67 FA65 FA73 FB03 FB05 FB27 FB42 FB72 GD06 JA06
JA07 JA13 JA17 JA23 JA32 JA33 JA53 JA64
5B074 AA10 CA01 EA01
5C006 BB16 BC03 BC20 BF03 BF04 BF06 BF34 BF36 BF37 BF46
FA36 FA41 FA54
5C080 AA10 BB05 DD19 DD22 JJ02 JJ03 JJ04 JJ06 KK43
5C094 AA15 AA43 BA03 BA27 BA43 BA74 CA19 DA09 DB01 FB12
FB14