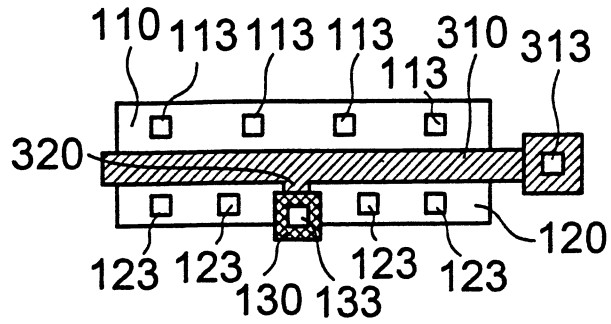
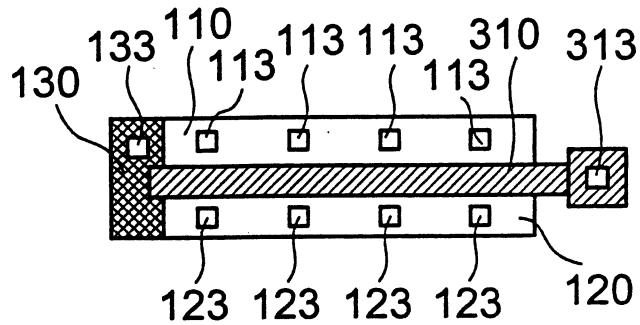


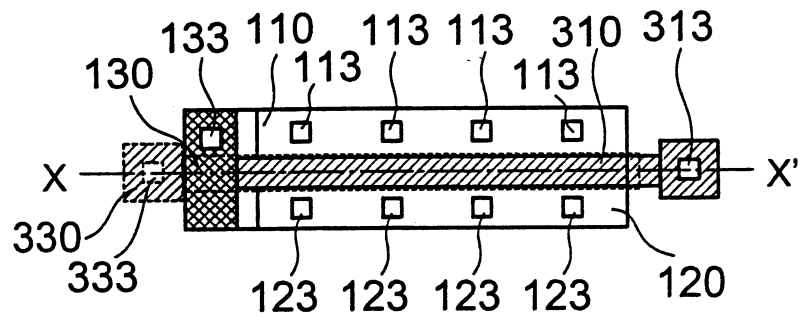
第 3 圖



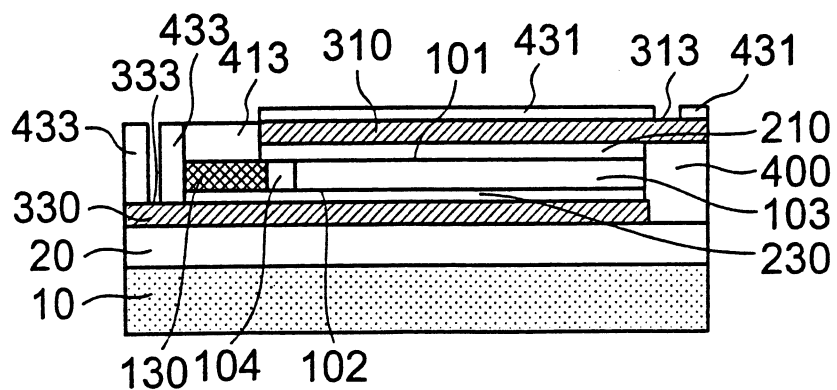
第 4 圖



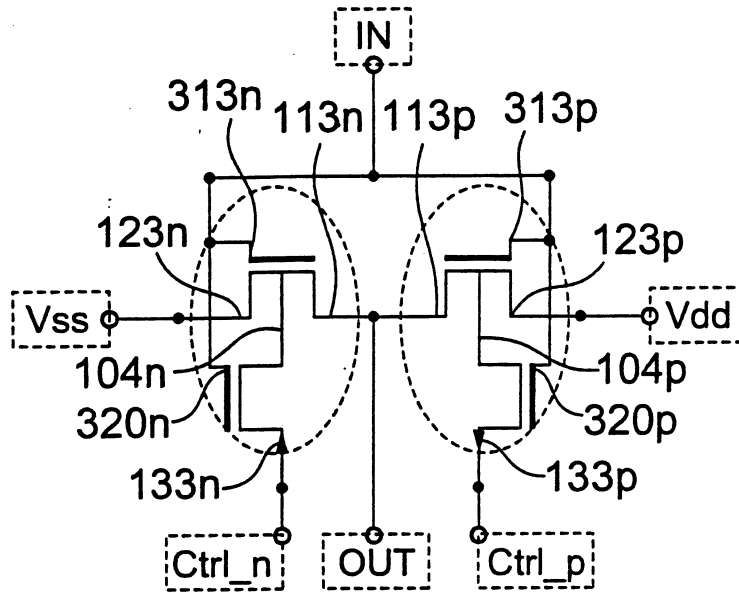
第 5 A 圖



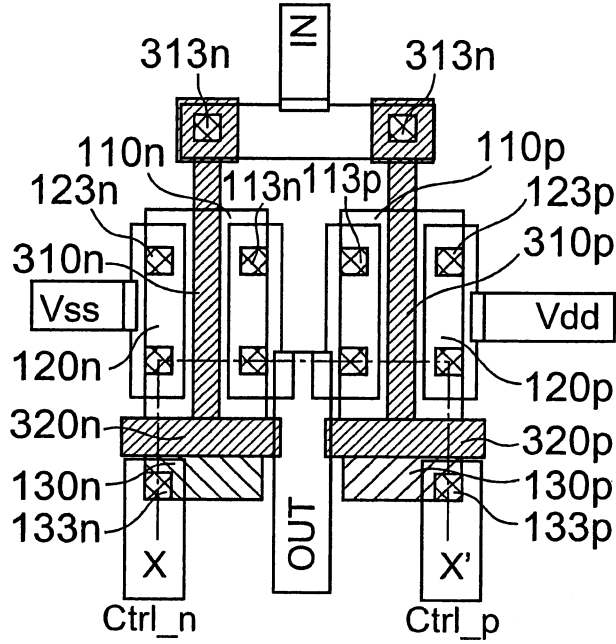
第 5 B 圖



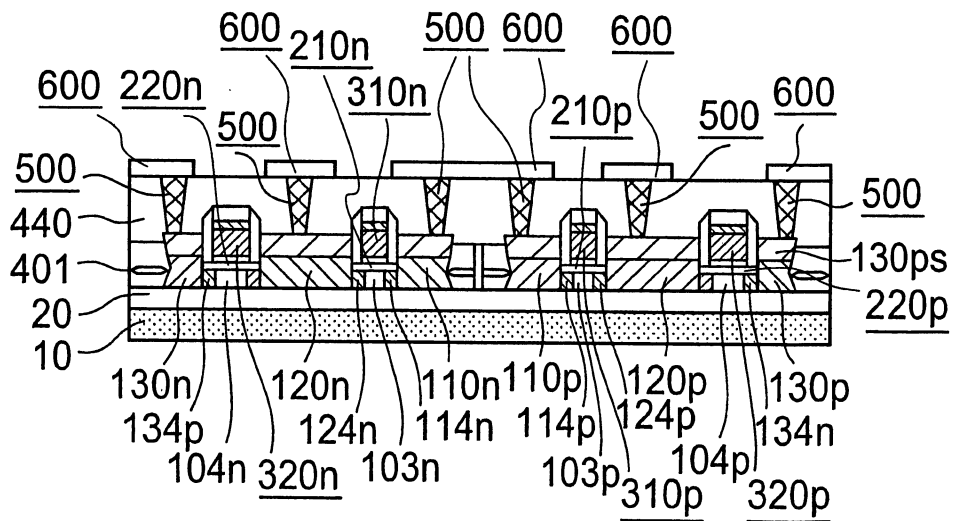
第 6 圖



第 7A 圖



第 7B 圖



公告本

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

95年4月7日 修正補充

※申請案號：92108139

※申請日期：92 年 04 月 09 日

※IPC 分類：H01L 29/786 (2006.01)

壹、發明名稱：

(中) 絕緣閘極薄膜電晶體及其控制系統

(外) Insulated gate thin film transistor and control system therefor

貳、申請人：(共 2 人)

1. 姓名：(中) 精工電子有限公司

(外) セイコーインスツルメンツ株式会社

代表人：(中) 1. 入江昭夫

(外)

地址：(中) 日本國千葉縣千葉市美浜區中瀬一丁目八番地

(外)

國籍：(中英) 日本 JAPAN

2. 姓名：(中) 林豐

(外) 林豐

代表人：(中)

(外)

地址：(中) 日本國茨城縣筑波市梅園二-三-一〇

(外) 日本国茨城県つくば市梅園2-3-10

國籍：(中英) 日本 JAPAN

參、發明人：(共 4 人)

1. 姓名：(中) 林豐

(外) 林豐

地址：(中) 日本國茨城縣筑波市梅園二-三-一〇

(外) 日本国茨城県つくば市梅園2-3-10

2. 姓名：(中) 長谷川尙

(外) 長谷川尙

地址：(中) 日本國千葉縣千葉市美浜區中瀬一丁目八番地精工電子有限公司內

(外) 日本国千葉県千葉市美浜区中瀬1丁目8番地セイコー

インスツルメンツ株式会社內

3.姓 名：(中) 吉田宜史
(外) 吉田宜史
地 址：(中) 日本國千葉縣千葉市美浜區中瀬一丁目八番地精工電子有限公司内
(外) 日本国千葉県千葉市美浜区中瀬1丁目8番地セイコー
インスツルメンツ株式会社内

4.姓 名：(中) 小山内潤
(外) 小山内潤
地 址：(中) 日本國千葉縣千葉市美浜區中瀬一丁目八番地精工電子有限公司内
(外) 日本国千葉県千葉市美浜区中瀬1丁目8番地セイコー
インスツルメンツ株式会社内

捌、聲明事項

■主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1.日本 ; 2002/04/10 ; 2002-108422

(1)

玖、發明說明

【發明所屬之技術領域】

本發明係關於一種絕緣閘極場效電晶體及自其所建立之積體電路，尤指一種使用於半導體薄膜之通道形成區(SOI(絕緣體上半導體)或 SON(沒有任何東西上半導體))的技術，在一些情況中，半導體薄膜被形成於絕緣基板(SOI)上，而在其他一些的情況中，半導體薄膜係藉由中空狀態中的基板而被懸浮及固持於兩端，並且在另一些情況中，半導體薄膜具有突出部分，而在其一端處連接至基板。

【先前技術】

一種被稱為動態臨界電壓控制法之方法已經被提出當作取得高速度及低備用電力耗損的措施，其係當電晶體未操作時，藉由使閘極臨界電壓的絕對值保持為大的值以減少電晶體之漏洩電流，而當電晶體操作時，藉由使閘極臨界電壓的絕對值保持為小的值。

如果電晶體係形成於半導體基板上之大塊 MOS 電晶體，則藉由使井連接至閘極電極而使動態臨界電壓控制法成為可實施的，並且如果電晶體為局部空乏型 SOI MOS 電晶體，則藉由使體連接至閘極電極而使動態臨界電壓控制法成為可實施的，使得閘極電極當作訊號輸入端使用(參考資料 1：F. Assadeargi 等人，“A Dynamic Threshold Voltage MOSFET (DTMOS) for Very Low Voltage Operation”，IEEE Electron Device Letters, Vol. 15, No.

(2)

12, pp. 510-512, 12 月, 1994)。

術語局部空乏型 SOI(縮寫為 PD SOI)係指一 SOI, 其中, 空乏層僅局部擴展於其半導體薄膜的深度方向上, 以使其成爲一中性區, '體'係其中形成有通道之上述半導體薄膜的簡化術語。

另一方面, 其中厚度及雜質濃度之組合係如此而使得空乏層覆蓋半導體薄膜的整個深度之 SOI 被稱爲 FD(完全空乏型)SOI。在 FDSOI 中, 在某閘極電壓範圍內, 爲整個深度而使閘極下方之體空乏以不提供中性區。因此, 不像大塊 MOS 及 FDSOI MOS, 使體連接至閘極並輸入 ON 訊號到該處對 FDSOI 在控制電晶體之臨界電壓的絕對值方面沒有太多的幫助, 這是因爲當使體空乏時, 難以達成在源極與一部分形成一通道的體之間的順向偏壓。

一絕緣閘極電晶體被建構而使一半導體經過氣隙而夾在兩個導電閘極之間的專利在英國於 1935 年被發給 O. Heil, 但是, 此專利並沒有提到, 或者甚至暗示具有此結構之電晶體可用於在微通道電晶體中防止所謂的短通道效應。

相反地, 某發明者已經提出一種電晶體結構, 其中, 完全空乏型(FD)半導體薄膜以閘極絕緣膜而被夾在第一導電閘極與第三導電閘極之間, 在記錄上係第一次, 當作克服單一閘極 MOS 電晶體(在近年來已經付諸實際使用)之小型化限制的措施, 此發明者已經將具有此結構之電晶體命名爲 XMOS 電晶體(參考資料 2: T. Sekigawa, Y.

(3)

Hayashi, K. Ishii, S. Fujita, "MOS Transistor for a 3D-IC" A 17th Conference on Solid State Devices and Materials, Tokyo, 1985, Final Program and Late News Abstract, C-3-9 LN, pp. 14-16。參考資料 3：Hayashi, "A Guide to Device Design Effective in the Coming Age of 0.025 μ m", Nikkei Microdevice, 7 月, 1988, pp. 121-125。)。最近，他們的許多以雙閘極 MOS 電晶體為名之小型化研究的成果已經被出版了。

已經知道具有此結構之電晶體能夠藉由第三導電閘極的電位來改變從第一閘極所觀看到的閘極臨界電壓，但是，當第三導電閘極的電位被固定時，次臨界斜率增加，並且 ON-OFF 轉變電壓變大而使這些電晶體有不良的切換效率之缺點。除此之外，單獨由第三導電閘極電位來控制臨界電壓的方法會有臨界電壓的變化範圍太受限制之缺點。此方法之另一缺點為，當被應用到 SOI 結構等等時，其中，第三導電閘極被放置在半導體薄膜的背面上，此方法需要太多的面積及程序步驟來從各電晶體的第三導電閘極取出電連接導線。

【發明內容】

已經有鑒於上面所述來做成本發明，而因此，本發明之目的在於提供一種從當 FDSOI 電晶體係未處於操作時之閘極臨界電壓改變經由電子控制當 FDSOI 電晶體係處於操作時之閘極臨界電壓的技術，以及使此技術具體化之

(4)

電晶體。本發明之另一目的在於提供一種技術，對於一絕緣閘極電晶體來說，其中，空乏型半導體薄膜經過閘極絕緣膜而被夾在第一導電閘極與第三導電閘極之間，就像由雙閘極 MOS 電晶體所代表的絕緣閘極電晶體，其能夠電子控制閘極臨界電壓而沒有改變第三導電閘極的電位，以及提供這種的電晶體。

因此，依據本發明，如圖 1 之剖面圖實例所示，一絕緣閘極電晶體包含：一半導體薄膜 100，具有一第一主表面 101 及一面對第一主表面之第二主表面 102；一第一閘極絕緣膜 210，形成於半導體薄膜之第一主表面上；一第一導電閘極 310，形成於第一閘極絕緣膜上；一第一半導體區域 110 及一第二半導體區域 120，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜 100 相接觸，且他們具有第一導電類型；以及一第三半導體區域(未顯示出)，具有相反的導電類型，且其與半導體薄膜相接觸。此外，在半導體薄膜 100 中，其中，第一導電閘極電位造成載子空乏於第一主表面 101 與在第一導電閘極下方介於第一與第二半導體區域之間的第二主表面 102 之間，採用一種方法，其中，在相反導電類型的載子 2 從相反導電類型的第三半導體區域而被注入於薄膜中之後，第一電位隨後被施加於此導電閘極，以感應被夾在第一半導體區域與第二半導體區域間之半導體薄膜表面上的第一導電類型之通道。

第三半導體區域，其未顯示於圖 1 中，舉例來說，被

(5)

定位以便和伸展於垂直於此圖形之平面的方向上之半導體薄膜 100 的伸展部分相接觸。圖 1 之半導體薄膜 100 係藉由具有一絕緣層 20 形成於其表面上之基板 10 來予以支撐，在大部分的情況中，基板 10 係由矽所形成的，且絕緣層 20 為矽氧化物膜。具有一絕緣層形成於其表面上之支撐基板被稱為一絕緣基板，整體係由絕緣材料所形成之絕緣基板，例如石英基板，也能夠當作支撐基板使用。一替代結構，其係半導體薄膜的一端、或者第一半導體區域、第二半導體區域或第三半導體區域的一端被一基板所支撐。

另一方面，依據本發明的第二方法，藉由控制被累積於半導體薄膜中之相反導電類型的載子量一段固定時間來控制從第一導電閘極所觀看到的閘極臨界電壓，其係經由將相反導電類型的載子從相反導電類型的第三半導體區域供應入一部分被夾在第一半導體區域與第二半導體區域之間的半導體薄膜中，或者經由將那些載子吸收入第三半導體區域中。此方法適於一絕緣閘極電晶體，其被建構來使一空乏型半導體薄膜經過一閘極絕緣膜而夾在第一導電閘極與第三導電閘極之間。

需要感應半導體薄膜(相反導電類型的載子被注入於其中)中之第一導電類型通道的閘極電壓被減少一對應於所注入之相反導電類型的載子或電荷的數目之位準，這意謂著閘極臨界電壓已經均等地偏移向空乏側。如果閘極臨界電壓改變於加強型範圍中，而這意謂著使閘極臨界電壓

(6)

的絕對值減小。

在本發明中，在半導體薄膜中設置相反導電性的第三半導體區域(其雜質濃度高於半導體薄膜的雜質濃度)，以便將相反導電類型的載子注入半導體薄膜中，或者從半導體薄膜中抽取出相反導電類型的載子。當相關於第一或第二半導體區域的第三半導體區域被順向偏壓時，相反導電類型的載子被注入於半導體薄膜中。在注入之後，相反導電類型的載子被累積於半導體薄膜中，除非持續地供應，否則所累積之載子的量減少，且最終隨著載子的壽命消逝，沒有任何載子留下來。

另一方面，根據半導體薄膜的表面電位，由熱或由高場效區域中之突崩倍增所產生之相反導電類型的載子可以累積於半導體薄膜中，並且改變從第一導電閘極所觀看到的閘極臨界電壓。如果這些非故意累積之相反導電類型的載子從半導體薄膜中被抽取出而進入第三半導體區域中，則閘極臨界電壓能夠被控制，並被設定為所想要的位準。為了抽取載子入第三半導體區域中，在第三半導體區域與第一或第二半導體區域之間供應實際為零的偏壓或逆向偏壓。

此外，本發明之絕緣閘極電晶體的控制方法能夠藉由第三半導體區域的電位來控制閘極臨界電壓，此方法，當被應用到被建構來使一空乏型半導體薄膜經過閘極絕緣膜而夾在第一導電閘極與第三導電閘極之間的絕緣閘極電晶體時，能夠穩定地控制從第一導電閘極所觀看到的閘極臨

(7)

界電壓，其係藉由利用和第三導電閘極之電位相關之第三半導體區域的電位來控制半導體薄膜中之相反導電類型載子的累積量。

【實施方式】

〔實施例模式〕

做為有效實施本發明之模式，第三半導體區域的一端被放置於一距離之內，其中，相反導電類型的載子係擴散自半導體薄膜被夾在第一半導體區域與第二半導體區域之間的部分，以便將相反導電類型的載子從第三半導體區域輸送至半導體薄膜中形成有一通道的部分，或者以便將相反導電類型的載子從此部分抽取入第三半導體區域中。

用以有效實施本發明之電晶體的另一模式為圖 2A 及圖 2B 中所示之絕緣閘極電晶體。在此電晶體中，半導體薄膜從被夾在第一半導體區域(以 110 來予以表示)與第二半導體區域(以 120 來予以表示)之間的半導體薄膜部分(以 103 來予以表示)被伸展至第三半導體區域(以 130 來予以表示)，半導體薄膜之伸展部分係以 104 來予以表示的，第二閘極絕緣膜 220 被形成於伸展部分 104 上，且第二導電閘極被形成於其上。

圖 2A 為本發明之上面實施例的平面圖，而圖 2B 為沿著平面圖中之直線 X-X' 所取出的剖面圖。在圖 2A 及圖 2B 中，參考符號 10 表示一支撐基板，且 20 表示一絕緣膜，用以使半導體薄膜與支撐基板絕緣，113, 123, 及 133

(8)

分別表示導引至第一、第二及第三半導體區域的導線接點。以 210 所表示者為第一閘極絕緣膜，400 為一放置於一互連層下方之所謂的場絕緣膜，及 431 為一放置於第一導電閘極上之絕緣膜，421 表示一閘極間絕緣膜，用以使第一導電閘極和第二導電閘極絕緣，且 413 表示一形成於第三半導體區域及其他區域上的絕緣膜，313 及 323 分別表示導引至第一及第二導電閘極的導線接點。

以下所述為當第一導電類型為 n 型且相反導電類型為 p 型時的電晶體操作，在下面說明中所提出之原理及效果也應用到第一導電類型為 p 型的情況中，雖然符號改變的方向相反。用於從接近零之低電位到第一正電位之轉變的 ON 電壓被施加於第一導電閘極，但是，首先，一 p-通道被感應於第二導電閘極下方的半導體薄膜中，連同第三 p 型半導體區域設定為第二正電位，且第二導電閘極設定為接近零之低電位或負電位，使得相反導電類型的載子(亦即，電洞)經過 p-通道而被注入第一導電閘極下方的半導體薄膜中。

在此，第二正電位被設定而使得第二正電位與第二導電閘極的電位間之差相關於相反導電類型的載子(在此例中為 p 通道)係大於第二導電閘極之臨界電壓 V_{thr} 的絕對值。如果第一導電閘極的電位為接近零之低電位，則電洞也被注入並擴展於第一導電閘極下方之第一與第二半導體區域間的半導體薄膜中，電洞擴散在垂直於連接第一及第二半導體區域(變成為 n-通道汲極區及 n-通道源極區)之方向

(9)

的方向上。縮短時間以擴散電洞於其 n-通道具有大的通道長度之電晶體中的方法之實例在於將第二半導體區域一分為二，並且將第三半導體區域放在這兩半之間，如圖 3 所示，此配置可以重複於圖形的側邊方向上以具有多個第三半導體區域。

在圖 3 所示之實例中，第一導電閘極和第二導電閘極係連續的。圖 2A 及圖 2B 的結構也能夠使用連續的第一導電閘極和第二導電閘極，其幫助減少輸入端子數目及電晶體佔據的面積。但是，當第一導電閘極和第二導電閘極為連續時，第三半導體區域的電位範圍及用於相反導電類型載子之注入之連續閘極的電位範圍窄於當分開的閘極被使用時之電位範圍。藉由使用一絕緣膜作為第一閘極絕緣膜及第二閘極絕緣膜，可以縮短製造程序。

圖 2A 中之第三半導體區域係與半導體薄膜的伸展部分相接觸。本發明之方法也能被實施於當第三半導體區域係與半導體薄膜之夾在第一與第二半導體區域間的部分相接觸，如圖 4 所示。但是，此配置會有增加接面電容的缺點，這是因為第三半導體區域和第一或第二半導體區域相接觸之高度可能性之故。

相反導電類型之載子自第三半導體區域移動經過之通道係在半導體薄膜的伸展部分 104 中。如果此通道的一部分係摻雜以具有第一導電類型的雜質(在半導體薄膜已經摻雜有相反導電類型之雜質的情況中)，或者第一導電類型之高濃度雜質部分被形成於此通道中，則能夠獲得到用

(10)

以防止相反導電類型之載子流回到第三半導體區域的障壁。這樣，從第二導電閘極所觀看到之相反導電類型載子通道的閘極臨界電壓被偏移到加強側。

用以有效實施本發明之較佳電晶體的另一模式為圖 5A 及圖 5B 中所示之絕緣閘極電晶體，此電晶體之特徵在於包含至少：

一半導體薄膜(分裂成部分 103 及 104)，具有一第一主表面 101 及一面對第一主表面之第二主表面 102；

一第一閘極絕緣膜 210，形成於半導體薄膜之第一主表面上；

一第一導電閘極 310，形成於第一閘極絕緣膜上；

一第一半導體區域 110 及一第二半導體區域 120，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；

一第三半導體區域 130，具有相反的導電類型，且與半導體薄膜相接觸；

一第三閘極絕緣膜 230，形成於被夾在第一半導體區域與第二半導體區域間之半導體薄膜部分 103 的第二主表面上；以及

一第三導電閘極 330，與第三閘極絕緣膜 230 相接觸。

圖 5A 為本發明之上面實施例的平面圖，而圖 5B 為沿著平面圖中之直線 X-X'所取出的剖面圖。在圖 5A 及圖

(11)

5B 中，參考符號 10 表示一支撐基板，且 20 表示支撐基板 10 之表面上的絕緣膜，113 及 123 分別表示導引至第一及第二半導體區域的導線接點，133 表示導引至第三半導體區域的導線接點。以 400 所表示者為一放置於一互連層下方之所謂的場絕緣膜，431 為一放置於第一導電閘極上之絕緣膜，413 表示一放置於第三半導體區域及其他區域上的絕緣膜，及 433 表示一放置於第三閘極導電膜上的絕緣膜，313 表示一導引至第一導電閘極的導線接點，333 表示一設置(如果需要的話)而導引至第三導電閘極的導線接點。在圖 5A 及圖 5B 所示之特定例中的第三導電閘極 330 係長得足以到達第三半導體區域 130，不是直接而是經過第三閘極絕緣膜 230。但是，並非總是需要使第三導電閘極伸展這樣地長。

爲了更有效地實施本發明之上面的實施例，第三半導體區域的一端被放置於一距離之內，其中，相反導電類型的載子係擴散自半導體薄膜之被夾在第一半導體區域與第二半導體區域之間的部分，以便將相反導電類型的載子無誤地輸送至半導體薄膜之位於第一與第二半導體區域間的部分，並且形成一通道。

第三導電閘極能夠被伸展，直到他和第三半導體區域下方的區域爲止，其係在第三閘極絕緣膜上。通過在第三閘極下方所感應的通道或空乏層，相反導電類型的載子從第三半導體區域供應至半導體薄膜之被夾在第一與第二半導體區域間的部分，或者從半導體薄膜的此部分被抽取入

(12)

第三半導體區域中。

以下所述為當第一導電類型為 n 型且相反導電類型為 p 型時的電晶體操作，在下面說明中所提出之原理及效果也應用到第一導電類型為 p 型的情況中，雖然符號改變的方向相反。當第二半導體區域之電位為 0 V 且第三半導體區域之電位為 0 V 時，第一導電閘極的臨界電壓為 V_{th10} ，且第三導電閘極的臨界電壓相關於相反導電類型的載子為 V_{thr30} （當偏壓條件係如此而使得第一及第三導電閘極被剛好偏壓至各自的臨界電壓）。

舉例來說，當第三導電閘極被偏壓而使得臨界電壓被設定為 $(V_{thr30} - 1)$ V 且第三半導體區域被偏壓而使得其電壓 V_3 被設定為 -1 V 時，第一導電閘極的閘極臨界電壓 V_{th1} 增加至 $V_{th1} - 1$ 。之後，第三半導體區域的電壓 V_3 被改變到 0 V，或者在不會造成大的電流流動之到第二半導體區域的順向偏壓範圍之內。在此情況中，第一導電閘極的閘極臨界電壓 V_{th1} 從 $V_{th1} - 1$ 之改變的量係以 ΔV_{th1} 來予以表示的，且 ΔV_{th1} 被表示成

$$\Delta V_3 * (k_3 * t_1 / (k_1 * t_3) + \alpha * d)。$$

在上面的表示式中， t_1 及 k_1 分別為第一閘極絕緣膜的厚度及介電常數， t_3 及 k_3 分別為第三閘極絕緣膜的厚度及介電常數， d 表示半導體薄膜的厚度並且 α 係 $K_1 * k_2 / k$ ，其中 k 為半導體薄膜的介電常數， ΔV_3 表示 V_3 的改變量，* 為乘號，及 / 為除號。這顯示了第一導電閘極的閘極臨界電壓能夠藉由第三半導體區域的電位來予

(13)

以改變，而沒有改變第三導電閘極的電壓。

在習知電晶體中，當第三導電閘極被偏壓於使得第三導電閘極的電壓超過 V_{thr30} ，並且使更多的相反導電類型之載子感應入半導體薄膜中(如果相反導電類型為 p 型，則為負的方向)時，從第一導電閘極所觀看到的閘極臨界電壓幾乎不改變。相反地，本發明能夠藉由相反導電類型之第三半導體區域的電位來加寬閘極臨界電壓的改變範圍。

當本發明之第三導電閘極被偏壓於使得第三導電閘極的電壓趨近 V_{thr30} 或超過 V_{thr30} ，並且使更多的相反導電類型之載子感應入半導體薄膜中時，也有可能藉由使第一導電閘極和第三半導體區域連接並且將訊號輸入至該閘極來控制 V_{th} 。

在上面的實施例，如果第三導電閘極係形成自相反導電類型的半導體，因為在使相反導電類型之載子感應到半導體薄膜的第二主表面上的併入電壓，所以不需要使第三導電閘極偏壓。在電晶體不具有第三導電閘極的情況中，難以藉由自一第一導電類型的半導體形成該閘極、自相反導電類型的半導體形成通道、並利用其雜質濃度做為在習知技術中來將閘極臨界電壓設定於加強側，這是因為在完全空乏型 SOI 及 SON 中，半導體薄膜的雜質濃度低，且半導體薄膜的厚度薄。

在此情況中，自相反導電類型的半導體形成第一導電閘極使其容易達成加強型改變。又，如果第二導電閘極具

(14)

有相反的導電類型，則安全地實施本發明之方法變得更容易，因為相反導電類型之載子能夠很容易地流入第二導電閘極下方之半導體薄膜中，而不需將其極性係和電源電壓之極性相反的電壓施加於第二導電閘極。較佳做為這些導電閘極之材料的半導體為矽或矽鍺，特別是，p型矽鍺將較佳的臨界電壓施與矽n型絕緣閘極電晶體。

[實施例]

圖 6 為係本發明之較佳實施例之 CMOS 反相器的等效電路圖。以 113n 及 113p 所表示者分別為 n-通道 MOS 電晶體及 p-通道 MOS 電晶體的汲極端子，123n 及 123p 分別為 n-通道 MOS 電晶體及 p-通道 MOS 電晶體的源極端子，133n 及 133p 為電晶體的控制端子，313n 及 313p 為電晶體的第一閘極端子，323n 及 323p 為電晶體的第二閘極端子，控制端子 133n 及 133p 分別被連接至 n-通道 MOS 電晶體及 p-通道 MOS 電晶體的第三半導體區域。在圖 6 中，IN 表示輸入端子且 OUT 表示輸出端子，Ctrl_n 及 Ctrl_p 分別表示 n-通道及 p-通道電晶體的 Vth 控制端子，以 Vdd 所表示者為一電源電壓端子，而 Vss 表示一較低電源電壓用的端子，並且在數位電路中，通常具有接地電位。

圖 7A 及圖 7B 顯示自圖 6 之電路建構半導體積體電路的例子，圖 7A 為其平面圖，而圖 7B 為沿著圖 7A 中之直線 X-X'所取出的剖面圖。

(15)

參考符號 10 表示一支撐基板，在此例中，其表示一高電阻之 n 型矽 <100> 平面晶圓，以 20 所表示者為一具有 100 nm 之厚度的矽氧化物膜，103n 及 103p 分別表示 n-通道 MOS 電晶體及 p-通道 MOS 電晶體之半導體薄膜的部分，半導體薄膜部分 103n 及 103p 各自具有約 30 nm 的厚度且形成通道，104n 及 104p 分別表示 n-通道及 p-通道 MOS 電晶體之半導體薄膜的伸展部分，且伸展部分 104n 及 104p 當作相反導電類型之載子的通道使用，110n 及 110p 表示電晶體的汲極(第一半導體區域)，120n 及 120p 表示電晶體的源極(第二半導體區域)，130n 及 130p 為電晶體的第三半導體區域並具有相反的導電類型，210n 及 210p 為電晶體的第一閘極氮氧化物膜，且各自具有 2.7 nm 的厚度，220n 及 220p 為電晶體的第二閘極氮氧化物膜，310n 及 320n 為 n-通道電晶體之連續的第一及第二導電閘極，310p 及 320p 為 p-通道電晶體之連續的第一及第二導電閘極，第一導電閘極各自的長度為約 100 nm，在此實施例中，係各自由矽薄膜及矽鍺薄膜所形成的，第一、第二及第三半導體區域包含經由磊晶生長而被形成在半導體薄膜上的半導體膜。

此實施例之製造程序係參照圖 8A 到圖 8G 及圖 7B 之剖面圖而被敘述於下。

(a) 一高度電阻性矽晶圓被用作支撐基板 10，並且一具有約 100 nm 之厚度的矽氧化物膜 20 及一具有約 4×10^{17} atoms/cc 之 n 型雜質濃度且具有約 35 nm 之厚度的矽

(16)

薄膜 100 被層疊於基板上以製備一 SOI 基板。

(b) 在如此所獲得之 SOI 上，讓一氧化物膜 41 藉由熱氧化法而生長直到它到達約 7 nm 的厚度為止，並且一具有約 50 nm 之厚度的矽氮化物膜 42 係藉由 CVD 法而被形成於其上。之後，一光阻圖案 51 藉由已知的微影法而被形成來去除電晶體區域中之矽薄膜的部分。

(c) 使用光阻圖案 51 做為遮罩，矽氮化物膜在提供一相對於矽氧化物膜之選擇比的條件下被蝕刻。光阻圖案然後被去除，並且使基板表面潔淨。藉由矽氮化物膜之去除而被露出之矽氧化物膜的露出表面藉由熱解氧化法而被氧化，直到矽氧化物膜 401 生長到約 60 nm 的厚度為止。經由此步驟，矽薄膜被分割成碎片，每一片做成一電晶體。替換地，已知之 STI(淺溝渠隔離)技術可以被使用來分割矽薄膜。

藉由熱磷酸系列的蝕刻劑來去除矽氮化物膜 42，且藉由緩衝的氫氟酸系列的蝕刻劑來去除矽氧化物膜 41，以使矽薄膜 100 的表面露出。一矽氧化物膜 200 藉由熱氧化法而形成於矽薄膜 100 的表面上到約 2.7 nm 的厚度。之後，ECR(電子迴旋加速器諧振)，ICP(電感耦合式電漿)等等其他的高密度電漿裝置以 5 到 7%之氮化比而被用於表面氮化，其藉由將來自氮氣之電漿的氮基，連同氫氣，或是連同氬氣導引至基板表面，並將基板溫度設定於 400 °C。然後，基板被轉送於高純度氮氣大氣中，並在氮氣中遭受熱處理於 800 °C 以退火表面缺陷。經氮化之矽氧化物

(17)

膜被用作第一及第二閘極氧化物膜。

(d) 接著，藉由沉積法而形成一導電性閘極薄膜。對於約第一 10 nm，純矽被沉積以形成純矽薄膜 301，然後，一含有約 60%的銻並被摻雜以硼之矽銻薄膜 302 藉由沉積法而被形成至 200 nm 的厚度，摻雜硼之矽然後被沉積至約 50 nm 的厚度以形成摻雜硼之矽薄膜 303，所使用之源氣體為單矽烷 (SiH_4)、銻烷 (GeH_4)、及乙硼烷 (B_2H_6)。一矽氮化物膜 43 被形成於其上至 100 nm 的厚度。

最初的純矽薄膜係藉由沉積法而被形成，以便使隨後所形成之矽銻薄膜的組成均化，並且使膜厚度分布中的微小起伏平坦，膜中的銻及硼由於溫度而被擴散，並且在後續的製造步驟中隨著時間而被擴散。因此，閘極導電膜的電氣特性可以被認為是摻雜硼之矽銻的電氣特性。

使用已知的技術，例如 ArF 微影法或電子束微影法，用於導電閘極且具有約 100 nm 之閘極長度的光阻圖案被形成於上面的矽氮化物膜/導電性閘極薄膜上，此光阻圖案被用作在藉由 RIE 技術而依序蝕刻矽氮化物膜、矽膜、矽銻膜、及矽膜時的遮罩。

藉由微影法所成形之光阻膜和矽氮化物膜/導電性閘極薄膜被用作選擇遮罩，以藉由離子注入於低加速電壓 (對硼為約 4 KeV，對砷為約 15 KeV) 來選擇性形成 n 型汲極的伸展區域 (114n)、源極的伸展區域 (124n)、n 型第三區域的伸展區域 (134p)、p 型汲極的伸展區域 (114 p)、源

(18)

極的伸展區域(124p)、p型第三區域的伸展區域(134n)。在此注入中，劑量被設定以便獲得到約 10^{19} atoms/cc 的雜質濃度(其係約 3×10^{13})。

(e) 使用已知的閘極側壁絕緣膜程序，各自具有約 40 nm 之厚度的絕緣膜側壁 403 被形成於第一及第二閘極的側壁上，源極和汲極部分之表面上的氧化物膜遭受溼式蝕刻而產生矽薄膜表面氫-終止面。在那之後，具有約 70 nm 之厚度的結晶矽層 105 藉由選擇性磊晶技術而被選擇性地生長於半導體薄膜 100 當作汲極(110n 及 110p)、源極(120n 及 120p)、及第三半導體區域(130p 及 130n)用的部分上。

(f) 藉由微影法所成形之光阻膜和絕緣膜側壁 403 被使用做為在砷及硼之離子注入時的遮罩，用以形成 n-通道汲極(110n)及源極(120n)、p-通道第三半導體區域(n型)(130p)、p-通道汲極(110p)及源極(120p)、及 n-通道第三半導體區域(p型)(130n)。雜質離子不僅被導引至藉由選擇性磊晶生長技術所形成之結晶矽層，而且也被導引至下層 SOI 半導體薄膜部分。在此注入中，砷劑量被設定以便獲得到約 10^{21} atoms/cc 的雜質濃度，並且硼劑量被設定於使雜質濃度為約 10^{20} atoms/cc 的數值。

(g) 導電性閘極薄膜(300)上的矽氮化物膜 43 遭受由熱磷酸等等的溼式蝕刻，表面然後被清洗，鎳藉由蒸鍍法而被沉積至約 20 nm 的厚度，並且接著燒結。尚未反應之絕緣膜上的鎳被酸所蝕刻而留下一層鎳矽化物層。經由高

(19)

溫燒結，矽化物層 110ns 及 110ps 被形成於汲極上，同時所形成之矽化物層為源極上的 120ns 及 120ps、第三半導體區域上的 130ns 及 130ps、及閘極上的 310ns, 320ns, 310ps 及 320ps。

一矽氧化物膜藉由 CVD 法而被形成於表面上當做互連層間絕緣膜 440，接觸孔當需要時被打開於膜中，並且接觸插頭 500 係形成自鈦氮化物、鎢等等。然後，一鋁薄膜藉由蒸鍍法而被形成，一導線圖案藉由微影法及 RIE(反應離子蝕刻)而被形成以獲得到第一互連層 600(此時，到達圖 7B 的狀態)。之後，由銅薄膜等等所組成之層間絕緣膜及多層互連當需要時被形成，且最後，形成一鈍化膜。

在如上所形成的 CMOS 電路中，當第三半導體區域的電壓為 0 V 時，n-通道電晶體的閘極臨界電壓為 0.23 V，且 p-通道電晶體的閘極臨界電壓為 - 0.2 V。

在上面的反相器電路之情況中，如果一介於 0.4 V 與 Vdd 之間的電壓在其到達 10 微微秒等級之前被施加於 n-通道電晶體的第三半導體區域，在第三半導體區域中，輸入訊號從 0 V 改變到 Vdd，則 n-通道電晶體的 Vth 被改變到約 0 V，並且甚至當 Vdd 為約 0.4 V 時，獲得到足夠的驅動能力。

另一方面，當輸入訊號從 Vdd 改變到 0 V 時，一介於 (Vdd - 0.4) V 與 0 V 之間的電壓在其到達 10 微微秒等級之前被施加於 p-通道電晶體的第三半導體區域，而輸

(20)

入訊號之改變係完成於此期間。然後，p-通道電晶體的 V_{th} 為約 0 V，並且獲得到足夠的驅動能力。

通過它而從第三半導體區域去除相反導電類型之載子的通道係在半導體薄膜的伸展部分中，如果以具有第一導電類型之雜質來摻雜此通道的一部分(在已經以相反導電類型之雜質來摻雜半導體薄膜的情況中)，或者高濃度雜質部分被形成於此通道中，則用以防止相反導電類型之載子流回到第三半導體區域的障壁能夠被獲得到。這樣，從第二導電閘極所觀看到之相反導電類型載子通道的閘極臨界電壓被偏移到加強側。

在上面的實施例中，代替 p 型第三區域的伸展區域 134n，一具有不同雜質濃度(在此情況中為較高的雜質濃度)之部分可以藉由砷注入來予以形成，且在 n-通道 MOS 電晶體之半導體薄膜伸展部分中之電洞的通道中之劑量被設定為約 3×10^{12} atoms/cm²，這將相關於電洞之閘極臨界電壓設定為約 - 0.4 V，藉以使其偏移向加強側，而不是相關於電洞之第一通道形成半導體薄膜部分的閘極臨界電壓。對抗被注入於第一半導體薄膜部分之通道形成部分中的障壁因此被形成，並且電洞不再藉由感應 n 通道之第一導電閘極的電壓而被推擠回到第三半導體區域 130p。

在上面的實施例中，n-通道 MOS 電晶體之導電閘極係由 p 型矽所形成的，且其第一通道形成半導體薄膜部分具有 n 型導電性及 4×10^{17} atoms/cc 的雜質濃度，而 p-通道 MOS 電晶體之導電閘極係由 n 型矽所形成的，且 p 型

(21)

MOS 電晶體之第一通道形成半導體薄膜部分具有 p 型導電性及 4×10^{17} atoms/cc 的雜質濃度，當第三半導體區域的電位為 0 V 時，對 n-通道電晶體來說，這將閘極臨界電壓設定於 0.48 V，且對 p-通道電晶體來說，這將閘極臨界電壓設定於 - 0.48 V。在輸入閘極訊號之前，藉由施加一等於或高於 0.4 V 之電壓至 n-通道電晶體的第三半導體區域及一等於或低於 $(V_{dd} - 0.4)$ V 之電壓至 p-通道電晶體的第三半導體區域，閘極臨界電壓的絕對值變成約 0.1 V。因此，甚至當電源電壓為約 0.6 V 時，能夠獲得到具有非常小漏洩電流之高速的 CMOSLSI。

另一方面，在圖 5A 及圖 5B 中，如果第一導電閘極係由 n 型矽所形成的，且第三導電閘極係由 p 型矽所形成的，則 n-通道電晶體的 V_{th} 為約 0.25 V，且 p-通道電晶體的 V_{th} 為約 - 0.25 V。又，當第一導電閘極係由 p 型矽所形成的，且第三導電閘極係由 n 型矽所形成時，n-通道電晶體的 V_{th} 也為約 0.25 V，且 p-通道電晶體的 V_{th} 也為約 - 0.25 V。照這樣來設計電路使其可能使用第三半導體區域的電位來穩定第控制半導體薄膜中之相反導電類型載子的濃度。

當第三半導體區域到源極的電位為 0 V 時， V_{th} 的絕對值幾乎是 0.25 V，而如果電位為 0.4 V，則其為 0.05 V。不管為應用控制訊號於第三半導體區域設定什麼時間間隔，電子控制係可能的，令人滿意之半導體薄膜的雜質濃度為零，所想要之半導體薄膜的厚度為閘極長度的 $1/3$

(22)

或更小，以便避免擊穿。明確地說，如果閘極長度為 20 nm，則令人滿意之半導體薄膜的厚度為 7 nm 或更小。令人滿意地做為閘極絕緣膜，第一閘極絕緣膜及第三閘極絕緣膜同樣為其表面被氮化之 2 nm 厚的矽氧化物膜。由此實施例之電晶體所組成的反相器、NAND、或 NOR 電路的備用電流小，並且在 0.4 V 的電源電壓時之驅動電流大。

在上面的實施例中，即將被施加於第三半導體區域之控制訊號能夠藉由反相器、NAND、或 NOR 電路兩級上游的輸出來予以驅動。如果 p-通道及 n-通道電晶體之第三半導體區域被互連，則以其中一控制訊號來控制反相器等等的 V_{th} 。

當由多個電晶體所組成之電路群組被控制為一群組時，此群組中之 n-通道電晶體之第三半導體區域彼此互連，並且此群組中之 p-通道電晶體之第三半導體區域彼此互連。一控制訊號被施予 n-通道電晶體之第三半導體區域之互連，且另一控制訊號被施予 p-通道電晶體之第三半導體區域之互連，以控制備用電力及電路切換速度。

在本發明中，半導體薄膜可以是矽鍺單結晶薄膜或不同於矽單結晶薄膜的應變矽/矽鍺疊層，閘極絕緣膜可以是矽氧化物膜以外的矽氧氮化物膜、矽氮化物膜、氧化鋁膜、二氧化鉛膜、矽-二氧化鉛混合物之膜、氧化鋯膜、或矽-氧化鋯混合物之膜，導電閘極可以是多晶矽膜或矽鍺膜以外的鎢膜、鈦氮化物膜、或鈦/鈦氮化物疊層，並且第三半導體區域不僅可以被形成於半導體薄膜中，而且

(23)

也可以被形成於半導體薄膜的頂部上，且一金屬矽化物膜或金屬薄膜可以被添加於其上以形成一疊層。因此，本發明能夠被實施於一習於此技藝者很容易做到的修正範圍之內。

第一、第二及第三半導體區域在此說明書中被敘述為和半導體薄膜”相接觸”，此接觸狀態係藉由將雜質原子導入半導體薄膜中並形成第一、第二及第三半導體區域於此膜中，或者藉由經由沉積法而形成第一、第二及第三半導體區域於半導體薄膜上來予以獲得到的。

本發明係可應用於 PDSOI 及 FDSOI 二者，並且當應用於 FDSOI 時，本發明能夠提供在習知技術中一直難以獲得到的功效。

本發明使其可能不僅電子式控制 PDSOI 及大塊絕緣閘極電晶體的 V_{th} ，而且也電子式控制 PDSOI 及 FDSOI 絕緣閘極電晶體的 V_{th} 。

此外，本發明能夠使雙絕緣閘極電晶體之閘極臨界電壓的電子控制範圍加大，其能夠比習知 MOS 電晶體之小型化限制更被進一步小型化，如果雙絕緣閘極電晶體之第三導電閘極被定位於下側部件中，則閘極臨界電壓能夠僅藉由改變第三半導體區域的電位來予以控制，而不需建立從第三導電閘極到各電晶體的連接。

本發明使其可能電子式控制具有較大的通道遷移率之電晶體的 V_{th} ，因為在 FDSOI 中比在 FDSOI 中，以更低之半導體薄膜的雜質濃度來感應一通道。

(24)

依據本發明，僅當相反導電性之載子被注入及在穩定狀態中需要的電流位準為具有約載子再結合電流時，電流流動自第三半導體區域。有了本發明之係由相反導電類型之半導體所形成的導電閘極，備用閘極臨界電壓能夠遠在加強側上被設定，對於絕緣閘極電晶體來說，甚至是完全空乏型 SOI 電晶體，這使其可能同時具有大的 ON 電流及小的 OFF 電流二者。

【圖式簡單說明】

在伴隨的圖形中：

圖 1 係一示意圖，其顯示用於本發明之絕緣閘極薄膜電晶體之閘極臨界電壓控制方法的原理；

圖 2A 及圖 2B 分別為依據本發明之實施例，形成於一 SOI 基板上之絕緣閘極薄膜電晶體的平面圖，及其剖面圖；

圖 3 係本發明之實施例的平面圖，其中，第三半導體區域被夾在多個第二半導體區域之間，並且第二導電閘極係連續自第一導電閘極；

圖 4 係本發明之實施例的平面圖，其中，第三半導體區域係和半導體薄膜被夾在第一與第二半導體區域之間的部分相接觸，第二導電閘極係連續自第一導電閘極，並且第二閘極絕緣膜係和第一閘極絕緣膜為相同的膜；

圖 5A 及圖 5B 分別為當本發明被應用於絕緣閘極電晶體之平面圖及剖面圖，而此絕緣閘極電晶體具有一第一

(25)

導電閘極在第一主表面側上及一第三導電閘極在第二主表面側上；

圖 6 係本發明被應用於 CMOS 反相器之實施例的等效電路圖；

圖 7A 及圖 7B 分別為圖 6 之反相器的平面圖，及沿著圖 7A 之平面圖中的直線 X-X' 所取出的剖面圖；以及

圖 8A 到圖 8G 為顯示圖 7A 及圖 7B 中所示之實施例用的製造程序之圖形。

[元件對照表]

2 載子

10 基板

20 絕緣層

41 氧化物膜

42, 43 矽氮化物膜

51 光阻圖案

100 半導體薄膜(矽薄膜)

101 第一主表面

102 第二主表面

103 半導體薄膜部分

105 結晶矽層

110 第一半導體區域

113, 123, 133, 313, 323, 333 導線接點

120 第二半導體區域

(26)

130 第三半導體區域

140, 104n, 104p, 114n, 124n, 134p, 114p, 124p, 134n

伸展部分

210 第一閘極絕緣膜

220 第二閘極絕緣膜

230 第三閘極絕緣膜

300 導電性閘極薄膜

301 純矽薄膜

302 矽鍺薄膜

303 摻雜硼之矽薄膜

310 第一導電閘極

320 第二導電閘極

330 第三導電閘極

400 場絕緣膜

401, 200 矽氧化物膜

403 絕緣膜側壁

410, 413, 431, 433 絕緣膜

421 閘極間絕緣膜

440 導線層間絕緣膜

103n, 103p 半導體薄膜部分

110n, 110p 汲極

120n, 120p 源極

130n, 130p 第三半導體區域

133n, 113p 控制端子

(27)

210n, 210p 第一閘極氧氮化物膜

220n, 220p 第二閘極氧氮化物膜

310n, 310p, 320n, 320p 連續的第一及第二導電閘極

313n, 313p 第一閘極端子

323n, 323p 第二閘極端子

500 接觸插頭

600 第一層導線

肆、中文發明摘要

發明之名稱：絕緣閘極薄膜電晶體及其控制系統

閘極臨界電壓被電子式控制於在半導體薄膜中所形成之絕緣閘極電晶體中，例如完全空乏型 SOI，其使載子空乏於第一與第二主表面之間。一相反導電類型之第三半導體區域被放置而使得他和半導體薄膜相接觸，半導體薄膜中之載子的量係藉由將相反導電類型的載子從第三半導體區域供應給半導體薄膜，或者藉由將相反導電類型的載子自半導體薄膜抽取入第三半導體區域中來予以控制的。

伍、英文發明摘要

發明之名稱： INSULATED GATE THIN FILM TRANSISTOR
AND CONTROL SYSTEM THEREFOR

The gate threshold voltage is electronically controlled in an insulated gate transistor formed in a semiconductor thin film, such as fully depleted SOI, that is depleted of carriers between first and second principal surfaces. A third semiconductor region of the opposite conductivity type is placed such that it is in contact with the semiconductor thin film. The amount of carriers in the semiconductor thin film is controlled by supplying the semiconductor thin film with carriers of the opposite conductivity type from the third semiconductor region, or by drawing carriers of the opposite conductivity type from the semiconductor thin film into the third semiconductor region.

(1)

拾、申請專利範圍

第 92108139 號專利申請案

中文申請專利範圍修正本

民國 96 年 1 月 10 日修正

1、一種絕緣閘極電晶體之控制方法，該絕緣閘極電晶體包含：一半導體薄膜，具有一第一主表面及一面對第一主表面之第二主表面；一第一閘極絕緣膜，形成於半導體薄膜之第一主表面上；一第一導電閘極，形成於第一閘極絕緣膜上；一第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；以及一第三半導體區域，具有相反的導電類型，且其與半導體薄膜相接觸，半導體薄膜具有使一第一導電閘極電位導致載子空乏於第一主表面與在第一導電閘極下方介於第一與第二半導體區域之間的第二主表面之間，該方法包含：

將相反導電類型之載子從相反導電類型的第三半導體區域注入於半導體薄膜中；以及

隨後施加第一電位於第一導電閘極，以感應一被夾在第一半導體區域與第二半導體區域間之半導體薄膜表面上的第一導電類型之通道。

2、如申請專利範圍第 1 項的絕緣閘極電晶體之控制方法，更包含：在施加第一電位於第一導電閘極之後，藉由第三半導體區域的電位來控制從第一導電閘極所觀看到

(2)

的閘極臨界電壓。

3、一種絕緣閘極電晶體，包含：一半導體薄膜，具有一第一主表面及一面對第一主表面之第二主表面；一第一閘極絕緣膜，形成於半導體薄膜之第一主表面上；一第一導電閘極，形成於第一閘極絕緣膜上；一第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；以及一第三半導體區域，具有相反的導電類型，且其與半導體薄膜相接觸，半導體薄膜具有使一第一導電閘極電位導致載子空乏於第一主表面與在第一導電閘極下方介於第一與第二半導體區域之間的第二主表面之間；

相反導電類型之載子係從相反導電類型的第三半導體區域注入於半導體薄膜中；且第一電位隨後被施加於第一導電閘極，以感應被夾在第一半導體區域與第二半導體區域間之半導體薄膜表面上的第一導電類型之通道；

其中，第三半導體區域的一端被放置於一距離之內，而在該距離中，相反導電類型的載子係擴散自半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分。

4、一種絕緣閘極電晶體，包含：一半導體薄膜，具有一第一主表面及一面對第一主表面之第二主表面；一第一閘極絕緣膜，形成於半導體薄膜之第一主表面上；一第一導電閘極，形成於第一閘極絕緣膜上；一第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面

(3)

對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；以及一第三半導體區域，具有相反的導電類型，且其與半導體薄膜相接觸，半導體薄膜具有使一第一導電閘極電位導致載子空乏於第一主表面與在第一導電閘極下方介於第一與第二半導體區域之間的第二主表面之間；

相反導電類型之載子係從相反導電類型的第三半導體區域注入於半導體薄膜中；且第一電位隨後被施加於第一導電閘極，以感應被夾在第一半導體區域與第二半導體區域間之半導體薄膜表面上的第一導電類型之通道；在施加第一電位於第一導電閘極之後，藉由第三半導體區域的電位來控制從第一導電閘極所觀看到的閘極臨界電壓；

其中，第三半導體區域的一端被放置於一距離之內，而在該距離中，相反導電類型的載子係擴散自半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分。

5、一種絕緣閘極電晶體，包含：一半導體薄膜，具有一第一主表面及一面對第一主表面之第二主表面；一第一閘極絕緣膜，形成於半導體薄膜之第一主表面上；一第一導電閘極，形成於第一閘極絕緣膜上；一第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；以及一第三半導體區域，具有相反的導電類型，且其與半導體薄膜相接觸，半導體薄膜具有使一第一導電閘極電位導致載子空乏於第一主表

(4)

面與在第一導電閘極下方介於第一與第二半導體區域之間的第二主表面之間；

相反導電類型之載子係從相反導電類型的第三半導體區域注入於半導體薄膜中；且第一電位隨後被施加於第一導電閘極，以感應被夾在第一半導體區域與第二半導體區域間之半導體薄膜表面上的第一導電類型之通道；

其中，半導體薄膜從半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分被伸展至相反導電類型的第三半導體區域，以及

其中，一第二閘極絕緣膜被形成於半導體薄膜之伸展部分上，且一第二導電閘極被放置於第二閘極絕緣膜上。

6、一種絕緣閘極電晶體，包含：一半導體薄膜，具有一第一主表面及一面對第一主表面之第二主表面；一第一閘極絕緣膜，形成於半導體薄膜之第一主表面上；一第一導電閘極，形成於第一閘極絕緣膜上；一第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；以及一第三半導體區域，具有相反的導電類型，且其與半導體薄膜相接觸，半導體薄膜具有使一第一導電閘極電位導致載子空乏於第一主表面與在第一導電閘極下方介於第一與第二半導體區域之間的第二主表面之間；

相反導電類型之載子係從相反導電類型的第三半導體區域注入於半導體薄膜中；且第一電位隨後被施加於第一

(5)

導電閘極，以感應被夾在第一半導體區域與第二半導體區域間之半導體薄膜表面上的第一導電類型之通道；在施加第一電位於第一導電閘極之後，藉由第三半導體區域的電位來控制從第一導電閘極所觀看到的閘極臨界電壓；

其中，半導體薄膜從半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分被伸展至相反導電類型的第三半導體區域，以及

其中，一第二閘極絕緣膜被形成於半導體薄膜之伸展部分上，且一第二導電閘極被放置於第二閘極絕緣膜上。

7、如申請專利範圍第 5 項之絕緣閘極電晶體，其中，第一導電閘極和第二導電閘極係連續的。

8、如申請專利範圍第 6 項之絕緣閘極電晶體，其中，第一導電閘極和第二導電閘極係連續的。

9、如申請專利範圍第 5 項之絕緣閘極電晶體，

其中，第三半導體區域係與半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分相接觸，以及

第二閘極絕緣膜及第二導電閘極係和第一閘極絕緣膜及第一導電閘極為相同的膜。

10、如申請專利範圍第 6 項之絕緣閘極電晶體，

其中，第三半導體區域係與半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分相接觸，以及

第二閘極絕緣膜及第二導電閘極係和第一閘極絕緣膜及第一導電閘極為相同的膜。

11、如申請專利範圍第 5 項之絕緣閘極電晶體，

(6)

其中，有多個面對第一半導體區域的第二半導體區域，以及

其中，第三半導體區域被放置在多個第二半導體區域之間。

12、如申請專利範圍第 6 項之絕緣閘極電晶體，

其中，有多個面對第一半導體區域的第二半導體區域，以及

其中，第三半導體區域被放置在多個第二半導體區域之間。

13、一種絕緣閘極電晶體，包含：一半導體薄膜，具有一第一主表面及一面對第一主表面之第二主表面；一第一閘極絕緣膜，形成於半導體薄膜之第一主表面上；一第一導電閘極，形成於第一閘極絕緣膜上；一第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；以及一第三半導體區域，具有相反的導電類型，且其與半導體薄膜相接觸，半導體薄膜具有使一第一導電閘極電位導致載子空乏於第一主表面與在第一導電閘極下方介於第一與第二半導體區域之間的第二主表面之間；

相反導電類型之載子係從相反導電類型的第三半導體區域注入於半導體薄膜中；且第一電位隨後被施加於第一導電閘極，以感應被夾在第一半導體區域與第二半導體區域間之半導體薄膜表面上的第一導電類型之通道；

(7)

其中，該絕緣閘極電晶體更包含一第三閘極絕緣膜，形成於半導體薄膜之被夾在第一半導體區域與第二半導體區域間之部分的第二主表面上，以及

其中，第三導電閘極係和第三閘極絕緣膜相接觸。

14、一種絕緣閘極電晶體，包含：一半導體薄膜，具有一第一主表面及一面對第一主表面之第二主表面；一第一閘極絕緣膜，形成於半導體薄膜之第一主表面上；一第一導電閘極，形成於第一閘極絕緣膜上；一第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；以及一第三半導體區域，具有相反的導電類型，且其與半導體薄膜相接觸，半導體薄膜具有使一第一導電閘極電位導致載子空乏於第一主表面與在第一導電閘極下方介於第一與第二半導體區域之間的第二主表面之間；

相反導電類型之載子係從相反導電類型的第三半導體區域注入於半導體薄膜中；且第一電位隨後被施加於第一導電閘極，以感應被夾在第一半導體區域與第二半導體區域間之半導體薄膜表面上的第一導電類型之通道；在施加第一電位於第一導電閘極之後，藉由第三半導體區域的電位來控制從第一導電閘極所觀看到的閘極臨界電壓；

其中，該絕緣閘極電晶體更包含一第三閘極絕緣膜，形成於半導體薄膜之被夾在第一半導體區域與第二半導體區域間之部分的第二主表面上，以及

(8)

其中，第三導電閘極係和第三閘極絕緣膜相接觸。

15、一種絕緣閘極電晶體，包含至少：

一半導體薄膜，具有一第一主表面及一面對第一主表面之第二主表面；

一第一閘極絕緣膜，形成於半導體薄膜之第一主表面上；

一第一導電閘極，形成於第一閘極絕緣膜上；

一第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；

一第三半導體區域，具有相反的導電類型，且與半導體薄膜相接觸；

一第三閘極絕緣膜，形成於半導體薄膜之被夾在第一半導體區域與第二半導體區域間之部分的第二主表面上；
以及

一第三導電閘極，與第三閘極絕緣膜相接觸，

相反導電類型之載子係從相反導電類型的第三半導體區域注入於半導體薄膜中；且第一電位隨後被施加於第一導電閘極，以感應被夾在第一半導體區域與第二半導體區域間之半導體薄膜表面上的第一導電類型之通道；

其中，第三半導體區域的一端被放置於一距離之內，而在該距離中，相反導電類型的載子係擴散自半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分，以及

(9)

其中，從第一導電閘極所觀看到的閘極臨界電壓係藉由第三半導體區域的電位來予以控制的。

16、一種絕緣閘極電晶體，包含至少：

一半導體薄膜，具有一第一主表面及一面對第一主表面之第二主表面；

一第一閘極絕緣膜，形成於半導體薄膜之第一主表面上；

一第一導電閘極，形成於第一閘極絕緣膜上；

一第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；

一第三半導體區域，具有相反的導電類型，且與半導體薄膜相接觸；

一第三閘極絕緣膜，形成於半導體薄膜之被夾在第一半導體區域與第二半導體區域間之部分的第二主表面上；

以及

一第三導電閘極，與第三閘極絕緣膜相接觸，

相反導電類型之載子係從相反導電類型的第三半導體區域注入於半導體薄膜中；且第一電位隨後被施加於第一導電閘極，以感應被夾在第一半導體區域與第二半導體區域間之半導體薄膜表面上的第一導電類型之通道；

其中，第三導電閘極被伸展直到他和第三半導體區域局部重疊為止，且第三閘極絕緣膜被夾於其間，使得從第一導電閘極所觀看到的閘極臨界電壓係藉由第三半導體區

(10)

域的電位來予以控制的。

17、如申請專利範圍第 3、4、5、6、7、8、9、10、11、12、13、14、15、及 16 項中任一項之絕緣閘極電晶體，其中，半導體薄膜被形成於一絕緣基板上。

18、如申請專利範圍第 13、14、及 15 項中任一項之絕緣閘極電晶體，其中，支撐半導體薄膜之基板的表面部分當作第三導電閘極用。

19、如申請專利範圍第 3、4、5、6、7、8、9、10、11、12、13、14、15、及 16 項中任一項之絕緣閘極電晶體，其中，至少半導體薄膜的一端係藉由一基板來予以支撐的。

20、如申請專利範圍第 3、4、5、6、7、8、9、10、11、12、13、14、15、及 16 項中任一項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽所形成的。

21、如申請專利範圍第 17 項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽所形成的。

22、如申請專利範圍第 18 項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽所形成的。

23、如申請專利範圍第 19 項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽所形成的。

24、如申請專利範圍第 5、6、7、8、9、10、11、及 12 項中任一項之絕緣閘極電晶體，其中，第二導電閘極係由相反導電類型之矽所形成的。

(11)

25、如申請專利範圍第 13、14、15、及 16 項中任一項之絕緣閘極電晶體，其中，第三導電閘極係由相反導電類型之矽所形成的。

26、如申請專利範圍第 17 項之絕緣閘極電晶體，其中，第三導電閘極係由相反導電類型之矽所形成的。

27、如申請專利範圍第 18 項之絕緣閘極電晶體，其中，第三導電閘極係由相反導電類型之矽所形成的。

28、如申請專利範圍第 19 項之絕緣閘極電晶體，其中，第三導電閘極係由相反導電類型之矽所形成的。

29、如申請專利範圍第 20 項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽鍺所形成的。

30、如申請專利範圍第 21 項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽鍺所形成的。

31、如申請專利範圍第 22 項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽鍺所形成的。

32、如申請專利範圍第 23 項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽鍺所形成的。

33、如申請專利範圍第 24 項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽鍺所形成的。

34、如申請專利範圍第 25 項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽鍺所形成的。

35、如申請專利範圍第 26 項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽鍺所形成的。

36、如申請專利範圍第 27 項之絕緣閘極電晶體，其

(12)

中，第一導電閘極係由相反導電類型之矽鍺所形成的。

37、如申請專利範圍第 28 項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽鍺所形成的。

38、如申請專利範圍第 5、6、7、8、9、10、11、及 12 項中任一項之絕緣閘極電晶體，

其中，第一及第二導電閘極係形成自平均含有 45 到 60%之鍺的 p 型矽鍺，以及

其中，半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分含有 1.2×10^{12} atoms/cm² 到 1.6×10^{12} atoms/cm² 之濃度的 n 型雜質。

39、如申請專利範圍第 5、6、7、8、9、10、11、及 12 項中任一項之絕緣閘極電晶體，

其中，第一及第二導電閘極係形成自平均含有 45 到 60%之鍺的 p 型矽鍺層與一矽層之疊層，以及

其中，半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分含有 1.2×10^{12} atoms/cm² 到 1.6×10^{12} atoms/cm² 之濃度的 n 型雜質。

40、如申請專利範圍第 7 或 8 項之絕緣閘極電晶體，其中，具有比半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分之雜質濃度還高的雜質濃度之部分被形成在半導體薄膜之導引至相反導電類型之第三半導體區域的伸展部分中。

41、如申請專利範圍第 3、4、5、6、7、8、9、10、11、12、13、14、15、及 16 項中任一項之絕緣閘極電晶

(13)

體，

其中，半導體薄膜係摻雜以相反導電類型的雜質，以及

其中，摻雜以第一導電類型之雜質的部分被形成在半導體薄膜之導引至相反導電類型之第三半導體區域的伸展部分中。

42、如申請專利範圍第 3、4、5、6、7、8、9、10、11、12、13、14、15、及 16 項中任一項之絕緣閘極電晶體，

其中，第一導電閘極係形成自平均含有 45 到 60% 之銻的 p 型矽銻，以及

其中，半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分含有 1.2×10^{12} atoms/cm² 到 1.6×10^{12} atoms/cm² 之濃度的 n 型雜質。

43、如申請專利範圍第 3、4、5、6、7、8、9、10、11、12、13、14、15、及 16 項中任一項之絕緣閘極電晶體，

其中，第一導電閘極係形成自平均含有 45 到 60% 之銻的 p 型矽銻層與一矽層之疊層，以及

其中，半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分含有 1.2×10^{12} atoms/cm² 到 1.6×10^{12} atoms/cm² 之濃度的 n 型雜質。

44、一種絕緣閘極電晶體，包含至少：

一半導體薄膜，具有一第一主表面及一面對第一主表

(14)

面之第二主表面；

一第一閘極絕緣膜，形成於半導體薄膜之第一主表面上；

一第一導電閘極，形成於第一閘極絕緣膜上；

一第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；

一第三半導體區域，具有相反的導電類型，且與半導體薄膜相接觸；

一第三閘極絕緣膜，形成於半導體薄膜之被夾在第一半導體區域與第二半導體區域間之部分的第二主表面上；
以及

一第三導電閘極，與第三閘極絕緣膜相接觸，

其中，第三半導體區域的一端被放置於一距離之內，而在該距離中，相反導電類型的載子係擴散自半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分，以及

其中，從第一導電閘極所觀看到的閘極臨界電壓係藉由相關於該第一半導體區域與該第二半導體區域之順向偏壓的第三半導體區域之順向偏壓來予以控制。

45、一種絕緣閘極電晶體，包含至少：

一半導體薄膜，具有一第一主表面及一面對第一主表面之第二主表面；

一第一閘極絕緣膜，形成於半導體薄膜之第一主表面

(15)

上；

一第一導電閘極，形成於第一閘極絕緣膜上；

一第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；

一第三半導體區域，具有相反的導電類型，且與半導體薄膜相接觸；

一第三閘極絕緣膜，形成於半導體薄膜之被夾在第一半導體區域與第二半導體區域間之部分的第二主表面上；
以及

一第三導電閘極，與第三閘極絕緣膜相接觸，

其中，第三半導體區域的一端被放置於一距離之內，而在該距離中，相反導電類型的載子係擴散自半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分，以及

其中，從第一導電閘極所觀看到的閘極臨界電壓係藉由從第三半導體區域將該相反導電類型之載子注入於該半導體薄膜中來予以控制。

46、一種絕緣閘極電晶體，包含至少：

一半導體薄膜，具有一第一主表面及一面對第一主表面之第二主表面；

一第一閘極絕緣膜，形成於半導體薄膜之第一主表面上；

一第一導電閘極，形成於第一閘極絕緣膜上；

(16)

一 第一半導體區域及一第二半導體區域，他們跨過第一導電閘極而互相面對，他們和第一導電閘極絕緣，他們和半導體薄膜相接觸，且他們具有第一導電類型；

一 第三半導體區域，具有相反的導電類型，且與半導體薄膜相接觸；

一 第三閘極絕緣膜，形成於半導體薄膜之被夾在第一半導體區域與第二半導體區域間之部分的第二主表面上；以及

一 第三導電閘極，與第三閘極絕緣膜相接觸，

其中，第三導電閘極被伸展直到他和第三半導體區域局部重疊為止，且第三閘極絕緣膜被夾於其間，使得從第一導電閘極所觀看到的閘極臨界電壓係藉由相關於該第一半導體區域與該第二半導體區域之順向偏壓的第三半導體區域之順向偏壓來予以控制。

47、如申請專利範圍第 44、45、及 46 項中任一項之絕緣閘極電晶體，其中，半導體薄膜被形成於一絕緣基板上。

48、如申請專利範圍第 44、45、及 46 項中任一項之絕緣閘極電晶體，其中，支撐半導體薄膜之基板的表面部分當作第三導電閘極用。

49、如申請專利範圍第 44、45、及 46 項中任一項之絕緣閘極電晶體，其中，至少半導體薄膜的一端係藉由一基板來予以支撐的。

50、如申請專利範圍第 44、45、及 46 項中任一項之

(17)

絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽所形成的。

51、如申請專利範圍第 44、45、及 46 項中任一項之絕緣閘極電晶體，其中，第三導電閘極係由相反導電類型之矽所形成的。

52、如申請專利範圍第 44、45、及 46 項中任一項之絕緣閘極電晶體，其中，第一導電閘極係由相反導電類型之矽鍺所形成的。

53、如申請專利範圍第 44、45、及 46 項中任一項之絕緣閘極電晶體，

其中，第一導電閘極係形成自平均含有 45 到 60% 之鍺的 p 型矽鍺，以及

其中，半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分含有 1.2×10^{12} atoms/cm² 到 1.6×10^{12} atoms/cm² 之濃度的 n 型雜質。

54、如申請專利範圍第 44、45、及 46 項中任一項之絕緣閘極電晶體，

其中，第一導電閘極係形成自平均含有 45 到 60% 之鍺的 p 型矽鍺層與一矽層之疊層，以及

其中，半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分含有 1.2×10^{12} atoms/cm² 到 1.6×10^{12} atoms/cm² 之濃度的 n 型雜質。

55、如申請專利範圍第 44、45、及 46 項中任一項之絕緣閘極電晶體，

(18)

其中，具有比半導體薄膜之被夾在第一半導體區域與第二半導體區域間的部分之雜質濃度還高的雜質濃度之部分被形成在半導體薄膜之導引至相反導電類型之第三半導體區域的伸展部分中。

56、如申請專利範圍第 44、45、及 46 項中任一項之絕緣閘極電晶體，

其中，半導體薄膜係摻雜以相反導電類型的雜質，以及

其中，摻雜以第一導電類型之雜質的部分被形成在半導體薄膜之導引至相反導電類型之第三半導體區域的伸展部分中。

陸、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

1

110 第一半導體區域

2 載子

102 第二主表面

100 半導體薄膜(矽薄膜)

10 基板

20 絕緣層

120 第二半導體區域

210 第一閘極絕緣膜

310 第一導電閘極

101 第一主表面

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：