

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11B 21/08 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년09월26일 10-0629019 2006년09월20일
---	-------------------------------------	--

(21) 출원번호	10-2000-7012867	(65) 공개번호	10-2001-0043667
(22) 출원일자	2000년11월16일	(43) 공개일자	2001년05월25일
번역문 제출일자	2000년11월16일		
(86) 국제출원번호	PCT/US1999/009312	(87) 국제공개번호	WO 1999/60571
국제출원일자	1999년04월29일	국제공개일자	1999년11월25일

(81) 지정국 국내특허 : 중국, 독일, 영국, 일본, 대한민국, 싱가포르,

(30) 우선권주장	60/086,278	1998년05월21일	미국(US)
	09/268,118	1999년03월15일	미국(US)

(73) 특허권자 시게이트 테크놀로지 엘엘씨
미국 캘리포니아 스코츠 밸리 디스크 드라이브 920(우:95066)

(72) 발명자 엘리스,티모시,에프.
미국55331미네소타통카베이인터라쎄플레이스25

 색스,알렉세이,에이취.
미국55416미네소타세인트루이스파크파크글렌로드#2144401

(74) 대리인 남상선

심사관 : 이선택

(54) 널-타입 서보 패턴에 대한 필드비 복조 기술을 이용하는 방법 및 장치

요약

위치 에러 추정치를 생성시키는 방법은 위상 필드 신호(470) 및 위치 에러 필드 신호(472, 474)를 생성시킨다. 연산 세트(524, 542, 546, 712, 716)가 위상 필드 신호(470)에 대하여 수행되고 동일한 세트의 연산이 위치 에러 필드 신호(472, 474)에 대하여 수행된다. 위치 에러 필드 신호에 대하여 상기 연산 세트를 수행하여 얻은 결과는 위상 필드 신호에 대하여 연산 세트를 수행하여 얻은 결과로 나누어진다. 상기 나눗셈의 결과가 위치 에러 추정치이다. 또한, 복조 회로가 필드 비율화를 이용하기 위하여 제공된다.

대표도

도 14

명세서

기술분야

본 발명은 저장 디바이스에 관한 것이다. 특히 본 발명은 저장 디바이스의 서보 시스템에 관한 것이다.

배경기술

디스크 드라이브와 같은 저장 디바이스는 일반적으로 디지털 정보가 저장된 기록 트랙상에 판독 또는 기록 헤드를 위치시키도록 서보 시스템을 이용한다. 서보 시스템은 다중 디스크 시스템 또는 각각의 디스크를 통하여 방사방향으로 분산된 서보 섹터의 특정 디스크 표면상에 저장된 서보 정보에 의존한다. 서보 정보는 헤드가 배치된 트랙의 트랙 번호 및 헤드가 배치된 각 섹터와 같은 대략적인 위치 정보를 준다. 서보 정보는 또한 트랙 내의 헤드의 방사방향 위치를 나타내는 상세한 위치 정보를 포함할 수 있다.

상세한 위치 정보는 일반적으로 몇 개의 서보 필드들의 조합인 서보 필드 패턴을 이용하여 저장된다. "널-타입(null-type)" 서보 패턴, "분할-버스트 진폭" 서보 패턴 및 "위상 타입" 서보 패턴을 포함하여 몇 가지 타입의 서보 필드 패턴이 존재한다.

널-타입 서보 패턴은 적어도 두 개의 필드를 포함하는데, 이들은 서로 공지된 위상 관계로써 기록된다. 제 1필드는 "위상" 또는 "동기(Sync)" 필드인데, 이는 판독 신호의 위상과 주파수에 대하여 판독 채널의 위상과 주파수를 동기화시키기 위하여 이용된다. 제 2필드는 위치 에러 필드인데, 이는 트랙 중심라인으로부터 헤드의 거리를 식별하기 위하여 이용된다.

널-타입 위치 에러 필드에 대하여, 자화 패턴은 헤드가 트랙 중심라인에 직접 안착할 때 판독 신호의 진폭이 이론적으로 제로가 되도록 한다. 헤드가 목표 트랙 중심라인으로부터 멀리 이동함에 따라, 판독 신호의 진폭은 증가한다. 헤드가 원하는 트랙 중심라인과 인접 트랙 중심라인사이의 중간에 있을 때, 판독 신호는 최대 진폭을 가진다.

널-타입 위치 에러 필드에서 트랙 중심라인의 한쪽면 상의 자화 패턴은 트랙 중심라인의 다른쪽 면상의 자화 패턴과 180도로 기록된다. 따라서, 동기 필드로부터의 판독 신호의 위상에 대하여 위치 에러 필드의 판독 신호의 위상은 헤드가 트랙 중심라인으로 이동하는 방향을 나타낸다.

서보 시스템을 제어하기 위하여, 단일 위치 에러 값이 각각의 서보 섹터에서 결정된다. 상기와 같은 위치 에러 값은 일반적으로 위치 에러 필드와 관련된 판독 신호를 복조함으로써 생성된다. 일반적으로, 위치 에러 값의 크기는 트랙 중심라인으로부터 헤드의 거리를 나타내며, 위치 에러 값의 부호는 헤드의 이동 방향을 나타낸다.

널-타입 패턴으로부터의 판독 신호의 복조는 과거에는 항상 동기 프로세스였다. 동기 프로세스에서, 위치 에러 필드의 판독 신호의 정확한 위상은 위상 필드 판독 신호로부터 알수 있었고, 이는 위상 필드가 위상 에러 필드에 대하여 알려지고 고정된 위상 관계로 기록되기 때문이다. 위상 고정 루프(PLL)는 일반적으로 위상 필드의 위상을 알기 위하여 이용되며, 이 위상 정보는 위치 에러 필드 신호를 복조하기 위하여 이용된다. 따라서 위상 필드는 PLL이 판독 신호의 위상과 주파수에 동기화 되도록 충분히 길어야 한다. 예를 들어, 위상 필드는 위치 에러 필드보다 3 내지 4배 길다.

디스크의 각각의 서보 섹터에서 위상 필드와 위치 에러 필드사이에서 일관된 위상 관계를 가지는 것은 헤드의 위치 설정과 관련하여 중요하다. 이들 두 필드사이의 위상이 각각의 서보 필드에서 일관되지 않으면, 헤드가 트랙내의 동일한 방사상 위치에 있더라도 상이한 위치 에러 값이 두 개의 상이한 서보 필드에서 얻어진다. 이러한 일관성을 확실히 하기 위하여, 매 서보 필드에서 동일하게 동작하는 일관된 위상 고정 루프를 형성하는데 많은 노력과 비용이 소모된다.

서보 시스템에 의하여 생성되는 위치 에러 값은 이상적으로 헤드가 트랙 사이를 방사방향으로 이동될 때 선형으로 변경된다. 상기와 같은 선형 변경은 헤드가 원하는 위치로 이동하기 위한 크기를 결정하는데 요구되는 계산을 간단하게 한다. 일반적으로, 서보 시스템은 헤드가 트랙사이를 방사방향으로 이동할 때 선형으로 변경되는 위치 에러 값을 발생시키지 않는다. 특히, 헤드가 트랙 사이를 방사방향으로 이동할 때, 판독 헤드에 의하여 생성된 판독 신호는 헤드의 기하학적 형상 때문에 변동하는 경향이 있다. 상기와 같은 변동의 영향을 감소시키기 위하여, 종래 기술에서는 서보 루프의 이득을 자동으로 조절하기 위한 자동 이득 제어 시스템을 이용하여, 헤드에 대한 모든 트랙 위치에서 일정하게 유지하도록 했다. 자동 이득 제어에 의하여 유도되는 이득의 양은 디스크 변인 과정에서 또는 디스크 드라이브의 수명 중에 주기적으로 초기화되어야 하는 제어 회로에 의하여 설정된다.

따라서, 종래 기술에서, 상이한 서보 영역들 사이에서 일관성을 유지하도록 위치 에러 값을 정규화하기 위한 많은 노력이 소모되었다. 이는 구조를 복잡하게 하여 디스크 드라이브의 비용을 증가시킨다.

발명의 상세한 설명

위치 에러 추정값을 생성시키는 방법은 위상 필드 신호와 위치 에러 필드 신호를 발생시킨다. 소정의 연산 세트가 위상 필드 신호에 대하여 수행되며, 동일한 연산 세트가 위치 에러 필드 신호에 대하여 수행된다. 위치 에러 필드 신호에 대하여 연산 세트를 수행하여 얻은 결과는 위상 필드 신호에 대하여 연산 세트를 수행하여 얻은 결과에 의하여 나누어진다. 나눗셈의 결과는 위치 에러 추정치이다. 상기 방법을 수행하는 회로 및 시스템 역시 제공된다.

도면의 간단한 설명

도 1은 본 발명이 디스크 드라이브의 투시도이다.

도 2는 디스크 드라이브의 서보 루프의 블록도이다.

도 3은 종래 기술의 서보 패턴의 패턴 배치를 도시한다.

도 4는 판독 헤드가 도 3의 패턴위를 통과할 때 판독 헤드에 의하여 생성되는 판독 신호이다.

도 5는 판독 헤드가 도 3의 패턴위를 통과할 때 판독 헤드에 의하여 생성되는 판독 신호이다.

도 6은 판독 헤드가 도 3의 패턴위를 통과할 때 판독 헤드에 의하여 생성되는 판독 신호이다.

도 7은 종래 기술의 아날로그 복조기의 블록도이다.

도 8은 종래 기술의 디지털 복조기의 블록도이다.

도 9는 본 발명의 서보 패턴의 패턴 배치이다.

도 10은 판독 헤드가 도 9의 패턴위를 통과할 때 판독 헤드에 의하여 생성되는 판독 신호이다.

도 11은 판독 헤드가 도 9의 패턴위를 통과할 때 판독 헤드에 의하여 생성되는 판독 신호이다.

도 12는 판독 헤드가 도 9의 패턴위를 통과할 때 판독 헤드에 의하여 생성되는 판독 신호이다.

도 13-1 내지 13-5는 본 발명의 디지털 복조기와 관련된 신호의 신호도이다.

도 14는 본 발명의 디지털 복조기의 블록도이다.

도 15-1 내지 15-2는 본 발명의 일 실시예에 대한 교정값 및 판독 신호사이의 관계를 도시하는 타이밍도이다.

도 17은 본 발명의 아날로그 복조기의 블록도이다.

도 18-1 내지 18-11은 도 17의 블록도와 관련된 신호를 나타내는 타이밍도이다.

도 19는 도 17에 이용된 아날로그 분할 회로의 블록도이다.

실시예

도 1은 본 발명이 이용되는 디스크 드라이브(100)의 투시도이다. 디스크 드라이브(100)는 베이스(102) 및 상부 커버(도시 안됨)를 가진 하우징을 포함한다. 디스크 드라이브(100)는 또한 디스크팩(106)을 더 포함하는데, 상기 디스크팩은 디스크 클램프(108)에 의하여 스피들 모터(도시안됨)상에 장착된다. 디스크팩(106)은 다수의 개별 디스크를 포함하는데, 이는 중

심축(109)을 중심으로 함께 회전하도록 장착된다. 각각의 디스크 표면은 디스크 표면과 소통하기 위하여 디스크 드라이브(100)에 장착된 관련 디스크 헤드 슬라이더(110)를 가진다. 도 1에 도시된 예에서, 슬라이더(110)는 서스펜션(112)에 의하여 지지되고, 서스펜션은 액추에이터(116)의 트랙 액세스 암(114)에 부착된다. 도 1에 도시된 액추에이터는 로터리 이동 코일 액추에이터로 공지된 형태이며 (118)로 병기되는 음성 코일 모터(VCM)를 포함한다. 음성 코일 모터(118)는 피보트 샤프트(120)를 중심으로 액추에이터(116) 및 여기에 부착된 헤드(110)를 회전시켜 헤드(110)가 디스크 내부 직경(124)과 디스크 외부 직경(126)사이의 아치형 경로(122)를 따라 원하는 데이터 트랙 위에 배치되도록 한다. 음성 코일 모터(118)는 헤드(110) 및 호스트 컴퓨터(도시안됨)에 의하여 생성된 신호를 기초로 서보 전자회로부(130)에 의하여 구동된다.

도 2는 도 1의 자기 디스크 드라이브(100)와 같은 정보 저장 디바이스(228)의 블록도이다. 저장 디바이스(228)는 3개의 메인 부품(플랜트(230), 서보 로직(232) 및 마이크로프로세서(233))을 포함한다. 마이크로프로세서(233)는 호스트 인터페이스(234)를 통하여 호스트(도시안됨)와 통신한다. 마이크로프로세서(233)는 호스트로부터 수신된 명령을 기초로 디스크에 대한 정보의 판독 및 기록을 제어한다. 특히, 마이크로프로세서(233)는 헤드 선택, 기록 전류 강도, 판독 감도 및 동작 모드(판독, 기록 또는 트랙 탐색)를 포함한 플랜트(230)의 여러 기능을 제어하기 위하여 제어 라인(235)을 통하여 플랜트(230)에 제어 신호를 제공한다. 또한, 마이크로프로세서(233)는 데이터 버스(237)를 따라 기록 데이터를 제공하고 데이터 버스를 따라 판독 데이터를 수신한다. 복구된 데이터는 호스트 인터페이스(234)를 통하여 호스트에 제공된다.

마이크로프로세서(233)는 서보 로직(232)을 통하여 디스크상의 헤드(112)의 이동을 제어하는데, 상기 서보 로직은 어드레스 버스(241) 및 양방향 데이터 버스(243)를 통하여 마이크로프로세서(233)에 연결되어 있다. 어드레스 버스(241) 및 데이터 버스(243)를 이용하여, 마이크로프로세서(233)는 서보 로직(232)내의 메모리 위치에서 헤드에 대한 적절한 위치를 저장할 수 있다. 이 메모리 위치는 서보 로직(232)에 의하여 액세스되며, 서보 로직은 저장된 값 및 헤드의 현재 위치를 기초로 플랜트(230)에 현재 명령(236)을 발생시킨다. 마이크로프로세서(233)는 또한 어드레스 버스(241) 및 데이터 버스(243)를 이용하여 서보 로직(232)의 메모리 위치에 저장된 헤드 위치 정보를 검색할 수 있다.

플랜트(230)내에서, 현재 명령(236)은 전력 증폭기(238)에 의해 수신되는데, 상기 전력 증폭기는 현재 명령(236)의 전압을 전류 신호(240)로 변환시킨다. 전류 신호(240)는 액추에이터(242)에 제공되어 액추에이터를 제어하며, 상기 액추에이터는 전류 신호(240)의 전류에 의하여 구동되고 상기 전류에 의하여 결정된 속도로 가속되는 도 1의 음성 코일 모터(134)를 포함한다. 액추에이터(242)는 전류 신호(240)의 전류를 기계적 운동(244)으로 변환시키며, 상기 기계적 운동은 매체에 대하여 헤드(112)를 이동시킨다.

헤드(112)는 매체에 대하여 이동할 때 매체내에 삽입된 데이터 및 서보 패턴을 검출한다. 서보 패턴은 매체에 대한 헤드 위치의 정보를 포함하며, 인코딩된 위치 정보를 포함하는 저레벨 신호(248)를 헤드가 생성시키도록 한다. 헤드 증폭기(250)는 저레벨 신호(248)를 증폭하여 증폭 신호(252)를 생성시키며, 상기 증폭 신호는 디코딩이 쉽고 노이즈를 가지지 않는다. 증폭 신호(252)는 복조기(254)로 입력되며, 복조기는 인코딩된 헤드 신호를 해석하고 복조기 위치 측정값(256)을 서보 로직(232)에 제공하며 데이터를 데이터 라인(239)을 따라 마이크로프로세서(233)에 제공한다.

서보 로직(232)은 헤드의 실제 위치와 복조기 위치 측정값(256)을 상관시키는 선형 테이블에 복조기 위치 측정(256)을 공급한다. 따라서, 서보 로직(232)은 헤드(112)의 위치를 결정하고 이 위치 및 마이크로프로세서(233)에 의하여 설정된 원하는 위치를 기초로 새로운 현재 명령(236)을 발생시킨다.

저장 디바이스(228)에 대하여는 두 개의 기본 동작 모드가 있다. 트랙 탐색이라고 공지된 하나의 모드에서, 마이크로프로세서(233)는 서보 로직(232)에게 명령하여 새로운 트랙으로 헤드가 매체 사이를 이동하도록 한다. 트랙 추종이라고 공지된 제 2 동작 모드에서, 마이크로프로세서(233)는 서보 로직(232)에 명령하여 트랙 내의 소정 위치 상에 헤드가 유지되도록 한다. 서보 로직(232)이 매체상의 트랙에 대하여 안정되게 유지되기 위하여 헤드를 이동시켜야 하기 때문에, 트랙 추종은 완전한 수동 모드가 아니다. 이러한 이동은 트랙이 불규칙성을 포함하고 서보 로직(232)이 이러한 불규칙성을 추종하기 위하여 헤드(112)를 이동시켜야 하기 때문에 필요하다. 트랙 추종 중에, 헤드는 플랜트(230)와 서보 로직(232)사이에 형성된 서보 루프를 이용하여 정위치에 유지된다. 특히, 헤드(112)가 정위치에서 벗어나면, 저레벨 신호(248)는 변동하기 시작하는데, 이는 헤드가 매체에 삽입된 서보 패턴의 다른 부분을 판독하기 때문이다. 저레벨 신호(248)에서의 이러한 변동은 증폭 신호(252) 및 위치 측정값(256)에서도 유사한 변동을 야기한다. 위치 측정값(256)에서의 변동에 응답하여, 서보 로직(232)은 현재 명령(236)을 변동시켜 헤드(112)가 트랙상의 원래 위치로 이동하도록 한다.

상기 서보 루프는 트랙의 불규칙성에 대응하는 능력은 이들 불규칙성의 빈도가 증가함에 따라 감소한다는 측면에서 트랙에서의 불규칙성에 대한 주파수 의존 응답성을 가진다. 이러한 면에서, 트랙의 불규칙성은 서보 루프에 대한 입력 신호로

서 생각될 수 있으며 이들 불규칙성에 대한 서보 루프의 응답은 서보 루프에 대한 이득으로서 생각될 수 있다. 소정 형태의 헤드(112)에 대하여, 특히 자기저항성 헤드에 대하여, 서보 루프의 주파수 응답은 헤드(112)의 위치가 트랙내에서 변화될 때 변동된다. 따라서, 헤드는 트랙의 여러 부분에서 트랙 불규칙성에 대하여 빠르게 응답한다.

도 3은 종래 기술에서 이용된 서보 섹션(180)에 대한 널-타입 서보 자화 패턴의 필수적인 부분을 도시한다. 디스크(122)의 방사방향 치수는 수직으로 도시되었으며, 디스크(122)의 각도 치수는 수평으로 도시된다. 화살표(182)는 디스크(122)의 아래 방향 또는 각도 범위를 나타낸다. 화살표(184)는 디스크(122)의 교차 트랙 방향 또는 방사방향 범위를 나타낸다. 도 2는 4개의 트랙 중심(190, 191, 192, 193)을 도시하며, 이들은 각각의 "1", "2", "3" 및 "4"로 표시된다. 헤드(134)는 교차 트랙 방향(184)을 따라 트랙 중심"2"와 정렬된다.

도 3의 음영 부분은 비음영 부분과 비교하여 반대 자기 극성을 가진 영역을 나타낸다. 예를 들어, 종방향 기록 시스템에서, 음영 영역의 종방향 자화가 도면에서 우측에서 좌측으로 이루어졌다면, 음영 부분의 종방향 자화는 좌측에서 우측으로 이루어진다. 이들 영역내에서, 자기 매체는 디지털 자기 기록에서 일반적인 것처럼 종방향으로 포화된다.

서보 섹터(180)는 전방 필드(200), "동기" 또는 "위상" 필드(202), 중간 필드(204), 정상 위치 에러 필드(205), 직교 위치 에러 필드(206) 및 후방 필드(208)를 포함한다. 전방 필드(200), 중간 필드(204) 및 후방 필드(208)는 도 3에 도시된 바와 같이 "비어"있을 수 있거나 또는 추가의 서보 데이터를 포함할 수 있다. 예를 들어, 중간 필드(204)는 트랙 번호 또는 센터 번호를 포함할 수 있다. 위상 필드(202)는 방사방향의 간섭성 자기 전이를 포함한다. 헤드(134)가 위상 필드(202)를 통과할 때, 위상 필드(202)의 자화 패턴은 헤드(134)의 출력에서 발진 신호를 유도한다. 정상 위치 에러 필드(205) 및 직교 위치 에러 필드(206)는 널-타입 자기 패턴을 포함한다. 직교 위치 에러 필드(206)의 직교 자기 패턴은 정상 위치 에러 필드(205)의 정상 자기 패턴에 대하여 트랙 폭의 절반만큼 오프셋된다. 일부 널-타입 서보 패턴에서, 직교 자기 패턴은 정상 패턴 앞에 직교 패턴의 절반을 배치함으로써 그리고 정상 패턴 다음에 직교 패턴의 절반을 배치함으로써 반으로 분할된다.

도 4는 헤드(134)가 트랙(2)의 중심라인(191)에 직접 안착되는 동안 위상 필드(202), 중간 필드(204), 정상 위치 에러 필드(205) 및 직교 위치 에러 필드(206)를 통과할 때 종래 기술의 판독 신호(210)의 일부를 도시하는 파형도이다. 판독 신호(210)는 헤드가 위상 필드(202)를 통과할 때 생성되는 위상 필드 신호(207), 헤드가 정상 위치 에러 필드(205)를 통과할 때 생성되는 정상 위치 에러 필드 신호(212) 및 헤드가 직교 위치 에러 필드(206)를 통과할 때 생성되는 직교 위치 에러 필드 신호(214)로 시간적으로 분할될 수 있다. 헤드(134)가 판독 신호(210)를 생성하기 위하여 트랙 중심라인에 안착되어 있기 때문에, 정상 위치 에러 필드 신호(212)는 거의 제로이다.

도 5는 헤드(134)가 트랙(1, 2)의 중심라인(190, 191)의 중간에 있을 때 판독 신호(216)의 일부를 도시하는 파형도이다. 판독 신호(216)는 헤드(134)가 위상 필드(202), 정상 위치 에러 필드(205) 및 직교 위치 에러 필드(206)를 각각 통과할 때 헤드(134)에 의하여 생성되는 위상 필드 신호(218), 정상 위치 에러 필드 신호(220) 및 직교 위치 에러 필드 신호(222)로 분할될 수 있다. 도 6은 헤드(134)가 트랙(2, 3)의 중심라인(191, 192)의 중간에 있을 때 판독 신호(224)의 일부를 도시하는 파형도이다. 판독 신호(224)는 위상 필드 신호(226), 정상 위치 에러 필드 신호(228) 및 직교 위치 에러 필드 신호(230)로 분할될 수 있다. 도 5의 정상 위치 에러 필드 신호(220)는 도 6의 정상 위치 에러 필드 신호(228)로부터 180도 벗어나 있다.

도 7은 종래 기술의 도 2의 복조기(254)의 일 실시예를 나타내는 복조기(300)의 블록도이다. 복조기(300)는 입력에서 자동 이득 제어부(302)에 대한 증폭 신호(252)를 수신한다. 자동 이득 제어부(302)는 합산 회로(304)를 포함하는 피드백의 일부이며, 합산 회로는 자동 이득 제어부(302)의 출력에 연결되어 있다. 합산 회로(304)는 또한 도 2의 서보 로직(232)에 의하여 생성된 기준값(306)을 수신한다. 기준값(306)은 모든 트랙 위치에서 서보 루프의 이득이 일정하게 유지되도록 서보 로직(232)에 의하여 계산된다. 합산 회로(304)는 자동 이득 제어부(302)의 출력의 크기로부터 기준값(306)을 차감하여 자동 이득 제어부(302)에 다시 공급되는 피드백값(308)을 생성하도록 한다. 피드백값(308)을 기초로, 자동 이득 제어부(302)는 자동 이득 제어부(302)의 이득 제어 출력이 기준값(306)의 크기와 거의 일치하는 크기를 가질 때까지 증폭 신호(252)를 증폭한다.

이득 제어 출력(310)은 위상 고정 루프(312) 및 타이밍 회로(314)에 공급된다. 위상 고정 루프(312)는 위상 필드 신호의 위상과 주파수에 동기화된 구형파인 클록 출력(316)을 생성하기 위하여 위상 필드 신호를 이용한다. 위상 고정 루프(312)는 위상 필드 신호가 종료하고 정상 위치 에러 필드 신호가 시작한 후에도 위상 필드 신호를 기초로 클록 신호(316)를 계속 발생시킨다. 정상 위치 에러 필드 신호는 이득 제어 출력(310)상의 위상 필드 신호를 뒤따르고 클록 신호(316)와 함께 멀티플라이어(318)에 제공된다.

멀티플라이어(318)는 정상 위치 에러 신호와 클록 신호(316)를 곱하여 곱 신호(320)를 발생시킨다. 곱 신호(320)는 적분기(322)에 제공되며, 적분기는 타이밍 회로(314)로부터 타이밍 제어 신호를 수신한다. 타이밍 제어 신호는 적분기(322)가 정상 위치 에러 신호와 관련된 시간 주기의 일부 동안 곱 신호(320)를 적분하도록 한다. 적분기(322)의 출력은 정상 위치 에러 신호이며, 이는 멀티플렉서(323)에 의하여 홀드 회로(324)로 전달되며, 홀드 회로는 이를 나중에 사용하기 위하여 보유한다.

곱 신호(320)는 정상 위치 에러 신호의 보정된 값을 나타낸다. 적절한 보정을 얻기 위하여, 종래 기술에서는 클록 신호(316)가 정상 위치 에러 신호에 대하여 알려지고 정확한 위상 관계를 가질 것을 요구했다. 위상 관계에서의 에러는 곱 신호(320)가 정확하지 못하게 하여 적분기(322)에 의하여 생성된 정상 위치 에러값이 부정확해지게 된다.

정상 위치 에러 신호 다음에, 이득 제어 출력(310)상의 다음 신호는 직교 위치 에러 신호이다. 직교 위치 에러 신호는 또한 멀티플라이어(318)에 제공되며, 상기 멀티플라이어(318)는 클록 신호(316)와 직교 신호를 곱하여 곱 신호(320)를 생성시킨다. 곱 신호(320)는 적분기(322)에 의하여 적분되어 적분기(322)의 출력에서 직교 위치 에러값을 발생시킨다. 다음에 직교 위치 에러값은 멀티플렉서(323)에 의하여 출력(328)으로 전달된다. 직교 위치 에러값은 트랙내의 헤드 위치를 계산하기 위하여 이용된다. 상기와 같은 계산은 공지되어 있다.

도 8은 도 2의 종래 복조기(254)의 일 실시예인 디지털 복조기(350)의 블록도이다. 도 2의 증폭 신호(252)는 자동 이득 제어부(352)에 제공되는데, 상기 자동 이득 제어부(352)는 도 7의 자동 이득 제어부(302)와 유사하게 동작한다. 자동 이득 제어부(352)의 이득 제어 출력(354)은 합산기(356)에 제공되며, 상기 합산기는 피드백값(360)을 제공하기 위하여 이득 제어 출력(354)의 크기에서 기준값(358)을 감산한다. 피드백값(360)을 기초로, 자동 이득 제어부(352)는 증폭 신호(352)에 적당한 이득을 제공한다. 이득 제어 출력(354)은 또한 위상 고정 루프(362)에 제공되며, 상기 위상 고정 루프(362)는 판독 신호의 위상 필드 부분을 기초로 클록 신호(364)를 생성시킨다. 클록 신호의 부호는 부호(signum) 회로(366)에 의하여 결정되는데, 상기 회로는 클록 신호(364)를 나타내는 디지털 값을 제공한다.

위상 고정 루프(362)에 의하여 생성된 클록 신호는 이득 제어 출력(354)의 위상 필드 부분이 종료하고 정상 위치 에러 신호 및 직교 위치 에러 신호가 시작되더라도 계속된다. 정상 위치 에러 필드 신호는 샘플링되고 아날로그 디지털 변환기(368)에 의하여 일련의 디지털 값으로 변환된다. 일련의 디지털 값은 멀티플라이어(370)를 통하여 부호함수 회로(366)에 의하여 생성된 값에 의하여 교정되는데, 상기 멀티플라이어는 상기 일련의 디지털 신호 값과 부호 출력값을 곱한다. 멀티플라이어(370)에 의하여 생성된 일련의 곱 값은 합산기(372)에 입력되는데, 상기 합산기는 타이밍 회로(374)에 의하여 설정된 시간 주기를 통하여 상기 값을 서로 합산한다. 최근의 종래 시스템에서, 곱 값은 정상 위치 에러 필드 신호의 중심 부분과 관련된 시간 주기 동안 합산된다.

합산기(372)에 의하여 생성된 합은 멀티플렉서(376)에 의하여 홀드 회로(378)로 전달되며, 상기 홀드 회로는 나중에 사용하기 위하여 상기 값을 보유한다. 홀드 회로(378)의 출력은 직교 위치 에러값이다.

직교 위치 에러 신호는 또한 아날로그 디지털 변환기(368)에 의하여 일련의 디지털 값으로 변환된다. 상기 일련의 디지털 값은 멀티플라이어(370)에 의하여 클록 신호(364)의 부호와 곱해진다. 멀티플라이어(370)에 의하여 생성된 일련의 곱 값은 타이밍 회로(374)의 제어 하에 합산 회로(372)에 의하여 서로 합산된다. 이 합산의 결과가 직교 위치 에러값이며, 이는 멀티플렉서(376)에 의하여 출력(380)에 전달된다. 직교 위치 에러 값 및 정상 위치 에러값은 트랙의 헤드 위치를 계산하기 위하여 이용된다.

도 7 및 8에 도시된 종래 기술의 두 시스템에서, 자동 이득 제어부 및 위상 고정 루프는 과도한 드리프트가 없는 정밀한 회로여야 한다. 이 점에서, 종래 기술에서는, 이들 회로의 성능을 개선하는데 상당한 비용이 소요된다.

도 9는 본 발명에 이용되는 서보 영역(400)에 대한 패턴 배치이다. 도 9에서, 교차 트랙 방향은 수직으로 도시되고 하향 트랙 방향은 수평으로 도시되며, 헤드(134)는 도면에서 좌측으로부터 우측으로 이동한다. 서보 영역(400)은 전방 필드(402), 위상 필드(404), 중간 필드(406), 정상 위치 에러 필드(408), 직교 위치 에러 필드(410) 및 후방 필드(412)를 포함한다. 전방 필드(402), 중간 필드(406) 및 후방 필드(412)는 도 3에 도시된 종래의 서보 영역의 동일 명칭의 필드와 동일하다. 도 9의 위상 필드(404)는 도 3의 위상 필드(202)와 유사하지만, 일반적으로, 위상 필드(404)는 종래 위상 필드(202)보다 적은 전이를 가진다. 위상 필드(404)는 위상 필드(202)보다 짧는데, 본 발명은 종래 기술에서 발견되는 정확한 위상 고정 루프를 요구하지 않아서 종래 기술에서처럼 위상 필드에서 많은 전이가 요구되지 않기 때문이다. 정상 위치 에러 필드(408) 및 직교 위치 에러 필드(410)는 종래 기술의 정상 및 직교 위치 에러 필드(205, 206)와 유사하지만, 정상 위치 에러 필드

(408)와 직교 위치 에러 필드(410)는 모두 각각의 필드 시작 부분 근처에 방사방향의 간섭성 전이 세트(414, 416)를 포함한다. 방사방향 간섭성 전이(414, 416)는 위상 필드(404)에서 발견되는 전이와 유사하다. 이들 전이의 이용은 이하에 설명된다.

도 10, 11, 및 12는 각각 예시적인 판독 신호(450, 452, 454)의 타이밍도이며, 이는 상이한 트랙 위치에서 도 9의 서보 영역(400)을 통과할 때 헤드(134)에 의하여 생성된다. 특히, 도 11의 서보 판독 신호(452)는 헤드(134)가 도 9의 트랙(418)의 중심라인을 통과할 때 생성된다. 판독 신호(452)는 위상 필드 신호(456), 정상 위치 에러 신호(458) 및 직교 위치 에러 신호(460)로 구성된 3개의 영역으로 분할된다. 위상 필드 신호(456)는 종래 기술의 도 4, 5 및 6에서 발견된 위상 필드 신호와 유사하다. 정상 위치 에러 신호(458)는 트리거 발진 부분(462) 및 널 패턴 부분(464)을 포함한다. 트리거 발진 부분(462)은 도 9의 방사방향 간섭성 전이(414)를 헤드(134)가 통과할 때 생성된다. 널 패턴 부분(464)은 헤드(134)가 정상 위치 에러 필드(408)의 나머지 부분을 통과할 때 생성된다. 헤드(134)는 판독신호를 생성시킬 때 트랙 중심라인(418)상에 센터링되기 때문에, 널 패턴 부분(464)은 거의 제로에 가깝다. 직교 위치 에러 신호(460)는 트리거 발진 부분(466) 및 널 패턴 부분(468)으로 분할될 수 있으며, 여기서 트리거 발진 부분(466)은 직교 위치 에러 필드(410)의 방사방향 간섭성 전이(416)에 의하여 생성되고 널 패턴 부분(468)은 직교 위치 에러 필드(410)의 나머지 부분의 널 패턴에 의하여 생성된다.

도 10의 판독 신호(450)는 헤드(134)가 도 9의 트랙 중심(418) 및 트랙 중심(420)사이에서 배치될 때 생성된다. 판독 신호(450)는 위상 필드 신호(470), 정상 위치 에러 필드 신호(472) 및 직교 위치 에러 필드 신호(474)를 포함하는 3개의 부분으로 분할될 수 있다. 정상 위치 에러 필드 신호(472)는 트리거 발진 부분(476) 및 널 패턴 부분(478)으로 세분될 수 있다. 직교 위치 에러 필드 신호(474)는 또한 트리거 발진 부분(480) 및 널 패턴 부분(482)으로 분할될 수 있다. 정상 위치 에러 필드 신호(472)의 널 패턴 부분(478)은 직교 위치 에러 필드 신호(474)의 널 패턴 부분(482)이 거의 제로 일 때 최대 진폭을 가지는데, 이는 판독 헤드가 두 개의 트랙 중심라인사이의 중간에 배치되기 때문이다.

도 12의 판독 신호(454)는 헤드(134)가 도 9의 트랙 중심(418, 422)사이의 중간에 배치될 때 생성된다. 판독 신호(454)는 위상 필드 신호(490), 정상 위치 에러 신호(492) 및 직교 위치 에러 신호(494)를 포함하는 3개의 부분으로 분할될 수 있다. 정상 위치 에러 신호(492)는 트리거 발진 부분(496) 및 널 패턴 부분(498)으로 세분될 수 있다. 유사하게 직교 위치 에러 신호(494)는 트리거 발진 부분(500) 및 널 패턴 부분(502)으로 분할될 수 있다.

판독 신호(454, 450) 모두는 헤드(134)가 각각의 트랙 중심 라인사이의 중간에 배치될 때 생성되기 때문에, 이들은 공통적인 특징을 가진다. 예를 들어, 판독 신호(454, 450)의 널 패턴 부분(482, 502)은 각각 모두 거의 제로이다. 또한, 판독 신호(454, 450)의 널 패턴 부분(478, 498)은 최대 진폭을 가진다. 판독 신호(454, 450)는 동일하지 않은데, 이는 널 패턴 부분(478)이 널 패턴 부분(498)의 위상과 180도 위상차를 가지기 때문이다. 이는 종래 기술의 널 타입 패턴에서 발견되는 위상 시프트와 유사하다. 판독 신호(454, 450)는 트리거 발진 부분(4676, 496)이 널 패턴 부분이 서로 180도 위상차를 가지더라도 정상 위치 에러 신호(472, 492)에서 동일하다는 측면에서 종래 기술과 다르다. 사실, 도 9의 서보 영역(400)으로부터 생성된 정상 위치 에러 필드 신호의 트리거 발진 부분은 동일하다. 유사하게, 본 발명의 직교 위치 에러 신호에서 발견되는 트리거 발진 부분은 서보 영역(400)의 모든 헤드 위치에서 동일할 수 있다. 트리거 발진 부분의 일치는 이하에 설명되는 바와 같이 회로 설계를 간단하게 한다.

도 14는 본 발명의 복조기(520)의 일 실시예에 대한 블록도이다. 복조기(520)는 도 2의 증폭 신호(252)를 두 개의 위치 에러 신호로 변환시키는 디지털 복조기이다. 복조기(520)는 본 발명의 필드비(field ratioing) 기술을 이용하여 자동 이득 제어 회로와 위상 고정 루프의 필요성을 감소시킨다. 복조기(520)의 배치와 동작은 도 14 및 도 13-1 내지 13-5의 타이밍도를 참조로 설명될 것이다.

도 13-1은 도 14의 증폭 신호(252)의 세그먼트를 나타내는 판독 신호(522)를 도시한다. 판독 신호(522)는 아날로그 디지털 변환기(524)에 제공되며, 상기 변환기는 트리거 발진기(526)에 의하여 생성된 샘플 클럭을 기초로 선택된 샘플링 포인트에서 판독 신호를 샘플링한다. 도 13-2는 트리거 발진기(526)에 의하여 생성된 샘플 클럭 신호(528)의 타이밍도를 도시한다. 샘플 클럭 신호(528)에서 각각의 양의 값으로의 진행 전이는 아날로그 디지털 변환기(524)가 판독 신호(522)를 샘플링하게 하고 디지털 값으로 샘플을 변환시키도록 한다. 도 13-1에서, 샘플은 샘플 도트(530, 532)와 같이 판독 신호(522)상의 도트로 도시된다. 도 13-1, 13-2 및 도 14에 도시된 실시예에서, 샘플 클럭 신호(528)는 판독 신호(522)의 기본 주파수의 4배인 주파수이다. 그러나, 샘플 클럭 신호(528)의 주파수는 판독 신호(522)의 주파수의 정수배일 필요는 없다. 사실, 판독 신호(522)를 적절히 샘플링하는 모든 주파수가 이용될 수 있다.

트리거 발진기(526)는 시퀀서(534)로부터의 제어 신호를 기초로 샘플 클럭 신호(528)를 생성시킨다. 시퀀서(534)는 제로 위상 재시작 회로를 포함하는데, 이 회로는 공지되어 있으며 도 13-3의 인에이블 전압 제어 발진기(VCO) 신호(536) 및 도 13-4의 시작 전압 제어 발진기(VCO) 신호(538)를 생성시키도록 판독 신호(522) 부분을 이용한다. 인에이블 VCO 신

호(536) 및 시작 VCO 신호(538)를 생성하기 위하여, 시퀀서(534)는 서보 영역의 위상 필드, 정상 위치 에러 필드 및 직교 위치 에러 필드의 시작 부분에 위치한 각각의 전이를 이용한다. 따라서, 도 9를 참조하면, 시퀀서(534)는 위상 필드(404)와 관련된 첫 번째 4개의 전이 및 정상 위치 에러 필드(408) 및 직교 위치 에러 필드(410)의 방사방향 간섭성 전이(414, 416)를 이용한다. 시퀀서(534)는 트리거된 발진기(526)가 서보 영역(400)의 각각의 필드에서 일관되는 위상 관계를 가지고 시작하도록 한다. 이러한 위상 관계를 보장하기 위하여, 시퀀서(534)는 각각의 필드의 끝부분에서 트리거된 발진기(526)를 디세이블시키고 각각의 필드의 시작부분에서 트리거된 발진기(526)를 다시 인에이블시킨다.

샘플 클럭 신호(528)는 또한 도 14의 교정값 생성기(540)에 제공되는데, 상기 생성기는 샘플 클럭 신호(528)의 각각의 양의 값으로의 진행 전이를 가진 교정값을 생성시킨다. 교정값 생성기(540)에 의하여 생성된 교정값은 멀티플라이어(542)에 제공되며, 상기 멀티플라이어는 또한 아날로그 디지털 변환기(524)에 의하여 생성된 디지털 값을 수신한다. 멀티플라이어(542)는 샘플링된 데이터 값과 교정값을 곱하여 합산 회로(546)에 입력되는 일련의 곱 값(544)을 생성시키도록 한다. 이와 함께, 교정값 생성기(540) 및 멀티플라이어(542)는 아날로그 디지털 변환기(524)에 의하여 생성된 값을 교정한다. 이러한 교정은 샘플 교정과 관련되며, 여기서 아날로그 디지털 변환기(524)에 의하여 생성된 모든 음의 값은 -1의 교정값이 곱해지고, 아날로그 디지털 변환기(524)에 의하여 생성된 모든 양의 값은 +1의 교정값이 곱해진다. 다른 실시예에서, 교정값 생성기(540)에 의하여 생성된 교정값은 판독 신호의 원치 않는 부분 상에 위치한 노이즈 포함 샘플 또는 샘플들을 억제하도록 할 수 있도록 보다 복잡해질 수 있다.

도 15-1 및 15-2는 본 발명의 일 실시예와 관련된 타이밍도이며, 여기서 교정값은 판독 신호로부터 얻은 노이즈 포함 샘플을 억제하도록 선택된다. 특히, 도 15-1은 검은 도트로 표시된 샘플링 포인트를 가진 판독 신호(600)를 도시한다. 도 15-2는 도 14의 곱 값(544)을 생성하기 위하여 서로 곱해진 각각의 샘플과 수직으로 정렬되는 값을 가진 교정값 생성기(540)에 의하여 생성된 교정값을 도시한다. 도 15-1 및 15-2로부터, 이 실시예에서, 판독 신호의 피크에서 취해진 샘플이 샘플 부호에 따라 일 또는 음의 일이 곱해지는 것이 도시된다. 예를 들어, 샘플값(602)이 음이기 때문에, 샘플(602)은 -1인 교정값(604)이 곱해지며, 샘플값(606)이 양이기 때문에, 샘플(606)은 +1인 교정값(608)이 곱해진다. 도 15-1 및 15-2에서, 제로로 선택된 크기를 가진 샘플값은 제로인 교정값이 곱해진다. 예를 들어, 판독 신호(600)에서 거의 제로인 샘플값(610)은 제로인 교정값(612)이 곱해진다. 상기와 같은 낮은 크기의 샘플값에 제로를 곱함으로써, 본 발명은 이들 값을 억제하고 이들이 위치 에러 값 계산에 영향을 주는 것을 방지한다. 이는 본 발명에서 바람직한데, 이들 작은 크기의 값은 때때로 노이즈에 의하여 변동될 수 있기 때문이다. 이들을 억제함으로써, 이들 작은 크기의 값과 관련된 노이즈가 억제될 수 있다.

도 16-1 및 16-2는 판독 신호(620)로부터의 원치 않는 샘플을 억제하기 위하여 교정값이 이용되는 본 발명의 제 2 실시예를 도시한다. 판독 신호(620)는 피크(622, 624)와 같은 피크 및 피크 이전값(626, 628)을 가진다. 피크 이전값(626, 628)은 이상적인 판독 신호(620) 부분이 아니다. 따라서, 피크 이전값(626, 628)로부터의 샘플은 매체에 저장된 전이를 정확하게 표현하지 못한다. 도 16-1 및 16-2에 도시된 본 발명의 실시예에서, 제로인 교정값은 피크 이전 값으로부터의 샘플을 억제하기 위하여 이용된다. 따라서, 피크 이전값(626, 628)과 관련된 샘플은 제로인 교정값이 곱해진다. 나머지 교정값은 피크로부터 취해진 샘플을 교정하기 위하여 선택된다. 따라서, 음의 값을 가진 샘플은 -1이 곱해지고 양의 값을 가진 샘플은 +1이 곱해진다.

당업자는 도 15-1, 15-2, 16-1 및 16-2에 도시된 실시예는 단지 교정값에 대한 가능한 실시예라는 것을 인식할 것이다. 다른 교정값 시퀀스가 가능하며 이는 본 발명의 범위 내에 있다.

도 14에서, 합산 회로(546)는 서보 영역에서 각각의 필드에 대한 일련의 곱 값(544)을 서로 합산한다. 특히, 합산 회로(546)는 위상 필드(404), 정상 위치 에러 필드(408) 및 직교 위치 에러 필드(410)에 대한 값을 합산한다. 대부분의 실시예에서, 합산이 이루어지는 시간 주기는 각각의 필드에 대하여 동일하며 각각의 필드내의 동일한 상대 임시 위치에서 생성한다. 합산이 이루어지는 시간 주기는 시퀀서(534)에 의하여 생성되며 합산 회로(546)에 제공되는 인에이블 합산 신호에 의하여 제어된다.

도 13-5는 인에이블 합산 신호(548)에 대한 타이밍도를 도시한다. 인에이블 합산 신호(548)는 위상 필드 신호, 정상 위치 에러 필드 신호 및 직교 위치 에러 필드 신호 중에 생성하는 3개의 하이 부분(550, 552, 554)을 가진다. 하이 부분들(550, 552, 554)은 동일한 지속 시간을 가지며, 위상 필드 신호, 정상 위치 에러 필드 신호 및 직교 위치 에러 필드 신호의 동일한 상대적 시간 주기 중에 생성된다. 대부분의 실시예에서, 인에이블 합산 신호(548)는 합산 회로(546)를 인에이블시켜 각각의 필드 신호의 시작 및 종료 전이가 합산시 포함되지 않도록 한다. 이는 밀집한 펄스 때문에 에러가 생길 수 있는 전이를 합산으로부터 제거하는데 도움이 된다.

합산 회로(546)는 위상 필드 합, 정상 위치 에러 필드 합 및 직교 위치 에러 필드 합을 포함하는 일련의 합산값들을 생성시킨다. 이 합산값들은 멀티플렉서(556)에 제공되고, 상기 멀티플렉서는 시퀀서(534)로부터의 멀티플렉서 제어 신호(558)에 의하여 제어된다. 멀티플렉서(556)는 합산 회로(546)로부터의 3합산값을 각각의 3개의 레지스터(560, 562, 564)로 보낸다. 레지스터(560)는 위상 필드 신호와 관련된 합산값을 저장하고, 레지스터(562)는 정상 위치 에러 필드 신호와 관련된 합산값을 저장하며, 레지스터(564)는 직교 위치 에러 필드 신호와 관련된 합산값을 저장한다.

본 발명에서, 위상 고정 루프 및 자동 이득 제어부는 정상 위치 에러 필드와 관련된 합산값 및 직교 위치 에러 필드와 관련된 합산값을 위상 필드와 관련된 합산값으로 나누는 필드비 기술을 이용하면 제거될 수 있다. 위상 필드 합산값으로 각각의 위치 에러 필드 합산값을 나눔으로써, 본 발명은 이들 합산값을 정규화하고 모든 3개의 필드에 공통인 이득 팩터를 제거한다. 정상 위치 에러 필드 합산값을 위상 필드 합산값으로 나누는 것은 제산 회로(566)에 의하여 수행되어 제 1 위치 에러 신호 추정치를 생성시키도록 한다. 직교 위치 에러 필드 합산값을 위상 필드 합산값으로 나누는 것은 제산 회로(568)에 의하여 수행되어 제 2 위치 에러 신호 추정치를 생성시키도록 한다. 다음에 제 1 및 제 2 위치 에러 신호 추정치는 공지된 기술을 이용하여 결합되어 트랙내의 헤드의 위치를 결정하도록 한다.

도 14의 본 발명의 복조기에 의하여 수행되는 정규화는 복조 하드웨어 때문에 생성될 수 있는 위치 에러 샘플에서의 소정 에러를 제거한다. 이를 보여주기 위하여, 아날로그 디지털 변환기(524)에 의하여 생성된 샘플링된 판독 데이터는 다음과 같이 정의될 수 있다.

$$y^*(t)=Y(t) \cdot \delta(t-nT_s) \quad (\text{식 } 1)$$

여기서 $y^*(t)$ 는 샘플링된 판독 데이터이며, $Y(t)$ 는 아날로그 디지털 변환기(524)에 수신된 샘플링된 신호이며, t 는 시간이고, δ 는 임펄스 함수이고, n 은 샘플 수이고 그리고 (T_s) 는 샘플 클록 주기이다.

교정값으로 샘플을 곱하고 곱을 합산하는 단계는 다음과 같이 표시될 수 있다.

$$S_x = \sum_{n=0}^N Y(t) \cdot \delta(t-nT_s) \cdot R_n \quad (\text{식 } 2)$$

여기서 S_x 는 도 14의 합산 회로(546)에 의하여 생성된 합산값이며, R_n 은 n 번째 샘플과 관련된 교정값이며, N 은 영역에서 취해진 샘플 수이다. 도 14에서, 식 2의 합산값은 3개의 별도 필드에서 취해진다. 따라서, 판독 신호는 다음과 같이 표시되는 3개의 영역으로 분할될 수 있다.

$$Y_{nPEF}(t) = A_{nPEF} f(t) \quad (\text{식 } 3)$$

$$Y_{qPEF}(t) = A_{qPEF} f(t) \quad (\text{식 } 4)$$

$$Y_{PF}(t) = A_{PF} f(t) \quad (\text{식 } 5)$$

여기서 $Y_{nPEF}(t)$ 는 정상 위치 에러 필드로부터의 판독 신호이고, A_{nPEF} 는 정상 위치 에러 필드의 판독 신호의 진폭이고, $f(t)$ 는 모든 3개의 필드에서 판독 신호를 나타내는 일반 함수이며, $Y_{qPEF}(t)$ 는 직교 위치 에러 필드로부터의 판독 신호 부분이고, A_{qPEF} 는 직교 위치 에러 필드의 판독 신호의 진폭이고, $Y_{PF}(t)$ 위상 필드로부터의 판독 신호이고 A_{PF} 는 위상 필드의 판독 신호의 진폭이다.

식 2, 3 및 5를 결합하여, 도 14의 제산 회로(566)에 의하여 수행되는 나눗셈은 다음과 같이 나타난다.

$$PES1 = \frac{\sum_{n=1}^N A_{nPEF} f(t) \cdot \delta(t-nT_s) \cdot R_n}{\sum_{n=1}^N A_{PF} f(t) \cdot \delta(t-nT_s) \cdot R_n} \quad (\text{식 } 6)$$

여기서 PES1은 제산 회로(566)에 의하여 생성된 제 1위치 에러 신호 추정치이다.

f(t)가 정상 위치 에러 필드 및 위상 필드에서 동일하고 샘플 클록의 위상이 두 필드에서 동일하다고 가정하고, 정상 위치 에러 신호에 이용되는 교정값이 위상 필드에 이용되는 교정값과 매칭될 것을 요구할 경우, 식 6은 다음과 같이 간단해질 수 있다.

$$PES1 = \frac{A_{nPEF}}{A_{PF}} \quad (\text{식 7})$$

유사하게, 제산 회로(568)에 의하여 수행되는 나눗셈은 다음과 같이 나타낼 수 있다.

$$PES2 = \frac{\sum_{n=1}^N A_{qPEF} f(t) \cdot \delta(t - nT_s) \cdot R_n}{\sum_{n=1}^N A_{PF} f(t) \cdot \delta(t - nT_s) \cdot R_n} \quad (\text{식 8})$$

여기서 PES2는 제산 회로(568)에 의하여 생성된 제 2 위치 에러 신호를 나타낸다. 상기 가정을 이용하면, 식 8은 다음과 같이 간단해질 수 있다.

$$PES2 = \frac{A_{qPEF}}{A_{PF}} \quad (\text{식 9})$$

식 7 및 9는 f(t)에서 일관적으로 나타나는 에러가 제산 회로(566, 568)에서 행해지는 나누기에 의하여 제거되는 것을 보여준다. 또한, 샘플링 주기(T_s)는 만약 샘플링 주기가 서보 영역의 각각의 필드에서 동일하다면 식 7 및 9에서 생략되기 때문에, 샘플링 주기가 단일 서보 영역내의 모든 필드에서 일관성을 유지하는 한 샘플링 주기는 각각의 서보 영역에 대하여 동일할 필요가 없음을 알 수 있다. 따라서, 샘플 클록이 각각의 서보 영역에서 동일할 필요가 없기 때문에 상당히 정확한 위상 고정 루프가 필요하지는 않다. 대신, 일관성있는 트리거된 발진기가 도 14에서처럼 이용될 수 있다. R_n 이 서보 영역의 모든 3개의 필드에서 일관성을 유지하는 한 R_n 은 어떠한 값이라도 가질 수 있다. 따라서, R_n 값은 위치 에러 신호 추정치에 영향을 주지 않고도 노이즈를 가진 샘플을 제거하기 위하여 선택될 수 있다. 또한, 상이한 R_n 값이 상이한 서보 영역에 이용되어 복조기의 성능을 최대화할 수 있다.

본 발명에서도, 일부 에러는 위치 에러 신호 추정치에 미미하게 영향을 미친다. 특히, 트리거된 발진기의 주파수가 위치 에러 필드 동안보다 위상 필드 동안에 다르거나 트리거된 발진기가 각각의 필드에서 상이한 상대적 시간에서 시작하면, 위치 에러 신호 추정치에 에러가 생성한다. 이들 에러의 영향은 다음과 같이 나타낼 수 있다.

$$PES1 = \frac{A_{nPEF} \sum_{n=1}^N f(t) \cdot \delta(t - n(T_s + T_E) - S_E) \cdot R_n}{A_{PF} \sum_{n=1}^N A_{PF} f(t) \cdot \delta(t - nT_s) \cdot R_n} \quad (\text{식 10})$$

여기서 합산값의 나누기는 위상 필드 신호의 진폭에 대한 정상 위치 에러 필드 신호의 진폭의 비가 곱해지는 에러 계수를 나타낸다. 식 10에서, T_E 는 정상 위치 에러 필드중의 샘플링 주기 및 위상 필드 중의 샘플링 주기사이의 차를 나타내며, S_E 는 트리거된 발진기(526)가 정상 위치 에러 필드에서 시작할 때와 위상 필드에서 시작할 때의 시작 에러를 나타낸다. 유사한 식이 PES2에 대하여 정의되어 트리거된 발진기(526)에 의하여 제 2 위치 에러 신호 추정치에 영향을 주는 에러를 나타낼 수 있다. 상기 식들을 기초로, 본 발명에서는 시작 시간에서의 차이는 트랙 폭의 1%이하의 복조 에러를 유지하기 위하여 데이터 사이클의 약 0.7%이하여야 한다는 것을 발견했다.

본 발명은 또한 아날로그 복조기(700)으로서 구현될 수 있으며, 이는 도 17의 블록도에 도시된다. 복조기(700)에서, 도 2의 증폭 신호(252)는 시퀀서(702)에 의하여 수신되는데, 상기 시퀀서는 복조기(700)의 나머지에 대한 다수의 상이한 타이밍 신호를 제공한다. 시퀀서(702)는 증폭 신호(252)상의 이들 타이밍을 기초하는데, 이들의 예는 도 18-1의 타이밍도에 도시되어 있다. 시퀀서(702)에 의하여 생성된 신호중 두 개는 도 18-3의 타이밍도에 도시된 인에이블 전압 제어 발진기(VCO) 신호(704) 및 도 18-4에 도시된 시작 전압 제어 발진기(VCO)(706)이다. 인에이블(VCO) 신호(704)는 트리거된 발

진기(708)에 제공되는데, 상기 발진기는 도 18-2에 도시된 멀티플라이어 클록 신호(710)를 발생시킨다. 트리거된 발진기(708)는 또한 시퀀서(702)로부터 시작 VCO(706)를 수신한다. 인에이블(VCO) 신호(704)가 하이이면, 트리거된 발진기(708)는 시작 VCO(706)가 하이로 된 후에 멀티플라이어 클록 신호(710)를 발생시키기 시작할 것이다. 트리거된 발진기(708)는 인에이블(VCO) 신호(704)가 로우로 다시 될 때까지 멀티플라이어 클록 신호(710)를 계속 발생시킨다. 본 발명의 실시예에서, 멀티플라이어 클록 신호(710)는 -1 과 +1 사이에서 발진하는 구형파 클록 신호이다.

인에이블(VCO) 신호(704) 및 시작 VCO(706)를 통하여, 시작 VCO(706)는 서보 영역의 각각의 필드에서 클록 신호(710)를 재시작한다. 특히, 클록 신호(710)는 헤드가 위상 필드, 정상 위치 에러 필드 및 직교 위치 에러 필드에 들어갈 때마다 재시작된다. 시작 VCO(706)는 각각의 필드의 제 1전이 세트틀 기초로 인에이블(VCO) 신호(704) 및 시작 VCO(706)를 생성시킨다. 특히, 시작 VCO(706)는 위상 필드의 제 1전이 세트, 도 9의 발진 트리거 부분(414, 416)과 같은 정상 위치 에러 필드 및 직교 위치 에러 필드와 관련된 전이 세트틀을 이용한다. 시작 VCO(706)는 트리거된 발진기(708)를 시작시키기 위하여 방사방향 간섭성 전이를 이용하기 때문에, 트리거된 발진기(708)에 의하여 생성된 클록 신호는 헤드 방사 위치와 관계없이 각각의 필드에서 증폭 신호(252)와 동일한 시작 위상 관계를 가진다.

본 발명에서, 멀티플라이어 클록 신호(710)는 증폭 신호(252)의 기본 주파수와 동일한 주파수를 가질 필요는 없다. 또한, 멀티플라이어 클록 신호(710)는 증폭 신호(252)의 기본 주파수의 정수 배인 주파수를 가질 필요도 없다.

멀티플라이어 클록 신호(710) 및 증폭 판독 신호(252)는 모두 멀티플라이어(710)에 제공되며, 상기 멀티플라이어는 아날로그 곱 신호(714)를 제공하기 위하여 두 신호를 곱한다. 아날로그 곱 신호(714)는 서보 영역의 위상 필드, 정상 위치 에러 필드 및 직교 위치 에러 필드에 대응하는 증폭 신호(252) 부분을 나타내는 3개의 부분으로 분할될 수 있다.

적분기(716)는 도 18-5의 타이밍도에 도시된 시작 VCO(706) 및 인에이블 적분기 신호(718)의 제어 하에 곱 신호(714)의 각각의 부분을 적분한다. 적분기(716)는 곱 신호(714)의 각각의 부분의 시작 부분에서 시작 VCO(706)에 의하여 리셋된다. 인에이블 적분기 신호(718)는 곱 신호(714)의 각각의 부분 중에 작은 주기 동안 적분기(716)를 인에이블시킨다. 일 실시예에서, 적분기(716)는 위상 필드의 시작 및 종료부분, 정상 위치 에러 필드의 널 패턴 부분 및 직교 위치 에러 필드의 널 패턴 부분에서의 전이를 제외하는 주기 동안 인에이블된다. 상기와 같은 실시예에서, 적분 주기는 곱 신호(714)의 각각의 부분에서 동일하다. 따라서, 위상 필드와 관련된 곱 신호(714) 부분에서의 적분 주기는 정상 위치 에러 필드 및 직교 위치 에러 필드에 대한 적분 주기와 동일하다.

각각의 적분 후에, 적분기(716)는 피적분함수 시퀀스(720)를 생성시키는 아날로그값을 출력에 생성시킨다. 피적분함수 시퀀스(720)의 제 1피적분함수는 위상 필드 피적분함수인데, 이는 멀티플렉서(722)에 의하여 아날로그 위상 필드 샘플 홀드 회로(724)로 전달된다. 멀티플렉서(722)는 도 18-6에 도시된 멀티플렉서 제어 신호(726)를 기초로 위상 필드 샘플 홀드 회로(724)에 상기 피적분함수를 전달한다. 멀티플렉서 제어 신호(726)는 적분기(716)가 위상 필드에 대한 피적분함수를 생성시키는 시간 주기 동안 하이이며, 적분기(716)가 정상 위치 에러 필드 및 직교 위치 에러 필드에 대한 피적분함수를 생성시키는 시간 주기 동안은 로우이다.

위상 필드 샘플 홀드 회로(724)는 위상 로드 신호(728) 및 위상 리셋 신호(730)를 시퀀서(702)로부터 수신한다. 위상 로드 신호(728) 및 위상 리셋 신호(730)의 예는 도 18-9 및 도 18-10에 도시된다. 위상 리셋 신호(730)는 위상 피적분함수가 적분기(716)에 의하여 생성되기 바로 전에 위상 필드 샘플 홀드 회로(724)를 리셋시킨다. 위상 로드 신호(728)는 적분기(716)가 위상 피적분함수를 생성하기 바로 전에 멀티플렉서(722)로부터 위상 피적분함수를 수신하기 위한 상태로 위상 필드 샘플 홀드 회로(724)를 배치한다. 이는 도 18-9 및 18-5에 도시되는데, 여기서 위상 로드 신호(728)는 인에이블 적분기 신호(718)가 위상 필드에 대하여 로우가 될 때 바로 하이로 된다. 위상 필드 피적분함수가 위상 필드 샘플 홀드 회로(724)로 로딩되면, 위상 필드 샘플 홀드 회로(724)는 리셋될 때까지 위상 피적분함수를 출력(732)에 생성시킨다.

위상 필드 피적분함수 다음에, 적분기(716)는 정상 위치 에러 필드 피적분함수를 생성시킨다. 이 피적분함수는 멀티플렉서(722)에 의하여 위치 에러 신호 샘플 홀드 회로(734)로 전달된다. 위치 에러 신호 샘플 홀드 회로(734)는 PES 로드 신호(736) 및 PES 리셋 신호(738)에 의하여 제어되는데, 상기 신호들은 도 18-7 및 18-8에 도시된다. PES 리셋 신호(738)는 정상 위치 에러 필드 피적분함수가 생성되기 바로 전에 PES 샘플 홀드 회로(734)를 리셋시킨다. 이는 유지될 수 있는 이전의 소정 값을 PES 샘플 홀드 회로(734)에서 클리어시킨다. PES 로드 신호(736)는 PES 샘플 홀드 회로(734)를 세트하여 멀티플렉서(722)에 의하여 생성된 피적분함수를 받아들이도록(accept) 한다. PES 로드 신호(736)는 인에이블 적분기 신호(718)가 정상 위치 에러 필드에 대하여 로우가 되면 바로 하이로 된다. 따라서, PES 로드 신호(736)는 적분기(716)가 정상 위치 에러 필드 피적분함수를 생성시키면 하이로 된다. 위치 에러 신호 샘플 홀드 회로(734)는 PES 리셋 신호(738)에 의하여 리셋될 때까지 출력(740)에서 정상 위치 에러 필드 피적분함수를 유지한다.

샘플홀드 회로(724, 734)의 출력(732, 740)은 위상 필드 피적분함수로 정상 위치 에러 필드 피적분함수를 나누는 제산 회로(742)에 제공된다. 이는 제산 출력(744)에 제 1위치 에러 신호 추정치를 생성시키는데, 이는 디지털 제 1위치 에러 신호 추정치를 생성하기 위하여 아날로그 디지털 변환기(746)에 제공된다.

PES 리세트 신호(738)는 적분기(716)가 직교 위치 에러 필드 피적분함수를 생성하기 바로 전에 PES 샘플홀드 회로(734)를 리세트시킨다. 다음에 PES 로드 신호(736)는 PES 샘플홀드 회로(734)를 리세트시켜 직교 위치 에러 필드 피적분함수를 받아들이도록 하고 출력(740)에서 피적분함수를 유지하도록 한다. 다음에 제산 회로(742)는 위상 필드 피적분함수로 직교 위치 에러 필드 피적분함수를 나누어 제 2 위치 에러 필드 추정치를 생성시키며, 이는 아날로그 디지털 변환기(746)로 전달된다. 제 2 위치 에러 신호 추정치는 아날로그 디지털 변환기(746)에 의하여 디지털 제 2 위치 에러 신호 추정치로 변환된다. 본 발명의 디지털 버전에서, 정상 위치 에러 신호 피적분함수 및 직교 위치 에러 신호 피적분함수를 위상 필드 피적분함수로 나누는 것은 서보 시스템에 의하여 각각의 피적분함수로 유도되는 공통 에러를 제거한다. 이는 본 발명에서 AGC 회로 및 위상 고정 루프가 생략되도록 한다.

도 19는 도 17의 제산 회로(742)의 일 실시예를 도시한다. 도 19에서, 위치 에러 신호 샘플홀드 회로(734)의 출력(740)은 연산 증폭기(750)의 반전 입력에 제공된다. 연산 증폭기(750)의 출력은 멀티플라이어(752)에 공급되며, 상기 멀티플라이어는 위상 필드 샘플홀드 회로(724)의 출력(734)을 수신한다. 멀티플라이어(752)의 출력은 증폭기(750)의 비반전 입력에 제공된다.

상기 아날로그 복조기(700)의 설명에서 위치 에러 필드 피적분함수가 위상 필드 피적분함수에 의하여 나누어질 때까지 아날로그값이 디지털 값으로 변환되는 것이 나타나 있지 않더라도, 다른 실시예에서, 피적분함수는 적분기(716) 다음의 소정 위치에서 디지털 값으로 변환될 수 있다.

요약하면, 본 발명은 판독 헤드(110)가 위상 필드(404) 및 위치 에러 필드(408, 410)위를 통과할 때 판독 헤드(110)에 의하여 생성된 서보 신호(522)를 기초로 저장 매체(106)위에 판독 헤드(110)의 위치를 결정하는 방법을 제공한다. 상기 방법은 위상 필드 값(732)을 생성하기 위하여 위상 필드(404)와 관련된 서보 신호(452)의 일부분(456)상에서 복조 연산 세트(542, 546, 712, 716)를 수행하는 단계를 포함한다. 상기 방법은 또한 위치 에러 필드 값을 생성하기 위하여 위치 에러 필드(408, 410)와 관련된 서보 신호(452)의 일부분(458, 460)상에서 복조 연산 세트(542, 546, 712, 716)를 수행하는 단계 및 저장 매체상의 판독 헤드의 위치를 나타내는 위치 에러 추정치(744)를 생성하기 위하여 상기 위상 필드 값으로 위치 에러 필드 값을 나누는 단계를 포함한다.

본 발명은 또한 저장 매체(106)상의 판독 헤드(110)의 위치를 나타내는 위치 에러 신호(744)를 결정하는 방법을 포함한다. 상기 방법은 위상 필드 신호(456)를 생성하기 위하여 위상 필드(404)위에 판독 헤드(110)를 통과시키는 단계 및 위상 필드 신호(456)의 일부분에 의하여 설정된 위상을 가진 위상 필드 복조 신호(710)(R_n)를 생성시키는 단계를 포함한다. 판독 헤드(110)는 위치 에러 필드 신호(458, 460)를 생성하기 위하여 위치 에러 필드(408, 410)를 통과한다. 위상 에러 필드 복조 신호(710)(R_n)는 위치 에러 필드 신호(458, 460)의 일부분(462, 466)에 의하여 설정된 위상을 가지도록 생성된다. 복조 위상 필드 신호(710)(R_n)는 위상 필드 정규화 팩터(732)를 생성하도록 위상 필드 신호(456)를 복조하기 위하여 이용된다. 복조 위치 에러 필드 신호(710)(R_n)는 스케일링되지 않은(unscaled) 위치 에러 신호 값을 생성하도록 위치 에러 필드 신호(458, 460)를 복조하기 위하여 이용된다. 스케일링되지 않은 위치 에러 신호 값은 스케일링된(scaled) 위치 에러 값(744)을 생성하기 위하여 정규화 팩터(732)로 나누어진다.

본 발명은 또한 위치 에러 신호 값(744)을 생성하기 위하여 서보 신호(450, 452, 454)를 복조하는 복조 회로(520, 700)를 포함한다. 상기 회로는 교정된 위상 필드 신호 및 교정된 위치 에러 필드 신호를 생성하기 위하여 위상 필드 신호(456, 470, 490) 및 위치 에러 필드 신호(458, 460, 472, 474, 492, 494)를 교정하는 교정 회로(540, 542, 708, 712)를 포함한다. 복조 회로는 또한 교정 회로에 연결되며 정규화 팩터(732)를 생성하기 위하여 교정된 위상 필드 신호의 값을 합산할 수 있으며 스케일링되지 않은 위치 에러 필드 값을 생성하기 위하여 위치 에러 필드 신호의 값을 합산할 수 있는 합산 회로(546, 716)를 포함한다. 제산 회로(566, 568, 742)는 정규화 팩터(732)와 스케일링되지 않은 위치 에러 필드 값을 수신할 수 있으며 위치 에러 신호 값(744)을 생성하기 위하여 스케일링되지 않은 위치 에러 필드 값을 정규화값으로 나눌 수 있다.

본 발명이 위상 고정 루프 및 자동 이득 제어부를 생략한 것을 기초로 설명되었지만, 당업자는 본 발명이 위상 고정 루프와 자동 이득 제어부를 가진 디스크 드라이브에서 구현될 수 있음을 알 것이다.

본 발명의 여러 가지 실시예의 수많은 특징 및 장점이 본 발명의 여러 실시예의 구조 및 기능과 함께 상기 설명에서 기술되었지만, 이는 단지 예일 뿐이며 첨부된 청구범위에서 나타나는 넓은 개념으로 표시되는 전체 범위로 본 발명의 원리내의 구조 및 배열에서 변경이 있을 수 있다. 예를 들어, 위상 및 위치 에러 필드의 복조는 특정 이용분야에 따라 동일 회로에서 순차적으로 수행될 수 있거나 또는 병렬 회로에 의하여 수행될 수 있으며, 이는 본 발명의 범위 및 사상에서 벗어나지 않는다. 다른 변형 역시 가능하다.

(57) 청구의 범위

청구항 1.

관독 헤드가 저장 매체상의 위상 필드 및 위치 에러 필드를 통과할 때 상기 관독 헤드에 의하여 생성된 서보 신호를 기초로 하여 저장 디바이스의 상기 저장 매체상의 상기 관독 헤드 위치를 결정하는 방법으로서,

- (a) 위상 필드 값을 생성하기 위하여 상기 위상 필드와 관련된 서보 신호의 일부분에 대하여 복조 연산 세트를 수행하는 단계;
- (b) 위치 에러 필드 값을 생성하기 위하여 상기 위치 에러 필드와 관련된 서보 신호의 일부분에 대하여 복조 연산 세트를 수행하는 단계; 및
- (c) 상기 저장 매체 상의 관독 헤드 위치를 나타내는 위치 에러 추정치를 생성하기 위하여 상기 위치 에러 필드 값을 상기 위상 필드 값으로 나누는 단계

를 포함하는 관독 헤드 위치 결정 방법.

청구항 2.

제 1항에 있어서,

상기 관독 헤드는 제 2 위치 에러 필드를 통과하며, 상기 관독 헤드 위치 결정 방법은,

- (d) 제 2 위치 에러 필드 값을 생성하기 위하여 상기 제 2 위치 에러 필드와 관련된 상기 서보 신호의 일부분에 대하여 복조 연산 세트를 수행하는 단계; 및
- (e) 상기 저장 매체 상의 관독 헤드 위치를 나타내는 제 2 위치 에러 추정치를 생성하기 위하여 상기 제 2 위치 에러 필드 값을 상기 위상 필드 값으로 나누는 단계

를 더 포함하는 것을 특징으로 하는 관독 헤드 위치 결정 방법.

청구항 3.

제 1항에 있어서,

상기 서보 신호의 일부분에 대하여 복조 연산 세트를 수행하는 단계는,

- (a)(1) 신호 샘플들의 시퀀스를 생성하기 위해 상기 서보 신호의 일부분을 샘플링하는 단계;
- (a)(2) 교정된 값들의 시퀀스를 생성하기 위해 상기 신호 샘플들의 시퀀스에 교정 값들의 시퀀스를 곱하는 단계; 및
- (a)(3) 상기 교정된 값들을 상기 교정 값들의 시퀀스에 함께 합산시키는 단계

를 더 포함하는 것을 특징으로 판독 헤드 위치 결정 방법.

청구항 4.

제 3항에 있어서,

상기 교정 값들의 시퀀스는 적어도 하나의 제로를 포함하는 것을 특징으로 판독 헤드 위치 결정 방법.

청구항 5.

제 4항에 있어서,

상기 공급하는 단계(a)(2)는 작은 크기의 신호 샘플에 제로인 교정값을 공급하는 단계를 포함하는 것을 특징으로 판독 헤드 위치 결정 방법.

청구항 6.

제 4항에 있어서,

상기 공급하는 단계(a)(2)는, 신호 샘플이 상기 서보 신호의 피크값 이전(peak shoulder)에서 얻어진 경우 상기 신호 샘플에 제로인 교정값을 공급하는 단계를 포함하는 것을 특징으로 판독 헤드 위치 결정 방법.

청구항 7.

제 1항에 있어서, 상기 수행 단계(a)는:

(a)(1) 교정된 신호를 생성하기 위해 상기 서보 신호의 일부분에 교정 신호를 공급하는 단계; 및

(a)(2) 상기 교정된 신호를 적분하는 단계

를 포함하는 것을 특징으로 판독 헤드 위치 결정 방법.

청구항 8.

제 7항에 있어서,

상기 위치 에러 필드 값 및 상기 위상 필드 값은 아날로그 값이며, 상기 위치 에러 필드 값을 상기 위상 필드 값으로 나누는 것은 아날로그 연산인 것을 특징으로 판독 헤드 위치 결정 방법.

청구항 9.

위치 에러 신호 값을 생성하기 위하여 데이터 저장 디바이스에서 서보 신호를 복조하는 복조 회로로서 - 상기 서보 신호는 위상 필드 신호와 위치 에러 필드 신호를 포함함 - ,

교정된 위상 필드 신호 및 교정된 위치 에러 필드 신호를 생성하기 위하여 상기 위상 필드 신호 및 상기 위치 에러 필드 신호를 수신하고 이들을 적어도 부분적으로 교정할 수 있는 교정 회로;

상기 교정 회로에 연결되며, 정규화 팩터를 생성하기 위하여 시간에 따른 상기 교정된 위상 필드 신호의 값들을 합산할 수 있고, 스케일링되지 않은 위치 에러 필드 값을 생성하기 위하여 시간에 따른 상기 위치 에러 필드 신호의 값들을 합산할 수 있는 합산 회로; 및

위치 에러 신호 값을 생성하기 위하여, 상기 정규화 팩터 및 상기 스케일링되지 않은 위치 에러 필드 값을 수신할 수 있고, 상기 스케일링되지 않은 위치 에러 필드 값을 상기 정규화된 팩터로 나눌수 있는 제산 회로(division circuit)

를 포함하는 서보 신호의 복조 회로.

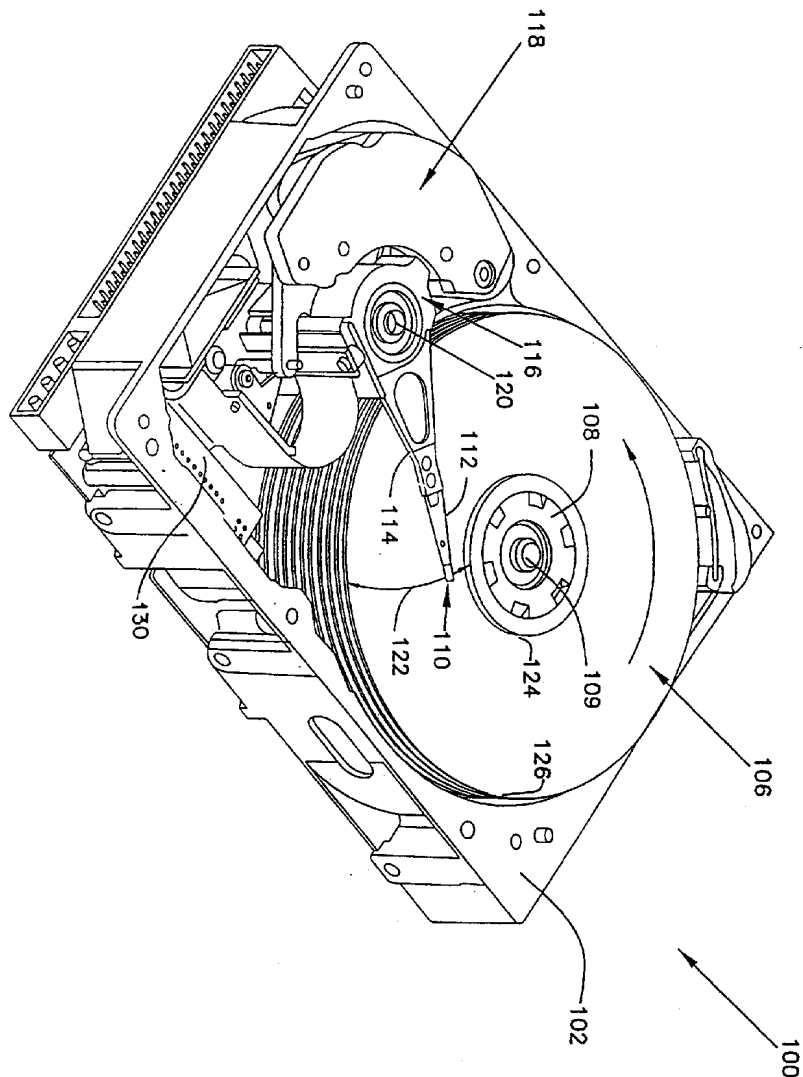
청구항 10.

제 9항에 있어서,

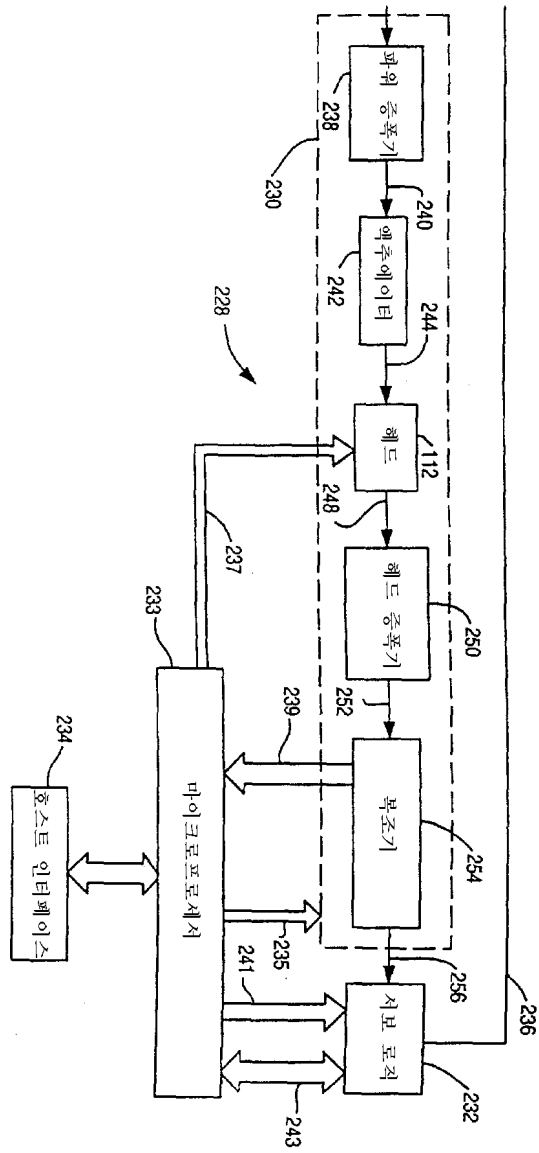
상기 합산 회로는 아날로그 적분기를 포함하는 것을 특징으로 하는 서보 신호의 복조 회로.

도면

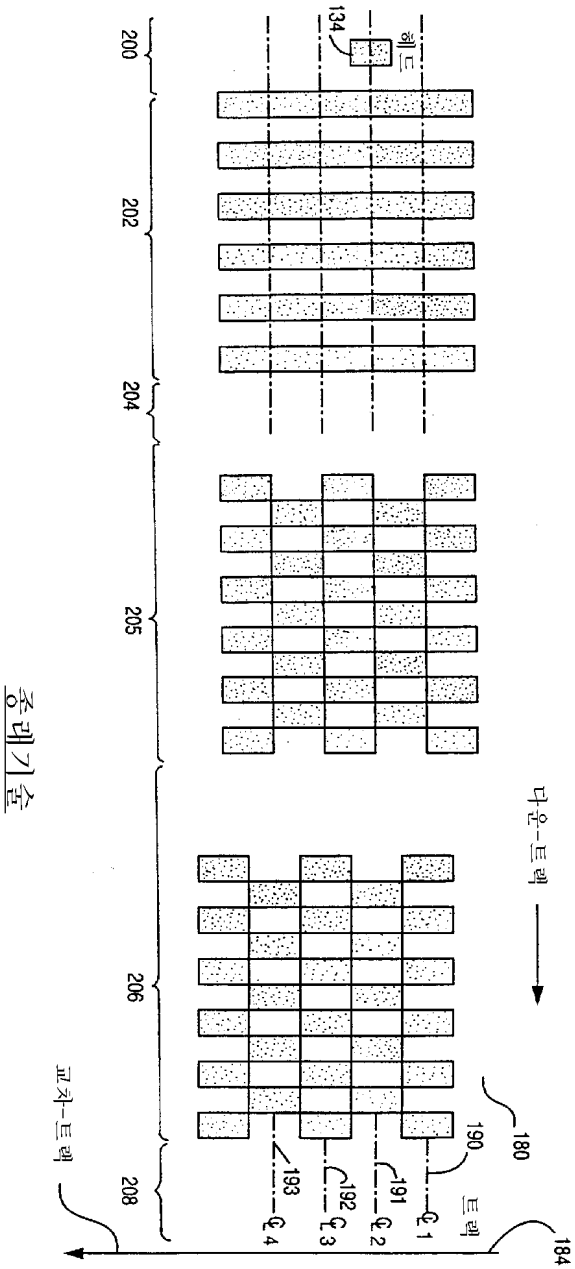
도면1



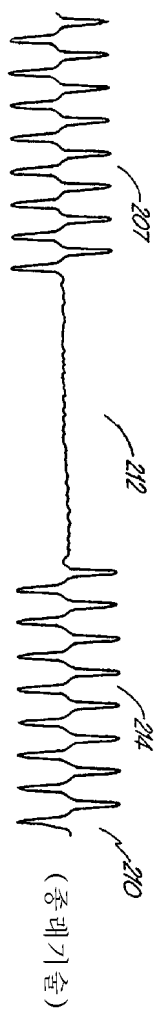
도면2



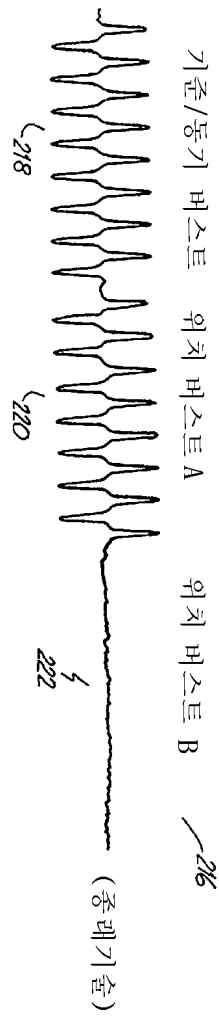
도면3



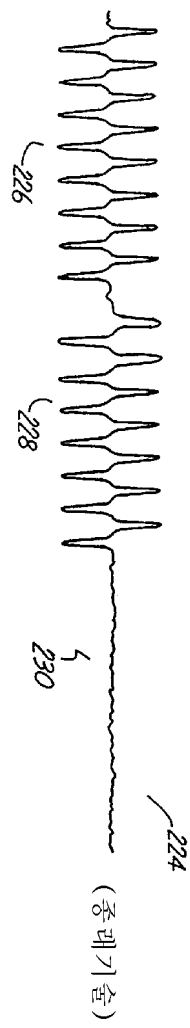
도면4



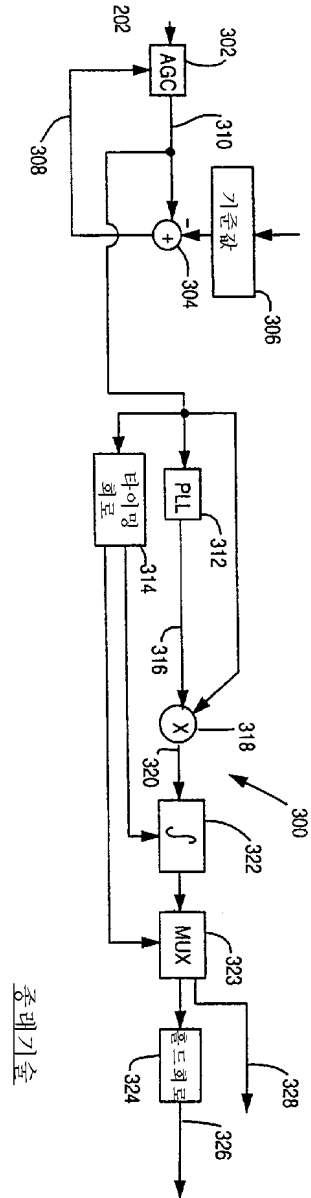
도면5



도면6

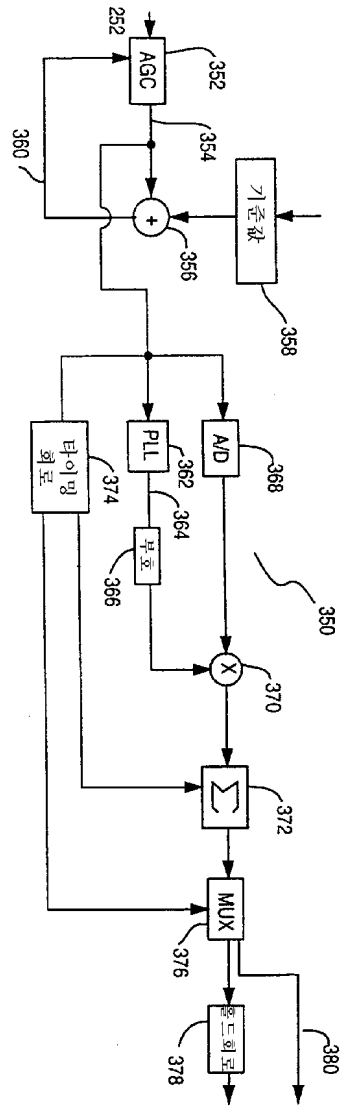


도면7



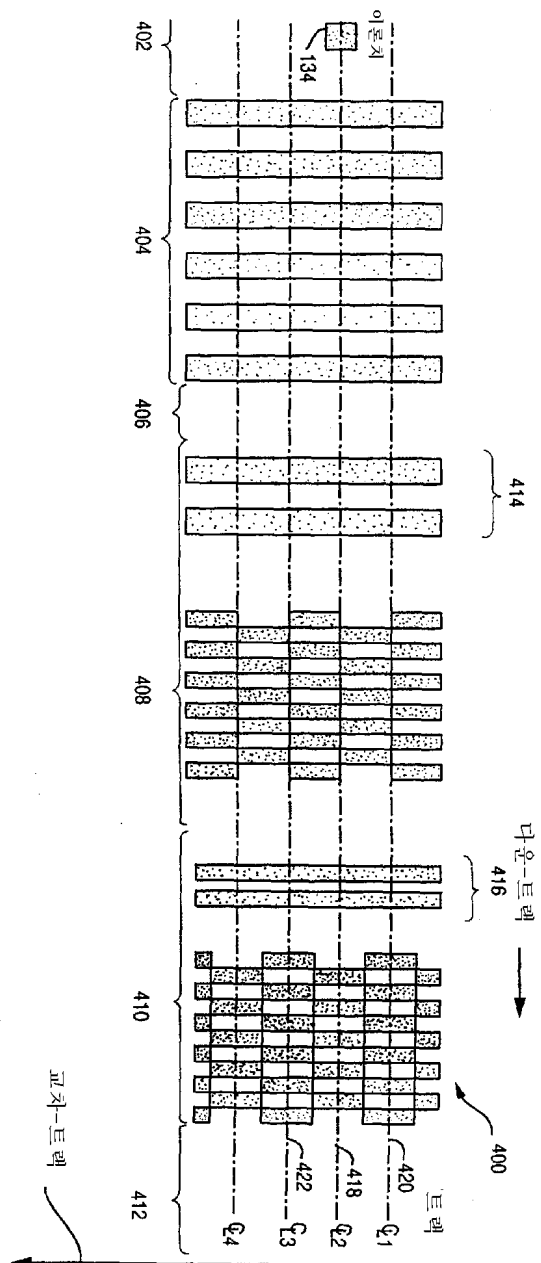
종래기술

도면8

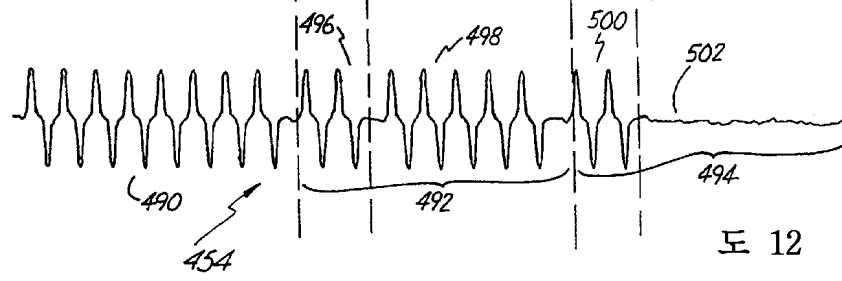
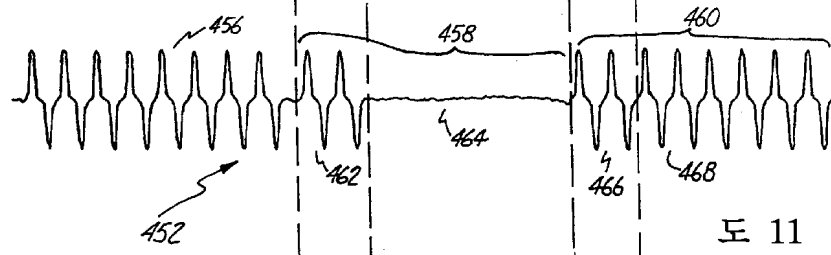
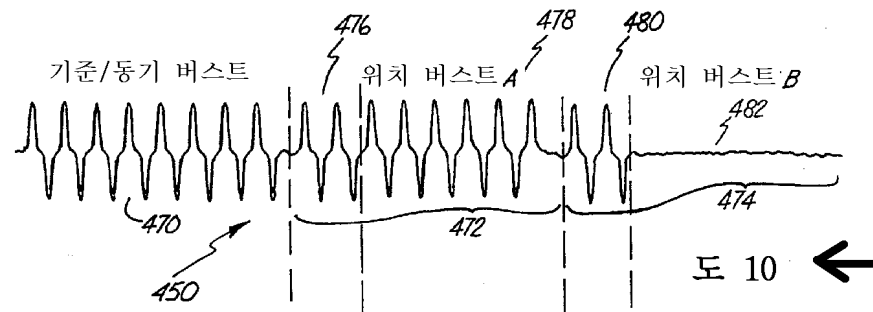


종래기술

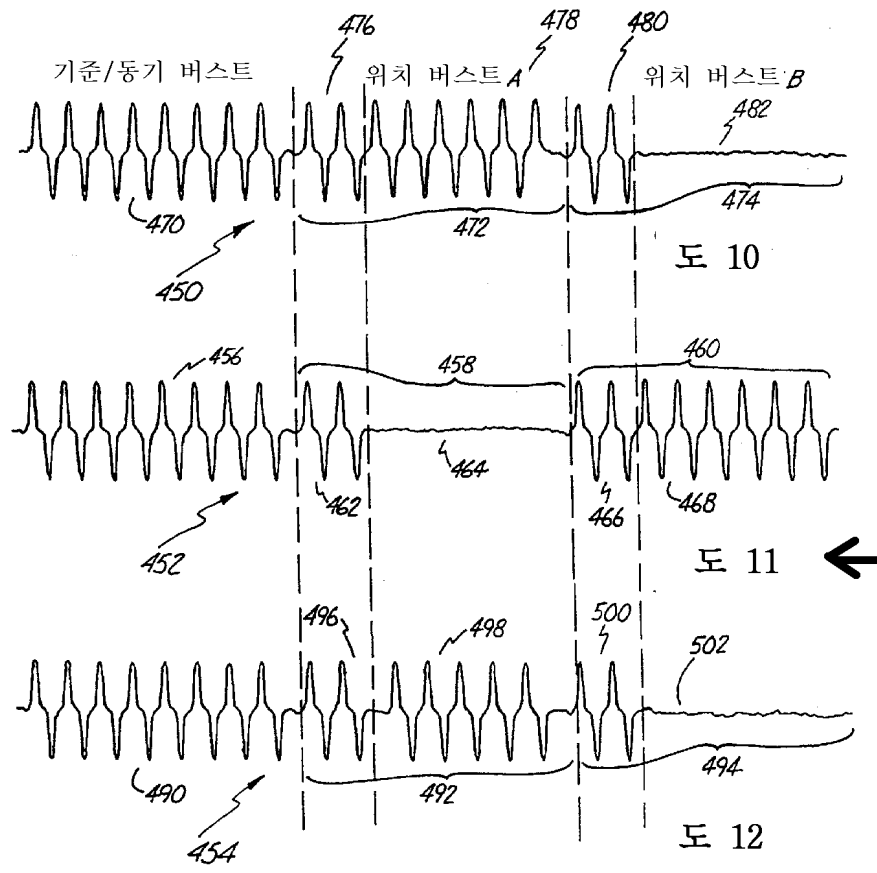
도면9



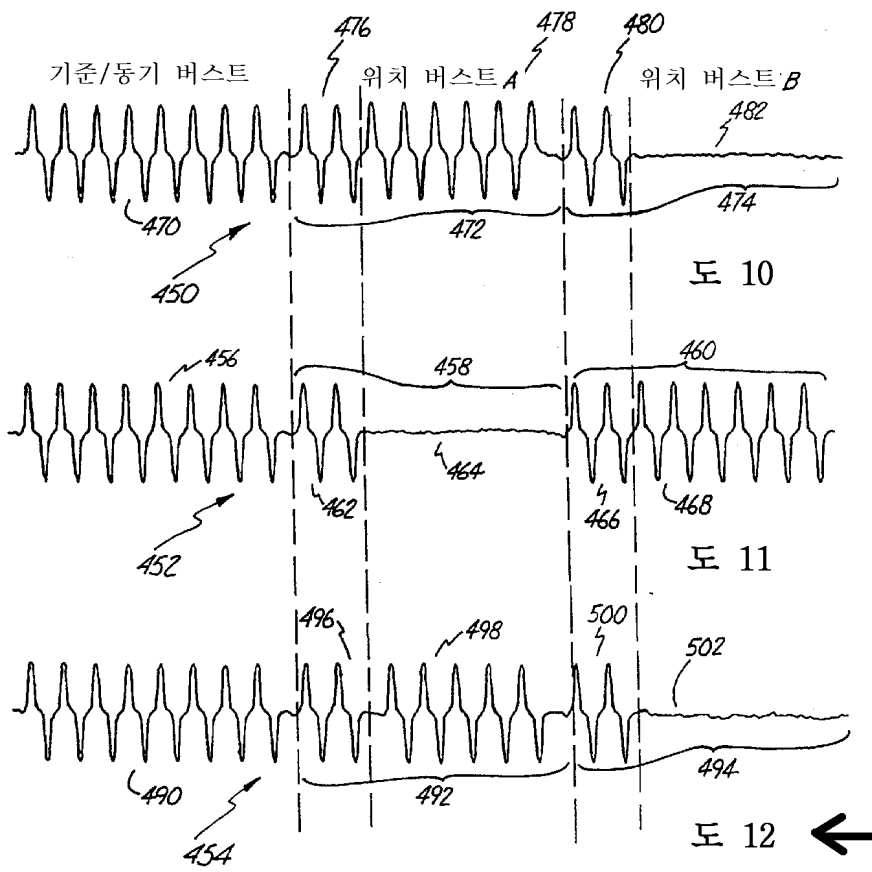
도면10



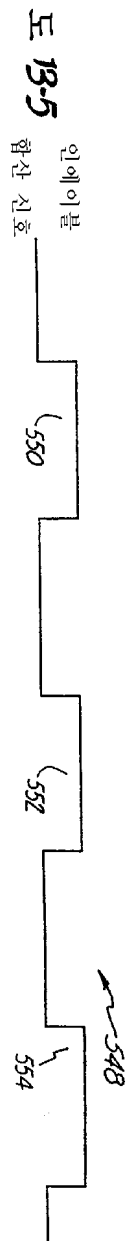
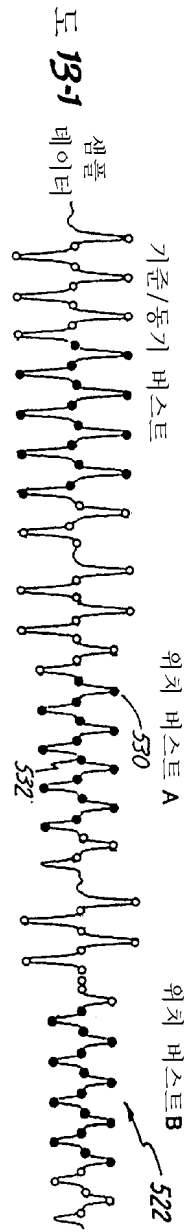
도면11



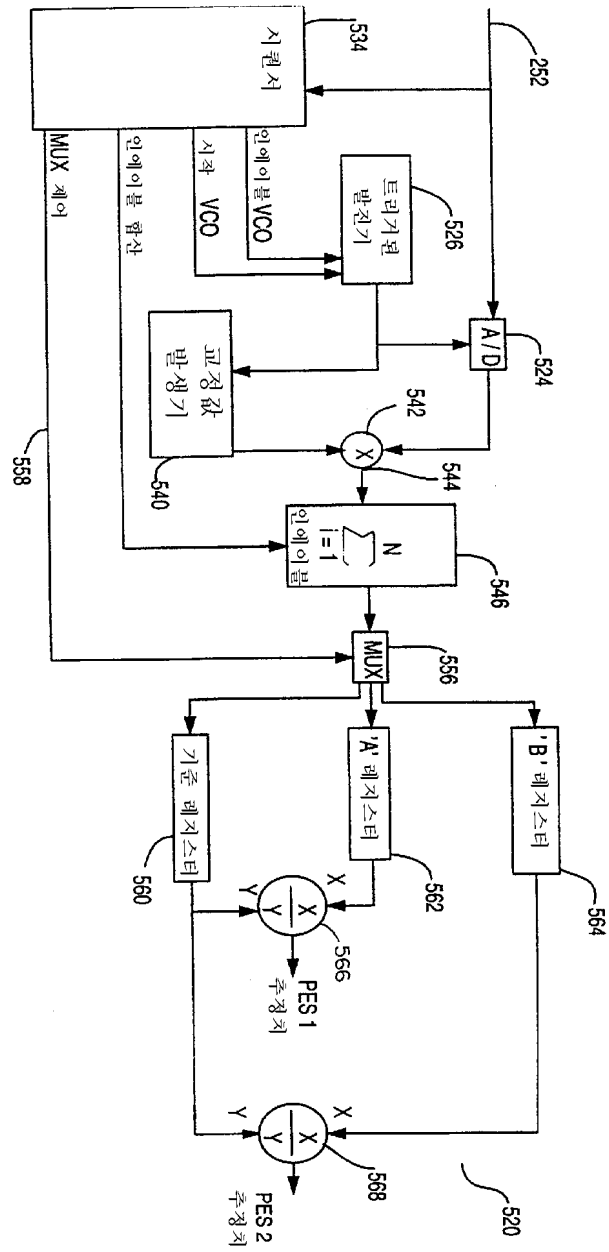
도면12



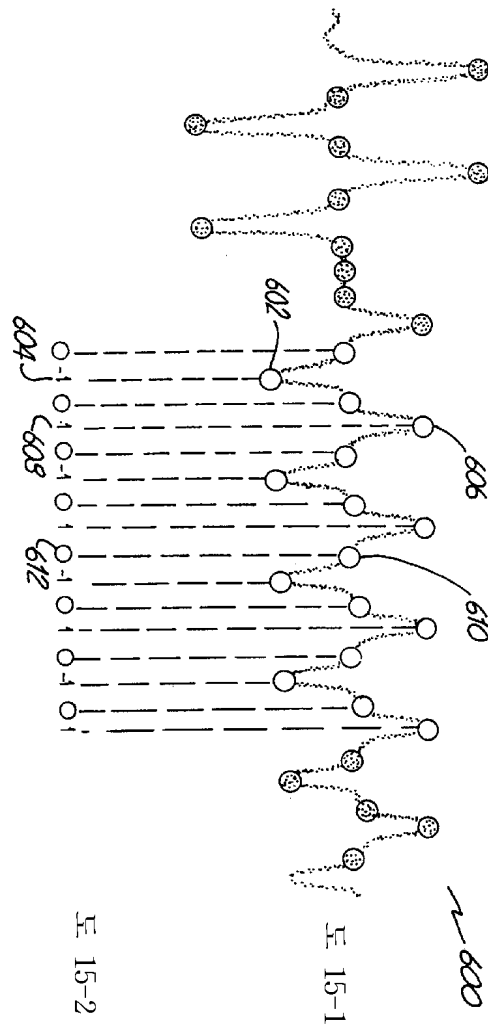
도면13



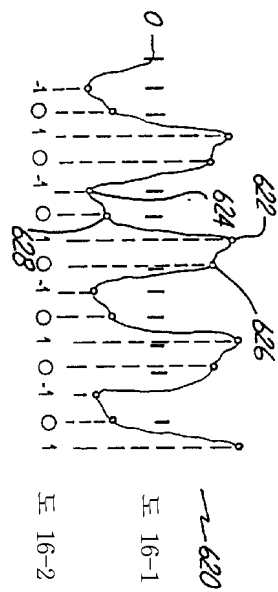
도면14



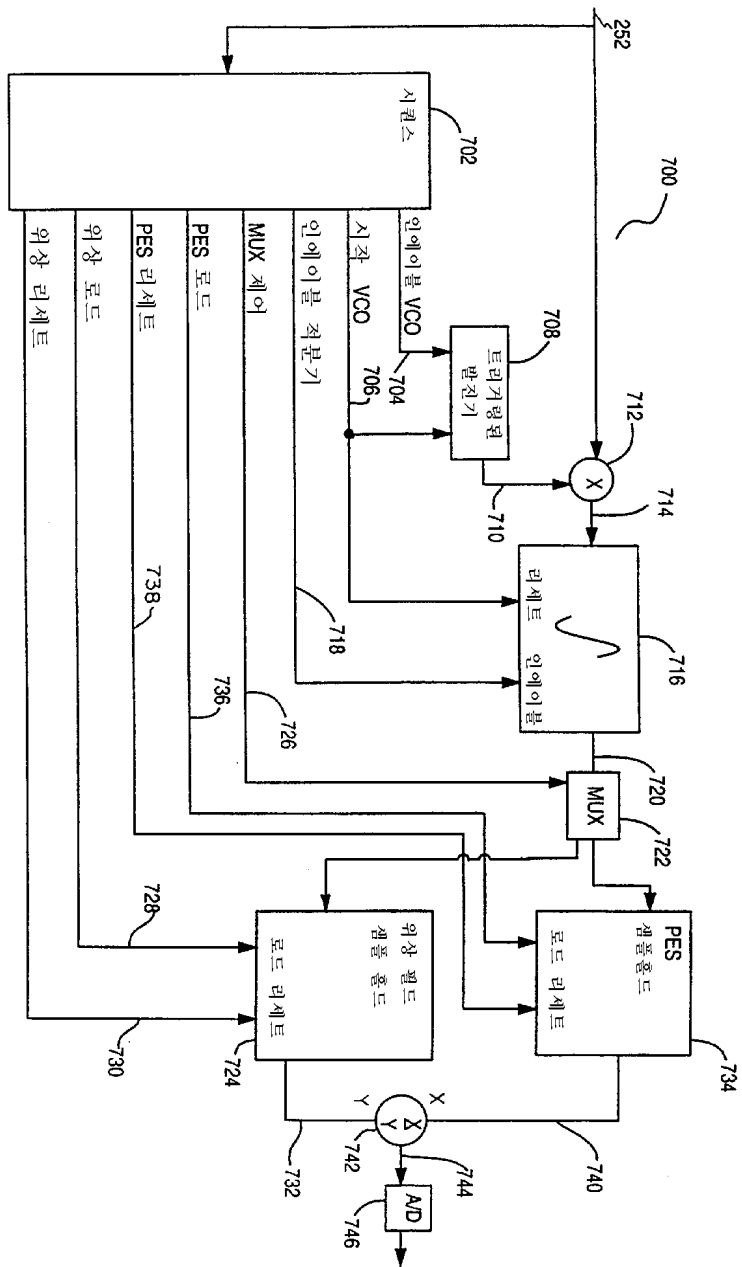
도면15



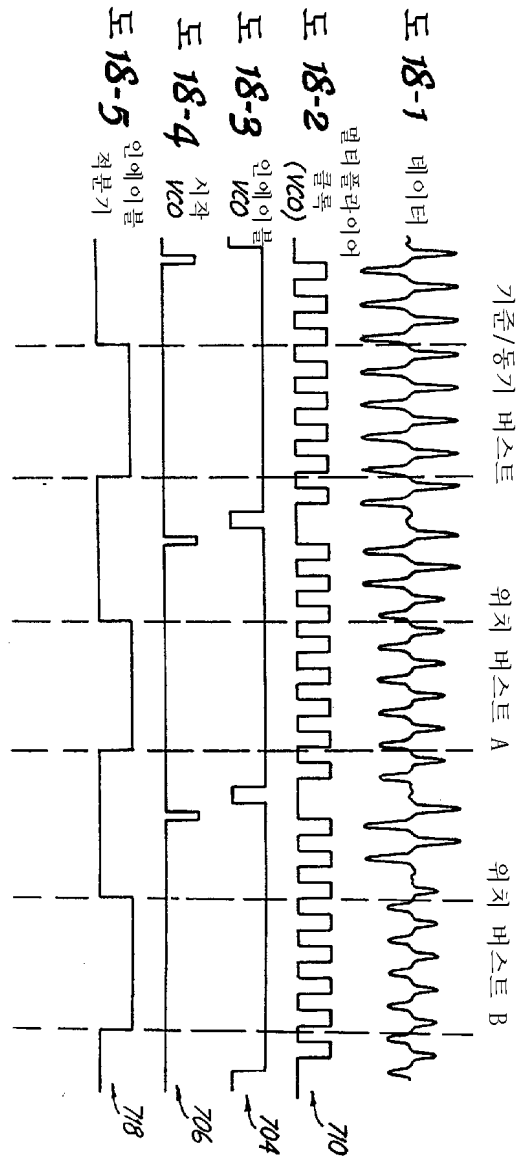
도면16



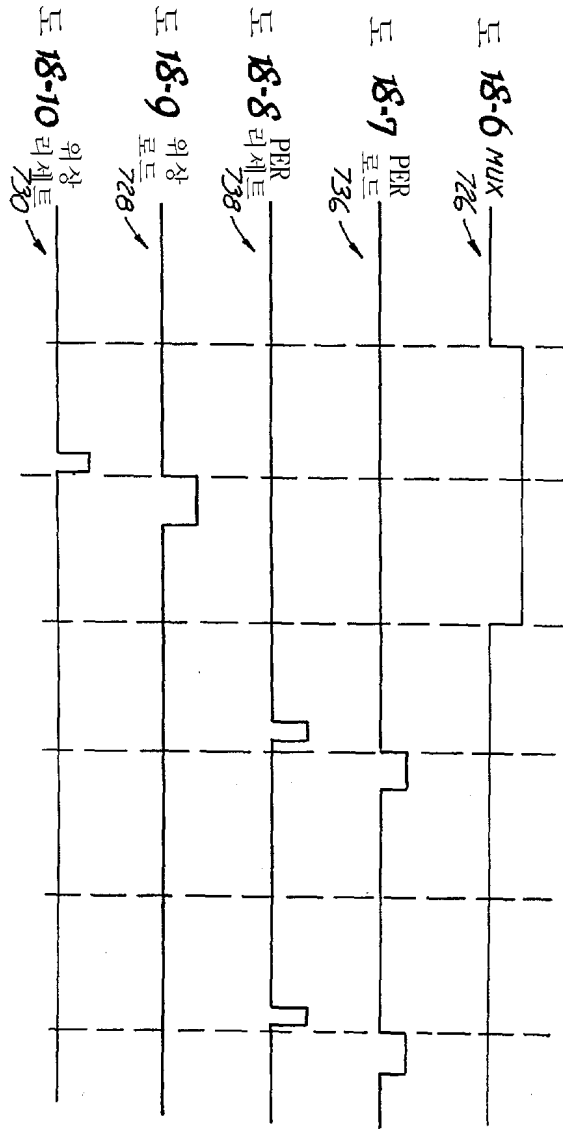
도면17



도면18a



도면18b



도면19

