



(12) 发明专利

(10) 授权公告号 CN 102089882 B

(45) 授权公告日 2013. 07. 24

(21) 申请号 200980127273. X

(22) 申请日 2009. 07. 13

(30) 优先权数据

12/184, 314 2008. 08. 01 US

(85) PCT申请进入国家阶段日

2011. 01. 12

(86) PCT申请的申请数据

PCT/US2009/004051 2009. 07. 13

(87) PCT申请的公布数据

W02010/014138 EN 2010. 02. 04

(73) 专利权人 全视科技有限公司

地址 美国加利福尼亚州

(72) 发明人 克里斯蒂安·亚历山德鲁·蒂瓦鲁斯

约翰·P·麦卡滕 约瑟夫·R·苏马

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 刘国伟

(51) Int. Cl.

H01L 27/146 (2006. 01)

(56) 对比文件

JP 10284714 A, 1998. 10. 23, 说明书第 2 栏 [0005] 段至第 7 栏 [0041] 段、附图 1 — 8.

US 2008083939 A1, 2008. 04. 10, 说明书第 2 页 [0030] 段至第 6 页 [0074] 段、附图 1 — 13.

US 2005205901 A1, 2005. 09. 22, 全文.

US 2007018075 A1, 2007. 01. 25, 全文.

US 6954230 B2, 2005. 10. 11, 全文.

US 2004125222 A1, 2004. 07. 01, 说明书第 1 页 [0007] 段至第 4 页 [0037] 段、附图 1 — 3.

审查员 刘乐

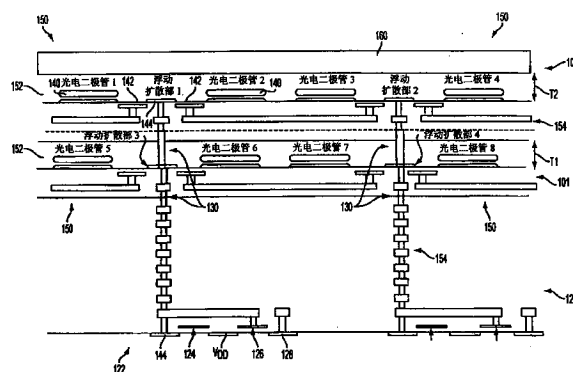
权利要求书2页 说明书8页 附图12页

(54) 发明名称

具有多个感测层的图像传感器

(57) 摘要

本发明涉及一种图像传感器,其包含具有第一像素阵列的第一传感器层(101)及具有第二像素阵列的第二传感器(102)层。所述第一及第二阵列的每一像素具有用于响应于入射光而收集电荷的光电检测器(140)、电荷/电压转换机构(144)及用于将电荷从所述光电检测器选择性地传送到所述电荷/电压机构的传送栅极(142)。所述第一及第二传感器层各自具有用以分别收集具有第一及第二预选波长范围的光的厚度。电路层(120)位于所述第一传感器层下面且具有用于所述第一及第二传感器层的所述像素的支持电路(122),且层间连接器(130)位于所述第一及第二层的所述像素与所述支持电路之间。



1. 一种图像传感器,其包括:

第一传感器层,其具有第一像素阵列,每一像素包含用于响应于入射光而收集电荷的光电检测器、电荷/电压转换机构及用于将电荷从所述光电检测器选择性地传送到所述电荷/电压转换机构的传送栅极,所述第一传感器层具有用以收集具有第一预选波长范围的光的厚度;

第二传感器层,其位于所述第一传感器层上方,所述第二传感器层具有第二像素阵列,每一像素包含用于响应于入射光而收集电荷的光电检测器、电荷/电压转换机构及用于将电荷从所述光电检测器选择性地传送到所述电荷/电压转换机构的传送栅极,所述第二传感器层具有用以收集具有第二预选波长范围的光的厚度;

电路层,其位于所述第一传感器层下面,所述电路层具有用于所述第一及第二传感器层的所述像素的支持电路;及

层间连接器,其位于所述第一及第二层的所述像素与所述支持电路之间。

2. 根据权利要求1所述的图像传感器,其中所述电路层包含耦合到所述第一及第二传感器层的所述电荷/电压转换机构的电荷/电压转换机构。

3. 根据权利要求1所述的图像传感器,其中所述电路层进一步包含像素阵列,每一像素包含用于响应于入射光而收集电荷的光电检测器、电荷/电压转换机构及用于将电荷从所述光电检测器选择性地传送到所述电荷/电压转换机构的传送栅极。

4. 根据权利要求1所述的图像传感器,其中多个光电检测器连接到共用电荷/电压转换机构。

5. 根据权利要求1所述的图像传感器,其中所述电路层包含电荷/电压转换机构,且其中层间连接器连接于所述第一及第二传感器层与所述电路层的电荷/电压转换机构之间。

6. 根据权利要求1所述的图像传感器,其进一步包括提供所述层间连接器的行与列选择电路。

7. 根据权利要求1所述的图像传感器,其进一步包括位于所述第二传感器层上方的滤色器阵列。

8. 根据权利要求1所述的图像传感器,其进一步包括位于所述第二传感器层上方的第三传感器层,所述第三传感器层具有第三像素阵列,每一像素包含用于响应于入射光而收集电荷的光电检测器、电荷/电压转换机构及用于将电荷从所述光电检测器选择性地传送到所述电荷/电压转换机构的传送栅极,所述第三传感器层具有用以收集具有第三预选波长范围的光的厚度。

9. 根据权利要求8所述的图像传感器,其进一步包括位于所述第三传感器层上方的第四传感器层,所述第四传感器层具有用以收集具有第四预选波长范围的光的厚度,其中所述第一、第二、第三或第四预选波长范围中的至少一者在可见频率范围之外。

10. 根据权利要求1所述的图像传感器,其中所述第一传感器层与所述电路层组合成具有所述第一像素阵列及所述支持电路的单个层。

11. 一种图像传感器,其包括:

第一传感器层,其具有第一像素阵列,每一像素包含用于响应于入射光而收集电荷的光电检测器、电荷/电压转换机构及用于将电荷从所述光电检测器选择性地传送到所述电荷/电压转换机构的传送栅极,所述第一传感器层具有用以收集具有第一预选波长范围的

光的厚度；

电路层，其位于所述第一传感器层下面，所述电路层具有第二像素阵列，每一像素包含用于响应于入射光而收集电荷的光电检测器、电荷 / 电压转换机构及用于将电荷从所述光电检测器选择性地传送到所述电荷 / 电压转换机构的传送栅极、用于所述第一及第二像素阵列的支持电路；且

其中所述电路层具有用以收集具有第二预选波长范围的光的厚度；

层间连接器，其位于所述第一及第二层的所述像素与所述支持电路之间；

滤色器阵列，其位于所述第一传感器层上方。

12. 根据权利要求 11 所述的图像传感器，其中层间连接器连接于所述第一传感器层与所述电路层的所述电荷 / 电压机构之间。

13. 根据权利要求 11 所述的图像传感器，其进一步包括提供所述层间连接器的行与列选择电路。

14. 一种对图像传感器的像素进行装箱的方法，其包括：

提供位于第一层中的第一像素核心；

提供位于所述第一层上面的第二层中的第二像素核心；

将第一电荷从所述第一像素核心的像素传送到第一电荷 / 电压转换机构；

将第二电荷从所述第二像素核心的像素传送到第二电荷 / 电压转换机构；及

将所述第一及第二电荷传送到共用电荷 / 电压转换机构。

15. 根据权利要求 14 所述的方法，其进一步包括：

提供位于所述第二层上面的第三层中的第三像素核心；

将第三电荷从所述第三像素核心的像素传送到第三电荷 / 电压转换机构；及

将所述第一、第二及第三电荷传送到所述共用电荷 / 电压转换机构。

16. 根据权利要求 14 所述的方法，其中传送所述第一电荷包含将多个电荷从多个像素传送到所述第一电荷 / 电压转换机构。

具有多个感测层的图像传感器

技术领域

[0001] 本发明大体来说涉及图像传感器的领域,且更特定来说涉及堆叠式图像传感器构造。

背景技术

[0002] 典型的互补金属氧化物半导体(CMOS)图像传感器具有图像感测部分,所述图像感测部分包含:光电二极管,其用于响应于入射光而收集电荷;及传送栅极,其用于将电荷从所述光电二极管传送到例如浮动扩散部的电荷/电压转换机构。通常,在与图像传感器的控制电路相同的材料层内制作所述感测部分且借助与所述控制电路类似的工艺来制作所述感测部分。在努力增加图像传感器中所提供的像素的数目的过程中,像素大小一直在减小。

[0003] 然而,随着像素大小的缩减,光电检测器的经照明区域通常也减少,从而又减小所捕获的信号电平且使性能降级。

[0004] 因此,存在对经改进的图像传感器结构的需要。

发明内容

[0005] 一种图像传感器包含具有第一像素阵列的第一传感器层。所述第一阵列的每一像素具有用于响应于入射光而收集电荷的光电检测器、电荷/电压转换机构及用于将电荷从所述光电检测器选择性地传送到所述电荷/电压机构的传送栅极。所述第一传感器层具有用以收集具有第一预选波长范围的光的厚度。第二传感器层位于所述第一传感器层上方且具有第二像素阵列。每一像素包含用于响应于入射光而收集电荷的光电检测器、电荷/电压转换件及用于将电荷从所述光电检测器选择性地传送到所述电荷/电压机构的传送栅极。所述第二传感器层具有用以收集具有第二预选波长范围的光的厚度。电路层位于所述第一传感器层下面且具有用于所述第一及第二传感器层的所述像素的支持电路,且层间连接器位于所述第一及第二层的所述像素与所述支持电路之间。

[0006] 本发明具有提供一种经改进的图像传感器结构的优点。

[0007] 另一方面,本发明的提供了一种对图像传感器的像素进行装箱的方法,其包括:提供位于第一层中的第一像素核心;提供位于所述第一层上面的第二层中的第二像素核心;将第一电荷从所述第一像素核心的像素传送到第一电荷/电压转换机构;将第二电荷从所述第二像素核心的像素传送到第二电荷/电压转换机构;及将所述第一及第二电荷传送到共用电荷/电压转换机构。根据本发明的另一个方面,所述方法进一步包括:提供位于所述第二层上面的第三层中的第三像素核心;将第三电荷从所述第三像素核心的像素传送到第三电荷/电压转换机构;及将所述第一、第二及第三电荷传送到所述共用电荷/电压转换机构,并且,其中传送所述第一电荷可包含将多个电荷从多个像素传送到所述第一电荷/电压转换机构。

附图说明

[0008] 参考以下图式来更好地理解本发明的实施例。图式的元件未必相对于彼此成比例。相似的参考编号标示对应的类似部件。

[0009] 图 1 是图解说明数码相机的实施例的方面的框图。

[0010] 图 2 是概念性地图解说明图像传感器的实施例的框图。

[0011] 图 3 是图解说明像素的各部分的框图。

[0012] 图 4A 及图 4B 图解说明像素核心配置的实施例的实例。

[0013] 图 5 是图解说明图像传感器的实施例的截面图。

[0014] 图 6 是图解说明图像传感器的另一实施例的截面图。

[0015] 图 7 及图 8 图解说明滤色器阵列的实例。

[0016] 图 9 是图解说明图像传感器的另一实施例的截面图。

[0017] 图 10 是图解说明图像传感器的另一实施例的截面图。

[0018] 图 11 概念性地图解说明对图像传感器的实施例中的像素进行装箱的实例。

[0019] 图 12 是图解说明图像传感器的另一实施例的截面图。

[0020] 图 13 是图解说明图像传感器的另一实施例的截面图。

[0021] 图 14 是概念性地图解说明图像传感器的另一实施例的框图。

具体实施方式

[0022] 在以下详细说明中,将参考形成本文一部分的附图,且附图中以图解说明方式显示其中可实施本发明的具体实施例。在这点上,参考所描述的图的定向,使用例如“顶部”、“底部”、“前部”、“背部”、“前面”、“后面”等方向性术语。由于可以若干不同定向来定位本发明的实施例的组件,因此方向性术语的使用是出于图解说明目的而决非限制性目的。应理解,在不背离本发明范围的情况下,可利用其它实施例并可作出结构或逻辑改变。因此,不应将以下详细说明视为具有限制意义,且本发明的范围由所附权利要求书界定。

[0023] 现在转到图 1,其图解说明显示为体现本发明的方面的数码相机的图像捕获装置的框图。虽然图解说明及描述数码相机,但本发明明显地适用于其它类型的图像捕获装置。在所揭示的相机中,来自被摄体场景的光 10 输入到成像级 11,其中所述光由镜头 12 聚焦以在图像传感器 20 上形成图像。图像传感器 20 将所述入射光转换成每一图素(像素)的电信号。在一些实施例中,图像传感器 20 是有源像素传感器(APS)类型(APS 装置通常由于以互补金属氧化物半导体工艺来制作其的能力而称为 CMOS 传感器)。

[0024] 到达传感器 20 的光量由可变光阑块 14 调节,所述可变光阑块改变光圈与中性密度(ND)滤波器块 13,所述中性密度(ND)滤波器块包含间置于光学路径中的一个或一个以上 ND 滤波器。还调节整体光级的是快门块 18 开启的时间。曝光控制器块 40 对由亮度传感器块 16 计量的场景中可用的光量做出响应且控制所有这三个调节功能。

[0025] 所属领域的技术人员将熟悉特定相机配置的此描述,且此所属领域的技术人员将明了存在许多变化形式及额外特征。举例来说,添加自动聚焦系统,或者镜头是可拆卸的及可更换的。将理解,本发明适用于各种类型的数码相机,其中类似功能性由替代组件提供。举例来说,所述数码相机是相对简单的对准后拍摄数码相机,其中快门 18 是相对简单的可移动叶片式快门或类似快门而非较复杂的焦平面布置。还可在例如移动电话及汽车车辆的

非相机装置中所包含的成像组件上实践本发明的方面。

[0026] 来自图像传感器 20 的模拟信号由模拟信号处理器 22 处理并施加到模 / 数 (A/D) 转换器 24。定时产生器 26 产生用以选择行及像素的各种计时信号并使模拟信号处理器 22 与 A/D 转换器 24 的操作同步。图像传感器级 28 包含图像传感器 20、模拟信号处理器 22、A/D 转换器 24 及定时产生器 26。图像传感器级 28 的组件可以是单独制作的集成电路或者其可制作为单个集成电路,如对于 CMOS 图像传感器通常所做的那样。来自 A/D 转换器 24 的所得数字像素值串流存储于与数字信号处理器 (DSP) 36 相关联的存储器 32 中。

[0027] 除了系统控制器 50 及曝光控制器 40 以外,数字信号处理器 36 也是所图解说明实施例中的三个处理器或控制器中的一者。虽然相机功能控制在多个控制器及处理器中的此划分是典型的,但这些控制器或处理器以各种方式组合,而此并不影响相机的功能操作及本发明的应用。这些控制器或处理器可包括一个或一个以上数字信号处理器装置、微控制器、可编程逻辑装置或其它数字逻辑电路。虽然已描述此类控制器或处理器的组合,但应明了可指定一个控制器或处理器来执行所有所需功能。所有这些变化形式可执行相同功能且归属于本发明的范围内,且术语“处理级”将视需要用于囊括一个阶段内的所有此功能性,举例来说,如在图 1 中的处理级 38 中。

[0028] 在所图解说明的实施例中,DSP 36 根据永久性地存储于程序存储器 54 中且在图像捕获期间复制到存储器 32 以供执行的软件程序来操纵其存储器 32 中的数字图像数据。DSP 36 执行实践图像处理所必需的软件。存储器 32 包含任一类型的随机存取存储器,例如 SDRAM。包括用于地址及数据信号的路径的总线 30 将 DSP 36 连接到其相关存储器 32、A/D 转换器 24 及其它相关装置。

[0029] 系统控制器 50 基于存储于程序存储器 54 中的软件程序而控制相机的整体操作,所述程序存储器可包含快闪 EEPROM 或其它非易失性存储器。此存储器还可用于存储图像传感器校准数据、用户设定选择及在关断相机时必须保存的其它数据。系统控制器 50 通过以下方式来控制图像捕获的顺序:引导曝光控制器 40 来操作如先前所描述的镜头 12、ND 滤波器 13、可变光阑 14 及快门 18,引导定时产生器 26 来操作图像传感器 20 及相关联元件且引导 DSP 36 来处理所捕获的图像数据。在捕获并处理图像之后,经由接口 57 将存储于存储器 32 中的最终图像文件传送到主机计算机、将其存储于可装卸存储器卡 64 或其它存储装置上且在图像显示器 88 上为用户显示。

[0030] 总线 52 包含用于地址、数据及控制信号的路径且将系统控制器 50 连接到 DSP 36、程序存储器 54、系统存储器 56、主机接口 57、存储器卡接口 60 及其它相关装置。主机接口 57 提供到个人计算机 (PC) 或其它主机计算机的高速连接以用于传送供显示、存储、操纵或打印的图像数据。此接口是 IEEE1394 或 USB2.0 串行接口或任一其它适合数字接口。存储器卡 64 通常是插入到插口 62 中且经由存储器卡接口 60 连接到系统控制器 50 的紧凑型快闪 (CF) 卡。所利用的其它类型的存储装置包含 (举例来说)PC 卡、多媒体卡 (MMC) 或安全数字 (SD) 卡。

[0031] 将经处理图像复制到系统存储器 56 中的显示器缓冲器且经由视频编码器 80 连续地读出所述图像以产生视频信号。此信号从相机直接输出以供在外部监视器上显示或由显示器控制器 82 处理且在图像显示器 88 上呈现。此显示器通常是有源矩阵彩色液晶显示器 (LCD),但也使用其它类型的显示器。

[0032] 包含取景器显示器 70、曝光显示器 72、状态显示器 76 及图像显示器 88 以及用户输入 74 的所有或任一组合的用户接口由在曝光控制器 40 及系统控制器 50 上执行的软件程序的组合控制。用户输入 74 通常包含按钮、摇杆式开关、操纵杆、旋转拨盘或触摸屏的某一组合。曝光控制器 40 操作光计量、曝光模式、自动聚焦及其它曝光功能。系统控制器 50 管理在所述显示器中的一者或一者以上上（例如，在图像显示器 88 上）呈现的图形用户接口（GUI）。所述 GUI 通常包含用于进行各种选项选择的菜单及用于检验所捕获的图像的查看模式。

[0033] 曝光控制器 40 接受选择曝光模式、镜头光圈、曝光时间（快门速度）及曝光指数或 ISO 速度额定值的用户输入并针对后续捕获相应地引导所述镜头及快门。采用亮度传感器 16 来测量场景的亮度并为用户提供在手动设定 ISO 速度额定值、光圈及快门速度时参考的曝光计功能。在此情况下，在用户改变一个或一个以上设定时，在取景器显示器 70 上呈现的光度计指示器告知用户图像将被曝光过度或曝光不足到何种程度。在自动曝光模式中，用户改变一个设定且曝光控制器 40 自动更改另一设定以维持正确的曝光。举例来说，对于给定 ISO 速度额定值，当用户减小镜头光圈时，曝光控制器 40 自动增加曝光时间以维持相同的整体曝光。

[0034] 图 1 中所显示的图像传感器 20 通常包含制作于硅衬底上的二维光敏像素阵列，其提供将每一像素处的传入光转换成所测量的电信号的方式。参考图 2，其概念性地图解说明图像传感器 20 的实施例的各部分。

[0035] 在图 2 中，图像传感器 20 是互补金属氧化物半导体（CMOS）图像传感器，其包含具有第一像素阵列 111 的第一传感器层 101。第二传感器层 102 位于第一传感器层 101 上方，其具有第二像素阵列 112。电路层 120 位于第一传感器层 101 下面，其具有用于第一及第二传感器层 101、102 的像素阵列 111、112 的支持电路 122。第一及第二层 101、102 的像素 111、112 与支持电路 122 之间的层间连接器 130 提供相应层之间的电连接。第一传感器层 101 具有用以收集具有第一预选波长范围的光的厚度 T1 且第二传感器层具有用以收集具有第二预选波长范围的光的厚度 T2。普通的硅晶片、绝缘体上硅（SOI）晶片或蓝宝石上硅（SOS）晶片均为制造传感器层 101、102 的适合材料。

[0036] 图 3 是概念性地图解说明像素阵列 111、112 的像素 110 的各部分的框图。像素 110 包含例如光电二极管 140 的光电检测器及例如传送栅极 142 的传送机构。光电检测器 140 响应于入射光而收集电荷且传送栅极 142 用于将电荷从光电检测器 140 传送到电荷/电压机构，例如浮动扩散部感测节点 144，其接收来自光电检测器 140 的电荷并将所述电荷转换成电压信号。如上文所提及，像素 110 通常配置成若干行及若干列的阵列。行选择晶体管耦合到列总线且从像素 110 读出电荷是通过启用适当的行选择晶体管以选择阵列的所要行来实现的，且信息是从选定行的列读出的。

[0037] 在一些实施例中，第一及第二像素阵列 111、112 的像素 110 组织成像素核心 150。图 4A 及图 4B 图解说明一些像素核心配置的实例。在图 4A 中，四个光电二极管 140 经由相应传送栅极 142 共享共用浮动扩散部 144，且在图 4B 中，两个光电二极管 140 共享共用浮动扩散部 144。在图 4A 及图 4B 中所图解说明的实施例中，层间连接器 130 耦合到像素核心 150 的浮动扩散部 144。

[0038] 图 5 是显示具有两个传感器层 101、102 及电路层 120 的图像传感器的实施例的其

它方面的横截面图。传感器层 101、102 及电路层 120 中的每一者包含硅部分 152 及一个或一个以上金属层 154。电路层 120 的支持电路 122 包含对应于每一像素核心 150 且通过层间连接器 130 耦合到对应像素核心的浮动扩散部 144。图 5 中所图解说明的结构具有额外金属层 154(对应于传送栅极 142 的金属层)且晶片互连 130 是通过浮动扩散部 144 实现的。此允许将像素装箱到相同的浮动扩散部 144 上。

[0039] 除了别的以外,支持电路 122 还包含每一像素核心 150 的复位栅极 124、电压供应源 VDD 以及源极随耦器输入及输出 126、128。在图 5 中所图解说明的实施例中,层间连接器 130 电连接感测层 T2、感测层 T1 上的相应浮动扩散部节点 144 与电路晶片以形成收集浮动扩散部 144。

[0040] 一般来说,减小硅部分 152 的厚度可导致光学干涉,此又可使量子效率降级。为减轻此效应且改进量子效率,在一些实施例中,在所述感测层中的每一者的两个侧上及在电路层的顶部上使用抗反射涂层。此类抗反射涂层是已知的且用于(例如)单层结构,例如 ONO 堆叠(氧化硅-氮化硅-氧化硅)或氧化铅-氧化镁堆叠。也可使用其它适合抗反射涂层。可在将感测层与电路层接合在一起之前使用任一典型沉积技术来沉积这些抗反射涂层。

[0041] 图 6 图解说明其中通过经由行与列电路 132 将像素 111 连接到电路层 120 的行与列互连件来实施层间连接 130 的另一实施例。包含额外的两个金属层 154 且晶片互连 130 是通过置于成像器区域的外围处的行与列互连件来实现的。因此,传感器层上的每一输出信号及定时线借助互连件 130 电耦合到电路层 120 上的列或行电路 132。在所图解说明的实施例中,标准 CMOS 数字及模拟电路位于传感器层 101、102 及 / 或电路晶片 120 上的图像区域外部。

[0042] 在图 5 及图 6 中所图解说明的实施例中,滤色器阵列 (CFA) 160 位于顶部传感器层 102 上方。硅部分 152 或第一及第二传感器层 101、102 具有不同的厚度 T1、T2 使得每一层收集在预定波长范围内的光。举例来说,传感器层的厚度可以是约 $0.5\mu\text{m}$ 以主要收集蓝色光、可以是约 $1.3\mu\text{m}$ 以主要收集绿色光及 / 或可以是约 $3.0\mu\text{m}$ 以主要收集红色光。通过使用经设定以收集两种预定色彩的第一及第二厚度 T1、T2,消除了对 CFA 160 的一些层的需要。

[0043] 更具体来说,图 5 及图 6 中所图解说明的具有拥有层厚度 T1、T2 的两个传感器层 101、102 的实施例消除了对 CFA 160 的层中的两者的需要。图 7 及图 8 图解说明两个互补 CFA 160 的实例,其中 Y 代表黄色, M 代表洋红色且 P 代表全色。在所图解说明的实施例中,顶部传感器层 102 的硅厚度 T2 为约 $2\mu\text{m}$ 。

[0044] 图 9 及图 10 中所图解说明的实施例各自包含额外传感器层 103。在图 9 中,层间连接 130 连接浮动扩散部 144,且在图 10 中,层间连接 130 是使用行与列电路 132 进行的。在图 9 及图 10 中,第三传感器层的硅厚度 T3 为约 $0.5\mu\text{m}$ 使得其主要收集蓝色光,第二传感器层 102 的硅厚度 T2 为约 $1.3\mu\text{m}$ 使得其主要收集绿色光,且第一传感器层的硅厚度 T1 为约 $3\mu\text{m}$ 使得其主要收集红色光。此传感器不需要波长选择性滤波器来检测色彩,已知此会减小量子效率。

[0045] 此结构还允许将像素装箱到共用浮动扩散部上的多种方式。取决于每一像素核心 150 内的光电二极管 140 的数目,可将三个或三个以上光电二极管 140 连接到相同电互连

件 130。此允许对像素 110 进行装箱的多种方式。举例来说,如图 11 中所图解说明,用于光电二极管 B1、G1 及 R1 的传送栅极 142 可经启动以将电荷传送到共用浮动扩散部 142 上且产生经装箱的全色信号。类似地,在单色彩层上,用于像素核心 150 中的每一光电二极管 110 的传送栅极 142 可经启动以对所有色彩信号进行装箱并以较低空间分辨率产生较高灵敏度输出。举例来说,对所有四个红色像素 R1+R2+R3+R4 进行装箱起到单个大(高灵敏度)红色像素的作用。还存在牺牲一个色彩平面中的色彩响应的空间分辨率但不牺牲其它色彩平面中的色彩响应的空间分辨率的选项。举例来说,可将四个红色像素装箱在一起,但将个别光电二极管数据保存在绿色通道中。另一选项将为将所有光电二极管(例如使用图 11 中的所有 12 个光电二极管(四个蓝色像素 B1 到 B4、四个绿色像素 G1 到 G4 及四个红色像素 R1 到 R4))装箱到共享的浮动扩散部 144 上。此将产生针对堆叠式核心的高灵敏度、低空间分辨率全色信号。在此情况下,色彩分离将通过保存附近核心中的色彩分离来实现。

[0046] 图 12 图解说明包含两个传感器层 101、102 及电路层 120 的另一实施例,所述电路层也含有感测元件。此结构与图 9 及图 10 中所图解说明的实施例相比需要一个更小的晶片同时仍提供三个传感器层。因此,除了支持电路以外,电路层 120 还包含像素 110。电路层 120 及两个传感器层 101、102 的硅厚度 T1、T2、T3 使得每一层收集具有预定波长范围的光。在图 12 中,层间连接 130 是通过行与列电路 132 进行的,但在类似实施例中,所述连接是通过浮动扩散部 144 进行的。

[0047] 图 13 图解说明具有一个传感器层 101 及电路层 120 的实施例,所述电路层也包含感测元件。图 113 中所图解说明的实施例具有通过浮动扩散部 144 进行的层间连接 130,但所述连接可替代地通过行与列电路进行,如在本文中的其它实施例中所揭示。传感器层 101 及电路层 120 各自具有收集具有预定波长范围的光的硅厚度 T1、T2。与图 5 及图 6 中所图解说明的实施例一样,提供例如图 7 及 8 中所图解说明的互补 CFA160 以用于对第三色彩进行滤波。

[0048] 图 14 概念性地图解说明三个以上感测层 101-N 的另一实施例,其中每一层具有用于收集具有对应波长范围的光的预定厚度。此结构允许灵敏度扩展超出可见光谱。顶部三个层将负责捕获可见频率范围中的光(举例来说,如图 9 及图 10 中所图解说明的实施例中所描述),同时额外层 N 可用于捕获红外光。

[0049] 尽管已特别参考本发明某些优选实施例详细描述了本发明,但将理解,可在本发明的精神及范围内实现各种变化及修改形式。

[0050] 部件列表

[0051] 10 光

[0052] 11 成像级

[0053] 12 镜头

[0054] 13 ND 滤波器块

[0055] 14 可变光阑块

[0056] 16 亮度传感器块

[0057] 18 快门块

[0058] 20 图像传感器

[0059] 22 模拟信号处理器

[0060]	24 模 / 数 (A/D) 转换器
[0061]	26 定时产生器
[0062]	28 图像传感器级
[0063]	30 总线
[0064]	32 存储器
[0065]	36 数字信号处理器 (DSP)
[0066]	38 处理级
[0067]	40 曝光控制器
[0068]	50 系统控制器
[0069]	52 总线
[0070]	54 程序存储器
[0071]	56 系统存储器
[0072]	57 主机接口
[0073]	60 存储器卡接口
[0074]	62 插口
[0075]	64 存储器卡
[0076]	70 取景器显示器
[0077]	72 曝光显示器
[0078]	74 用户输入
[0079]	76 状态显示器
[0080]	80 视频编码器
[0081]	82 显示器控制器
[0082]	88 图像显示器
[0083]	101 第一传感器层
[0084]	102 第二传感器层
[0085]	103 第三传感器层
[0086]	110 像素
[0087]	111 第一像素阵列
[0088]	112 第二像素阵列
[0089]	120 电路层
[0090]	122 支持电路
[0091]	124 复位栅极
[0092]	126 源极随耦器输入
[0093]	128 源极随耦器输出
[0094]	130 层间连接器
[0095]	132 行与列电路
[0096]	140 光电二极管
[0097]	142 传送栅极
[0098]	144 浮动扩散部

-
- [0099] 150 像素核心
 - [0100] 152 硅层
 - [0101] 154 金属层
 - [0102] 160 滤色器阵列 (CFA)
 - [0103] T1 第一厚度
 - [0104] T2 第二厚度
 - [0105] T3 第三厚度
 - [0106] VDD 电压供应源

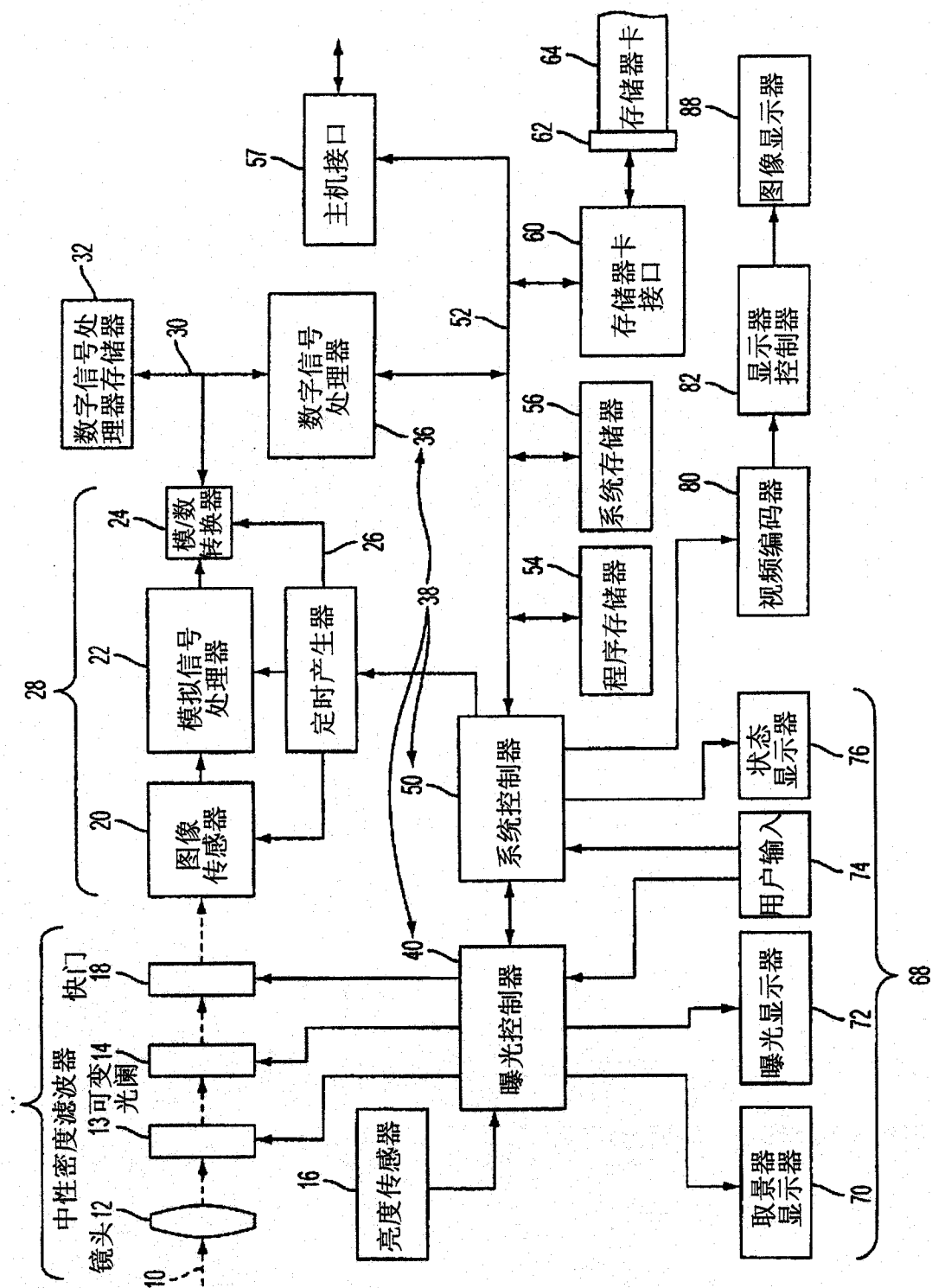


图 1

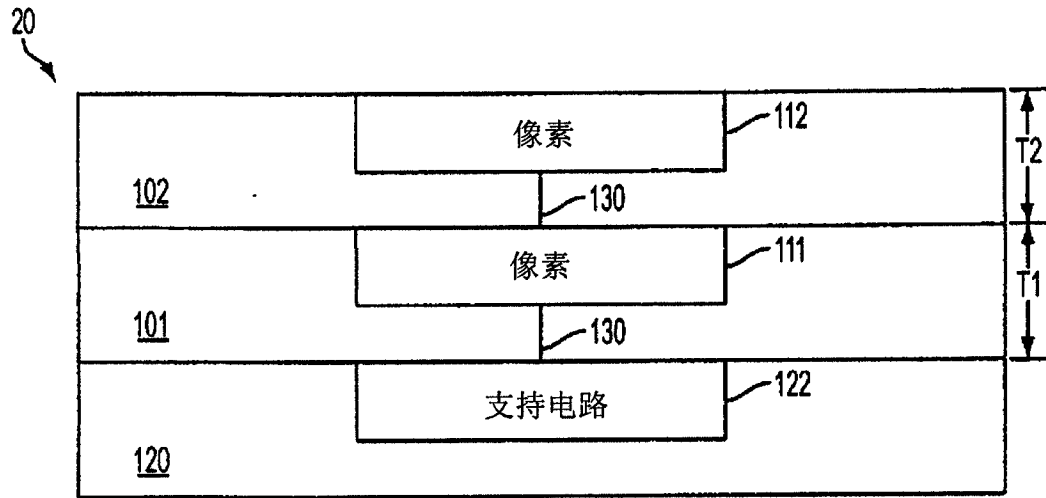


图 2

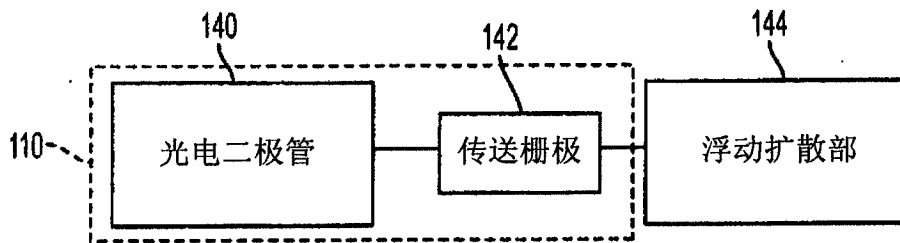


图 3

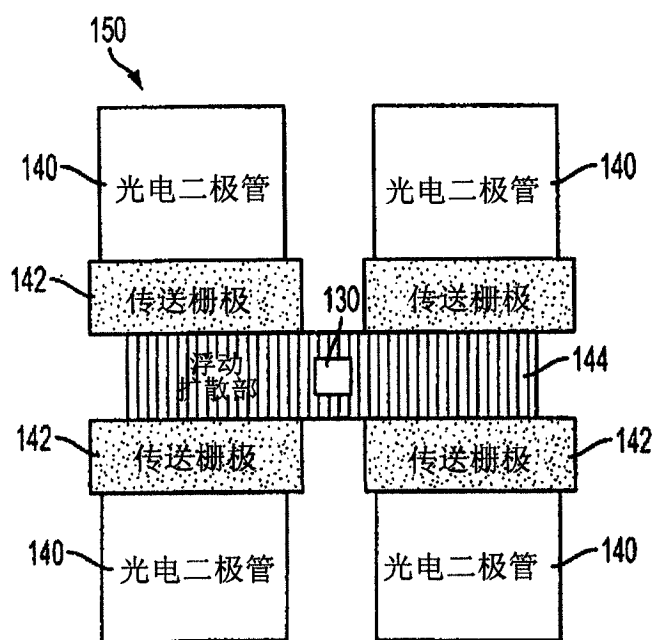


图 4A

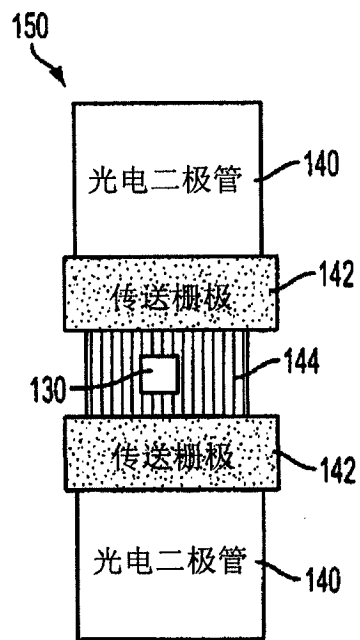


图 4B

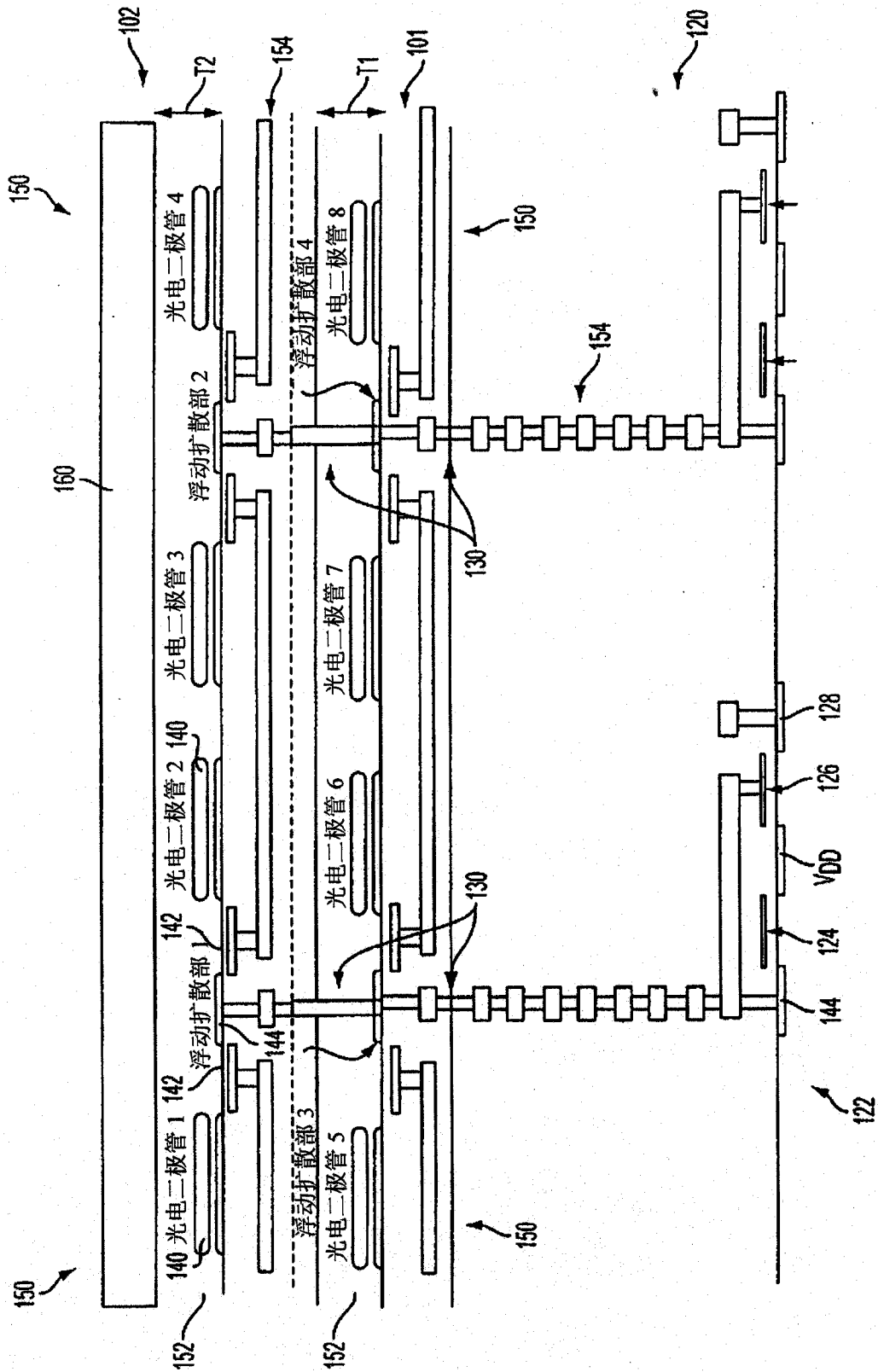


图 5

P	Y
M	P

图 7

M	Y
Y	M

图 8

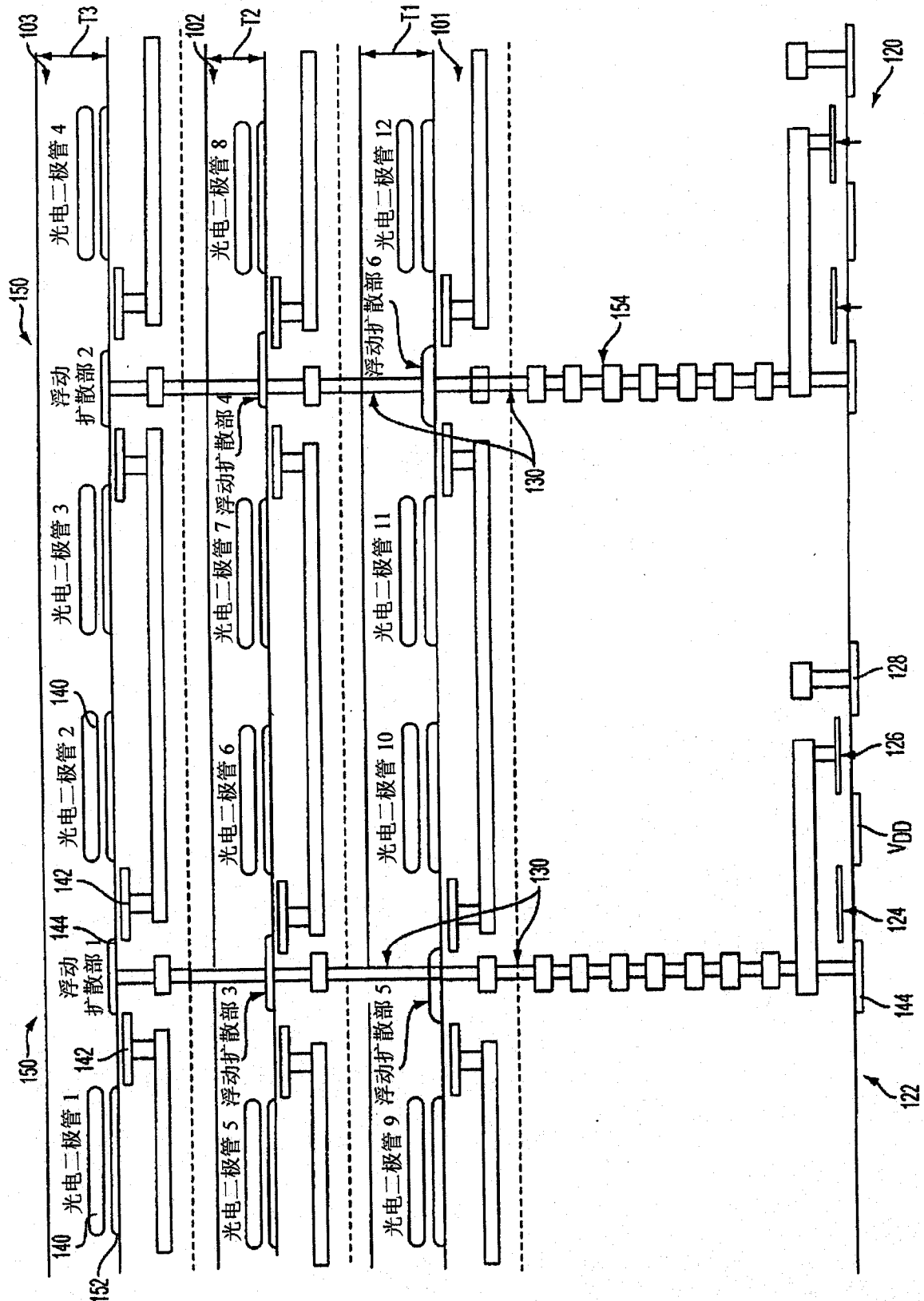


图 9

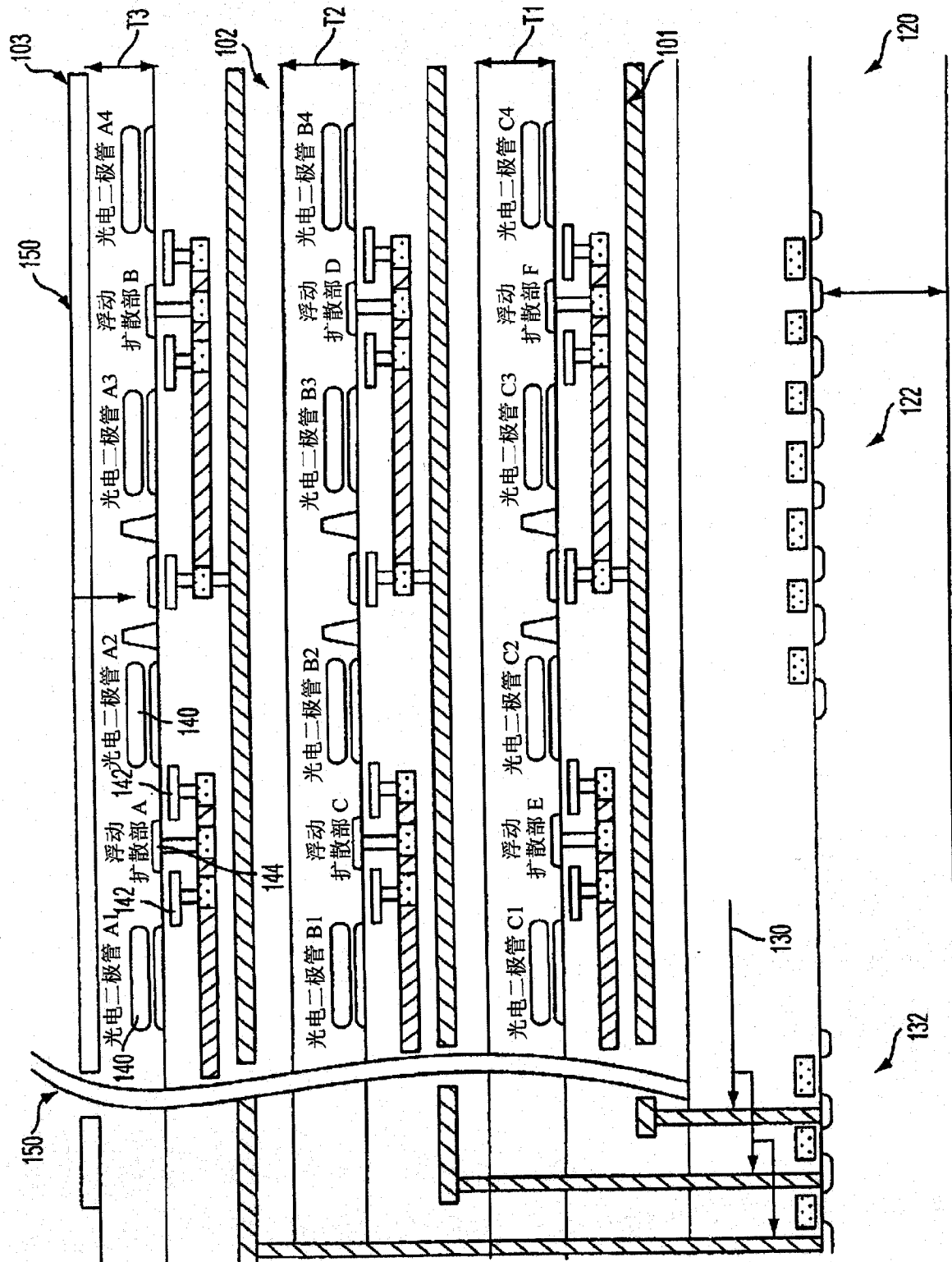


图 10

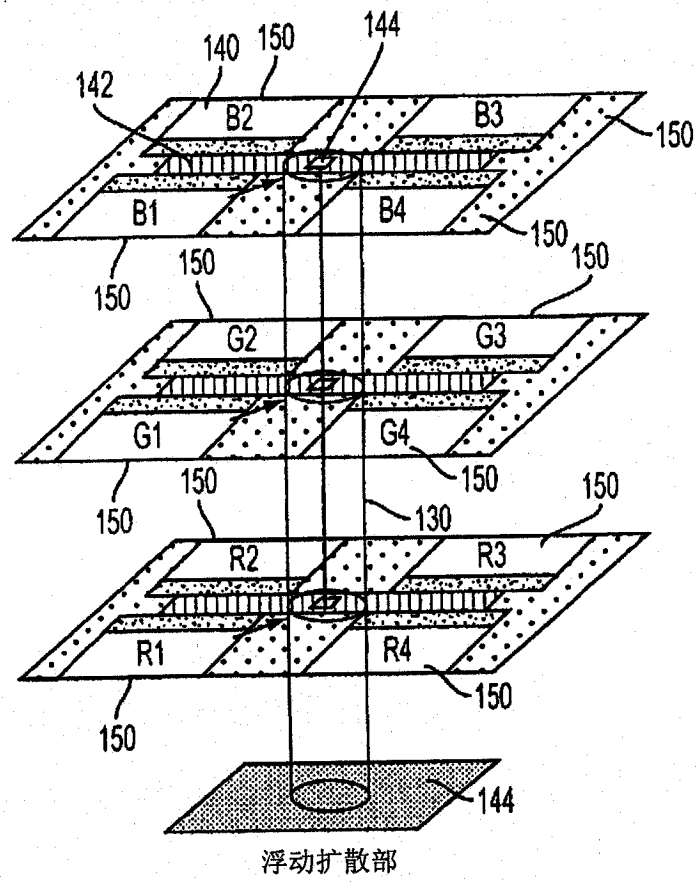


图 11

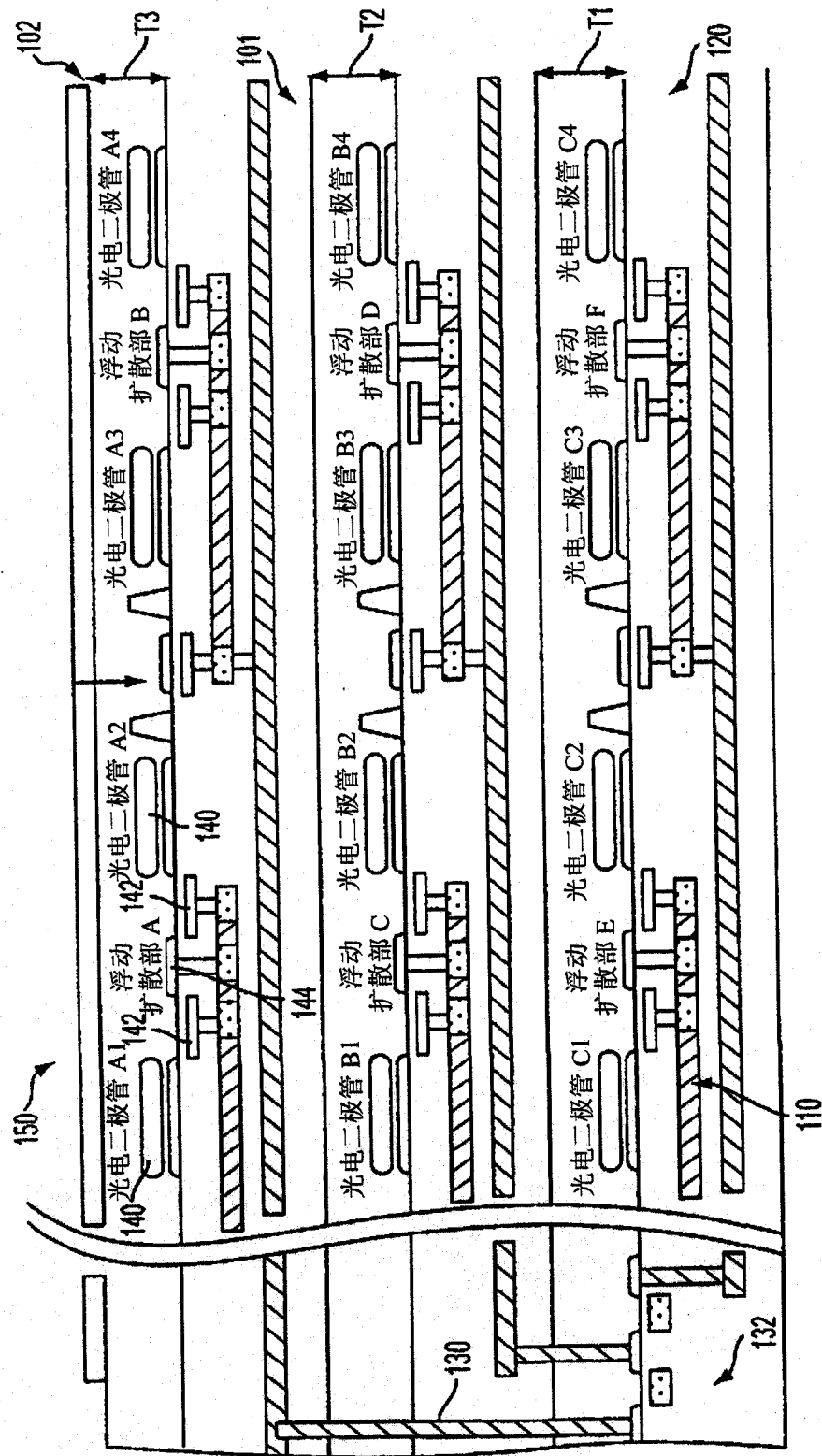


图 12

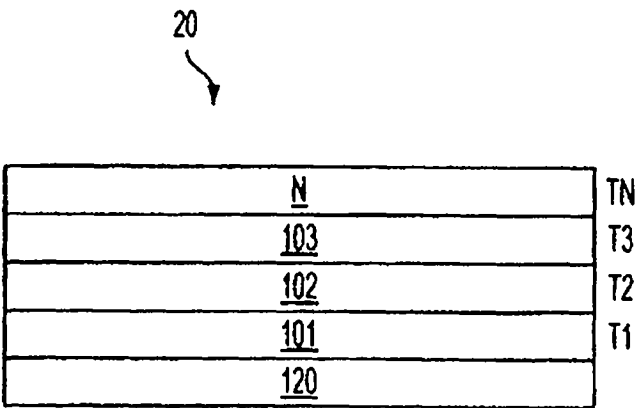


图 14