

- (51) 국제특허분류(Int. Cl.)
G06F 7/544 (2017.01) *G06F 1/06* (2006.01)
G06F 1/08 (2006.01) *G06F 7/53* (2006.01)
G06N 3/04 (2023.01) *G06N 3/063* (2023.01)

(52) CPC특허분류
G06F 7/5443 (2013.01)
G06F 1/06 (2013.01)

(21) 출원번호 10-2022-0044771

(22) 출원일자 2022년04월11일
 심사청구일자 2022년04월11일

(71) 출원인
 경상국립대학교산학협력단
 경상남도 진주시 진주대로 501 (가좌동)

(72) 발명자
 손현우
 경상남도 진주시 내동로348번길 10, 112동 1502호 (가좌동, 가좌그린빌주공아파트)

(74) 대리인
 특허법인명인

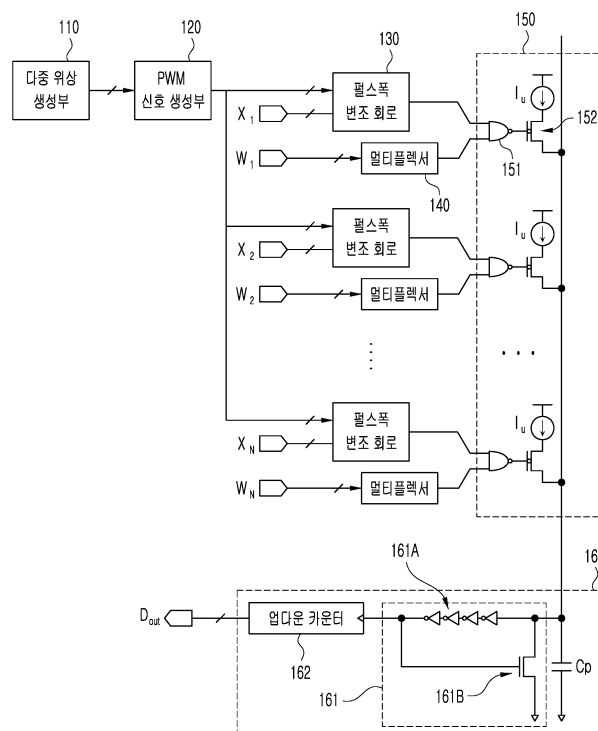
전체 청구항 수 : 총 15 항

- (54) 발명의 명칭 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산기

(57) 요약

본 발명은 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 장치에 관한 것으로, 메인 클럭 신호를 이용하여 복수 개의 다중 위상 클럭 신호를 생성하는 다중 위상 생성부; 복수 개의 다중 위상 클럭 신호를 이용하여 서로 다른 파형을 가지는 복수 개의 PWM 신호를 생성하는 PWM 신호 생성부; 무부호 다중 비트를 각각 입력받고, 복수 개 (뒷면에 계속)

대표도 - 도1



의 PWM 신호를 이용하여 입력된 무부호 다중 비트의 값에 대응하는 펄스폭을 가지는 펄스폭 신호를 각각 생성하여 병렬로 출력하는 복수 개의 펄스폭 변조 회로; 부호 다중 비트를 각각 입력받고, 입력된 부호 다중 비트에서 한 비트를 선택하여 병렬로 출력하는 복수 개의 멀티플렉서 - 부호 다중 비트는 부호 비트를 가지고 2의 보수로 표현됨 - ; 복수 개의 펄스폭 변조 회로에서 병렬로 출력되는 복수 개의 펄스폭 신호와 복수 개의 멀티플렉서에서 병렬로 출력되는 비트에 대한 병렬 곱셈 누적 연산 결과에 대응하는 전류를 출력하는 디지털 아날로그 변환부; 및 디지털 아날로그 변환부에서 출력되는 전류에 대응하여 순차적으로 구해지는 디지털 값을 복수 개의 멀티플렉서에서 출력되는 비트의 부호 비트 여부에 따라 가감산하여 누적한 결과값을 출력하는 아날로그 디지털 변환부;를 포함한다.

(52) CPC특허분류

G06F 1/08 (2013.01)
G06F 7/53 (2013.01)
G06N 3/045 (2023.01)
G06N 3/063 (2013.01)
Y02D 10/00 (2020.08)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711130640
과제번호	2021R1C1C1014592
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	실시간 생체신호 처리를 위한 아날로그 프론트 엔드 및 인공지능 기반의 온칩 학습

이상 탐지기 연구

기 여 율	1/2
과제수행기관명	경상대학교
연구기간	2021.03.01 ~ 2022.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711138717
과제번호	2021-0-01776-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	신개념PIM반도체선도기술개발(R&D)
연구과제명	eFLASH 기반의 PIM 시냅스 어레이 제작 및 인공신경망 하드웨어 개발
기 여 율	1/2
과제수행기관명	한국과학기술연구원(KIST)
연구기간	2021.05.01 ~ 2022.01.31

명세서

청구범위

청구항 1

메인 클럭 신호를 이용하여 복수 개의 다중 위상 클럭 신호를 생성하는 다중 위상 생성부;

상기 복수 개의 다중 위상 클럭 신호를 이용하여 서로 다른 파형을 가지는 복수 개의 PWM 신호를 생성하는 PWM 신호 생성부;

무부호 다중 비트를 각각 입력받고, 상기 복수 개의 PWM 신호를 이용하여 상기 입력된 무부호 다중 비트의 값에 대응하는 펄스폭을 가지는 펄스폭 신호를 각각 생성하여 병렬로 출력하는 복수 개의 펄스폭 변조 회로;

부호 다중 비트를 각각 입력받고, 상기 입력된 부호 다중 비트에서 한 비트를 선택하여 병렬로 출력하는 복수 개의 멀티플렉서 - 상기 부호 다중 비트는 부호 비트를 가지고 2의 보수로 표현됨 - ;

상기 복수 개의 펄스폭 변조 회로에서 병렬로 출력되는 복수 개의 펄스폭 신호와 상기 복수 개의 멀티플렉서에서 병렬로 출력되는 비트에 대한 병렬 곱셈 누적 연산 결과에 대응하는 전류를 출력하는 디지털 아날로그 변환부; 및

상기 디지털 아날로그 변환부에서 출력되는 전류에 대응하여 순차적으로 구해지는 디지털 값을 상기 복수 개의 멀티플렉서에서 출력되는 비트의 부호 비트 여부에 따라 가감산하여 누적한 결과값을 출력하는 아날로그 디지털 변환부; 를 포함하고,

상기 복수 개의 멀티플렉서에서 상기 부호 다중 비트의 최상위 자리수 비트부터 최하위 자리수 비트까지 순차적으로 출력될 때마다, 상기 PWM 신호 생성부는 상기 복수 개의 PWM 신호의 펄스폭을 1/2씩 감소시키는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 장치.

청구항 2

제 1 항에서,

상기 복수 개의 PWM 신호는 상승 에지가 미리 정해진 지연 시간만큼 순차적으로 지연되고 펄스폭이 미리 정해진 크기만큼 순차적으로 감소하는 서로 다른 파형을 가지고,

상기 복수 개의 멀티플렉서에서 상기 부호 다중 비트의 최상위 자리수 비트부터 최하위 자리수 비트까지 순차적으로 출력될 때마다, 상기 PWM 신호 생성부는 상기 복수 개의 PWM 신호의 펄스폭과 상기 미리 정해진 지연 시간이 1/2씩 감소시키는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 장치.

청구항 3

제 2 항에서,

상기 복수 개의 PWM 신호의 개수(N)는 $2^{L/2}$ 로 정해지고,

L은 상기 무부호 다중 비트의 비트폭이며,

상기 복수 개의 PWM 신호 중 i번째 PWM 신호인 PWM[N-i]의 펄스폭은 $(N-i)*(N+1)*T_{REF}$ 이고,

PWM[N-i]는 상기 복수 개의 PWM 신호 중 i-1번째 PWM 신호인 PWM[N-(i-1)] 보다 $N*T_{REF}$ 만큼 상승 에지가 지연되는 파형을 가지며,

여기서 $i(i = 1, 2, \dots, N)$ 는 상기 복수 개의 PWM 신호의 인덱스이며,

T_{REF} 는 상기 메인 클럭 신호의 클럭 주기로 초기값이 설정된 후 상기 복수 개의 멀티플렉서에서 출력되는 상기 부호 다중 비트의 자리수가 하나씩 낮아짐에 따라 1/2씩 감소하는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 장치.

청구항 4

제 3 항에서,

상기 복수의 다중 위상 클럭 신호는 주파수는 같고 위상이 서로 다른 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 장치.

청구항 5

제 3 항에서,

상기 디지털 아날로그 변환부는,

상기 복수 개의 펄스폭 변조 회로에서 병렬로 출력되는 복수 개의 펄스폭 신호와 상기 복수 개의 멀티플렉서에서 병렬로 출력되는 비트를 한 쌍씩 입력받아 논리곱 연산하여 출력하는 복수 개의 논리 게이트,

상기 복수 개의 논리 게이트에 각각 대응하는 복수 개의 단위 전류원, 및

상기 복수 개의 논리 게이트 중 대응하는 논리 게이트의 출력값에 따라 상기 복수 개의 단위 전류원 중 대응하는 단위 전류원에서 출력되는 전류를 출력시키는 복수 개의 스위칭 소자

를 포함하는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 장치.

청구항 6

제 5 항에서,

상기 아날로그 디지털 변환부는,

상기 디지털 아날로그 변환부에서 출력되는 전류에 의해 충전 커패시터에 충전된 충전 전압에 따른 펄스를 생성하는 펄스 생성부, 및

상기 펄스 생성부에서 출력되는 펄스 개수를 카운트한 결과에 대응하는 상기 디지털 값을 구하여 상기 부호 다중 비트의 최상위 자리수 비트에 대응하여 출력되는 디지털 값은 감산 처리하고, 상기 부호 다중 비트의 나머지 자리수 비트에 대응하여 출력되는 디지털 값은 가산 처리하는 업다운 카운터

를 포함하는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 장치.

청구항 7

제 6 항에서,

상기 펄스 생성부는,

상기 충전 커패시터에 충전된 전압을 기준전압과 비교하여 그에 따른 펄스를 생성하여 출력하는 비교기 및 상기 비교기에서 '하이'가 출력될 때마다 상기 충전 커패시터에 충전된 전압을 리셋시키는 트랜지스터를 포함하는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 장치.

청구항 8

(a) 다중 위상 생성부가 메인 클럭 신호를 이용하여 복수 개의 다중 위상 클럭 신호를 생성하는 단계;

(b) PWM 신호 생성부가 상기 복수 개의 다중 위상 클럭 신호를 이용하여 서로 다른 파형을 가지는 복수 개의 PWM 신호를 생성하는 단계;

(c) 복수 개의 펄스폭 변조 회로가 무부호 다중 비트를 각각 입력받고, 상기 복수 개의 PWM 신호를 이용하여 상기 입력된 무부호 다중 비트의 값에 대응하는 펄스폭을 가지는 펄스폭 신호를 각각 생성하여 병렬로 출력하는 단계;

(d) 복수 개의 멀티플렉서가 부호 다중 비트를 각각 입력받고, 상기 입력된 부호 다중 비트에서 한 비트를 선택하여 병렬로 출력하는 단계 - 상기 부호 다중 비트는 부호 비트를 가지고 2의 보수로 표현됨 - ;

(e) 디지털 아날로그 변환부가 상기 복수 개의 펄스폭 변조 회로에서 병렬로 출력되는 복수 개의 펄스폭 신호와 상기 복수 개의 멀티플렉서에서 병렬로 출력되는 비트에 대한 병렬 곱셈 누적 연산 결과에 대응하는 전류를 출

력하는 단계;

(f) 아날로그 디지털 변환부가 상기 디지털 아날로그 변환부에서 출력되는 전류에 대응하는 디지털 값을 구하는 단계; 및

(g) 상기 아날로그 디지털 변환부가 상기 구해진 디지털 값을 상기 복수 개의 멀티플렉서에서 출력되는 비트의 부호 비트 여부에 따라 가감산하는 단계; 를 포함하고,

상기 복수 개의 멀티플렉서에서 상기 부호 다중 비트의 최상위 자리수 비트부터 최하위 자리수 비트까지 순차적으로 출력될 때마다, 상기 복수 개의 PWM 신호의 펄스폭을 1/2씩 감소시키면서 상기 (a) 내지 (g) 단계를 반복하는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 방법.

청구항 9

제 8 항에서,

상기 복수 개의 PWM 신호는 상승 에지가 미리 정해진 지연 시간만큼 순차적으로 지연되고 펄스폭이 미리 정해진 크기만큼 순차적으로 감소하는 서로 다른 파형을 가지고,

상기 복수 개의 멀티플렉서에서 상기 부호 다중 비트의 최상위 자리수 비트부터 최하위 자리수 비트까지 순차적으로 출력될 때마다, 상기 복수 개의 PWM 신호의 펄스폭과 상기 미리 정해진 지연 시간이 1/2씩 감소시키면서 상기 (a) 내지 (g) 단계를 반복하는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 방법.

청구항 10

제 9 항에서,

상기 복수 개의 PWM 신호 중 i 번째 PWM 신호의 펄스폭이 $(N-i)*(N+1)*T_{REF}$ 이고, i 번째 PWM 신호는 $i-1$ 번째 PWM 신호보다 $N*T_{REF}$ 만큼 상승 에지가 지연되는 파형을 가지고,

여기서 $i(i = 1, 2, \dots, N)$ 는 상기 복수 개의 PWM 신호의 인덱스이며,

N 은 $2^{L/2}$ 이고, L 은 상기 부호 다중 비트의 비트폭이며,

T_{REF} 는 상기 메인 클럭 신호의 클럭 주기로 초기값이 설정된 후 상기 복수 개의 멀티플렉서에서 출력되는 상기 부호 다중 비트의 자리수가 하나씩 낮아짐에 따라 1/2씩 감소하는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 방법.

청구항 11

제 10 항에서,

상기 복수의 다중 위상 클럭 신호는 주파수는 같고 위상이 서로 다른 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 방법.

청구항 12

제 10 항에서,

상기 디지털 아날로그 변환부는,

상기 복수 개의 펄스폭 변조 회로에서 병렬로 출력되는 복수 개의 펄스폭 신호와 상기 복수 개의 멀티플렉서에서 병렬로 출력되는 비트를 한 쌍씩 입력받아 논리곱 연산하여 출력하는 복수 개의 논리 게이트,

상기 복수 개의 논리 게이트에 각각 대응하는 복수 개의 단위 전류원, 및

상기 복수 개의 논리 게이트 중 대응하는 논리 게이트의 출력값에 따라 상기 복수 개의 단위 전류원 중 대응하는 단위 전류원에서 출력되는 전류를 출력시키는 복수 개의 스위칭 소자

를 포함하는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 방법.

청구항 13

제 12 항에서,

상기 아날로그 디지털 변환부는,

상기 디지털 아날로그 변환부에서 출력되는 전류에 의해 충전 커패시터에 충전된 충전 전압에 따른 펄스를 생성하는 펄스 생성부, 및

상기 펄스 생성부에서 출력되는 펄스 개수를 카운트한 결과에 대응하는 상기 디지털 값을 구하여 상기 부호 다중 비트의 최상위 자리수 비트에 대응하여 출력되는 디지털 값은 감산 처리하고, 상기 부호 다중 비트의 나머지 자리수 비트에 대응하여 출력되는 디지털 값은 가산 처리하는 업다운 카운터

를 포함하는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 방법.

청구항 14

제 13 항에서,

상기 펄스 생성부는,

상기 충전 커패시터에 충전된 전압을 기준전압과 비교하여 그에 따른 펄스를 생성하여 출력하는 비교기 및 상기 비교기에서 '하이'가 출력될 때마다 상기 충전 커패시터에 충전된 전압을 리셋시키는 트랜지스터를 포함하는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 방법.

청구항 15

제 8 항 내지 제 14 항 중 어느 한 항에 기재된 방법을 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체.

발명의 설명

기술 분야

[0001] 본 발명은 곱셈 누적 연산기에 관한 것으로, 보다 자세하게는 복수 개 입력의 다중비트 곱셈 누적 연산을 디지털 영역 대신 아날로그 영역에서 저전력이며 병렬적으로 처리하기 위한 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산기에 관한 것이다.

배경 기술

[0002] 곱셈누적 연산은 아래 수학식 1과 같이 두 숫자(X,Y)의 곱셈 값을 누산기의 또 다른 값(Z)과 더하는 동작으로 다양한 디지털 신호 처리 분야에서 매우 널리 사용된다.

[0003] [수학식 1]

[0004] $Z \leftarrow (X \cdot Y) + Z$

[0005] 최근 물체 인식과 같은 분야에서 유망한 컨볼루션 뉴럴 네트워크 또한 동작을 위해 수학식 2와 같이 N개 입력의 다중비트 곱셈 누적 연산을 필요로 한다.

[0006] [수학식 2]

[0007]
$$D_{OUT} = \sum_{i=1}^N X_i \cdot W_i$$

[0008] 따라서 물체 인식과 같은 태스크를 모바일 기기와 같은 저전력 플랫폼에서 컨볼루션 뉴럴 네트워크를 이용하여 실시간으로 하드웨어로 처리하기 위해서는 저전력이며 병렬적으로 여러 번의 곱셈누적 연산을 할 수 있는 회로가 필요하다.

[0009] 그러나, 종래 기술에 의한 곱셈누적 연산기는 저전력이며 병렬적으로 여러 번의 곱셈누적 연산을 하도록 하는 데 몇 가지의 장애 요소가 있다. 예를 들어, 종래의 일반적인 곱셈누적 연산기는 보통 다중 비트의 곱셈기와 곱셈기의 결과를 누적하는 다중 비트 누산기로 이루어져있다.

[0010] 비트 직렬 방식의 다중 비트 곱셈기는 하드웨어 면적과 전력 소모가 작지만, 한 번에 한 비트의 곱셈만 처리가

가능하기 때문에, 다중 비트의 곱셈연산에 오랜 시간이 걸린다. 한편, 병렬 다중 비트 곱셈기는 곱셈연산을 병렬적으로 처리하는 반면, 이를 위해 상대적으로 복잡한 도선연결과 커다란 하드웨어 면적과 상당한 전력을 소모하므로 저전력 회로에 부적합하다. 또한 곱셈연산은 병렬로 이루어지지만 필요로 하는 곱셈누적 연산의 수가 많을수록 누적 연산도 여러 번 행해지므로 연산을 하는데 걸리는 시간이 증가하게 된다.

[0011] 이와 같이 종래의 다중 비트 병렬 곱셈누적 연산기는 여러 번의 곱셈누적 연산을 저전력이며 병렬적으로 하는데 어려움이 있다.

발명의 내용

해결하려는 과제

[0012] 따라서 본 발명이 해결하고자 하는 기술적 과제는 여러 번의 곱셈누적 연산을 저전력이며 병렬적으로 할 수 있는 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산기를 제공하는 것이다.

과제의 해결 수단

[0013] 이러한 기술적 과제를 해결하기 위한 본 발명에 따른 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 장치는 메인 클럭 신호를 이용하여 복수 개의 다중 위상 클럭 신호를 생성하는 다중 위상 생성부; 상기 복수 개의 다중 위상 클럭 신호를 이용하여 서로 다른 파형을 가지는 복수 개의 PWM 신호를 생성하는 PWM 신호 생성부; 무부호 다중 비트를 각각 입력받고, 상기 복수 개의 PWM 신호를 이용하여 상기 입력된 무부호 다중 비트의 값에 대응하는 펄스폭을 가지는 펄스폭 신호를 각각 생성하여 병렬로 출력하는 복수 개의 펄스폭 변조 회로; 부호 다중 비트를 각각 입력받고, 상기 입력된 부호 다중 비트에서 한 비트를 선택하여 병렬로 출력하는 복수 개의 멀티플렉서 - 상기 부호 다중 비트는 부호 비트를 가지고 2의 보수로 표현됨 - ; 상기 복수 개의 펄스폭 변조 회로에서 병렬로 출력되는 복수 개의 펄스폭 신호와 상기 복수 개의 멀티플렉서에서 병렬로 출력되는 비트에 대한 병렬 곱셈 누적 연산 결과에 대응하는 전류를 출력하는 디지털 아날로그 변환부; 및 상기 디지털 아날로그 변환부에서 출력되는 전류에 대응하여 순차적으로 구해지는 디지털 값을 상기 복수 개의 멀티플렉서에서 출력되는 비트의 부호 비트 여부에 따라 가감산하여 누적한 결과값을 출력하는 아날로그 디지털 변환부; 를 포함한다.

[0014] 상기 복수 개의 멀티플렉서에서 상기 부호 다중 비트의 최상위 자리수 비트부터 최하위 자리수 비트까지 순차적으로 출력될 때마다, 상기 PWM 신호 생성부는 상기 복수 개의 PWM 신호의 펄스폭을 1/2씩 감소시킬 수 있다.

[0015] 상기 복수 개의 PWM 신호는 상승 에지가 미리 정해진 지연 시간만큼 순차적으로 지연되고 펄스폭이 미리 정해진 크기만큼 순차적으로 감소하는 서로 다른 파형을 가질 수 있다.

[0016] 상기 복수 개의 멀티플렉서에서 상기 부호 다중 비트의 최상위 자리수 비트부터 최하위 자리수 비트까지 순차적으로 출력될 때마다, 상기 PWM 신호 생성부는 상기 복수 개의 PWM 신호의 펄스폭과 상기 미리 정해진 지연 시간이 1/2씩 감소시킬 수 있다.

[0017] 상기 복수 개의 PWM 신호의 개수(N)는 $2^{L/2}$ 로 정해지고, L은 상기 무부호 다중 비트의 비트폭이며, 상기 복수 개의 PWM 신호 중 i번째 PWM 신호인 PWM[N-i]의 펄스폭은 $(N-i) \cdot (N+1) \cdot T_{REF}$ 이고, PWM[N-i]는 상기 복수 개의 PWM 신호 중 i-1번째 PWM 신호인 PWM[N-(i-1)] 보다 $N \cdot T_{REF}$ 만큼 상승 에지가 지연되는 파형을 가질 수 있다. 여기서 i(i = 1, 2, ..., N)는 상기 복수 개의 PWM 신호의 인덱스이다.

[0018] T_{REF} 는 상기 메인 클럭 신호의 클럭 주기로 초기값이 설정된 후 상기 복수 개의 멀티플렉서에서 출력되는 상기 부호 다중 비트의 자리수가 하나씩 낮아짐에 따라 1/2씩 감소할 수 있다.

[0019] 상기 복수의 다중 위상 클럭 신호는 주파수는 같고 위상이 서로 다른 다중 위상 클럭을 사용할 수 있다.

[0020] 상기 디지털 아날로그 변환부는, 상기 복수 개의 펄스폭 변조 회로에서 병렬로 출력되는 복수 개의 펄스폭 신호와 상기 복수 개의 멀티플렉서에서 병렬로 출력되는 비트를 한 쌍씩 입력받아 논리곱 연산하여 출력하는 복수 개의 논리 게이트, 상기 복수 개의 논리 게이트에 각각 대응하는 복수 개의 단위 전류원, 및 상기 복수 개의 논리 게이트 중 대응하는 논리 게이트의 출력값에 따라 상기 복수 개의 단위 전류원 중 대응하는 단위 전류원에서 출력되는 전류를 출력시키는 복수 개의 스위칭 소자를 포함할 수 있다.

[0021] 상기 아날로그 디지털 변환부는, 상기 디지털 아날로그 변환부에서 출력되는 전류에 의해 충전 커패시터에 충전된 충전 전압에 따른 펄스를 생성하는 펄스 생성부, 및 상기 펄스 생성부에서 출력되는 펄스 개수를 카운트한

결과에 대응하는 상기 디지털 값을 구하여 상기 부호 다중 비트의 최상위 자리수 비트에 대응하여 출력되는 디지털 값은 감산 처리하고, 상기 부호 다중 비트의 나머지 자리수 비트에 대응하여 출력되는 디지털 값은 가산 처리하는 업다운 카운터를 포함할 수 있다.

[0022] 상기 펄스 생성부는, 상기 충전 커패시터에 충전된 전압을 기준전압과 비교하여 그에 따른 펄스를 생성하여 출력하는 비교기 및 상기 비교기에서 '하이'가 출력될 때마다 상기 충전 커패시터에 충전된 전압을 리셋시키는 트랜지스터를 포함할 수 있다.

[0023] 이러한 기술적 과제를 해결하기 위한 본 발명에 따른 다중 위상 클럭을 사용한 전류형 곱셈 누적 연산 방법은, (a) 다중 위상 생성부가 메인 클럭 신호를 이용하여 복수 개의 다중 위상 클럭 신호를 생성하는 단계; (b) PWM 신호 생성부가 상기 복수 개의 다중 위상 클럭 신호를 이용하여 서로 다른 파형을 가지는 복수 개의 PWM 신호를 생성하는 단계; (c) 복수 개의 펄스폭 변조 회로가 무부호 다중 비트를 각각 입력받고, 상기 복수 개의 PWM 신호를 이용하여 상기 입력된 무부호 다중 비트의 값에 대응하는 펄스폭을 가지는 펄스폭 신호를 각각 생성하여 병렬로 출력하는 단계; (d) 복수 개의 멀티플렉서가 부호 다중 비트를 각각 입력받고, 상기 입력된 부호 다중 비트에서 한 비트를 선택하여 병렬로 출력하는 단계 - 상기 부호 다중 비트는 부호 비트를 가지고 2의 보수로 표현됨 - ; (e) 디지털 아날로그 변환부가 상기 복수 개의 펄스폭 변조 회로에서 병렬로 출력되는 복수 개의 펄스폭 신호와 상기 복수 개의 멀티플렉서에서 병렬로 출력되는 비트에 대한 병렬 곱셈 누적 연산 결과에 대응하는 전류를 출력하는 단계; (f) 아날로그 디지털 변환부가 상기 디지털 아날로그 변환부에서 출력되는 전류에 대응하는 디지털 값을 구하는 단계; 및 (g) 상기 아날로그 디지털 변환부가 상기 구해진 디지털 값을 상기 복수 개의 멀티플렉서에서 출력되는 비트의 부호 비트 여부에 따라 가감산하는 단계; 를 포함하고, 상기 복수 개의 멀티플렉서에서 상기 부호 다중 비트의 최상위 자리수 비트부터 최하위 자리수 비트까지 순차적으로 출력될 때마다, 상기 복수 개의 PWM 신호의 펄스폭을 1/2씩 감소시키면서 상기 (a) 내지 (g) 단계를 반복할 수 있다.

[0024] 컴퓨터에 상기 방법을 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체를 포함할 수 있다.

발명의 효과

[0025] 본 발명에 의하면 여러 번의 곱셈누적 연산을 저전력이며 병렬적으로 할 수 있는 장점이 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 전류형 곱셈 누적 연산 장치의 구성도이다.

도 2 및 도 3은 본 발명의 일 실시예에 따른 자릿수 가중치 보상에 대한 설명을 위해 제공되는 도면이다.

도 4는 본 발명의 일 실시예에 따른 전류형 곱셈 누적 연산 장치에서 사용되는 신호 파형을 예시한 도면이다.

도 5는 본 발명의 일 실시예에 따른 펄스폭 변조 회로에서 펄스폭 신호를 생성하는 동작과 관련된 구성 요소를 나타낸 것이다.

도 6은 본 발명의 일 실시예에 따른 전류형 곱셈 누적 연산 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 상세히 설명한다. 그러나 이들 실시 예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[0028] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시 예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시 예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0029] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 '연결'되어 있다고 할때, 이는 '직접적으로 연결'되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 '간접적으로 연결'되어 있는 경우도 포함한다. 본 명세서

에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작, 또는 소자 외에 하나 이상의 다른 구성요소, 단계, 동작, 또는 소자의 존재 또는 추가를 배제하지 않는다.

[0030] 본 발명은 위 수학적 식 2에서와 같은 N개 입력의 다중비트 곱셈 누적 연산을 디지털 영역 대신 아날로그 영역에서 저전력이며 병렬적으로 처리하기 위한 기술에 관한 것으로, 두 다중비트 입력 X, W값 중 부호를 갖지 않는 X의 디지털 값은 펄스 폭 변조를 통해 시간 영역으로 변환하고, 부호를 갖는 다중비트 W는 멀티플렉서를 활용하여 여러 비트 중 한 비트를 선택하여 시간 영역으로 변환된 X와 함께 N개의 디지털 AND 게이트를 활용하여 N개의 다중비트와 N개의 한 비트의 곱셈 연산을 병렬로 수행한다. 이 결과값들은 전류기반의 디지털-아날로그 변환기의 입력으로 사용되어 전류 형태로서 자연스레 누적 연산 수행이 가능하다. 이때 다중비트인 X와 W의 한 비트의 곱셈 누적 연산이 병렬로 수행되므로 최종 연산 결과값(D_{OUT})을 얻기 위해서는 W의 비트 수만큼 반복연산 하면서 선택하는 한 비트의 자릿수 가중치를 곱한 후 합산이 필요하다.

[0031] [수학적 식 3]

$$D_{OUT} = -2^{M-1} \times A/D \left(\sum_{i=1}^N X_{i,PWM} \times W_i[M-1] \times I_U \right) + \sum_{j=0}^{M-2} \left\{ 2^j \times A/D \left(\sum_{i=1}^N X_{i,PWM} \times W_i[j] \times I_U \right) \right\}$$

[0032] 수학적 식 3은 W가 2의 보수 형태로 M비트, 즉 W[M-1:0]이고, 디지털-아날로그 변환기의 단위 전류 I_U 일 때 디지털 영역에서 자릿수 가중치를 보상한 최종 연산 결과값이다. 디지털 영역에서의 자릿수 가중치 보상은 시프트 레지스터와 음수 변환 등으로 쉽게 구현할 수 있지만, 연산을 M번 반복 후에 최종 결과를 얻을 수 있으므로, 메인 클럭의 주파수가 일정할 때 W의 비트가 커질수록 이에 비례하여 연산속도가 저하되는 단점이 있다. 따라서 W의 비트 수가 증가할 때 연산속도를 유지하기 위해서는 메인 클럭의 주파수 증가가 필요한데 이는 동적 전력 소모를 증가시킨다. 한편 연산에서 필요한 자릿수 보상을 디지털 영역 대신 아날로그 영역에서 보상할 수도 있다. 한 예로 수학적 식 4와 같이 단위 전류 I_U 를 자릿수 가중치에 따라 증가시킬 수 있지만, 여전히 W의 한 비트마다 연산을 위해 같은 시간이 필요하면서 추가적인 전류원들이 있어야 하므로 면적을 상당히 증가시켜 효과적이지 않다.

[0034] [수학적 식 4]

$$D_{OUT} = -A/D \left(\sum_{i=1}^N X_{i,PWM} \times W_i[M-1] \times 2^{M-1} I_U \right) + \sum_{j=0}^{M-2} \left\{ A/D \left(\sum_{i=1}^N X_{i,PWM} \times W_i[j] \times 2^j I_U \right) \right\}$$

[0035] 아날로그 영역에서 자릿수 보상의 다른 예로 수학적 식 5와 같이 자릿수 가중치를 시간 영역에서 최대 펄스 폭 변조 시간을 변경하여 보상할 수도 있다.

[0037] [수학적 식 5]

$$D_{OUT} = -A/D \left(\sum_{i=1}^N 2^{M-1} X_{i,PWM} \times W_i[M-1] \times I_U \right) + \sum_{j=0}^{M-2} \left\{ A/D \left(\sum_{i=1}^N 2^j X_{i,PWM} \times W_i[j] \times I_U \right) \right\}$$

[0039] 이때, W[M-1]의 연산시간을 수학적 식 3에서와 동일하게 하기 위해 아래 수학적 식 6과 같이 최대 펄스 폭 변조 시간을 절반씩 줄이는 방식으로도 보상할 수 있다.

[0040] [수학적 식 6]

$$D_{OUT} = -A/D \left(\sum_{i=1}^N X_{i,PWM} \times W_i[M-1] \times I_U \right) + \sum_{j=0}^{M-2} \left\{ A/D \left(\sum_{i=1}^N \frac{X_{i,PWM}}{2^{M-j}} \times W_i[j] \times I_U \right) \right\}$$

[0041] 따라서, 본 발명은 메인 클럭의 주파수 증가나 가중치를 갖는 추가적인 전류원의 사용 대신 다중 위상 클럭 신호를 활용하여 시간 영역에서 자릿수 가중치를 보상한다. 또한, 본 발명은 병렬 동작을 위해 디지털 값 X를 시간 영역으로 변환하는데 필요한 N개의 펄스 폭 변조 회로의 전력 소모를 줄이기 위해 전역 신호 생성 회로를 사용하여 펄스 폭 변조 블록의 구현을 단순화한다. 구현 예로 펄스 폭 변조 회로는 멀티플렉서로 구현가능하다.

[0043] 도 1은 본 발명의 일 실시예에 따른 전류형 곱셈 누적 연산 장치의 구성도이다.

[0044] 도 1을 참고하면, 본 발명에 따른 전류형 곱셈 누적 연산 장치(100)는 부호를 가지지 않는 복수 개의 무부호 다

중 비트($X_1, X_2, \dots, X_N$)와 부호를 가지는 복수 개의 부호 다중 비트($W_1, W_2, \dots, W_N$)를 입력받아 아래 수식식 7
에서와 같은 곱셈 누적 연산을 수행한 결과값을 출력한다. 여기서 부호 다중 비트($W_1, W_2, \dots, W_N$)는 부호를 가
지고 2의 보수로 표현될 수 있다.

[수식식 7]

$$D_{OUT} = \sum_{i=1}^N X_i \cdot W_i$$

이를 위해 본 발명에 따른 전류형 곱셈 누적 연산 장치(100)는 다중 위상 생성부(110), PWM 신호 생성부(120),
복수 개의 펄스폭 변조 회로(130), 복수 개의 멀티플렉서(140), 디지털 아날로그 변환부(150) 및 아날로그 디지
털 변환부(160)를 포함할 수 있다.

다중 위상 생성부(110)는 메인 클럭부(도시하지 않음)로부터 메인 클럭 신호를 입력받아 다중 위상 클럭 신호들
을 생성하여 출력할 수 있다.

다중 위상 생성부(110)는 메인 클럭 신호를 입력받아 동일한 주파수를 가지고 서로 다른 위상을 가지는 복수 개
의 다중 위상 클럭 신호들을 생성할 수 있으며, PLL(Phase Locked Loop)로 구현할 수 있다. 복수 개의 다중 위
상 클럭 신호는 순차적으로 일정 크기만큼 위상차가 증가할 수 있다.

복수 개의 무부호 다중 비트($X_1, X_2, \dots, X_N$)에 대해서 복수 개의 부호 다중 비트($W_1, W_2, \dots, W_N$)의 MSB부터 LSB
까지 한 비트씩 순차적으로 곱셈 누적 연산을 수행할 때, 시간 영역에서 부호 다중 비트($W_1, W_2, \dots, W_N$)의 자릿
수 가중치 보상이 필요하다.

무부호 다중 비트($X_1, X_2, \dots, X_N$)의 비트폭을 8 bit, 부호 다중 비트($W_1, W_2, \dots, W_N$)의 비트폭을 6 bit로 구현
할 때, 최종적으로 다중 비트 곱셈 누적 연산을 위해 무부호 다중 비트($X_1, X_2, \dots, X_N$)에 대해서 부호 다중 비
트($W_1, W_2, \dots, W_N$)의 한 비트와의 곱셈 누적 연산이 6번 수행되어야 한다. 이때, 무부호 다중 비트($X_1, X_2, \dots, X_N$)에 대응하는 펄스폭 변조 회로(130)에서 출력되는 펄스폭 신호의 출력 폭을 절반씩 줄이는 형태로 자릿수 가
중치를 보상하게 된다.

도 2 및 도 3은 본 발명의 일 실시예에 따른 자릿수 가중치 보상에 대한 설명을 위해 제공되는 도면이다.

도 2에서는 무부호 다중 비트($X[7:0]$)가 145₁₀의 값을 가질 때 부호 다중 비트(W)의 비트마다 자리수 가중치를
보상한 펄스폭을 보여준다. $W[5]$ 부터 $W[0]$ 까지 1자리수 낮아질 때마다 무부호 다중 비트($X[7:0]$)에 대응하는 펄
스폭이 1/2씩 감소하는 것을 나타낸 것이다. 도 3을 참고하면, 메인 클럭으로 생성 가능한 주기가 integer의
LSB에 해당할 때, $W[4]$ 에서부터 fractional bit이 생기게 된다. 이를 메인 클럭의 주파수 증가없이 구현하기 위
해 다중 위상 생성부(110)를 사용할 수 있다.

부호 다중 비트($W_1, W_2, \dots, W_N$)의 비트폭이 M이라고 가정하면, 다중 위상 생성부(110)는 2^{M-1} 개의 서로 다른 위
성을 가지는 다중 위상 클럭 신호를 생성하여 출력할 수 있다. 다만 다중 위상 생성부(110)의 부하를 줄이고,
회로 구성을 간단하게 하기 위해서 연산의 정확도를 희생하여 부호 다중 비트($W_1, W_2, \dots, W_N$)의 마지막 $W[0]$ 에
서 필요한 위상은 양자화될 수 있다. 2^{M-2} 개의 서로 다른 위성을 가지는 다중 위상 클럭 신호를 생성하여 출력하
도록 구현하는 것도 가능하다. 즉 부호 다중 비트($W_1, W_2, \dots, W_N$)의 비트폭이 6 bit라고 가정하면, 32개의 다중
위상 클럭 신호를 생성하여 출력하거나, 상대적으로 중요도가 떨어지는 마지막 $W[0]$ 에서 필요한 위상은 양자화
함으로써 16개의 위상으로 구현할 수도 있다.

다시 도 1을 참고하면, PWM 신호 생성부(120)는 다중 위상 생성부(110)에서 생성되어 출력되는 다중 위상 클럭
신호들을 이용하여, 상승 에지가 미리 정해진 지연 시간만큼 순차적으로 지연되고 펄스폭이 미리 정해진 크기만
큼 순차적으로 감소하는 서로 다른 파형을 가지는 복수 개의 PWM 신호를 생성하여 출력할 수 있다.

PWM 신호 생성부(120)에서 출력되는 PWM 신호의 개수는 처리하려는 무부호 다중 비트(X)의 비트폭에 따라 정해
질 수 있다. 무부호 다중 비트(X)의 비트폭이 L일 때, $2^{L/2}$ 개의 PWM 신호가 필요하다. $2^{L/2}$ 이 N이라고 가정하면,
N개의 PWM 신호(PWM[N-1], PWM[N-2], ..., PWM[N-i], ..., PWM[0])가 필요하다. PWM[N-i]의 펄스폭이 (N-

$i) \cdot (N+1) \cdot T_{REF}$ 이고, $PWM[N-i]$ 는 $PWM[N-(i-1)]$ 보다 $N \cdot T_{REF}$ 만큼 상승 에지가 지연되는 파형을 가질 수 있다. 여기서 $i(i = 1, 2, \dots, N)$ 는 복수 개의 PWM 신호의 인덱스이다. 예를 들어, 무부호 다중 비트(X)의 비트폭 8bit일 16개의 PWM 신호, 도 4에 예시한 것과 같은 $PWM[15:0]$ 의 파형이 필요하다.

[0057] 도 4는 본 발명의 일 실시예에 따른 전류형 곱셈 누적 연산 장치에서 사용되는 신호 파형을 예시한 도면이다.

[0058] 특히 도 4에서는 무부호 다중 비트가 $X[7:0]$ 으로 비트폭이 8인 경우에 사용되는 신호 파형을 나타낸 것이다.

[0059] 도 4를 참조하면, 1번째 $PWM[15]$ 는 $15 \cdot (16+1) \cdot T_{REF}$ 의 펄스폭을 가진다. 그리고 2번째 $PWM[14]$ 는 $PWM[15]$ 보다 미리 정해진 지연 시간($16 \cdot T_{REF}$)만큼 상승 에지가 지연되고, 펄스폭은 미리 정해진 크기(T_{REF})만큼 감소한다. 순차적으로 $PWM[13]$ 역시 $PWM[14]$ 보다 미리 정해진 지연 시간($16 \cdot T_{REF}$)만큼 상승 에지가 지연되고, 펄스폭은 미리 정해진 크기(T_{REF})만큼 감소한다.

[0060] T_{REF} 는 메인 클럭 신호의 클럭 주기로 초기값이 설정된 후 N 개의 멀티플렉서(140)에서 출력되는 부호 다중 비트의 자리수가 하나씩 낮아짐에 따라 1/2씩 감소한다.

[0061] 보다 자세하게는 뒤에서 설명하지만, 무부호 다중 비트($X_1, X_2, \dots, X_N$)와 부호 다중 비트($W_1, W_2, \dots, W_N$)의 한 비트의 병렬 곱셈 연산이 $W[M-1]$ 부터 $W[0]$ 까지 M 번 수행되는데, T_{REF} 는 자릿수 가중치를 시간 영역에서 보상하기 위해서 순차적으로 T_{REF} 값이 절반씩 줄어들게 구현할 수 있다. 이를 메인 클럭 신호의 주파수의 증가 없이 저전력으로 구현하기 위해 앞서 설명한 것과 같이 다중 위상 생성부(110)를 통해 구현할 수 있다.

[0062] 다시 도 1을 참고하면, 복수 개의 펄스폭 변조 회로(130)는 무부호 다중 비트($X_1, X_2, \dots, X_N$)를 하나씩 나누어 입력받고, PWM 신호 생성부(120)에서 출력되는 복수 개의 PWM 신호($PWM[N-1], PWM[N-2], \dots, PWM[N-i], \dots, PWM[0]$)($PWM[N-1:0]$)를 이용하여, 자신에 입력된 무부호 다중 비트($X_1, X_2, \dots, X_N$)의 값에 비례하는 펄스폭을 가지는 펄스폭 신호를 생성하여 각각 출력할 수 있다.

[0063] 도 5는 본 발명의 일 실시예에 따른 펄스폭 변조 회로에서 펄스폭 신호를 생성하는 동작과 관련된 구성 요소를 나타낸 것이다.

[0064] 도 5를 참고하면, 각 펄스폭 변조 회로(130)는 도 5에 예시한 것과 같이 제1 멀티플렉서(131)와 제2 멀티플렉서(132)를 각각 포함할 수 있다.

[0065] PWM 신호 생성부(120)는 복수 개의 PWM 신호($PWM[N-1:0]$)에 추가하여 MSB_EN 신호를 생성하여 출력할 수 있다.

[0066] 제1 멀티플렉서(131)는 복수 개의 PWM 신호(도 5에서는 $PWM[15:0]$)를 입력받고, 제2 멀티플렉서(132)로부터 출력되는 선택 신호(SEL .)에 따라 해당하는 PWM 신호를 출력하도록 구현될 수 있다.

[0067] 제2 멀티플렉서(132)는 복수 개의 무부호 다중 비트($X_1, X_2, \dots, X_N$) 중 자신에 해당하는 무부호 다중 비트를 입력받고, MSB_EN 신호에 따라 무부호 다중 비트의 상위 비트 또는 하위 비트를 선택 신호(SEL .)로써 출력하도록 구현할 수 있다.

[0068] 도 5에서는 제1 멀티플렉서(131)를 16:1 멀티플렉서로 구현하고, 제2 멀티플렉서(132)를 2:1 멀티플렉서로 구현한 예를 나타내고 있다.

[0069] 제2 멀티플렉서(132)가 무부호 다중 비트(X)로 '11010001₂'을 입력받은 경우, MSB_EN 이 1일 때 입력의 상위 4bit(1101)을 출력하고 MSB_EN 이 0일 때 하위 4bit(0001)을 출력하게 된다. 그러면 제1 멀티플렉서(131)는 선택 신호(SEL .)로써 상위 4bit(1101)가 입력되면 $PWM[13]$ 을 선택하여 출력한다. 그리고 제1 멀티플렉서(131)는 선택 신호(SEL .)로써 하위 4bit(0001)가 입력되면 $PWM[1]$ 을 선택하여 출력한다. 이 경우 펄스폭 변조 회로(130)는 무부호 다중 비트(X)의 값 '11010001₂'에 비례하는 $X[7:0] \cdot T_{REF}$ 의 펄스폭을 가지는 펄스폭 신호를 출력하게 된다.

[0070] 다시 도 1을 참고하면, 복수의 멀티플렉서(140)는 부호 다중 비트($W_1, W_2, \dots, W_N$)를 병렬로 하나씩 입력받고, 자신에 입력된 부호 다중 비트($W_1, W_2, \dots, W_N$)의 최상위 자리수 비트부터 최하위 자리수 비트까지 한 비트씩 순차적으로 병렬로 출력할 수 있다.

- [0071] 디지털 아날로그 변환부(150)는 복수 개의 펄스폭 변조 회로(130)에서 병렬로 출력되는 복수 개의 펄스폭 신호와 복수 개의 멀티플렉서(140)에서 병렬로 출력되는 비트에 대한 병렬 곱셈 누적 연산 결과에 대응하는 전류를 출력할 수 있다.
- [0072] 디지털 아날로그 변환부(150)는 복수 개의 논리 게이트(151), 복수 개의 단위 전류원(I_U) 및 복수 개의 스위칭 소자(152)를 구비할 수 있다.
- [0073] 복수 개의 논리 게이트(151)는 복수 개의 펄스폭 변조 회로(130)에서 병렬로 출력되는 복수의 펄스폭 신호와 복수 개의 멀티플렉서(140)에서 병렬로 출력되는 비트를 한 쌍씩 입력받아 논리곱 연산하여 출력할 수 있다. 복수 개의 논리 게이트(151)는 NAND 게이트로 구현할 수 있으며, 실시예에 따라서 AND 게이트로 구현할 수도 있다.
- [0074] 복수 개의 논리 게이트(151)의 출력 신호는 각각 대응하는 복수 개의 스위칭 소자(152)의 게이트 단자에 입력될 수 있다.
- [0075] 복수 개의 단위 전류원(I_U)은 복수 개의 논리 게이트(151)에 각각 대응하여 구비될 수 있다.
- [0076] 복수 개의 스위칭 소자(152)는 스위치용 트랜지스터로 구현될 수 있으며, 복수 개의 논리 게이트(151) 중 대응하는 논리 게이트의 출력값이 게이트 단자에 입력되면 'ON'되어, 복수 개의 단위 전류원(I_U) 중 대응하는 단위 전류원에서 출력되는 전류를 충전 커패시터(C_p)로 출력시켜 전하를 누적 충전시킬 수 있다.
- [0077] 아날로그 디지털 변환부(160)는 디지털 아날로그 변환부(150)에서 출력되는 전류에 대응하는 디지털 값을 순차적으로 구하고, 복수 개의 멀티플렉서 멀티플렉서(140)에서 출력되는 비트의 부호 비트 여부에 따라 가감산하여 누적한 결과값을 출력할 수 있다.
- [0078] 보다 자세하게는 아날로그 디지털 변환부(160)는 디지털 아날로그 변환부(150)에서 출력되는 전류에 의해 충전 커패시터(C_p)에 누적 충전된 충전 전압에 따라 생성되는 펄스의 개수를 카운트하여 디지털 아날로그 변환부(150)에서 출력되는 전류에 대응하는 디지털 값을 구할 수 있다.
- [0079] 아날로그 디지털 변환부(160)는 충전 커패시터(C_p)의 충전 전압에 따라 펄스를 생성하는 펄스 생성부(161)와 펄스 생성부(161)에서 출력되는 펄스 개수를 카운트한 결과에 대응하는 디지털 값을 구하여 부호 다중 비트의 최상위 자리수 비트에 대응하여 출력되는 디지털 값은 감산 처리하고, 부호 다중 비트의 나머지 자리수 비트에 대응하여 출력되는 디지털 값은 가산 처리하는 업다운 카운터(162)로 이루어질 수 있다.
- [0080] 펄스 생성부(161)는 충전 커패시터(C_p)에 충전된 전압을 기준전압과 비교하여 그에 따른 펄스를 생성하여 출력하는 비교기(161A) 및 비교기(161A)에서 '하이'가 출력될 때마다 충전 커패시터(C_p)에 충전된 전압을 리셋시키는 트랜지스터(162B)를 포함할 수 있다.
- [0081] 펄스 생성부(161)의 비교기(161A)는 외부의 기준전압을 사용하지 않고 직렬 연결된 복수 개(짝수 개)의 인버터로 구성된 버퍼단으로 구현할 수 있다. 여기서, 첫 번째 인버터의 로직 문턱전압(logic threshold voltage)이 기준전압으로 사용된다. 따라서, 초기 상태에서는 충전 커패시터(C_p)의 충전 전압이 접지 전압(GND)의 레벨이므로 상기 버퍼단의 출력은 '로우'가 되고, 이에 의해 트랜지스터(162B)는 오프 상태로 유지된다. 이후, 디지털 아날로그 변환부(150)에서 병렬 곱셈 누적 연산 결과에 대응하여 출력되는 전류에 의해 충전 커패시터(C_p)의 충전 전압이 기준전압보다 높을 때 상기 버퍼단의 출력은 '하이'가 되고, 이에 의해 트랜지스터(162B)가 턴온되어 충전 커패시터(C_p)의 충전전압이 리셋된다. 이와 같은 과정을 통해 비교기(161A)로부터 하나의 펄스가 발생된다. 비교기(161A)의 비교 동작 및 트랜지스터(162B)에 의한 충전 커패시터(C_p)의 충전전압 리셋 동작은 디지털 아날로그 변환부(150)에서 병렬 곱셈 누적 연산 결과에 대응하여 출력되는 전류에 의한 충전 커패시터(C_p)의 충전 전압이 소모될 때까지 반복적으로 수행된다. 따라서, 펄스 생성부(161)를 통해 생성되는 총 펄스의 수는 무부호 다중 비트(X)와 부호 다중 비트(W)의 한 비트의 병렬 곱셈 누적 연산의 결과에 비례한다.
- [0082] 한편 앞서 설명한 것과 같이 부호 다중 비트(W)의 자리수 가중치가 반영되어 각 펄스폭 변조 회로(130)에서 출력되는 신호의 펄스폭이 조정되므로, 아날로그 디지털 변환부(160)에서 순차적으로 구해지는 디지털 값을 합산하면 무부호 다중 비트(X)와 부호 다중 비트(W)의 전체 비트에 대한 병렬 곱셈 누적 연산 결과가 구해질 수 있다. 다만 무부호 다중 비트(X)의 MSB는 부호 비트이므로 부호를 고려하여 감산해주어야 한다.
- [0083] 업다운 카운터(162)는 순차적으로 구해지는 디지털 값을 복수 개의 멀티플렉서(140)에서 출력되는 비트의 부호 비트 여부를 고려하여 가산 또는 감산하여 누적한 결과를 출력할 수 있다.

- [0084] 업다운 카운터(162)는 부호 다중 비트($W_1, W_2, \dots, W_N$)의 최상위 자리수 비트에 대응하여 출력되는 펄스 개수에 해당하는 디지털 값은 감산하고, 부호 다중 비트($W_1, W_2, \dots, W_N$)의 나머지 자리수 비트에 대응하여 출력되는 펄스 개수에 해당하는 디지털 값은 가산하여 최종 결과값을 출력할 수 있다. 이와 같이 동작하는 이유는 2의 보수로 표현되는 부호 다중 비트($W_1, W_2, \dots, W_N$)의 최상위 자리수 비트는 마이너스 값에 해당하고, 나머지 자리수 비트에 대응하는 비트는 플러스 값에 해당하므로 부호를 고려하기 위한 것이다.
- [0085] 도 6은 본 발명의 일 실시예에 따른 전류형 곱셈 누적 연산 방법의 흐름도이다.
- [0086] 도 1 및 도 6을 참고하면, 먼저 다중 위상 생성부(110)가 메인 클럭 신호를 이용하여 복수 개의 다중 위상 클럭 신호를 생성할 수 있다(S610).
- [0087] 다음으로 PWM 신호 생성부(120)가 복수 개의 다중 위상 클럭 신호를 이용하여 서로 다른 파형을 가지는 복수 개의 PWM 신호를 생성할 수 있다(S620).
- [0088] 이후 복수 개의 펄스폭 변조 회로(130)가 무부호 다중 비트를 각각 입력받고, 복수 개의 PWM 신호를 이용하여 자신에 입력된 무부호 다중 비트의 값에 대응하는 펄스폭을 가지는 펄스폭 신호를 각각 생성하여 병렬로 출력할 수 있다(S630).
- [0089] 한편 복수 개의 멀티플렉서(140)가 부호 다중 비트를 각각 입력받고, 자신에 입력된 부호 다중 비트에서 한 비트를 선택하여 병렬로 출력할 수 있다(S640).
- [0090] 단계(S630)와 단계(S640)는 동시에 실행될 수 있다.
- [0091] 이후 디지털 아날로그 변환부(150)가 복수 개의 펄스폭 변조 회로(130)에서 병렬로 출력되는 복수 개의 펄스폭 신호와 복수 개의 멀티플렉서(140)에서 병렬로 출력되는 비트에 대한 병렬 곱셈 누적 연산 결과에 대응하는 전류를 출력할 수 있다(S650).
- [0092] 다음으로 아날로그 디지털 변환부(160)가 디지털 아날로그 변환부(150)에서 출력되는 전류에 대응하는 디지털 값을 출력할 수 있다(S660).
- [0093] 이후 아날로그 디지털 변환부(160)는 단계(S660)에서 구해지는 디지털 값을 복수 개의 멀티플렉서(140)에서 출력되는 비트의 부호 비트 여부를 고려하여 가산 또는 감산할 수 있다(S670).
- [0094] 복수 개의 멀티플렉서(140)에서 부호 다중 비트의 최상위 자리수 비트부터 최하위 자리수 비트까지 순차적으로 출력될 때마다 복수 개의 PWM 신호의 펄스폭과 미리 정해진 지연 시간을 1/2씩 감소시키면서 단계(S610) 내지 단계(S670)를 반복함으로써 최종적으로 무부호 다중 비트와 부호 다중 비트의 최종 병렬 곱셈 누적 연산 결과를 구할 수 있다.
- [0095] 이상에서 설명된 실시예들은 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치, 방법 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0096] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 영구적으로, 또는 일시적으로 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도

있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0097]

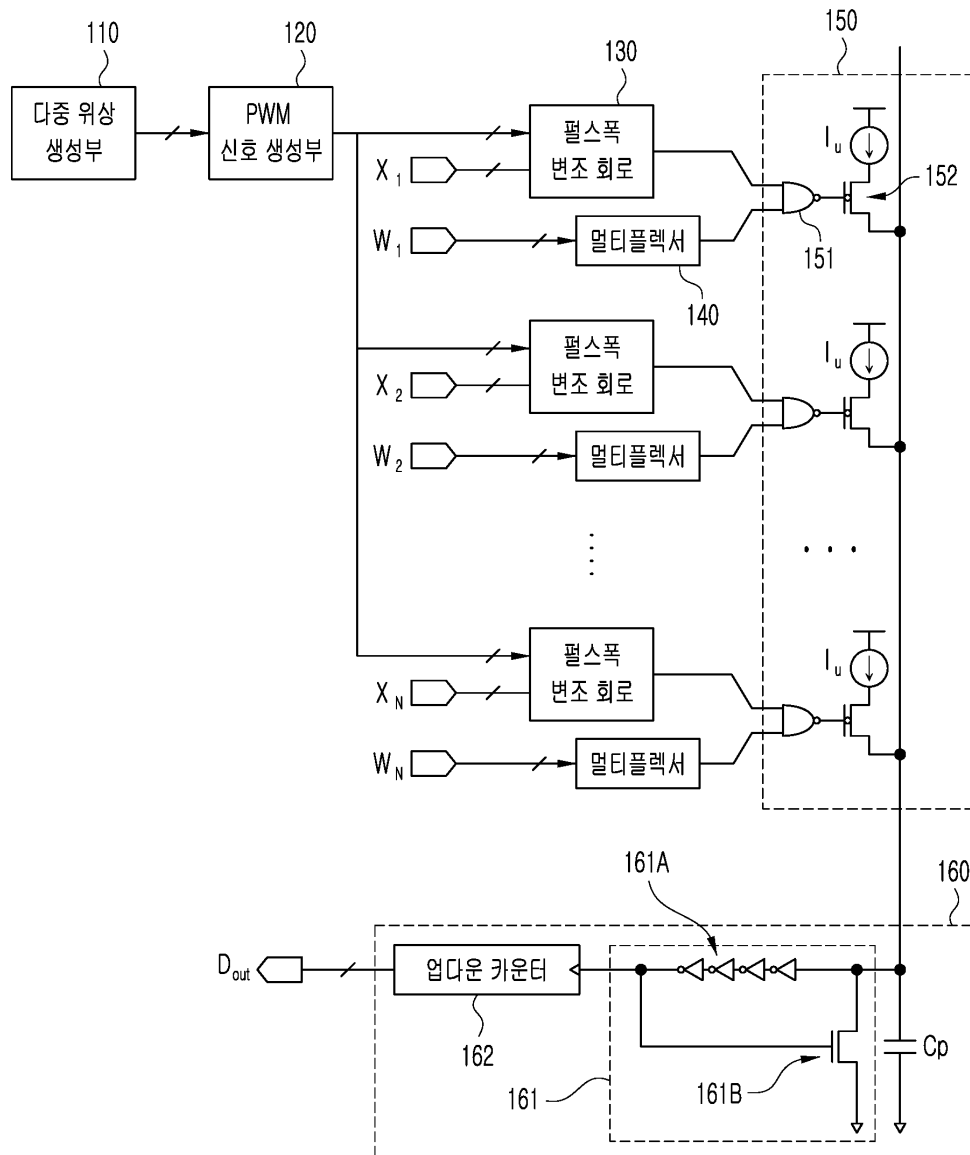
실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0098]

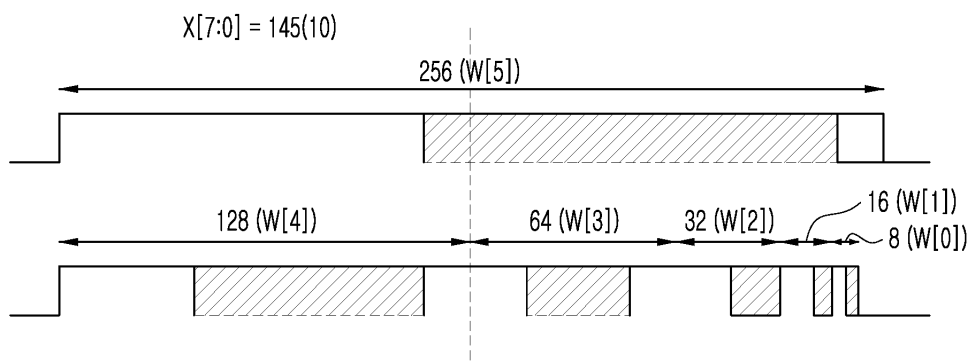
이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

도면

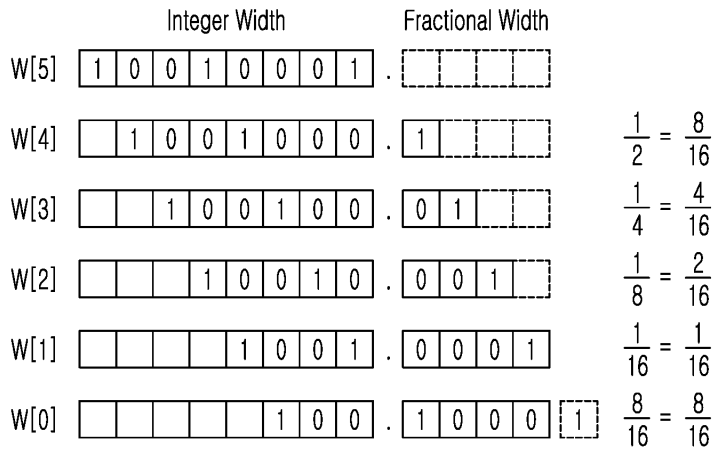
도면1



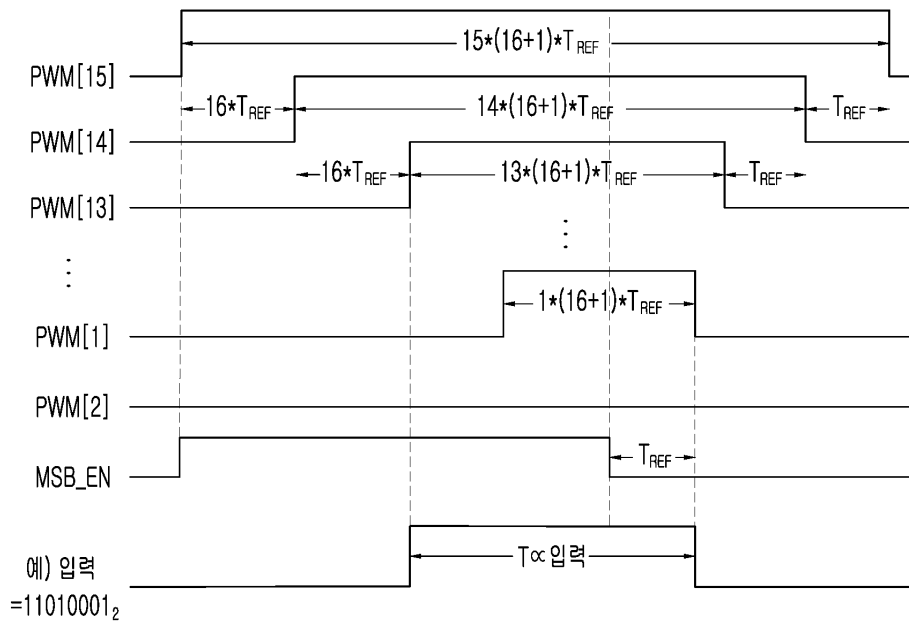
도면2



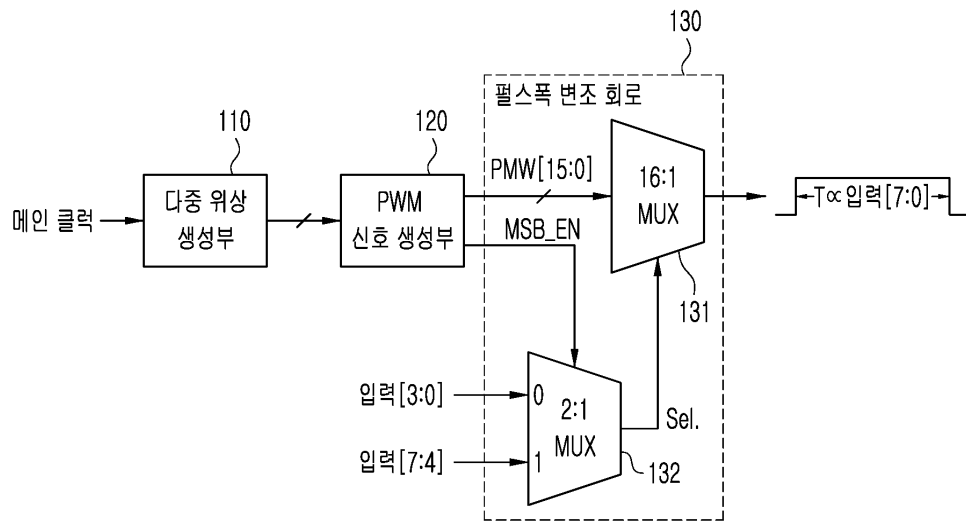
도면3



도면4



도면5



도면6

