



(12) 发明专利

(10) 授权公告号 CN 101339342 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 200810130468. 7

(56) 对比文件

(22) 申请日 2008. 07. 04

CN 1577027 A, 2005. 02. 09, 全文.

US 5831292 A, 1998. 11. 03, 全文.

(30) 优先权数据

2007-179092 2007. 07. 06 JP

审查员 王曦

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 铃木幸惠 桑原秀明

木村肇

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 李玲

(51) Int. Cl.

G02F 1/1362 (2006. 01)

H01L 27/12 (2006. 01)

H01L 21/84 (2006. 01)

H01L 29/786 (2006. 01)

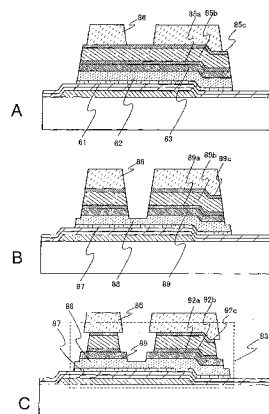
权利要求书 3 页 说明书 28 页 附图 38 页

(54) 发明名称

液晶显示装置

(57) 摘要

本发明的目的为提供一种方法,其中批量生产性地制造具有电特性良好且可靠性高的薄膜晶体管的液晶显示装置。在具有反交错型薄膜晶体管的液晶显示装置中,在反交错型薄膜晶体管中的栅电极上形成栅极绝缘膜,在栅极绝缘膜上形成用作沟道形成区域的微晶半导体膜,在微晶半导体膜上形成缓冲层,在缓冲层上形成一对源区域及漏区域,以使源区域及漏区域的一部分露出的方式形成与源区域及漏区域接触的一对源电极及漏电极。



1. 一种液晶显示装置,包括;
栅电极;
形成在所述栅电极上的栅极绝缘膜;
形成在所述栅极绝缘膜上的微晶半导体膜;
形成在所述微晶半导体膜上且具有凹部的缓冲层;
形成在所述缓冲层上的源区域及漏区域;以及
与所述源区域及漏区域接触的源电极及漏电极,
其中,所述源电极及漏电极不与所述微晶半导体膜的端部和所述源区域及漏区域的端部重叠,
并且,与所述栅电极重叠的所述源区域及漏区域的端部和所述缓冲层的凹部侧面相一致。
2. 根据权利要求1所述的液晶显示装置,其中所述缓冲层由非晶半导体膜形成。
3. 根据权利要求1所述的液晶显示装置,其中所述缓冲层由包含氮的非晶半导体膜形成。
4. 根据权利要求1所述的液晶显示装置,其中所述缓冲层由包含氢的非晶半导体膜形成。
5. 根据权利要求1所述的液晶显示装置,其中所述缓冲层由包含氟、氯、溴、或碘的非晶半导体膜形成。
6. 一种液晶显示装置,包括:
栅电极;
形成在所述栅电极上的栅极绝缘膜;
形成在所述栅极绝缘膜上的微晶半导体膜;
形成在所述微晶半导体膜上且具有凹部的缓冲层;
形成在所述缓冲层上的源区域及漏区域;以及
与所述源区域及漏区域相接的源电极及漏电极,
其中,所述源区域及漏区域的一部分与所述源电极及漏电极相接,
并且,所述源区域及漏区域的另一部分不与所述源电极及漏电极相接,
并且,所述缓冲层露出在所述源电极及漏电极的外侧,
并且,所述源电极及漏电极不与所述微晶半导体膜的端部和所述源区域及漏区域的端部重叠,
并且,与所述栅电极重叠的所述源区域及漏区域的端部和所述缓冲层的凹部侧面相一致。
7. 根据权利要求6所述的液晶显示装置,其中所述缓冲层由非晶半导体膜形成。
8. 根据权利要求6所述的液晶显示装置,其中所述缓冲层由包含氮的非晶半导体膜形成。
9. 根据权利要求6所述的液晶显示装置,其中所述缓冲层由包含氢的非晶半导体膜形成。
10. 根据权利要求6所述的液晶显示装置,其中所述缓冲层由包含氟、氯、溴、或碘的非晶半导体膜形成。

11. 一种液晶显示装置,包括:

栅电极;

形成在所述栅电极上的栅极绝缘膜;

形成在所述栅极绝缘膜上的微晶半导体膜;

形成在所述微晶半导体膜上并具有凹部的缓冲层;

形成在所述缓冲层上的源区域及漏区域;

与所述源区域及漏区域接触的源电极及漏电极;

与所述源电极及漏电极、所述源区域及漏区域的一部分、以及所述缓冲层的一部分相接的绝缘膜;

形成在所述绝缘膜上并通过形成在所述绝缘膜中的接触孔与所述源电极和漏电极的一方相连接的像素电极;以及

与所述像素电极相邻的液晶,

其中,所述源电极及漏电极不与所述微晶半导体膜和所述源区域及漏区域的端部重叠,

并且,与所述栅电极重叠的所述源区域及漏区域的端部和所述缓冲层的凹部侧面相一致。

12. 根据权利要求 11 所述的液晶显示装置,其中所述缓冲层由非晶半导体膜形成。

13. 根据权利要求 11 所述的液晶显示装置,其中所述缓冲层由包含氮的非晶半导体膜形成。

14. 根据权利要求 11 所述的液晶显示装置,其中所述缓冲层由包含氢的非晶半导体膜形成。

15. 根据权利要求 11 所述的液晶显示装置,其中所述缓冲层由包含氟、氯、溴、或碘的非晶半导体膜形成。

16. 一种液晶显示装置,包括:

栅电极;

形成在所述栅电极上的栅极绝缘膜;

形成在所述栅极绝缘膜上的微晶半导体膜;

形成在所述微晶半导体膜上并具有凹部的缓冲层;

形成在所述缓冲层上的源区域及漏区域;

与所述源区域及漏区域相接的源电极及漏电极;

与所述源电极及漏电极、所述源区域及漏区域的一部分、以及所述缓冲层的一部分相接的绝缘膜;

形成在所述绝缘膜上,并通过形成在所述绝缘膜中的接触孔与所述源电极和漏电极的一方相连接的像素电极;以及

与所述像素电极相邻的液晶,

其中,所述源区域及漏区域的一部分与所述源电极及漏电极相接,

并且,所述源区域及漏区域的另一部分不与所述源电极及漏电极相接,

并且,所述缓冲层露出在所述源电极及漏电极的外侧,

并且,形成在所述栅电极上的所述源区域及漏区域的端部和所述缓冲层的凹部侧面相

一致。

17. 根据权利要求 16 所述的液晶显示装置,其中所述缓冲层由非晶半导体膜形成。

18. 根据权利要求 16 所述的液晶显示装置,其中所述缓冲层由包含氮的非晶半导体膜形成。

19. 根据权利要求 16 所述的液晶显示装置,其中所述缓冲层由包含氢的非晶半导体膜形成。

20. 根据权利要求 16 所述的液晶显示装置,其中所述缓冲层由包含氟、氯、溴、或碘的非晶半导体膜形成。

21. 一种液晶显示装置,包括:

栅电极;

形成在所述栅电极上的栅极绝缘膜;

形成在所述栅极绝缘膜上的微晶半导体膜;

形成在所述微晶半导体膜上的缓冲层;

形成在所述缓冲层上的源区域及漏区域;以及

形成在所述源区域及漏区域上的源电极及漏电极,

其中,所述源区域及漏区域延伸到所述源电极及漏电极的侧端部的外侧,

并且,减薄所述缓冲层的所述源区域及漏区域之间的一部分,

并且,所述缓冲层延伸到所述源区域及漏区域的侧端部的内侧。

22. 根据权利要求 21 所述的液晶显示装置,其中所述缓冲层由非晶半导体膜形成。

23. 根据权利要求 21 所述的液晶显示装置,其中所述缓冲层由包含氮的非晶半导体膜形成。

24. 根据权利要求 21 所述的液晶显示装置,其中所述缓冲层由包含氢的非晶半导体膜形成。

25. 根据权利要求 21 所述的液晶显示装置,其中所述缓冲层由包含氟、氯、溴、或碘的非晶半导体膜形成。

26. 根据权利要求 21 所述的液晶显示装置,其中所述缓冲层的所述部分的侧端部和所述源区域及漏区域的侧端部的内侧相一致。

液晶显示装置

技术领域

[0001] 本发明涉及至少对像素部使用薄膜晶体管的液晶显示装置。

背景技术

[0002] 近年来,将形成在具有绝缘表面的衬底上的半导体薄膜(厚度为几十 nm 至几百 nm 左右)用于沟道形成区域构成薄膜晶体管的技术引人注目。薄膜晶体管广泛地应用于电子器件如 IC 及电光装置,尤其是,正在加快开发作为图像显示装置的开关元件的薄膜晶体管。

[0003] 作为图像显示装置的开关元件,采用将非晶半导体膜用于沟道形成区域的薄膜晶体管、或将多晶半导体膜用于沟道形成区域的薄膜晶体管等。作为多晶半导体膜的形成方法,一般知道由光学系统将脉冲振荡的受激准分子激光束加工为线形,并对于非晶硅膜进行线形光束的扫描和照射来晶化的技术。

[0004] 此外,作为图像显示装置的开关元件,采用将微晶半导体膜用于沟道形成区域的薄膜晶体管(参照专利文献 1 及 2)。

[0005] [专利文献 1] 日本专利申请公开 Hei4-242724 号公报

[0006] [专利文献 2] 日本专利申请公开 2005-49832 号公报

[0007] 将多晶半导体膜用于沟道形成区域的薄膜晶体管具有如下优点:其电场效应迁移率比将非晶半导体膜用于沟道形成区域的薄膜晶体管高两个数量级以上,并且可以将半导体显示装置的像素部和其周边的驱动电路一体形成在相同衬底上。然而,有如下问题:与将非晶半导体膜用于沟道形成区域的情况相比,因使半导体膜晶化而工序较复杂,由此成品率降低且成本升高。

[0008] 此外,有微晶半导体膜的晶粒的表面容易氧化的问题。这个情况还引起如下问题:当沟道形成区域的晶粒氧化时,在晶粒的表面上形成氧化膜,并且该氧化膜障碍载流子的移动,从而薄膜晶体管的电特性降低。

发明内容

[0009] 鉴于上述问题,本发明的目的在于提供包括电特性良好且可靠性高的薄膜晶体管的液晶显示装置、以及批量生产性高地制造该液晶显示装置的方法。

[0010] 在包括反交错型薄膜晶体管的液晶显示装置的反交错型薄膜晶体管中,在栅电极上形成栅极绝缘膜,在栅极绝缘膜上形成用作沟道形成区域的微晶半导体膜(也称为半非晶半导体膜),在微晶半导体膜上形成缓冲层,在缓冲层上形成一对源区域及漏区域,以使源区域及漏区域的一部分露出的方式形成与源区域及漏区域接触的一对源电极及漏电极。因此,源区域及漏区域具有与源电极及漏电极接触的区域和不与源电极及漏电极接触的区域。此外,在源电极及漏电极的外侧,源区域及漏区域的一部分、以及缓冲层的一部分露出,并且源电极及漏电极不与微晶半导体膜的端部和源区域及漏区域的端部重叠。此外,在源电极及漏电极的端部的内侧形成源区域及漏区域的端部、以及缓冲层的端部。

[0011] 通过源电极及漏电极的端部和源区域及漏区域的端部不一致,并在源电极及漏电极的端部的的外侧形成源区域及漏区域的端部,源电极及漏电极的端部之间的距离变长,从而可以防止源电极及漏电极之间的漏电流及短路。此外,电场不在源电极及漏电极和源区域及漏区域的端部中集中,从而可以防止在栅电极与源电极及漏电极之间产生的漏电流。

[0012] 此外,缓冲层的一部分具有凹部,并且该凹部的侧面与源区域及漏区域的端部一致。由于缓冲层的一部分具有凹部且原区域和漏区域之间的距离远离而源区域及漏区域之间的载流子移动的距离长,因此可以减少源区域及漏区域之间产生的漏电流。

[0013] 此外,在微晶半导体膜和源区域及漏区域之间形成有缓冲层。微晶半导体膜用作沟道形成区域。另外,缓冲层在防止微晶半导体膜的氧化的同时用作高电阻区域。在微晶半导体膜和源区域及漏区域之间使用高电阻率的非晶半导体膜形成有缓冲层。由此,本发明的薄膜晶体管的电场效应迁移率高,且截止时(即,对栅电极施加负电压时)的漏电流少,而漏耐压性高。

[0014] 采用非晶半导体膜作为缓冲层。再者,优选采用包含氮、氢、卤素的任何一种以上的非晶半导体膜。通过非晶半导体膜包含氮、氢、卤素的任何一种,可以减少包含在微晶半导体膜中的晶粒的氧化。

[0015] 可以通过等离子体 CVD 法、溅射法等形成缓冲层。此外,在形成非晶半导体膜之后,通过对于非晶半导体膜进行使用氮等离子体、氢等离子体、或卤素等离子体的处理,来可以使非晶半导体膜氮化、氢化、或卤化。

[0016] 通过在微晶半导体膜的表面上设置缓冲层来可以减少包含在微晶半导体膜中的晶粒的氧化,因此可以减少薄膜晶体管的电特性的退化。

[0017] 与多晶半导体膜不同,微晶半导体膜可以直接形成在衬底上。具体而言,可以将氢化硅作为原料气体并使用等离子体 CVD 装置来形成。通过上述方法制造的微晶半导体膜也包括在非晶半导体中含有 0.5nm 至 20nm 的晶粒的微晶半导体膜。因此,与使用多晶半导体膜的情况不同,不需要在形成半导体膜之后进行晶化工序。可以缩减制造薄膜晶体管时的工序数,并且还可以提高液晶显示装置的成品率并抑制成本。此外,使用频率为 1GHz 以上的微波的等离子体具有高电子密度,从而容易离解原料气体的氢化硅。因此,通过使用频率为 1GHz 以上的微波的等离子体 CVD 法,与频率为几十 MHz 至几百 MHz 的微波等离子体 CVD 法相比,可以较容易制造微晶半导体膜,并可以提高成膜速度。因而,可以提高液晶显示装置的批量生产性。

[0018] 此外,使用微晶半导体膜制造薄膜晶体管(TFT),并且将该薄膜晶体管使用于像素部、驱动电路来制造液晶显示装置。使用微晶半导体膜的薄膜晶体管的电场效应迁移率为 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 至 $20\text{cm}^2/\text{V} \cdot \text{sec}$,其是将非晶半导体膜用于沟道形成区域的薄膜晶体管的 2 倍至 20 倍。因此可以将驱动电路的一部分或全部形成于与像素部相同的衬底上,来形成系统型面板(systemon panel)。

[0019] 此外,液晶显示装置包括液晶元件。另外,液晶显示装置还包括处于液晶元件被密封状态的面板、以及处于将包括控制器的 IC 等安装在该面板上的状态的模块。再者,本发明涉及制造该液晶显示装置的过程中的相当于液晶元件完成之前的一个方式的元件衬底,该元件衬底的多个像素的各个中具备将电压供给给液晶元件的单元。元件衬底采用各种方式,既可以处于只形成有液晶元件的像素电极的状态,又可以处于在形成成为像素电极的

导电膜之后并进行蚀刻来形成像素电极之前的状态。

[0020] 注意,本说明书中的液晶显示装置是指图像显示器件、液晶显示器件、或光源(包括照明装置)。此外,如下模块也都包括在液晶显示装置中:安装有连接器如 FPC(柔性印刷衬底)、TAB(带式自动接合)胶带、或 TCP(带载封装)的模块;TAB 胶带及 TCP 的前端设置有印刷布线板的模块;或通过 COG(晶玻接装,chip on glass)方式将 IC(集成电路)直接安装在液晶元件中的模块。

[0021] 根据本发明,可以批量生产性高地制造包括电特性良好且可靠性高的薄膜晶体管的液晶显示装置。

附图说明

- [0022] 图 1A 和 1B 是说明本发明的液晶显示装置的制造方法的截面图;
- [0023] 图 2A 至 2C 是说明本发明的液晶显示装置的制造方法的截面图;
- [0024] 图 3A 和 3B 是说明本发明的液晶显示装置的制造方法的截面图;
- [0025] 图 4A 和 4B 是说明本发明的液晶显示装置的制造方法的截面图;
- [0026] 图 5A 至 5C 是说明本发明的液晶显示装置的制造方法的俯视图;
- [0027] 图 6A 至 6C 是说明本发明的液晶显示装置的制造方法的截面图;
- [0028] 图 7A 至 7C 是说明本发明的液晶显示装置的制造方法的截面图;
- [0029] 图 8A 和 8B 是说明本发明的液晶显示装置的制造方法的截面图;
- [0030] 图 9A 至 9D 是说明本发明的液晶显示装置的制造方法的俯视图;
- [0031] 图 10 是说明本发明的微波等离子体 CVD 装置的俯视图;
- [0032] 图 11A 至 11D 是说明可应用于本发明的多级灰度掩模的截面图;
- [0033] 图 12A 至 12C 是说明本发明的液晶显示面板的透视图;
- [0034] 图 13A 至 13C 是说明使用本发明的液晶显示装置的电子设备的透视图;
- [0035] 图 14 是说明使用本发明的液晶显示装置的电子设备的图;
- [0036] 图 15 是说明本发明的液晶显示装置的图;
- [0037] 图 16 是说明本发明的液晶显示装置的图;
- [0038] 图 17 是说明本发明的液晶显示装置的图;
- [0039] 图 18 是说明本发明的液晶显示装置的图;
- [0040] 图 19 是说明本发明的液晶显示装置的图;
- [0041] 图 20 是说明本发明的液晶显示装置的图;
- [0042] 图 21 是说明本发明的液晶显示装置的图;
- [0043] 图 22 是说明本发明的液晶显示装置的图;
- [0044] 图 23 是说明本发明的液晶显示装置的图;
- [0045] 图 24 是说明本发明的液晶显示装置的图;
- [0046] 图 25 是说明本发明的液晶显示装置的图;
- [0047] 图 26 是说明本发明的液晶显示装置的图;
- [0048] 图 27 是说明本发明的液晶显示装置的图;
- [0049] 图 28 是说明本发明的液晶显示装置的图;
- [0050] 图 29A 和 29B 是说明本发明的液晶显示面板的俯视图及截面图;

- [0051] 图 30 是说明本发明的液晶显示装置的结构的框图；
- [0052] 图 31 是说明本发明的液晶显示装置的驱动电路的结构的等效电路图；
- [0053] 图 32 是说明本发明的液晶显示装置的驱动电路的结构的等效电路图；
- [0054] 图 33 是说明本发明的液晶显示装置的驱动电路的布局的俯视图；
- [0055] 图 34A 和 34B 是示出通过拉曼光谱法检测微晶半导体膜的结果的图；
- [0056] 图 35 是用于器件模拟的模型图；
- [0057] 图 36 是示出通过进行器件模拟而获得的电流电压特性的图；
- [0058] 图 37A 和 37B 是示出通过进行器件模拟而获得的薄膜晶体管的电子浓度分布的图。
- [0059] 本发明的选择图为图 2A 至 2C。

具体实施方式

[0060] 下面,关于本发明的实施方式将参照附图给予说明。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是本发明可以以多个不同形式来实施,其方式和详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此,本发明不应该被解释为仅限定在本实施方式所记载的内容中。

[0061] 实施方式 1

[0062] 在本实施方式中,对于用于液晶显示装置的薄膜晶体管的制造工序,参照图 1A 至图 12C 进行说明。图 1A 至图 4B、图 6A 至图 8B 是示出薄膜晶体管的制造工序的截面图,而图 5A 至 5C 以及图 9A 至 9D 是一个像素中的薄膜晶体管及像素电极的连接区域的俯视图。

[0063] 具有微晶半导体膜的 n 型薄膜晶体管更优选用于驱动电路,因为其电场效应迁移率高于具有微晶半导体膜的 p 型薄膜晶体管的电场效应迁移率。优选使形成在相同衬底上的所有薄膜晶体管的极性为相同,以抑制工序数的增加。在此,使用 n 沟道型的薄膜晶体管来进行说明。

[0064] 如图 1A 所示,在衬底 50 上形成栅电极 51。衬底 50 可以使用通过熔化方法或浮发方法(float method)制造的无碱玻璃衬底例如钡硼硅酸盐玻璃、铝硼硅酸盐玻璃、铝硅酸盐玻璃等、或陶瓷衬底,还可以使用具有可承受本制造工序的处理温度的耐热性的塑料衬底等。此外,还可以使用在不锈钢合金等金属衬底表面上设置绝缘膜的衬底。在衬底 50 是母玻璃的情况下,其尺寸可以采用第一代(320mm×400mm)、第二代(400mm×500mm)、第三代(550mm×650mm)、第四代(680mm×880mm 或 730mm×920mm)、第五代(1000mm×1200mm 或 1100mm×1250mm)、第六代(1500mm×1800mm)、第七代(1900mm×2200mm)、第八代(2160mm×2460mm)、第九代(2400mm×2800mm 或 2450mm×3050mm)、第十代(2950mm×3400mm)等。

[0065] 使用钛、钼、铬、钽、钨、铝等的金属材料或其合金材料形成栅电极 51。可以通过溅射法、真空蒸镀法在衬底 50 上形成导电膜,通过光刻技术或喷墨法在该导电膜上形成掩模,并使用该掩模蚀刻导电膜,来形成栅电极 51。注意,作为用来提高栅电极 51 的紧密性并防止扩散到基底的阻挡金属,也可以将上述金属材料的氮化物膜设置在衬底 50 和栅电极 51 之间。在此,通过采用使用第一光掩模形成的抗蚀剂掩模来蚀刻形成在衬底 50 上的导电膜,来形成栅电极 51。

[0066] 注意,因为在栅电极 51 上形成绝缘膜、半导体膜及布线等,所以其端部优选加工为锥形形状,以便防止断开。此外,虽然未图示,但可以通过该工序同时形成连接到栅电极的布线。

[0067] 其次,在栅电极 51 上按顺序形成栅极绝缘膜 52a、52b、微晶半导体膜 53、缓冲层 54、添加有赋予一导电型的杂质元素的半导体膜 55、导电膜 65a 至 65c。接着,在导电膜 65c 上涂敷抗蚀剂 80。注意,优选至少连续形成栅极绝缘膜 52a、52b、微晶半导体膜 53 及缓冲层 54。再者,优选连续形成栅极绝缘膜 52a、52b、微晶半导体膜 53、缓冲层 54、以及添加有赋予一导电型的杂质元素的半导体膜 55。通过在不接触大气的状态下至少连续形成栅极绝缘膜 52a、52b、微晶半导体膜 53、及缓冲层 54,可以形成各个叠层界面而不被大气成分及悬浮在大气中的污染杂质元素污染,因此可以减少薄膜晶体管特性的不均匀。

[0068] 栅极绝缘膜 52a、52b 分别可以通过 CVD 法或溅射法等并使用氧化硅膜、氮化硅膜、氧氮化硅膜、或氮氧化硅膜来形成。在此示出,按顺序层叠氧化硅膜或氧氮化硅膜、和氮化硅膜或氮氧化硅膜来形成栅极绝缘膜 52a、52b 的方式。另外,栅极绝缘膜还可以不采用两层结构,而从衬底一侧按顺序层叠氮化硅膜或氮氧化硅膜、氧化硅膜或氧氮化硅膜、和氮化硅膜或氮氧化硅膜的三层来形成栅极绝缘膜。此外,还可以使用氧化硅膜、氮化硅膜、氧氮化硅膜或者氮氧化硅膜的单层来形成栅极绝缘膜。

[0069] 在此,氧氮化硅膜是指具有如下组成的膜:氧的含有量比氮的含有量多,并且在采用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)以及氢前方散射法(HFS:Hydrogen Forward Scattering)检测时,作为浓度范围,包含 50 原子%至 70 原子%的氧,包含 0.5 原子%至 15 原子%的氮,包含 25 原子%至 35 原子%的硅,包含 0.1 原子%至 10 原子%的氢。此外,氮氧化硅膜是指具有如下组成的膜:氮的含量比氧的含量多,并且在采用 RBS 及 HFS 检测时,作为浓度范围,包含 5 原子%至 30 原子%的氧,包含 20 原子%至 55 原子%的氮,包含 25 原子%至 35 原子%的硅,包含 10 原子%至 30 原子%的氢。但是,在构成氧氮化硅或氮氧化硅的原子的总和为 100 原子%时,氮、氧、硅及氢的含有比率包括在上述范围内。

[0070] 微晶半导体膜 53 是指包括非晶结构和结晶结构(包括单晶、多晶)之间的中间结构的半导体的膜。该半导体为具有在自由能方面上很稳定的第三状态的半导体,并且具有短程有序且具有晶格应变的结晶质的半导体,粒径为 0.5nm 至 20nm 的柱状或针状结晶在对于衬底表面成为法线的方向上生长。此外,微晶半导体与非晶半导体混合在一起。在微晶半导体的典型例子的微晶硅中,其拉曼光谱转移到比表示单晶硅的 521cm^{-1} 低波数一侧。即,微晶硅的拉曼光谱的峰值位于表示单晶硅的 521cm^{-1} 和表示非晶硅的 480cm^{-1} 之间。此外,包含有至少 1 原子%或更多的氢或卤素,以便终止悬空键。再者,可以通过将氢、氘、氦、氖等的稀有气体元素包含在微晶半导体膜中而进一步促进晶格应变来提高稳定性以获得良好的微晶半导体膜。关于这种微晶半导体膜的记述例如在美国专利文件 4,409,134 号中公开。

[0071] 可以通过使用频率为几十 MHz 至几百 MHz 的高频率等离子体 CVD 法、或频率为 1GHz 以上的微波等离子体 CVD 装置形成该微晶半导体膜。代表性地,可以使用氢稀释 SiH_4 、 Si_2H_6 等的氢化硅形成。另外,除了使用氢化硅及氢之外,还可以使用选自氢、氘、氦、氖中的一种或多种稀有气体元素进行稀释,来形成微晶半导体膜。将氢的流量比设定为此时的氢

化硅的 50 倍以上 1000 倍以下,优选设定为 50 倍以上 200 倍以下,更优选为 100 倍。注意,也可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等代替氢化硅。

[0072] 此外,由于当示意性地不添加用于价电子控制的杂质元素时,微晶半导体膜呈现弱 n 型导电性,因此可以通过在形成膜的同时或形成膜之后对于用作薄膜晶体管的沟道形成区域的微晶半导体膜添加赋予 p 型的杂质元素,来控制阈值。作为赋予 p 型的杂质元素的典型,可举出硼,优选将 B_2H_6 、 BF_3 等的杂质气体以 1ppm 至 1000ppm 的比例,优选以 1ppm 至 100ppm 的比例混入到氢化硅中。而且,硼的浓度例如优选为 $1 \times 10^{14} \text{atoms/cm}^3$ 至 $6 \times 10^{16} \text{atoms/cm}^3$ 。

[0073] 此外,微晶半导体膜的氧浓度优选为 $5 \times 10^{19} \text{cm}^{-3}$ 以下,更优选为 $1 \times 10^{19} \text{cm}^{-3}$ 以下,且氮及碳的浓度分别为 $3 \times 10^{18} \text{cm}^{-3}$ 以下。通过降低混入到微晶半导体膜中的氧、氮、及碳的浓度,可以防止微晶半导体膜的 n 型化。

[0074] 微晶半导体膜 53 以厚于 0nm 至 200nm 以下的厚度,优选以 1nm 以上 100nm 以下的厚度,更优选以 5nm 以上 50nm 的厚度形成。微晶半导体膜 53 用作后面形成的薄膜晶体管的沟道形成区域。通过以 5nm 以上 50nm 以下的范围内的厚度形成微晶半导体膜 53,后面形成的薄膜晶体管成为完全耗尽型。此外,因为微晶半导体膜 53 的成膜速度比非晶半导体膜慢,即为非晶半导体膜的成膜速度的 1/10 至 1/100,所以通过减薄膜厚度,可以提高生产率。由于微晶半导体膜由微晶构成,因此其电阻比非晶半导体膜低。由此,在将微晶半导体膜用于沟道形成区域的薄膜晶体管中表示电流电压特性的曲线的上升部分的倾斜急剧,其作为开关元件的响应性优良且可以进行高速驱动。此外,通过将微晶半导体膜用于薄膜晶体管的沟道形成区域,可以抑制薄膜晶体管的阈值变动。因此,可以制造电特性的不均匀少的液晶显示装置。

[0075] 另外,微晶半导体膜的迁移率比非晶半导体膜高。因此,通过使用其沟道形成区域由微晶半导体膜形成的薄膜晶体管作为液晶元件的开关,可以缩小沟道形成区域的面积,即薄膜晶体管的面积。由此,在每一个像素中薄膜晶体管所占的面积缩小,可以提高像素的开口率。结果,可以制造分辨率高的装置。

[0076] 可以通过使用 SiH_4 、 Si_2H_6 等的氢化硅并采用等离子体 CVD 法形成缓冲层 54。此外,可以对上述氢化硅添加选自氦、氩、氖、氙中的一种或多种的稀有气体元素进行稀释形成非晶半导体膜。通过使用其流量为氢化硅的流量的 1 倍以上 20 倍以下,优选为 1 倍以上 10 倍以下,更优选为 1 倍以上 5 倍以下的氢,可以形成包含氢的非晶半导体膜。此外,通过使用上述氢化硅和氮或氨,可以形成包含氮的非晶半导体膜。另外,通过使用上述氢化硅和包含氟、氯、溴、或碘的气体 (F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等),可以形成包含氟、氯、溴、或碘的非晶半导体膜。注意,可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。

[0077] 此外,作为缓冲层 54,可以将非晶半导体用作靶子并使用氢或稀有气体进行溅射来形成非晶半导体膜。此时,通过将氨、氮、或 N_2O 包含在气氛中,可以形成含有氮的非晶半导体膜。另外,通过将含有氟、氯、溴、或碘的气体 (F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等) 包含在气氛中,可以形成含有氟、氯、溴、或碘的非晶半导体膜。

[0078] 此外,作为缓冲层 54,也可以在微晶半导体膜 53 的表面上采用等离子体 CVD 法或溅射法形成非晶半导体膜,然后对非晶半导体膜的表面进行使用氢等离子体、氮等离子体、或卤素等离子体的处理,来使非晶半导体膜表面氢化、氮化、或卤化。或者,也可以对非晶半

导体膜的表面进行使用氦等离子体、氖等离子体、氩等离子体、氪等离子体等的处理。

[0079] 优选使用不包含晶粒的非晶半导体膜形成缓冲层 54。因此,在采用频率为几十 MHz 至几百 MHz 的高频等离子体 CVD 法、或微波等离子体 CVD 法形成非晶半导体膜的情况下,优选控制成膜条件以使它成为不包含晶粒的非晶半导体膜。

[0080] 缓冲层 54 的一部分有时会在后面的源区域及漏区域的形成过程中被蚀刻,从而缓冲层 54 优选以在蚀刻之后其一部分残留的厚度来形成。典型地说,优选以 150nm 以上 400nm 以下的厚度形成缓冲层 54。当在薄膜晶体管的施加电压高(例如,15V 左右)的液晶显示装置中,使其膜厚度为如上述范围所示那样厚地形成缓冲层 54 时,耐压性提高,从而使薄膜晶体管被施加高电压也可以防止薄膜晶体管的退化。

[0081] 注意,缓冲层 54 优选不添加有赋予一导电型的杂质元素如磷、硼等。尤其是,用来控制阈值包含在微晶半导体膜中的硼、或包含在添加有赋予一导电型的杂质元素的半导体膜中的磷优选不混入在缓冲层 54 中。结果,通过消除 PN 结所导致的漏电流的产生区域,可以实现漏电流的减少。此外,通过在添加有赋予一导电型的杂质元素的半导体膜和微晶半导体膜之间形成不添加有赋予一导电型的杂质元素如磷、硼等的非晶半导体膜,可以防止分别包含在微晶半导体膜和源区域及漏区域中的杂质扩散。

[0082] 通过在微晶半导体膜 53 的表面上形成非晶半导体膜,进一步形成包含氢、氮、或卤素的非晶半导体膜,来可以防止包含在微晶半导体膜 53 的晶粒表面的自然氧化。特别是,在非晶半导体和微晶粒相接触的区域中,因受局部应力而容易产生裂缝。当该裂缝与氧接触时产生晶粒的氧化,并形成氧化硅。然而,通过在微晶半导体膜 53 的表面上形成缓冲层,可以防止微晶粒的氧化。此外,通过形成缓冲层,可以防止当后面形成源区域及漏区域之际产生的蚀刻残渣混入到微晶半导体膜中。

[0083] 此外,使用非晶半导体膜或使用包含氢、氮、或卤素的非晶半导体膜形成缓冲层 54。非晶半导体膜的能隙比微晶半导体膜的能隙大(非晶半导体膜的能隙为 1.1eV 至 1.5eV,而微晶半导体膜的能隙为 1.6eV 至 1.8eV),电阻高,并且迁移率低,即为微晶半导体膜的 1/5 至 1/10。由此,在后面形成的薄膜晶体管中,形成在源区域及漏区域和微晶半导体膜之间的缓冲层用作高电阻区域,而微晶半导体膜用作沟道形成区域。因此,可以减少薄膜晶体管的截止电流。当将该薄膜晶体管用作液晶显示装置的开关元件时,可以提高液晶显示装置的对比度。

[0084] 在形成 n 沟道型薄膜晶体管的情况下,添加磷作为典型杂质元素,即对于氢化硅添加 PH_3 等的杂质气体,来形成添加有赋予一导电型的杂质元素的半导体膜 55,即可。此外,在形成 p 沟道型薄膜晶体管的情况下,添加硼作为典型杂质元素即可,即对于氢化硅添加 B_2H_6 等的杂质气体即可。可以使用微晶半导体膜或非晶半导体膜形成添加有赋予一导电型的杂质元素的半导体膜 55。再者,也可以使用添加有赋予一导电型的杂质元素的非晶半导体膜和添加有赋予一导电型的杂质元素的微晶半导体膜的叠层形成添加有赋予一导电型的杂质元素的半导体膜 55。通过在缓冲层 54 一侧形成添加有赋予一导电型的杂质元素的非晶半导体膜,并在其上形成添加有赋予一导电型的杂质元素的微晶半导体膜,电阻逐渐变化,所以载流子容易流过,而可以提高迁移率。以 2nm 以上 50nm 以下的厚度形成添加有赋予一导电型的杂质元素的半导体膜 55。通过减薄添加有赋予一导电型的杂质元素的半导体膜的膜厚度,可以提高生产率。

[0085] 在此,参照图 10 示出一种等离子体 CVD 装置,该微波等离子体 CVD 装置能够连续进行从形成栅极绝缘膜 52a、52b 的步骤到形成添加有赋予一导电型的杂质元素的半导体膜 55 的步骤。图 10 是示出等离子体 CVD 装置的俯视截面的示意图,其具有在公共室 1120 的周围具备装载室 1110、卸载室 1115、反应室 (1) 1111 至反应室 (4) 1114 的结构。在公共室 1120 和每个室之间具备闸阀 1122 至 1127,以防止在每个室内进行的处理互相干涉。衬底装载在装载室 1110、卸载室 1115 的盒子 1128、1129,然后由公共室 1120 的传送单元 1121 传送到反应室 (1) 1111 至反应室 (4) 1114。该微波等离子体 CVD 装置能够对于每个堆积膜种类分配反应室,从而可以在不与大气接触的状态下连续形成多个不同的覆盖膜。

[0086] 在反应室 (1) 至反应室 (4) 的各个中,分别层叠形成栅极绝缘膜 52a、52b、微晶半导体膜 53、缓冲层 54、以及添加有赋予一导电型的杂质元素的半导体膜 55。在此情况下,通过转换原料气体,可以连续地层叠多个不同种类的膜。在此情况下,形成栅极绝缘膜,然后将硅烷等的氢化硅引入到反应室内,使残留氧及氢化硅反应,并将反应物排出到反应室的外部,从而可以降低反应室内的残留氧浓度。结果,可以降低包含在微晶半导体膜中的氧浓度。此外,可以防止包含在微晶半导体膜中的晶粒的氧化。

[0087] 或者,在反应室 (1) 及反应室 (3) 中形成栅极绝缘膜 52a、52b、微晶半导体膜 53、以及缓冲层 54,而在反应室 (2) 及反应室 (4) 中形成添加有赋予一导电型的杂质元素的半导体膜 55。通过只使用赋予一导电型的杂质单独地进行成膜,可以防止残留在反应室中的赋予一导电型的杂质元素混入到其他膜中。

[0088] 像这样,由于可以使用连接有多个反应室的微波等离子体 CVD 装置同时形成栅极绝缘膜 52a、52b、微晶半导体膜 53、缓冲层 54、以及添加有赋予一导电型的杂质元素的半导体膜 55,因此提高批量生产性。此外,即使在某个反应室中进行维护及清洗,也可以在其他反应室中形成膜,从而可以缩短成膜周期 (cycle time)。另外,因为可以在不被大气成分及悬浮在大气中的污染杂质元素污染的状态下形成各个叠层界面,所以可以减少薄膜晶体管的特性的不均匀。

[0089] 此外,可以在反应室 (1) 中形成栅极绝缘膜 52a、52b,在反应室 (2) 中可以形成微晶半导体膜 53 及缓冲层 54,在反应室 (3) 中可以形成添加有赋予一导电型的杂质元素的半导体膜 55。另外,在使用氧化硅膜或氧氮化硅膜形成栅极绝缘膜 52a,并使用氮化硅膜或氮氧化硅膜形成栅极绝缘膜 52b 的情况下,也可以设置五个反应室,并且在反应室 (1) 中形成栅极绝缘膜 52a 的氧化硅膜或氧氮化硅膜,在反应室 (2) 中形成栅极绝缘膜 52b 的氮化硅膜或氮氧化硅膜,在反应室 (3) 中形成微晶半导体膜,在反应室 (4) 中形成缓冲层,在反应室 (5) 中形成添加有赋予一导电型的杂质元素的半导体膜。此外,因为微晶半导体膜的成膜速度较慢,所以也可以在多个反应室中形成微晶半导体膜。例如,也可以在反应室 (1) 中形成栅极绝缘膜 52a、52b,在反应室 (2) 及 (3) 中形成微晶半导体膜 53,在反应室 (4) 中形成缓冲层 54,在反应室 (5) 中形成添加有赋予一导电型的杂质元素的半导体膜 55。像这样,通过在多个反应室中同时形成微晶半导体膜 53,可以提高生产率。注意,此时优选使用要形成的种类的膜涂敷各个反应室的内壁。

[0090] 由于当使用这种结构的等离子体 CVD 装置时,可以在各个反应室中形成类似种类的膜或一种膜,并且在不暴露在大气的状态下连续形成上述膜,因此可以在不被已形成的膜的残留物及悬浮在大气中的杂质元素污染的状态下形成各个叠层界面。

[0091] 注意,虽然在图 10 所示的等离子体 CVD 装置中分别设置有装载室及卸装室,但是也可以设置一个装载 / 卸装室。此外,在微波等离子体 CVD 装置中也可以设置备用室。由于可以通过在备用室中对衬底进行预热而在各个反应室中缩短到形成膜的加热时间,因此可以提高生产率。

[0092] 下面,说明成膜处理。在这种成膜处理中,根据其目的而选择从气体供给部供给的气体,即可。

[0093] 在此,作为一例举出如下方法:形成氧氮化硅膜作为栅极绝缘膜 52a,并形成氮氧化硅膜作为栅极绝缘膜 52b。

[0094] 首先,对于微波等离子体 CVD 装置的反应室的处理容器内部使用氟自由基进行清洗。注意,通过将氟化碳、氟化氮、或氟引入到设置在反应室外侧的等离子体产生器中并离解,然后将氟自由基引入到反应室中,可以对反应室进行清洗。

[0095] 通过在使用氟自由基进行清洗之后,将大量的氢引入到反应室内,来使反应室内的残留氟和氢彼此反应,从而可以降低残留氟的浓度。由此,可以减少对于后面在反应室内壁形成的保护膜的氟混入量,并可以减薄保护膜的厚度。

[0096] 接着,在反应室的处理容器的内壁的表面上堆积氧氮化膜作为保护膜。在此,处理容器内的压力为 1Pa 至 200Pa,优选为 1Pa 至 100Pa,并且引入氦、氩、氙、氪等的稀有气体的任何一种以上的气体作为等离子体点燃用气体。再者,引入稀有气体的任何一种及氢。特别是,优选使用氦作为等离子体点燃用气体,更优选使用氦和氢作为等离子体点燃用气体。

[0097] 氦的离子化能量较高,即为 24.5eV。但是,由于准稳定状态位于大约 20eV,因此在放电中可以以大约 4eV 进行离子化。由此,放电开始电压低,且容易维持放电。从而可以均匀地维持等离子体且实现节能。

[0098] 此外,也可以引入使用氦、氩、氙、氪等的稀有气体的任何一种以上及氧气体作为等离子体点燃用气体。通过将氧气体与稀有气体一起引入到处理容器中,可以容易进行等离子体的点燃。

[0099] 接着,使电源装置的电源导通,并且在电源装置的输出为 500W 至 6000W,优选为 4000W 至 6000W 的情况下产生等离子体。接着,将原料气体从气体供应部引入到处理容器内。具体而言,通过引入一氧化二氮、稀有气体、及硅烷作为原料气体,在处理容器的内壁表面上形成氧氮化硅膜作为保护膜。此时的氢化硅的流量为 50sccm 至 300sccm,一氧化二氮的流量为 500sccm 至 6000sccm,保护膜的膜厚度为 500nm 至 2000nm。

[0100] 接着,在停止原料气体的供给,降低处理容器内的压力,并使电源装置的电源截止之后,将衬底设置在处理容器内的支架台上。

[0101] 接着,通过与上述保护膜相同的工序,在衬底上堆积氧氮化硅膜作为栅极绝缘膜 52a。

[0102] 在堆积预定的厚度的氧氮化硅膜之后,停止原料气体的供给,降低处理容器内的压力,并使电源装置的电源关闭。

[0103] 接着,处理容器内的压力为 1Pa 至 200Pa,优选为 1Pa 至 100Pa,作为等离子体点燃用气体,引入氦、氩、氙、氪等的稀有气体的任何一种以上、原料气体的硅烷、一氧化二氮、及氮。注意,作为原料气体,也可以引入氮代替氦。接着,使电源装置的电源开启,并且在电源装置的输出为 500W 至 6000W,优选为 4000W 至 6000W 的情况下产生等离子体。接着,将原料

气体从气体供应部引入到处理容器内,在衬底 1130 的氧氮化硅膜上形成氮氧化硅膜作为栅极绝缘膜 52b。接着,停止原料气体的供给,降低处理容器内的压力,并使电源装置的电源关闭,来结束成膜过程。

[0104] 根据上述步骤,通过以反应室内壁的保护膜为氧氮化硅膜并在衬底上连续形成氧氮化硅膜及氮氧化硅膜,可以减少氧化硅等的杂质混入到上层一侧的氮氧化硅膜中。通过采用将能够产生微波的电源装置用作电源装置的微波等离子体 CVD 法形成上述膜,等离子体密度提高而可以形成高耐压性的膜。当将该膜用作栅极绝缘膜时,可以减少晶体管的阈值的不均匀。此外,可以提高 BT 特性。另外,对于静电的耐性提高,从而可以制造即使被施加高电压也不容易破坏的晶体管。而且,还可以制造随时间破坏少的晶体管、以及热载流子损坏少的晶体管。

[0105] 此外,在将使用微波等离子体 CVD 装置形成的氧氮化硅膜的单层作为栅极绝缘膜的情况下,采用上述保护膜的形成方法及氧氮化硅膜的形成方法。特别是,通过将对于硅烷的一氧化二氮的流量比设定为 50 倍以上 300 倍以下,优选设定为 50 倍以上 250 倍以下,可以形成高耐压性的氧氮化硅膜。

[0106] 接着,示出一种成膜处理方法,其中通过等离子体 CVD 法连续地形成微晶半导体膜及用作缓冲层的非晶半导体膜。首先,与上述栅极绝缘膜同样地进行反应室的清洗。接着,在处理容器内堆积硅膜作为保护膜。在此,处理容器内的压力为 1Pa 至 200Pa,优选为 1Pa 至 100Pa,并且引入氦、氩、氙、氪等的稀有气体的任何一种以上的气体作为等离子体点燃用气体。此外,也可以与稀有气体一起引入氢。

[0107] 接着,使电源装置的电源开启,并且在电源装置的输出为 500W 至 6000W,优选为 4000W 至 6000W 的情况下产生等离子体。接着,将原料气体从气体供应部引入到处理容器内。具体而言,通过引入氢化硅气体、及氢气体作为原料气体,在处理容器的内壁表面上形成微晶硅膜作为保护膜。此外,可以对氢化硅气体及氢气体添加选自氦、氩、氙、氪中的一种或多种稀有气体元素进行稀释来形成微晶半导体膜。此时的对于氢化硅的氢的流量比为 5 倍以上 1000 倍以下,优选为 50 倍以上 200 倍以下,更优选为 100 倍以上 150 倍以下。另外,此时的保护膜的膜厚度为 500nm 至 2000nm。注意,也可以在使电源装置的电源开启之前,在处理容器中除了上述稀有气体之外还可以引入氢化硅气体及氢气体。

[0108] 此外,可以使用利用选自氦、氩、氙、氪中的一种或多种稀有气体元素稀释的氢化硅气体及氢气体来形成非晶半导体膜作为保护膜。

[0109] 接着,在停止原料气体的供给,降低处理容器内的压力,并使电源装置的电源关闭之后,将衬底设置在处理容器内的支架台上。

[0110] 接着,也可以对于形成在衬底上的栅极绝缘膜 52b 的表面进行氢等离子体处理。通过在形成微晶半导体膜之前进行氢等离子体处理,可以减少栅极绝缘膜及微晶半导体膜的界面上的晶格应变,并可以提高栅极绝缘膜及微晶半导体膜的界面特性。因此,可以提高后面形成的薄膜晶体管的电特性。

[0111] 此外,在上述氢等离子体处理中,通过也对形成在处理容器内的保护膜的非晶半导体膜或微晶半导体膜进行氢等离子体处理,保护膜被蚀刻而在栅极绝缘膜 52b 的表面上堆积有少量的半导体。该半导体成为结晶生长的核,因该核而微晶半导体膜堆积。结果,可以减少栅极绝缘膜及微晶半导体膜的界面的晶格应变,并可以提高栅极绝缘膜及微晶半导

体膜的界面特性。由此,可以提高后面形成的薄膜晶体管的电特性。

[0112] 接着,通过与上述保护膜相同的工序,在衬底上堆积微晶硅膜。微晶硅膜的膜厚度为厚于 0nm 至 50nm 以下,优选厚于 0nm 至 20nm 以下。

[0113] 在堆积预定的厚度的微晶硅膜之后,停止原料气体的供给,降低处理容器内的压力,并使电源装置的电源截止,来结束形成微晶半导体膜的过程。

[0114] 接着,降低处理容器内的压力并调节原料气体的流量。具体而言,将氢气体的流量比微晶半导体膜的成膜条件大幅度地降低。典型地,要引入的氢气体的流量为氢化硅的流量的 1 倍以上 20 倍以下,优选为 1 倍以上 10 倍以下,更优选为 1 倍以上 5 倍以下。或者,不将氢气体引入到处理容器内而引入氢化硅气体。像这样,通过减少对于氢化硅的氢的流量,可以提高作为缓冲层的非晶半导体膜的成膜速度。或者,除了氢化硅气体之外还使用选自氦、氩、氦、氖中的一种或多种稀有气体元素进行稀释。接着,通过使电源装置的电源开启并将其输出设定为 500W 至 6000W,优选为 4000W 至 6000W 来产生等离子体,从而可以形成非晶半导体膜。由于非晶半导体膜的成膜速度比微晶半导体膜的成膜速度高,因此可以将处理容器内的压力设定得低。此时的非晶半导体膜的膜厚度为 200nm 至 400nm。

[0115] 在堆积预定的厚度的非晶半导体膜之后,停止原料气体的供给,降低处理容器内的压力,并使电源装置的电源关闭,来结束形成非晶半导体膜的过程。

[0116] 注意,也可以在点燃等离子体的状态下形成微晶半导体膜 53 及用作缓冲层 54 的非晶半导体膜。具体而言,逐渐减少对于用来形成微晶半导体膜 53 的原料气体的氢化硅的氢的流量比而层叠微晶半导体膜 53 及用作缓冲层 54 的非晶半导体膜。通过上述方法,可以不使杂质堆积在微晶半导体膜 54 及缓冲层 54 的界面上而形成应变少的界面,并且可以提高后面形成的薄膜晶体管的电特性。

[0117] 在形成微晶半导体膜 53 的情况下,优选使用频率为 1GHz 以上的微波等离子体 CVD 装置。由于微波等离子体的电子密度高,且从原料气体形成多个自由基而供给给衬底 1130,因此促进衬底上的自由基表面反应,来可以提高微晶硅的成膜速度。可以使用 1MHz 至 20MHz 的高频,典型为 13.56MHz 或大于 20MHz 至 120MHz 左右的 VHF 带的高频,典型为 27.12MHz、60MHz 的等离子体 CVD 法来形成微晶半导体膜。

[0118] 注意,在栅极绝缘膜及半导体膜的各个制造工序中,当在反应室的内壁上形成有 500nm 至 2000nm 的保护膜时,可以省略上述清洗处理及保护膜形成处理。

[0119] 接着,在添加有赋予一导电型的杂质元素的半导体膜 55 上形成导电膜 65a 至 65c。优选使用铝、铜或者添加有、硅、钛、钽、钨、钼等耐热性提高元素或小丘防止元素的铝合金的单层或叠层形成导电膜 65a 至 65c。此外,也可以采用如下叠层结构:使用钛、钽、钼、钨或上述元素的氮化物形成与添加有赋予一导电型的杂质元素的半导体膜接触一侧的膜,在其上形成铝或铝合金。再者,还可以采用如下叠层结构:使用钛、钽、钼、钨或上述元素的氮化物夹铝或铝合金的上面及下面。在此,作为导电膜示出具有层叠有导电膜 65a 至 65c 的三层的结构的导电膜,例如示出将钼膜用作导电膜 65a、65c 并将铝膜用作导电膜 65b 的叠层导电膜、以及将钛膜用作导电膜 65a、65c 并将铝膜用作导电膜 65b 的叠层导电膜。通过溅射法或真空蒸镀法形成导电膜 65a 至 65c。

[0120] 作为抗蚀剂 80 可以使用正型抗蚀剂或负型抗蚀剂。在此使用正型抗蚀剂来示出。

[0121] 接着,使用多级灰度掩模 59 作为第二光掩模并对抗蚀剂 80 照射光来使抗蚀剂 80

曝光。

[0122] 在此,参照图 11A 至 11D 说明使用多级灰度掩模 59 的曝光。

[0123] 多级灰度掩模是可以对于曝光部分、中间曝光部分、以及未曝光部分以三种的曝光标准进行曝光的掩模,并且可以通过一次的曝光及显影工序形成具有多种(典型的是两种)厚度的区域的抗蚀剂掩模。因此,通过使用多级灰度掩模,可以缩减光掩模的数量。

[0124] 作为多级灰度掩模的典型例子,具有图 11A 所示的灰色色调掩模 59a、图 11C 所示的半色调掩模 59b。

[0125] 如图 11A 所示,灰色色调掩模 59a 由具有透光性的衬底 163、形成在其上的遮光部 164、以及衍射光栅 165 构成。在遮光部 164 中,光的透过量为 0%。另一方面,衍射光栅 165 通过将槽缝、点、网孔等光透过部的间隔成为用于曝光的光的分辨率限制以下的间隔来可以控制光的透过量。注意,衍射光栅 165 都可以使用周期性的槽缝、点、网孔、或非周期性的槽缝、点、网孔。

[0126] 具有透光性的衬底 163 可以使用石英等的具有透光性的衬底。遮光部 164 及衍射光栅 165 可以使用铬、氧化铬等的吸收光的遮光材料形成。

[0127] 在对灰色色调掩模 59a 照射曝光光线的情况下,如图 11B 所示,遮光部 164 中的光透过量 166 为 0%,而不设置有遮光部 164 及衍射光栅 165 的区域中的光透过量 166 为 100%。此外,在衍射光栅 165 中,可以在 10%至 70%的范围内调节光透过量 166。通过调节衍射光栅 165 的槽缝、点、或网孔的间隔或间距,可以调节衍射光栅 165 中的光透过量。

[0128] 如图 11C 所示,半色调掩模 59b 由具有透光性的衬底 163 及形成在其上的半透过部 167 以及遮光部 168 构成。半透过部 167 可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等。遮光部 168 可以使用铬、氧化铬等的吸收光的遮光材料形成。

[0129] 在对半色调掩模 59b 照射曝光光线的情况下,如图 11D 所示,遮光部 168 中的光透过量 169 为 0%,而不设置有遮光部 168 及半透过部 167 的区域中的光透过量 169 为 100%。此外,在半透过部 167 中,可以在 10%至 70%的范围内调节光透过量 169。通过调节半透过部 167 的材料,可以调节半透过部 167 中的光透过量。

[0130] 在使用多级灰度掩模曝光之后,通过进行显影,可以如图 1B 所示那样地形成具有膜厚度不同的区域的抗蚀剂掩模 81。

[0131] 接着,通过使用抗蚀剂掩模 81,蚀刻微晶半导体膜 53、缓冲层 54、添加有赋予一导电型的杂质元素的半导体膜 55、以及导电膜 65a 至 65c 来进行分离。结果,可以形成如图 2A 所示那样的微晶半导体膜 61、缓冲层 62、添加有赋予一导电型的杂质元素的半导体膜 63、以及导电膜 85a 至 85c。注意,图 2A 相当于沿着图 5A 的 A-B 线的截面图(但是抗蚀剂掩模 86 除外)。

[0132] 通过微晶半导体膜 61、缓冲层 62 的端部侧面倾斜,可以防止形成在缓冲层 62 上的源区域及漏区域和微晶半导体膜 61 之间产生的漏电流。此外,还可以防止源电极及漏电极和微晶半导体膜 61 之间产生的漏电流。微晶半导体膜 61 及缓冲层 62 的端部侧面的倾斜角度为 30°至 90°,优选为 45°至 80°。通过以这种角度形成,可以防止台阶状所引起的源电极或漏电极的断开。

[0133] 接着,对抗蚀剂掩模 81 进行灰化处理。结果,抗蚀剂的面积缩小,而厚度减薄。此时,膜厚度薄的区域的抗蚀剂(与栅电极 51 的一部分重叠的区域)被去除,可以如图 6B 所

示那样地形成被分离的抗蚀剂掩模 86。

[0134] 接着,使用抗蚀剂掩模 86 蚀刻添加有赋予一导电型的杂质元素的半导体膜 63、以及导电膜 85a 至 85c 并使它们分离。在此,通过干蚀刻分离导电膜 85a 至 85c。结果,可以形成如图 2B 所示那样的一对导电膜 89a 至 89c、以及一对源区域及漏区域 89。注意,在该蚀刻工序中,还蚀刻缓冲层 62 的一部分。将其一部分被蚀刻的缓冲层示出为缓冲层 88。可以通过与形成源区域及漏区域相同的工序形成缓冲层的凹部。在此,因为缓冲层 88 的一部分被其面积缩小了的抗蚀剂掩模 86 蚀刻,所以缓冲层 88 突出在导电层 85a 至 85c 的外侧。

[0135] 接着,如图 2C 所示,蚀刻导电膜 89a 至 89c 的一部分形成源电极及漏电极 92a 至 92c。在此,当使用抗蚀剂掩模 86 对导电膜 89a 至 89c 湿蚀刻时,导电膜 89a 至 89c 的端部选择性地被蚀刻。结果,可以形成其面积比抗蚀剂掩模 86 及导电膜 89a 至 89c 小的源电极及漏电极 92a 至 92c。源电极及漏电极 92a 至 92c 的端部和源区域及漏区域 89 的端部不一致而偏离,即在源电极及漏电极 92a 至 92c 的端部的外侧形成源区域及漏区域 89 的端部。然后,去除抗蚀剂掩模 86。

[0136] 注意,图 2C 相当于沿着图 5B 的 A-B 线的截面图。参照图 5B 就知道源区域及漏区域 89 的端部位于源电极及漏电极 92c 的端部的外侧。此外缓冲层 88 的端部位于源电极及漏电极 92c 以及源区域及漏区域 89 的端部的外侧。此外,源电极及漏电极的一方具有部分地围绕源区域及漏区域的另一方的形状(具体而言,U 字型、C 字型)。由此,可以增加载流子移动的区域面积和电流量,以可以缩小薄膜晶体管的面积。另外,因为在栅电极 87 的内侧重叠微晶半导体膜和源电极及漏电极 92c,所以在栅电极的端部产生的凹凸的影响少。从而可以抑制覆盖率的降低和漏电流的产生。注意,源电极及漏电极的一方也起到源布线或漏布线的作用。

[0137] 如图 2C 所示,由于通过将源电极及漏电极 92a 至 92c 的端部和源区域及漏区域 89 的端部形成不一致而偏离,使源电极及漏电极 92a 至 92c 的端部的距离远离,因此可以防止源电极及漏电极之间的漏电流和短路。由此,可以制造可靠性高且耐压性高的薄膜晶体管。

[0138] 通过上述工序,可以形成沟道蚀刻型薄膜晶体管 83。此外,可以使用两个光掩模形成薄膜晶体管。

[0139] 在本实施方式所示的薄膜晶体管中,在栅电极上层叠有栅极绝缘膜、微晶半导体膜、缓冲层、源区域及漏区域、源电极及漏电极,并且缓冲层覆盖用作沟道形成区域的微晶半导体膜的表面。此外,在缓冲层的一部分中形成有凹部(沟槽),该凹部以外的区域被源区域及漏区域覆盖。就是说,由于源区域及漏区域之间的载流子移动的距离因形成在缓冲层的凹部而变长,因此可以减少源区域及漏区域之间的漏电流。此外,因为通过蚀刻缓冲层的一部分形成凹部,所以可以去除在源区域及漏区域的形成工序中产生的蚀刻残渣。从而可以避免在源区域及漏区域中介于残渣而产生漏电流(寄生沟道)。

[0140] 另外,在用作沟道形成区域的微晶半导体膜和源区域及漏区域之间形成有缓冲层。此外,微晶半导体膜的表面被缓冲层覆盖。由于使用高电阻的非晶半导体膜形成的缓冲层延伸到微晶半导体膜和源区域及漏区域之间,可以减少在薄膜晶体管截止的情况(即,对栅电极施加负电压的情况)下产生的漏电流和通过施加高电压而发生的退化。另外,因为在微晶半导体膜的表面上形成有由氢终结表面的非晶半导体膜作为缓冲层,所以可以防

止微晶半导体膜的氧化,并可以在源区域及漏区域的形成工序中产生的蚀刻残渣混入到微晶半导体膜中。由此,成为电特性高且漏耐压性优良的薄膜晶体管。

[0141] 此外,通过将源电极及漏电极的端部和源区域及漏区域的端部形成成为不一致而偏离,使源电极及漏电极的端部的距离远离,从而可以防止源电极及漏电极之间的漏电流和短路。

[0142] 接着,如图 3A 所示,在源电极及漏电极 92a 至 92c、源区域及漏区域 89、缓冲层 88、微晶半导体膜 87、以及栅极绝缘膜 52b 上形成绝缘膜 76。绝缘膜 76 可以与栅极绝缘膜 52a、52b 同样地形成。注意,绝缘膜 76 用来防止悬浮在大气中的有机物及金属物、水蒸气等的污染杂质的侵入,优选为致密的膜。此外,通过将氮化硅膜用作绝缘膜 76,缓冲层 88 中的氧浓度可以为 $5 \times 10^{19} \text{atoms/cm}^3$ 以下,并优选为 $1 \times 10^{19} \text{atoms/cm}^3$ 以下。

[0143] 接着,在绝缘膜 76 中形成接触孔,然后在该接触孔中形成与源电极或漏电极 92c 接触的像素电极 77。注意,图 3B 相当于沿着图 5C 的 A-B 线的截面图。

[0144] 作为像素电极 77,可以使用具有透光性的导电材料诸如包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锡(下面,称为 ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等。

[0145] 另外,可以使用包含导电高分子(也称为导电聚合体)的导电组成物来形成像素电极 77。在使用导电组成物形成的像素电极优选具有如下条件:薄层电阻为 $10000 \Omega/\square$ 以下,当波长为 550nm 时的透光率为 70% 以上。此外,包含在导电组成物中的导电高分子的电阻率优选为 $0.1 \Omega \cdot \text{cm}$ 以下。

[0146] 作为导电高分子,可以使用所谓的 π 电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由上述物质中的两种以上而成的共聚体等。

[0147] 通过上述步骤,可以形成可使用于液晶显示装置的元件衬底。

[0148] 注意,如图 2A 所示,在形成微晶半导体膜 61、缓冲层 62、添加有赋予一导电型的杂质元素的半导体膜 63、以及导电膜 85a 至 85c 之后,如图 4A 所示,使用抗蚀剂掩模 86 蚀刻导电膜 85a 至 85c。在此,通过使用抗蚀剂掩模 86 并采用湿蚀刻来各向同性地蚀刻,导电膜 85a 至 85c 的露出部及其附近选择性地被蚀刻。结果,可以形成其面积与抗蚀剂掩模 86 小的源电极及漏电极 92a 至 92c。

[0149] 接着,如图 4B 所示,使用抗蚀剂掩模 86 蚀刻添加有赋予一导电型的杂质元素的半导体膜 63。在此,通过以干蚀刻各向异性地蚀刻添加有赋予一导电型的杂质元素的半导体膜 63,可以形成其面积与抗蚀剂掩模 86 大致相同的源区域及漏区域 89。

[0150] 由于通过将源电极及漏电极 92a 至 92c 的端部和源区域及漏区域 89 的端部形成成为不一致而偏离,使源电极及漏电极 92a 至 92c 的端部的距离远离,因此可以防止源电极及漏电极之间的漏电流和短路。由此,可以制造可靠性高且耐压性高的薄膜晶体管。

[0151] 图 1A 至图 4B 所示,通过采用湿蚀刻对导电膜进行蚀刻并采用干蚀刻对添加有赋予一导电型的杂质元素的半导体膜进行蚀刻,可以以少量的光掩模将源电极及漏电极的端部和源区域及漏区域的端部构成为不一致而不同。

[0152] 接着,对于与上述方式不同的薄膜晶体管的制造方法,参照图 6A 至图 9D 进行说明。在此,下面示出源电极或漏电极和源布线或漏布线互不相同的结构。

[0153] 如图 6A 所示,在衬底 50 上形成栅电极 51。其次,在栅电极 51 上按顺序形成栅极绝缘膜 52a、52b、微晶半导体膜 53、缓冲层 54、添加有赋予一导电型的杂质元素的半导体膜 55、以及导电膜 65a。接着,在导电膜 65a 上涂敷抗蚀剂,使用图 1A 所示的多级灰度掩模形成具有厚度不同的区域的抗蚀剂掩模 81。

[0154] 接着,使用抗蚀剂掩模 81 蚀刻微晶半导体膜 53、缓冲层 54、添加有赋予一导电型的杂质元素的半导体膜 55、以及导电膜 65a 以进行分离。结果,可以形成如图 6B 所示那样的微晶半导体膜 61、缓冲层 62、添加有赋予一导电型的杂质元素的半导体膜 63、以及导电膜 85a。注意,图 6B 相当于沿着图 9A 的 A-B 线的截面图(但是,抗蚀剂掩模 86 除外)。

[0155] 接着,通过对抗蚀剂掩模 81 进行灰化来形成分离了的抗蚀剂掩模 86。然后,使用抗蚀剂掩模 86 蚀刻添加有赋予一导电型的杂质元素的半导体膜 63、以及导电膜 85a 以使它们分离。结果,可以形成如图 6C 所示那样的一对导电膜 89a、以及一对源区域及漏区域 88。注意,在该蚀刻工序中,缓冲层 62 的一部分也被蚀刻。其一部分被蚀刻的缓冲层表示为缓冲层 88。在此,因为缓冲层 88 的一部分被其面积缩小了的抗蚀剂掩模 86 蚀刻,所以缓冲层 88 突出在导电层 89a 的外侧。由于如本实施方式所示,缓冲层的侧面成为阶梯形状,因此后面形成的绝缘膜的覆盖率提高。由此,可以减少薄膜晶体管和形成在绝缘膜上的像素电极之间产生的漏电流。

[0156] 接着,对抗蚀剂掩模 86 进行灰化。结果,如图 7A 所示,抗蚀剂掩模的面积缩小,且其厚度变薄。然后,通过使用被灰化的抗蚀剂掩模 91 蚀刻导电膜 89a 的一部分,如图 7B 所示那样地形成源电极及漏电极 92a。源电极及漏电极 92a 的端部和源区域及漏区域 89 的端部不一致而偏离。在此,使用抗蚀剂掩模 91 并采用干蚀刻来各向异性地蚀刻导电膜 89a 的露出部。之后,去除抗蚀剂掩模 91。

[0157] 结果,形成比导电膜 89a 的面积小的源电极及漏电极 92a。然后,去除抗蚀剂掩模 91。注意,图 7B 相当于沿着图 9B 的 A-B 线的截面图。参照图 9B 就知道源区域及漏区域 89 的端部位于源电极及漏电极 92a 的端部的外侧。此外,缓冲层 88 的端部位于源电极及漏电极 92a、以及源区域及漏区域 89 的外侧。此外,源电极及漏电极 92a 分别被分离,并不与形成在相邻的像素中的电极接触。注意,虽然在此使用对抗蚀剂掩模 86 灰化形成的抗蚀剂掩模 91 形成源电极及漏电极 92a,但是,如图 1A 至图 4B 所示,也可以使用抗蚀剂掩模 86 进行湿蚀刻形成源电极及漏电极 92a 至 92c。

[0158] 如图 7B 所示,通过将源电极及漏电极 92a 的端部和源区域及漏区域 89 的端部形成不一致而偏离,使源电极及漏电极 92a 的端部的距离远离,从而可以防止源电极及漏电极之间的漏电流和短路。由此,可以制造可靠性高且耐压性高的薄膜晶体管。

[0159] 接着,图 7C 所示,在源电极及漏电极 92a、源区域及漏区域 89、缓冲层 88、以及栅极绝缘膜 52b 上形成绝缘膜 76。可以与栅极绝缘膜 52a、52b 同样地形成绝缘膜 76。

[0160] 接着,图 8A 所示,在绝缘膜 76 中形成接触孔,并且还形成在该接触孔中与源电极及漏电极 92a 的一方接触并层叠的布线 93b、93c。注意,图 8A 相当于沿着图 9C 的 A-B 线的截面图。此外,布线 93a、93c 是使形成在相邻的像素中的源电极或漏电极连接的布线。

[0161] 接着,如图 8B 所示,形成在接触孔中与源电极及漏电极 92a 的另一方接触的像素电极 77。注意,图 8B 相当于沿着图 9D 的 A-B 线的截面图。

[0162] 通过上述工序,可以形成沟道蚀刻型薄膜晶体管 84。沟道蚀刻型薄膜晶体管的制

造工序少,从而可以缩减成本。此外,通过使用微晶半导体膜构成沟道形成区域,可以获得 $1\text{cm}^2/\text{V} \cdot \text{sec}$ 至 $20\text{cm}^2/\text{V} \cdot \text{sec}$ 的迁移率。因此,该薄膜晶体管可以用作像素部的像素的开关元件,还可以用作形成扫描线(栅极线)一侧的驱动电路的元件。

[0163] 根据本实施方式,可以制造电特性的可靠性高的薄膜晶体管。

[0164] 实施方式 2

[0165] 在本实施方式中,下面示出包括实施方式 1 所示的薄膜晶体管的液晶显示装置。

[0166] 首先,示出 VA(垂直配向)型液晶显示装置。VA 型液晶显示装置是控制液晶面板的液晶分子的排列的方式之一种。VA 型液晶显示装置是当不被施加电压时液晶分子朝向对于面板表面垂直的方向的方式。在本实施方式中,尤其设法将像素分割为几个区域(亚像素),使分子放倒向不同的方向。上述方法称为多畴(multi-domain)化或多畴设计。在下面的说明中,说明考虑到多畴设计的液晶显示装置。

[0167] 图 16 及图 17 分别示出像素电极及相对电极。注意,图 16 是形成有像素电极的衬底一侧的平面图,而图 15 示出对应于图 14 中的沿着 A-B 线的截面结构。此外,图 17 是形成有相对电极的衬底一侧的平面图。在下面的说明中,参照上述附图进行说明。

[0168] 图 15 示出层叠形成有 TFT628、与其连接的像素电极 624、以及保持电容部 630 的衬底 600 和形成有相对电极 640 等的相对衬底 601 并注入有液晶的状态。

[0169] 在相对衬底 601 中的隔离物 642 形成的位置上形成有遮光膜 632、第一着色膜 634、第二着色膜 636、第三着色膜 638、相对电极 640。通过该结构,使用来控制液晶的取向的突起 644 和隔离物 642 的高度为不同。在像素电极 624 上形成取向膜 648,在相对电极 640 上也同样地形成取向膜 646。其间形成有液晶层 650。

[0170] 在此,使用柱状隔离物示出隔离物 642,但是也可以散布珠状隔离物。再者,也可以在形成在衬底 600 上的像素电极 624 上形成隔离物 642。

[0171] 在衬底 600 上形成 TFT628、与其连接的像素电极 624、以及保持电容部 630。像素电极 624 在接触孔 623 中连接到布线 618,该接触孔 623 贯通覆盖 TFT628、布线、以及保持电容部 630 的绝缘膜 620 和覆盖绝缘膜 620 的绝缘膜 622。可以适当地使用实施方式 1 所示的薄膜晶体管作为 TFT628。此外,保持电容部 630 由第一电容布线 604、栅极绝缘膜 606 和第二电容布线 617 构成,该第一电容布线 604 与 TFT628 的栅极布线 602 同样地形成,而该第二电容布线 617 与布线 616、618 同样地形成。

[0172] 通过重叠像素电极 624、液晶层 650、以及相对电极 640,形成液晶元件。

[0173] 图 16 示出衬底 600 上的结构。使用实施方式 1 所示的材料形成像素电极 624。在像素电极 624 中设置槽缝 625。槽缝 625 用来控制液晶的取向。

[0174] 图 16 所示的 TFT629 和与其连接的像素电极 626 及保持电容部 631 可以分别与 TFT628、像素电极 624 及保持电容部 630 同样地形成。TFT628 和 TFT629 都与布线 616 连接。其液晶面板的像素由像素电极 624 和像素电极 626 构成。像素电极 624 和像素电极 626 是亚像素。

[0175] 图 17 示出相对衬底一侧的结构。在遮光膜 632 上形成有相对电极 640。相对电极 640 优选使用与像素电极 624 同样的材料形成。在相对电极 640 上形成有控制液晶的取向的突起 644。此外,根据遮光膜 632 的位置形成有隔离物 642。

[0176] 图 18 示出该像素结构的等效电路。TFT628 和 TFT629 都连接到栅极布线 602、布

线 616。在此情况下,通过使电容布线 604 和电容布线 605 的电位为不同,可以使液晶元件 651 的工作和液晶元件 652 的工作为不同。就是说,通过分别控制电容布线 604 和电容布线 605 的电位,精密地控制液晶的取向来扩大视角。

[0177] 当对设置有槽缝 625 的像素电极 624 施加电压时,在槽缝 625 的近旁产生电场应变(倾斜电场)。通过将该槽缝 625 和相对衬底 601 一侧的突起 644 配置为互相咬合,有效地产生倾斜电场控制液晶的取向。由此,在每个部分中使液晶取向的方向为不同。就是说,进行多畴化来扩大液晶面板的视角。

[0178] 接着,对于与上述不同的 VA 型液晶显示装置,参照图 19 至图 22 进行说明。

[0179] 图 19 和图 20 示出 VA 型液晶面板的像素结构。图 20 是衬底 600 的平面图,而图 19 示出对应于沿着图 20 所示的截断线 Y-Z 的截面结构。在下面的说明中,参照上述两个附图进行说明。

[0180] 在其像素结构中,一个像素包括多个像素电极,并且每个像素电极与 TFT 连接。每个 TFT 构成为由不同的栅极信号驱动。就是说,在多畴设计的像素中具有独立地控制施加到各个像素电极的信号的结构。

[0181] 像素电极 624 在接触孔 623 中使用布线 618 连接到 TFT628。此外,像素电极 626 在接触孔 627 中使用布线 619 连接到 TFT629。TFT628 的栅极布线 602 和 TFT629 的栅极布线 603 彼此分离,以可以将不同的栅极信号提供到它们。另一方面,TFT628 和 TFT629 共同使用用作数据线的布线 616。此外,使用电容布线 690、栅极绝缘膜 606、以及布线 618 形成第一电容元件,并且使用电容布线 690、栅极绝缘膜 606、以及布线 619 形成第二电容元件。TFT628 和 TFT629 可以适当地使用实施方式 1 所示的薄膜晶体管。

[0182] 像素电极 624 和像素电极 626 的形状不同,并且由槽缝 625 分离。像素电极 626 以围绕舒展为 V 字形的像素电极 624 的外侧的方式形成。通过由 TFT628 和 TFT629 使施加到像素电极 624 和像素电极 626 的电压的时序为不同,控制液晶的取向。图 22 示出该像素结构的等效电路。TFT628 与栅极布线 602 连接,而 TFT629 与栅极布线 603 连接。通过将不同的栅极信号提供到栅极布线 602 和栅极布线 603,可以使 TFT628 和 TFT629 的工作时序为不同。

[0183] 在相对衬底 601 上形成有遮光膜 632、第二着色膜 636、相对电极 640。此外,在第二着色膜 636 和相对电极 640 之间形成平坦化膜 637,以防止液晶的取向无序。图 21 示出相对衬底一侧的结构。相对电极 640 是不同的电极之间共同化了的电极,其中形成有槽缝 641。将该槽缝 641 和像素电极 624 及像素电极 626 一侧的槽缝 625 配置为规律地咬合,可以有效地产生倾斜电场控制液晶的取向。由此,可以在每个部分中使液晶取向的方向为不同,以扩大视角。

[0184] 通过重叠像素电极 624、液晶层 650、以及相对电极 640,形成第一液晶元件。此外,通过重叠像素电极 626、液晶层 650、以及相对电极 640,形成第二液晶元件。另外,采用在一个像素中设置第一液晶元件和第二液晶元件的多畴结构。

[0185] 接着,示出水平电场方式的液晶显示装置。水平电场方式是通过对于单元内的液晶分子在水平方向上施加电场驱动液晶来进行灰度级表达。通过该方式,可以将视角扩大为大约 180° 。在下面的说明中,说明采用水平电场方式的液晶显示装置。

[0186] 图 23 示出重叠形成有 TFT628 和与其连接的像素电极 624 的衬底 600 和相对衬底

601 并注入液晶的状态。相对衬底 601 形成有遮光膜 632、第二着色膜 636、平坦化膜 637 等。像素电极位于衬底 600 一侧,而不设置在相对衬底 601 一侧。在衬底 600 和相对衬底 601 之间形成有液晶层 650。

[0187] 在衬底 600 上形成第一像素电极 607、连接到第一像素电极 607 的电容布线 604、以及实施方式 1 所示的 TFT628。第一像素电极 607 可以使用与实施方式 1 所示的像素电极 77 相同的材料。此外,第一像素电极 607 以大致区划为像素形状的形状形成。注意,在第一像素电极 607 及电容布线 604 上形成栅极绝缘膜 606。

[0188] TFT628 的布线 616、布线 618 形成在栅极绝缘膜 606 上。布线 616 是在液晶面板中传送视频信号的数据线,且是在一个方向上延伸的布线,同时,还与源区域 610 连接而成为源极及漏极中的一方电极。布线 618 是成为源极及漏极中的另一方电极且与第二像素电极 624 连接的布线。

[0189] 在布线 616、布线 618 上形成绝缘膜 620。此外,在绝缘膜 620 上形成第二像素电极 624,该第二像素电极 624 在形成于绝缘膜 620 的接触孔中与布线 618 连接。像素电极 624 使用与实施方式 1 所示的像素电极 77 同样的材料形成。

[0190] 通过上述方法,在衬底 600 上形成 TFT628 和与其连接的第二像素电极 624。注意,保持电容形成在第一像素电极 607 和第二像素电极 624 之间。

[0191] 图 24 是示出像素电极的结构平面图。在像素电极 624 中,设置槽缝 625。槽缝 625 用来控制液晶的取向。在此情况下,在第一像素电极 607 和第二像素电极 624 之间产生电场。第一像素电极 607 和第二像素电极 624 之间形成有栅极绝缘膜 606,但是由于栅极绝缘膜 606 的厚度为 50nm 至 200nm,与厚度为 $2\mu\text{m}$ 至 $10\mu\text{m}$ 的液晶层相比充分薄,因此实际上在与衬底 600 平行的方向(水平方向)上产生电场。由该电场控制液晶的取向。通过利用该大致平行于衬底的方向的电场使液晶分子在水平方向上旋转。在此情况下,由于液晶分子在任何状态下都处于水平状态,所以因观看角度的对比度等的影响很少,从而扩大视角。此外,因为第一像素电极 607 和第二像素电极 624 都是透光电极,所以可以提高开口率。

[0192] 接着,示出水平电场方式的液晶显示装置的其他例子。

[0193] 图 25 和图 26 示出 IPS 方式液晶显示装置的像素结构。图 26 是平面图,而图 25 示出对应于沿着图 26 所示的截断线 A-B 的截面结构。在下面的说明中,参照上述两个附图进行说明。

[0194] 图 25 示出重叠形成有 TFT628 和与其连接的像素电极 624 的衬底 600 和相对衬底 601 并注入液晶的状态。相对衬底 601 形成有遮光膜 632、第二着色膜 636、平坦化膜 637 等。像素电极位于衬底 600 一侧,而不设置在相对衬底 601 一侧。在衬底 600 和相对衬底 601 之间形成有液晶层 650。

[0195] 在衬底 600 上形成共同电位线 609、以及实施方式 1 所示的 TFT628。共同电位线 609 可以与薄膜晶体管 628 的栅极布线 602 同时形成。

[0196] TFT628 的布线 616、布线 618 形成在栅极绝缘膜 606 上。布线 616 是在液晶面板中传送视频信号的数据线,且是在一个方向上延伸的布线,同时,还与源区域 610 连接而成为源极及漏极中的一方电极。布线 618 是成为源极及漏极中的另一方电极且与第二像素电极 624 连接的布线。

[0197] 在布线 616、布线 618 上形成第二绝缘膜 620。此外，在绝缘膜 620 上形成第二像素电极 624，该第二像素电极 624 在形成于绝缘膜 62 的接触孔 623 中与布线 618 连接。像素电极 624 使用实施方式 1 所示的像素电极 77 同样的材料形成。注意，如图 26 所示，像素电极 624 被形成和与共同电位线 609 同时形成的梳形电极之间产生水平电场。此外，像素电极 624 以其梳齿部和与共同电位线 609 同时形成的梳形电极互相咬合的方式形成。

[0198] 当施加到像素电极 624 的电位与共同电位线 609 的电位之间产生电场时，由该电场控制液晶的取向。通过利用该大致平行于衬底的方向的电场使液晶分子在水平方向上旋转。在此情况下，由于液晶分子在任何状态下都处于水平状态，所以因观看角度的对比度等的影响很少，从而扩大视角。

[0199] 像这样，在衬底 600 上形成 TFT628 以及与其连接的像素电极 624。保持电容通过在共同电位线 609 和电容电极 615 之间设置栅极绝缘膜 606 而形成。电容电极 615 和像素电极 624 通过接触孔 633 相互连接。

[0200] 接着，示出 TN 型的液晶显示装置的方式。

[0201] 图 27 和图 28 示出 TN 型液晶显示装置的像素结构。图 28 是平面图，而图 27 示出对应于沿着图 28 所示的截断线 A-B 的截面结构。在下面的说明中，参照上述两个附图进行说明。

[0202] 像素电极 624 在接触孔 623 中使用布线 618 与 TFT628 连接。用作数据线的布线 616 与 TFT628 连接。作为 TFT628，可以应用实施方式 1 所示的 TFT 的任何一种。

[0203] 像素电极 624 使用实施方式 1 所示的像素电极 77 形成。

[0204] 在相对衬底 601 上形成有遮光膜 632、第二着色膜 636、相对电极 640。此外，在第二着色膜 636 和相对电极 640 之间形成平坦化膜 637，以防止液晶的取向无序。液晶层 650 形成在像素电极 624 和相对电极 640 之间。

[0205] 通过重叠像素电极 624、液晶层 650、以及相对电极 640，形成液晶元件。

[0206] 相对电极 640 可以使用与像素电极 624 相同的材料。通过像素电极 624、液晶 650 和相对电极 640 彼此重叠，形成液晶元件。

[0207] 此外，在图 15 至图 28 所示的液晶显示装置中，在衬底 600 或相对衬底 601 上也可以形成有颜色滤光片、用来防止旋错 (disclination) 的屏蔽膜 (黑矩阵) 等。此外，在衬底 600 的与形成有薄膜晶体管的面相反的面上贴附偏振片，而在相对衬底 601 的与形成有相对电极 640 的面相反的面上贴附偏振片。

[0208] 通过上述工序，可以制造液晶显示装置。由于本实施方式的液晶显示装置使用截止电流少且电特性的可靠性高的薄膜晶体管，因此成为对比度高且可见度高的液晶显示装置。此外，因为采用将没有激光晶化工序的微晶半导体膜用于沟道形成区域的薄膜晶体管，所以可以批量生产性地制造可见度高的液晶显示装置。

[0209] 实施方式 3

[0210] 接着，下面示出本发明的液晶显示装置的一个方式的显示面板结构。

[0211] 图 12A 示出一种显示面板的方式，其中另行形成信号线驱动电路 6013 且将该信号线驱动电路 6013 与形成在衬底 6011 上的像素部 6012 连接。像素部 6012 及扫描线驱动电路 6014 采用将微晶半导体膜用于沟道形成区域的薄膜晶体管形成。通过采用可获得比将微晶半导体膜用于沟道形成区域的薄膜晶体管高的电场效应迁移率的晶体管形成信号线

驱动电路,可以使被要求比扫描线驱动电路高的驱动频率的信号线驱动电路的工作稳定。注意,信号线驱动电路 6013 也可以是将单晶半导体用于沟道形成区域的晶体管、将多晶半导体用于沟道形成区域的薄膜晶体管、或使用 SOI 的晶体管。对于像素部 6012、信号线驱动电路 6013、扫描线驱动电路 6014 分别通过 FPC6015 供给电源电位、各种信号等。

[0212] 此外,信号线驱动电路及扫描线驱动电路也可以一起形成在与像素部相同的衬底上。

[0213] 另外,在另行形成驱动电路的情况下,不一定需要将形成有驱动电路的衬底贴附在形成有像素部的衬底上,例如也可以贴附在 FPC 上。图 12B 示出一种液晶显示装置面板的方式,其中另行形成信号线驱动电路 6023,且将形成在衬底 6021 上的像素部 6022 和信号线驱动电路 6023 彼此连接。像素部 6022 及扫描线驱动电路 6024 采用将微晶半导体膜用于沟道形成区域的薄膜晶体管形成。信号线驱动电路 6023 通过 FPC6025 与像素部 6022 连接。对于像素部 6022、信号线驱动电路 6023、扫描线驱动电路 6024 分别通过 FPC6025 供给电源电位、各种信号等。

[0214] 此外,也可以采用将微晶半导体膜用于沟道形成区域的薄膜晶体管只将信号线驱动电路的一部分或扫描线驱动电路的一部分形成在与像素部相同的衬底上,并且另行形成其他部分并使它电连接到像素部。图 10C 示出一种液晶显示装置面板的方式,将信号线驱动电路所具有的模拟开关 6033a 形成在与像素部 6032、扫描线驱动电路 6034 相同的衬底 6031 上,并且将信号线驱动电路所具有的移位寄存器 6033b 另行形成在不同的衬底上并彼此贴合。像素部 6032 及扫描线驱动电路 6034 采用将微晶半导体膜用于沟道形成区域的薄膜晶体管形成。信号线驱动电路所具有的移位寄存器 6033b 通过 FPC6035 与像素部 6032 连接。对于像素部 6032、信号线驱动电路、扫描线驱动电路 6034 分别通过 FPC6035 供给电源电位、各种信号等。

[0215] 如图 12A 至 12C 所示,在本发明的液晶显示装置中,可以采用将微晶半导体膜用于沟道形成区域的薄膜晶体管将驱动电路的一部分或全部形成在与像素部相同的衬底上。

[0216] 注意,对于另行形成的衬底的连接方法没有特别的限制,可以采用已知的 COG 方法、引线键合方法、或 TAB 方法等。此外,若是能够电连接,连接位置不局限于图 12A 至 12C 所示的位置。另外,也可以另行形成控制器、CPU、存储器等而连接。

[0217] 注意,用于本发明的信号线驱动电路不局限于只有移位寄存器和模拟开关的方式。除了移位寄存器和模拟开关之外,也可以具有其他电路如缓冲器、电平转移器、源极跟随器等。此外,不一定设置移位寄存器和模拟开关,例如既可以使用如译码器电路的能够选择信号线的其他电路代替移位寄存器,又可以使用锁存器等代替模拟开关。

[0218] 图 30 示出本发明的液晶显示装置的框图。图 30 所示的液晶显示装置包括具有多个具备液晶元件的像素的像素部 700、选择各个像素的扫描线驱动电路 702、控制对被选择的像素的视频信号的输入的信号线驱动电路 703。

[0219] 在图 30 中,信号线驱动电路 703 包括移位寄存器 704 和模拟开关 705。时钟信号 (CLK)、起始脉冲信号 (SP) 输入到移位寄存器 704 中。当时钟信号 (CLK) 和起始脉冲信号 (SP) 被输入时,在移位寄存器 704 中产生时序信号,并输入到模拟开关 705。

[0220] 此外,模拟开关 705 提供有视频信号。模拟开关 705 根据被输入的时序信号对视频信号进行取样,然后供给给后级的信号线。

[0221] 接着,说明扫描线驱动电路 702 的结构。扫描线驱动电路 702 包括移位寄存器 706、缓冲器 707。此外,也可以根据情况包括电平转移器。在扫描线驱动电路 702 的移位寄存器 706 中,通过时钟信号 (CLK) 及起始脉冲信号 (SP) 被输入,产生选择信号。产生的选择信号在缓冲器 707 中被缓冲放大,并被供给到对应的扫描线。一条线上的像素的晶体管的栅极连接到扫描线。而且,由于需要使一个线的像素的晶体管同时导通,因此使用能够流过电流的缓冲器 707。

[0222] 在全彩色液晶显示装置中,在将对应于 R(红)、G(绿)、B(蓝)的视频信号按顺序进行取样而供给给对应的信号线的情况下,用来连接移位寄存器 704 和模拟开关 705 的端子数相当于用来连接模拟开关 705 和像素部 700 的信号线的端子数的 1/3 左右。因此,通过将模拟开关 705 形成在与像素部 700 相同的衬底上,与将模拟开关 705 形成在与像素部 700 不同的衬底上时相比,可以减少用来连接另行形成的衬底的端子数,并且抑制连接不良的发生比率,以提高成品率。

[0223] 此外,图 30 的扫描线驱动电路 702 包括移位寄存器 706、及缓冲器 707,但是也可以由移位寄存器 706 构成扫描线驱动电路 702。

[0224] 注意,图 30 所示的结构只是本发明的液晶显示装置的一个方式,信号线驱动电路和扫描线驱动电路的结构不局限于此。

[0225] 接着,参照图 31 及图 32 说明包括将极性都相同的微晶半导体膜用于沟道形成区域的薄膜晶体管的移位寄存器的一个方式。图 31 示出本实施方式的移位寄存器的结构。图 31 所示的移位寄存器由多个触发器(触发器 701-1 至 701-n)构成。此外,被输入第一时钟信号、第二时钟信号、起始脉冲信号、复位信号而工作。

[0226] 说明图 31 的移位寄存器的连接关系。在图 31 的移位寄存器的第 i 级的触发器 701-i(触发器 701-1 至 701-n 中任何一个)中,图 32 所示的第一布线 501 连接到第七布线 717-i-1,图 32 所示的第二布线 502 连接到第七布线 717-i+1,图 32 所示的第三布线 503 连接到第七布线 717-i,图 32 所示的第六布线 506 连接到第五布线 715。

[0227] 此外,图 32 所示的第四布线 504 在第奇数级的触发器中连接到第二布线 712,在第偶数级的触发器中连接到第三布线 713,图 32 所示的第五布线 505 连接到第四布线 714。

[0228] 但是,第一级的触发器 701-1 中的图 32 所示的第一布线 501 连接到第一布线 711,第 n 级的触发器 701-n 的图 32 所示的第二布线 502 连接到第六布线 716。

[0229] 注意,第一布线 711、第二布线 712、第三布线 713、第六布线 716 也可以分别称为第一信号线、第二信号线、第三信号线、第四信号线。再者,第四布线 714、第五布线 715 也可以分别称为第一电源线、第二电源线。

[0230] 接着,图 32 示出图 31 所示的触发器的详细结构。图 32 所示的触发器包括第一薄膜晶体管 171、第二薄膜晶体管 172、第三薄膜晶体管 173、第四薄膜晶体管 174、第五薄膜晶体管 175、第六薄膜晶体管 176、第七薄膜晶体管 177、以及第八薄膜晶体管 178。在本实施方式中,第一薄膜晶体管 171、第二薄膜晶体管 172、第三薄膜晶体管 173、第四薄膜晶体管 174、第五薄膜晶体管 175、第六薄膜晶体管 176、第七薄膜晶体管 177、以及第八薄膜晶体管 178 是 n 沟道型晶体管,并且当栅极-漏极之间的电压 (V_{gs}) 大于阈值电压 (V_{th}) 时其处于导通状态。

[0231] 接着,下面示出图 32 所示的触发器的连接结构。

[0232] 第一薄膜晶体管 171 的第一电极（源电极及漏电极的一方）连接到第四布线 504，第一薄膜晶体管 171 的第二电极（源电极及漏电极的另一方）连接到第三布线 503。

[0233] 第二薄膜晶体管 172 的第一电极连接到第六布线 506，第二薄膜晶体管 172 的第二电极连接到第三布线 503。

[0234] 第三薄膜晶体管 173 的第一电极连接到第五布线 505，第三薄膜晶体管 173 的第二电极连接到第二薄膜晶体管 172 的栅电极，第三薄膜晶体管 173 的栅电极连接到第五布线 505。

[0235] 第四薄膜晶体管 174 的第一电极连接到第六布线 506，第四薄膜晶体管 174 的第二电极连接到第二薄膜晶体管 172 的栅电极，第四薄膜晶体管 174 的栅电极连接到第一薄膜晶体管 171 的栅电极。

[0236] 第五薄膜晶体管 175 的第一电极连接到第五布线 505，第五薄膜晶体管 175 的第二电极连接到第一薄膜晶体管 171 的栅电极，第五薄膜晶体管 175 的栅电极连接到第一布线 501。

[0237] 第六薄膜晶体管 176 的第一电极连接到第六布线 506，第六薄膜晶体管 176 的第二电极连接到第一薄膜晶体管 171 的栅电极，第六薄膜晶体管 176 的栅电极连接到第二薄膜晶体管 172 的栅电极。

[0238] 第七薄膜晶体管 177 的第一电极连接到第六布线 506，第七薄膜晶体管 177 的第二电极连接到第一薄膜晶体管 171 的栅电极，第七薄膜晶体管 177 的栅电极连接到第二布线 502。第八薄膜晶体管 178 的第一电极连接到第六布线 506，第八薄膜晶体管 178 的第二电极连接到第二薄膜晶体管 172 的栅电极，第八薄膜晶体管 178 的栅电极连接到第一布线 501。

[0239] 注意，以第一薄膜晶体管 171 的栅电极、第四薄膜晶体管 174 的栅电极、第五薄膜晶体管 175 的第二电极、第六薄膜晶体管 176 的第二电极、以及第七薄膜晶体管 177 的第二电极的连接部分为节点 143。再者，以第二薄膜晶体管 172 的栅电极、第三薄膜晶体管 173 的第二电极、第四薄膜晶体管 174 的第二电极、第六薄膜晶体管 176 的栅电极、以及第八薄膜晶体管 178 的第二电极的连接部分为节点 144。

[0240] 注意，第一布线 501、第二布线 502、第三布线 503、第四布线 504 也可以分别称为第一信号线、第二信号线、第三信号线、第四信号线。再者，第五布线 505、第六布线 506 也可以分别称为第一电源线、第二电源线。

[0241] 图 33 示出图 32 所示的触发器的俯视图的一个例子。

[0242] 导电膜 901 包括用作第一薄膜晶体管 171 的第一电极的部分，并通过与像素电极同时形成的布线 951 与第四布线 504 连接。

[0243] 导电膜 902 包括用作第一薄膜晶体管 171 的第二电极的部分，并通过与像素电极同时形成的布线 952 与第三布线 503 连接。

[0244] 导电膜 903 包括用作第一薄膜晶体管 171 的栅电极的部分、以及用作第四薄膜晶体管 174 的栅电极的部分。

[0245] 导电膜 904 包括用作第二薄膜晶体管 172 的第一电极的部分、用作第六薄膜晶体管 176 的第一电极的部分、用作第四薄膜晶体管 174 的第一电极的部分、以及用作第八薄膜晶体管 178 的第一电极的部分，并与第六布线 506 连接。

[0246] 导电膜 905 包括用作第二薄膜晶体管 172 的第二电极的部分,并通过与像素电极同时形成的布线 954 与第三布线 503 连接。

[0247] 导电膜 906 包括用作第二薄膜晶体管 172 的栅电极的部分、以及用作第六薄膜晶体管 176 的栅电极的部分。

[0248] 导电膜 907 包括用作第三薄膜晶体管 173 的第一电极的部分,并通过布线 955 与第五布线 505 连接。

[0249] 导电膜 908 包括用作第三薄膜晶体管 173 的第二电极的部分、以及用作第四薄膜晶体管 174 的第二电极的部分,并通过与像素电极同时形成的布线 956 与导电膜 906 连接。

[0250] 导电膜 909 包括用作第三薄膜晶体管 173 的栅电极的部分,并通过布线 955 与第五布线 505 连接。

[0251] 导电膜 910 包括用作第五薄膜晶体管 175 的第一电极的部分,并通过与像素电极同时形成的布线 959 与第五布线 505 连接。

[0252] 导电膜 911 包括用作第五薄膜晶体管 175 的第二电极的部分、以及用作第七薄膜晶体管 177 的第二电极的部分,并通过与像素电极同时形成的布线 958 与导电膜 903 连接。

[0253] 导电膜 912 包括用作第五薄膜晶体管 175 的栅电极的部分,并通过与像素电极同时形成的布线 960 与第一布线 501 连接。

[0254] 导电膜 913 包括用作第六薄膜晶体管 176 的第二电极的部分,并通过与像素电极同时形成的布线 957 与导电膜 903 连接。

[0255] 导电膜 914 包括用作第七薄膜晶体管 177 的栅电极的部分,并通过与像素电极同时形成的布线 962 与第二布线 502 连接。

[0256] 导电膜 915 包括用作第八薄膜晶体管 178 的栅电极的部分,并通过与像素电极同时形成的布线 961 与导电膜 912 连接。

[0257] 导电膜 916 包括第八薄膜晶体管 178 的用作第二电极的部分,并通过与像素电极同时形成的布线 953 与导电膜 906 连接。

[0258] 注意,微晶半导体膜 981 至 988 的一部分分别用作第一至第九薄膜晶体管的沟道形成区域。

[0259] 通过由将微晶半导体用于沟道形成区域的薄膜晶体管构成图 30 至图 32 所示的电路,可以使它进行高速工作。例如,当对将非晶半导体膜用于沟道形成区域的情况和将微晶半导体膜用于沟道形成区域的情况进行比较时,将微晶半导体膜用于沟道形成区域的情况下的薄膜晶体管的电场效应迁移率较高,因此可以提高驱动电路(例如,扫描线驱动电路 702 的移位寄存器 706)的驱动频率。因为可以使扫描线驱动电路 702 进行高速工作,所以可以提高帧频率或实现黑屏插入等。

[0260] 当提高帧频率之际,优选根据图像的动作方向产生屏幕的数据。就是说,优选进行运动补偿来内插数据。像这样,通过提高帧频率并内插图像数据,改善动画的显示特性,从而可以进行平滑的显示。例如,通过为两倍(例如,120 赫兹、100 赫兹)以上,更优选为四倍(例如,480 赫兹、400 赫兹)以上,可以减少动画中的模糊图像、以及余像。在此情况下,扫描线驱动电路 702 也通过提高驱动频率工作来可以提高帧频率。

[0261] 在进行黑屏插入的情况下,制造为能够将图像数据或成为黑显示的数据供给给像素部 700 中。结果,成为类似于脉冲驱动的方式,而可以减少余像。在此情况下,扫描线驱

动电路 702 也通过提高驱动频率工作来可以进行黑屏插入。

[0262] 再者,通过增大扫描线驱动电路 702 的薄膜晶体管的沟道宽度或配置多个扫描线驱动电路等,可以实现更高的帧频率。例如,可以实现八倍(例如,960 赫兹、800 赫兹)以上的帧频率。在配置多个扫描线驱动电路的情况下,通过将用来驱动偶数行的扫描线的扫描线驱动电路配置在一侧,并将用来驱动奇数行的扫描线的扫描线驱动电路配置在另一侧,可以实现帧频率的提高。作为一个例子,第二薄膜晶体管 172 的沟道宽度为 $300\ \mu\text{m}$ 以上,更优选为 1000m 以上。

[0263] 注意,通过由将微晶半导体用于沟道形成区域的薄膜晶体管构成图 30 至图 32 所示的电路,可以缩小设计面积。因此,可以缩小液晶显示装置的边框。例如,当对将非晶半导体膜用于沟道形成区域的情况和将微晶半导体膜用于沟道形成区域的情况进行比较时,将微晶半导体膜用于沟道形成区域的情况下的薄膜晶体管的电场效应迁移率较高,因此可以缩小薄膜晶体管的沟道宽度。结果,可以实现液晶显示装置的窄边框化。作为一个例子,第二薄膜晶体管 172 的沟道宽度为 $3000\ \mu\text{m}$ 以下,更优选为 $2000\ \mu\text{m}$ 以下。

[0264] 注意,在图 32 的第二薄膜晶体管 172 中,对于第三布线 503 输出低电平的信号的时间长。其间,第二薄膜晶体管 172 一直处于导通状态。因此,第二薄膜晶体管 172 受到很强的压力,而晶体管特性容易退化。当晶体管特性退化时,阈值电压逐渐增大。结果,电流值逐渐缩小。于是,第二薄膜晶体管 172 的沟道宽度优选大,以便即使晶体管退化也能够供给充分的电流。或者,优选被补偿以便防止在晶体管的退化时产生的电路工作的障碍。例如,优选通过与第二薄膜晶体管 172 并列地配置晶体管,并使它与第二薄膜晶体管 172 交替处于导通状态,不容易受到退化的影响。

[0265] 然而,当对将非晶半导体膜用于沟道形成区域的情况和将微晶半导体膜用于沟道形成区域的情况进行比较时,将微晶半导体膜用于沟道形成区域的晶体管较不容易退化。因此,在将微晶半导体膜用于沟道形成区域的情况下,可以缩小薄膜晶体管的沟道宽度。或者,即使不设置对于退化的补偿用电路也可以进行正常工作。由此,可以缩小设计面积。

[0266] 接着,参照图 29A 和 29B 说明相当于本发明的液晶显示装置的一个方式的液晶显示面板的外观及截面。图 29A 是一种面板的俯视图,其中在与第二衬底 4006 之间使用密封材料 4005 密封将形成在第一衬底 4001 上的具有微晶半导体膜用作沟道形成区域的薄膜晶体管 4010 及液晶元件 4013。图 29B 相当于沿着图 29A 的 A-A' 线的截面图。

[0267] 以围绕形成在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 的方式设置有密封材料 4005。此外,在像素部 4002 和扫描线驱动电路 4004 上设置第二衬底 4006。因此,使用第一衬底 4001、密封材料 4005 以及第二衬底 4006 将像素部 4002 和扫描线驱动电路 4004 与液晶 4008 一起密封。另外,在第一衬底 4001 上的与由密封材料 4005 围绕的区域不同的区域中安装有使用多晶半导体膜形成在另行准备的衬底上的信号线驱动电路 4003。注意,本实施方式说明具有将多晶半导体膜用于沟道形成区域的薄膜晶体管的信号线驱动电路贴附到第一衬底 4001 的例子,但是也可以采用将单晶半导体用于沟道形成区域的晶体管形成信号线驱动电路并贴合。图 29A 和 29B 例示包括在信号线驱动电路 4003 中的由多晶半导体膜形成的薄膜晶体管 4009。

[0268] 此外,设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 包括多个薄膜晶体管,图 29B 例示包括在像素部 4002 中的薄膜晶体管 4010。薄膜晶体管 4010 相当于

将微晶半导体膜用于沟道形成区域的薄膜晶体管。

[0269] 此外,液晶元件 4013 所具有的像素电极 4030 通过布线 4040 与薄膜晶体管 4010 电连接。而且,液晶元件 4013 的相对电极 4031 形成在第二衬底 4006 上。像素电极 4030、相对电极 4031、以及液晶 4008 重叠的部分相当于液晶元件 4013。

[0270] 注意,作为第一衬底 4001、第二衬底 4006,可以使用玻璃、金属(典型地是不锈钢)、陶瓷、塑料。作为塑料,可以使用 FRP(纤维增强塑料)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜。此外,也可以采用具有使用 PVF 薄膜及聚酯薄膜夹铝箔的结构薄片。

[0271] 另外,为控制像素电极 4030 和相对电极 4031 之间的距离(单元间隙)而设置球状隔离物 4035。注意,也可以使用通过选择性地蚀刻绝缘膜来获得的隔离物。

[0272] 此外,提供到另行形成的信号线驱动电路 4003 和扫描线驱动电路 4004 或像素部 4002 的各种信号及电位通过引导布线 4014、4015 从 FPC4018 供给。

[0273] 在本实施方式中,连接端子 4016 由与液晶元件 4013 所具有的像素电极 4030 相同的导电膜形成。此外,引导布线 4014、4015 由与布线 4040 相同的导电膜形成。

[0274] 连接端子 4016 通过各向异性导电膜 4019 电连接到 FPC4018 所具有的端子。

[0275] 注意,虽然未图示,但是本实施方式所示的液晶显示装置具有取向膜、偏振片,还可以具有颜色滤光片及屏蔽膜。

[0276] 此外,图 29A 和 29B 示出另行形成信号线驱动电路 4003 而安装到第一衬底 4001 的例子,但是本实施方式不局限于此。既可以另行形成扫描线驱动电路而安装,又可以另行形成信号线驱动电路的一部分或扫描线驱动电路的一部分而安装。

[0277] 本实施方式可以与其他实施方式所记载的结构组合而实施。

[0278] 实施方式 4

[0279] 通过采用根据本发明获得的液晶显示装置,可以使用于有源矩阵型液晶模块。就是说,在将它们安装到显示部中的所有电子设备中可以实施本发明。

[0280] 作为这种电子设备的例子,可以举出如下:拍摄装置如摄影机及数字照相机等;头戴式显示器(护目镜型显示器);汽车导航系统;投影机;汽车音响;个人计算机;便携式信息终端(便携式计算机、移动电话、或电子书籍等)。图 13A 至 13D 示出了它们的一个例子。

[0281] 图 13A 示出电视装置。如图 13A 所示,可以将显示模块嵌入到框体中来完成电视装置。还安装有 FPC 的显示面板称为显示模块。由显示模块形成主屏 2003,并且作为其他辅助设备还具有扬声器部 2009、操作开关等。像这样,可以完成电视装置。

[0282] 如图 13A 所示,将利用液晶元件的显示用面板 2002 安装在框体 2001 中,不仅可以由接收器 2005 接收普通的电视广播,而且可以通过经由调制解调器 2004 连接到采用有线或无线方式的通信网络,进行单方向(从发送者到接收者)或双方向(在发送者和接收者之间或在接收者之间)的信息通信。可以使用安装在框体中的开关或遥控装置 2006 来操作电视装置。也可以在遥控装置 2006 中设置用于显示输出信息的显示部 2007。

[0283] 另外,除了主屏 2003 之外,在电视装置中,可以使用第二显示用面板形成子屏 2008,且附加有显示频道或音量等的结构。在这种结构中,可以使用视角优良的液晶显示面板形成主屏 2003,而使用能够以低耗电量来显示的液晶显示面板形成子屏。另外,为了优先

降低耗电量,也可以使用液晶显示面板形成主屏 2003,而使用液晶显示面板形成子屏,并使子屏可以闪亮和闪灭。

[0284] 图 14 示出表示电视装置的主要结构的框图。在显示面板 900 中,形成有像素部 921。信号线驱动电路 922 和扫描线驱动电路 923 也可以以 COG 方式安装到显示面板 900。

[0285] 作为其他外部电路的结构,在图像信号的输入一侧包括图像信号放大电路 925、图像信号处理电路 926、以及控制电路 927 等。该图像信号放大电路 925 放大由调谐器 924 接收的信号中的放大图像信号,该图像信号处理电路 926 将从图像信号放大电路 925 输出的信号转换为与红、绿、蓝每种颜色相应的色信号,该控制电路 927 将该图像信号转换为驱动器 IC 的输入规格。控制电路 927 将信号分别输出到扫描线一侧和信号线一侧。在进行数字驱动的情况下,也可以具有如下结构,即在信号线一侧设置信号分割电路 928,并且将输入数字信号分成 m 个来供给。

[0286] 由调谐器 924 接收的信号中的音频信号被传送到音频信号放大电路 929,并且其输出经过音频信号处理电路 930 供给到扬声器 933。控制电路 931 从输入部 932 接收接收站(接收频率)和音量的控制信息,并且将信号传送到调谐器 924、音频信号处理电路 930。

[0287] 当然,本发明不局限于电视装置,并且可以适用于各种各样的用途,如个人计算机的监视器、以及大面积的显示媒体如火车站或机场等的信息显示板或者街头上的广告显示板等。

[0288] 图 13B 示出移动电话 2201 的一个例子。该移动电话 2201 包括显示部 2202、操作部 2203 等构成。在显示部 2202 中,通过应用上述实施方式所说明的液晶显示装置可以提高批量生产性。

[0289] 此外,图 13C 所示的便携式计算机包括主体 2401、显示部 2402 等。通过将上述实施方式所示的液晶显示装置应用于显示部 2402,可以提高批量生产性。

[0290] 实施例 1

[0291] 图 34A 和 34B 示出形成微晶硅膜并通过拉曼光谱法检测该膜的结晶性的结果。

[0292] 以如下成膜条件形成微晶硅膜:RF 电源频率为 13.56MHz;成膜温度为 280℃;氢流量和硅烷气体流量的比率为 100 : 1;压力为 280Pa。此外,图 34A 是拉曼散射光谱,并且是对成膜时的 RF 电源的电力为 100W 的微晶硅膜和成膜时的 RF 电源的电力为 300W 的微晶硅膜进行比较的检测结果。

[0293] 注意,单晶硅膜的结晶峰值位置为 521cm^{-1} 。注意,当然非晶硅不能检测可说结晶峰值的值。如图 34B 所示,只检测出以 480cm^{-1} 为顶点的不陡的山形。本说明书中的微晶硅膜是指当使用拉曼光谱器检测时在 481cm^{-1} 以上至 520cm^{-1} 以下确认结晶峰值的膜。

[0294] 成膜时的 RF 电源的电力为 100W 的微晶硅膜的结晶峰值位置为 518.6cm^{-1} ,半峰全宽(FWHM)为 11.9cm^{-1} ,结晶/非晶峰值强度比(I_c/I_a)为 4.1。

[0295] 此外,成膜时的 RF 电源的电力为 300W 的微晶硅膜的结晶峰值位置为 514.8cm^{-1} ,半峰全宽(FWHM)为 18.7cm^{-1} ,结晶/非晶峰值强度比(I_c/I_a)为 4.4。

[0296] 如图 34A 所示,因 RF 电力而产生结晶峰值位置和半峰全宽之间的大差异。这是因为如下缘故:具有在使用大电力的情况下增加离子冲击而障碍粒子的生长,从而粒径小的倾向。此外,由于形成用于图 34A 的检测的微晶硅膜的 CVD 装置的电源频率为 13.56MHz,因此结晶/非晶峰值强度比(I_c/I_a)为 4.1 或 4.4。但是,已确认若是 RF 电源频率为 27MHz

就可以将结晶 / 非晶峰值强度比 (I_c/I_a) 设定为 6。因此,通过将 RF 电源频率设定为比 27MHz 更高,例如 2.45GHz,可以进一步提高结晶 / 非晶峰值强度比 (I_c/I_a)。

[0297] 实施例 2

[0298] 在本实施例中,示出对于本发明所示的薄膜晶体管的晶体管特性以及电子密度分布,进行器件模拟而获得的结果。使用矽谷科技 (Silvaco) 公司制造的器件模拟器“ATLAS”进行器件模拟。

[0299] 图 35 示出器件结构。假定绝缘衬底 2301 是以氧化硅 (介电常数为 4.1) 为主要成分的玻璃衬底 (厚度为 $0.5\mu\text{m}$)。注意,在实际的制造工序上,绝缘衬底 2301 的厚度主要为 0.5mm、0.7mm 等,但是以绝缘衬底 2301 之下的电场不影响到薄膜晶体管特性的程度,定义充分的厚度。

[0300] 在绝缘衬底 2301 上层叠由钼形成的栅电极 2303 (厚度为 150nm)。钼的功函数设定为 4.6eV。

[0301] 在栅电极 2303 上层叠具有氮化硅膜 (介电常数为 7.0,厚度为 110nm) 和氧氮化硅膜 (介电常数为 4.1,厚度为 110nm) 的叠层结构的栅绝缘膜 2305。

[0302] 在栅极绝缘膜 2305 上层叠 $\mu\text{c-Si}$ 膜 2307 和 a-Si 膜 2309。在此的各个叠层条件为如下:厚度为 0nm 的 $\mu\text{c-Si}$ 膜 2307 和厚度为 100nm 的 a-Si 膜 2309 的叠层;厚度为 10nm 的 $\mu\text{c-Si}$ 膜 2307 和厚度为 90nm 的 a-Si 膜 2309 的叠层;厚度为 50nm 的 $\mu\text{c-Si}$ 膜 2307 和厚度为 50nm 的 a-Si 膜 2309 的叠层;厚度为 90nm 的 $\mu\text{c-Si}$ 膜 2307 和厚度为 10nm 的 a-Si 膜 2309 的叠层;以及厚度为 100nm 的 $\mu\text{c-Si}$ 膜 2307 和厚度为 0nm 的 a-Si 膜 2309 的叠层。

[0303] 此外,在与第一 a-Si (n^+) 膜 2311 和第二 a-Si (n^+) 膜 2313 重叠的区域中,a-Si 膜 2309 除了上述厚度之外还层叠有 50nm 的 a-Si 膜。就是说,在不形成第一 a-Si (n^+) 膜 2311 和第二 a-Si (n^+) 膜 2313 的区域中,a-Si 膜 2309 具有其一部分被蚀刻 50nm 的凹部状。

[0304] 在 a-Si 膜 2309 上层叠有第一 a-Si (n^+) 膜 2311 (厚度为 50nm) 和第二 a-Si (n^+) 膜 2313 (厚度为 50nm)。在图 35 所示的薄膜晶体管中,第一 a-Si (n^+) 膜 2311 和第二 a-Si (n^+) 膜 2313 之间的距离成为沟道长度 L。在此,沟道长度 L 设定为 $6\mu\text{m}$ 。此外,沟道宽度 W 设定为 $15\mu\text{m}$ 。

[0305] 在第一 a-Si (n^+) 膜 2311 和第二 a-Si (n^+) 膜 2313 上分别层叠由钼 (Mo) 形成的源电极 2315 和漏电极 2317 (厚度为 300nm)。将源电极 2315 和第一 a-Si (n^+) 膜 2311 之间、以及漏电极 2317 和第二 a-Si (n^+) 膜 2313 之间定义为欧姆接触。

[0306] 图 36 示出当在图 35 所示的薄膜晶体管中,改变 $\mu\text{c-Si}$ 膜及 a-Si 膜的膜厚度来进行器件模拟之际获得的 DC 特性 (V_g - I_d 特性、 $V_d = 14\text{V}$) 的结果。此外,图 37A 和 37B 示出当 $\mu\text{c-Si}$ 膜 2307 的厚度为 10nm,而 a-Si 膜的厚度为 90nm 时的薄膜晶体管的电子浓度分布。图 37A 示出当薄膜晶体管处于导通状态 (V_g 为 +10V, V_d 为 14V) 时的电子浓度分布,而图 37B 示出当薄膜晶体管处于截止状态 (V_g 为 -10V, V_d 为 14V) 时的电子浓度的分布结果。

[0307] 参照图 36 就知道,随着使 a-Si 膜的膜厚度变厚而截止电流减少。此外,通过将 a-Si 的厚度设定为 50nm 以上,可以将 V_g 是 -20V 时的漏电流设定为低于 $1 \times 10^{-13}\text{A}$ 。

[0308] 另外,在此知道,随着使 $\mu\text{c-Si}$ 膜的膜厚度变厚而导通电流增加。此外,通过将

$\mu\text{c-Si}$ 的厚度设定为 10nm 以上, 可以将 V_g 是 20V 时的漏电流设定为 $1 \times 10^{-5}\text{A}$ 以上。

[0309] 参照图 37A 就知道, 在导通状态下, $\mu\text{c-Si}$ 膜中的电子密度比 a-Si 膜中的电子密度高。就是说, 由于导电率高的 $\mu\text{c-Si}$ 膜中的电子密度高, 因此在导通状态下电子容易流过, 从而漏电流升高。

[0310] 参照图 37B 就知道, 在截止状态下, a-Si 膜中的电子密度比 $\mu\text{c-Si}$ 膜中的电子密度高。就是说, 由于导电率低的 a-Si 膜中的电子密度高, 因此在截止状态下电子难以流过, 从而产生与将 a-Si 膜用作沟道形成区域的薄膜晶体管同样的漏电流。

[0311] 根据上述事实就知道, 如图 35 所示那样的薄膜晶体管可以在减少截止电流的同时提高导通电流, 在该薄膜晶体管中, 在栅极绝缘膜上形成 $\mu\text{c-Si}$ 膜, 在 $\mu\text{c-Si}$ 膜上形成 a-Si 膜, 并在 a-Si 膜上形成源区域及漏区域。

[0312] 本说明书根据 2007 年 7 月 6 日在日本专利局受理的日本专利申请编号 2007-179092 而制作, 所述申请内容包括在本说明书中。

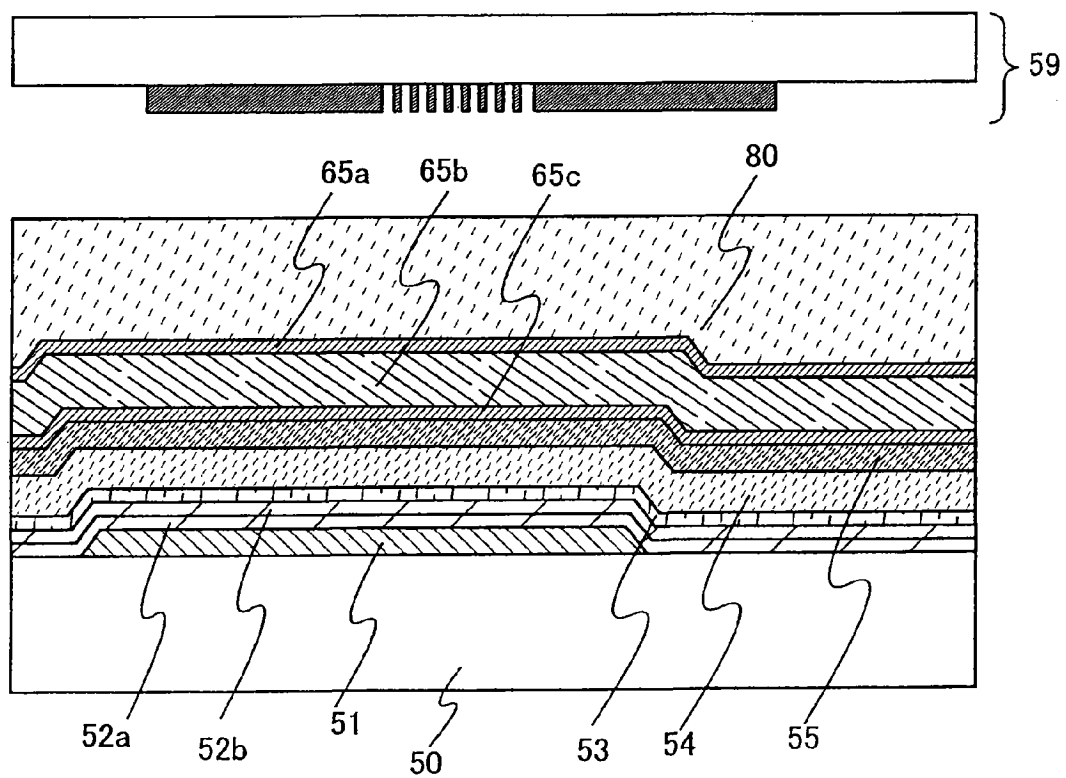


图 1A

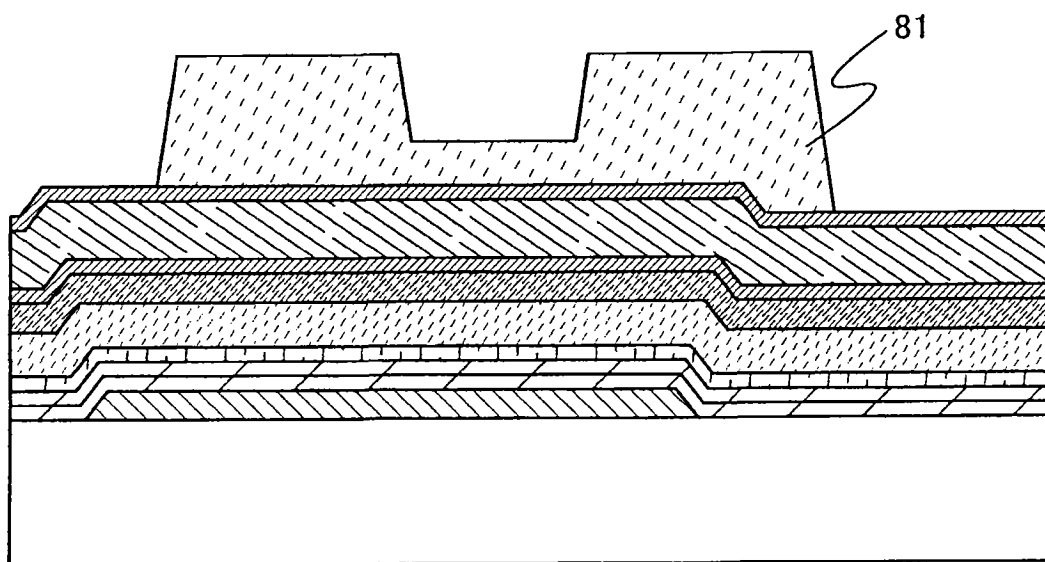


图 1B

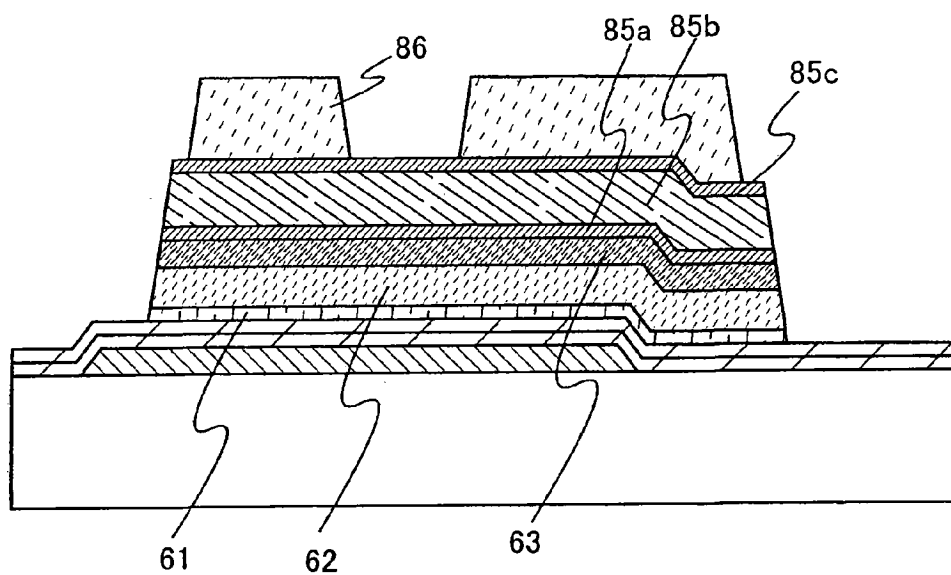


图 2A

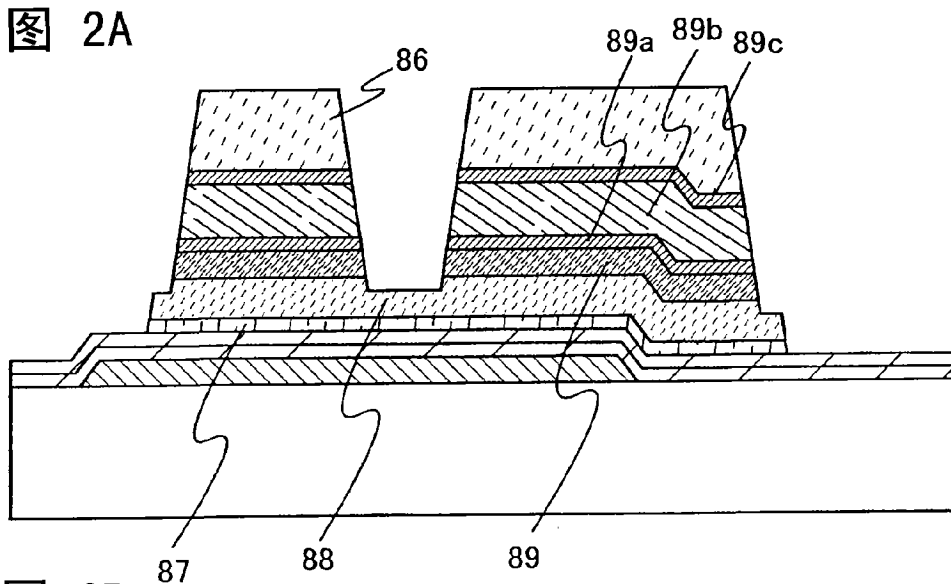


图 2B

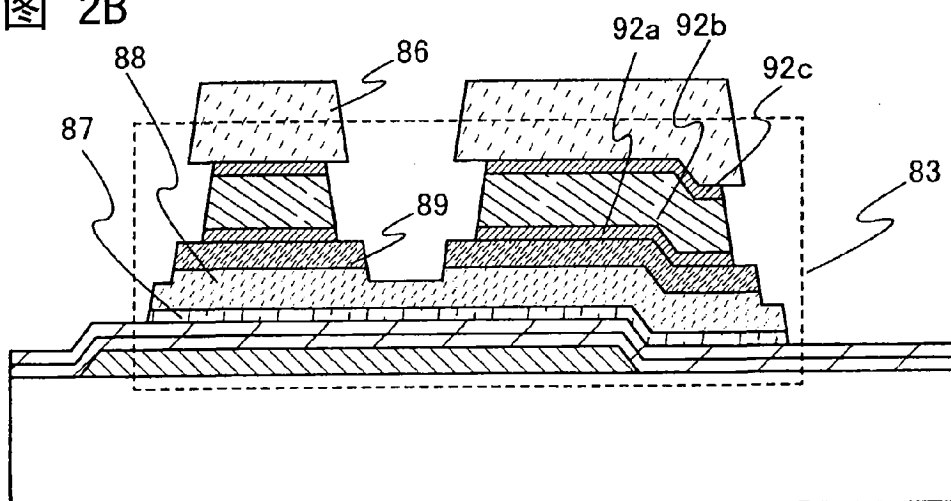


图 2C

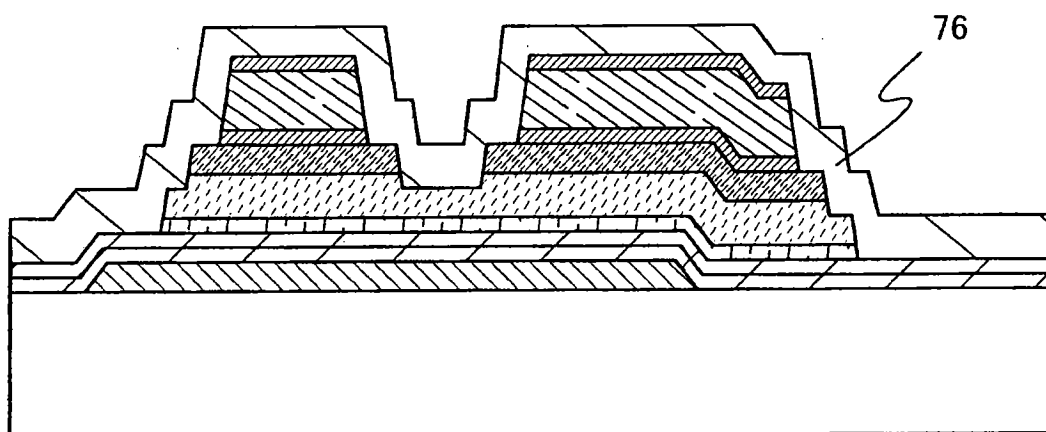


图 3A

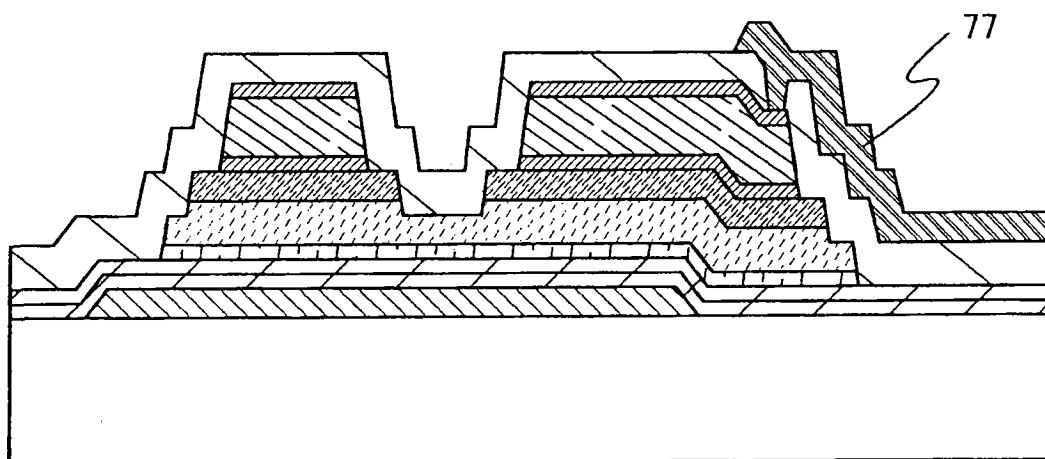


图 3B

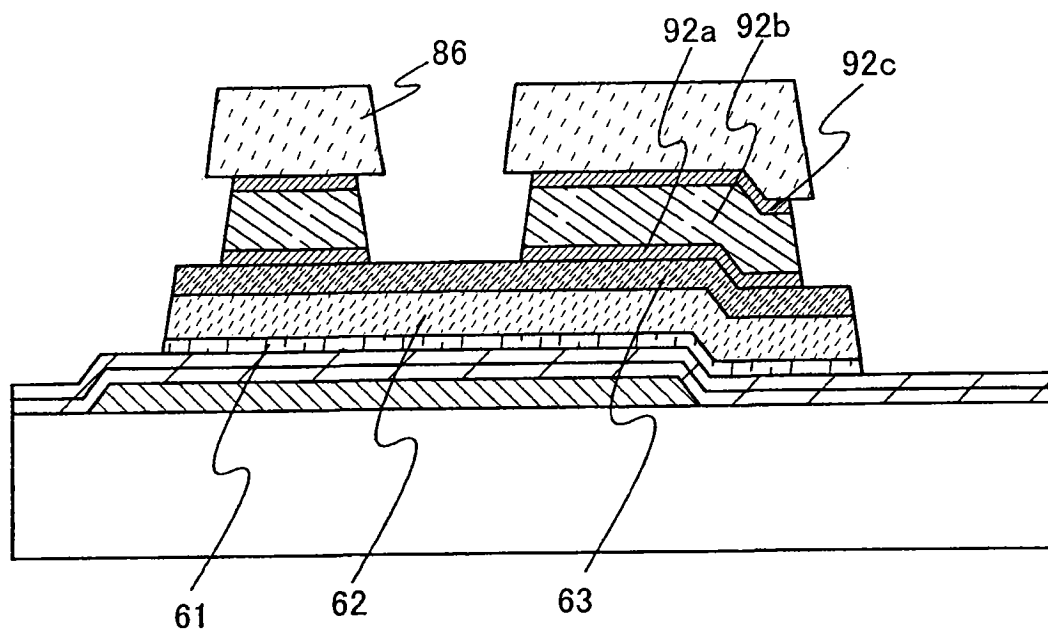


图 4A

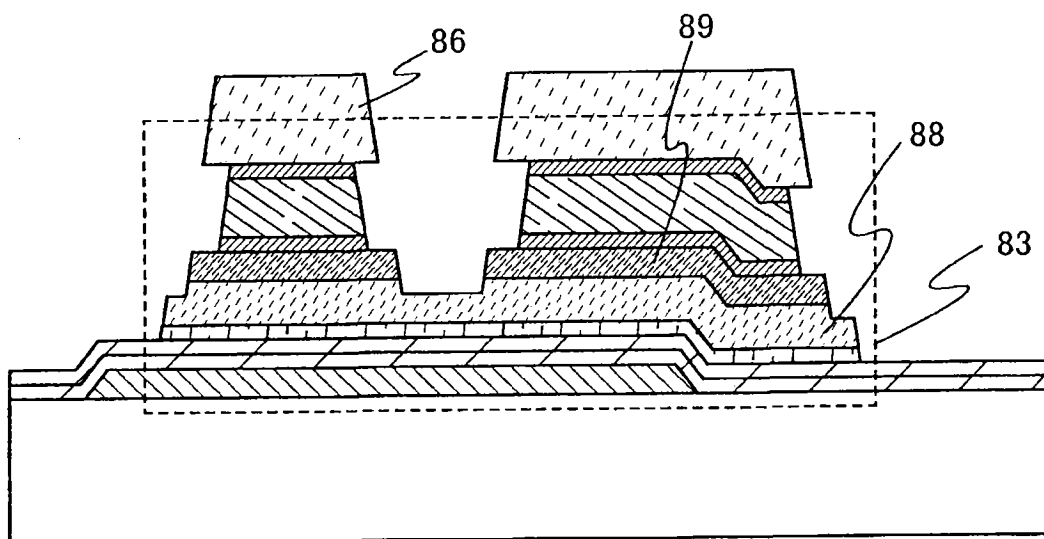


图 4B

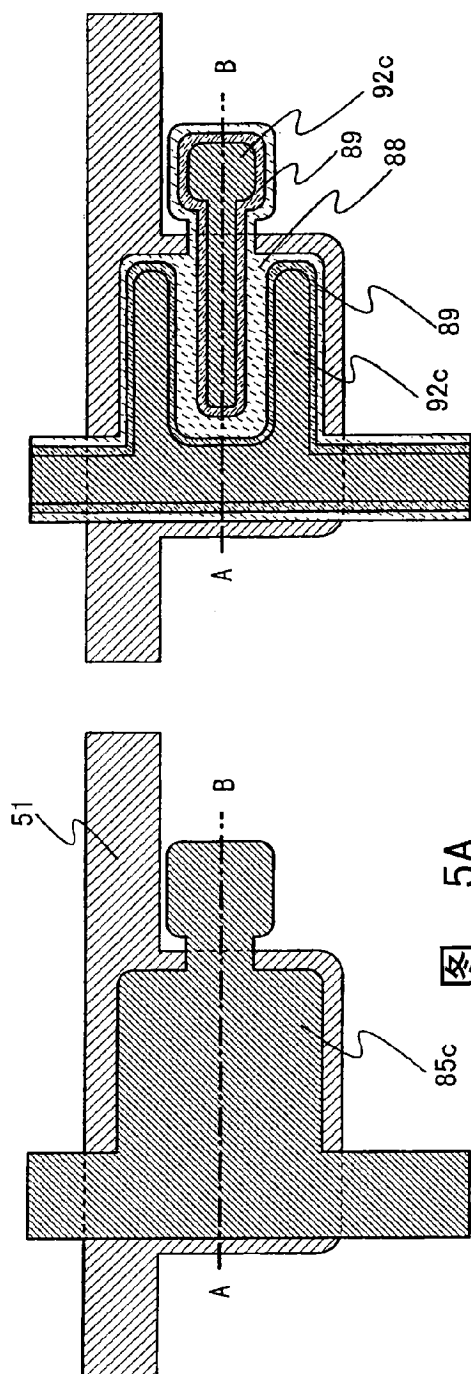


图 5A

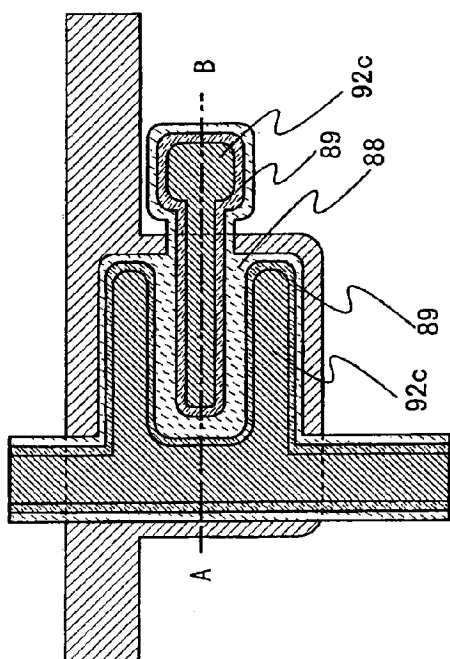


图 5B

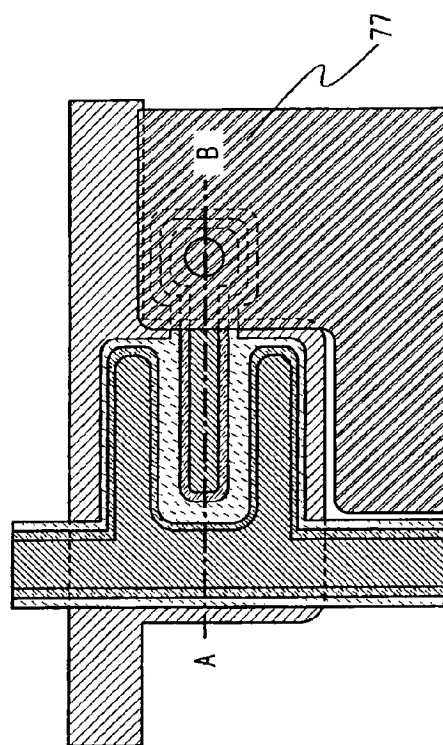


图 5C

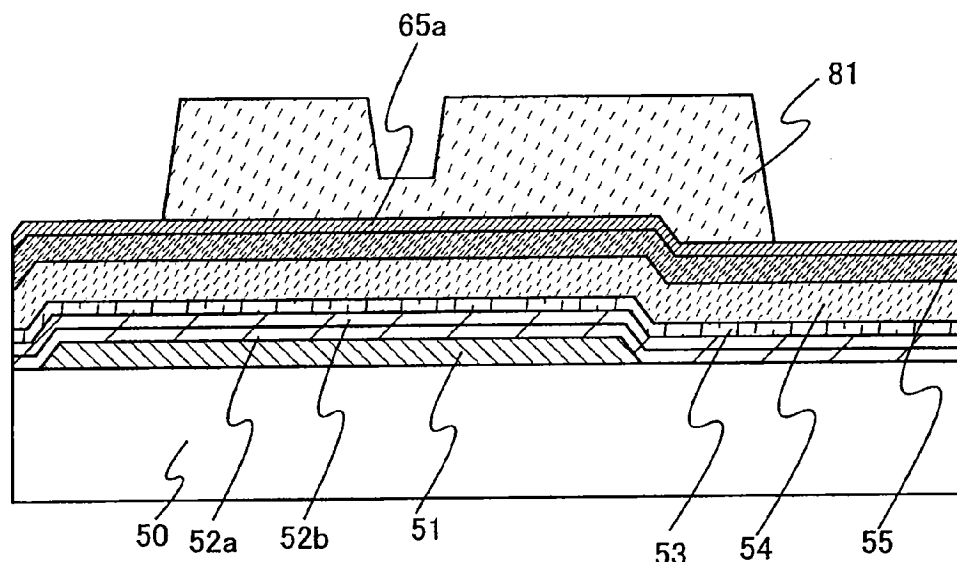


图 6A

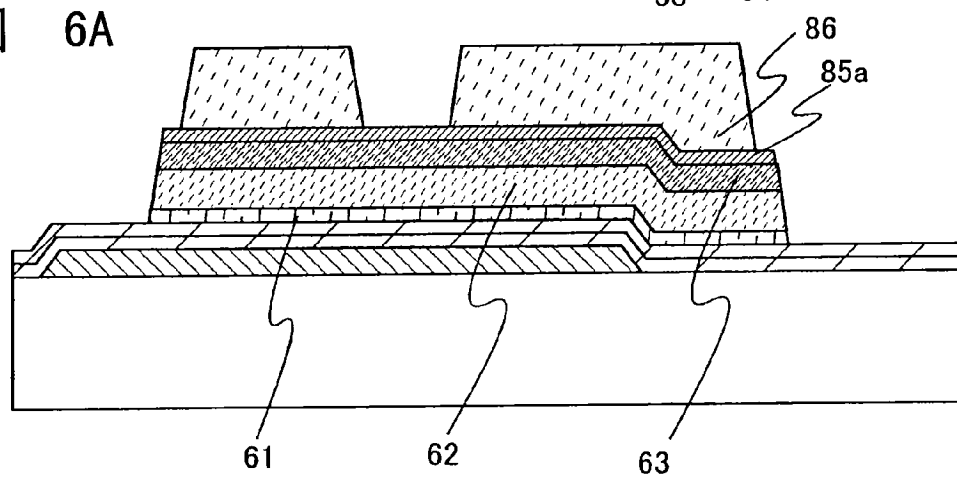


图 6B

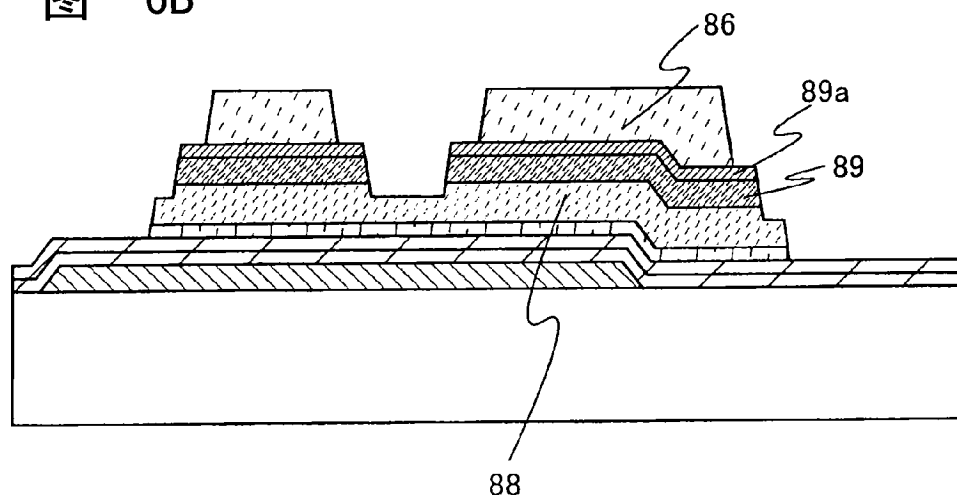


图 6C

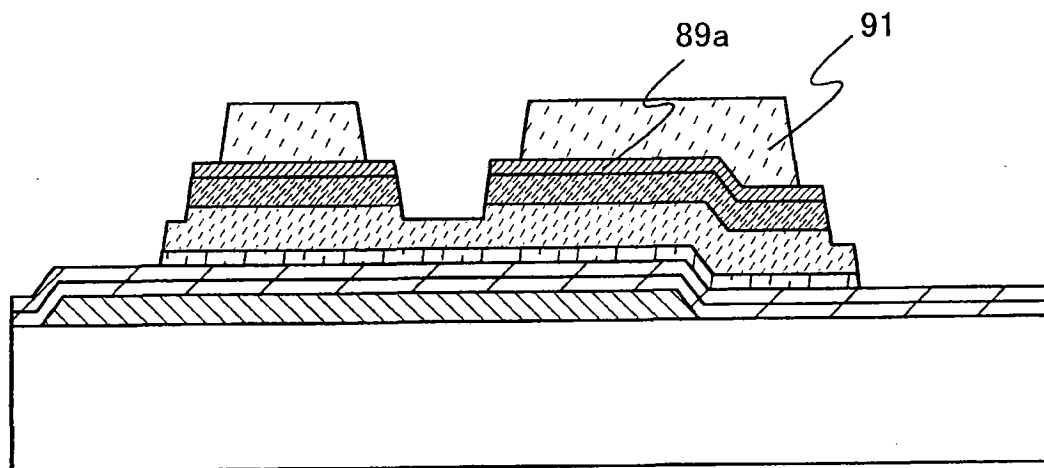


图 7A

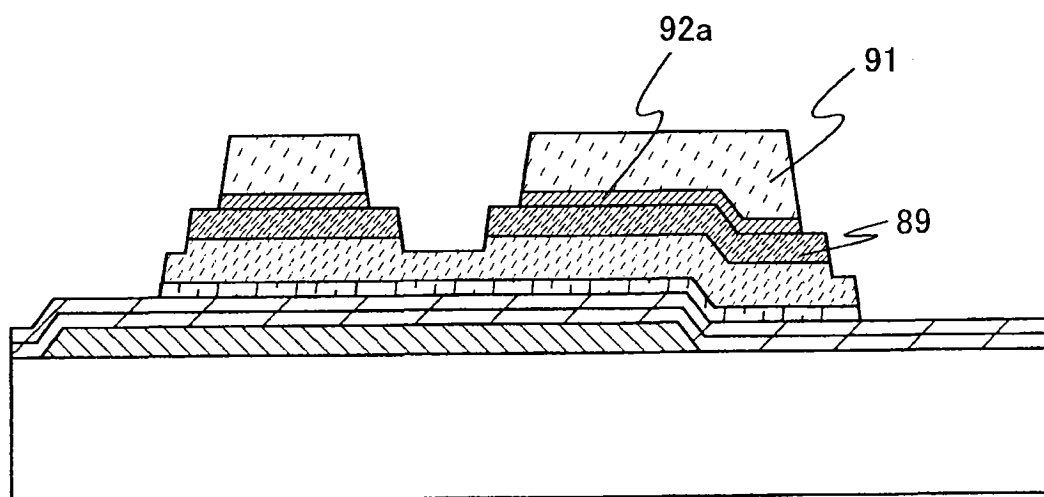


图 7B

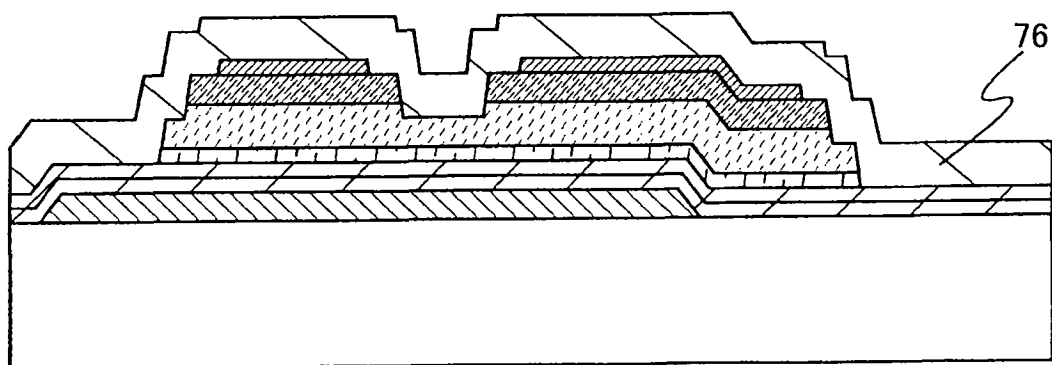


图 7C

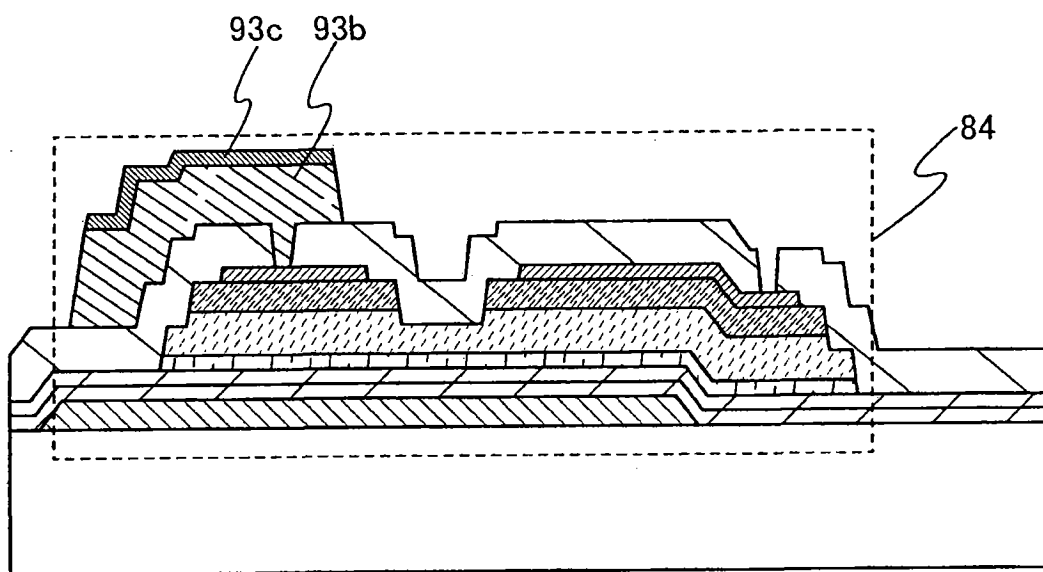


图 8A

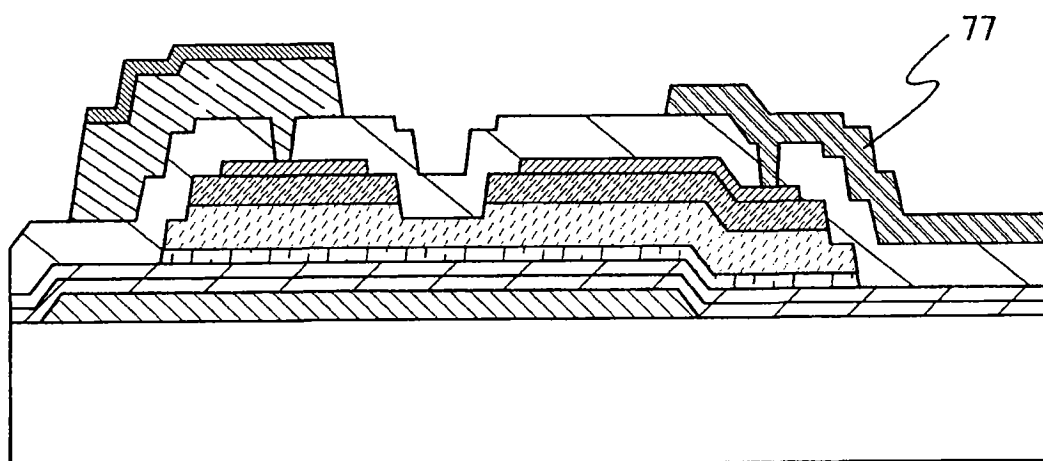
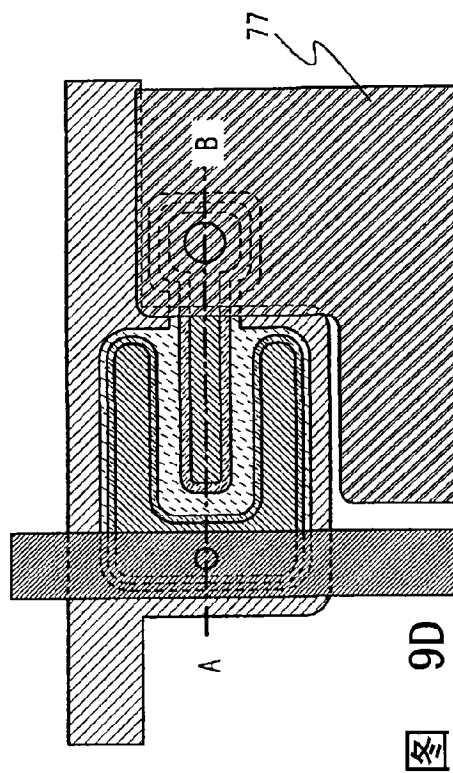
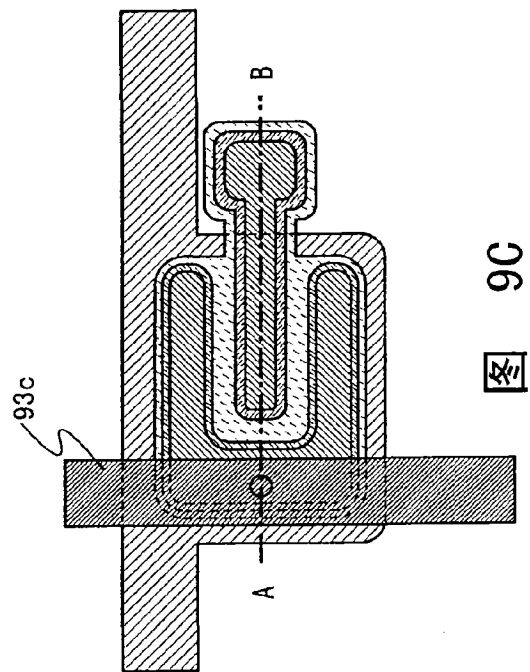
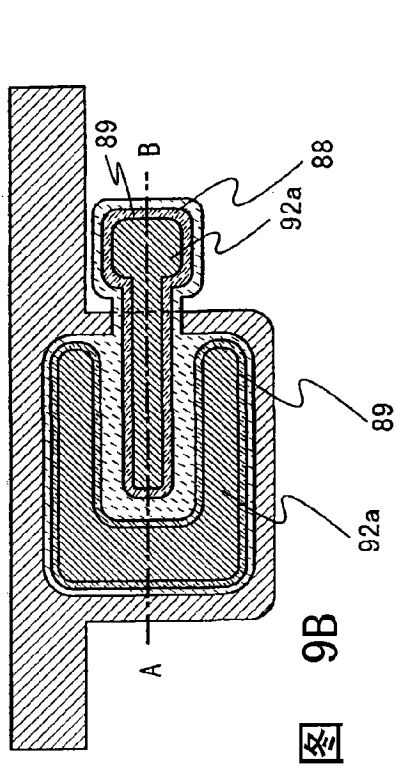
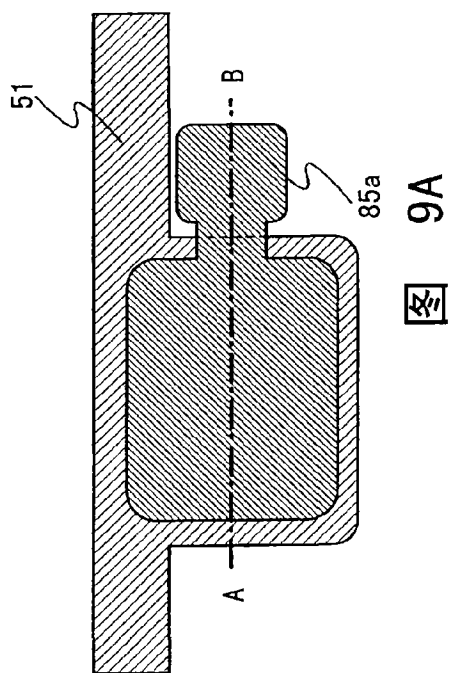


图 8B



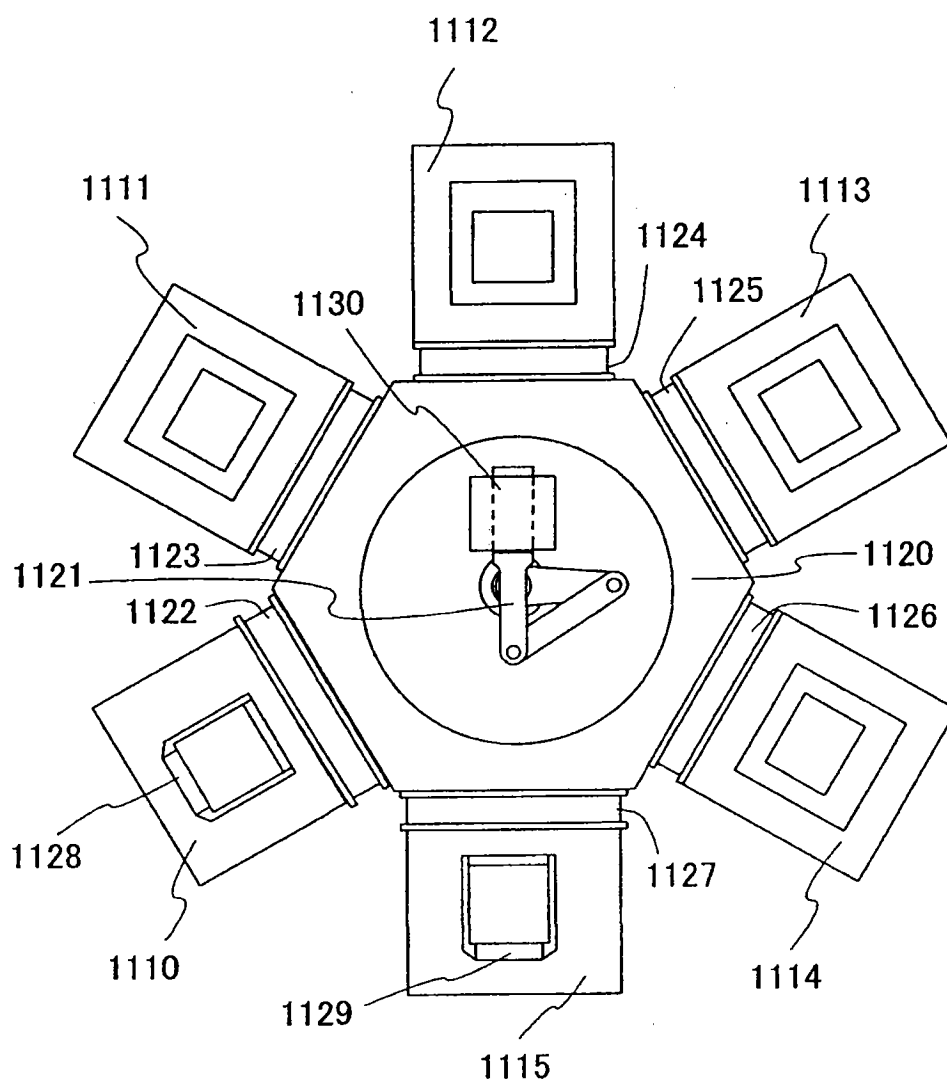


图 10

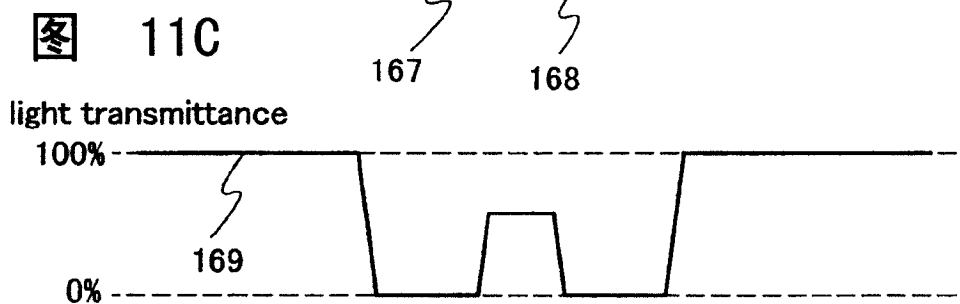
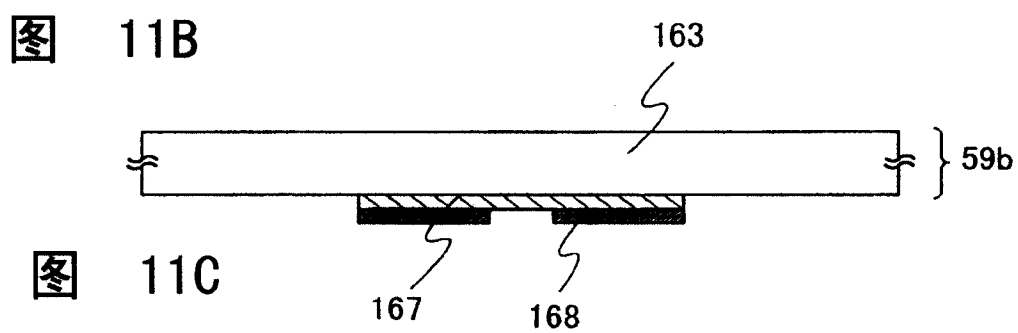
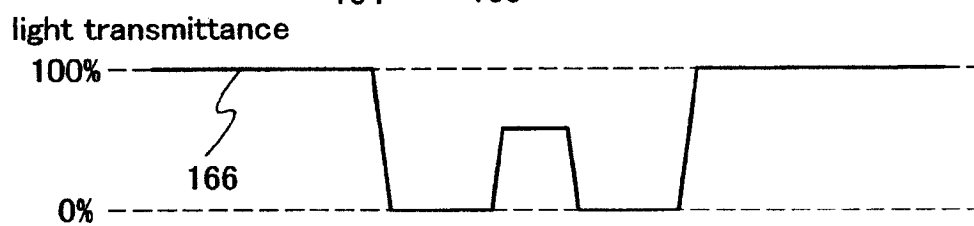
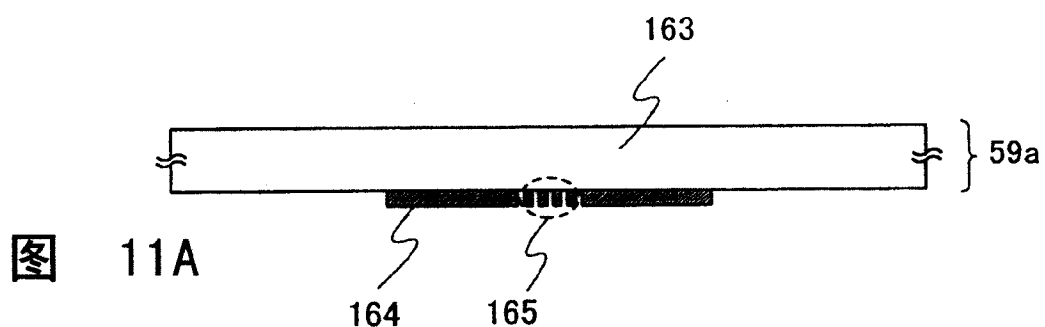


图 11D

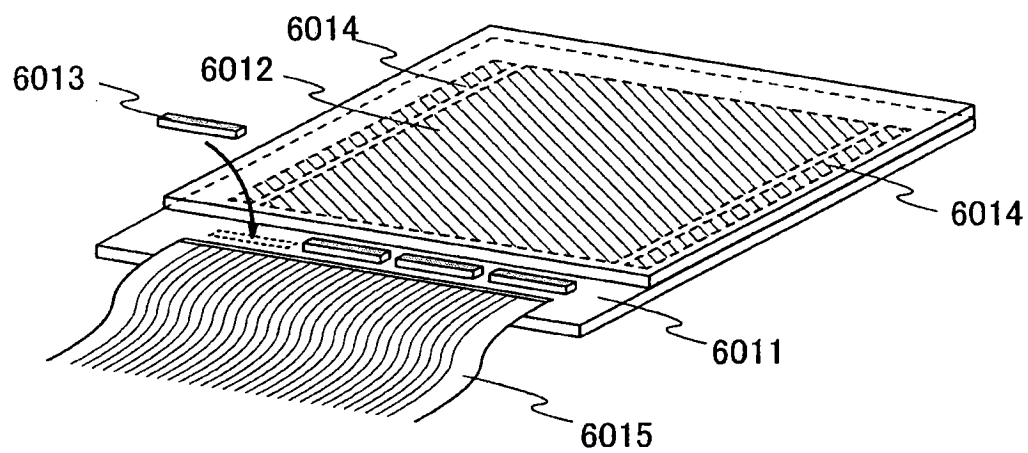


图 12A

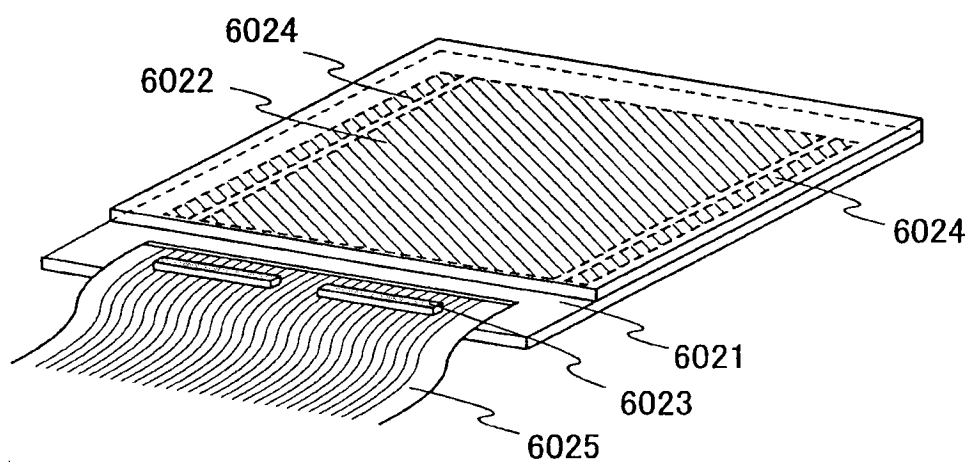


图 12B

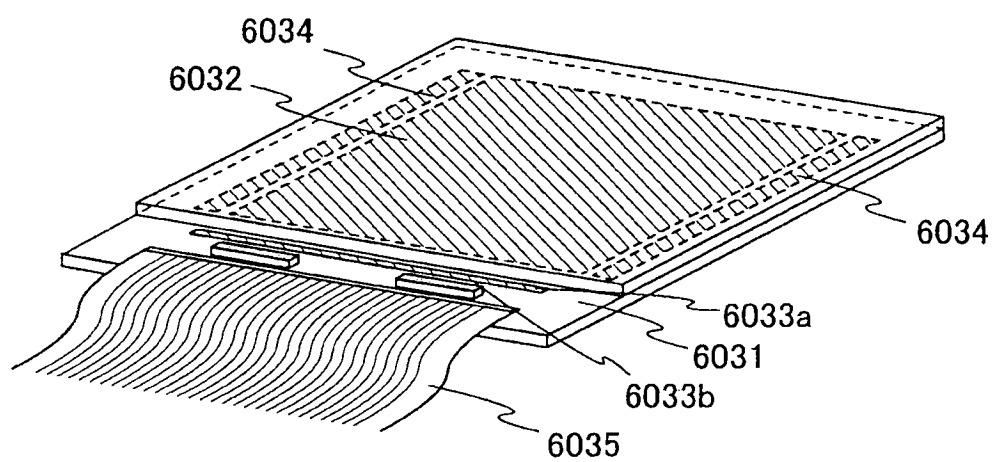


图 12C

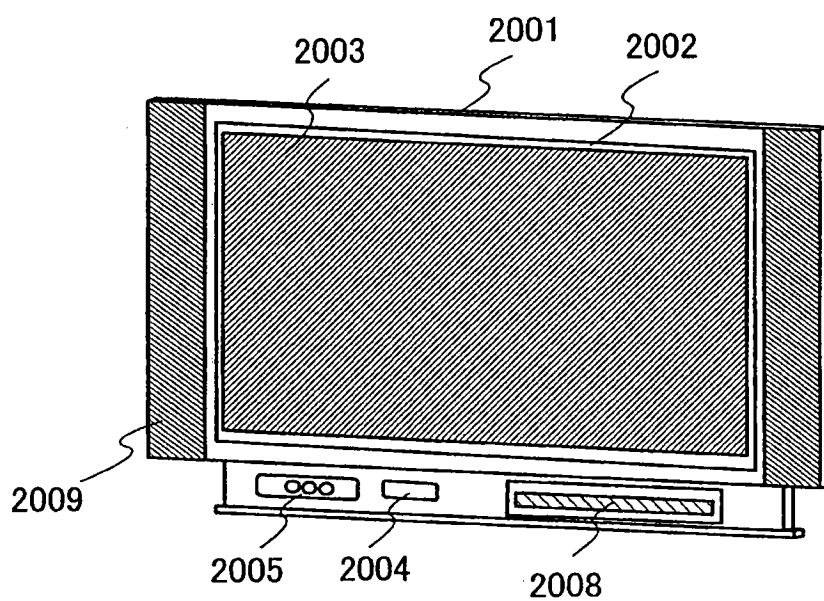


图 13A

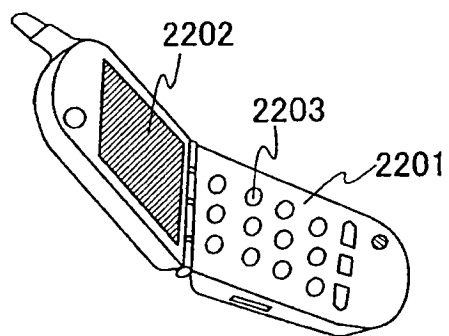
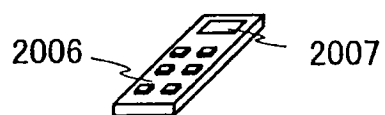


图 13B

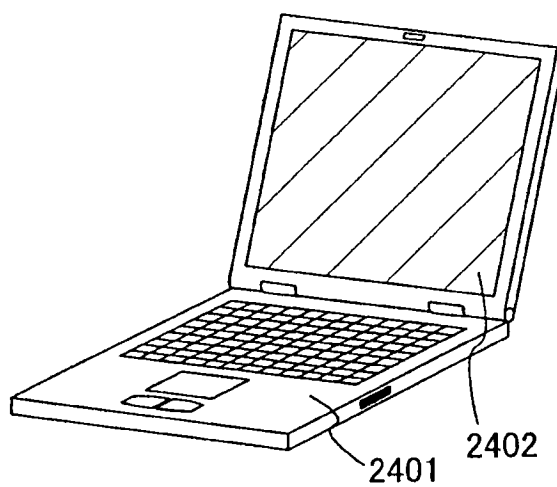


图 13C

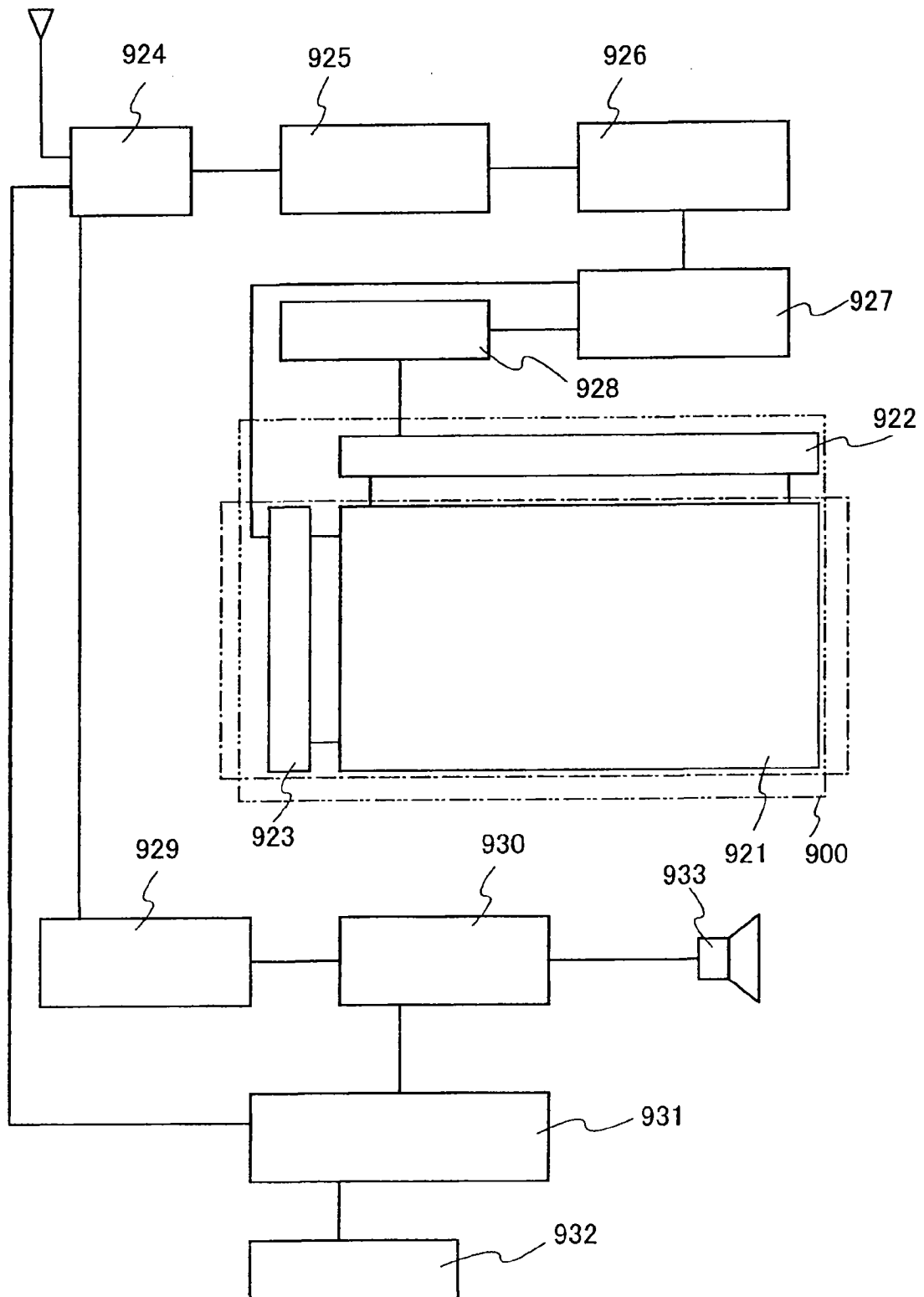


图 14

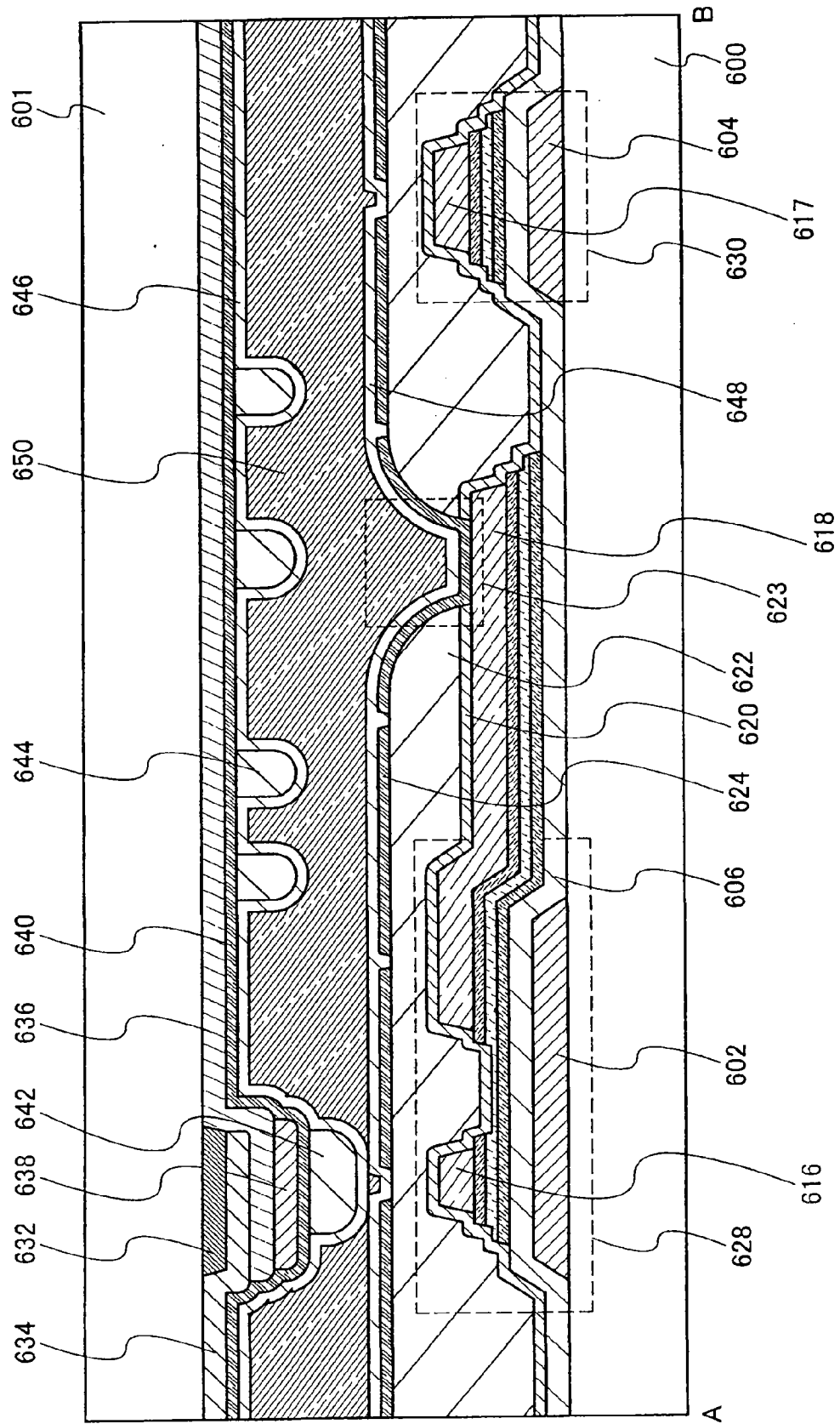


图 15

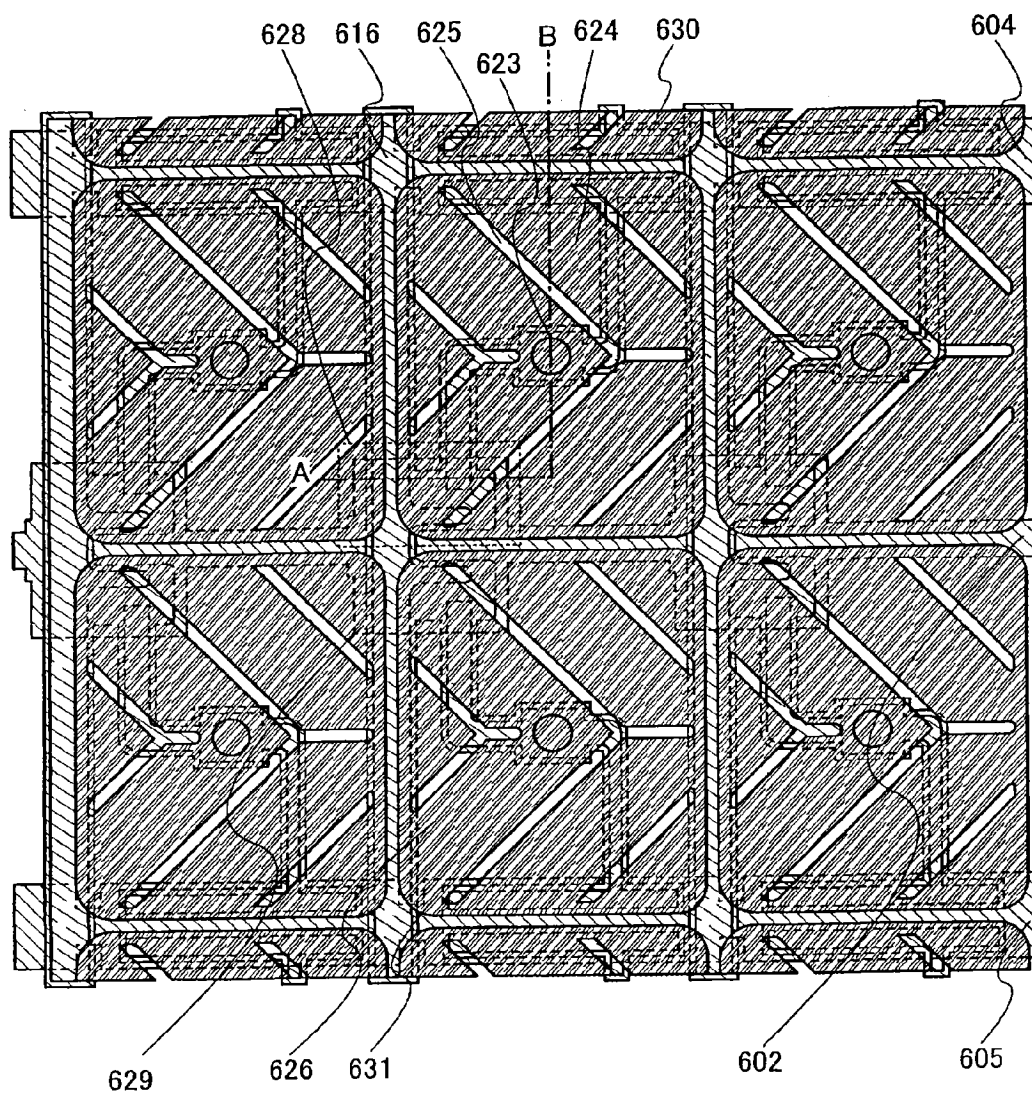


图 16

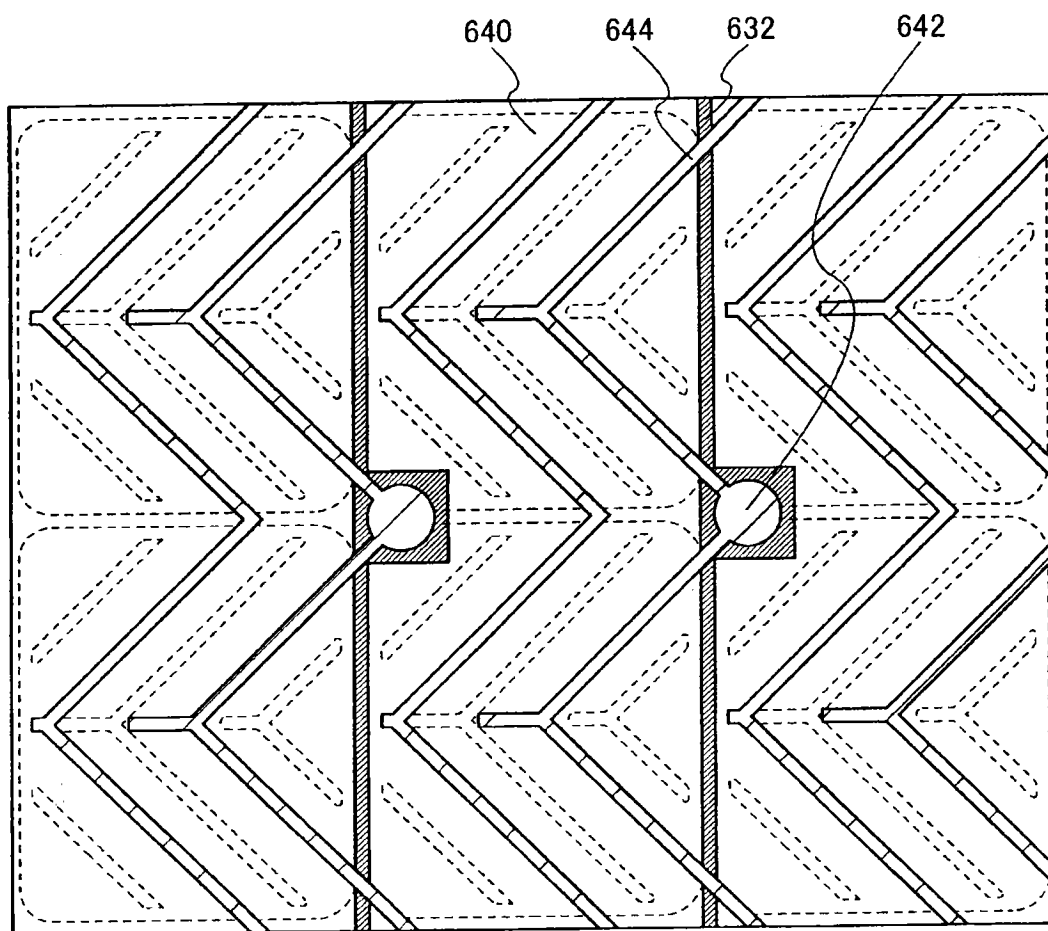


图 17

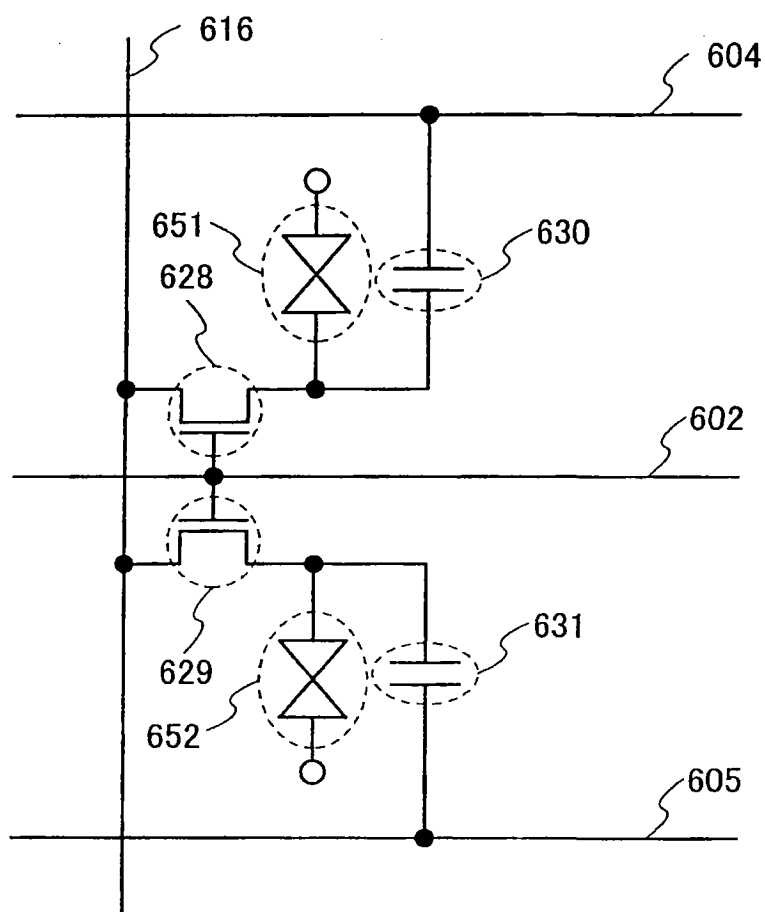


图 18

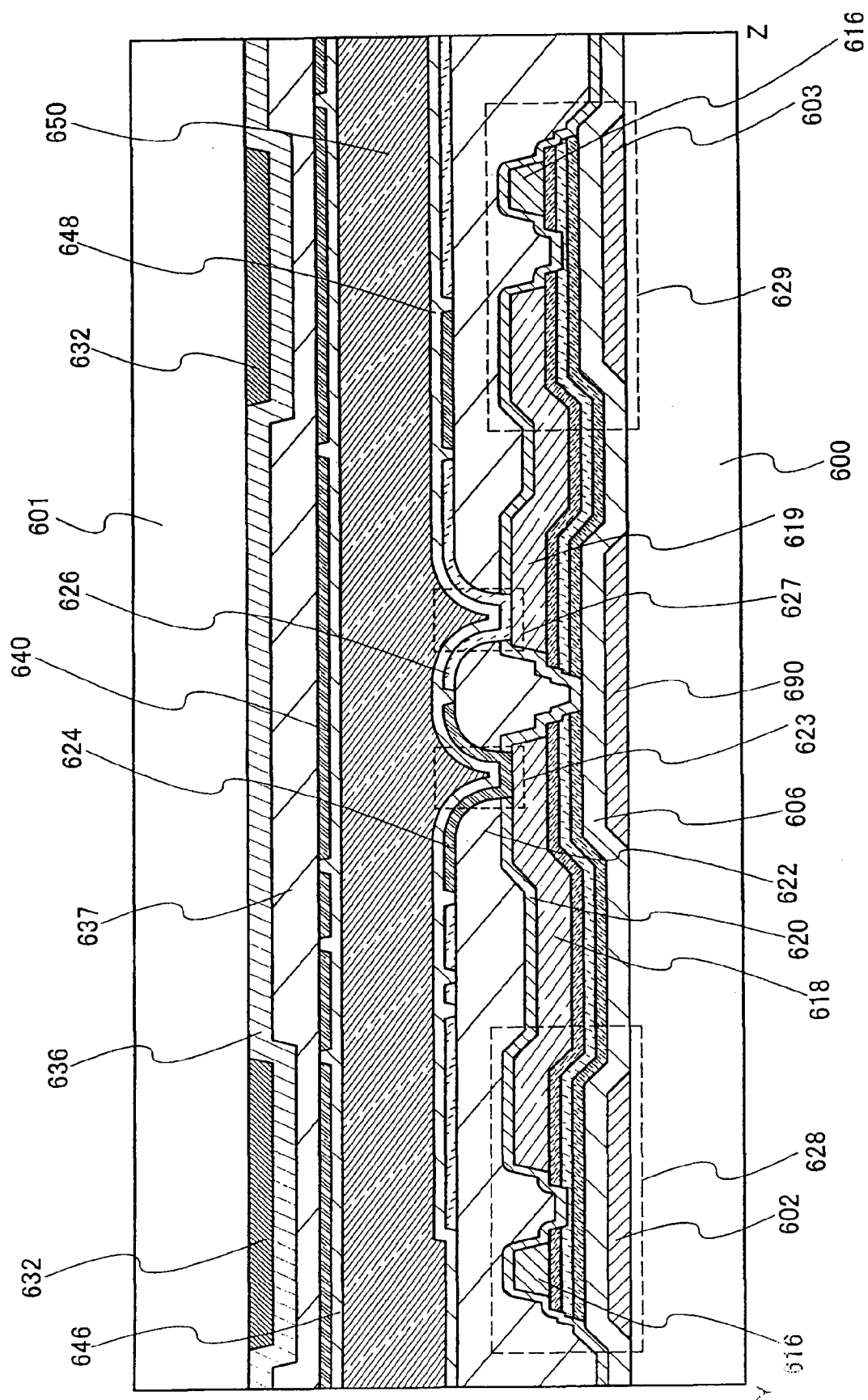


图 19

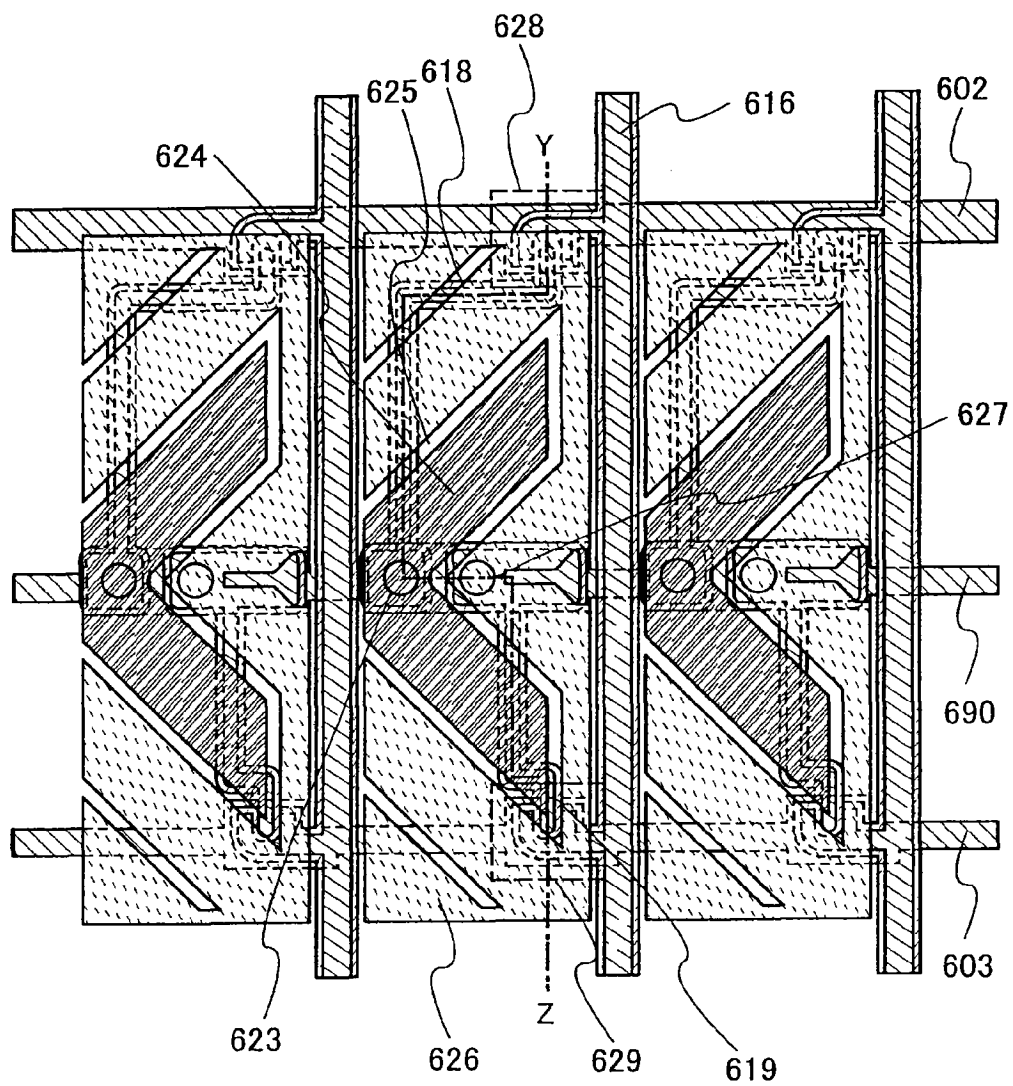


图 20

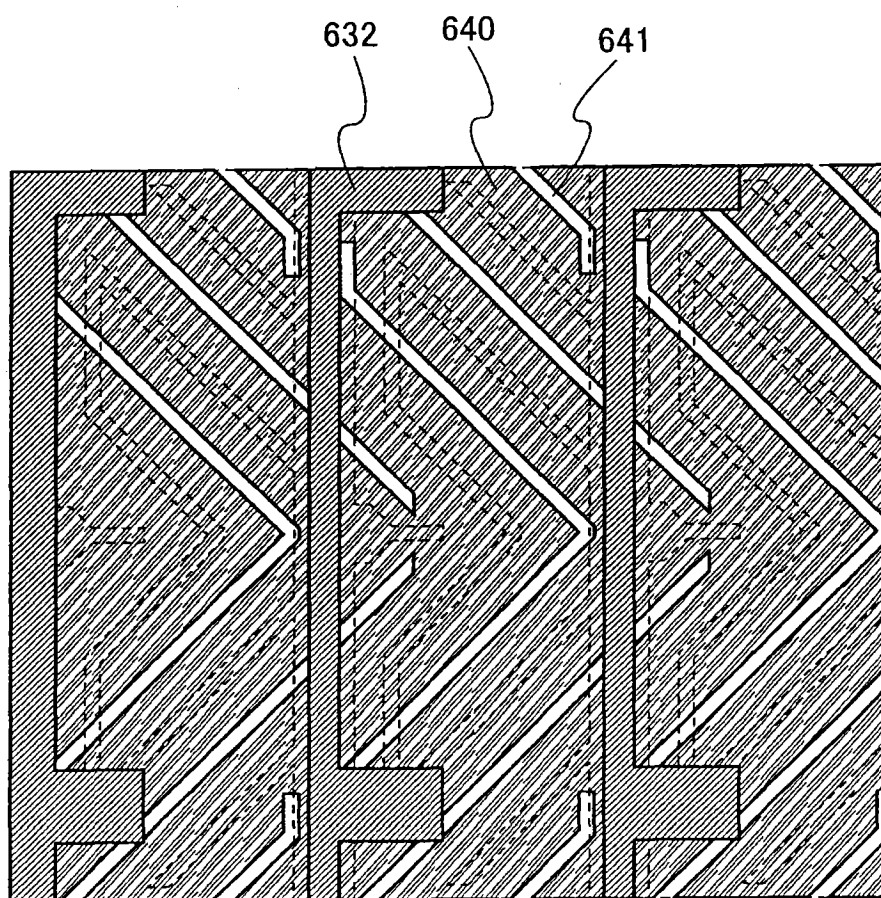


图 21

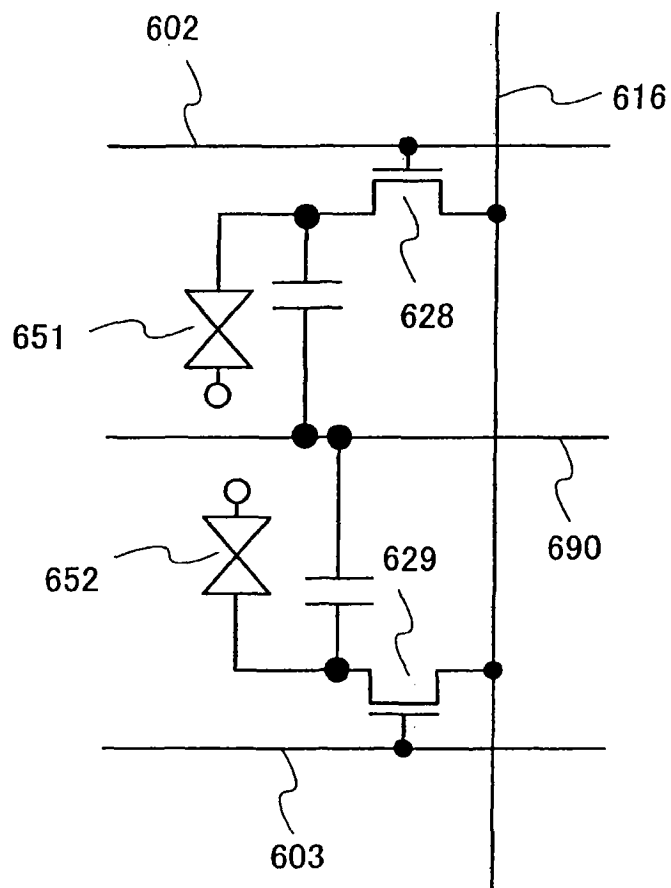
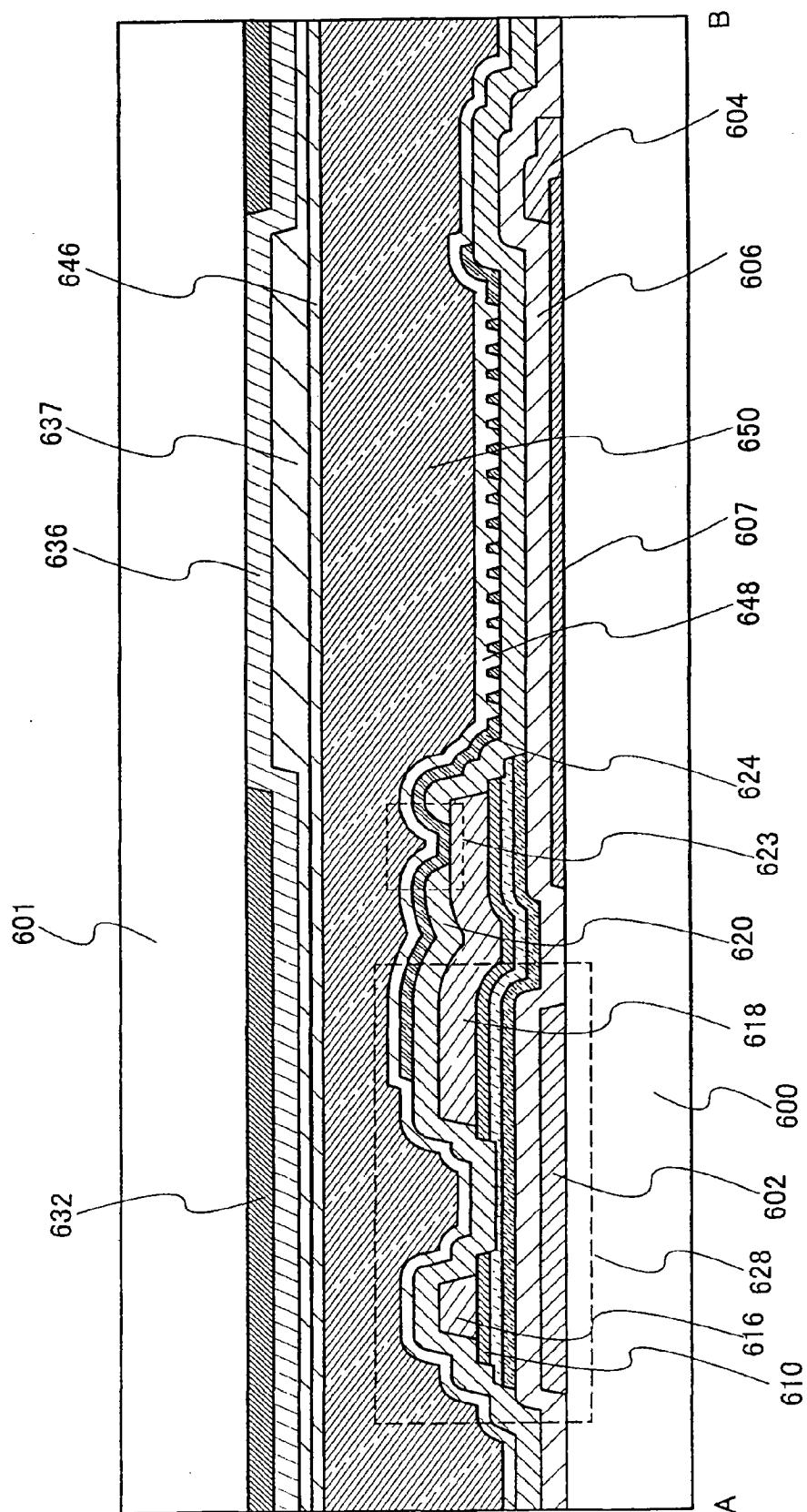


图 22



23

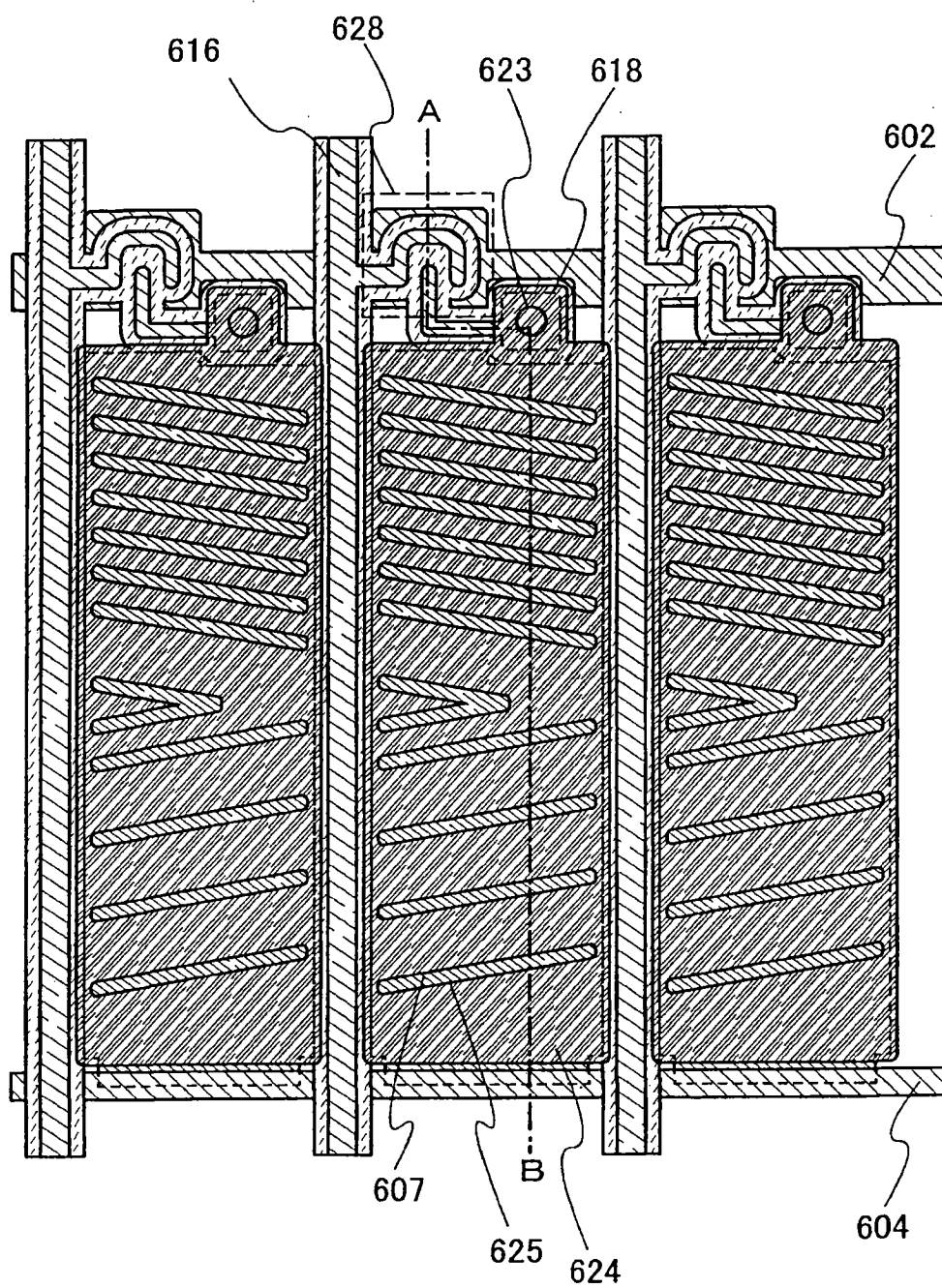


图 24

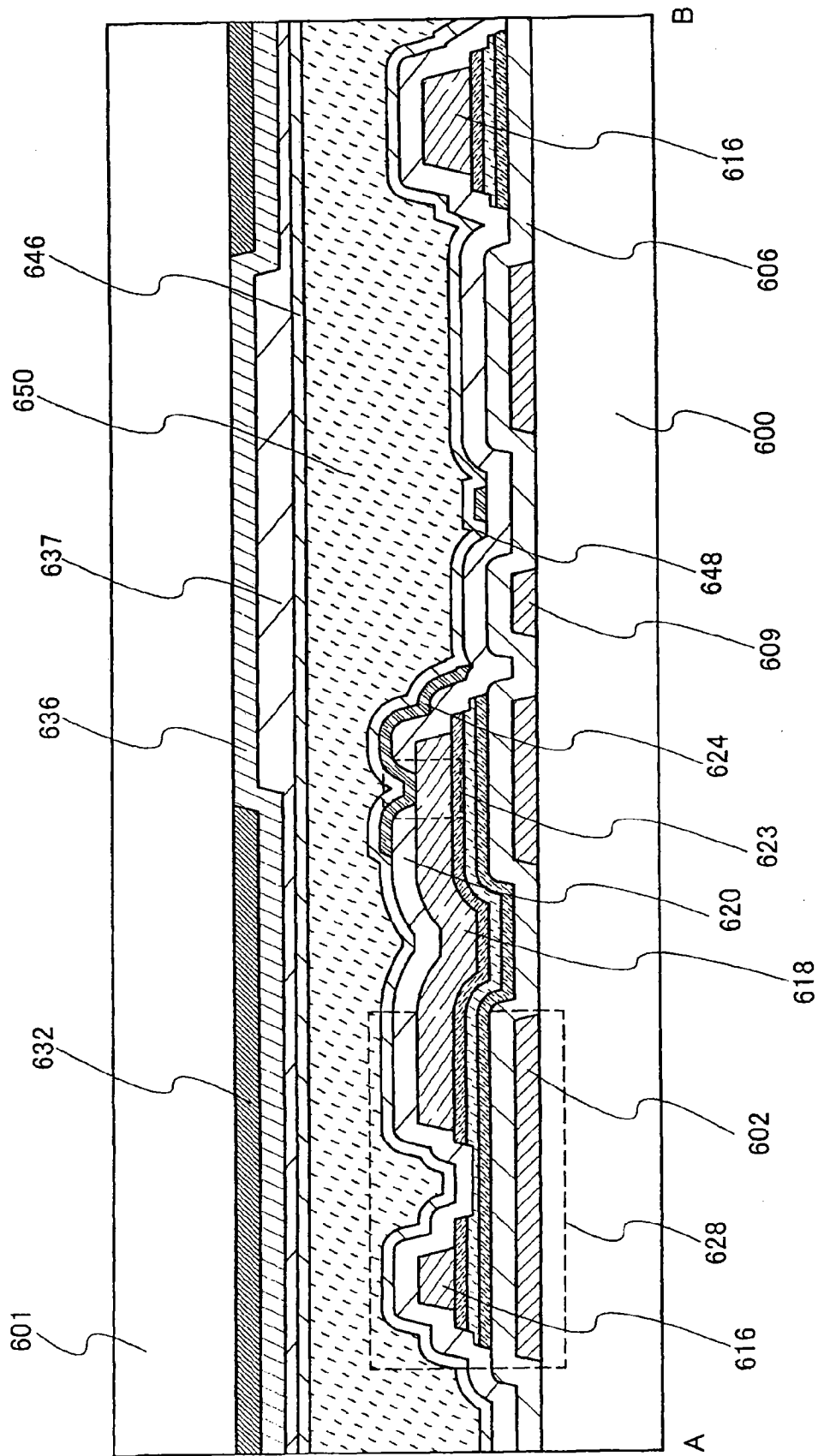


图 25

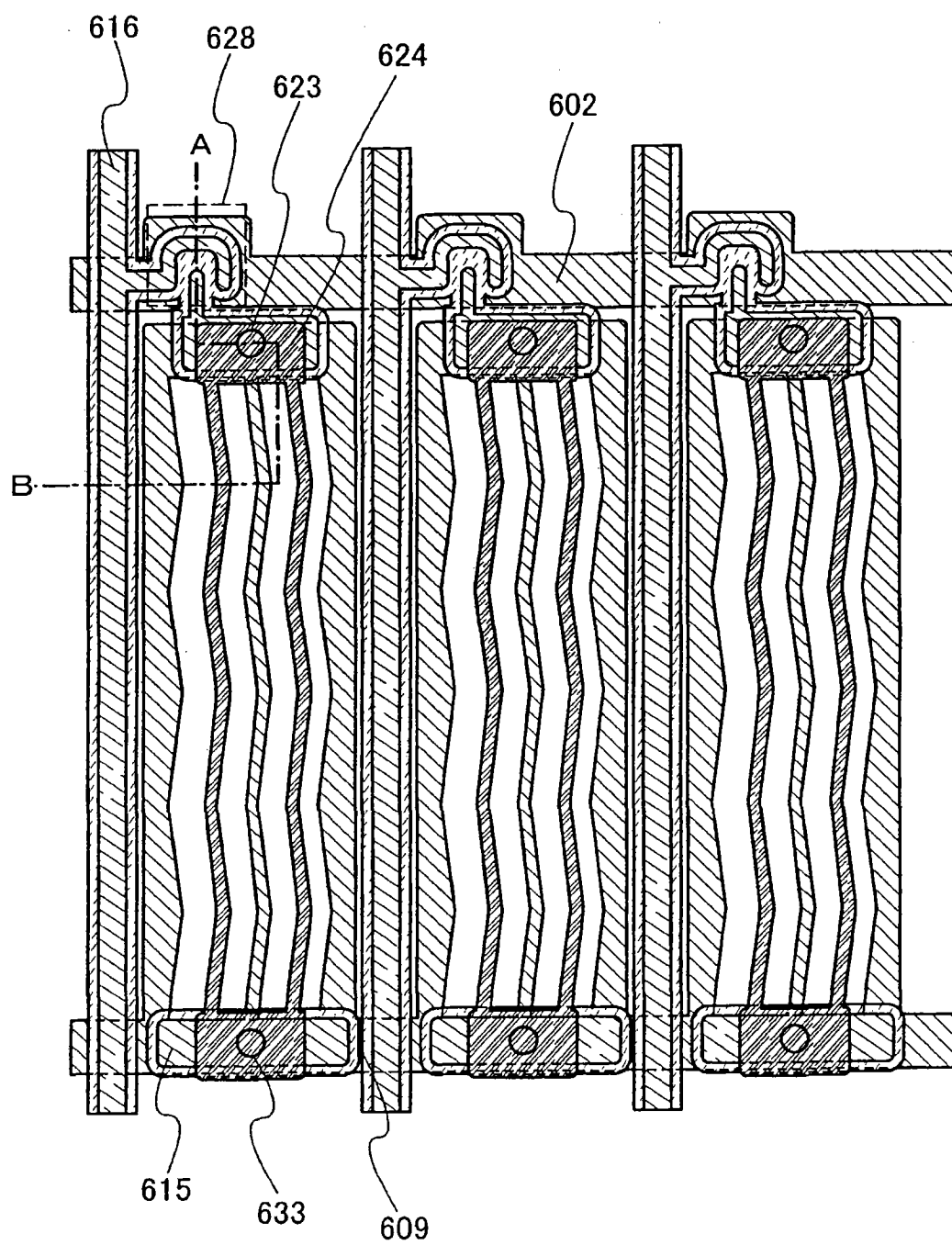


图 26

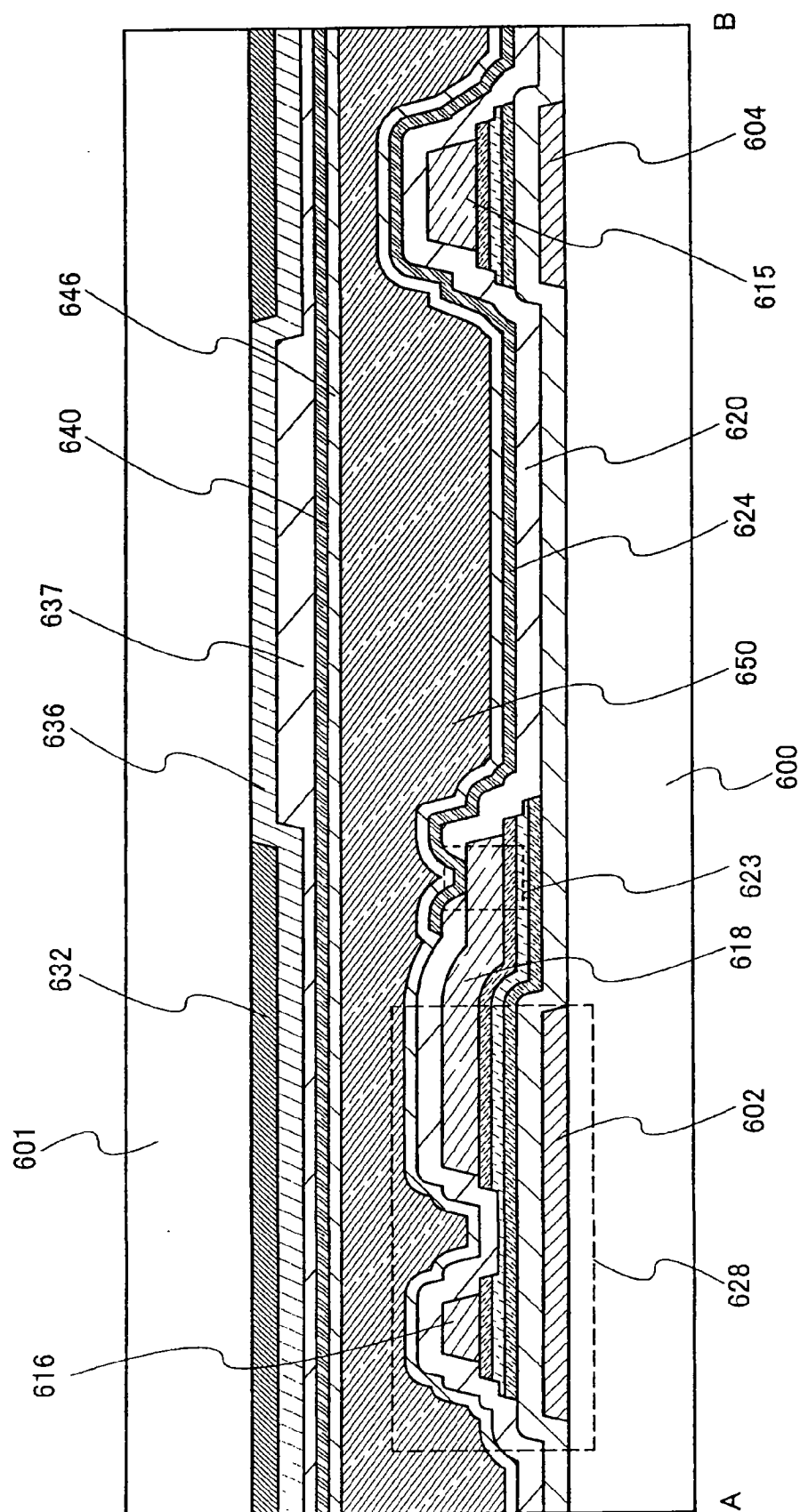


图 27

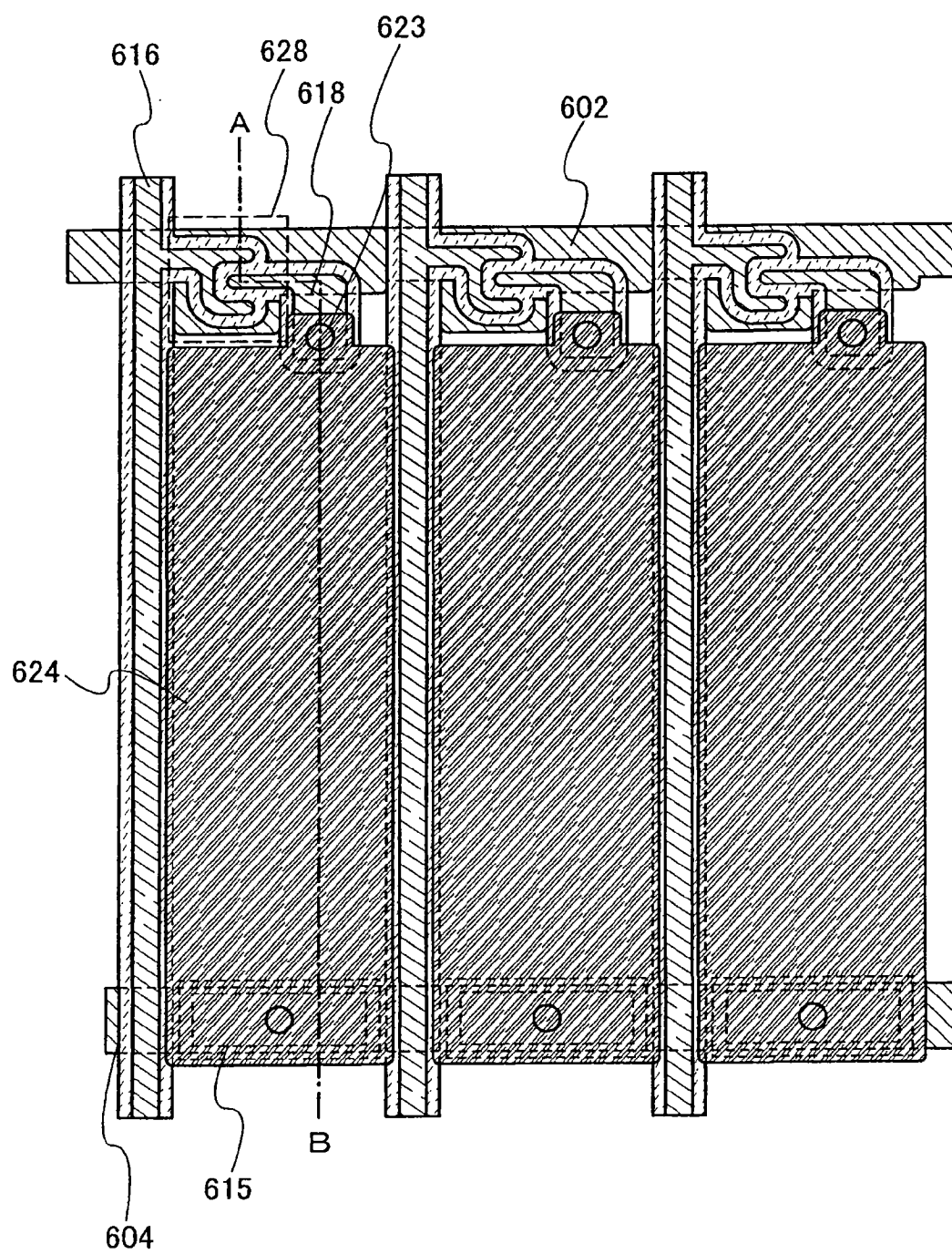


图 28

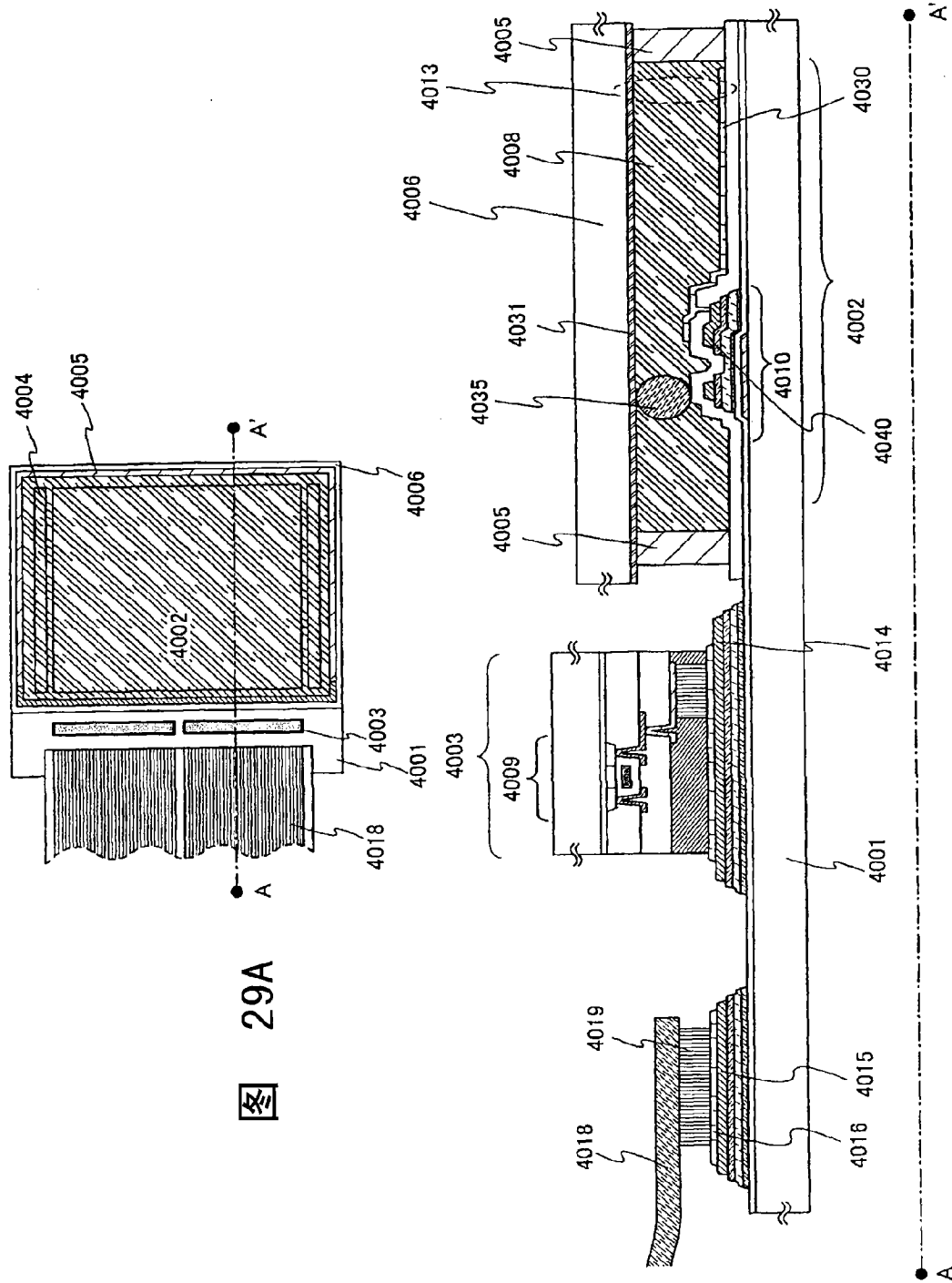


图 29B

图 29A

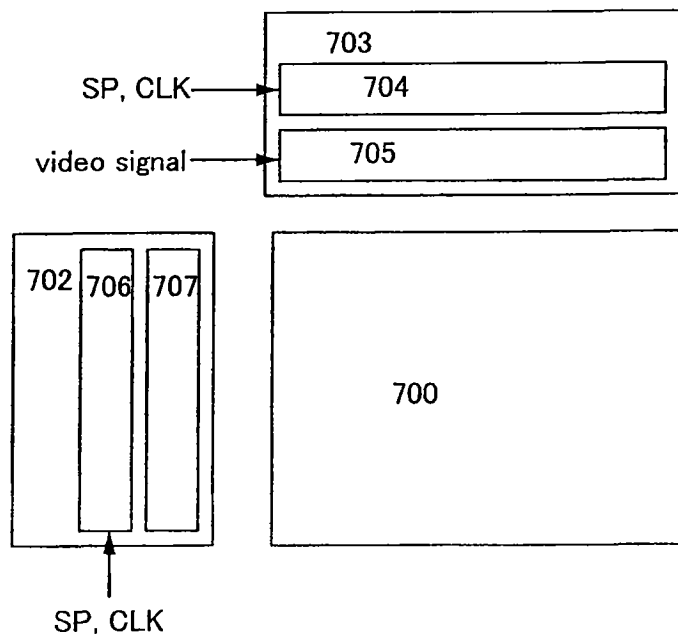


图 30

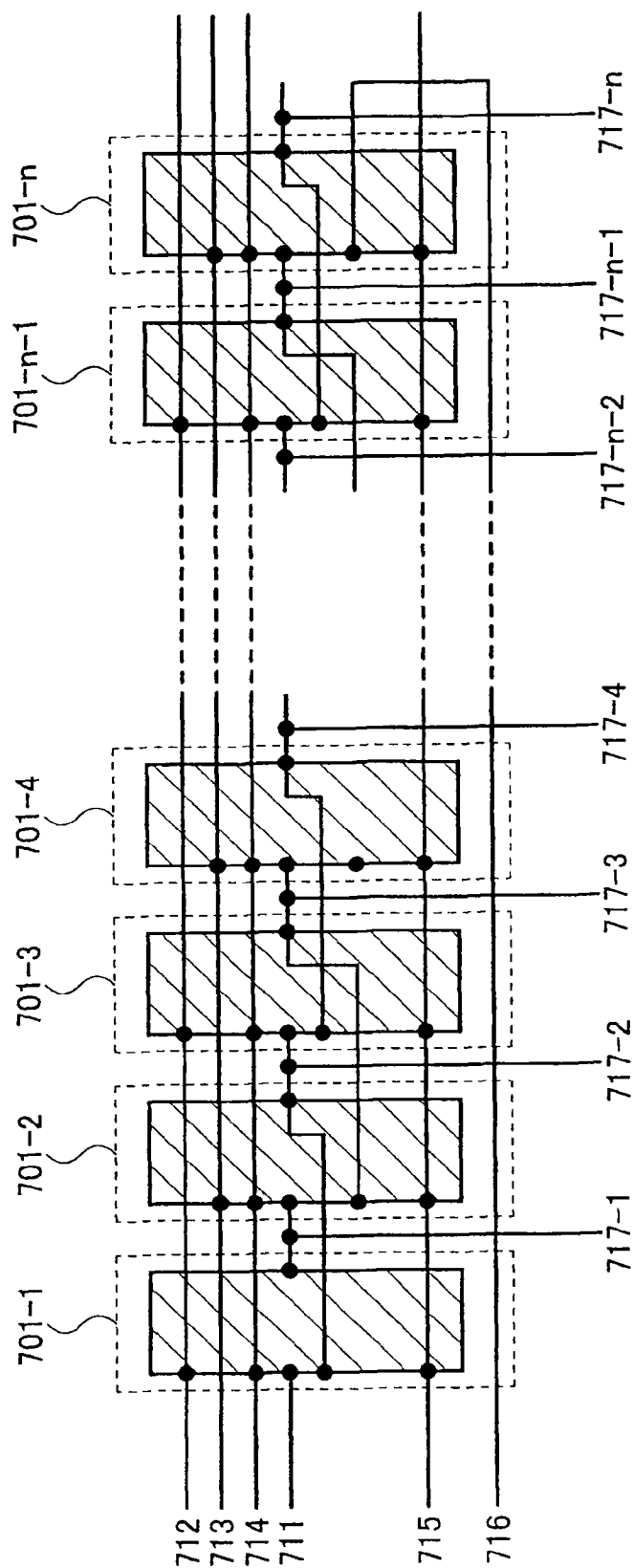


图 31

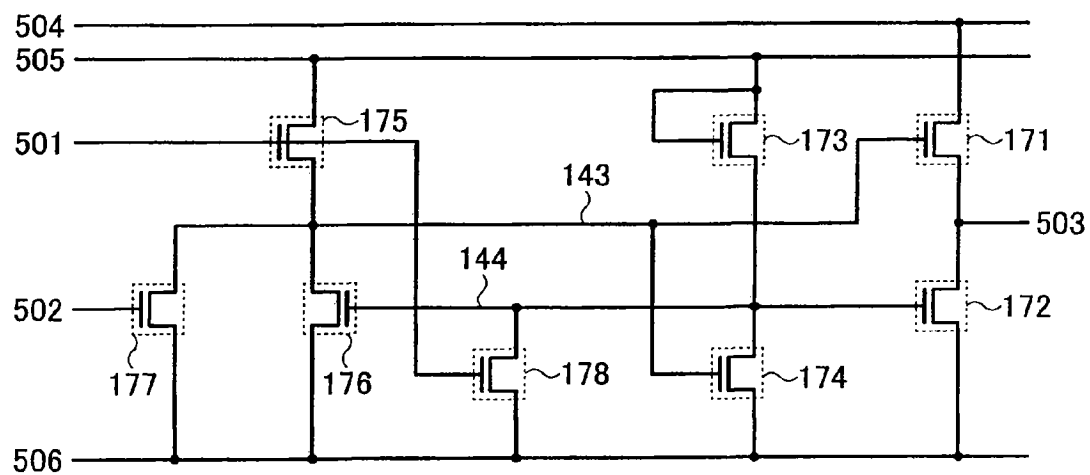


图 32

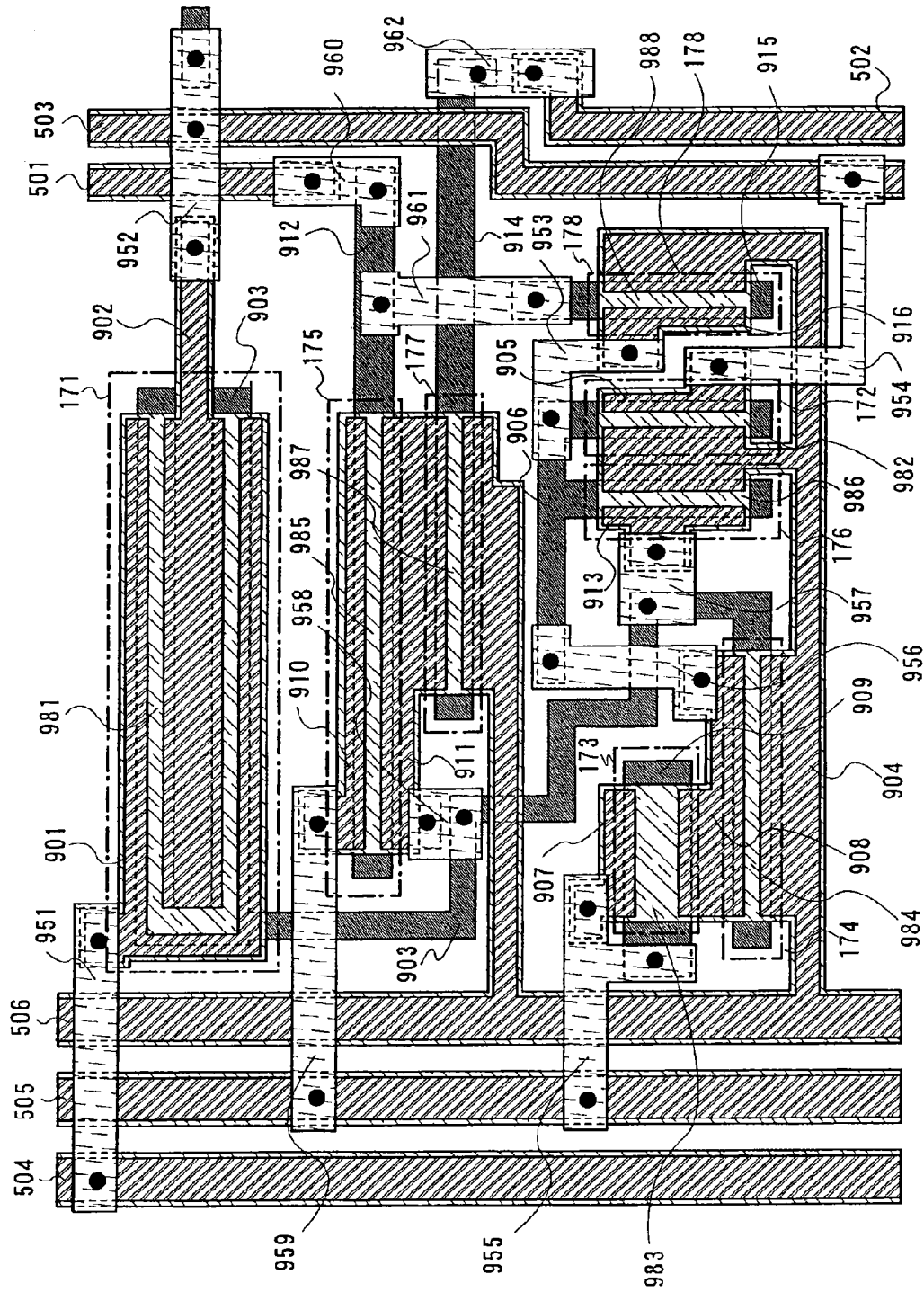
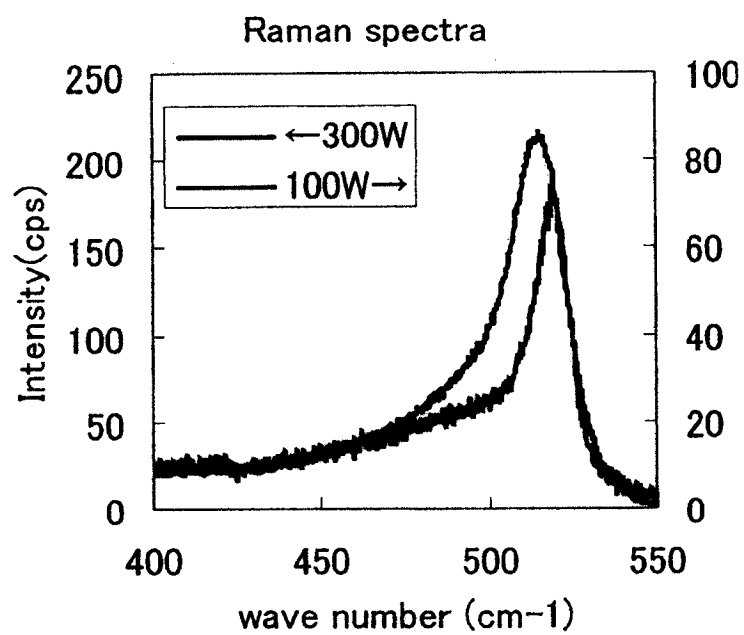


图 33



34A

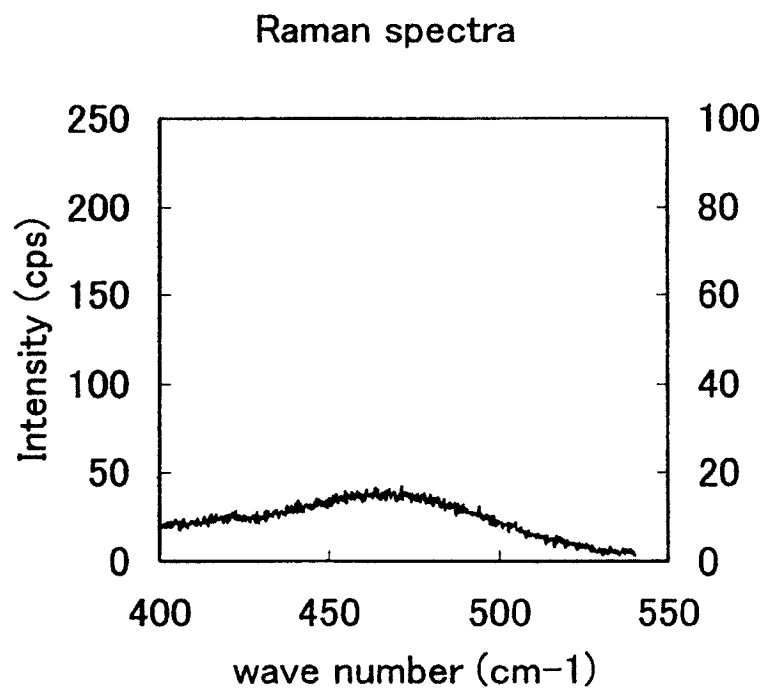


图 34B

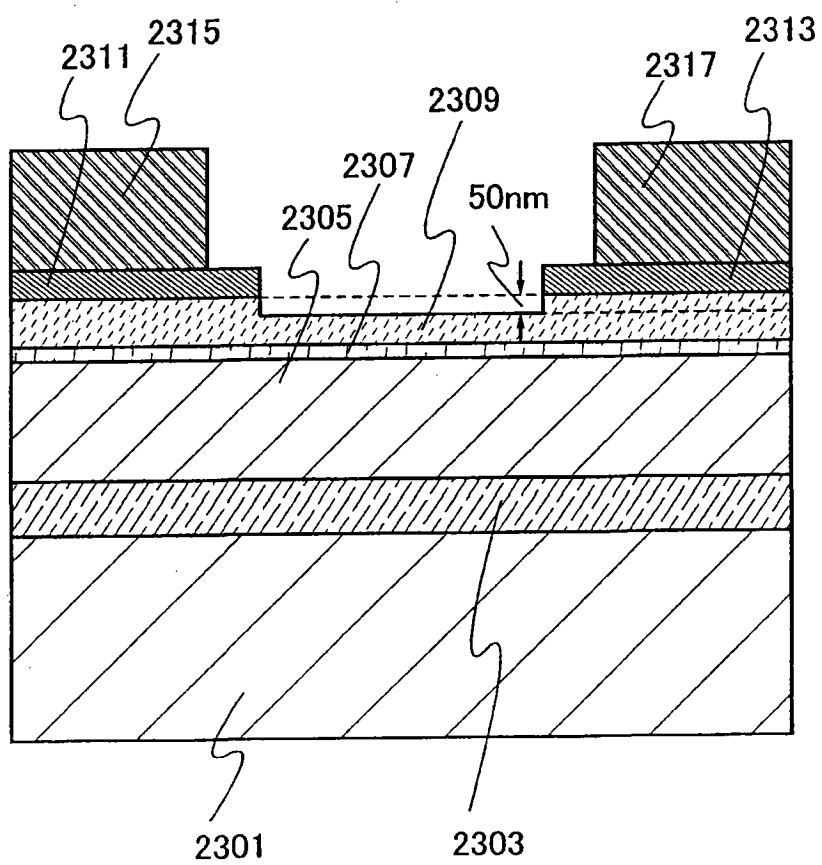


图 35

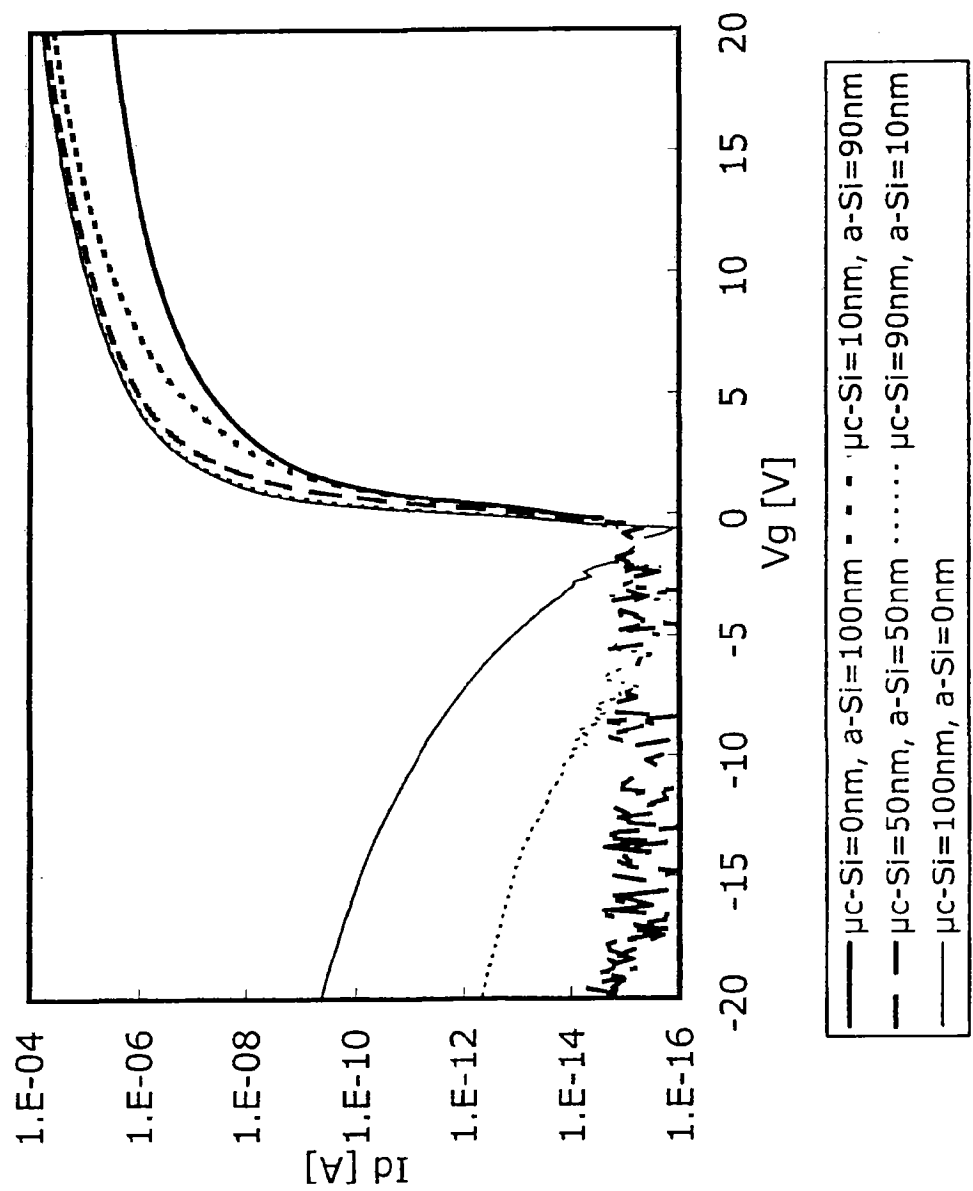


图 36

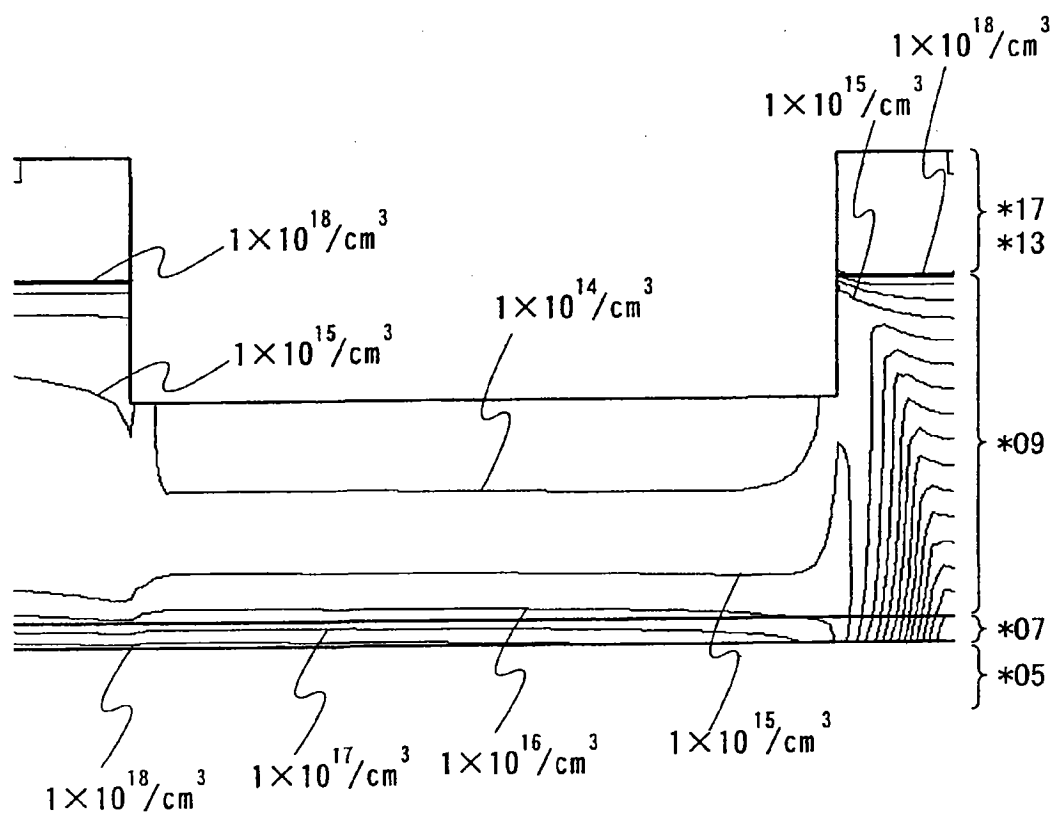


图 37A

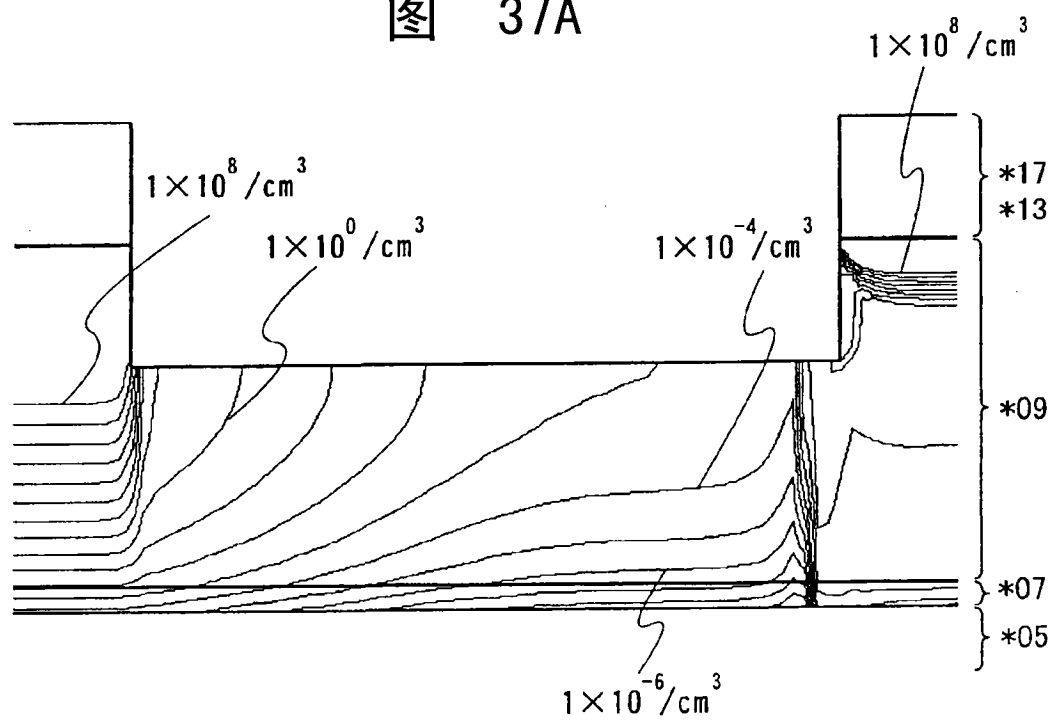


图 37B