

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 22 日(22.11.2012)



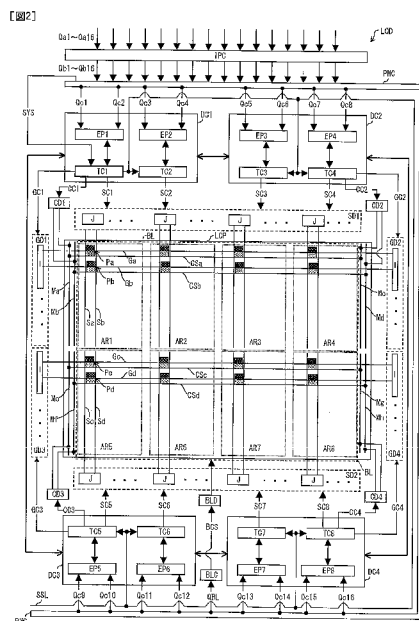
(10) 国際公開番号

WO 2012/157649 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2012/062432
- (22) 国際出願日: 2012 年 5 月 15 日(15.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-111910 2011 年 5 月 18 日(18.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 北城 直大
(HOHJOH, Naohiro).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋 2 丁目北 2
番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: A liquid-crystal display device in one embodiment of the present invention is provided with the following: a display unit; a display control board (DC1) on which a timing controller (TC1) that controls the display of a partial display region (AR1) is provided; a display control board (DC2) on which a timing controller (TC3) that controls the display of another partial display region (AR3) is provided; and an inter-board connection unit that connects said display control boards (DC1 and DC2). If an anomaly has occurred in the display control of the first partial display region (AR1), that timing controller (TC1) sends the inter-board connection unit a failsafe signal.

(57) 要約: 本発明の一態様に係る液晶表示装置は、表示部と、部分表示領域 (AR1) の表示制御を行うタイミングコントローラ (TC1) が設けられた表示制御基板 (DC1) と、部分表示領域 (AR3) の表示制御を行うタイミングコントローラ (TC3) が設けられた表示制御基板 (DC2) と、表示制御基板 (DC1) と表示制御基板 (DC2) とを接続する基板間接続部とを備え、タイミングコントローラ (TC1) は、部分表示領域 (AR1) の表示制御に異常が生じた場合には、基板間接続部にフェイルセーフ信号を送信する。

WO 2012/157649 A1

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、複数のタイミングコントローラが搭載された表示装置に関する。

背景技術

[0002] 液晶表示装置の高精細化に伴う各画素への書き込み時間の短縮、および液晶表示装置の大型化に伴う信号波形の鈍りに対応するため、表示画面を複数の部分表示領域に分割し、各部分表示領域を別々に駆動する構成（画面分割方式）が提案されている（例えば特許文献１～３参照）。この画面分割方式では、例えば、１画面を上下分割し（上側領域を第１領域、下側領域を第２領域とする）、第１領域にはフレームの前半（上側）を表示し、第２領域には該フレームの後半（下側）を表示する。

[0003] また、高精細な映像規格として、フルＨＤ（Full High Definition）（１９２０×１０８０画素の解像度）の４倍（縦２倍×横２倍）の画素数を有するＱＦＨＤ（Quad Full High Definition）（通称４Ｋ２Ｋ）、および、フルＨＤの１６倍（縦４倍×横４倍）の画素数を有するＳＨＶ（Super Hi-Vision、またはＵＨＤＴＶ：Ultra High Definition Television）（通称８Ｋ４Ｋ）の規格が提案されている。

先行技術文献

特許文献

[0004] 特許文献１：日本国公開特許公報「特開平１０－２６８２６１号公報（１９９８年１０月９日公開）」

特許文献２：日本国公開特許公報「特開２００９－１８６６１６号公報（２００９年８月２０日公開）」

特許文献３：日本国公開特許公報「特開２００２－３１１９１３号公報（２００２年１０月２５日公開）」

発明の概要

発明が解決しようとする課題

[0005] これらの超高精細（4 K 2 K解像度または8 K 4 K解像度）の映像信号を表示する場合、処理しなければならない信号の量が大量になるので、現状では画面分割方式によって表示せざるを得ない。また、例えば8 K 4 K解像度の映像信号を表示させる場合、その画素数のために表示パネル自体も大型になる。また、大量の映像信号を処理するため、表示を制御するタイミングコントローラも複数設ける必要が出てくる。

[0006] しかしながら、タイミングコントローラの映像信号の出力の準備が、何らかの原因により、正常に行われない場合、そのタイミングコントローラに対応する部分表示領域にだけ画像が表示されないといったことが起こりうる。例えば、タイミングコントローラ自身の動作に異常が発生した、電源起動時に、タイミングコントローラの前段のデバイスが未だ起動しておらず映像信号が入力されていない、または、前段のいずれかのデバイスの動作に異常が発生した、または、表示装置に入力された映像信号自体が不適切なものである等の原因により、タイミングコントローラに入力された映像信号のタイミングが適正なものではないことが考えられる。ここで映像信号のタイミングが適正ではないとは、例えば、水平同期信号のSync幅、フロントポーチ幅、バックポーチ幅、有効期間、または垂直同期信号のSync幅、フロントポーチ幅、バックポーチ幅、有効期間、あるいはDataEnable信号等が適正ではないことを指す。また、あるタイミングコントローラに入力される映像信号のタイミングが適正ではない場合、対応する部分表示領域の表示が破綻する可能性がある。そのため、一部の表示が正常ではない状態で画像の表示を行うよりも、表示領域全体の映像の表示を行わない（例えば黒表示にする）方が好ましい。

[0007] よって、いずれかのタイミングコントローラで異常が発生した場合（映像信号のタイミングが正常なものではない場合）、表示領域全体の表示を同様の状態に制御することが考えられる。

[0008] 本発明は、上記の問題点に鑑みてなされたものであり、その目的は、複数のタイミングコントローラによって映像データの並列処理を行う表示装置において、いずれかのタイミングコントローラで異常が発生した場合に、不適切な表示を防止することができる表示装置を実現することにある。

課題を解決するための手段

[0009] 本発明に係る表示装置は、第1領域および第2領域を含む表示部と、上記第1領域の表示制御を行う第1タイミングコントローラが設けられた第1基板と、上記第2領域の表示制御を行う第2タイミングコントローラが設けられた第2基板と、上記第1基板と上記第2基板とを接続する基板間接続部とを備え、上記第1タイミングコントローラは、上記第1領域の表示制御に異常が生じた場合には、上記基板間接続部にフェイルセーフ信号を送信し、上記異常が発生したことを上記第2タイミングコントローラに伝えることを特徴としている。

[0010] 上記の構成によれば、第1基板に設けられた第1タイミングコントローラの表示制御に異常が発生したことを、別の第2基板に設けられた第2タイミングコントローラに伝えることができる。これにより、第1タイミングコントローラおよび第2タイミングコントローラは、上記異常に対して適切な処置（例えば自走制御）を行うことができる。

発明の効果

[0011] 以上のように、第1基板に設けられた第1タイミングコントローラの表示制御に異常が発生したことを、別の第2基板に設けられた第2タイミングコントローラに伝えることができる。これにより、第1タイミングコントローラおよび第2タイミングコントローラは、上記異常に対して適切な処置（例えば自走制御）を行うことができる。

図面の簡単な説明

[0012] [図1]本発明の一実施形態に係る表示制御基板の詳細な構成を示すブロック図である。

[図2]本発明の一実施形態に係る表示装置の全体構成を示すブロック図である

。

[図3]上記表示装置の画素の詳細な構成を示すブロック図である。

[図4]各基板間信号共有回路の状態を示す表である。

[図5]各基板間信号共有回路の状態を示す表である。

[図6]各基板間信号共有回路の状態を示す表である。

[図7]信号を示す図であり、(a)は一般的な不平衡信号を示し、(b)は差動信号を示す。

[図8]本発明の他の実施形態に係る表示制御基板の詳細な構成を示すブロック図である。

[図9]本発明のさらに他の実施形態に係る表示制御基板の詳細な構成を示すブロック図である。

発明を実施するための形態

[0013] [実施形態1]

以下、本発明の一実施形態について、図1～図7に基づいて説明する。

[0014] <液晶表示装置の全体構成>

本実施形態に係る液晶表示装置LCDは、フルHD画素数の16倍の画素数(8K4K)を有する映像規格(例えば、横7680画素×縦4320画素の解像度を有するスーパーハイビジョン)に対応するものであり、図2に示すように、入力処理回路IPC、ピクセルマッピング回路PMC、4つの表示制御基板(タイミングコントローラ基板)DC1～DC4、液晶パネル(表示部)LCP、4つのゲートドライバGD1～GD4、2つのソースドライバSD1～SD2、4つのCSドライバCD1～CD4、それぞれが異なる商用電源に接続される3つの電源装置(図示せず)、電源コントローラ(図示せず)、バックライトBL、バックライトドライバBLD、およびバックライトコントローラBLCを備える。

[0015] 入力処理回路IPCに入力される映像信号は、ブロックスキャンフォーマットの8K4K画素数を有する映像信号(例えば、スーパーハイビジョン)であってもよいし、マルチディスプレイフォーマットの8K4K画素数を有

する映像信号であってもよい。もちろん、4 K 2 K画素数を有する映像信号であってもよいし、2 K 1 K画素数（フルHD画素数）を有する映像信号であってもよい。

[0016] ブロックスキャンフォーマットは、1フレーム（8 K 4 K画素数を有する全体画像）をキメの粗い（フルHD画素数の）16枚の全体画像（いわゆる間引き画像）に分割して送信する方式である。この場合、入力処理回路IPCに入力される16本の映像信号Q a 1～Q a 16それぞれが、キメの粗い全体画像（フルHD画素数）となっている。

[0017] マルチディスプレイフォーマットは、1フレーム（8 K 4 K画素数を有する全体画像）をキメの細かさを変えることなく16分割し、16枚の部分画像に分割して送信する方式である。この場合、入力処理回路IPCに入力される16本の映像信号Q a 1～Q a 16それぞれが、キメの細かい部分画像（フルHD画素数）となっている。

[0018] 入力処理回路IPCでは、映像データの同期処理、 γ 補正処理、色温度補正処理、および色域変換処理等を行い、映像信号Q b 1～Q b 16をピクセルマッピング回路PMCに出力する。

[0019] ここで、表示制御基板DC1は、2つの映像処理回路EP1・EP2および2つのタイミングコントローラTC1・TC2を備え、表示制御基板DC2は、2つの映像処理回路EP3・EP4および2つのタイミングコントローラTC3・TC4を備え、表示制御基板DC3は、2つの映像処理回路EP5・EP6および2つのタイミングコントローラTC5・TC6を備え、表示制御基板DC4は、2つの映像処理回路EP7・EP8および2つのタイミングコントローラTC7・TC8を備える。

[0020] ピクセルマッピング回路PMCは、第1領域（液晶パネルLCPを上下左右に4分割したときの左上領域）の左半分AR1に対応する映像信号（画素数2 K 2 K）を、2本（フルHD画素数の映像信号Q c 1・Q c 2）に分割して表示制御基板DC1の映像処理回路EP1に出力し、上記第1領域の右半分AR2に対応する映像信号（画素数2 K 2 K）を、2本（フルHD画素

数の映像信号 $Qc3 \cdot Qc4$) に分割して表示制御基板 $DC1$ の映像処理回路 $EP2$ に出力し、第2領域 (液晶パネル LCP を上下左右に4分割したときの右上領域) の左半分 $AR3$ に対応する映像信号 (画素数 $2K2K$) を、2本 (フルHD画素数の映像信号 $Qc5 \cdot Qc6$) に分割して表示制御基板 $DC2$ の映像処理回路 $EP3$ に出力し、上記第2領域の右半分 $AR4$ に対応する映像信号 (画素数 $2K2K$) を、2本 (フルHD画素数の映像信号 $Qc7 \cdot Qc8$) に分割して表示制御基板 $DC2$ の映像処理回路 $EP4$ に出力し、第3領域 (液晶パネル LCP を上下左右に4分割したときの左下領域) の左半分 $AR5$ に対応する映像信号 (画素数 $2K2K$) を、2本 (フルHD画素数の映像信号 $Qc9 \cdot Qc10$) に分割して表示制御基板 $DC3$ の映像処理回路 $EP5$ に出力し、上記第3領域の右半分 $AR6$ に対応する映像信号 (画素数 $2K2K$) を、2本 (フルHD画素数の映像信号 $Qc11 \cdot Qc12$) に分割して表示制御基板 $DC3$ の映像処理回路 $EP6$ に出力し、第4領域 (液晶パネル LCP を上下左右に4分割したときの右下領域) の左半分 $AR7$ に対応する映像信号 (画素数 $2K2K$) を、2本 (フルHD画素数の映像信号 $Qc13 \cdot Qc14$) に分割して表示制御基板 $DC4$ の映像処理回路 $EP7$ に出力し、上記第4領域の右半分 $AR8$ に対応する映像信号 (画素数 $2K2K$) を、2本 (フルHD画素数の映像信号 $Qc15 \cdot Qc16$) に分割して表示制御基板 $DC4$ の映像処理回路 $EP8$ に出力する。

[0021] さらに、ピクセルマッピング回路 PMC は、表示制御基板 $DC1$ のタイミングコントローラ $TC1$ に同期信号 $SY S$ (垂直同期信号、水平同期信号、クロック信号、デタインエーブル信号、極性反転信号等) を出力し、これを受けたタイミングコントローラ $TC1$ は、この同期信号 $SY S$ を、表示制御基板 $DC1 \sim DC4$ に接続された基板間共有線 SSL に送信する。

[0022] タイミングコントローラ $TC1$ は、ピクセルマッピング回路 PMC から受けた同期信号 $SY S$ を受けて映像処理回路 $EP1$ と協働し、映像信号 $Qc1 \cdot Qc2$ に階調変換処理およびフレームレート変換 (FRC) 処理等の映像処理を行った後に、 $AR1$ に対応するソースドライバ基板 (図示せず) にソ

ース制御信号SC1を出力し、ゲートドライバGD1のゲートドライバ基板（図示せず）にゲート制御信号GC1を出力し、CSドライバCD1にCS制御信号CC1を出力する。

[0023] タイミングコントローラTC2は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP2と協働し、映像信号Qc3・Qc4に上記映像処理を行った後に、AR2に対応するソースドライバ基板（図示せず）にソース制御信号SC2を出力する。

[0024] タイミングコントローラTC3は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP3と協働し、映像信号Qc5・Qc6に上記映像処理を行った後に、AR3に対応するソースドライバ基板（図示せず）にソース制御信号SC3を出力する。

[0025] タイミングコントローラTC4は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP4と協働し、映像信号Qc7・Qc8に上記映像処理を行った後に、AR4に対応するソースドライバ基板（図示せず）にソース制御信号SC4を出力し、ゲートドライバGD2のゲートドライバ基板（図示せず）にゲート制御信号GC2を出力し、CSドライバCD2にCS制御信号CC2を出力する。

[0026] タイミングコントローラTC5は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP5と協働し、映像信号Qc9・Qc10に上記映像処理を行った後に、AR5に対応するソースドライバ基板（図示せず）にソース制御信号SC5を出力し、ゲートドライバGD3のゲートドライバ基板（図示せず）にゲート制御信号GC3を出力し、CSドライバCD3にCS制御信号CC3を出力する。

[0027] タイミングコントローラTC6は、タイミングコントローラTC1から基

板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP6と協働し、映像信号Qc11・Qc12に上記映像処理を行った後に、AR6に対応するソースドライバ基板（図示せず）にソース制御信号SC6を出力する。

[0028] タイミングコントローラTC7は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP7と協働し、映像信号Qc13・Qc14に上記映像処理を行った後に、AR7に対応するソースドライバ基板（図示せず）にソース制御信号SC7を出力する。

[0029] タイミングコントローラTC8は、タイミングコントローラTC1から基板間共有線SSLを介して送信された同期信号SYSを受けて映像処理回路EP8と協働し、映像信号Qc15・Qc16に上記映像処理を行った後に、AR8に対応するソースドライバ基板（図示せず）にソース制御信号SC8を出力し、ゲートドライバGD4のゲートドライバ基板（図示せず）にゲート制御信号GC4を出力し、CSドライバCD4にCS制御信号CC4を出力する。

[0030] なお、ソース制御信号SC1～SC8には、データ信号、データイネーブル信号（DE信号）、ソーススタートパルス、およびソースクロックが含まれ、ゲート制御信号GC1～GC4には、イニシャル信号、ゲートスタートパルスおよびゲートクロックが含まれる。

[0031] また、表示制御基板DC1～DC4の動作中にいずれかの表示制御基板に異常が発生した場合には、異常が発生した表示制御基板から送信されたフェイルセーフ信号が、他のすべての表示制御基板で受信され、全ての表示制御基板は瞬時に自走（黒表示）モードとなる。これにより、映像破綻が回避される。

[0032] 液晶パネルLCPは、アクティブマトリクス基板、液晶層（図示せず）および対向基板（図示せず）を備え、アクティブマトリクス基板には、複数の画素電極（図示せず）、複数のTFT（薄膜トランジスタ、図示せず）、行

方向（パネルの長辺に沿う方向）に延伸する走査信号線G a～G d、列方向に延伸する複数のデータ信号線S a～S d、行方向に延伸する保持容量配線（CS配線）CS a～CS d、および列方向に延伸するCS幹配線M a～M hが設けられ、対向基板には、共通電極（図示せず）、カラーフィルタ、およびブラックマトリクス（図示せず）が設けられている。

[0033] 液晶パネルLCPは、1つの画素列の上半分（パネルの上流側）に対応して2本のデータ信号線が設けられるとともに、この画素列の下半分（パネルの下流側）に対応して2本のデータ信号線が設けられた、いわゆる上下分割ダブルソース構造（1画素列あたり4本のデータ信号線が設けられ、同時に4本の走査信号線を選択することが可能な構造）を有し、4倍速駆動が可能である。さらに、液晶パネルLCPは、1つの画素に少なくとも2つの画素電極を備えたいわゆるマルチ画素方式であり、1画素内に形成された明領域と暗領域とによって視野角特性を高めることが可能となっている。

[0034] 例えば、図2および図3に示すように、パネルの上半分（上流側）に走査信号線G a・G bおよび保持容量配線CS a・CS bが設けられるとともに、パネルの下半分（下流側）に走査信号線G c・G dおよび保持容量配線CS c・CS dが設けられ、1つの画素列PL1の上半分（上流側）に列方向に隣り合う2つの画素P a・P bが含まれるとともに、画素列PL1の下半分（下流側）に列方向に隣り合う2つの画素P c・P dが含まれ、画素列PL1の上半分（上流側）に対応してデータ信号線S a・S bが設けられるとともに、画素列PL1の下半分（下流側）に対応してデータ信号線S c・S dが設けられている。

[0035] そして、画素P aに含まれる2つの画素電極17 A・17 aのうち画素電極17 Aに接続するTF T12 Aおよび画素電極17 aに接続するTF T12 aそれぞれが、データ信号線S aと走査信号線G aとに接続され、画素電極17 Aが保持容量配線と保持容量を形成し、画素電極17 aが保持容量配線CS aと保持容量を形成し、さらに、画素P bに含まれる2つの画素電極17 B・17 bのうち画素電極17 Bに接続するTF T12 Bおよび画素電

極 1 7 b に接続する T F T 1 2 b それぞれが、データ信号線 S b と走査信号線 G b とに接続され、画素電極 1 7 B が保持容量配線 C S a と保持容量を形成し、画素電極 1 7 b が保持容量配線 C S b と保持容量を形成し、さらに、画素 P c に含まれる 2 つの画素電極 1 7 C ・ 1 7 c のうち画素電極 1 7 C に接続する T F T 1 2 C および画素電極 1 7 c に接続する T F T 1 2 c それぞれが、データ信号線 S c と走査信号線 G c とに接続され、画素電極 1 7 C が保持容量配線と保持容量を形成し、画素電極 1 7 c が保持容量配線 C S c と保持容量を形成し、さらに、画素 P d に含まれる 2 つの画素電極 1 7 D ・ 1 7 d のうち画素電極 1 7 D に接続する T F T 1 2 D および画素電極 1 7 d に接続する T F T 1 2 d それぞれが、データ信号線 S d と走査信号線 G d とに接続され、画素電極 1 7 D が保持容量配線 C S c と保持容量を形成し、画素電極 1 7 d が保持容量配線 C S d と保持容量を形成しており、4 本の走査信号線 G a ~ G d は同時に選択される。

[0036] なお、パネル上半分に設けられたデータ信号線の本数は、少なくとも 7 6 8 0 (画素) × 3 (原色) × 2 (ダブルソース) = 4 6 0 8 0 本であり、パネル上半分に設けられた走査信号線の本数は、少なくとも 4 3 2 0 本であり、パネル上半分に設けられた保持容量配線の本数は、少なくとも 4 3 2 1 本であり、パネル下半分に設けられたデータ信号線の本数は、少なくとも 4 6 0 8 0 本であり、パネル下半分に設けられた走査信号線の本数は、少なくとも 4 3 2 0 本であり、パネル下半分に設けられた保持容量配線の本数は、少なくとも 4 3 2 0 本である。

[0037] また、同時に選択される 4 本の走査信号線 G a ~ G d について、走査信号線 G a がパネルの上側長辺から数えて M ライン目で走査信号線 G b が M + 1 ライン目とすると、走査信号線 G c は、この上側長辺から数えて M + 2 1 6 0 ライン目で走査信号線 G b が M + 2 1 6 1 ライン目となっており、パネル上半分に設けられた走査信号線 G a に第 N フレームの M ライン目のデータ信号が書き込まれるとすると、パネル下半分に設けられた走査信号線 G c には、1 つ前のフレームである第 N - 1 フレームの M + 2 1 6 0 ライン目のデー

タ信号が書き込まれる。

[0038] また、1つのデータ信号線の供給されるデータ信号の極性は1垂直走査期間（1V）ごとに反転し、同一垂直走査期間では、隣り合う2つのデータ信号線の一方と他方とに供給されるデータ信号の極性が逆極性となっている。こうすれば、各データ信号線を1V反転としながら（すなわち、極性反転周期を長くして消費電力を低減しながら）、画面内の画素の極性分布をドット反転とする（これにより、TFTがOFFしたときに生じる引き込み電圧に起因するフリッカを抑制する）ことができる。

[0039] また、ゲートドライバGD1は、液晶パネルLCPの上半分が有する2つの短辺の一方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。垂直ドライバGD2は、液晶パネルLCPの上半分が有する上記2つの短辺の他方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。また、ゲートドライバGD3は、液晶パネルLCPの下半分が有する2つの短辺の一方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。垂直ドライバGD4は、液晶パネルLCPの下半分が有する上記2つの短辺の他方に沿って設けられ、列方向に並ぶ複数のゲートドライバチップIを含む。そして、パネル上半分に設けられた各走査信号線はゲートドライバGD1・GD2によって駆動され、パネル下半分に設けられた各走査信号線はゲートドライバGD3・GD4によって駆動される。すなわち、1本の走査信号線がその両側に配置された2つのゲートドライバに接続され、これら2つのゲートドライバからこの1つの走査信号線に同一位相の走査（パルス）信号が供給される。こうすれば、走査信号線のCR（時定数）に起因する信号鈍りのばらつき（行方向の位置によって信号鈍りの度合いが変わること）を抑制することができる。

[0040] ソースドライバSD1は、液晶パネルLCPの上半分が有する1つの長辺に沿って設けられ、行方向に並ぶ48個のソースドライバチップJ（1つのソースドライバチップの出力端子数は960個）と、図示しない4つのソースドライバ基板を含む（1つのソースドライバ基板には12個のソースドラ

イバチップJが装着される)。一方、ソースドライバSD2は、液晶パネルLCPの下半分が有する1つの長辺に沿って設けられ、行方向に並ぶ48個のソースドライバチップJ(1つのソースドライバチップの出力端子数は960個)と、図示しない4つのソースドライバ基板を含む(1つのソースドライバ基板には12個のソースドライバチップJが装着される)。そして、パネル上半分に設けられた各データ信号線はソースドライバSD1によって駆動され、パネル下半分に設けられた各データ信号線はソースドライバSD2によって駆動される。例えば、データ信号線SaはソースドライバSD1によって駆動され、データ信号線ScはソースドライバSD2によって駆動される。なお、スペースの関係でソースドライバチップJをパネル長辺に沿って並べることができない場合は、スペースの余裕のあるパネル短辺側に並べる(ソースドライバチップJとゲートドライバチップIとを列方に並べる)こともできる。この場合、データ信号線とパネル短辺側のソース端子とを接続する中継ラインを、対向基板側に設けたり、アクティブマトリクス基板のソース層(TFTのソース・ドレイン電極の形成層)以外、すなわち、ゲート絶縁膜の下層(ゲート層)やソース層とITO層(画素電極形成層)との間の層に設けたりすることもできる。

[0041] CS幹配線Ma・Mbは、アクティブマトリクス基板の上半分が有する2つの短辺の一方に近接して設けられ、CSドライバCD1によってそれぞれが別位相となるように駆動される。CS幹配線Mc・Mdは、アクティブマトリクス基板の上半分が有する上記2つの短辺の他方に近接して設けられ、CSドライバCD2によってそれぞれが別位相となるように駆動される。CS幹配線Me・Mfは、アクティブマトリクス基板の下半分が有する2つの短辺の一方に近接して設けられ、CSドライバCD3によってそれぞれが別位相となるように駆動される。CS幹配線Mg・Mhは、アクティブマトリクス基板の下半分が有する上記2つの短辺の他方に近接して設けられ、それぞれが別位相となるようにCSドライバCD4によって駆動される。そして、1本の保持容量配線は、その両側に配置された2本のCS幹配線に接続さ

れ、これら2本のCS幹配線からこの1本の保持容量配線に同一位相の変調（パルス）信号が供給される。こうすれば、保持容量配線のCR（時定数）に起因する信号鈍りのばらつき（行方向の位置によって信号鈍りの度合いが変わること）を抑制することができる。

[0042] 例えば、保持容量配線CSaはCS幹配線Ma・Mcに接続され、保持容量配線CSbはCS幹配線Mb・Mdに接続され、保持容量配線CScはCS幹配線Me・Mgに接続され、保持容量配線CSDはCS幹配線Mf・Mhに接続されている。したがって、例えば、CS幹配線Ma・Mbの電位を逆位相となるように制御すると、保持容量配線CSa・CSbの電位も逆位相となり、画素Pbでは、2つの画素電極17B・17bのうち画素電極17Bが保持容量配線CSaと容量を形成し、画素電極17bが保持容量配線CSbと容量を形成していることから、画素電極17B・17bに同一の信号電位を書き込んだ後に、例えば、画素電極17Bの実効電位をセンター電位に近づく方向にシフトさせる一方、画素電極17bの実効電位をセンター電位から離れる方向にシフトさせる（これにより、1画素内に、画素電極17Bに対応する暗領域と画素電極17bに対応する明領域とを形成する）ことができる。

[0043] 4つの表示制御基板DC1～DC4は、それぞれ8つの部分表示領域AR1～AR8のうちの2つの部分表示領域に対応する映像データを並列に処理している。そして、各表示制御基板DC1～DC4は、互いに異なる部分表示領域AR1～AR8の表示を制御している。

[0044] そのため、いずれかの表示制御基板で映像データの異常（映像信号のタイミングの異常）が発生したとき、表示領域全体を自走（黒表示）モードにして表示領域全体の表示を適切に制御するためには、異常の情報を表示制御基板DC1～DC4の間で共有する必要がある。また、表示領域全体の表示を同時に制御（黒表示等）するために、異常の情報の共有には、即時性が求められる。

[0045] 異常の情報を共有する方法として、各タイミングコントローラTC1～TC

C 8の間でフェイルセーフ信号を送受信することが考えられる。フェイルセーフ信号は、異常が発生したときにタイミングコントローラTC 1～TC 8が異常状態に応じた動作（自走制御）を行うための信号であり、あるタイミングコントローラが正常状態であるか異常状態であるかを他のタイミングコントローラに伝える信号である。いずれのタイミングコントローラTC 1～TC 8で異常が発生した場合でも、全てのタイミングコントローラTC 1～TC 8でその異常の情報を共有するために、双方向の通信が可能でなければならない。

[0046] 例えば、フェイルセーフ信号を1つの基板に搭載された2つのタイミングコントローラの間でやりとりするためには、2つのタイミングコントローラをシングルエンドの信号線を用いてワイヤード・オア接続によって接続すればよい。そして、1つの基板に搭載された2つのタイミングコントローラの間でフェイルセーフ信号を送信および受信することで、異常の情報の共有をすることができる。複数のタイミングコントローラが1つの基板に搭載されている場合、基板内に近接して配置される複数のタイミングコントローラを構成する各ICチップを信号線で接続すればよい。

[0047] しかしながら、本実施形態のように複数のタイミングコントローラが異なる基板に搭載されている場合、該複数の基板が離れて位置していると、各タイミングコントローラを接続する（フェイルセーフ信号を送信する）信号線が基板の間に長く延びて配置されることになる。信号線が長くなると、外部ノイズの影響を受けやすくなるという問題が発生する。

[0048] 本実施形態では、外部ノイズの影響を受けにくく、かつ、即時に異常情報を伝達可能な双方向通信を行う構成について説明する。

[0049] <表示制御基板の詳細な構成>

図1は、表示制御基板の詳細な構成を示すブロック図である。図1では、4つの表示制御基板DC 1～DC 4の構成のみを示し、他の構成部材の図示は省略している。また、タイミングコントローラTC 1～TC 8からの各表示制御基板外への出力の図示は省略している。

[0050] 表示制御基板DC1は、2つの映像処理回路EP1・EP2、2つのタイミングコントローラTC1・TC2、および1つの基板間信号共有回路（インターフェース部）SH1を備える。表示制御基板DC2は、2つの映像処理回路EP3・EP4、2つのタイミングコントローラTC3・TC4、および1つの基板間信号共有回路SH2を備える。表示制御基板DC3は、2つの映像処理回路EP5・EP6、2つのタイミングコントローラTC5・TC6、および1つの基板間信号共有回路SH3を備える。表示制御基板DC4は、2つの映像処理回路EP7・EP8、2つのタイミングコントローラTC7・TC8、および1つの基板間信号共有回路SH4を備える。各表示制御基板DC1～DC4は、対応する部分表示領域AR1～AR8および対応するソースドライバチップJの位置に近接して配置されるため、互いに距離が離れている。

[0051] 基板間信号共有回路SH1は、入出力切替部IFS1、LVDS（Low voltage differential signaling）ドライバ（差動信号出力部）LD1、およびLVDSレシーバ（差動信号入力部）LR1を備える。LVDSドライバLD1およびLVDSレシーバLR1は、セットで差動信号送受信部を構成している。基板間信号共有回路SH2は、入出力切替部IFS2、LVDSドライバLD2、およびLVDSレシーバLR2を備える。基板間信号共有回路SH3は、入出力切替部IFS3、LVDSドライバLD3、およびLVDSレシーバLR3を備える。基板間信号共有回路SH4は、入出力切替部IFS4、LVDSドライバLD4、およびLVDSレシーバLR4を備える。LVDSレシーバLR1～LR4は、Type-2仕様のマルチポイントLVDSである。Type-2仕様（フェイルセーフ機能付き）のマルチポイントLVDSレシーバは、High/Low判定の閾値を100mVオフセットさせたレシーバであり、電位差0Vの入力はLowに判定される。ただし、ここで言うType-2仕様のフェイルセーフ機能は、本発明のフェイルセーフ信号とは関係ない。

[0052] 各LVDSドライバLD1～LD4および各LVDSレシーバLR1～L

R 4 は、差動信号を伝送するための 1 対の基板間信号線（基板間接続部）に対して、マルチポイント接続されている。これにより、各基板間信号共有回路 S H 1 ～ S H 4 が、互いに接続される。なお、各 L V D S レシーバ L R 1 ～ L R 4 のうち（バスの両端に位置する）2 つの L V D S レシーバ L R 1 ・ L R 3 付近の 1 対の基板間信号線の間には、終端抵抗が設けられている。なお、各 L V D S ドライバ L D 1 ～ L D 4 には、出力に使用するための電圧として、常に H レベル（H i g h）の電圧が入力されている。

[0053] 映像処理回路 E P 1 ～ E P 8 は、上述したようにそれぞれタイミングコントローラ T C 1 ～ T C 8 と協働して、各種の映像処理を行う。

[0054] タイミングコントローラ T C 1 は、あるフレームの映像信号 Q c 1 ・ Q c 2 に対する上記映像処理が、所定のタイミング（所定の期間内）で完了するか否かを監視する。すなわちソース制御信号 S C 1、ゲート制御信号 G C 1、および C S 制御信号 C C 1 を所定のタイミングで出力可能な状態になっている場合、タイミングコントローラ T C 1 ～ T C 8 は、映像信号の入力および映像処理は正常に行われている状態（正常状態）であると判定する。正常状態では、各タイミングコントローラ T C 1 ～ T C 8 から各ドライバに制御信号が遅延なく出力され、映像の表示が正常に行われる。

[0055] 一方、ソース制御信号 S C 1、ゲート制御信号 G C 1、および C S 制御信号 C C 1 のいずれかが所定のタイミングで出力可能な状態になっていない場合、タイミングコントローラ T C 1 ～ T C 8 は、映像信号の入力または映像処理が正常に行われていない状態（異常状態）であると判定する。異常状態であるタイミングコントローラ T C 1 ～ T C 8 は、正常なタイミングで制御信号を出力できない。よって、各部分表示領域 A R 1 ～ A R 8 の表示を自走制御して映像の表示の破綻を防止するために、異常状態と判定したタイミングコントローラは、他のタイミングコントローラに異常状態を通知する必要がある。

[0056] （表示制御基板の動作）

以下では主に表示制御基板 D C 1 のタイミングコントローラ T C 1 ・ T C

2 および基板間信号共有回路 S H 1 の動作について説明するが、他の表示制御基板 D C 2 ~ D C 4 のタイミングコントローラ T C 3 ~ T C 8 および基板間信号共有回路 S H 2 ~ S H 4 についても同様である。

[0057] 同じ表示制御基板 D C 1 に搭載されるタイミングコントローラ T C 1 とタイミングコントローラ T C 2 と基板間信号共有回路 S H 1 とは、シングルエンドの基板内信号線を用いてワイヤード・オア接続によって接続されている。タイミングコントローラ T C 1 とタイミングコントローラ T C 2 と基板間信号共有回路 S H 1 とは、基板内信号線を介して、基板内フェイルセーフ信号の送受信を行う。正常状態では、タイミングコントローラ T C 1 ・ T C 2 および基板間信号共有回路 S H 1 の基板内信号線に対する出力は O F F になっており、基板内フェイルセーフ信号は D I S A B L E （無効）になっている、すなわち基板内信号線の電圧は H レベルに維持されている。

[0058] 自身が正常状態であると判定すると、タイミングコントローラ T C 1 ・ T C 2 は、タイミングコントローラ T C 1 ・ T C 2 の基板内信号線ポートを、入力ポートに設定する。これにより、タイミングコントローラ T C 1 ・ T C 2 は、基板内フェイルセーフ信号の E N A B L E （有効）／ D I S A B L E （無効）（基板内信号線の電圧レベル）を監視する。

[0059] 自身が異常状態であると判定すると、タイミングコントローラ T C 1 ・ T C 2 は、自走モードとなり、入力信号に依存せずに自身の内部で予め設定されたタイミングに従って自走制御のための制御信号を生成し、自走制御のための制御信号（ゲート制御信号および黒映像データ信号を含むソース制御信号等）を各ドライバに出力し、対応する部分表示領域 A R 1 ・ A R 2 を黒表示にする。また、自身が異常状態であると判定すると、タイミングコントローラ T C 1 ・ T C 2 は、タイミングコントローラ T C 1 ・ T C 2 の基板内信号線ポートを、出力ポートに設定し、基板内フェイルセーフ信号を E N A B L E （有効）にする、すなわち基板内信号線の電圧を L レベル（L o w）に駆動する。

[0060] また、自身が正常状態であっても、基板内フェイルセーフ信号が E N A B

L E（有効）（基板内信号線の電圧がLレベル）であることを検知すると、タイミングコントローラTC1・TC2は、自走モードとなり、自走制御のための制御信号を各ドライバに出力し、対応する部分表示領域AR1・AR2を黒表示にする。

[0061] 入出力切替部IFS1は、フェイルセーフ信号を、表示制御基板DC1の中のタイミングコントローラTC1・TC2から表示制御基板DC1の外のタイミングコントローラTC3～TC8に伝送するモードと、表示制御基板DC1の外のタイミングコントローラTC3～TC8から表示制御基板DC1の中のタイミングコントローラTC1・TC2に伝送するモードとを切り替える役割を果たす。

[0062] LVDSレシーバLR1から入出力切替部IFS1への入力信号がLレベルである場合（正常状態）、入出力切替部IFS1は、基板間信号共有回路SH1の基板内信号線側ポートを、入力ポートに設定し、基板間信号共有回路SH1の入出力切替部IFS1は、基板内フェイルセーフ信号のENABLE（有効）／DISABLE（無効）（基板内信号線の電圧レベル）を監視する。

[0063] 基板内フェイルセーフ信号がDISABLE（無効）である場合、入出力切替部IFS1は、LVDSドライバLD1およびLVDSレシーバLR1に、ドライバ／レシーバの切り替えのための入出力制御信号（Lレベル）を出力する。また、基板内フェイルセーフ信号がENABLE（有効）である場合、入出力切替部IFS1は、LVDSドライバLD1およびLVDSレシーバLR1に、入出力制御信号（Hレベル）を出力する。

[0064] 一方、LVDSレシーバLR1から入出力切替部IFS1への入力信号がHレベルである場合、入出力切替部IFS1は、基板間信号共有回路SH1の基板内信号線側ポートを、出力ポートに設定し、基板内フェイルセーフ信号をENABLE（有効）にする、すなわち基板内信号線の電圧をLレベルに駆動する。

[0065] 入出力制御信号がLレベルである場合、LVDSドライバLD1は非アク

ティブとなり、L V D S レシーバ L R 1 はアクティブとなる。すなわち、基板間信号共有回路 S H 1 の基板間信号線側（L V D S ドライバ L D 1 および L V D S レシーバ L R 1）は、入力モードに設定されている。よって、1 対の基板間信号線の差動信号（基板間フェイルセーフ信号）は、M-L V D S タイプレシーバの T y p e - 2 仕様における L レベル（D I S A B L E（無効）：1 対の基板間信号線の電位差が閾値より小さい）になっている。一方、入出力制御信号が H レベルである場合、L V D S ドライバ L D 1 はアクティブとなり、L V D S レシーバ L R 1 は非アクティブとなる。このとき、基板間信号共有回路 S H 1 の基板間信号線側は、出力モードに設定されている。よって、1 対の基板間信号線の差動信号は H レベル（1 対の基板間信号線の + 極性の電位が - 極性の電位より閾値以上高い、例えば図 7（b）において、信号 1（+ 極性）の電位が信号 2（- 極性）の電位より閾値以上高い）になっている。このとき、基板間フェイルセーフ信号は E N A B L E（有効）である。

[0066] 入力モード時の L V D S レシーバ L R 1 は、基板間フェイルセーフ信号を受信し、基板間フェイルセーフ信号に応じた信号を入出力切替部 I F S 1 に出力する。すなわち、基板間フェイルセーフ信号が D I S A B L E（無効）（L レベル）である場合、入力モード時の L V D S レシーバ L R 1 は、L レベルの信号を入出力切替部 I F S 1 に出力する。基板間フェイルセーフ信号が E N A B L E（有効）（H レベル）である場合、入力モード時の L V D S レシーバ L R 1 は、H レベルの信号を入出力切替部 I F S 1 に出力する。

[0067] 例えば、全てのタイミングコントローラ T C 1 ~ T C 8 が正常状態であるときの、基板間信号共有回路 S H 1 および基板間信号共有回路 S H 2 の状態は、図 4 に示す表のようになる。このとき、基板間信号共有回路 S H 1 ・ S H 2 について、基板内フェイルセーフ信号および基板間フェイルセーフ信号は共に D I S A B L E（無効）である。また、基板間信号共有回路 S H 1 ・ S H 2 について、基板内信号線側ポートは入力ポートに設定されている。また、入出力切替部 I F S 1 ・ I F S 2 が出力する入出力制御信号は L レベル

であり、基板間信号線側（L V D S ドライバ L D 1 ・ L D 2 および L V D S レシーバ L R 1 ・ L R 2）は入力モードに設定されている。

[0068] いずれかの表示制御基板に異常が発生した場合について説明する。

[0069] （タイミングコントローラ T C 1 が異常状態である場合）

例えば、映像処理回路 E P 1 の処理で異常が発生し、タイミングコントローラ T C 1 に入力された映像信号が適切なものではなく、タイミングコントローラ T C 1 が異常状態と判定したとする。このとき、タイミングコントローラ T C 1 は、自身を自走モードに変更する。また、タイミングコントローラ T C 1 は、タイミングコントローラ T C 1 の基板内信号線ポートを、出力ポートに設定し、基板内フェイルセーフ信号を E N A B L E（有効）（L レベル）に駆動する。タイミングコントローラ T C 2 は、表示制御基板 D C 1 の基板内フェイルセーフ信号が E N A B L E（有効）であることを検知すると、自身を自走モードに変更する。

[0070] また、入出力切替部 I F S 1 は、基板内フェイルセーフ信号が E N A B L E（有効）であることを検知すると、L V D S ドライバ L D 1 および L V D S レシーバ L R 1 に、入出力制御信号（H レベル）を出力する。

[0071] H レベルの入出力制御信号が入力された L V D S ドライバ L D 1 はアクティブになり、L V D S レシーバ L R 1 は非アクティブになる。すなわち、基板間信号共有回路 S H 1 の基板間信号線側は、出力モードに設定される。L V D S ドライバ L D 1 は、基板間フェイルセーフ信号 E N A B L E（有効）（H レベル）を出力する。

[0072] 入力モードである表示制御基板 D C 2 の L V D S レシーバ L R 2 は、基板間フェイルセーフ信号が E N A B L E（有効）であることを検知し、H レベルの信号を入出力切替部 I F S 2 に出力する。

[0073] L V D S レシーバ L R 2 から H レベルの信号を入力された入出力切替部 I F S 2 は、基板間信号共有回路 S H 2 の基板内信号線側ポートを、出力ポートに設定し、表示制御基板 D C 2 の基板内フェイルセーフ信号を E N A B L E（有効）（L レベル）に駆動する。

- [0074] タイミングコントローラTC3・TC4は、表示制御基板DC2の基板内フェイルセーフ信号がENABLE（有効）であることを検知すると、自身を自走モードに変更する。
- [0075] 他の表示制御基板DC3・DC4においても、同様にタイミングコントローラTC5～TC8が自走モードに変更される。
- [0076] このとき、基板間信号共有回路SH1および基板間信号共有回路SH2の状態は、図5に示す表のようになる。このとき、基板間信号共有回路SH1・SH2について、基板内フェイルセーフ信号および基板間フェイルセーフ信号は共にENABLE（有効）である。また、基板間信号共有回路SH1について、基板内信号線側ポートは入力ポートに設定されている。基板間信号共有回路SH2について、基板内信号線側ポートは出力ポートに設定されている。また、入出力切替部IFS1が出力する入出力制御信号はHレベルであり、基板間信号共有回路SH1の基板間信号線側（LVDSドライバLD1およびLVDSレシーバLR1）は出力モードに設定されている。また、入出力切替部IFS2が出力する入出力制御信号はLレベルであり、基板間信号共有回路SH2の基板間信号線側（LVDSドライバLD2およびLVDSレシーバLR2）は入力モードに設定されている。
- [0077] なお、この自走モードは、異常状態が発生したタイミングコントローラTC1の異常状態が解消されない限り継続する。
- [0078] 以上により、ある表示制御基板DC1に搭載された1つのタイミングコントローラTC1で異常が発生した場合、フェイルセーフ信号が他の表示制御基板DC2～DC4に搭載されたものを含めた全てのタイミングコントローラTC2～TC8に即座に伝送される。それゆえ、即座に全タイミングコントローラTC1～TC8が自走モードに変更される。そのため、本実施形態では、一部の部分表示領域の表示と他の部分表示領域の表示とが整合していない不適切な表示を行うことを防止することができる。また、走査信号線Ga～Gdおよび保持容量配線（CS配線）CSa～CSDは、各部分表示領域AR1～AR8毎に分かれているわけではないので、ずれたタイミングで

各タイミングコントローラTC1～TC8がゲートドライバGD1～GD4、ソースドライバSD1～SD2、およびCSドライバCD1～CD4に制御信号を出力すると、液晶パネルLCPを損傷する可能性がある。本実施形態によれば、一部のタイミングコントローラTC1～TC8が異常を検知すると、全てのタイミングコントローラTC1～TC8が自走モードで動作を行う。そのため、液晶パネルLCPの損傷を防止することができる。

[0079] また、異なる表示制御基板の間を差動信号によって基板間フェイルセーフ信号を伝送しているので、基板間信号線が長くても外部ノイズの影響を受けにくい。図7に、(a)一般的な不平衡信号と、(b)差動信号とを示す。不平衡信号(TTL、CMOS等)では、シングルエンドの1本の信号線によって信号を伝送し、信号線の電位とGND電位との差によって、HighおよびLowを表す。そのため、外部ノイズによって信号線の電位が変化すると、信号が誤って検出される可能性がある。差動信号(平衡信号、LVDS等)では、2本の信号線の電位の差によってHighおよびLowを表す。そのため、外部ノイズをキャンセルし、外部ノイズによる誤動作を防止することができる。

[0080] (タイミングコントローラTC1の異常状態が解消した場合)

タイミングコントローラTC1に異常状態が発生している図5に示す状態から、タイミングコントローラTC1の異常状態が解消した場合について以下に説明する。

[0081] タイミングコントローラTC1は、正常動作が可能になり異常状態が解消すると、自身の自走モードを通常の動作モードに変更する。また、タイミングコントローラTC1は、タイミングコントローラTC1の基板内信号線ポートを、入力ポートに設定し、基板内フェイルセーフ信号をDISABLE(無効)(Hレベル)にする。タイミングコントローラTC2は、表示制御基板DC1の基板内フェイルセーフ信号がDISABLE(無効)であることを検知すると、自身の自走モードを通常の動作モードに変更する。

[0082] 入出力切替部IFS1は、表示制御基板DC1の基板内フェイルセーフ信

号がD I S A B L E（無効）であることを検知すると、L V D SドライバL D 1およびL V D SレシーバL R 1に、入出力制御信号（Lレベル）を出力する。

[0083] Lレベルの入出力制御信号が入力されたL V D SドライバL D 1は非アクティブになり、L V D SレシーバL R 1がアクティブになる。すなわち、基板間信号共有回路S H 1の基板間信号線側は、入力モードに設定される。これによりL V D SドライバL D 1は非動作状態となり、基板間フェイルセーフ信号はD I S A B L E（無効）（Lレベル）に切り替わる。

[0084] 入力モードである表示制御基板D C 2のL V D SレシーバL R 2は、基板間フェイルセーフ信号がD I S A B L E（無効）に切り替わったことを検知し、Lレベルの信号を入出力切替部I F S 2に出力する。

[0085] L V D SレシーバL R 2からLレベルの信号を入力された入出力切替部I F S 2は、基板間信号共有回路S H 2の基板内信号線側ポートを、入力ポートに設定し、表示制御基板D C 2の基板内フェイルセーフ信号をD I S A B L E（無効）（Hレベル）に切り替える。

[0086] タイミングコントローラT C 3・T C 4は、表示制御基板D C 2の基板内フェイルセーフ信号がD I S A B L E（無効）であることを検知すると、自身の自走モードを通常の動作モードに変更する。同様に他の表示制御基板D C 3～D C 4のタイミングコントローラT C 5～T C 8の自走モードも解除される。

[0087] 以上により、全てのタイミングコントローラT C 1～T C 8の自走モードが解除され、通常の映像の表示が行われるようになる。異常状態が解消した場合の自走モードからの復帰も、異常状態の発生時と同様に、迅速に全てのタイミングコントローラT C 1～T C 8において行われる。よって、自走モードである期間を必要最小限に抑えることができる。

[0088] （タイミングコントローラT C 1・T C 3が異常状態である場合）

タイミングコントローラT C 1に異常状態が発生している図5に示す状態から、さらに異なる表示制御基板D C 2に搭載されるタイミングコントロー

ラTC3にも異常状態が発生した場合について以下に説明する。なお、タイミングコントローラTC1・TC3においてほぼ同時に（TC1が少しだけ早く）異常状態が検知された場合もこれに当たる。

[0089] まず、タイミングコントローラTC1の異常状態が継続しているので、タイミングコントローラTC3は自走モードにある。異常状態が継続しているタイミングコントローラTC1に加えて、タイミングコントローラTC3に異常状態が発生すると、タイミングコントローラTC3は、タイミングコントローラTC3の基板内信号線ポートを、入力ポートから出力ポートに変更し、表示制御基板DC2の基板内フェイルセーフ信号をENABLE（有効）（Lレベル）に駆動する。なお、入出力切替部IFS2が元々表示制御基板DC2の基板内フェイルセーフ信号をENABLE（有効）（Lレベル）に駆動しているので、基板内フェイルセーフ信号に変化はない。なお、この基板内信号線はワイヤード・オア接続されているので、タイミングコントローラおよび表示制御基板のいずれか複数が個別にLレベルの出力を行っても問題ない。タイミングコントローラおよび表示制御基板のいずれも基板内信号線にLレベルの出力を行わない場合には、この基板内信号線は抵抗によってプルアップされているのでHレベルとなる。

[0090] 入出力切替部IFS2は、タイミングコントローラTC1の異常状態により、基板間信号共有回路SH2の基板内信号線側を、既に出力ポートに設定している。そのため、これ以上状態は変化しない。

[0091] ここから、タイミングコントローラTC3の異常状態が解消すれば、図5に示す状態に戻る。

[0092] なお、表示制御基板DC1のタイミングコントローラTC1と異なる表示制御基板DC2のタイミングコントローラTC3とが、完全に同時に異常状態になった場合、例えば、両方の表示制御基板DC1・DC2のLVDSドライバLD1・LD2が、基板間フェイルセーフ信号ENABLE（有効）（Hレベル）を出力することがある。この場合も、全ての表示制御基板DC1～DC4のタイミングコントローラTC1～TC8は自走モードになる。

また、基板間フェイルセーフ信号を伝送する基板間信号線も、差動信号性におけるワイヤード・オア接続されている（つまりM-L V D S タイプレシーバのT y p e - 2仕様（フェイルセーフ機能付き）を使用している）ので、両端から同じレベルの出力があっても問題ない。

[0093] （タイミングコントローラT C 1の異常状態が先に解消した場合）

タイミングコントローラT C 1・T C 3の順に異常状態が発生し、それから、タイミングコントローラT C 1の異常状態が先に解消した場合について以下に説明する。

[0094] まず、タイミングコントローラT C 1・T C 3は共に自走モードにある。

[0095] タイミングコントローラT C 1は、正常動作が可能になり異常状態が解消すると、自身の自走モードを一旦通常の動作モードに変更する。また、タイミングコントローラT C 1は、タイミングコントローラT C 1の基板内信号線ポートを、入力ポートに設定し、基板内フェイルセーフ信号をD I S A B L E（無効）（Hレベル）にする。タイミングコントローラT C 2は、表示制御基板D C 1の基板内フェイルセーフ信号がD I S A B L E（無効）であることを検知すると、自身の自走モードを通常の動作モードに変更する。

[0096] 入出力切替部I F S 1は、表示制御基板D C 1の基板内フェイルセーフ信号がD I S A B L E（無効）であることを検知すると、L V D SドライバL D 1およびL V D SレシーバL R 1に、入出力制御信号（Lレベル）を出力する。

[0097] Lレベルの入出力制御信号が入力されたL V D SドライバL D 1は非アクティブになり、L V D SレシーバL R 1がアクティブになる。すなわち、基板間信号共有回路S H 1の基板間信号線側は、入力モードに設定される。これによりL V D SドライバL D 1は非動作状態となり、基板間フェイルセーフ信号はD I S A B L E（無効）（Lレベル）に切り替わる。

[0098] 入力モードである表示制御基板D C 2のL V D SレシーバL R 2は、基板間フェイルセーフ信号がD I S A B L E（無効）に切り替わったことを検知し、Lレベルの信号を入出力切替部I F S 2に出力する。

- [0099] L V D S レシーバ L R 2 から L レベルの信号を入力された入出力切替部 I F S 2 は、基板間信号共有回路 S H 2 の基板内信号線側ポートを、入力ポートに設定する。ここで、基板間信号共有回路 S H 2 の基板内フェイルセーフ信号は、異常状態のタイミングコントローラ T C 3 によって E N A B L E （有効）（L レベル）に駆動されている。そのため、入出力切替部 I F S 2 は、基板間信号共有回路 S H 2 の基板内フェイルセーフ信号が E N A B L E （有効）であることを検知し、L V D S ドライバ L D 2 および L V D S レシーバ L R 2 に、入出力制御信号（H レベル）を出力する。
- [0100] H レベルの入出力制御信号が入力された L V D S ドライバ L D 2 はアクティブになり、L V D S レシーバ L R 2 は非アクティブになる。すなわち、基板間信号共有回路 S H 2 の基板間信号線側は、出力モードに設定される。L V D S ドライバ L D 2 は、基板間フェイルセーフ信号 E N A B L E （有効）（H レベル）を出力する。
- [0101] 入力モードになっていた表示制御基板 D C 1 の L V D S レシーバ L R 1 は、基板間フェイルセーフ信号が E N A B L E （有効）であることを検知し、H レベルの信号を入出力切替部 I F S 1 に出力する。
- [0102] L V D S レシーバ L R 1 から H レベルの信号を入力された入出力切替部 I F S 1 は、基板間信号共有回路 S H 1 の基板内信号線側ポートを、出力ポートに設定し、表示制御基板 D C 1 の基板内フェイルセーフ信号を E N A B L E （有効）（L レベル）に駆動する。
- [0103] タイミングコントローラ T C 1 ・ T C 2 は、表示制御基板 D C 1 の基板内フェイルセーフ信号が E N A B L E （有効）であることを検知すると、自身を自走モードに変更する。このように、タイミングコントローラ T C 1 ・ T C 2 は一旦自走モードを解除しても、異常状態が継続している表示制御基板 D C 2 から基板間フェイルセーフ信号 E N A B L E （有効）を受け、即座に自走モードに戻る。
- [0104] 他の表示制御基板 D C 3 ・ D C 4 においても、同様にタイミングコントローラ T C 5 ～ T C 8 が自走モードに維持される。

- [0105] このとき、基板間信号共有回路SH1および基板間信号共有回路SH2の状態は、図6に示す表のようになる。結局、正常な状態からタイミングコントローラTC3だけに異常状態が発生した場合と同じ状態になる。
- [0106] この後、タイミングコントローラTC3の異常状態が解除されれば、全てのタイミングコントローラTC1～TC8の自走モードが解除され、通常の動作モードに復帰する。
- [0107] フェイルセーフ信号を表示制御基板DC1～DC4の間でやりとりする場合、複数あるいずれの表示制御基板DC1～DC4から、いつフェイルセーフ信号が発信されるか決まっていない。そのため、複数の表示制御基板DC1～DC4のいずれから基板間フェイルセーフ信号が発信されても、他の全ての表示制御基板が即座にそれを認識しなければならない。
- [0108] 本実施形態によれば、入出力切替部IFS1～IFS4が、基板内の異常を示す基板内フェイルセーフ信号に応じて、基板間フェイルセーフ信号を送受信する差動信号送受信部(LVDSドライバLD1～LD4およびLVDSレシーバLR1～LR4)の入力モード・出力モードを切り替える。そのため、基板間および基板内の双方向でかつ迅速にフェイルセーフ信号の送受信が可能である。よって、いずれかのタイミングコントローラが異常状態になれば、速やかに全てのタイミングコントローラTC1～TC8が自走制御を行うように制御される。また、いずれかのタイミングコントローラが異常状態である限り、全てのタイミングコントローラTC1～TC8が自走制御を行うように制御され、全てのタイミングコントローラTC1～TC8の異常状態が解消されると、速やかに自走モードを解除して、通常の映像表示を行うことが可能である。

[0109] <変形例>

なお、本実施形態では、差動信号を用いて基板間フェイルセーフ信号を伝送する構成を説明したが、異なる表示制御基板の基板間信号共有回路をシングルエンドの基板間信号線で接続して基板間フェイルセーフ信号を伝送してもよい。この場合、基板間信号線は、基板内信号線と同様にワイヤード・オ

ア接続される。例えば、異なる表示制御基板に搭載される２つのタイミングコントローラを、ワイヤード・オア接続されたシングルエンドの信号線で直接接続して、双方向にフェイルセーフ信号を伝送させることができる。この場合、入出力モードを切り替える必要がなく、構成が簡易になる。

[0110] なお、上記では液晶表示装置について説明したが、本発明はこれに限らず、プラズマパネルディスプレイまたは有機ＥＬディスプレイ等にも適用可能である。

[0111] [実施形態２]

本発明の他の実施形態について、以下に説明する。なお、説明の便宜上、実施形態１にて説明した図面と同じ機能を有する部材・構成については、同じ符号を付記し、その詳細な説明を省略する。本実施形態では、各表示制御基板を環状に接続し、基板間フェイルセーフ信号を伝送する形態について説明する。

[0112] 図８は、本実施形態の表示制御基板の詳細な構成を示すブロック図である。図８では、４つの表示制御基板ＤＣ１～ＤＣ４の構成のみを示し、他の構成部材の図示は省略している。また、タイミングコントローラＴＣ１～ＴＣ８からの各表示制御基板外への出力の図示は省略している。

[0113] 表示制御基板ＤＣ１は、２つの映像処理回路ＥＰ１・ＥＰ２、２つのタイミングコントローラＴＣ１・ＴＣ２、および１つの基板間信号共有回路ＳＨＡ１を備える。表示制御基板ＤＣ２は、２つの映像処理回路ＥＰ３・ＥＰ４、２つのタイミングコントローラＴＣ３・ＴＣ４、および１つの基板間信号共有回路ＳＨＡ２を備える。表示制御基板ＤＣ３は、２つの映像処理回路ＥＰ５・ＥＰ６、２つのタイミングコントローラＴＣ５・ＴＣ６、および１つの基板間信号共有回路ＳＨＡ３を備える。表示制御基板ＤＣ４は、２つの映像処理回路ＥＰ７・ＥＰ８、２つのタイミングコントローラＴＣ７・ＴＣ８、および１つの基板間信号共有回路ＳＨＡ４を備える。各表示制御基板ＤＣ１～ＤＣ４は、対応する部分表示領域ＡＲ１～ＡＲ８および対応するソースドライバチップＪの位置に近接して配置されるため、互いに距離が離れてい

る。

[0114] 基板間信号共有回路 S H A 1 と基板間信号共有回路 S H A 2 とは、基板間信号共有回路 S H A 1 から基板間信号共有回路 S H A 2 に差動信号を伝送するための 1 対の基板間信号線で接続されている（図 8 では 1 本の線で省略して示す）。基板間信号共有回路 S H A 2 と基板間信号共有回路 S H A 4 とは、基板間信号共有回路 S H A 2 から基板間信号共有回路 S H A 4 に差動信号を伝送するための 1 対の基板間信号線で接続されている。基板間信号共有回路 S H A 4 と基板間信号共有回路 S H A 3 とは、基板間信号共有回路 S H A 4 から基板間信号共有回路 S H A 3 に差動信号を伝送するための 1 対の基板間信号線で接続されている。基板間信号共有回路 S H A 3 と基板間信号共有回路 S H A 1 とは、基板間信号共有回路 S H A 3 から基板間信号共有回路 S H A 1 に差動信号を伝送するための 1 対の基板間信号線で接続されている。これらの基板間信号線は、一方向にのみ信号を伝送する。これらの基板間信号線は、各基板間信号共有回路 S H A 1 ～ S H A 4 を接続する基板間接続部に含まれるとすることができる。

[0115] （表示制御基板の動作）

同じ表示制御基板 D C 1 に搭載されるタイミングコントローラ T C 1 とタイミングコントローラ T C 2 と基板間信号共有回路 S H A 1 とは、シングルエンドの基板内信号線を用いてワイヤード・オア接続によって接続されている。タイミングコントローラ T C 1 とタイミングコントローラ T C 2 と基板間信号共有回路 S H A 1 とは、基板内信号線を介して、基板内フェイルセーフ信号の送受信を行う。正常状態では、基板内フェイルセーフ信号は D I S A B L E （無効）になっている、すなわち基板内信号線の電圧は H レベルに維持されている。

[0116] タイミングコントローラ T C 1 ・ T C 2 の動作は、実施形態 1 と同様である。

[0117] 基板間信号共有回路 S H A 1 について、基板内フェイルセーフ信号が D I S A B L E （無効）（H レベル）であり、かつ、基板間信号共有回路 S H A

3からの基板間フェイルセーフ信号がD I S A B L E（無効）（Lレベル）である場合、基板間信号共有回路S H A 1は、基板間信号共有回路S H A 2への基板間フェイルセーフ信号をD I S A B L E（無効）（Lレベル）にする。

[0118] 基板間信号共有回路S H A 1について、基板内フェイルセーフ信号がE N A B L E（有効）（Lレベル）であることを検知すると、基板間信号共有回路S H A 1は、基板間信号線の一端に接続されたL V D Sドライバ（図示せず）によって基板間信号共有回路S H A 2へ基板間フェイルセーフ信号E N A B L E（有効）（Hレベル）を出力する。

[0119] また、基板間信号共有回路S H A 1について、基板間信号共有回路S H A 3からの基板間フェイルセーフ信号がE N A B L E（有効）（Hレベル）であることを検知すると、基板間信号共有回路S H A 1は、基板間信号共有回路S H A 2へ基板間フェイルセーフ信号E N A B L E（有効）を出力し、かつ、基板内信号線側ポートを出力ポートに設定し、タイミングコントローラT C 1・T C 2に基板内フェイルセーフ信号E N A B L E（有効）（Lレベル）を出力する。

[0120] 各基板間信号共有回路S H A 1～S H A 4は、他の基板間信号共有回路から基板間フェイルセーフ信号E N A B L E（有効）が入力されると、基板間信号線で環状に接続された次の基板間信号共有回路に基板間フェイルセーフ信号E N A B L E（有効）を出力するので、いずれかの表示制御基板D C 1～D C 4で発生した異常状態を、全ての表示制御基板D C 1～D C 4に伝送することができる。よって、全てのタイミングコントローラT C 1～T C 8が自走モードになる。

[0121] なお、このままでは一度自走モードに入ると基板間フェイルセーフ信号E N A B L E（有効）が巡回し続けてしまい、タイミングコントローラが異常状態から復帰していても、自走モードから復帰できない。そのため、基板間信号共有回路S H A 1～S H A 4のいずれかが、所定の期間毎に基板間フェイルセーフ信号をD I S A B L E（無効）にする。各基板間信号共有回路S

H A 1 ～ S H A 4 は、他の基板間信号共有回路からの基板間フェイルセーフ信号が D I S A B L E（無効）であれば、基板内信号線側ポートを入力ポートに設定し、基板内フェイルセーフ信号を D I S A B L E（無効）にする。

[0122] これにより、全てのタイミングコントローラ T C 1 ～ T C 8 が異常状態から復帰していれば、全ての基板間フェイルセーフ信号および基板内フェイルセーフ信号が D I S A B L E（無効）になり、タイミングコントローラ T C 1 ～ T C 8 は自走モードから通常の動作モードに復帰し、正常に映像の表示を行う。

[0123] なお、本実施形態では、差動信号を用いて基板間フェイルセーフ信号を伝送する構成を説明したが、実施形態 1 の変形例と同様に、異なる表示制御基板の基板間信号共有回路をシングルエンドの基板間信号線で接続して基板間フェイルセーフ信号を伝送してもよい。このとき、基板間フェイルセーフ信号も L レベルの時に E N A B L E（有効）であるとすれば、基板間信号共有回路は、入力される基板内フェイルセーフ信号と入力される基板間フェイルセーフ信号との A N D の結果を、基板間フェイルセーフ信号として出力すればよい。

[0124] [実施形態 3]

本発明の他の実施形態について、以下に説明する。なお、説明の便宜上、実施形態 1 にて説明した図面と同じ機能を有する部材・構成については、同じ符号を付記し、その詳細な説明を省略する。本実施形態では、各表示制御基板からのフェイルセーフ信号を各表示制御基板に分配する形態について説明する。

[0125] 図 9 は、本実施形態の表示制御基板の詳細な構成を示すブロック図である。図 9 では、4 つの表示制御基板 D C 1 ～ D C 4 の構成のみを示し、他の構成部材の図示は省略している。また、タイミングコントローラ T C 1 ～ T C 8 からの各表示制御基板外への出力の図示は省略している。

[0126] 表示制御基板 D C 1 は、2 つの映像処理回路 E P 1 ・ E P 2、2 つのタイミングコントローラ T C 1 ・ T C 2、および 1 つの基板間信号共有回路 S H

B 1 を備える。表示制御基板 D C 2 は、2つの映像処理回路 E P 3・E P 4、2つのタイミングコントローラ T C 3・T C 4、および1つの基板間信号共有回路 S H B 2 を備える。表示制御基板 D C 3 は、2つの映像処理回路 E P 5・E P 6、2つのタイミングコントローラ T C 5・T C 6、および1つの基板間信号共有回路 S H B 3 を備える。表示制御基板 D C 4 は、2つの映像処理回路 E P 7・E P 8、2つのタイミングコントローラ T C 7・T C 8、および1つの基板間信号共有回路 S H B 4 を備える。各表示制御基板 D C 1～D C 4 は、対応する部分表示領域 A R 1～A R 8 および対応するソースドライバチップ J の位置に近接して配置されるため、互いに距離が離れている。

[0127] 本実施形態の液晶表示装置 L C D には、表示制御基板 D C 1～D C 4 の間に信号分配部（基板間接続部）C F が設けられている。各基板間信号共有回路 S H B 1～S H B 4 と信号分配部 C F とは、各基板間信号共有回路 S H B 1～S H B 4 から信号分配部 C F に差動信号（基板間フェイルセーフ信号）を伝送するための1対の基板間信号線と、信号分配部 C F から各基板間信号共有回路 S H B 1～S H B 4 に差動信号（基板間フェイルセーフ信号）を伝送するための1対の基板間信号線とによって接続されている（図9ではそれぞれ1本の線で省略して示す）。これらの基板間信号線は、一方向にのみ信号を伝送する。なお、信号分配部 C F は、いずれかの表示制御基板 D C 1～D C 4 に搭載されていてもよい。

[0128] （表示制御基板の動作）

同じ表示制御基板 D C 1 に搭載されるタイミングコントローラ T C 1 とタイミングコントローラ T C 2 と基板間信号共有回路 S H B 1 とは、シングルエンドの基板内信号線を用いてワイヤード・オア接続によって接続されている。タイミングコントローラ T C 1 とタイミングコントローラ T C 2 と基板間信号共有回路 S H B 1 とは、基板内信号線を介して、基板内フェイルセーフ信号の送受信を行う。正常状態では、基板内フェイルセーフ信号は D I S A B L E（無効）になっている、すなわち基板内信号線の電圧は H レベルに

維持されている。

[0129] タイミングコントローラTC1・TC2の動作は、実施形態1と同様である。

[0130] 基板間信号共有回路SHB1について、基板内フェイルセーフ信号がDISABLE（無効）（Hレベル）である場合、基板間信号共有回路SHB1は、信号分配部CFへの基板間フェイルセーフ信号をDISABLE（無効）（Lレベル）にする。

[0131] 基板間信号共有回路SHB1について、基板内フェイルセーフ信号がENABLE（有効）（Lレベル）である場合、基板間信号共有回路SHB1は、基板間信号線の一端に接続されたLVDSドライバ（図示せず）によって信号分配部CFへ基板間フェイルセーフ信号ENABLE（有効）（Hレベル）を出力する。

[0132] また、基板間信号共有回路SHB1について、信号分配部CFからの基板間フェイルセーフ信号がENABLE（有効）（Hレベル）であることを検知すると、基板間信号共有回路SHB1は、基板内信号線側ポートを出力ポートに設定し、タイミングコントローラTC1・TC2に基板内フェイルセーフ信号ENABLE（有効）（Lレベル）を出力する。

[0133] 他の基板間信号共有回路SHB2～SHB4も同様に動作する。

[0134] 信号分配部CFは、各基板間信号共有回路SHB1～SHB4からの基板間フェイルセーフ信号のENABLE（有効）／DISABLE（無効）を監視する。信号分配部CFは、全ての基板間信号共有回路SHB1～SHB4からの基板間フェイルセーフ信号がDISABLE（無効）である場合、各基板間信号共有回路SHB1～SHB4への基板間フェイルセーフ信号をDISABLE（無効）にする。

[0135] また、信号分配部CFは、例えば、1つの基板間信号共有回路SHB1からの基板間フェイルセーフ信号がENABLE（有効）（Hレベル）であることを検知すると、他の基板間信号共有回路SHB2～SHB4に基板間フェイルセーフ信号ENABLE（有効）（Hレベル）を出力する。このとき

、信号分配部C Fは、信号分配部C Fへ基板間フェイルセーフ信号E N A B L E（有効）を出力している基板間信号共有回路S H B 1に対する基板間フェイルセーフ信号をD I S A B L E（無効）にする。信号分配部C Fへ基板間フェイルセーフ信号E N A B L E（有効）を出力している表示制御基板では、いずれかのタイミングコントローラが異常状態になっており、その基板内フェイルセーフ信号が既にE N A B L E（有効）になっていてタイミングコントローラが自走モードに移行しているからである。なお、複数の基板間信号共有回路から信号分配部C Fに基板間フェイルセーフ信号E N A B L E（有効）が入力された場合、信号分配部C Fは、それ以外の基板間信号共有回路に対してのみ基板間フェイルセーフ信号E N A B L E（有効）を出力する。

[0136] 異常状態のタイミングコントローラが正常状態に復帰すれば、その基板内フェイルセーフ信号がD I S A B L E（無効）になり、その表示制御基板の対応する基板間信号共有回路が信号分配部C Fへの基板間フェイルセーフ信号をD I S A B L E（無効）にする。信号分配部C Fに入力される全ての基板間フェイルセーフ信号がD I S A B L E（無効）になれば、信号分配部C Fは、各基板間信号共有回路S H B 1～S H B 4に出力する基板間フェイルセーフ信号をD I S A B L E（無効）にする。

[0137] これにより、全てのタイミングコントローラT C 1～T C 8が異常状態から復帰すれば、全ての基板間フェイルセーフ信号および基板内フェイルセーフ信号がD I S A B L E（無効）になり、タイミングコントローラT C 1～T C 8は正常状態に復帰し、正常に映像の表示を行う。

[0138] なお、本実施形態では、差動信号を用いて基板間フェイルセーフ信号を伝送する構成を説明したが、実施形態1の変形例と同様に、各基板間信号共有回路と信号分配部とをシングルエンドの基板間信号線で接続して基板間フェイルセーフ信号を伝送してもよい。このとき、基板間フェイルセーフ信号もLレベルの時にE N A B L E（有効）であるとすれば、信号分配部は、各基板間信号共有回路から入力される複数の基板間フェイルセーフ信号のA N D

の結果を、各基板間信号共有回路への基板間フェイルセーフ信号として出力してもよい。この場合、信号分配部は、いずれかの表示制御基板で異常状態が発生していた場合、全ての基板間信号共有回路に基板間フェイルセーフ信号 `ENABLE`（有効）を出力することになる。そのため、自走モードから復帰するために、信号分配部は所定の期間毎に全ての基板間信号共有回路への基板間フェイルセーフ信号を一旦 `DISABLE`（無効）にすればよい。これにより、全てのタイミングコントローラが異常状態から復帰していれば、全ての基板間フェイルセーフ信号および基板内フェイルセーフ信号が `DISABLE`（無効）になり、全てのタイミングコントローラが自走モードから通常の動作モードに復帰する。

[0139] [他の態様]

本発明の一態様に係る表示装置は、第1領域および第2領域を含む表示部と、上記第1領域の表示制御を行う第1タイミングコントローラが設けられた第1基板と、上記第2領域の表示制御を行う第2タイミングコントローラが設けられた第2基板と、上記第1基板と上記第2基板とを接続する基板間接続部とを備え、上記第1タイミングコントローラは、上記第1領域の表示制御に異常が生じた場合には、上記基板間接続部にフェイルセーフ信号を送信し、上記異常が発生したことを上記第2タイミングコントローラに伝える。

[0140] 上記の構成によれば、第1基板に設けられた第1タイミングコントローラの表示制御に異常が発生したことを、別の第2基板に設けられた第2タイミングコントローラに伝えることができる。これにより、第1タイミングコントローラおよび第2タイミングコントローラは、上記異常に対して適切な処置（例えば自走制御）を行うことができる。

[0141] また、上記第2タイミングコントローラは、上記第2領域の表示制御に異常が生じた場合には、上記基板間接続部にフェイルセーフ信号を送信し、上記異常が発生したことを上記第1タイミングコントローラに伝える構成であってもよい。

[0142] また、上記第1 タイミングコントローラは、上記第1 領域の表示制御に異常が生じた場合には、上記第1 領域の表示制御をフェイルセーフモードにし、上記第1 タイミングコントローラに上記異常が発生したことが、上記第2 タイミングコントローラに伝えられると、上記第2 タイミングコントローラは、上記第2 領域の表示制御をフェイルセーフモードにする構成であってもよい。

[0143] また、上記表示装置は、上記第1 基板に搭載され、上記第1 タイミングコントローラおよび上記基板間接続部に接続された第1 インターフェース部と、上記第2 基板に搭載され、上記第2 タイミングコントローラおよび上記基板間接続部に接続された第2 インターフェース部とを備え、上記第1 インターフェース部は、上記第1 タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記基板間接続部を介して差動信号を用いて基板間フェイルセーフ信号を上記第2 インターフェース部に送信し、また、上記基板間接続部を介して上記第2 インターフェース部から基板間フェイルセーフ信号を受信すると、上記第1 タイミングコントローラに基板内フェイルセーフ信号を送信するものであり、上記第2 インターフェース部は、上記第2 タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記基板間接続部を介して差動信号を用いて基板間フェイルセーフ信号を上記第1 インターフェース部に送信し、また、上記基板間接続部を介して上記第1 インターフェース部から基板間フェイルセーフ信号を受信すると、上記第2 タイミングコントローラに上記基板内フェイルセーフ信号を送信するものであってもよい。

[0144] また、上記第1 インターフェース部は、上記基板間接続部に基板間フェイルセーフ信号を出力する出力モードおよび上記基板間接続部の基板間フェイルセーフ信号を監視する入力モードを有する第1 差動信号送受信部と、上記第1 差動信号送受信部の上記出力モードおよび入力モードを切り替える第1 入出力切替部とを含み、上記第2 インターフェース部は、上記基板間接続部に基板間フェイルセーフ信号を出力する出力モードおよび上記基板間接続部

の基板間フェイルセーフ信号を監視する入力モードを有する第2差動信号送受信部と、上記第2差動信号送受信部の上記出力モードおよび入力モードを切り替える第2入出力切替部とを含み、上記第1入出力切替部は、第1差動信号送受信部が上記基板間接続部を介して上記第2差動信号送受信部から基板間フェイルセーフ信号を受信すると、上記第1タイミングコントローラに基板内フェイルセーフ信号を送信し、また、上記第1タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記第1差動信号送受信部を上記入力モードから上記出力モードに切り替え、上記第2入出力切替部は、第2差動信号送受信部が上記基板間接続部を介して上記第1差動信号送受信部から基板間フェイルセーフ信号を受信すると、上記第2タイミングコントローラに基板内フェイルセーフ信号を送信し、また、上記第2タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記第2差動信号送受信部を上記入力モードから上記出力モードに切り替える構成であってもよい。

[0145] また、上記第1入出力切替部は、マルチポイント接続された第1差動信号出力部および第1差動信号入力部を備え、上記第1タイミングコントローラからの基板内フェイルセーフ信号に応じて上記第1差動信号出力部および上記第1差動信号入力部のいずれをアクティブにするかを切り替え、上記第2入出力切替部は、マルチポイント接続された第2差動信号出力部および第2差動信号入力部を備え、上記第2タイミングコントローラからの基板内フェイルセーフ信号に応じて上記第2差動信号出力部および上記第2差動信号入力部のいずれをアクティブにするかを切り替える構成であってもよい。

[0146] また、上記表示装置は、上記第1基板および上記第2基板を含む3つ以上の基板と、上記基板毎に搭載された上記第1タイミングコントローラおよび上記第2タイミングコントローラを含む3つ以上のタイミングコントローラと、上記基板毎に搭載され、該基板の上記タイミングコントローラおよび上記基板間接続部に接続された3つ以上のインターフェース部とを備え、上記表示部は、上記第1領域および上記第2領域を含む3つ以上の領域を含み、

上記基板間接続部は、上記3つ以上のインターフェース部を環状に接続し、各インターフェース部は、上記基板間接続部を介して別の上記インターフェース部から基板間フェイルセーフ信号を受信すると、搭載されている上記基板の上記タイミングコントローラに基板内フェイルセーフ信号を送信し、上記基板間接続部を介してさらに別の上記インターフェース部に基板間フェイルセーフ信号を送信し、また、搭載されている上記基板の上記タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記基板間接続部を介して基板間フェイルセーフ信号を上記さらに別のインターフェース部に送信するものであり、各タイミングコントローラは、対応する上記領域の表示制御に異常が生じた場合には、上記基板間接続部にフェイルセーフ信号を送信し、上記異常が発生したことを他の上記タイミングコントローラに伝える構成であってもよい。

[0147] また、上記表示装置は、上記第1基板および上記第2基板を含む3つ以上の基板と、上記基板毎に搭載された上記第1タイミングコントローラおよび上記第2タイミングコントローラを含む3つ以上のタイミングコントローラと、上記基板毎に搭載され、該基板の上記タイミングコントローラおよび上記基板間接続部に接続された3つ以上のインターフェース部とを備え、上記基板間接続部は、各インターフェース部に接続された信号分配部を含み、各インターフェース部は、搭載されている上記基板の上記タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記信号分配部に基板間フェイルセーフ信号を送信し、また、上記信号分配部から基板間フェイルセーフ信号を受信すると、搭載されている上記基板の上記タイミングコントローラに基板内フェイルセーフ信号を送信するものであり、上記信号分配部は、複数の上記インターフェース部の少なくともいずれか1つから基板間フェイルセーフ信号を受信すると、基板間フェイルセーフ信号を送信していない他の上記インターフェース部に基板間フェイルセーフ信号を送信するものであってもよい。

[0148] また、上記信号分配部は、複数の上記インターフェース部の少なくともい

いずれか1つから基板間フェイルセーフ信号を受信すると、全ての上記インターフェース部に基板間フェイルセーフ信号を送信するものであってもよい。

[0149] また、基板間フェイルセーフ信号は、差動信号であってもよい。

[0150] また、同じ上記基板に搭載された上記タイミングコントローラと上記インターフェース部とは、ワイヤード・オア接続されたシングルエンドの信号線によって互いに接続されており、双方向に基板内フェイルセーフ信号を送受信可能である構成であってもよい。

[0151] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0152] 本発明は、画面分割式の大型の表示装置に利用することができる。

符号の説明

[0153]	L C D	液晶表示装置
	L C P	液晶パネル（表示部）
	B L	バックライト
	I P C	入力処理回路
	P M C	ピクセルマッピング回路
	B L C	バックライトコントローラ
	D C	表示制御基板（基板）
	E P	映像処理回路
	T C	タイミングコントローラ
	S S L	基板間共有線
	J	ドライバチップ（ソース用）
	I	ドライバチップ（ゲート用）
	G a	走査信号線
	S a	データ信号線

C S a	保持容量配線 (C S 配線)
G D	ゲートドライバ
S D	ソースドライバ
B L D	バックライトドライバ
C D	C S ドライバ
M a ~ M h	C S 幹配線
P a	画素
A R	部分表示領域
Q a ~ Q c	映像信号 (E P 用、1 本当たり F H D = 2 k × 1 k 画素数)
Q B L	映像信号 (B L C 用)
G C	ゲート制御信号
S C	ソース制御信号
C C	C S 制御信号
B C S	バックライト制御信号
S Y S	同期信号
1 2	T F T
1 7	画素電極
C O M	対向電極
P L	画素列
S H、S H A、S H B	基板間信号共有回路 (インターフェース部)
I F S	入出力切替部
L D	L V D S ドライバ (差動信号送受信部、差動信号出力部)
L R	L V D S レシーバ (差動信号送受信部、差動信号入力部)
C F	信号分配部 (基板間接続部)

請求の範囲

- [請求項1] 第1領域および第2領域を含む表示部と、
 上記第1領域の表示制御を行う第1タイミングコントローラが設けられた第1基板と、
 上記第2領域の表示制御を行う第2タイミングコントローラが設けられた第2基板と、
 上記第1基板と上記第2基板とを接続する基板間接続部とを備え、
 上記第1タイミングコントローラは、上記第1領域の表示制御に異常が生じた場合には、上記基板間接続部にフェイルセーフ信号を送信し、上記異常が発生したことを上記第2タイミングコントローラに伝えることを特徴とする表示装置。
- [請求項2] 上記第2タイミングコントローラは、上記第2領域の表示制御に異常が生じた場合には、上記基板間接続部にフェイルセーフ信号を送信し、上記異常が発生したことを上記第1タイミングコントローラに伝えることを特徴とする請求項1に記載の表示装置。
- [請求項3] 上記第1タイミングコントローラは、上記第1領域の表示制御に異常が生じた場合には、上記第1領域の表示制御をフェイルセーフモードにし、
 上記第1タイミングコントローラに上記異常が発生したことが、上記第2タイミングコントローラに伝えられると、上記第2タイミングコントローラは、上記第2領域の表示制御をフェイルセーフモードにすることを特徴とする請求項1または2に記載の表示装置。
- [請求項4] 上記第1基板に搭載され、上記第1タイミングコントローラおよび上記基板間接続部に接続された第1インターフェース部と、
 上記第2基板に搭載され、上記第2タイミングコントローラおよび上記基板間接続部に接続された第2インターフェース部とを備え、
 上記第1インターフェース部は、上記第1タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記基板間接続部を介

して差動信号を用いて基板間フェイルセーフ信号を上記第2インターフェース部に送信し、また、上記基板間接続部を介して上記第2インターフェース部から基板間フェイルセーフ信号を受信すると、上記第1タイミングコントローラに基板内フェイルセーフ信号を送信するものであり、

上記第2インターフェース部は、上記第2タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記基板間接続部を介して差動信号を用いて基板間フェイルセーフ信号を上記第1インターフェース部に送信し、また、上記基板間接続部を介して上記第1インターフェース部から基板間フェイルセーフ信号を受信すると、上記第2タイミングコントローラに上記基板内フェイルセーフ信号を送信するものであることを特徴とする請求項1から3のいずれか一項に記載の表示装置。

[請求項5]

上記第1インターフェース部は、上記基板間接続部に基板間フェイルセーフ信号を出力する出力モードおよび上記基板間接続部の基板間フェイルセーフ信号を監視する入力モードを有する第1差動信号送受信部と、上記第1差動信号送受信部の上記出力モードおよび入力モードを切り替える第1入出力切替部とを含み、

上記第2インターフェース部は、上記基板間接続部に基板間フェイルセーフ信号を出力する出力モードおよび上記基板間接続部の基板間フェイルセーフ信号を監視する入力モードを有する第2差動信号送受信部と、上記第2差動信号送受信部の上記出力モードおよび入力モードを切り替える第2入出力切替部とを含み、

上記第1入出力切替部は、第1差動信号送受信部が上記基板間接続部を介して上記第2差動信号送受信部から基板間フェイルセーフ信号を受信すると、上記第1タイミングコントローラに基板内フェイルセーフ信号を送信し、また、上記第1タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記第1差動信号送受信部を上

記入入力モードから上記出力モードに切り替え、

上記第2入出力切替部は、第2差動信号送受信部が上記基板間接続部を介して上記第1差動信号送受信部から基板間フェイルセーフ信号を受信すると、上記第2タイミングコントローラに基板内フェイルセーフ信号を送信し、また、上記第2タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記第2差動信号送受信部を上記入入力モードから上記出力モードに切り替えることを特徴とする請求項4に記載の表示装置。

[請求項6]

上記第1入出力切替部は、マルチポイント接続された第1差動信号出力部および第1差動信号入力部を備え、上記第1タイミングコントローラからの基板内フェイルセーフ信号に応じて上記第1差動信号出力部および上記第1差動信号入力部のいずれをアクティブにするかを切り替え、

上記第2入出力切替部は、マルチポイント接続された第2差動信号出力部および第2差動信号入力部を備え、上記第2タイミングコントローラからの基板内フェイルセーフ信号に応じて上記第2差動信号出力部および上記第2差動信号入力部のいずれをアクティブにするかを切り替えることを特徴とする請求項5に記載の表示装置。

[請求項7]

上記第1基板および上記第2基板を含む3つ以上の基板と、

上記基板毎に搭載された上記第1タイミングコントローラおよび上記第2タイミングコントローラを含む3つ以上のタイミングコントローラと、

上記基板毎に搭載され、該基板の上記タイミングコントローラおよび上記基板間接続部に接続された3つ以上のインターフェース部とを備え、

上記表示部は、上記第1領域および上記第2領域を含む3つ以上の領域を含み、

上記基板間接続部は、上記3つ以上のインターフェース部を環状に

接続し、

各インターフェース部は、上記基板間接続部を介して別の上記インターフェース部から基板間フェイルセーフ信号を受信すると、搭載されている上記基板の上記タイミングコントローラに基板内フェイルセーフ信号を送信し、上記基板間接続部を介してさらに別の上記インターフェース部に基板間フェイルセーフ信号を送信し、また、搭載されている上記基板の上記タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記基板間接続部を介して基板間フェイルセーフ信号を上記さらに別のインターフェース部に送信するものであり、

各タイミングコントローラは、対応する上記領域の表示制御に異常が生じた場合には、上記基板間接続部にフェイルセーフ信号を送信し、上記異常が発生したことを他の上記タイミングコントローラに伝えることを特徴とする請求項 1 から 3 のいずれか一項に記載の表示装置。

[請求項8]

上記第 1 基板および上記第 2 基板を含む 3 つ以上の基板と、

上記基板毎に搭載された上記第 1 タイミングコントローラおよび上記第 2 タイミングコントローラを含む 3 つ以上のタイミングコントローラと、

上記基板毎に搭載され、該基板の上記タイミングコントローラおよび上記基板間接続部に接続された 3 つ以上のインターフェース部とを備え、

上記基板間接続部は、各インターフェース部に接続された信号分配部を含み、

各インターフェース部は、搭載されている上記基板の上記タイミングコントローラから基板内フェイルセーフ信号を受信すると、上記信号分配部に基板間フェイルセーフ信号を送信し、また、上記信号分配部から基板間フェイルセーフ信号を受信すると、搭載されている上記

基板の上記タイミングコントローラに基板内フェイルセーフ信号を送信するものであり、

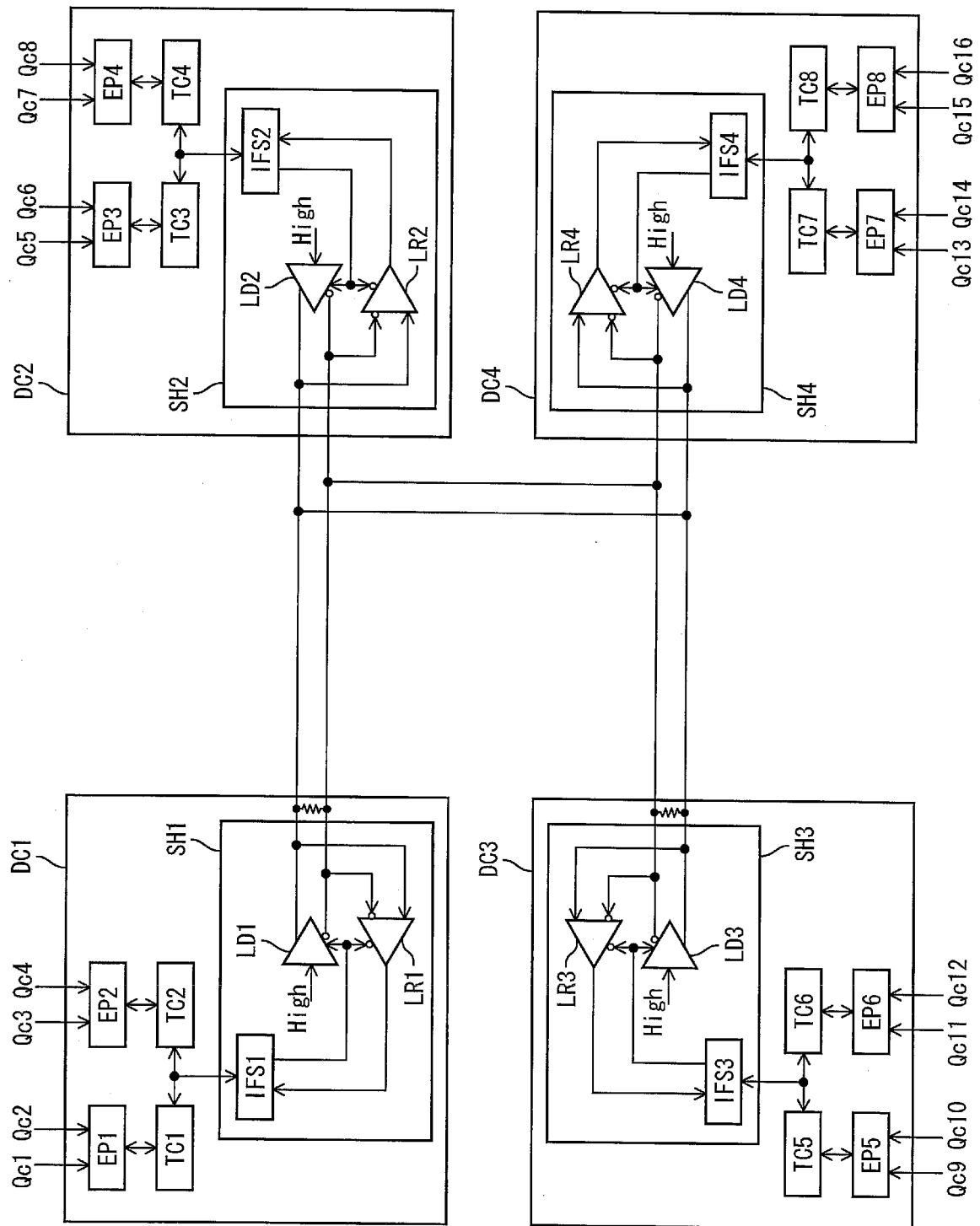
上記信号分配部は、複数の上記インターフェース部の少なくともいずれか1つから基板間フェイルセーフ信号を受信すると、基板間フェイルセーフ信号を送信していない他の上記インターフェース部に基板間フェイルセーフ信号を送信するものであることを特徴とする請求項1から3のいずれか一項に記載の表示装置。

[請求項9] 上記信号分配部は、複数の上記インターフェース部の少なくともいずれか1つから基板間フェイルセーフ信号を受信すると、全ての上記インターフェース部に基板間フェイルセーフ信号を送信するものであることを特徴とする請求項8に記載の表示装置。

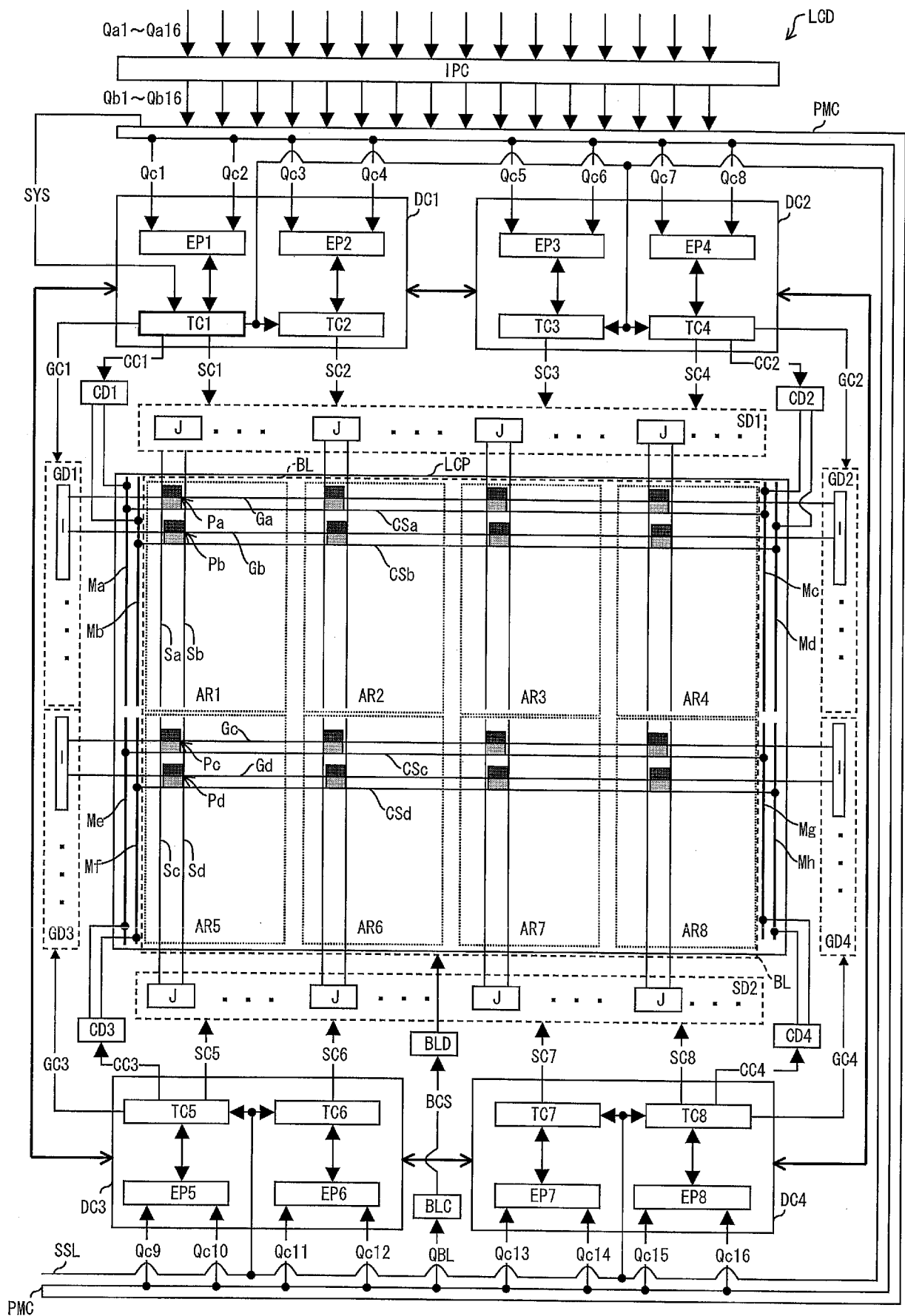
[請求項10] 基板間フェイルセーフ信号は、差動信号であることを特徴とする請求項7から9のいずれか一項に記載の表示装置。

[請求項11] 同じ上記基板に搭載された上記タイミングコントローラと上記インターフェース部とは、ワイヤード・オア接続されたシングルエンドの信号線によって互いに接続されており、双方向に基板内フェイルセーフ信号を送受信可能であることを特徴とする請求項4から10のいずれか一項に記載の表示装置。

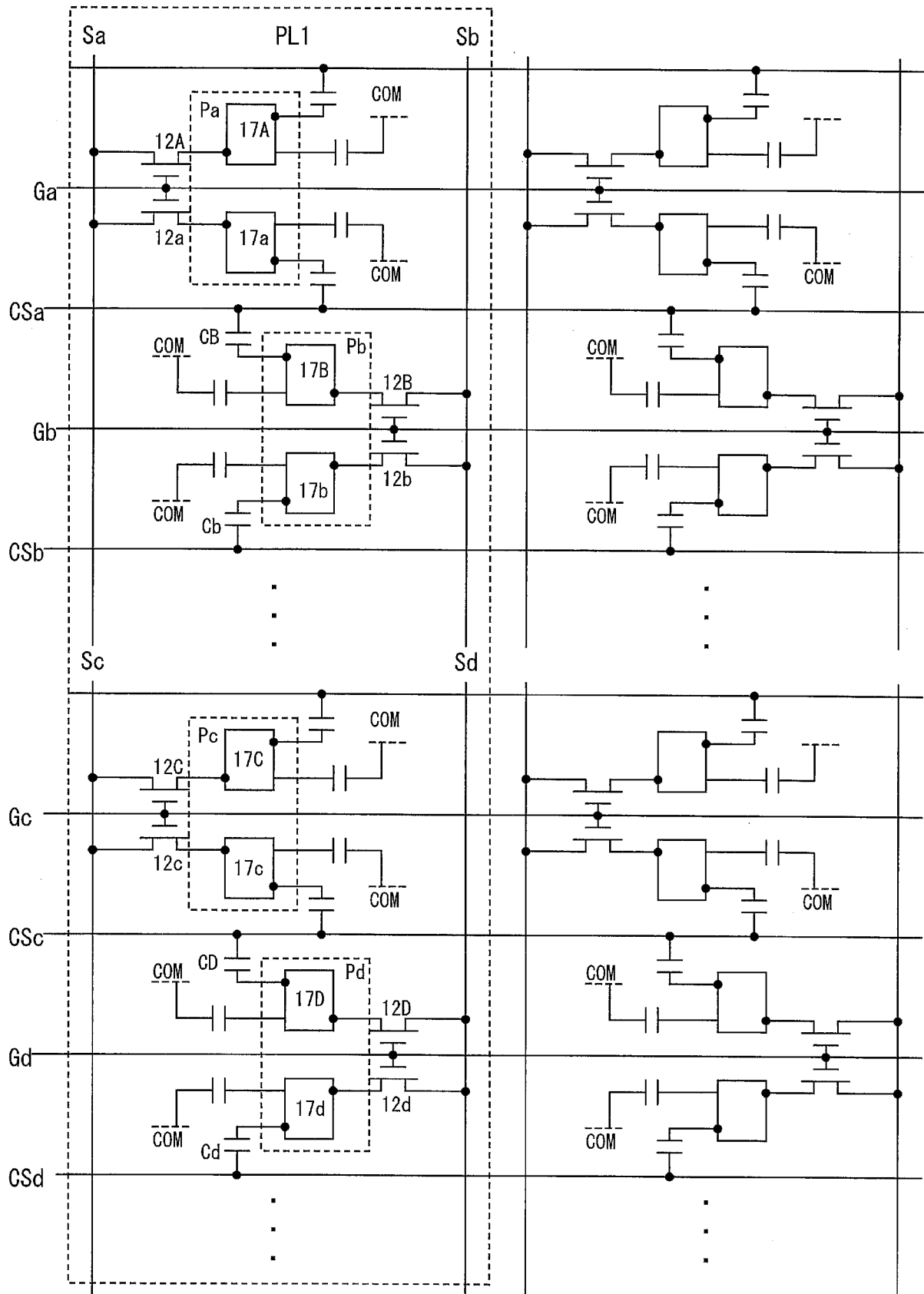
[図1]



[図2]



[図3]



[図4]

	SH1	SH2
基板内フェイルセーフ信号	DISABLE(無効)(High)	DISABLE(無効)(High)
基板内信号線側ポート	入力ポート	入力ポート
入出力制御信号	Low	Low
基板間信号線側ポート	入力モード	入力モード
基板間フェイルセーフ信号	DISABLE(無効)(Low)	

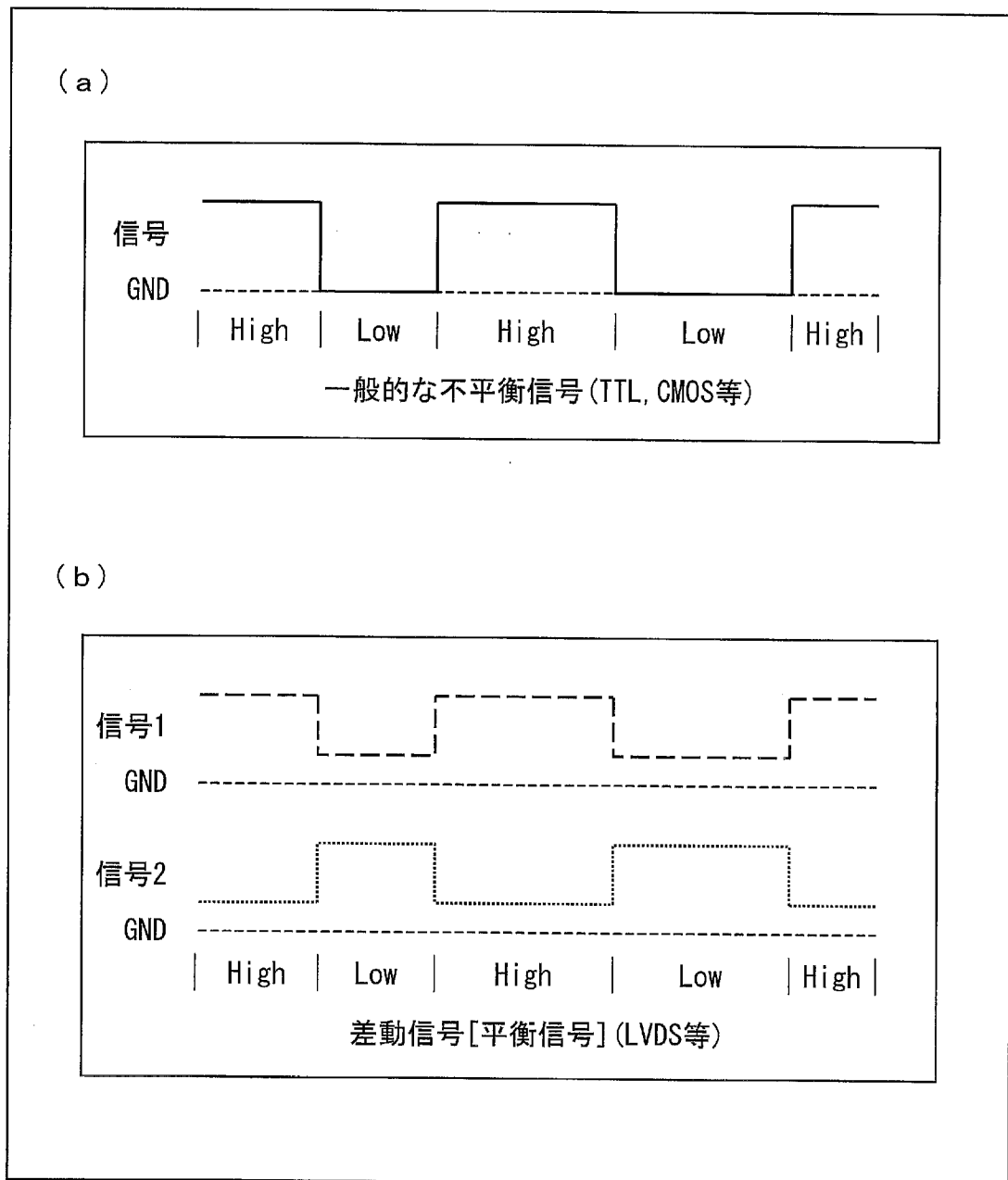
[図5]

	SH1	SH2
基板内フェイルセーフ信号	ENABLE(有効)(Low)	ENABLE(有効)(Low)
基板内信号線側ポート	入力ポート	出力ポート
入出力制御信号	High	Low
基板間信号線側ポート	出力モード	入力モード
基板間フェイルセーフ信号	ENABLE(有効)(High)	

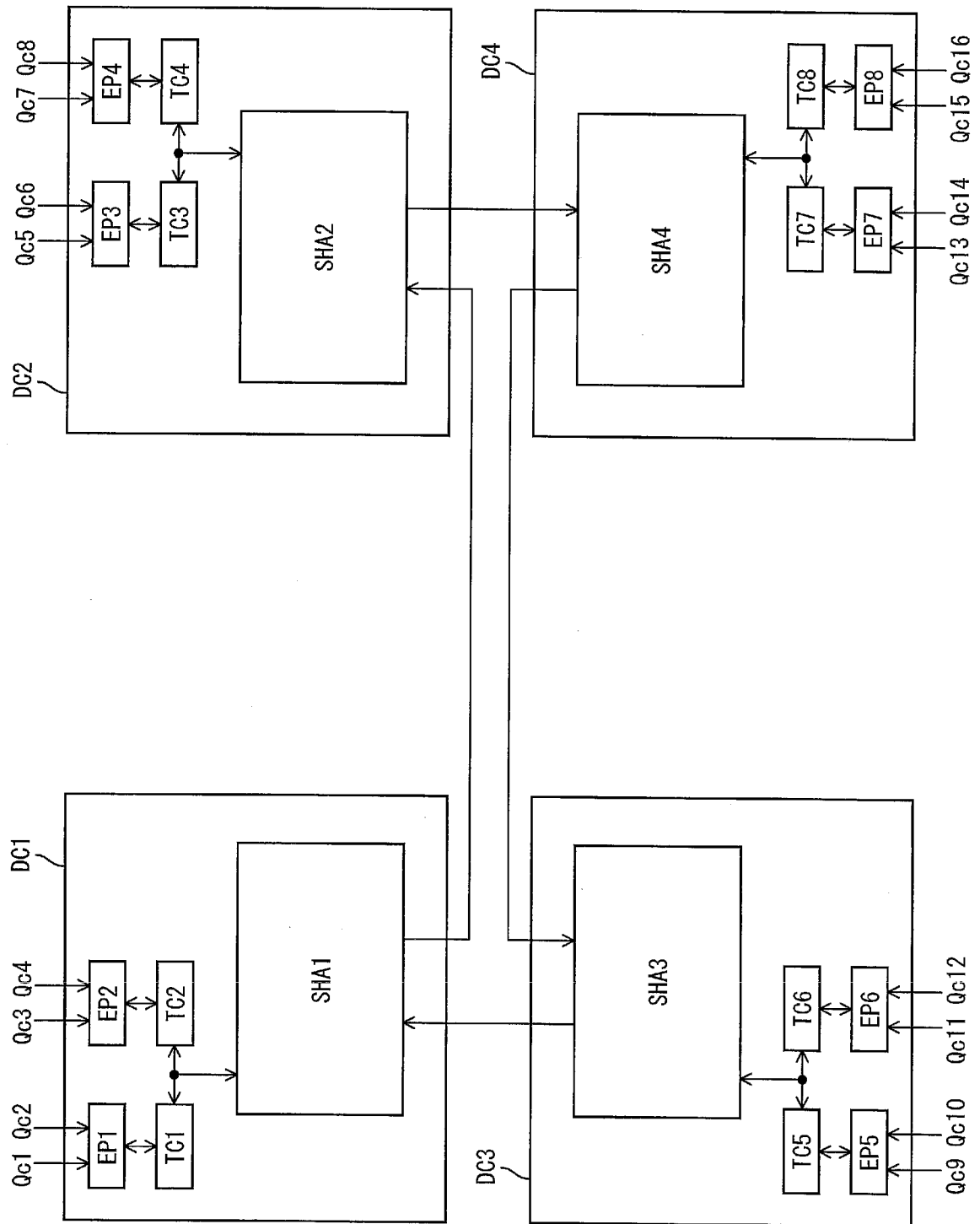
[図6]

	SH1	SH2
基板内フェイルセーフ信号	ENABLE(有効)(Low)	ENABLE(有効)(Low)
基板内信号線側ポート	出力ポート	入力ポート
入出力制御信号	Low	High
基板間信号線側ポート	入力モード	出力モード
基板間フェイルセーフ信号	ENABLE(有効)(High)	

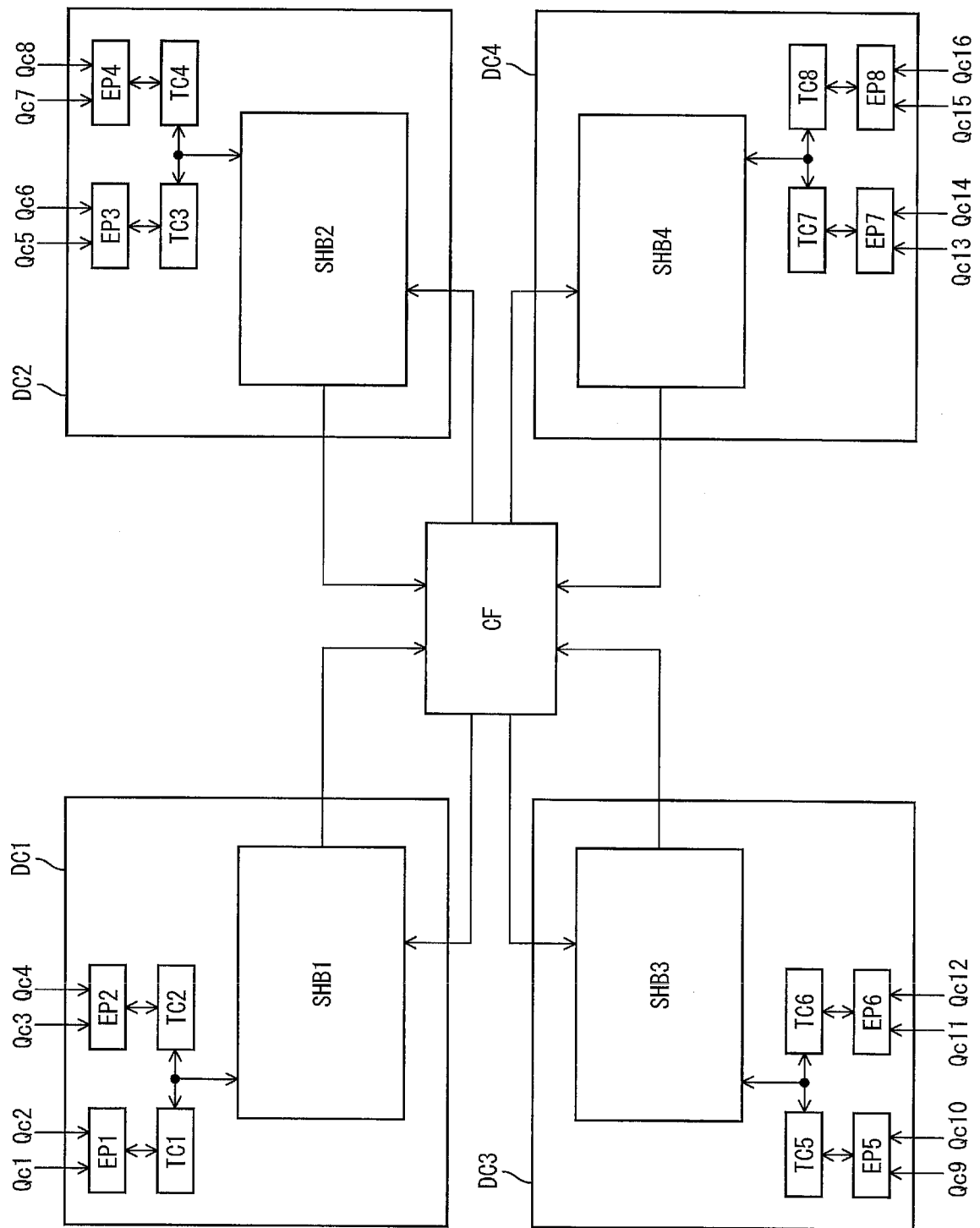
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/062432

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-243565 A (NEC LCD Technologies, Ltd.), 14 September 2006 (14.09.2006), entire text; fig. 1 to 5 & US 2006/0197730 A1 & KR 10-2006-0096294 A & CN 1828717 A & TWB 00I298471	1-11
X	JP 2009-145485 A (Oki Semiconductor Co., Ltd.), 02 July 2009 (02.07.2009), entire text; fig. 1 to 4 & US 2009/0153541 A1	1-11
A	JP 2009-8891 A (Semiconductor Energy Laboratory Co., Ltd.), 15 January 2009 (15.01.2009), entire text; fig. 1 to 37 (Family: none)	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

06 June, 2012 (06.06.12)

Date of mailing of the international search report

19 June, 2012 (19.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/00-3/38, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-243565 A（NE C液晶テクノロジー株式会社）2006.09.14, 全文, 図1-5 & US 2006/0197730 A1 & KR 10-2006-0096294 A & CN 1828717 A & TWB 00I298471	1-11
X	JP 2009-145485 A（OK Iセミコンダクタ株式会社）2009.07.02, 全文, 図1-4 & US 2009/0153541 A1	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 6 . 2 0 1 2

国際調査報告の発送日

1 9 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

中 村 直 行

2 G

9 2 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-8891 A (株式会社半導体エネルギー研究所) 2009. 01. 15, 全文, 図 1 - 3 7 (ファミリーなし)	1-11